TEXAS INSTRUMENTS
CSD16325Q5
JAJSRQ7D – AUGUST 2009 – REVISED OCTOBER 2023

N チャネル NexFET パワー MOSFET

1 特長

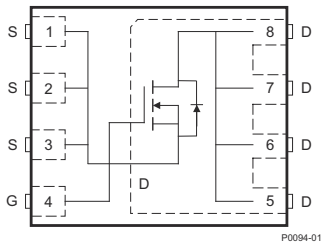
- 5V ゲートの駆動に最適化
- 非常に低い Q_g および Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- 鉛不使用の端子メッキ処理
- RoHS 準拠
- ハロゲン不使用
- SON 5mm × 6mm プラスチック・パッケージ

2 アプリケーション

- ネットワーク、テレコム、およびコンピューティング・システムのポイント・オブ・ロード同期整流降圧
- 同期 FET アプリケーション用に最適化

3 概要

NexFET™ パワー MOSFET はパワー・コンバージョン・アプリケーションにおいて損失を最小限とするよう設計され、5V ゲート・ドライブ・アプリケーションに最適化されています。



上面図

製品概要

V_{DS}	ドレイン - ソース間電圧	25		V
Q_g	ゲートの合計電荷 (4.5V)	18		nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	3.5		nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	V_{GS} = 3V	2.1	mΩ
		V_{GS} = 4.5V	1.7	mΩ
		V_{GS} = 8V	1.5	mΩ
$V_{GS(th)}$	スレッショルド電圧	1.1		V

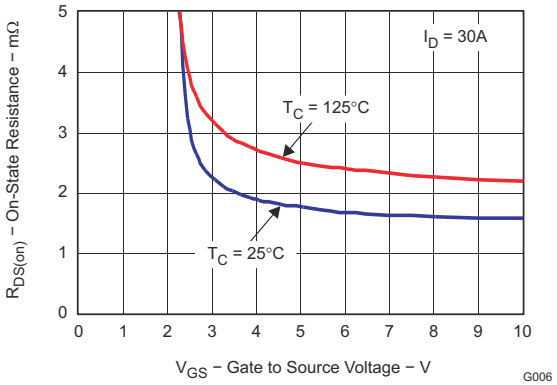
製品情報

製品名	パッケージ	メディア	数量	配送
CSD16325Q5	SON 5mm × 6mm プラスチック・パッケージ	13 インチ・リール	2500	テープ・アンド・リール

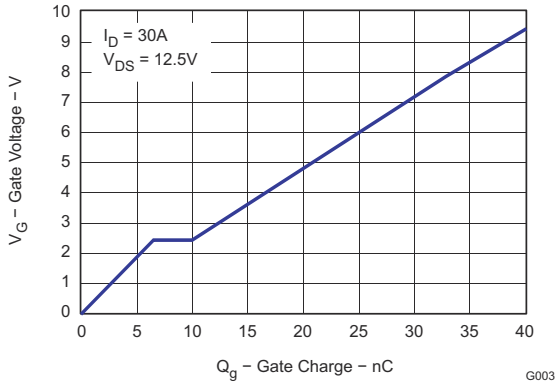
絶対最大定格

T_A = 25°C (特に記述のない限り)		値	単位
V_{DS}	ドレイン - ソース間電圧	25	V
V_{GS}	ゲート - ソース間電圧	+10 / –8	V
I_D	連続ドレイン電流、T_C = 25°C	100	A
	連続ドレイン電流(1)	33	A
I_{DM}	パルス・ドレイン電流、T_A = 25°C(2)	200	A
P_D	消費電力(1)	3.1	W
T_J、T_{STG}	動作時の接合部温度、保存温度	–55～150	°C
E_{AS}	アバランシェ・エネルギー、単一パルス I_D = 100A、L = 0.1mH、R_G = 25Ω	500	mJ

(1) $R_{\theta JA}$ = 38°C/W (標準値、厚さ 0.06 インチ (1.52mm) の FR4 PCB 上の面積 1 平方インチ (6.45cm^2)、厚さ 2oz (0.071mm) の Cu パッドに実装した場合)。
(2) パルス幅 ≤ 300µs、デューティ・サイクル ≤ 2%



$R_{DS(on)}$ と V_{GS} との関係



ゲート電荷

Table of Contents

Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (April 2010) to Revision D (October 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1

Changes from Revision B (April 2010) to Revision C (April 2010)	Page
• Changed $R_{DS(on)}$, V_{GS} = 3 V in the Electrical Characteristics table From: 2.7 to 2.9 in the max column	3

4 Electrical Characteristics

(T_A = 25°C unless otherwise stated)

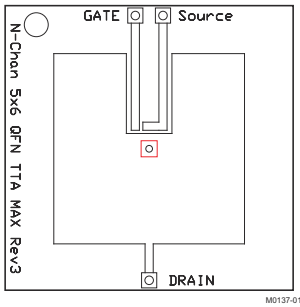
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
Static Characteristics						
BV_{DSS}	Drain to Source Voltage	V_{GS} = 0 V, I_D = 250 µA	25			V
I_{DSS}	Drain to Source Leakage Current	V_{GS} = 0 V, V_{DS} = 20 V			1	µA
I_{GSS}	Gate to Source Leakage Current	V_{DS} = 0 V, V_{GS} = +10/–8 V			100	nA
$V_{GS(th)}$	Gate to Source Threshold Voltage	V_{DS} = V_{GS}, I_D = 250 µA	0.9	1.1	1.4	V
$R_{DS(on)}$	Drain to Source On Resistance	V_{GS} = 3 V, I_D = 30 A		2.1	2.9	mΩ
		V_{GS} = 4.5 V, I_D = 30 A		1.7	2.2	mΩ
		V_{GS} = 8 V, I_D = 30 A		1.5	2	mΩ
g_{fs}	Transconductance	V_{DS} = 15 V, I_D = 30 A		159		S
Dynamic Characteristics						
C_{iss}	Input Capacitance	V_{GS} = 0 V, V_{DS} = 12.5 V, f = 1 MHz		3070	4000	pF
C_{oss}	Output Capacitance			2190	2850	pF
C_{rss}	Reverse Transfer Capacitance			120	150	pF
R_G	Series Gate Resistance			1.6	3.2	Ω
Q_g	Gate Charge Total (4.5 V)	V_{DS} = 12.5 V, I_{DS} = 30 A		18	25	nC
Q_{gd}	Gate Charge – Gate to Drain			3.5		nC
Q_{gs}	Gate Charge – Gate to Source			6.6		nC
$Q_{g(th)}$	Gate Charge at Vth			3.3		nC
Q_{oss}	Output Charge	V_{DS} = 13 V, V_{GS} = 0 V		43		nC
$t_{d(on)}$	Turn On Delay Time	V_{DS} = 12.5 V, V_{GS} = 4.5 V, I_{DS} = 30 A, R_G =2 Ω		10.5		ns
t_r	Rise Time			16		ns
$t_{d(off)}$	Turn Off Delay Time			32		ns
t_f	Fall Time			12		ns
Diode Characteristics						
V_{SD}	Diode Forward Voltage	I_{DS} = 30 A, V_{GS} = 0 V		0.8	1	V
Q_{rr}	Reverse Recovery Charge	V_{DD} = 10 V, I_F = 30 A, di/dt = 300 A/µs		63		nC
t_{rr}	Reverse Recovery Time	V_{DD} = 10 V, I_F = 30 A, di/dt = 300 A/µs		47		ns

5 Thermal Characteristics

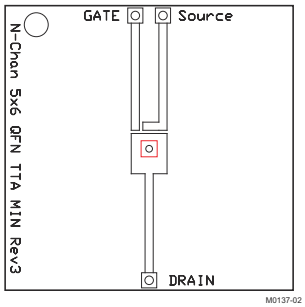
(T_A = 25°C unless otherwise stated)

PARAMETER		MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Thermal Resistance Junction to Case(1)			1	°C/W
$R_{\theta JA}$	Thermal Resistance Junction to Ambient(1) (2)			50	°C/W

(1) $R_{\theta JC}$ is determined with the device mounted on a 1-inch^2 (6.45-cm^2), 2-oz. (0.071-mm thick) Cu pad on a 1.5-inch × 1.5-inch (3.81-cm × 3.81-cm), 0.06-inch (1.52-mm) thick FR4 PCB. $R_{\theta JC}$ is specified by design, whereas $R_{\theta JA}$ is determined by the user's board design.
(2) Device mounted on FR4 material with 1-inch^2 (6.45-cm^2), 2-oz. (0.071-mm thick) Cu.



Max $R_{\theta JA}$ = 50°C/W when mounted on 1 inch^2 (6.45 cm^2) of 2-oz. (0.071-mm thick) Cu.



Max $R_{\theta JA}$ = 126°C/W when mounted on minimum pad area of 2-oz. (0.071-mm thick) Cu.

6 Typical MOSFET Characteristics

(T_A = 25°C unless otherwise stated)

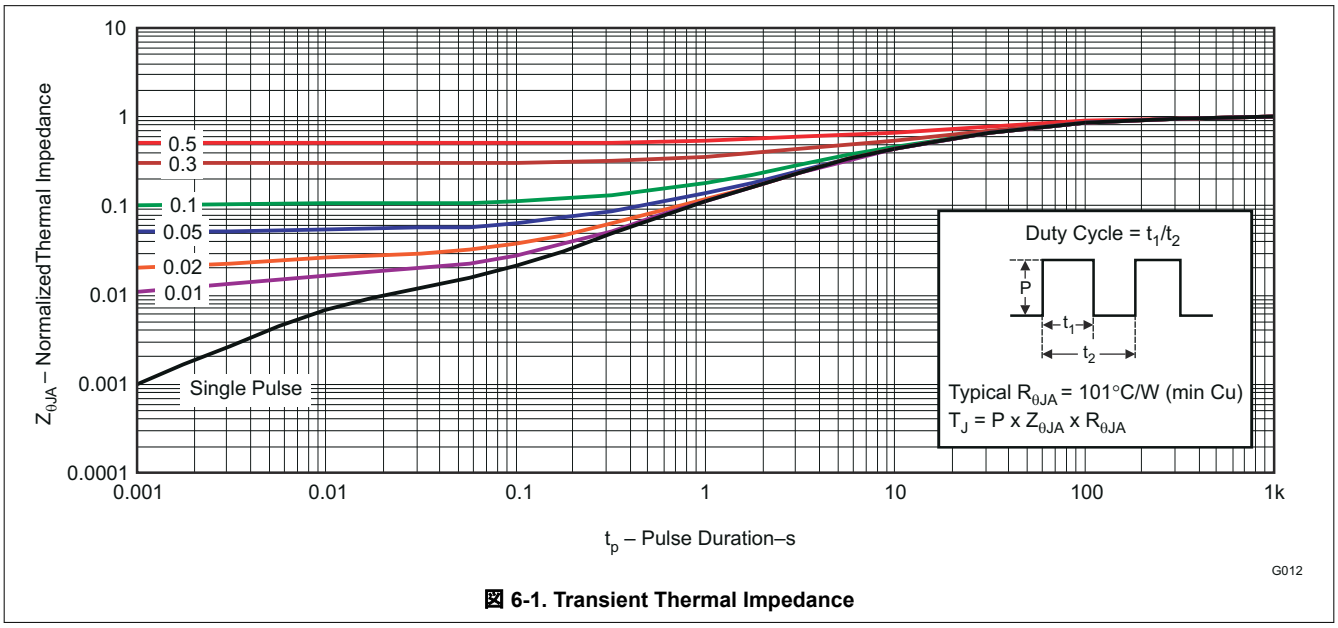


図 6-1. Transient Thermal Impedance

6 Typical MOSFET Characteristics

(T_A = 25°C unless otherwise stated)

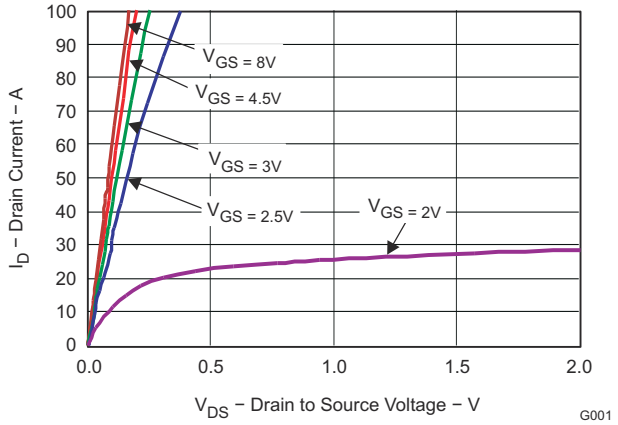


図 6-2. Saturation Characteristics

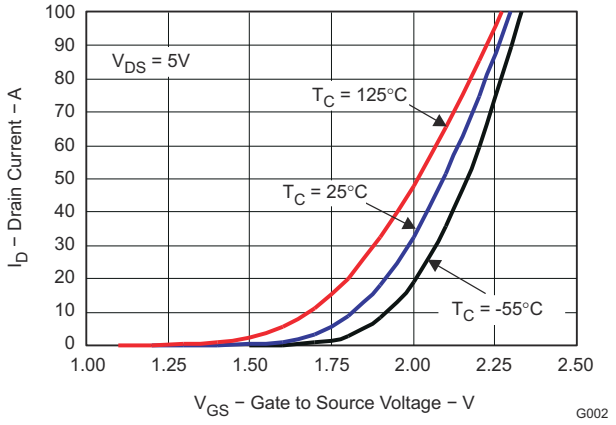


図 6-3. Transfer Characteristics

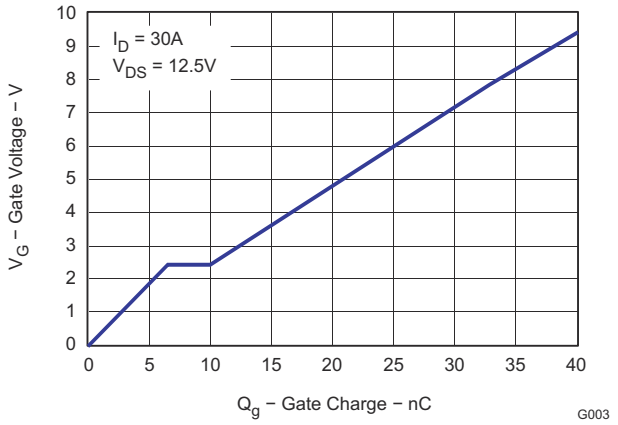


図 6-4. Gate Charge

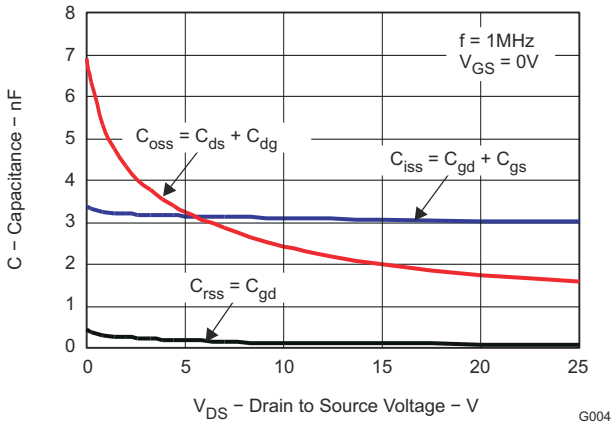


図 6-5. Capacitance

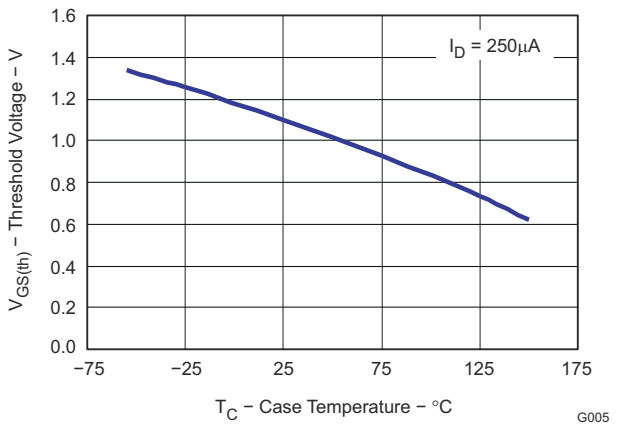


図 6-6. Threshold Voltage vs. Temperature

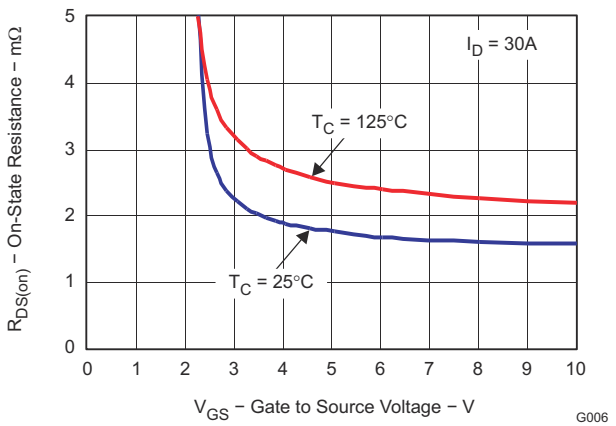


図 6-7. On-State Resistance vs. Gate to Source Voltage

6 Typical MOSFET Characteristics (continued)

(T_A = 25°C unless otherwise stated)

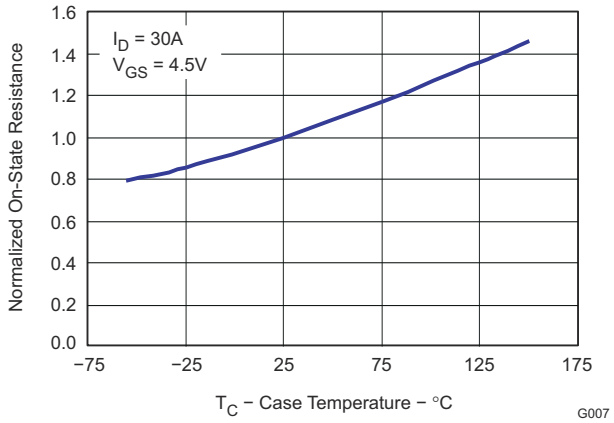


図 6-8. Normalized On-State Resistance vs. Temperature

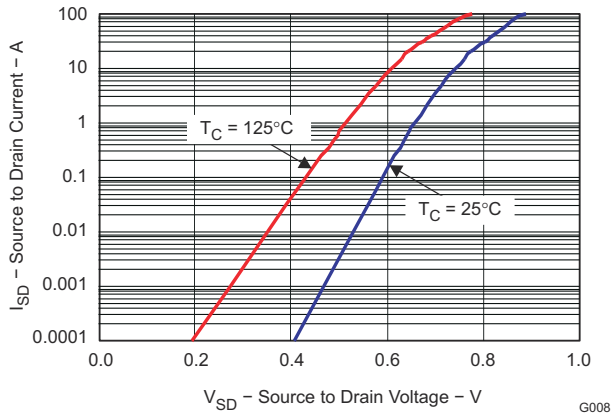


図 6-9. Typical Diode Forward Voltage

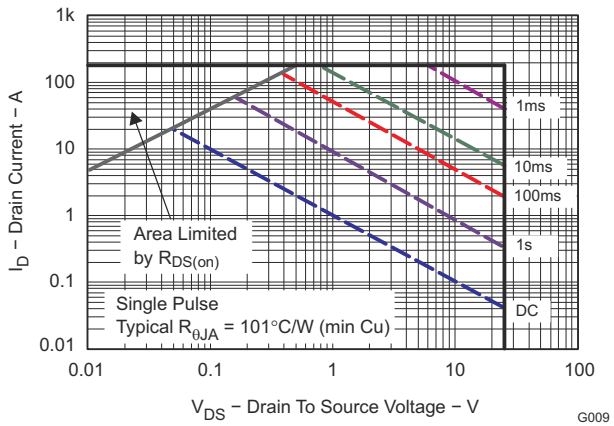


図 6-10. Maximum Safe Operating Area

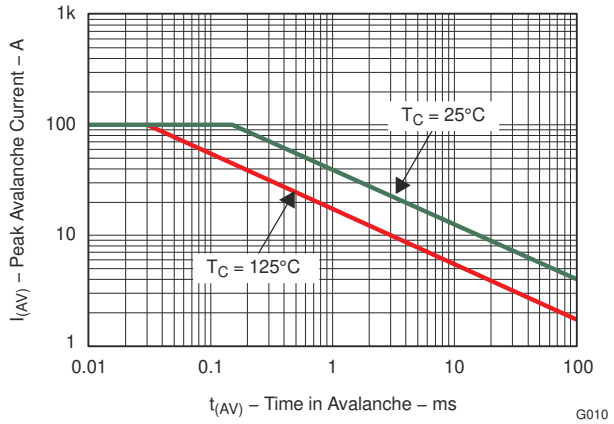


図 6-11. Single Pulse Unclamped Inductive Switching

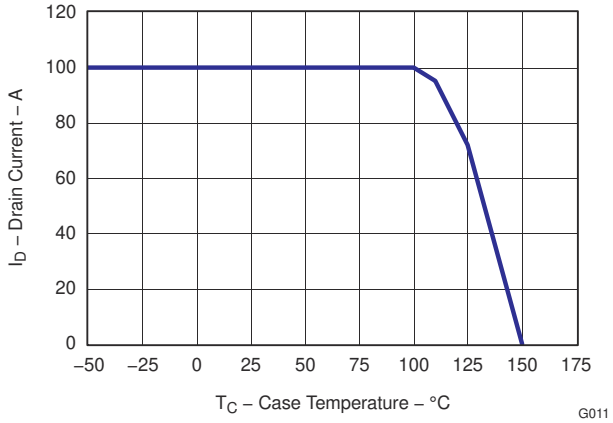


図 6-12. Maximum Drain Current vs. Temperature

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD16325Q5	ACTIVE	VSON-CLIP	DQH	8	2500	RoHS-Exempt & Green	SN	Level-1-260C-UNLIM	-55 to 150	CSD16325	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

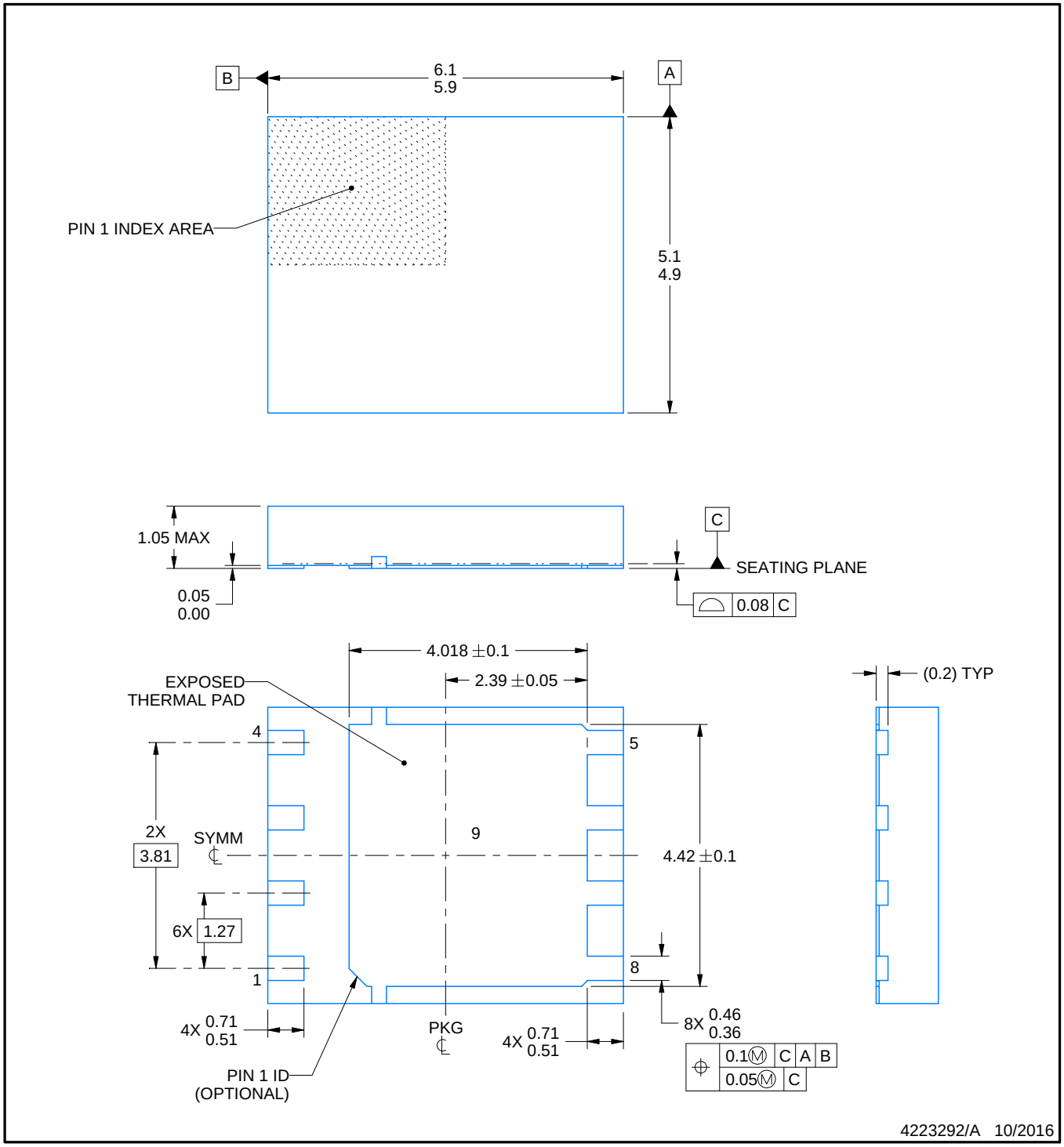
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

PACKAGE OUTLINE

DQH0008A

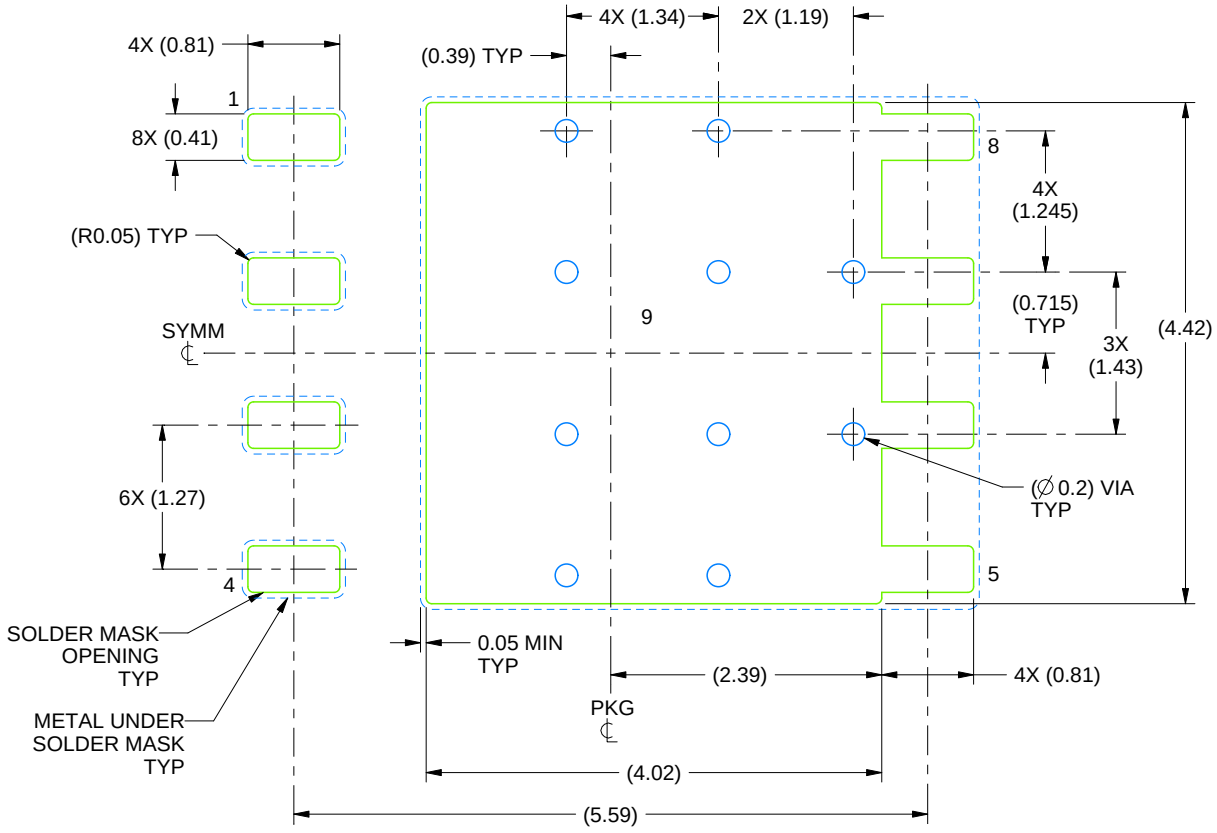
VSON-CLIP - 1.05 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

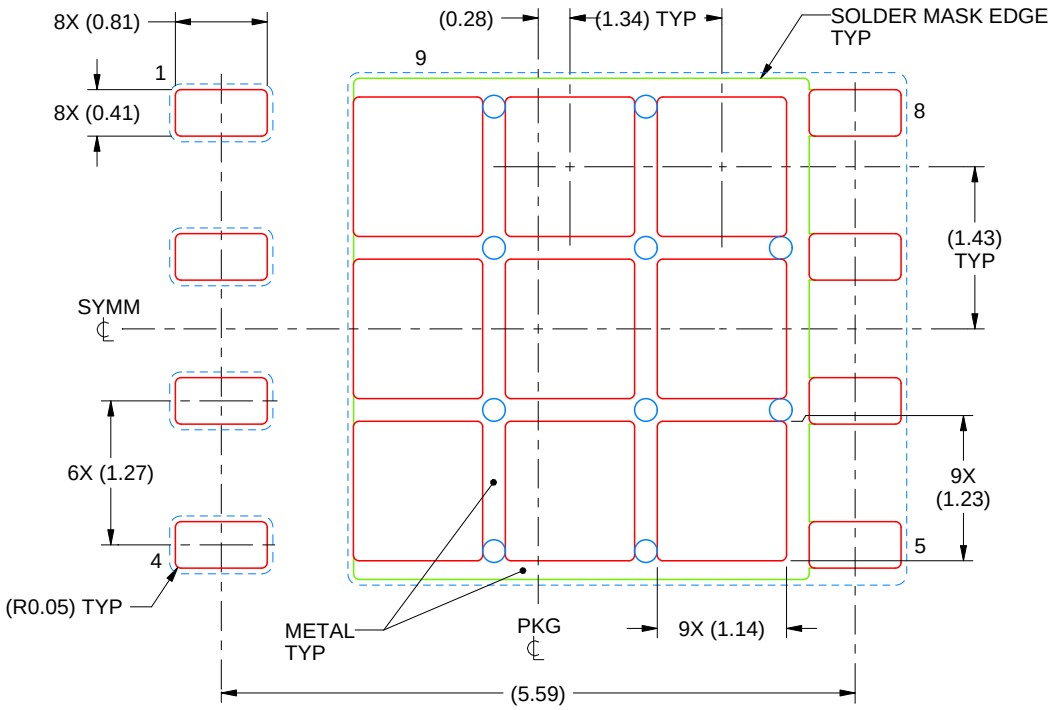


LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:15X

4223292/A 10/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
71% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:15X

4223292/A 10/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス· デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265