

CSD16342Q5A 25V、N チャネル NexFET™ パワー MOSFET

1 特長

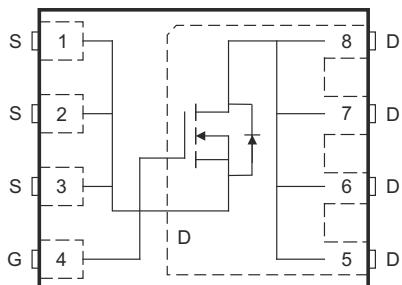
- 5V ゲートドライブに最適化
- $V_{GS} = 2.5V$ での抵抗値
- 非常に小さい Q_g と Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- 鉛不使用の端子メッキ処理
- RoHS に準拠
- ハロゲン不使用
- SON 5mm × 6mm プラスチック パッケージ

2 アプリケーション

- ネットワーク、テレコム、コンピューティング システム アプリケーション用のポイントオブロード (POL) 同期整流降圧型コンバータ
- 制御または同期 FET アプリケーションに最適化

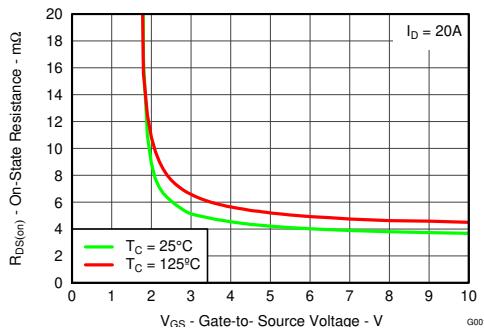
3 説明

NexFET™ パワー MOSFET はパワー コンバージョン アプリケーションにおいて損失を最小限とするよう設計され、5V ゲートドライブ アプリケーションに最適化されています。



P0095-01

上面図

 $R_{DS(on)}$ と V_{GS} との関係

製品概要		25	V	
V_{DS}	ドレイン - ソース間電圧	25	V	
Q_g	ゲートの合計電荷 (4.5V)	6.8	nC	
Q_{gd}	ゲート電荷、ゲート - ドレイン間	1.2	nC	
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 2.5V$	6.1	mΩ
		$V_{GS} = 4.5V$	4.3	mΩ
		$V_{GS} = 8V$	3.8	mΩ
V_{th}	スレッショルド電圧	0.85	V	

注文情報

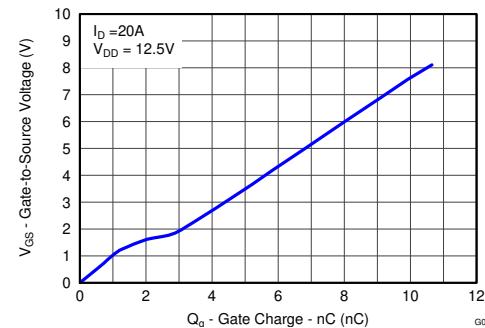
デバイス	パッケージ	メディア	数量	Ship (配送)
CSD16342Q5A	SON 5 × 6 プラスチック パッケージ	13 インチリール	2500	テープ アンド リール

絶対最大定格

$T_A = 25^\circ\text{C}$ (特に記述のない限り)	値	単位
V_{DS} ドレイン - ソース間電圧	25	V
V_{GS} ゲート - ソース間電圧	+10 / -8	V
I_D 連続ドレイン電流、 $T_C = 25^\circ\text{C}$	100	A
I_D 連続ドレイン電流 ⁽¹⁾	21	A
I_{DM} パルスドレイン電流、 $T_A = 25^\circ\text{C}$ ⁽²⁾	131	A
P_D 消費電力 ⁽¹⁾	3	W
T_J, T_{STG} 動作時の接合部温度、保存温度	-55 ~ 150	°C
E_{AS} アバランシェエネルギー、単一パルス $I_D = 40\text{A}, L = 0.1\text{mH}, R_G = 25\Omega$	80	mJ

(1) 厚さ 0.060 インチの FR4 PCB 上に構築された面積 1 平方インチ、2 オンスの Cu パッド上で、標準値 $R_{\theta JA} = 40^\circ\text{C}/\text{W}$ 。

(2) パルス幅 $\leq 300\mu\text{s}$ 、デューティサイクル $\leq 2\%$



ゲート電荷



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

4 仕様

4.1 電気的特性

(特に記述のない限り $T_A = 25^\circ\text{C}$)

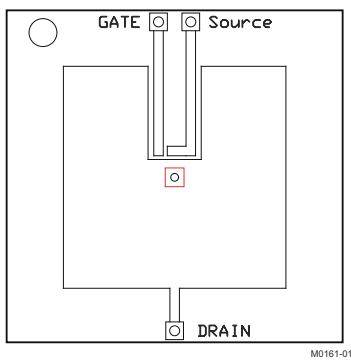
パラメータ	テスト条件	最小値	標準値	最大値	単位
静的特性					
BV_{DSS}	ドレイン - ソース間電圧 $V_{\text{GS}} = 0\text{V}, I_{\text{DS}} = 250\mu\text{A}$	25			V
I_{DSS}	ドレイン ソース間リーコンダクタンス $V_{\text{GS}} = 0\text{V}, V_{\text{DS}} = 20\text{V}$		1		μA
I_{GSS}	ゲート - ソース間リーコンダクタンス $V_{\text{DS}} = 0\text{V}, V_{\text{GS}} = +10/-8\text{V}$		100		nA
$V_{\text{GS(th)}}$	ゲート - ソース間スレッショルド電圧 $V_{\text{DS}} = V_{\text{GS}}, I_{\text{DS}} = 250\mu\text{A}$	0.6	0.85	1.1	V
$R_{\text{DS(on)}}$	ドレイン - ソース間オン抵抗 $V_{\text{GS}} = 2.5\text{V}, I_{\text{DS}} = 20\text{A}$		6.1	7.8	$\text{m}\Omega$
			4.3	5.5	$\text{m}\Omega$
			3.8	4.7	$\text{m}\Omega$
g_{fs}	相互コンダクタンス $V_{\text{DS}} = 15\text{V}, I_{\text{DS}} = 20\text{A}$		91		S
動的特性					
C_{ISS}	入力容量	$V_{\text{GS}} = 0\text{V}, V_{\text{DS}} = 12.5\text{V}, f = 1\text{MHz}$	1050	1350	pF
C_{OSS}	出力容量		730	950	pF
C_{RSS}	帰還転送容量		53	69	pF
R_g	直列ゲート抵抗		1.5	3	Ω
Q_g	ゲートの合計電荷 (4.5V)	$V_{\text{DS}} = 12.5\text{V}, I_{\text{D}} = 20\text{A}$	6.8	7.1	nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間		0.9		nC
Q_{gs}	ゲート電荷、ゲート - ソース間		1.9		nC
$Q_{\text{g(th)}}$	V_{th} でのゲート電荷量		1.2		nC
Q_{OSS}	出力電荷量	$V_{\text{DS}} = 13\text{V}, V_{\text{GS}} = 0\text{V}$	13.7		nC
$t_{\text{d(on)}}$	ターンオン遅延時間	$V_{\text{DS}} = 12.5\text{V}, V_{\text{GS}} = 4.5\text{V}, I_{\text{D}} = 20\text{A}, R_{\text{G}} = 2\Omega$	5.2		ns
t_r	立ち上がり時間		16.6		ns
$t_{\text{d(off)}}$	ターンオフ遅延時間		13.4		ns
t_f	立ち下がり時間		3.1		ns
ダイオード特性					
V_{SD}	ダイオード順方向電圧 $I_{\text{S}} = 20\text{A}, V_{\text{GS}} = 0\text{V}$		0.8	1	V
Q_{rr}	逆方向回復電荷	$V_{\text{DD}} = 13\text{V}, I_{\text{F}} = 20\text{A}, \text{di/dt} = 300\text{A}/\mu\text{s}$	14.5		nC
t_{rr}	逆方向回復時間		20		ns

4.2 热特性

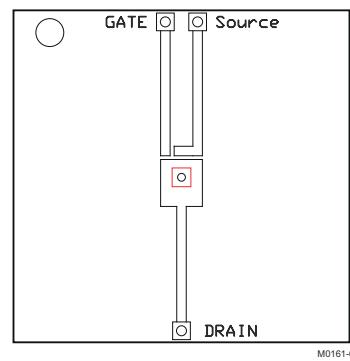
(特に記述のない限り $T_A = 25^\circ\text{C}$)

パラメータ		最小値	標準値	最大値	単位
$R_{\theta\text{JC}}$	熱抵抗、接合部-ケース間 ⁽¹⁾			1.2	°C/W
$R_{\theta\text{JA}}$	熱抵抗、接合部-周囲間 ^{(1) (2)}			50	°C/W

- (1) $R_{\theta\text{JC}}$ は、1 インチ² (6.45cm²)、2 オンスに実装した場合の値です。(0.071mm 厚) の Cu パッドを、1.5 インチ × 1.5 インチ (3.81 cm × 3.81cm)、0.06 インチ (1.52mm) 厚の FR4 PCB 上に形成したものです。 $R_{\theta\text{JC}}$ は設計で規定されるのに対し、 $R_{\theta\text{JA}}$ はユーザーの基板設計によって決まります。
- (2) 1 インチ² (6.45cm²)、2 オンスの Cu を持つ FR4 材質上にデバイスを実装。(厚さ 0.071mm) Cu。



最大 $R_{\theta\text{JA}} = 50^\circ\text{C/W}$ (1 インチ²、2 オンス Cu に実装した場合)



最大 $R_{\theta\text{JA}} = 123^\circ\text{C/W}$ (2 オンス Cu の最小パッド面積に実装した場合)

5 代表的な MOSFET の特性

(特に記述のない限り $T_A = 25^\circ\text{C}$)

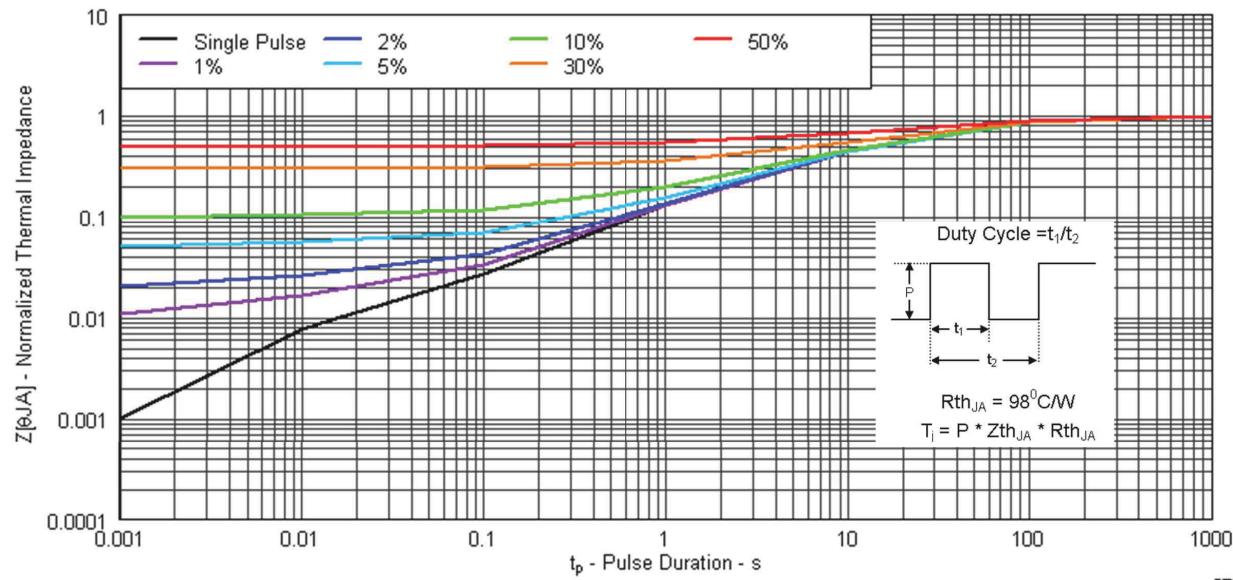


図 5-1. 過渡熱抵抗

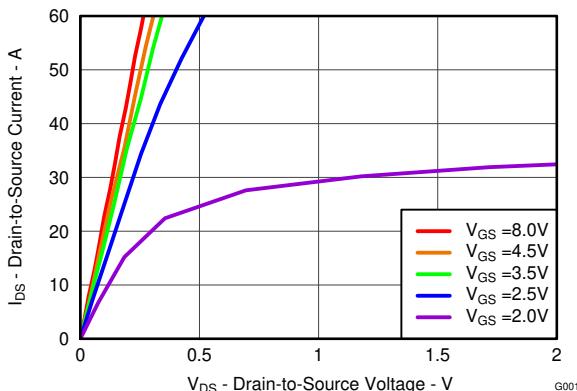


図 5-2. 飽和特性

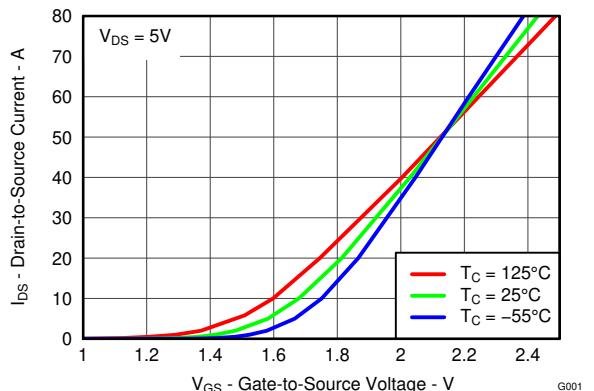


図 5-3. 伝達特性

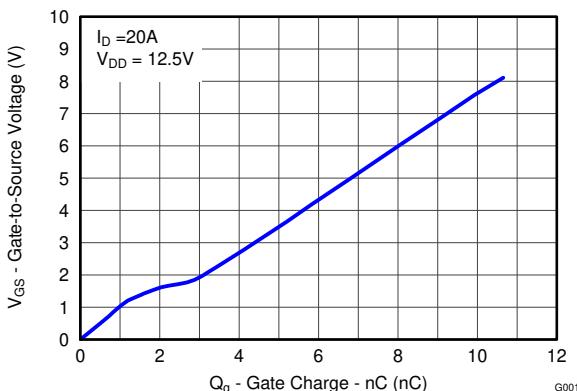


図 5-4. ゲート電荷

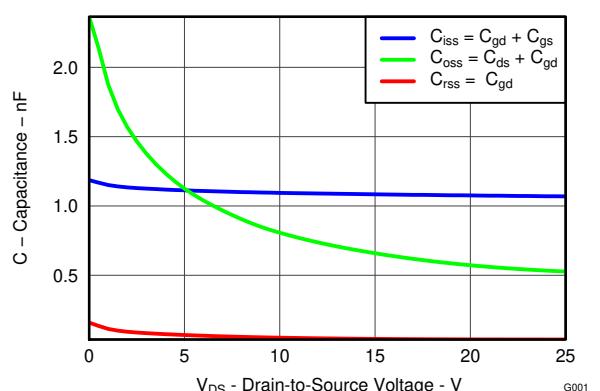


図 5-5. 容量

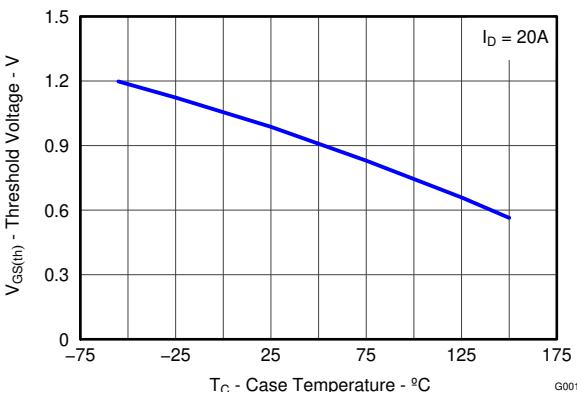


図 5-6. スレッショルド電圧と温度との関係

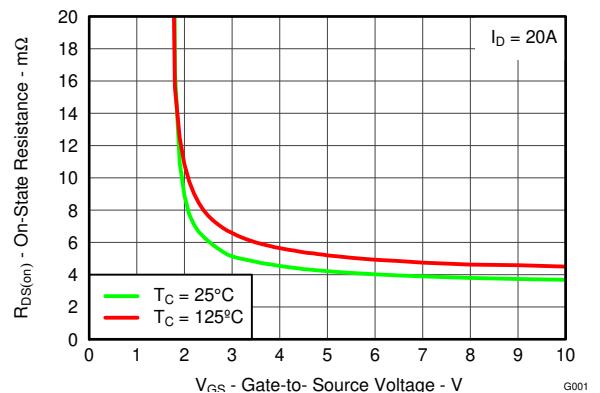


図 5-7. オン抵抗とゲート電圧との関係

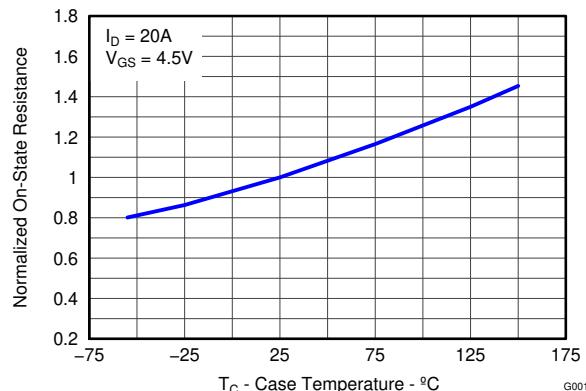


図 5-8. 通常のオン抵抗と温度との関係

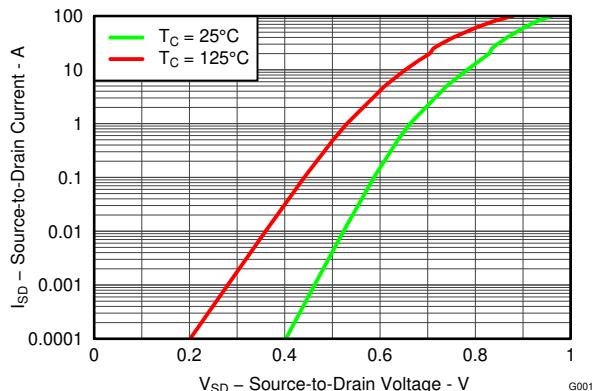


図 5-9. ダイオードの順方向電圧 (標準値)

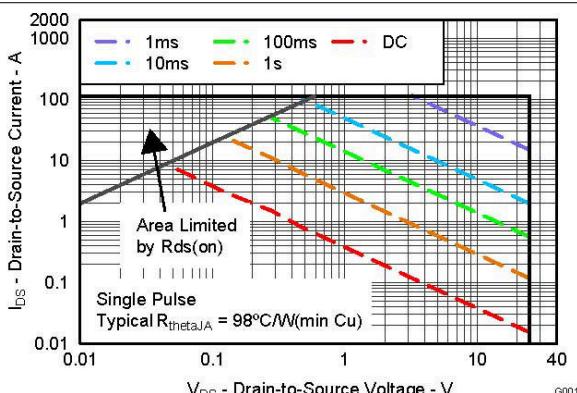


図 5-10. 安全動作領域 (最大値)

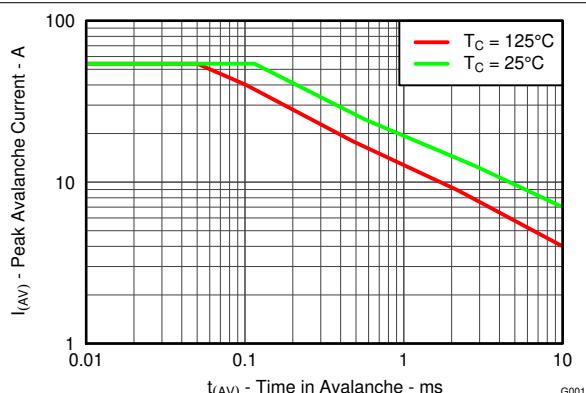


図 5-11. 単一パルスの非クランプ誘導性スイッチング

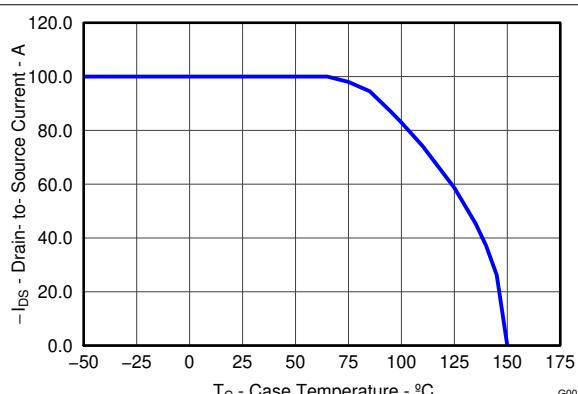


図 5-12. 最大ドレン電流と温度との関係

6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

	Page
Changes from Revision B (January 2025) to Revision C (May 2025)	Page
• ドキュメントのタイトルを「CSD16342Q5A 40V N チャネル NexFET™ パワー MOSFET」から「CSD16342Q5A 25V N チャネル NexFET™ パワー MOSFET」に更新.....	1
<hr/>	
Changes from Revision A (March 2012) to Revision B (January 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
<hr/>	
Changes from Revision * (February 2012) to Revision A (March 2012)	Page
• 製品ステータスを製品レビューから量産データへ変更.....	1

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD16342Q5A	Active	Production	VSONP (DQJ) 8	2500 LARGE T&R	ROHS Exempt	SN	Level-1-260C-UNLIM	-55 to 150	CSD16342
CSD16342Q5A.B	Active	Production	VSONP (DQJ) 8	2500 LARGE T&R	ROHS Exempt	SN	Level-1-260C-UNLIM	-55 to 150	CSD16342

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

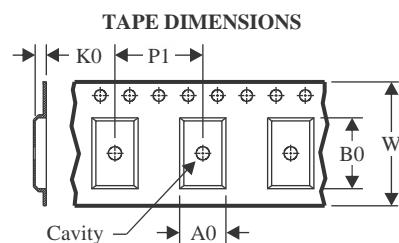
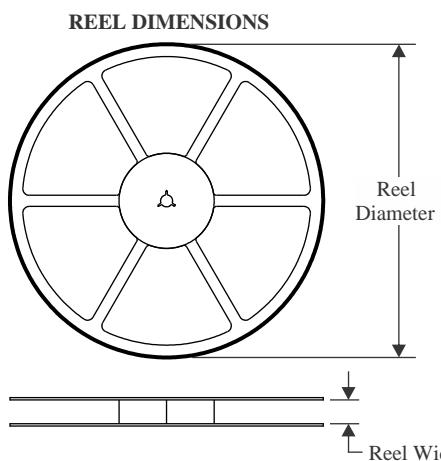
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

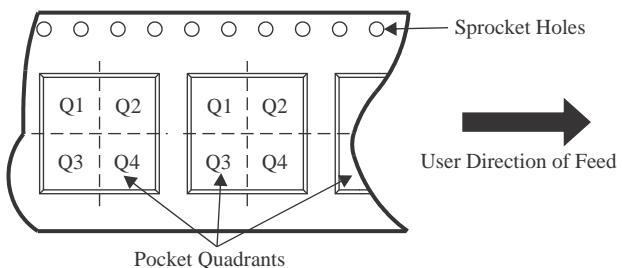
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

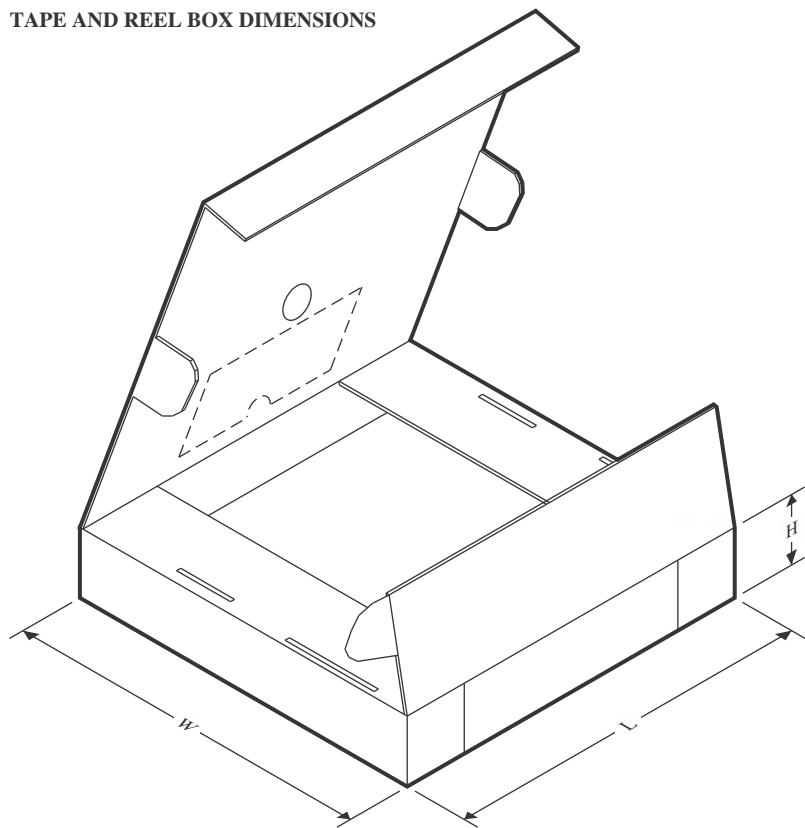
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


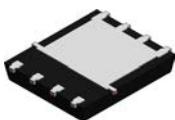
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD16342Q5A	VSONP	DQJ	8	2500	330.0	12.4	6.3	5.3	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD16342Q5A	VSONP	DQJ	8	2500	340.0	340.0	38.0

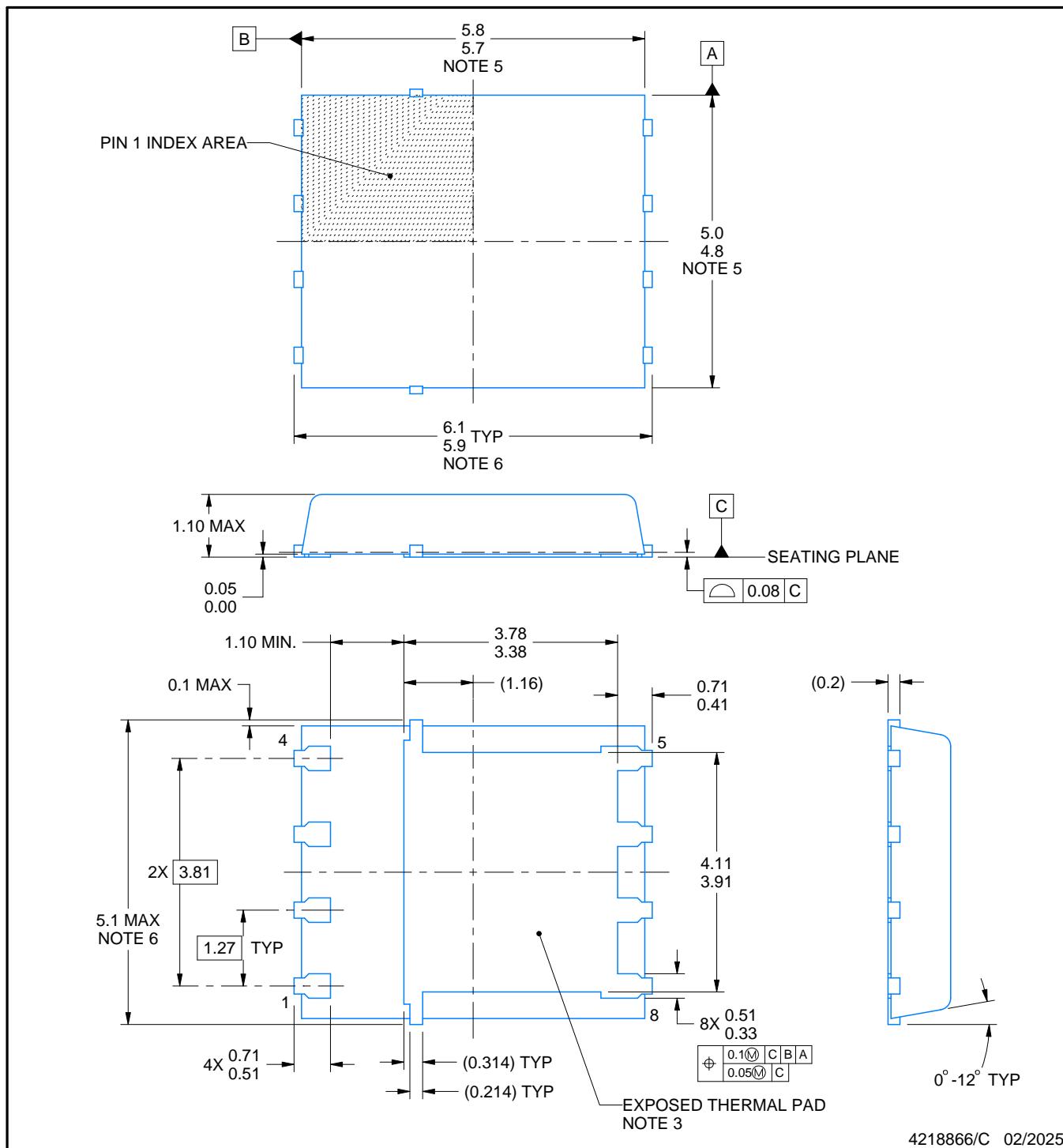


PACKAGE OUTLINE

DQJ0008A

VSONP - 1.1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4218866/C 02/2025

NOTES:

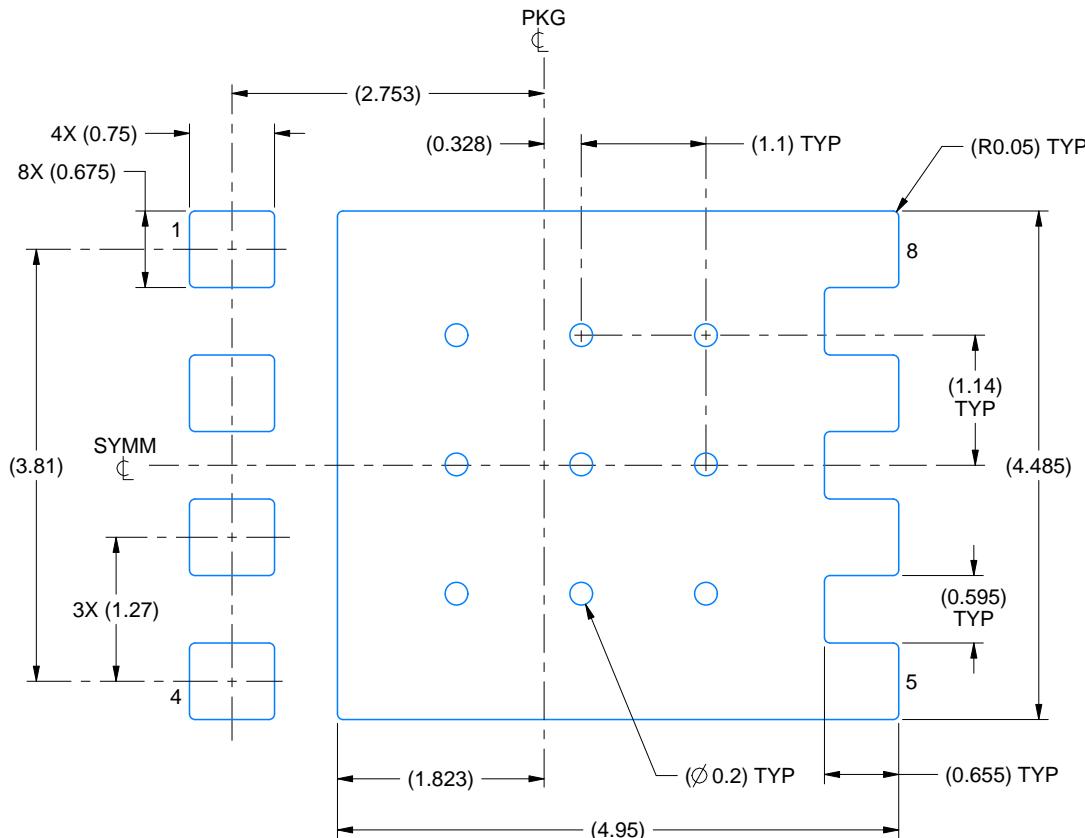
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
 4. Metalized features are supplier options and may not be on the package.
 5. These dimensions do not include mold flash protrusions or gate burrs.
 6. These dimensions include interterminal flash or protrusion. Interterminal flash or protrusion shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

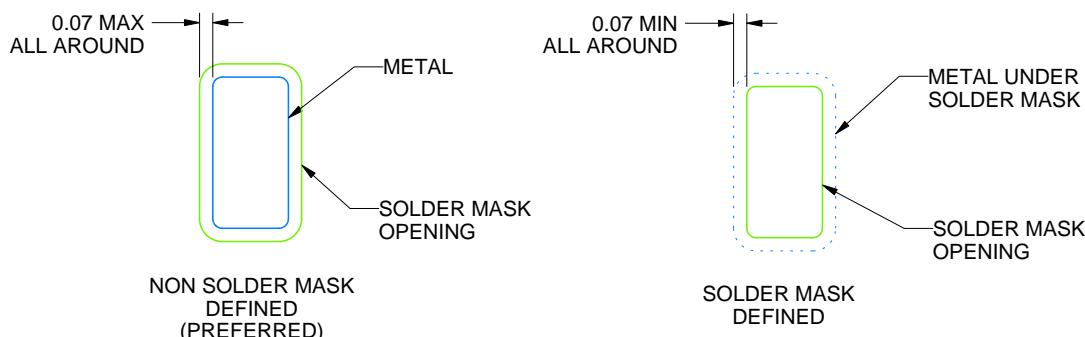
DQJ0008A

VSONP - 1.1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE: 15X



SOLDER MASK DETAILS

4218866/C 02/2025

NOTES: (continued)

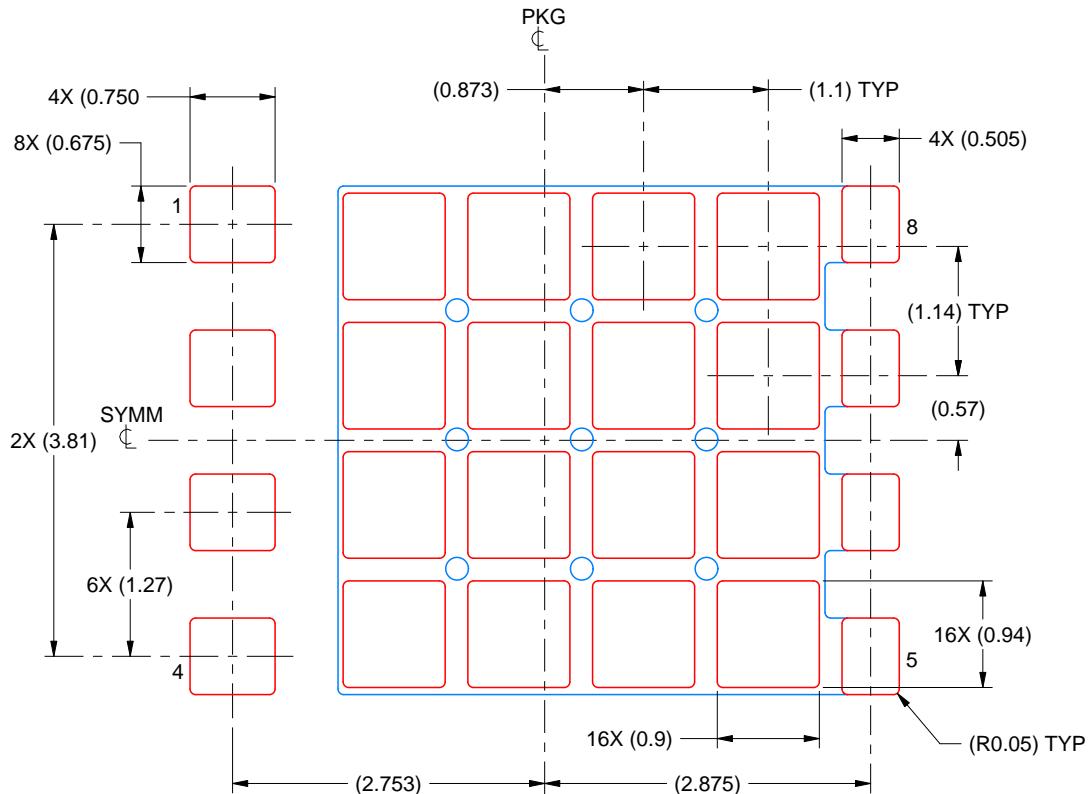
7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
8. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

DQJ0008A

VSONP - 1.1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD:
70% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE: 15X

4218866/C 02/2025

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月