

CSD16401Q5 25V、N チャネル NexFET™ パワー MOSFET

1 特長

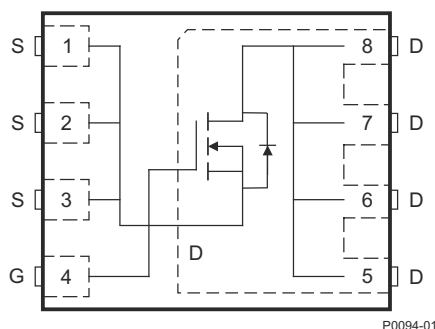
- 非常に低い Q_g および Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- SON 5mm × 6mm プラスチック・パッケージ

2 アプリケーション

- ネットワーク、テレコム、コンピューティング・システム・アプリケーション用のポイント・オブ・ロード同期整流降圧型コンバータ
- 同期 FET アプリケーション用に最適化

3 概要

この 25V、1.3mΩ、SON 5mm × 6mm の SON NexFET™ パワー MOSFET は、電力変換アプリケーションでの損失を最小限に抑えるように設計されています。



上面図

製品概要

$T_A = 25^\circ\text{C}$		値	単位	
V_{DS}	ドレイン - ソース間電圧	25	V	
Q_g	ゲートの合計電荷 (4.5V)	21	nC	
Q_{gd}	ゲート電荷、ゲート - ドレイン間	5.2	nC	
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 4.5\text{V}$	1.8	mΩ
		$V_{GS} = 10\text{V}$	1.3	
$V_{GS(th)}$	スレッシュホールド電圧	1.5	V	

製品情報⁽¹⁾

デバイス	メディア	数量	パッケージ	出荷形態
CSD16401Q5	13 インチ・リール	2500	SON 5.00mm × 6.00mm プラスチック・パッケージ	テープ・アンド・リール

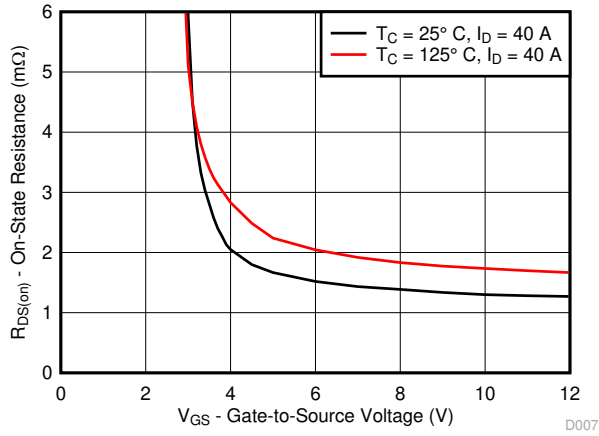
- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

絶対最大定格

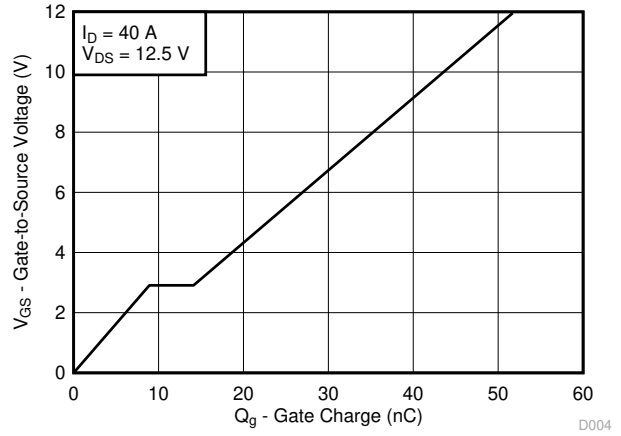
$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	25	V
V_{GS}	ゲート - ソース間電圧	-12 ~ 16	V
I_D	連続ドレイン電流 (パッケージ制限)	100	A
	連続ドレイン電流 (シリコン制限)、 $T_C = 25^\circ\text{C}$	261	
	連続ドレイン電流 ⁽¹⁾	38	
I_{DM}	パルス・ドレイン電流、 $T_A = 25^\circ\text{C}$ ⁽²⁾	240	A
P_D	消費電力 ⁽¹⁾	3.1	W
	消費電力、 $T_C = 25^\circ\text{C}$	156	
T_J 、 T_{stg}	動作時の接合部温度、保存温度	-55 ~ 150	°C
E_{AS}	アバランシェ・エネルギー、単一パルス $I_D = 100\text{A}$ 、 $L = 0.1\text{mH}$ 、 $R_G = 25\Omega$	500	mJ

- (1) 0.06in (1.52mm) 厚の FR4 PCB 上に構築された面積 1in^2 (6.45cm^2)、2oz (0.071mm) 厚の Cu パッドで、標準 $R_{\theta JA} = 40^\circ\text{C}/\text{W}$ の場合
- (2) 最大 $R_{\theta JC} = 0.8^\circ\text{C}/\text{W}$ 、パルス期間 $\leq 100\mu\text{s}$ 、デューティ・サイクル $\leq 1\%$





R_{DS(on)} と V_{GS} との関係



ゲート電荷

Table of Contents

1 特長	1	6 Device and Documentation Support	8
2 アプリケーション	1	6.1 ドキュメントの更新通知を受け取る方法.....	8
3 概要	1	6.2 サポート・リソース.....	8
4 Revision History	3	6.3 Trademarks.....	8
5 Specifications	4	6.4 静電気放電に関する注意事項.....	8
5.1 Electrical Characteristics.....	4	6.5 用語集.....	8
5.2 Thermal Information.....	4	7 Mechanical, Packaging, and Orderable Information	9
5.3 Typical MOSFET Characteristics.....	5		

4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (January 2018) to Revision D (October 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

Changes from Revision B (August 2015) to Revision C (January 2018)	Page
• Added $V_{DS} = 5\text{ V}$ to 図 5-3	5

Changes from Revision A (September 2010) to Revision B (August 2015)	Page
• タイトルに部品番号を追加.....	1
• 「概要」を拡張.....	1
• 「デバイスおよびドキュメントのサポート」セクションと「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• パルス電流を更新.....	1
• Updated 図 5-1 to a normalized $R_{\theta JC}$ curve.....	5
• Updated the SOA in 図 5-10	5

Changes from Revision * (August 2009) to Revision A (September 2010)	Page
• 「特長」の一覧から環境関連の箇条書き項目を削除.....	1

5 Specifications

5.1 Electrical Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise noted)

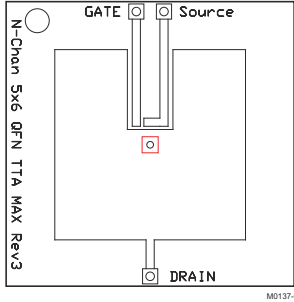
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV_{DSS}	Drain-to-source voltage	$V_{GS} = 0\text{ V}, I_D = 250\ \mu\text{A}$	25			V
I_{DSS}	Drain-to-source leakage current	$V_{GS} = 0\text{ V}, V_{DS} = 20\text{ V}$			1	μA
I_{GSS}	Gate-to-source leakage current	$V_{DS} = 0\text{ V}, V_{GS} = -12\text{ V to }16\text{ V}$			100	nA
$V_{GS(th)}$	Gate-to-source threshold voltage	$V_{DS} = V_{GS}, I_D = 250\ \mu\text{A}$	1.2	1.5	1.9	V
$R_{DS(on)}$	Drain-to-source on-resistance	$V_{GS} = 4.5\text{ V}, I_D = 40\text{ A}$		1.8	2.3	m Ω
		$V_{GS} = 10\text{ V}, I_D = 40\text{ A}$		1.3	1.6	
g_{fs}	Transconductance	$V_{DS} = 15\text{ V}, I_D = 40\text{ A}$		168		S
DYNAMIC CHARACTERISTICS						
C_{ISS}	Input capacitance	$V_{GS} = 0\text{ V}, V_{DS} = 12.5\text{ V}, f = 1\text{ MHz}$		3150	4100	pF
C_{OSS}	Output capacitance			2530	3300	pF
C_{RSS}	Reverse transfer capacitance			175	230	pF
R_g	Series gate resistance			1.2	2.4	Ω
Q_g	Gate charge total (4.5 V)	$V_{DS} = 12.5\text{ V}, I_D = 40\text{ A}$		21	29	nC
Q_{gd}	Gate charge, gate-to-drain			5.2		nC
Q_{gs}	Gate charge, gate-to-source			8.3		nC
$Q_{g(th)}$	Gate charge at V_{th}			4.8		nC
Q_{OSS}	Output charge	$V_{DS} = 15\text{ V}, V_{GS} = 0\text{ V}$		55		nC
$t_{d(on)}$	Turnon delay time	$V_{DS} = 12.5\text{ V}, V_{GS} = 4.5\text{ V}, I_D = 40\text{ A}$ $R_G = 2\ \Omega$		16.6		ns
t_r	Rise time			30		ns
$t_{d(off)}$	Turnoff delay time			20		ns
t_f	Fall time			12.7		ns
DIODE CHARACTERISTICS						
V_{SD}	Diode forward voltage	$I_S = 40\text{ A}, V_{GS} = 0\text{ V}$		0.85	1	V
Q_{rr}	Reverse recovery charge	$V_{DD} = 15\text{ V}, I_F = 40\text{ A}, di/dt = 300\text{ A}/\mu\text{s}$		72		nC
t_{rr}	Reverse recovery time	$V_{DD} = 15\text{ V}, I_F = 40\text{ A}, di/dt = 300\text{ A}/\mu\text{s}$		45		ns

5.2 Thermal Information

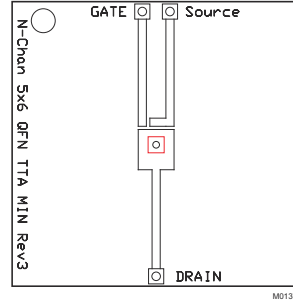
$T_A = 25^\circ\text{C}$ (unless otherwise noted)

THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Thermal resistance, junction-to-case ⁽¹⁾			0.8	$^\circ\text{C}/\text{W}$
$R_{\theta JA}$	Thermal resistance, junction-to-ambient ^{(1) (2)}			50	$^\circ\text{C}/\text{W}$

- (1) $R_{\theta JC}$ is determined with the device mounted on a 1-in (2.54-cm) square, 2-oz(0.071-mm) thick Cu pad on a 1.5-in \times 1.5-in (3.81-cm \times 3.81-cm), 0.06-in (1.52-mm) thick FR4 board. $R_{\theta JC}$ is specified by design, whereas $R_{\theta JA}$ is determined by the user's board design.
- (2) Device mounted on FR4 material with 1 in² (6.45 cm²) of 2-oz (0.071-mm) thick Cu.



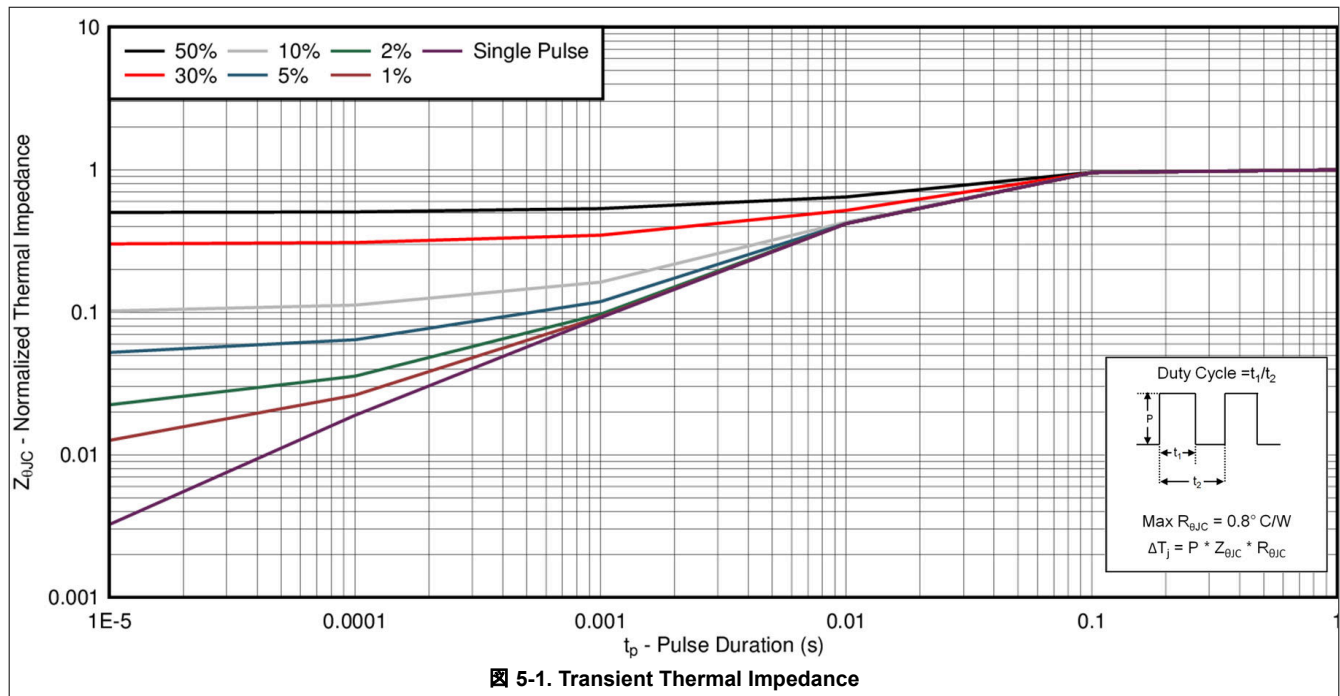
Max $R_{\theta JA} = 50^{\circ}\text{C/W}$ when mounted on 1 in² (6.45 cm²) of 2-oz (0.071-mm) thick Cu.



Max $R_{\theta JA} = 125^{\circ}\text{C/W}$ when mounted on minimum pad area of 2-oz (0.071-mm) thick Cu.

5.3 Typical MOSFET Characteristics

$T_A = 25^{\circ}\text{C}$ (unless otherwise noted)



5.3 Typical MOSFET Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise noted)

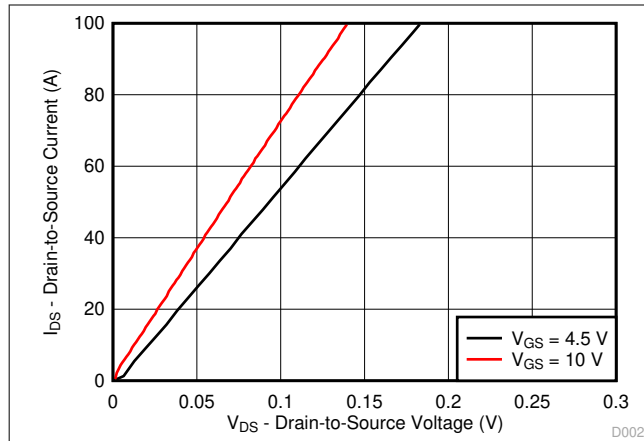


Figure 5-2. Saturation Characteristics

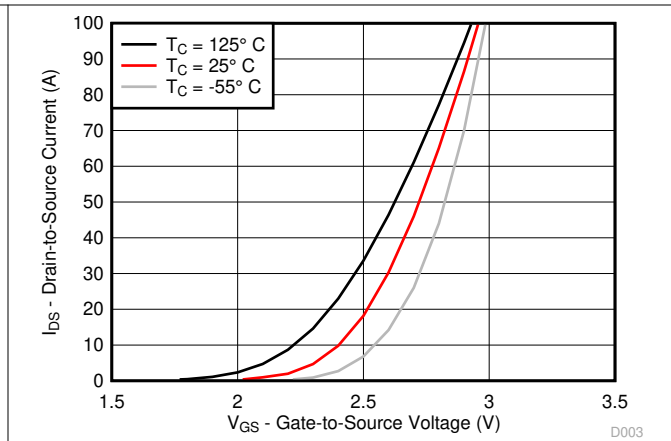


Figure 5-3. Transfer Characteristics

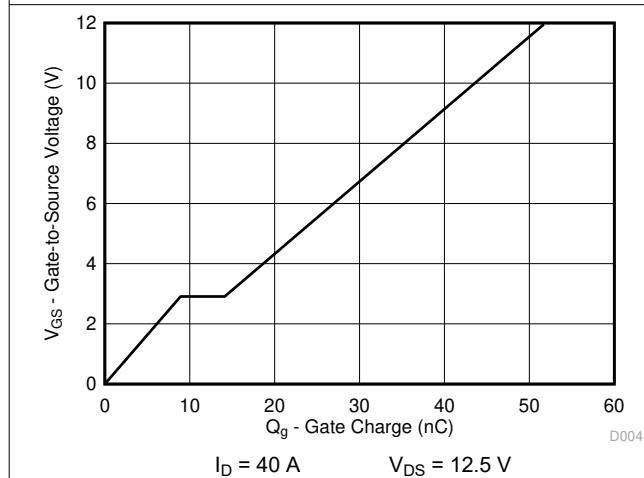


Figure 5-4. Gate Charge

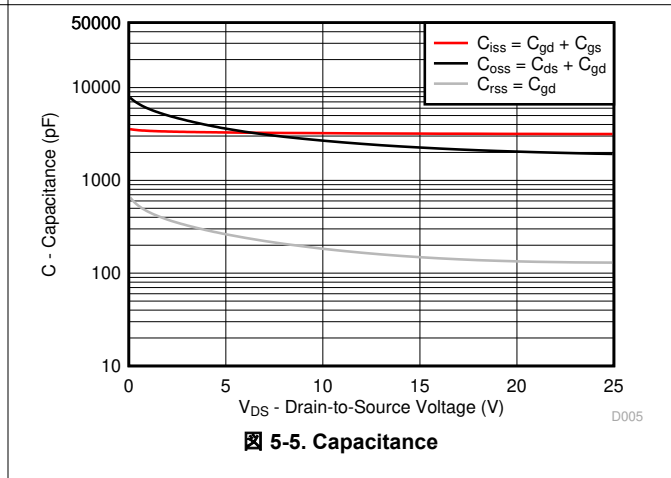


Figure 5-5. Capacitance

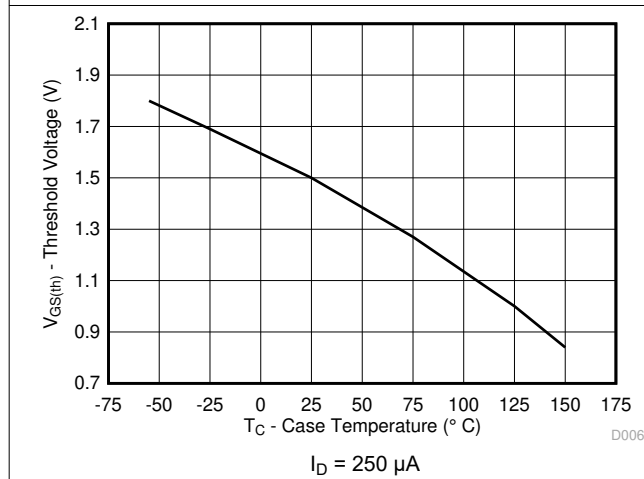


Figure 5-6. Threshold Voltage vs Temperature

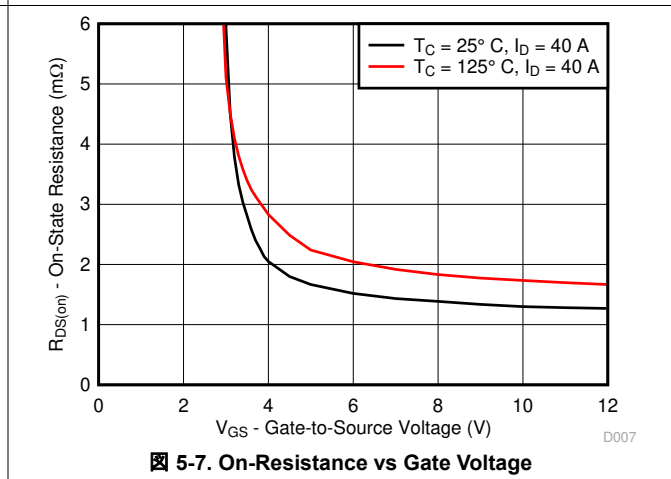
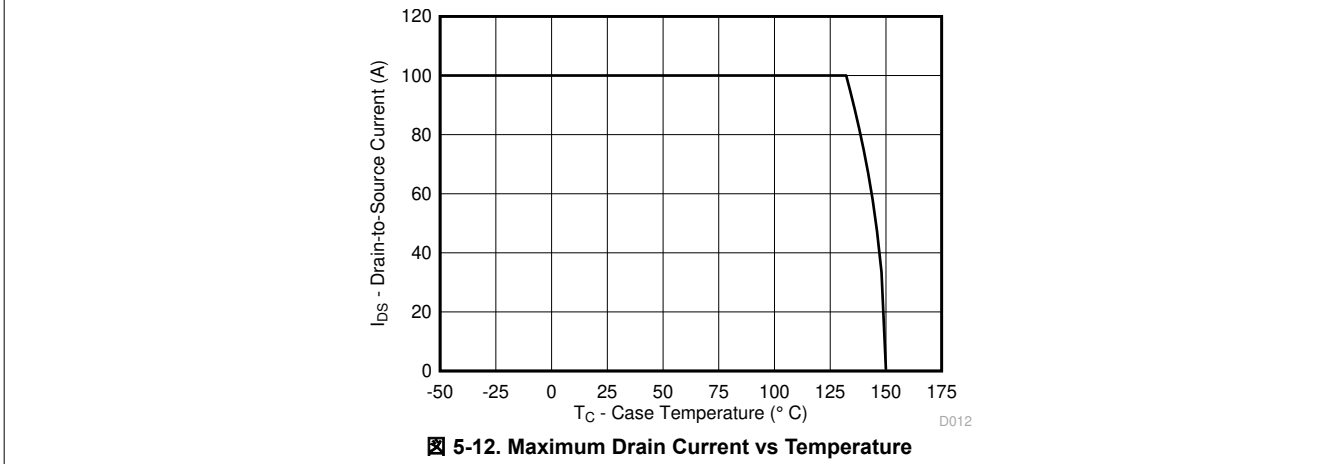
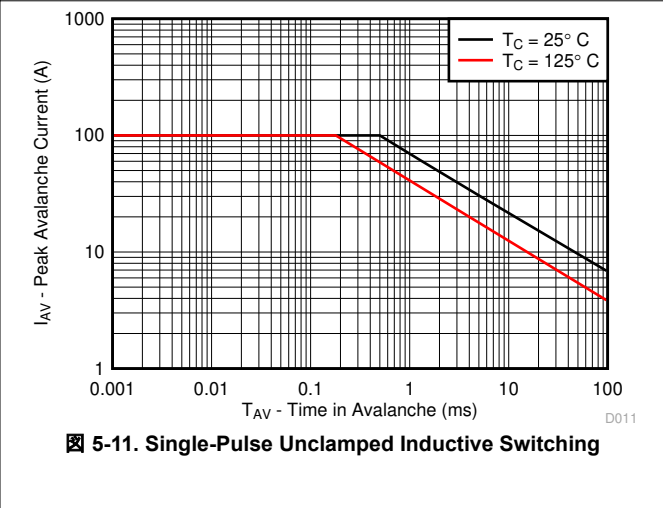
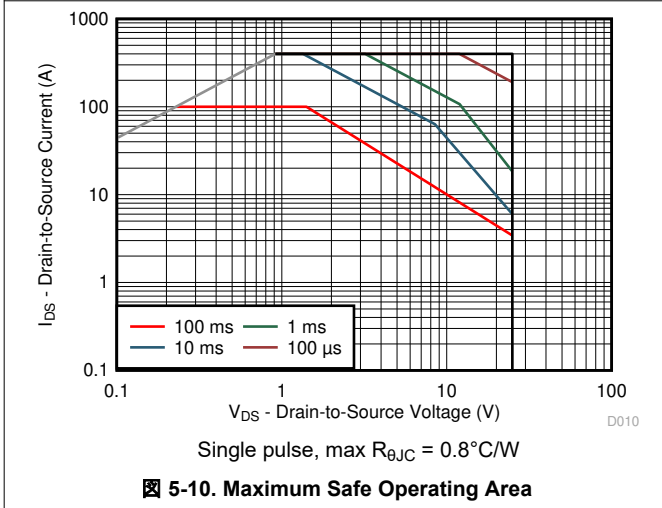
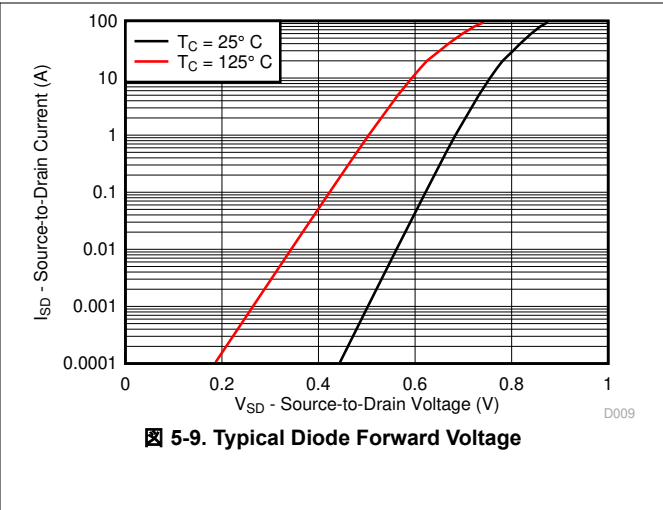
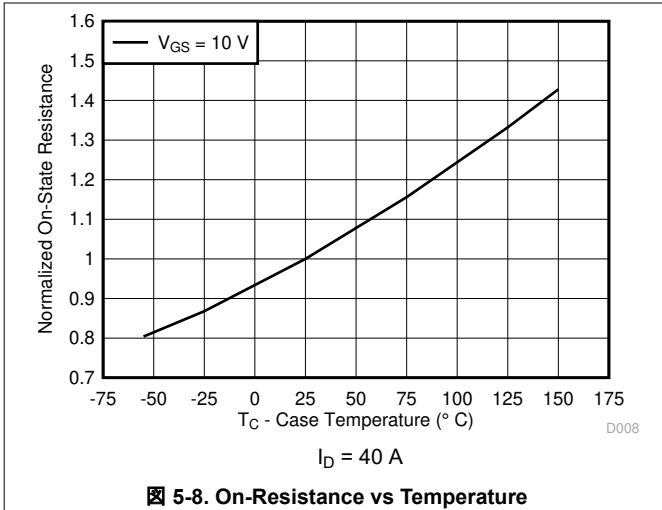


Figure 5-7. On-Resistance vs Gate Voltage

5.3 Typical MOSFET Characteristics (continued)

T_A = 25°C (unless otherwise noted)



6 Device and Documentation Support

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

6.3 Trademarks

NexFET™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

6.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD16401Q5	ACTIVE	VSON-CLIP	DQH	8	2500	RoHS-Exempt & Green	SN	Level-1-260C-UNLIM	-55 to 150	CSD16401	Samples
CSD16401Q5T	ACTIVE	VSON-CLIP	DQH	8	250	RoHS-Exempt & Green	SN	Level-1-260C-UNLIM	-55 to 150	CSD16401	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

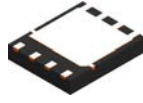
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD16401Q5T	VSON-CLIP	DQH	8	250	178.0	12.4	6.3	5.3	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD16401Q5T	VSON-CLIP	DQH	8	250	180.0	180.0	79.0

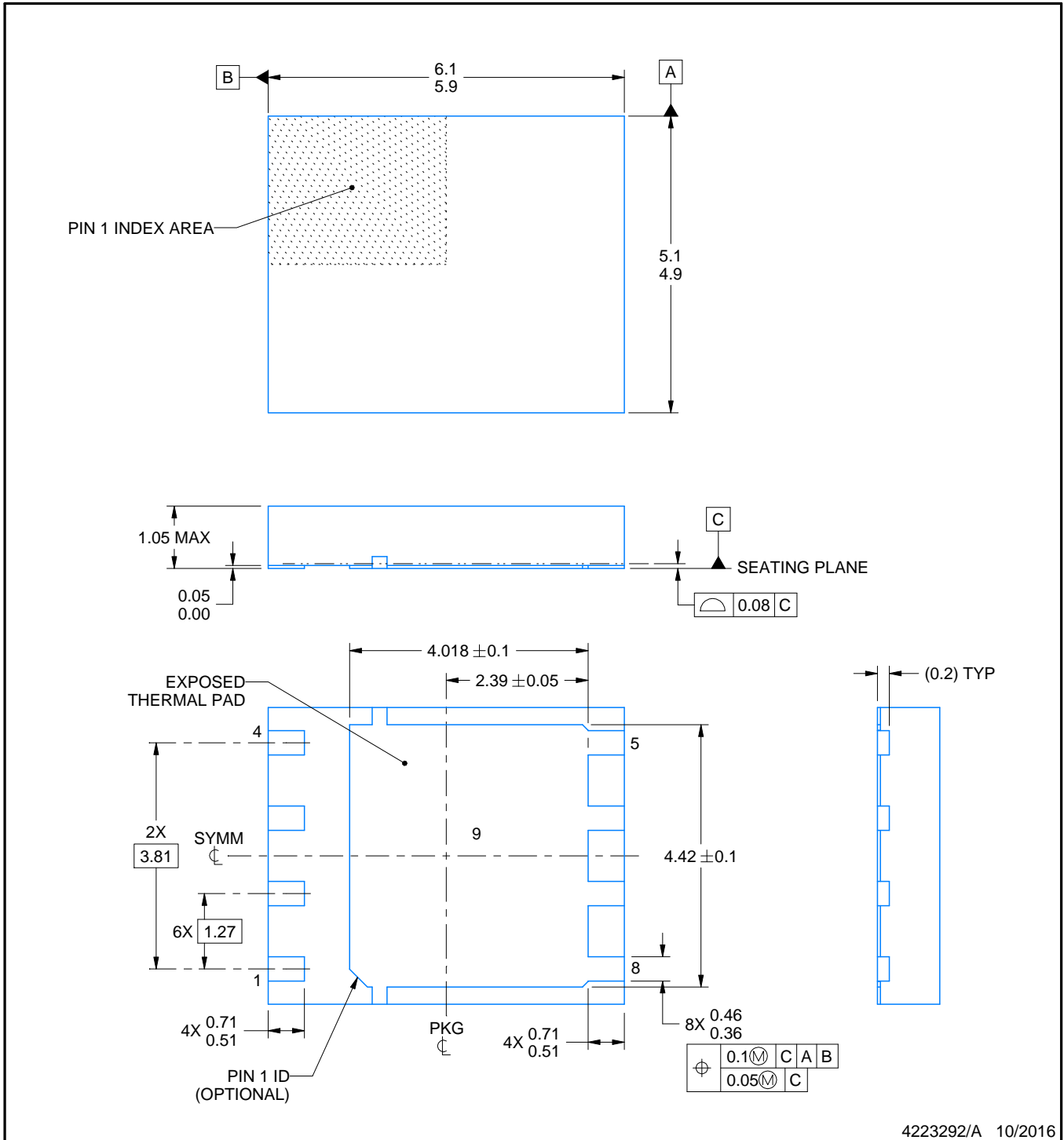
DQH0008A



PACKAGE OUTLINE

VSON-CLIP - 1.05 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4223292/A 10/2016

NOTES:

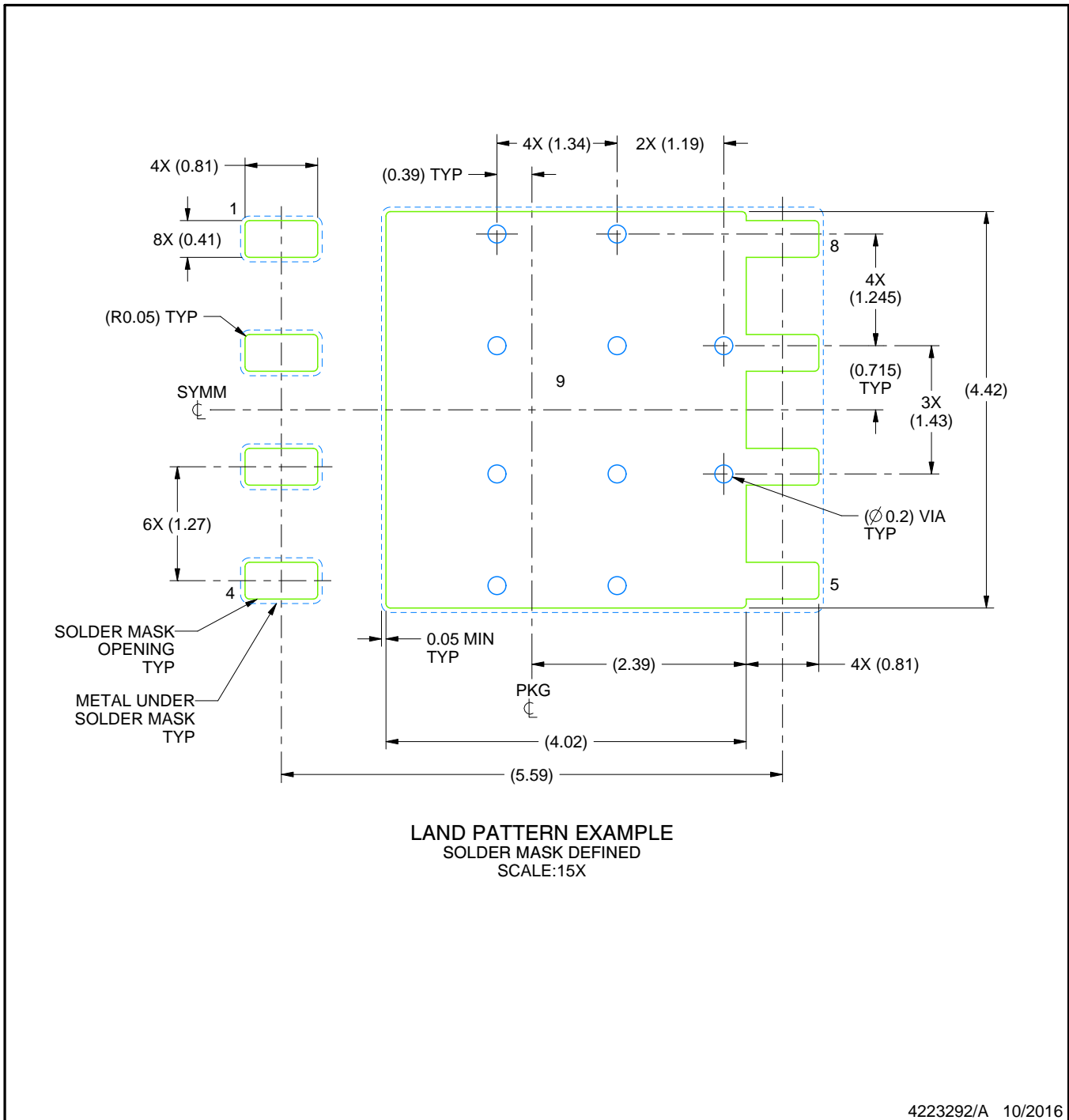
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

DQH0008A

VSON-CLIP - 1.05 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

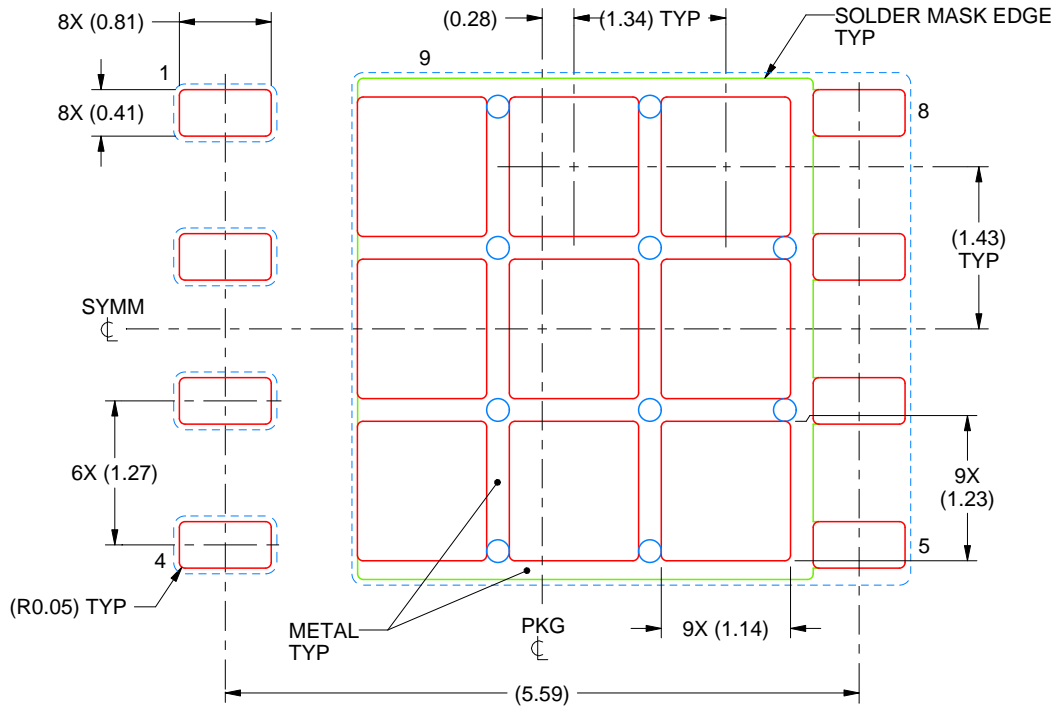
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

DQH0008A

VSON-CLIP - 1.05 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
71% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:15X

4223292/A 10/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated