

# CSD18542KTT 60V N チャネル NexFET™ パワー MOSFET

## 1 特長

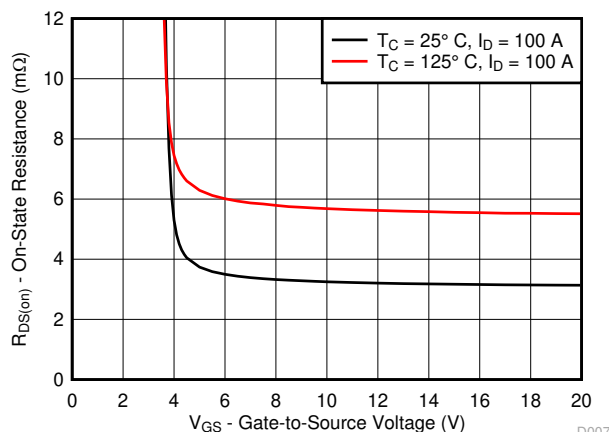
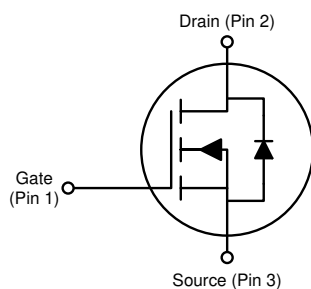
- 非常に低い  $Q_g$  および  $Q_{gd}$
- 低い熱抵抗
- アバランシェ定格
- ロジックレベル
- 鉛フリーの端子メッキ処理
- RoHS に準拠
- ハロゲン不使用
- D<sup>2</sup>PAK プラスチック パッケージ

## 2 アプリケーション

- DC/DC 変換
- 2 次側同期整流器
- モータ制御

## 3 概要

この 60V、3.3mΩ、D<sup>2</sup>PAK (TO-263) NexFET™ パワー MOSFET は、電力変換アプリケーションでの損失を最小限に抑えるように設計されています。



$R_{DS(on)}$  と  $V_{GS}$  との関係

## 製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
$V_{DS}$	ドレイン - ソース間電圧	60	V
$Q_g$	ゲートの合計電荷 (10V)	44	nC
$Q_{gd}$	ゲート-ドレイン間ゲート電荷	6.9	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 4.5\text{V}$	4.0
		$V_{GS} = 10\text{V}$	3.3
$V_{GS(th)}$	スレッショルド電圧	1.8	V

## 製品情報 (1)

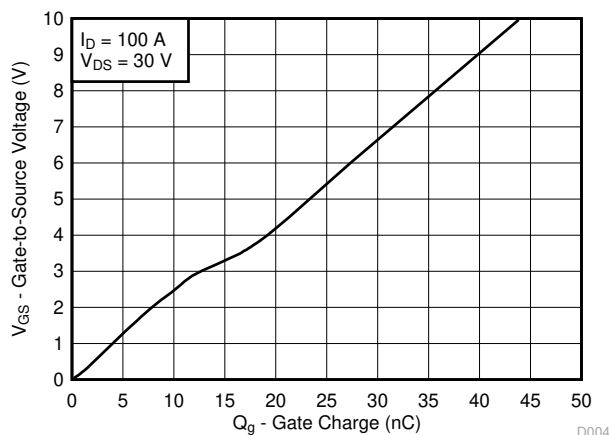
デバイス	数量	メディア	パッケージ	出荷形態
CSD18542KTT	500	13 インチリール	D <sup>2</sup> PAK プラスチック パッケージ	テープ アンド リール
CSD18542KTTT	50			リール

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

## 絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
$V_{DS}$	ドレイン - ソース間電圧	60	V
$V_{GS}$	ゲート - ソース間電圧	±20	V
$I_D$	連続ドレイン電流 (パッケージ制限)	200	A
	連続ドレイン電流 (シリコン制限)、 $T_C = 25^\circ\text{C}$	170	
	連続ドレイン電流 (シリコン制限)、 $T_C = 100^\circ\text{C}$	120	
$I_{DM}$	パルスドレイン電流 <sup>(1)</sup>	400	A
$P_D$	電力散逸	250	W
$T_J$ , $T_{stg}$	動作時の接合部温度、 保存温度	-55~175	°C
$E_{AS}$	アバランシェエネルギー、単一パルス $I_D = 75\text{ A}$ , $L = 0.1\text{ mH}$ , $R_G = 25\Omega$	281	mJ

(1) 最大  $R_{\theta JC} = 0.6^\circ\text{C/W}$ 、パルス期間  $\leq 100\mu\text{s}$ 、デューティ サイクル  $\leq 1\%$



ゲート電荷



## Table of Contents

<b>1 特長</b> .....	1	5.1 ドキュメントの更新通知を受け取る方法.....	7
<b>2 アプリケーション</b> .....	1	5.2 サポート・リソース.....	7
<b>3 概要</b> .....	1	5.3 Trademarks.....	7
<b>4 Specifications</b> .....	3	5.4 静電気放電に関する注意事項.....	7
4.1 Electrical Characteristics.....	3	5.5 用語集.....	7
4.2 Thermal Information.....	3	<b>6 Revision History</b> .....	7
4.3 Typical MOSFET Characteristics.....	4	<b>7 Mechanical, Packaging, and Orderable Information</b> ....	8
<b>5 Device and Documentation Support</b> .....	7		

---

## 4 Specifications

### 4.1 Electrical Characteristics

T<sub>A</sub> = 25°C (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>STATIC CHARACTERISTICS</b>						
B <sub>V</sub> DSS	Drain-to-source voltage	V <sub>GS</sub> = 0V, I <sub>D</sub> = 250μA	60			V
I <sub>DSS</sub>	Drain-to-source leakage current	V <sub>GS</sub> = 0V, V <sub>DS</sub> = 48V			1	μA
I <sub>GSS</sub>	Gate-to-source leakage current	V <sub>DS</sub> = 0V, V <sub>GS</sub> = 20V			100	nA
V <sub>GS(th)</sub>	Gate-to-source threshold voltage	V <sub>DS</sub> = V <sub>GS</sub> , I <sub>D</sub> = 250μA	1.5	1.8	2.2	V
R <sub>DS(on)</sub>	Drain-to-source on resistance	V <sub>GS</sub> = 4.5V, I <sub>D</sub> = 100A		4.0	5.1	mΩ
		V <sub>GS</sub> = 10V, I <sub>D</sub> = 100A		3.3	4.0	
g <sub>fs</sub>	Transconductance	V <sub>DS</sub> = 6V, I <sub>D</sub> = 100A		198		S
<b>DYNAMIC CHARACTERISTICS</b>						
C <sub>iss</sub>	Input capacitance	V <sub>GS</sub> = 0V, V <sub>DS</sub> = 30V, f = 1MHz		3900	5070	pF
C <sub>oss</sub>	Output capacitance			570	740	pF
C <sub>rss</sub>	Reverse transfer capacitance			11	14	pF
R <sub>G</sub>	Series gate resistance			1.3	2.6	Ω
Q <sub>g</sub>	Gate charge total (4.5V)	V <sub>DS</sub> = 30V, I <sub>D</sub> = 100A		21	27	nC
Q <sub>g</sub>	Gate charge total (10V)			44	57	nC
Q <sub>gd</sub>	Gate charge gate-to-drain			6.9		nC
Q <sub>gs</sub>	Gate charge gate-to-source			10		nC
Q <sub>g(th)</sub>	Gate charge at V <sub>th</sub>			7.3		nC
Q <sub>oss</sub>	Output charge		V <sub>DS</sub> = 30V, V <sub>GS</sub> = 0V		63	
t <sub>d(on)</sub>	Turnon delay time	V <sub>DS</sub> = 30V, V <sub>GS</sub> = 10V, I <sub>DS</sub> = 100A, R <sub>G</sub> = 0Ω		6		ns
t <sub>r</sub>	Rise time			5		ns
t <sub>d(off)</sub>	Turnoff delay time			18		ns
t <sub>f</sub>	Fall time			21		ns
<b>DIODE CHARACTERISTICS</b>						
V <sub>SD</sub>	Diode forward voltage	I <sub>SD</sub> = 100A, V <sub>GS</sub> = 0V		0.9	1.0	V
Q <sub>rr</sub>	Reverse recovery charge	V <sub>DS</sub> = 30V, I <sub>F</sub> = 100A, di/dt = 300A/μs		148		nC
t <sub>rr</sub>	Reverse recovery time			53		ns

### 4.2 Thermal Information

T<sub>A</sub> = 25°C (unless otherwise stated)

THERMAL METRIC		MIN	TYP	MAX	UNIT
R <sub>θJC</sub>	Junction-to-case thermal resistance			0.6	°C/W
R <sub>θJA</sub>	Junction-to-ambient thermal resistance			62	°C/W

### 4.3 Typical MOSFET Characteristics

T<sub>A</sub> = 25°C (unless otherwise stated)

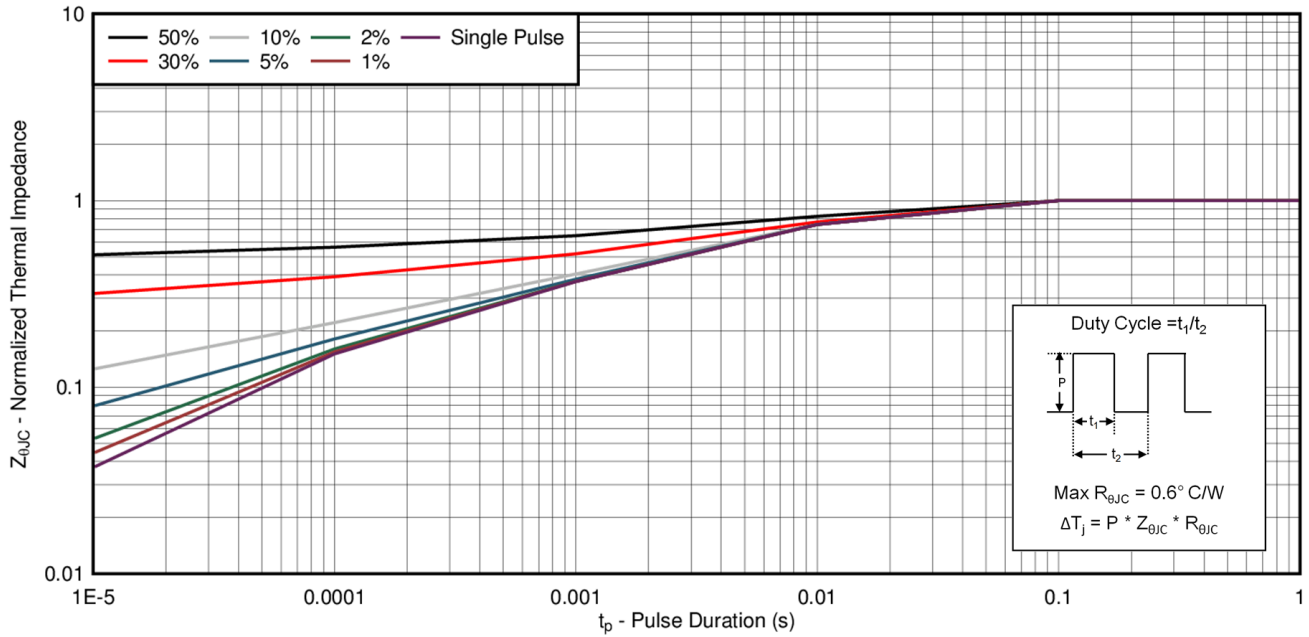


図 4-1. Transient Thermal Impedance

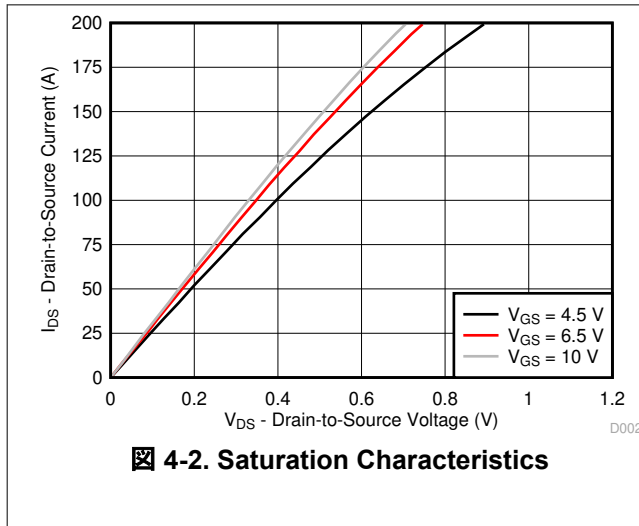


図 4-2. Saturation Characteristics

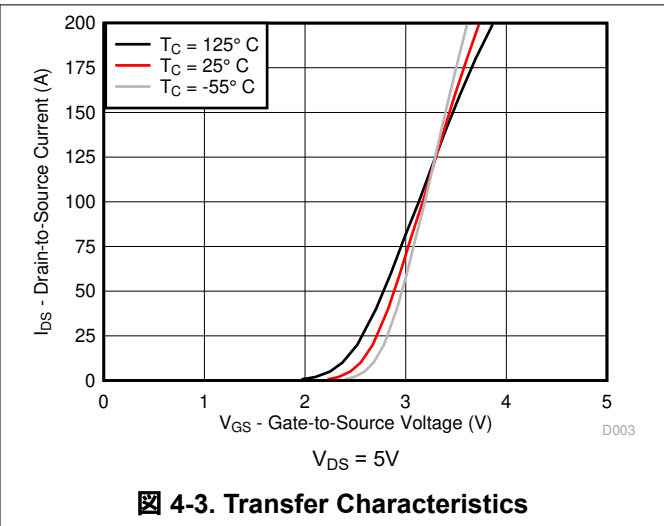
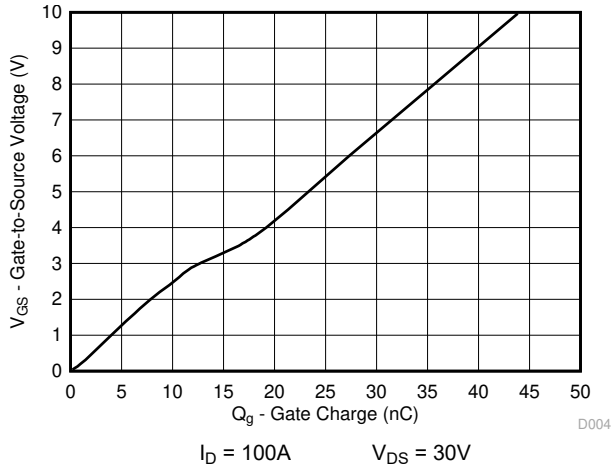
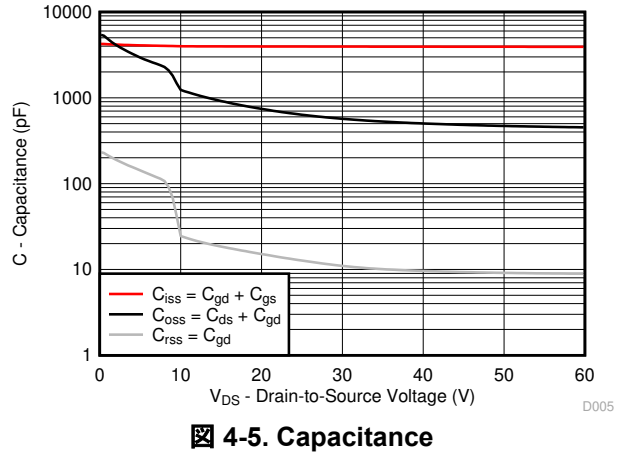


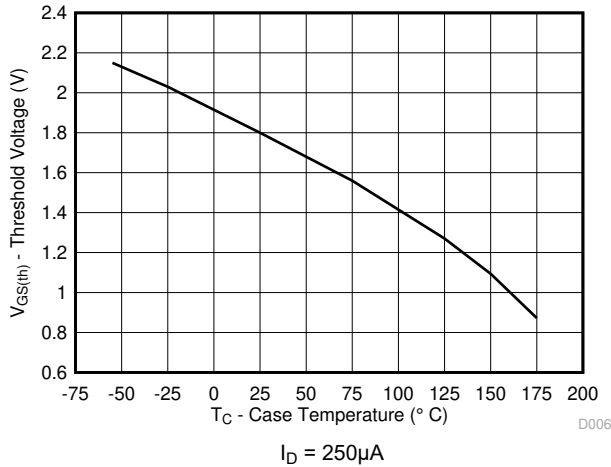
図 4-3. Transfer Characteristics



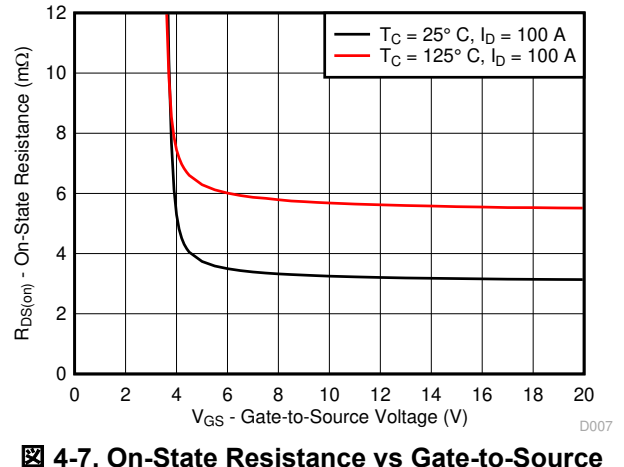
4-4. Gate Charge



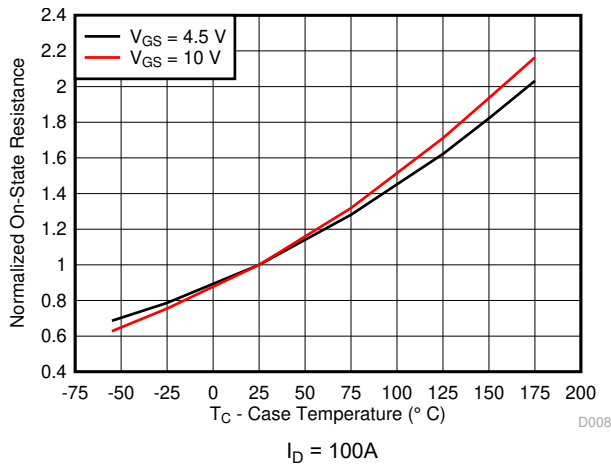
4-5. Capacitance



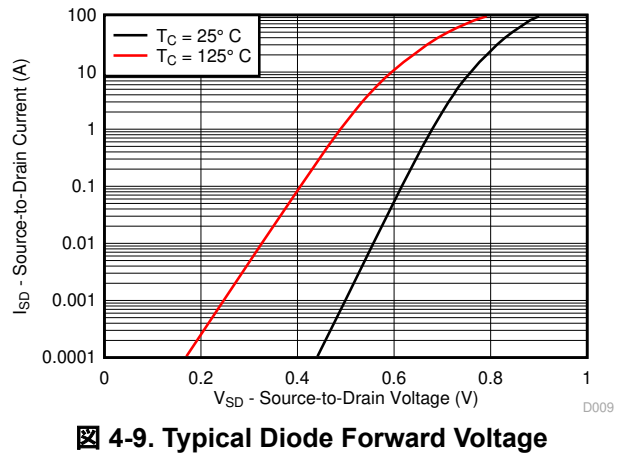
4-6. Threshold Voltage vs Temperature



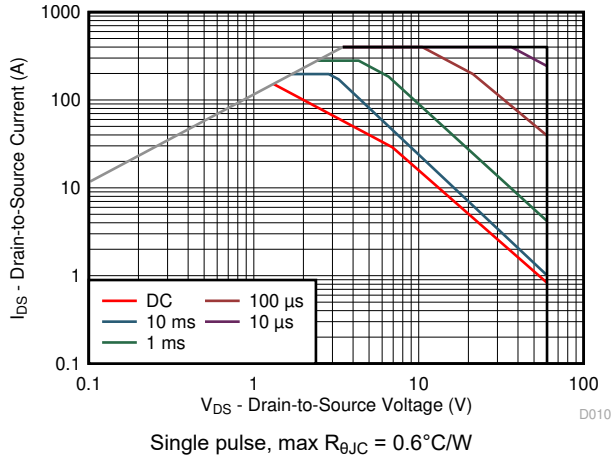
4-7. On-State Resistance vs Gate-to-Source Voltage



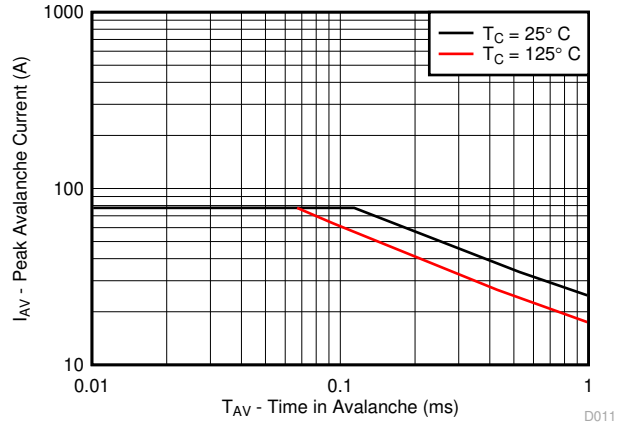
4-8. Normalized On-State Resistance vs Temperature



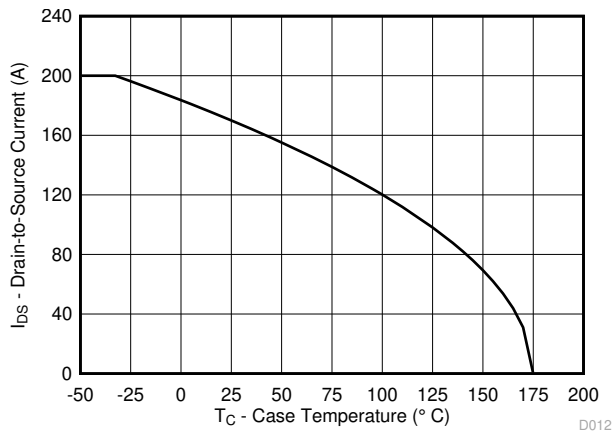
4-9. Typical Diode Forward Voltage



**4-10. Maximum Safe Operating Area**



**4-11. Single Pulse Unclamped Inductive Switching**



**4-12. Maximum Drain Current vs Temperature**

## 5 Device and Documentation Support

### 5.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 5.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 5.3 Trademarks

NexFET™ is a trademark of Texas Instruments.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 5.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 5.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 6 Revision History

Changes from Revision A (March 2017) to Revision B (June 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

Changes from Revision * (March 2016) to Revision A (March 2017)	Page
• Changed the values for $C_{OSS}$ , $Q_{GS}$ , $t_r$ , $t_{d(off)}$ , $t_f$ , $Q_{rr}$ , and $t_{rr}$ in the <i>Electrical Characteristics</i> table.....	3

## 7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.



**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD18542KTT	ACTIVE	DDPAK/ TO-263	KTT	2	500	RoHS-Exempt & Green	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18542KTT	<a href="#">Samples</a>
CSD18542KTTT	ACTIVE	DDPAK/ TO-263	KTT	2	50	RoHS-Exempt & Green	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18542KTT	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



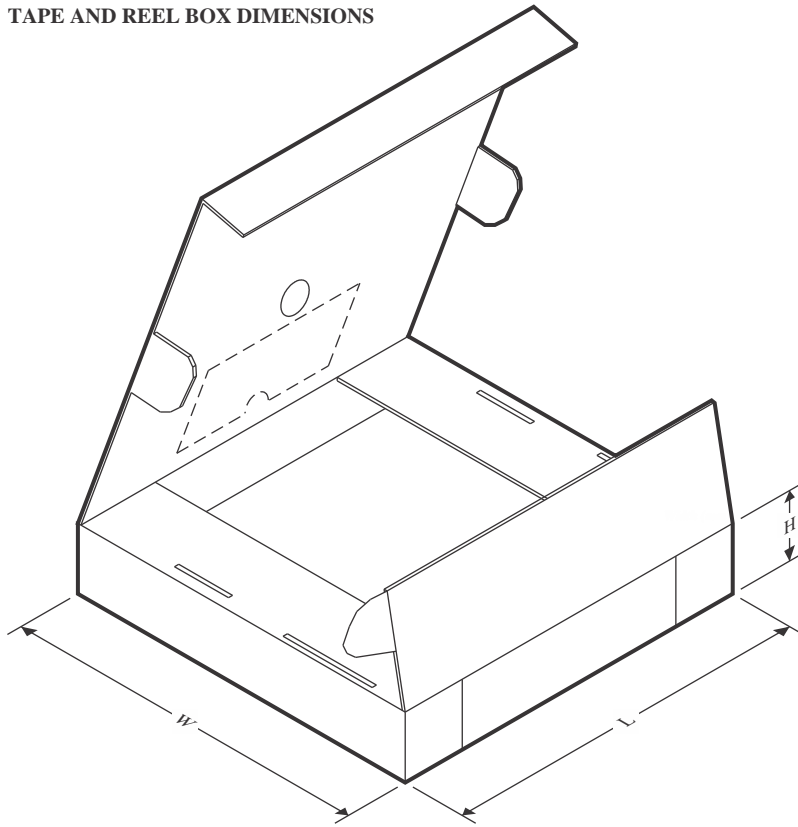
**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

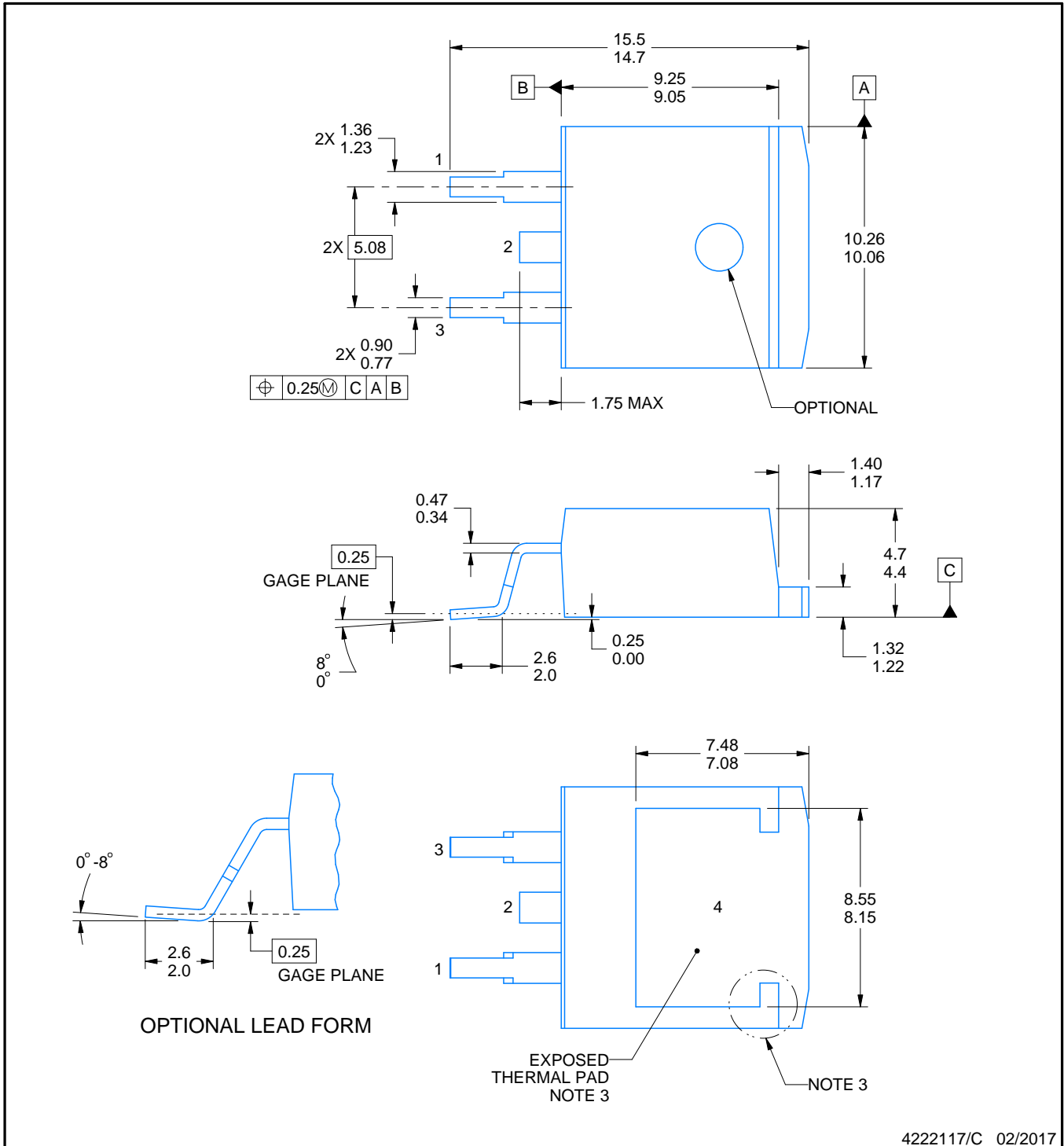
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD18542KTT	DDPAK/ TO-263	KTT	2	500	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2
CSD18542KTTT	DDPAK/ TO-263	KTT	2	50	330.0	24.4	10.8	16.3	5.11	16.0	24.0	Q2

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD18542KTT	DDPAK/TO-263	KTT	2	500	340.0	340.0	38.0
CSD18542KTTT	DDPAK/TO-263	KTT	2	50	340.0	340.0	38.0



4222117/C 02/2017

**NOTES:**

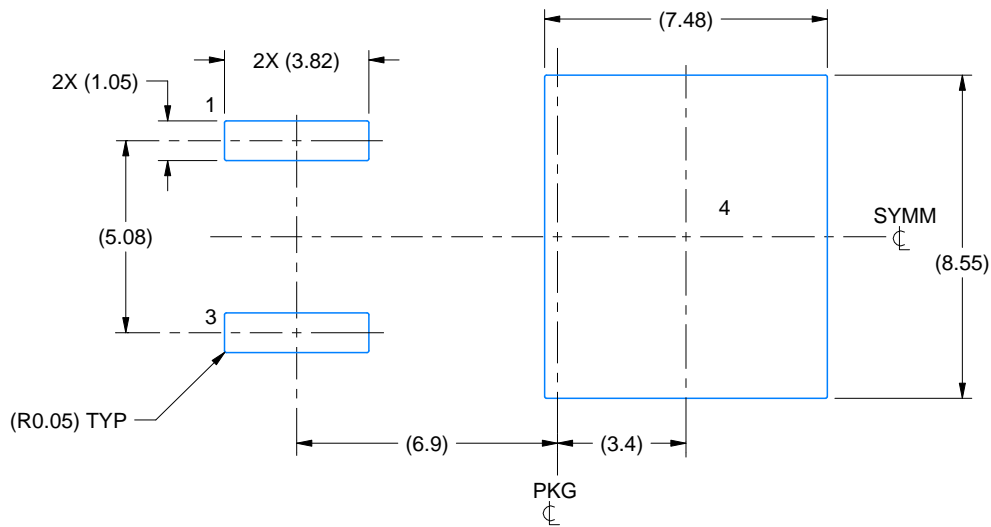
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Features may not exist and shape may vary per different assembly sites.
4. Reference JEDEC registration TO-263.

# EXAMPLE BOARD LAYOUT

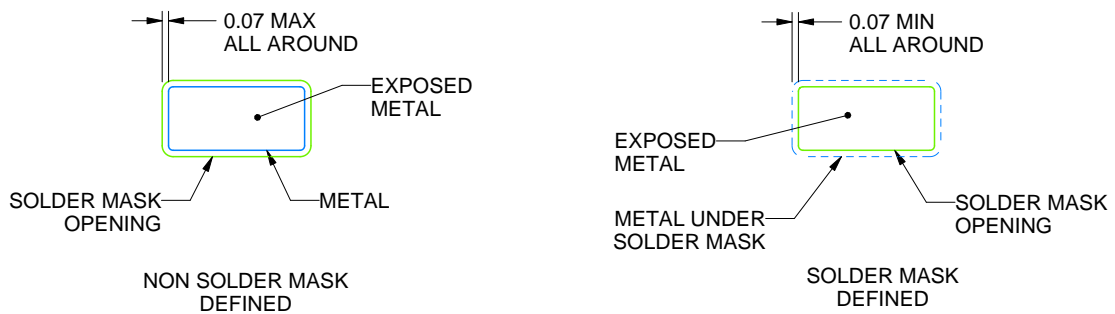
KTT0002A

TO-263 - 4.7 mm max height

TO-263



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:5X



SOLDER MASK DETAILS

4222117/C 02/2017

NOTES: (continued)

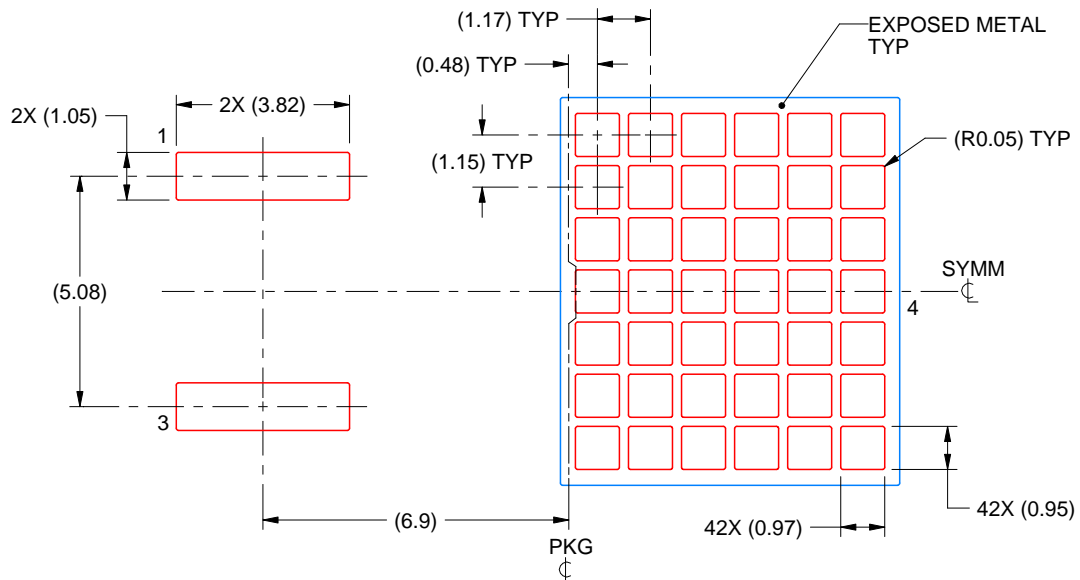
5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slm002](http://www.ti.com/lit/slm002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
6. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

KTT0002A

TO-263 - 4.7 mm max height

TO-263



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
60.5% PRINTED SOLDER COVERAGE BY AREA  
SCALE:6X

4222117/C 02/2017

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated