

CSD85301Q2 20V、デュアル、N チャネル NexFET™ パワー MOSFET

1 特長

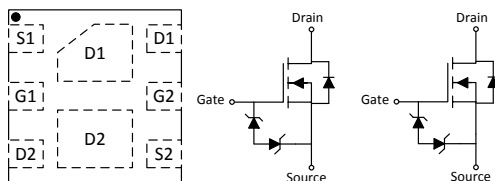
- 低いオン抵抗
- 独立した 2 つの MOSFET
- 省スペースの SON 2mm × 2mm プラスチック パッケージ
- 5V ゲートドライバに最適化
- アバランシェ定格
- 鉛およびハロゲン不使用
- RoHS に準拠

2 アプリケーション

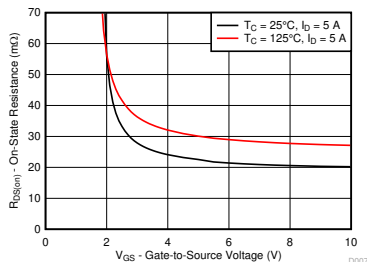
- ネットワーク、テレコム、コンピューティング システム アプリケーション用のポイント オブ ロード (POL) 同期整流降圧型コンバータ
- ノート PC およびタブレット用のアダプタまたは USB 入力保護
- バッテリー保護

3 概要

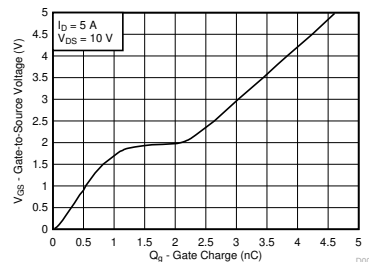
CSD85301Q2 は、SON 2mm x 2mm プラスチック パッケージに封止された 20V、23mΩ N チャネル デバイスです。本デバイスは独立した 2 つの MOSFET を内蔵しています。これらの 2 つの FET は、同期整流降圧アプリケーションとその他の電源アプリケーションのために、ハーフブリッジ構成で使用するよう設計されています。また、このデバイスはアダプタ、USB 入力保護、バッテリー充電アプリケーションにも使用できます。2 つの FET は、ドレイン - ソース間オン抵抗が低いことを特長としています。そのため、スペースに制約のあるアプリケーションの損失を最小化し、部品点数を低減できます。



上面図と回路図



$R_{DS(on)}$ と V_{GS} との関係



ゲート電荷

製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン - ソース間電圧	20	V
Q_g	ゲートの合計電荷 (4.5V)	4.2	nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	1.0	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 1.8\text{V}$	65 mΩ
		$V_{GS} = 2.5\text{V}$	33 mΩ
		$V_{GS} = 3.8\text{V}$	25 mΩ
		$V_{GS} = 4.5\text{V}$	23 mΩ
$V_{GS(th)}$	スレッショルド電圧	0.9	V

注文情報

デバイス (1)	メディア	数量	パッケージ	Ship (配送)
CSD85301Q2	7 インチリール	3000	SON 2mm × 2mm プラスチック パッケージ	テープ アン ドリール
CSD85301Q2T	7 インチリール	250		

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ\text{C}$	値	単位
V_{DS}	ドレイン - ソース間電圧	20 V
V_{GS}	ゲート - ソース間電圧	±10 V
I_D	連続ドレイン電流 (パッケージ制限)	5.0 A
I_{DM}	パルスドレイン電流 (1)	26 A
P_D	消費電力 (2)	2.3 W
T_J , T_{stg}	動作時の接合部温度、 保存温度	-55~150 °C
E_{AS}	アバランシェ エネルギー、単一パルス $I_D = 8.7\text{A}$, $L = 0.1\text{mH}$, $R_G = 25\Omega$	3.8 mJ

- (1) 最大 $R_{\theta JA} = 185^\circ\text{C/W}$ 、パルス期間 $\leq 100\mu\text{s}$ 、デューティ サイクル $\leq 1\%$
- (2) $R_{\theta JA} = 55^\circ\text{C/W}$ (標準値、厚さ 0.06 インチの FR4 PCB 上の 1 平方インチ 2 オンス Cu パッドに実装した場合)



Table of Contents

1 特長	1	5.3 Trademarks	7
2 アプリケーション	1	5.4 静電気放電に関する注意事項	7
3 概要	1	5.5 用語集	7
4 Specifications	3	6 Revision History	8
4.1 Electrical Characteristics.....	3	7 Mechanical, Packaging, and Orderable Information	9
4.2 Thermal Information.....	3	7.1 Package Dimensions.....	9
4.3 Typical MOSFET Characteristics.....	4	7.2 PCB Land Pattern.....	10
5 Device and Documentation Support	7	7.3 Recommended Stencil Opening.....	10
5.1 ドキュメントの更新通知を受け取る方法.....	7	7.4 Q2 Tape and Reel Information.....	11
5.2 サポート・リソース.....	7		

4 Specifications

4.1 Electrical Characteristics

(T_A = 25°C unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
V _{DSS}	Drain-to-Source Voltage	V _{GS} = 0V, I _D = 250μA	20			V
I _{DSS}	Drain-to-Source Leakage Current	V _{GS} = 0V, V _{DS} = 16V			1	μA
I _{GSS}	Gate-to-Source Leakage Current	V _{DS} = 0V, V _{GS} = 10V			10	μA
V _{GS(th)}	Gate-to-Source Threshold Voltage	V _{DS} = V _{GS} , I _D = 250μA	0.6	0.9	1.2	V
R _{DS(on)}	Drain-to-Source On-Resistance	V _{GS} = 1.8V, I _D = 0.5A		65	99	mΩ
		V _{GS} = 2.5V, I _D = 5A		33	39	mΩ
		V _{GS} = 3.8V, I _D = 5A		25	29	mΩ
		V _{GS} = 4.5V, I _D = 5A		23	27	mΩ
g _{fs}	Transconductance	V _{DS} = 2V, I _D = 5A		20		S
DYNAMIC CHARACTERISTICS						
C _{iss}	Input Capacitance	V _{GS} = 0V, V _{DS} = 10V, f = 1MHz		361	469	pF
C _{oss}	Output Capacitance			68	89	pF
C _{rss}	Reverse Transfer Capacitance			48	62	pF
R _G	Series Gate Resistance			7.3		Ω
Q _g	Gate Charge Total (4.5V)	V _{DS} = 10V, I _D = 5A		4.2	5.4	nC
Q _{gd}	Gate Charge Gate-to-Drain			1.0		nC
Q _{gs}	Gate Charge Gate-to-Source			1.1		nC
Q _{g(th)}	Gate Charge at V _{th}			0.5		nC
Q _{oss}	Output Charge	V _{DS} = 10V, V _{GS} = 0V		1.3		nC
t _{d(on)}	Turn On Delay Time	V _{DS} = 10V, V _{GS} = 5V, I _{DS} = 5A, R _G = 0Ω		6		ns
t _r	Rise Time			26		ns
t _{d(off)}	Turn Off Delay Time			14		ns
t _f	Fall Time			15		ns
DIODE CHARACTERISTICS						
V _{SD}	Diode Forward Voltage	I _{SD} = 5A, V _{GS} = 0V		0.8	1.0	V
Q _{rr}	Reverse Recovery Charge	V _{DS} = 10V, I _F = 5A,		7.2		nC
t _{rr}	Reverse Recovery Time	di/dt = 300A/μs		14		ns

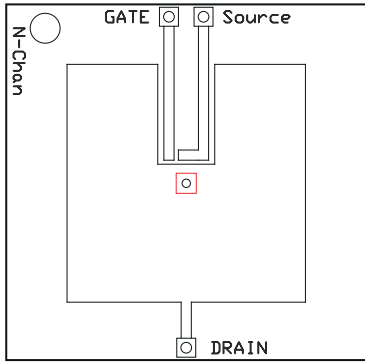
4.2 Thermal Information

(T_A = 25°C unless otherwise stated)

THERMAL METRIC		MIN	TYP	MAX	UNIT
R _{θJA}	Junction-to-Ambient Thermal Resistance ⁽¹⁾			70	°C/W
	Junction-to-Ambient Thermal Resistance ⁽²⁾			185	

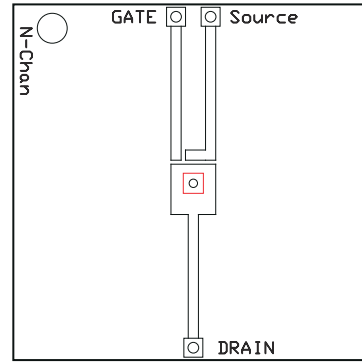
(1) Device mounted on FR4 material with 1 inch² (6.45cm²), 2oz. (0.071mm thick) Cu.

(2) Device mounted on FR4 material with minimum Cu mounting area.



Max $R_{\theta JA}$ = 70 when mounted on 1 inch² (6.45cm²) of 2oz. (0.071mm thick) Cu.

M0164-01

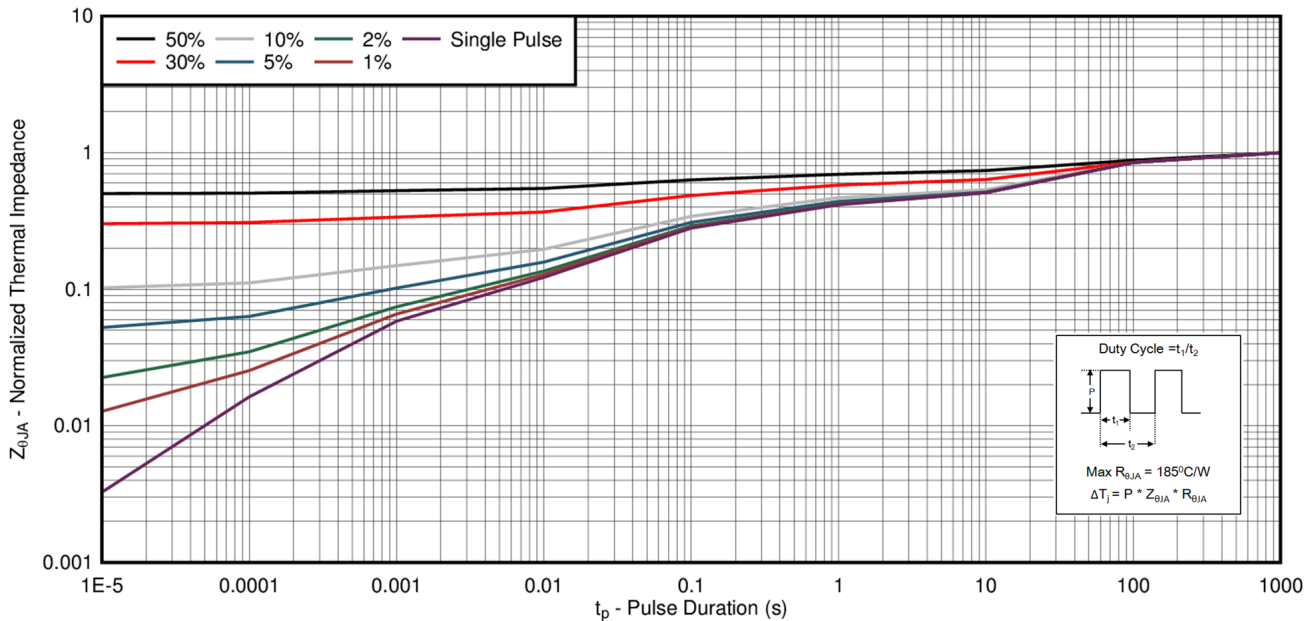


Max $R_{\theta JA}$ = 185 when mounted on minimum pad area of 2oz. (0.071mm thick) Cu.

M0164-02

4.3 Typical MOSFET Characteristics

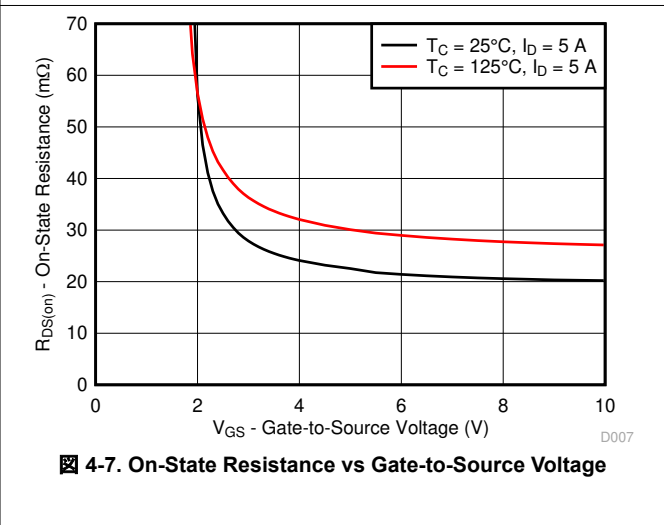
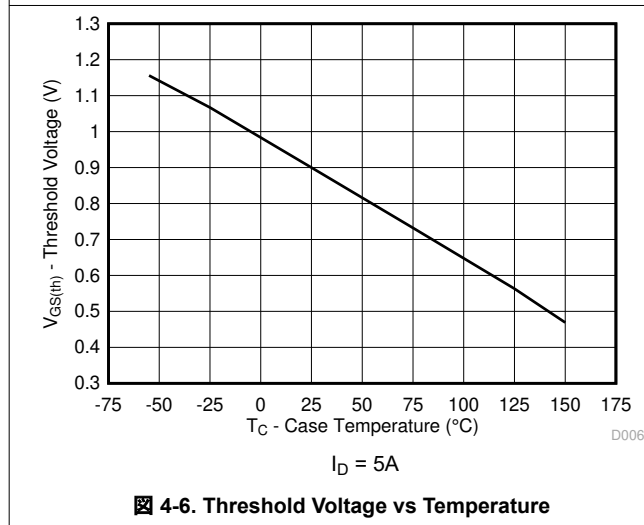
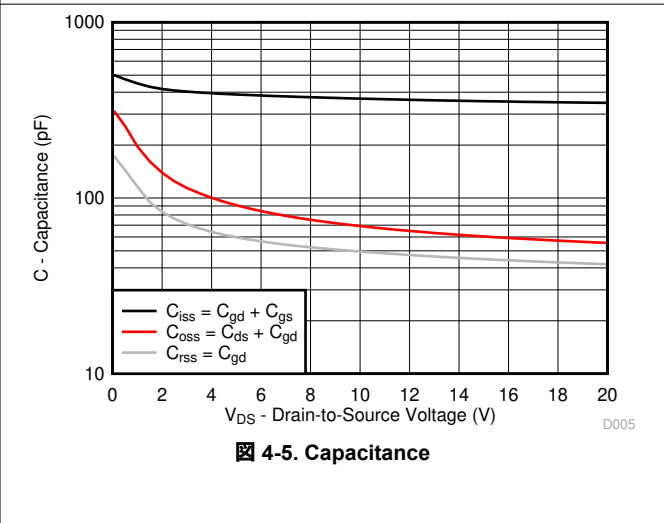
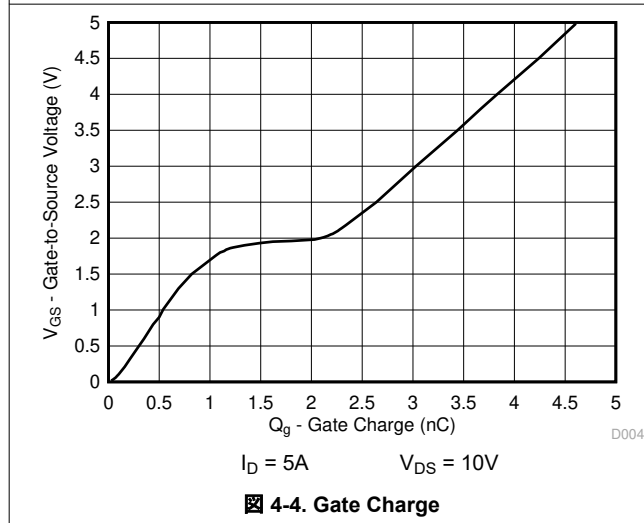
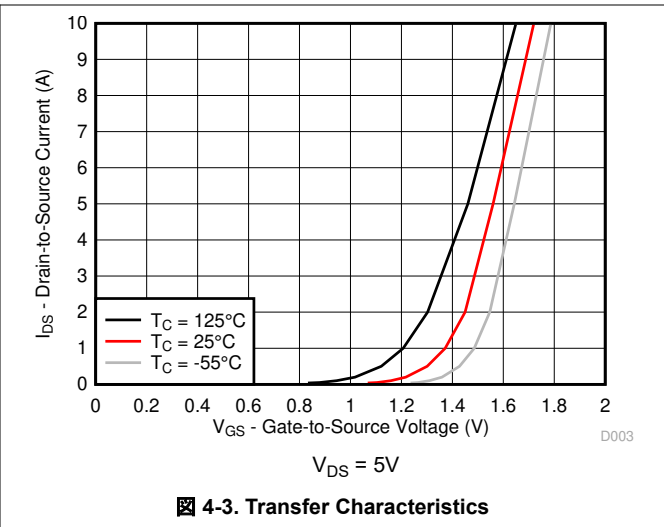
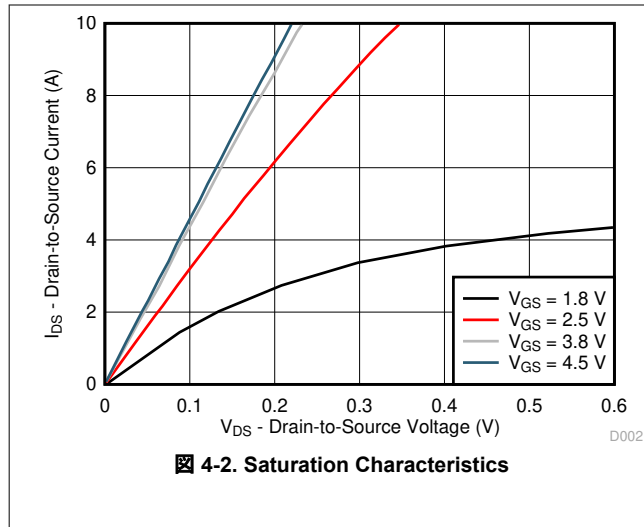
(T_A = 25°C unless otherwise stated)



4-1. Transient Thermal Impedance

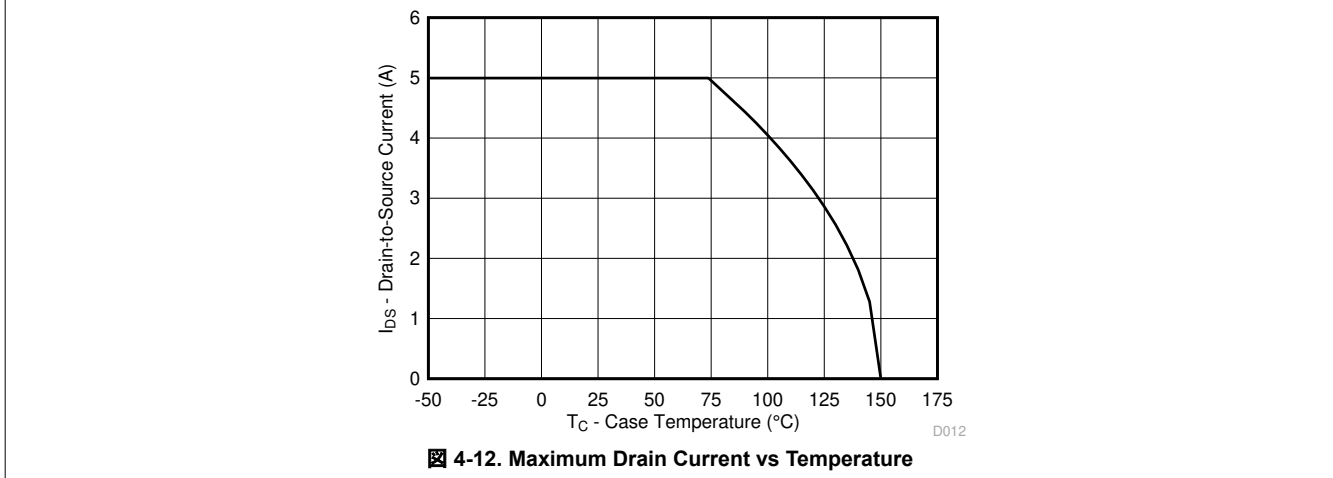
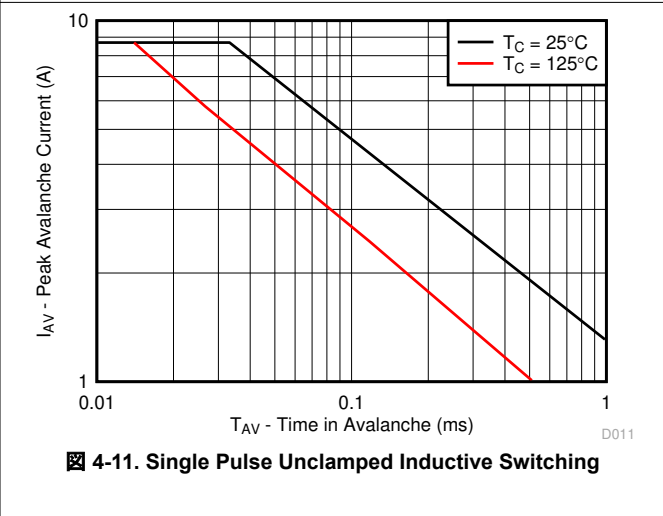
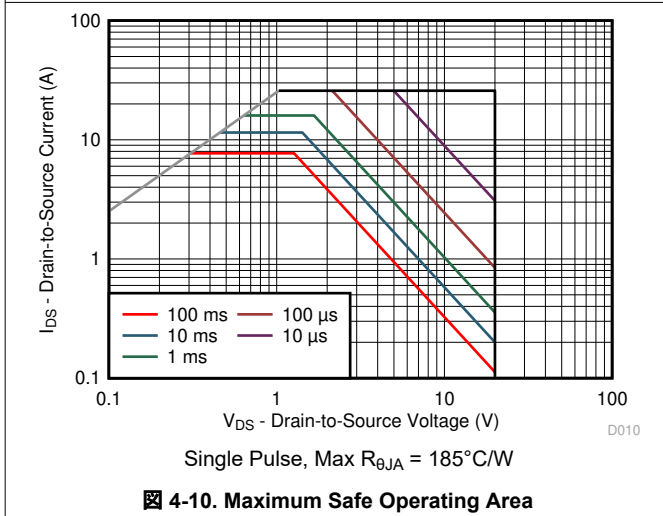
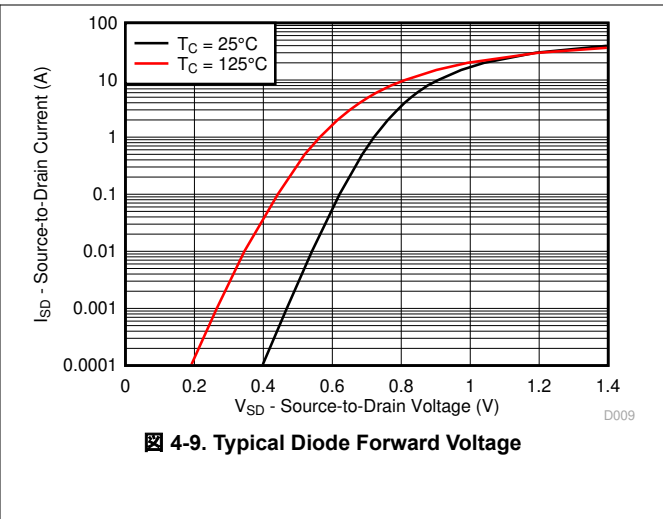
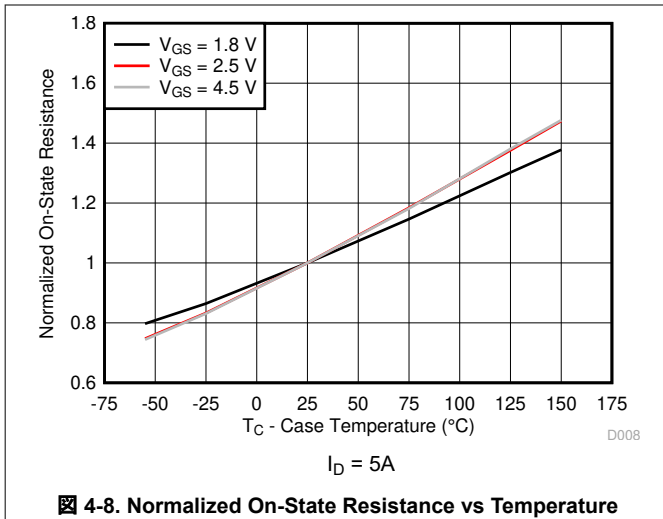
4.3 Typical MOSFET Characteristics (continued)

($T_A = 25^\circ\text{C}$ unless otherwise stated)



4.3 Typical MOSFET Characteristics (continued)

($T_A = 25^\circ\text{C}$ unless otherwise stated)



5 Device and Documentation Support

5.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

5.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

5.3 Trademarks

NexFET™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

5.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

5.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

6 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

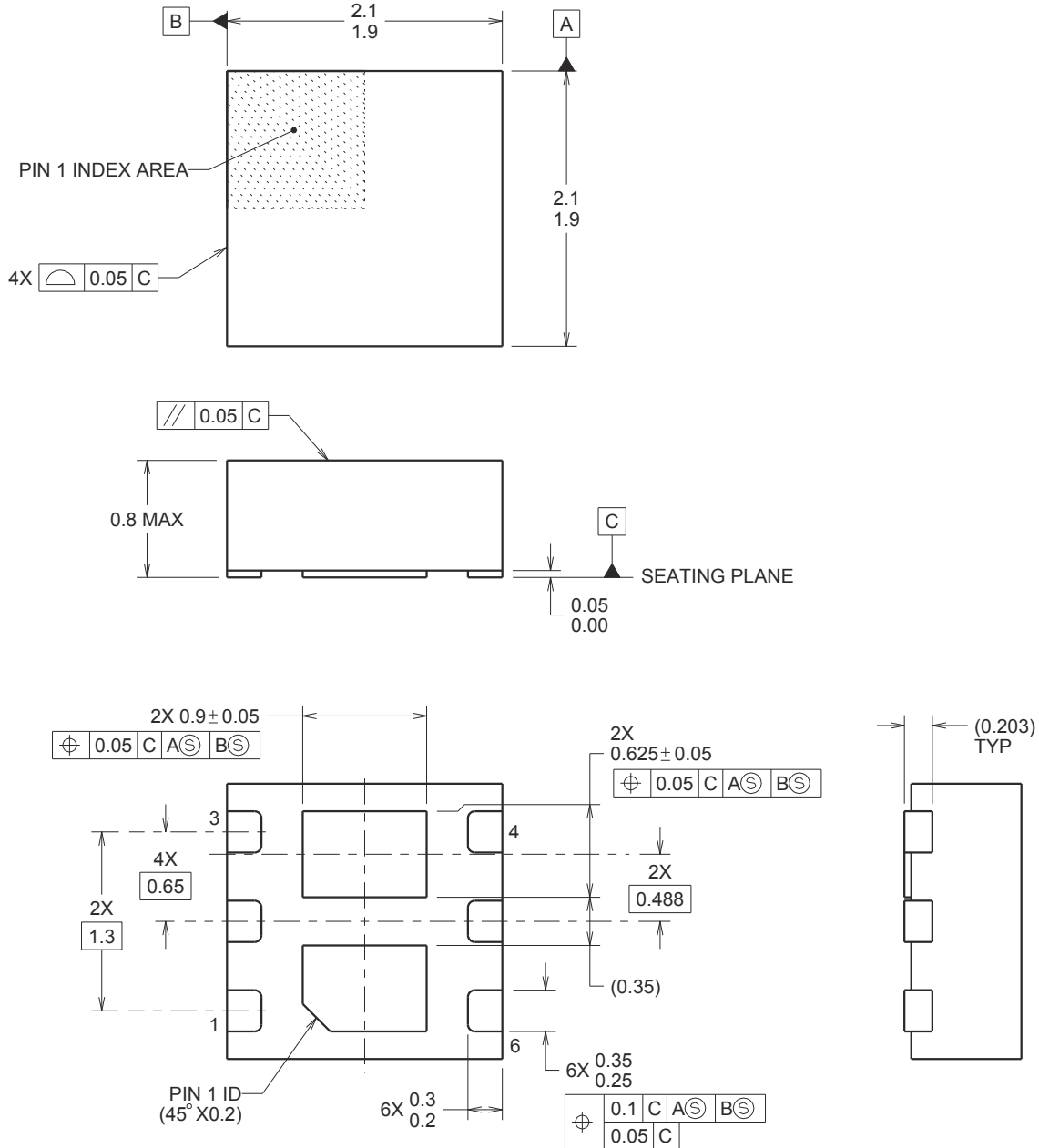
Changes from Revision * (December 2014) to Revision A (May 2024)	Page
---	-------------

- | | |
|--------------------------------------|---|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... | 1 |
|--------------------------------------|---|
-

7 Mechanical, Packaging, and Orderable Information

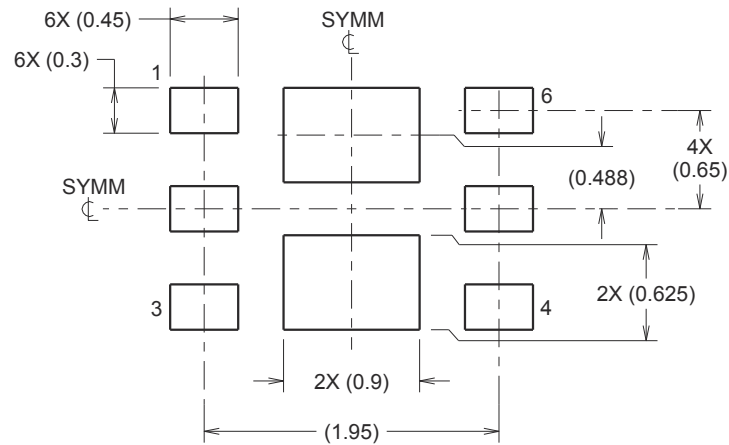
The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

7.1 Package Dimensions



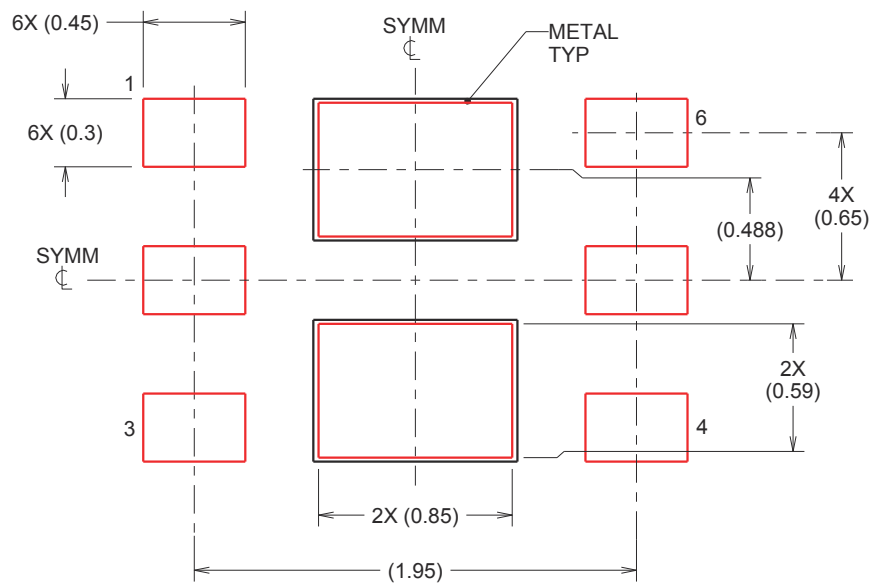
All dimensions are in mm, unless otherwise stated.

7.2 PCB Land Pattern



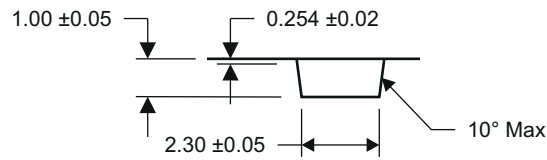
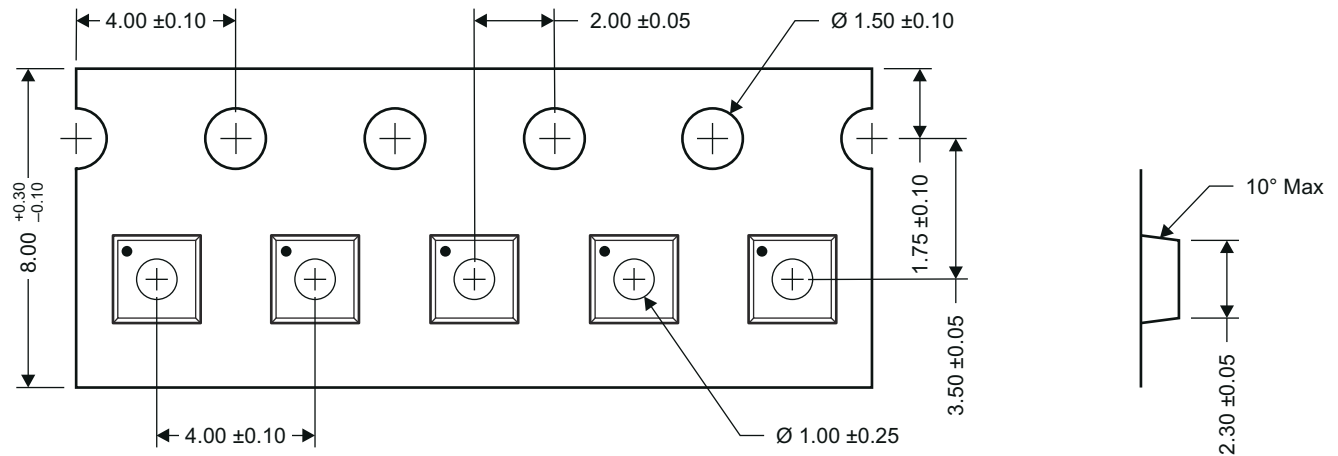
For recommended circuit layout for PCB designs, see application note [SLPA005](#) – *Reducing Ringing Through PCB Layout Techniques*.

7.3 Recommended Stencil Opening



All dimensions are in mm, unless otherwise stated.

7.4 Q2 Tape and Reel Information



M0168-01

1. Measured from centerline of sprocket hole to centerline of pocket
2. Cumulative tolerance of 10 sprocket holes is ± 0.20
3. Other material available
4. Typical SR of form tape Max 10^9 OHM/SQ
5. All dimensions are in mm, unless otherwise specified.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD85301Q2	ACTIVE	WSON	DLV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 150	8531	Samples
CSD85301Q2T	ACTIVE	WSON	DLV	6	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 150	8531	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD85301Q2	WSO	DLV	6	3000	180.0	9.5	2.3	2.3	1.0	4.0	8.0	Q1
CSD85301Q2T	WSO	DLV	6	250	180.0	9.5	2.3	2.3	1.0	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD85301Q2	WSON	DLV	6	3000	189.0	185.0	36.0
CSD85301Q2T	WSON	DLV	6	250	189.0	185.0	36.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated