

# DAC60516W リファレンス内蔵、16 チャンネル、12 ビット、電圧出力 DAC

## 1 特長

- 性能:
  - INL: 12 ビット分解能で  $\pm 1\text{LSB}$  以下
  - TUE (総合未調整誤差): FSR 最大値  $\pm 0.15\%$
- 2.5V の高精度内部リファレンスを搭載
  - 初期精度:  $\pm 5\text{mV}$  (最大値)
  - ドリフト:  $25\text{ppm}/^\circ\text{C}$  標準値、 $40\text{ppm}/^\circ\text{C}$  最大値
- 高い駆動能力: 電源レールからの供給で、0.5V 出力時に 50mA
- 柔軟な構成オプション
  - ユーザー選択可能なゲイン:  $2\times$ 、 $1\times$
  - ゼロスケールへのリセット
  - クリア出力機能
- 広い動作範囲:
  - 電源: 2.7V ~ 5.5V
  - 温度範囲:  $-40^\circ\text{C}$  ~  $+125^\circ\text{C}$
- SPI および I<sup>2</sup>C インターフェイス: 1.7V ~ 5.5V で動作
  - SPI: 4 線式インターフェイス
  - I<sup>2</sup>C: 4 つのターゲットアドレス

## 2 アプリケーション

- 光モジュール
- DC 間の相互接続
- アナログ出力モジュール

## 3 説明

DAC60516W は、低消費電力、16 チャンネル、バッファ付き、電圧出力の D/A コンバータ (DAC) です。DAC60516W には 2.5V の内部リファレンスが搭載されているため、ほとんどのアプリケーションで外付けの高精度リファレンスを必要としません。ユーザーが選択可能なゲイン構成を使用して、2.5V または 5V のフルスケール出力電圧を供給できます。DAC60516W が動作するには、外部の AV<sub>DD</sub> および V<sub>IO</sub> 電源が必要で、これらの電源を互いに短絡することができます。

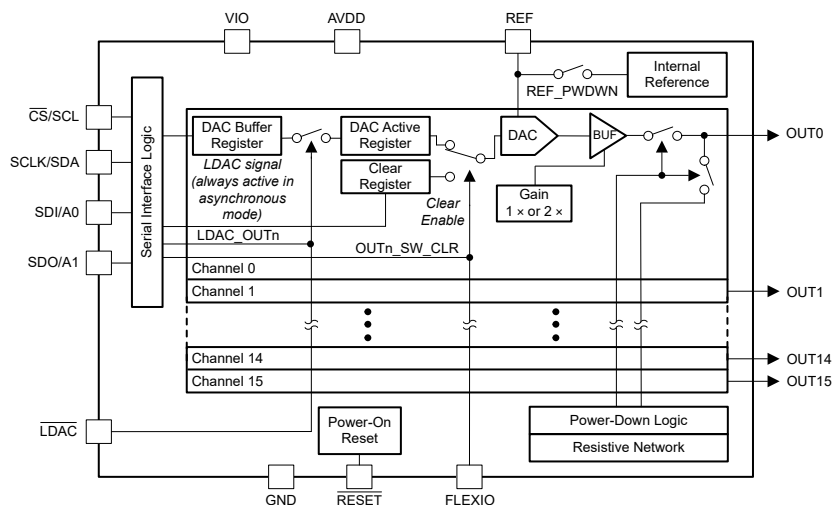
DAC60516W との通信は、SPI および I<sup>2</sup>C をサポートするシリアル インターフェイスで行われ、最大 50MHz のクロック速度で動作します (デバイスに対する SPI 書き込み中)。VIO ピンにより、1.7V ~ 5.5V のシリアル インターフェイス動作が可能です。DAC60516W の柔軟なインターフェイスにより、業界標準の広範なマイクロプロセッサやマイクロコントローラとの動作が可能です。

DAC60516W は、 $-40^\circ\text{C}$  ~  $+125^\circ\text{C}$  の温度範囲での動作が規定されており、12 ビットの分解能を備えた小型の WCSP パッケージで供給されます。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージサイズ <sup>(2)</sup>
DAC60516W	YBH (WCSP)、34 ピン	2.59mm × 2.59mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図



## 目次

1 特長.....	1	6.3 機能説明.....	22
2 アプリケーション.....	1	6.4 デバイスの機能モード.....	24
3 説明.....	1	6.5 プログラミング.....	25
4 ピン構成および機能.....	3	7 レジスタ マップ.....	30
5 仕様.....	5	7.1 レジスタ.....	33
5.1 絶対最大定格.....	5	8 アプリケーションと実装.....	55
5.2 ESD 定格.....	5	8.1 アプリケーション情報.....	55
5.3 推奨動作条件.....	5	8.2 代表的なアプリケーション.....	56
5.4 熱に関する情報.....	5	8.3 初期設定.....	57
5.5 電気的特性.....	6	8.4 電源に関する推奨事項.....	58
5.6 タイミング要件 - I <sup>2</sup> C 標準モード.....	9	8.5 レイアウト.....	58
5.7 タイミング要件 - I <sup>2</sup> C 高速モード.....	9	9 デバイスおよびドキュメントのサポート.....	59
5.8 タイミング要件 - I <sup>2</sup> C 高速モード プラス.....	9	9.1 ドキュメントのサポート.....	59
5.9 タイミング要件: SPI.....	11	9.2 ドキュメントの更新通知を受け取る方法.....	59
5.10 スイッチング特性.....	11	9.3 サポート・リソース.....	59
5.11 タイミング図.....	12	9.4 商標.....	59
5.12 代表的特性.....	13	9.5 静電気放電に関する注意事項.....	59
6 詳細説明.....	21	9.6 用語集.....	59
6.1 概要.....	21	10 改訂履歴.....	59
6.2 機能ブロック図.....	21	11 メカニカル、パッケージ、および注文情報.....	59

## 4 ピン構成および機能

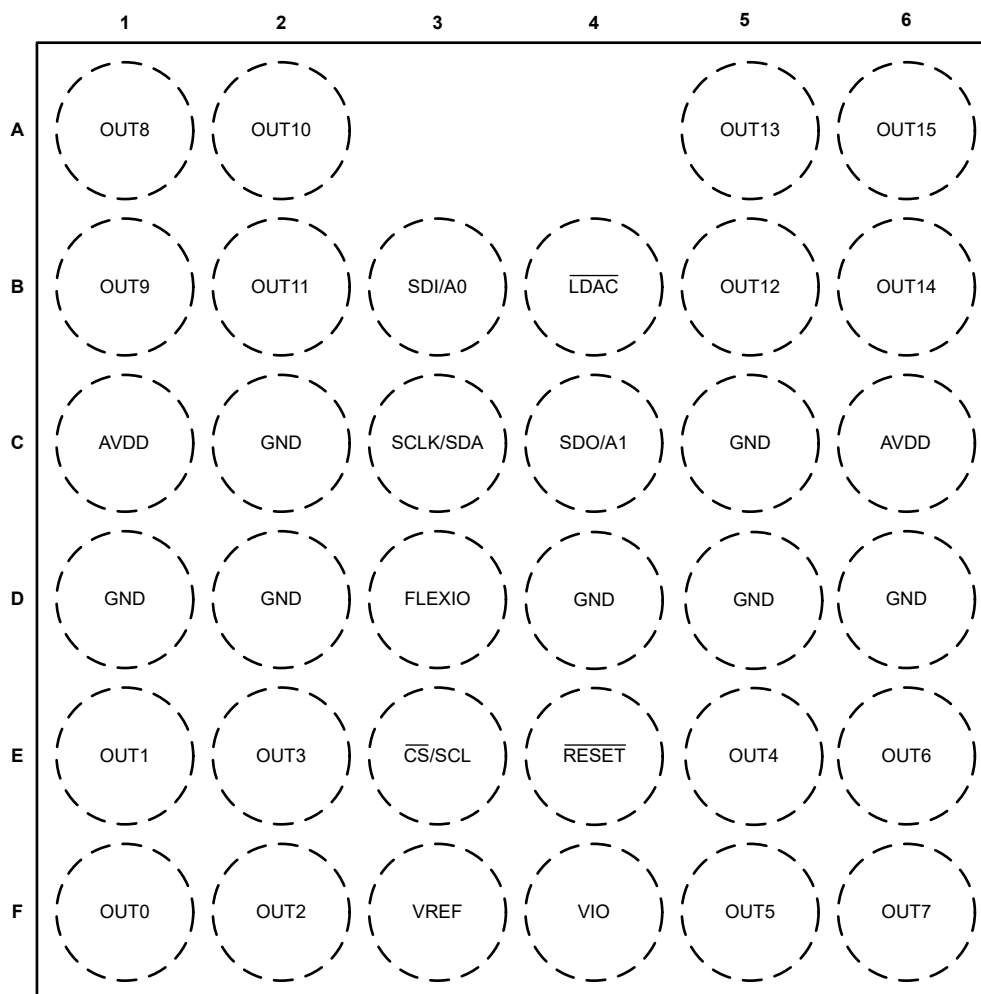


図 4-1. 34 ピン WCSP（上面図）

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
A1	OUT8	出力	DAC 出力。
A2	OUT10	出力	DAC 出力。
A5	OUT13	出力	DAC 出力。
A6	OUT15	出力	DAC 出力。
B1	OUT9	出力	DAC 出力。
B2	OUT11	出力	DAC 出力。
B3	A0/SDI	入力	I <sup>2</sup> C: ターゲット アドレス セクタ。 SPI: データ入力。データは SCLK ピンの各立ち下がりエッジで入力シフトレジスタにクロックされます。
B4	$\overline{\text{LDAC}}$	入力	アクティブ Low DAC 同期信号。 $\overline{\text{LDAC}}$ ピンの High から Low への遷移は、同期モードに設定された DAC の出力を同時に更新します。
B5	OUT12	出力	DAC 出力。
B6	OUT14	出力	DAC 出力。
C1	AVDD	電源	アナログ電源電圧。

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
C2	GND	グラウンド	デバイスの全回路のグラウンド基準点。
C3	SDA/SCLK	入力 / 出力	I <sup>2</sup> C: 双方向データライン。 SPI: クロック入力。
C4	A1/SDO	入力 / 出力	I <sup>2</sup> C: ターゲット アドレス セレクタ。 SPI: データ出力。データは、FSDO ビットで指定されたとおりに、SCLK ピンの立ち上がりエッジまたは立ち下がりエッジで入力シフトレジスタからクロックアウトされます。
C5	GND	グラウンド	デバイスの全回路のグラウンド基準点。
C6	AVDD	電源	アナログ電源電圧。
D1	GND	グラウンド	デバイスの全回路のグラウンド基準点。
D2	GND	グラウンド	デバイスの全回路のグラウンド基準点。
D3	FLEXIO	入力 / 出力	GPIO および DAC クリアピン機能を含む FLEXIO ピン。
D4	GND	グラウンド	デバイスの全回路のグラウンド基準点。
D5	GND	グラウンド	デバイスの全回路のグラウンド基準点。
D6	GND	グラウンド	デバイスの全回路のグラウンド基準点。
E1	OUT1	出力	DAC 出力。
E2	OUT3	出力	DAC 出力。
E3	SCL/CS	入力	I <sup>2</sup> C: クロック入力。 SPI: アクティブ Low のシリアル データを有効にします。この入力、シリアル データのフレーム同期信号です。この信号が Low になると、このピンはシリアル インターフェイスの入力シフトレジスタを有効にします。
E4	RESET	入力	アクティブ Low のリセット入力。このピンでロジックが Low になると、リセットイベントが始まります。
E5	OUT4	出力	DAC 出力。
E6	OUT6	出力	DAC 出力。
F1	OUT0	出力	DAC 出力。
F2	OUT2	出力	DAC 出力。
F3	VREF	入力 / 出力	DAC 電圧リファレンス入力/出力。このピンはデフォルトで入力ピン REFIN として機能します (内部リファレンスは無効化されています)。内部リファレンスが有効である場合、このピンは出力ピン REFOUT として機能します。
F4	VIO	電源	I/O 電源電圧。このピンは、デバイスの I/O 動作電圧を設定します。
F5	OUT5	出力	DAC 出力。
F6	OUT7	出力	DAC 出力。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
AV <sub>DD</sub>	アナログ電源電圧、AV <sub>DD</sub> から GND へ	-0.3	6	V
V <sub>IO</sub>	デジタル電源電圧、V <sub>IO</sub> から GND へ	-0.3	AV <sub>DD</sub>	V
	アナログ出力 (OUT) ピン電圧	-0.3	AV <sub>DD</sub> + 0.3	V
	リファレンスピン電圧	-0.3	AV <sub>DD</sub> + 0.3	V
	シリアルインターフェイスピン電圧	-0.3	V <sub>IO</sub> + 0.3	V
T <sub>J</sub>	動作時接合部温度	-40	150	°C
T <sub>stg</sub>	保存温度	-60	150	°C

- (1) 「絶対最大定格」を超える動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の範囲内であっても推奨動作条件の範囲外で使用情况、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

### 5.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン <sup>(2)</sup>	±1500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。  
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
AV <sub>DD</sub>	アナログ電源電圧、AV <sub>DD</sub> から GND へ	2.7		5.5	V
V <sub>IO</sub>	IO 電源電圧、V <sub>IO</sub> から GND へ	1.7		AV <sub>DD</sub>	V
	GND へのシリアルインターフェイス入力電圧	0		V <sub>IO</sub>	V
T <sub>J</sub>	動作時接合部温度	-40		125	°C

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		DAC60516W	単位
		YBH (WCSP)	
		34 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	57.9	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	0.2	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	14.1	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	0.1	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	14.1	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 5.5 電気的特性

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  で、 $AV_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{IO} = 1.7\text{V} \sim AV_{DD}$ 、 $V_{REFIN} = 2.4\text{V} \sim 5.5\text{V}$ 、DAC 出力無負荷、および  $V_{IO}$  または GND でのデジタル入力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
安定動作 (1)						
	分解能		12			ビット
INL	積分非直線性			±0.3	±1	LSB
DNL	微分非直線性		-1	±0.3	1	LSB
TUE	総合未調整誤差	DAC 出力範囲 = 0V ~ 5V		±0.04	±0.15	%FSR
	オフセット誤差	ゲイン = 1 または 2		±0.75	±3	mV
	ゼロスケール誤差	すべて 0 がロードされた DAC レジスタ	0	0.5	3	mV
	フルスケール誤差	DAC レジスタはフルスケールコードでロードされ、DAC 出力範囲 = 0V ~ 5V		±0.04	±0.15	%FSR
	ゲイン誤差	ゲイン = 1 または 2		±0.04	±0.15	%FSR
	オフセット誤差のドリフト			±3		μV/°C
	ゼロスケール誤差のドリフト			±2		μV/°C
	フルスケール誤差のドリフト			±3		ppm FSR/°C
	ゲインドリフト			±2		ppm FSR/°C
出力特性						
	出力電圧(2)	ゲイン = 2	0	2 × VREF		V
		ゲイン = 1	0	VREF		
	出力電圧ヘッドルーム/フットルーム	AVDD へ、および GND から (−50mA ≤ IOUT ≤ 50mA)	0.5			V
	負荷電流	出力電圧ヘッドルーム = 0.5V		50		mA
	短絡電流(3)	フルスケール出力を GND に短絡		75		mA
		VDD に短絡したゼロスケール出力		75		
	容量性負荷(4)	RLOAD = 開	0		2	nF
	DC 出力インピーダンス	AVDD/2 での DAC 出力		0.08		Ω
		AVDD または GND での DAC 出力		10		
ダイナミック性能						
	出力電圧セtring時間	1/4 から 3/4 のスケール、3/4 から 1/4 のスケールの設定時間を ±2 LSB、AVDD = 5.5V、VREFIN = 2.5V、ゲイン = 2 に		6		μs
	スルーレート	AVDD = 5.5V、VREFIN = 2.5V		1.7		V/μs
	電源オン時のグリッチ振幅	DAC コード = ゼロスケール		25		mV
	出力ノイズ電圧	0.1Hz ~ 10Hz、DAC コード = ミッドスケール		12		μVpp
	出力ノイズ 密度	1kHz、DAC コード = ミッドスケール、AVDD = 5.5V、VREFIN = 2.5V		65		nV/Hz
	AC PSRR	DAC コード = ミッドスケール、周波数 = 60Hz、振幅 200mVpp を AVDD に重畳		80		dB
	DC PSRR	DAC コード = ミッドスケール、AVDD = 5V ± 0.5V		0.01		mV/V
	コード書き換えによるグリッチ インパルス	メジャーキャリアを中心に 1 LSB 変更		1		nV-s
	チャンネル間 AC クロストーク	DAC コード = ゼロスケール、隣接チャンネルでのフルスケールスイング		1		nV-s

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  で、 $AV_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{IO} = 1.7\text{V} \sim AV_{DD}$ 、 $V_{REFIN} = 2.4\text{V} \sim 5.5\text{V}$ 、DAC 出力無負荷、および  $V_{IO}$  または GND でのデジタル入力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
チャンネル間 DC クロストーク		ゼロスケールで測定されたチャンネル、フルスケールでの隣接チャンネル	12		μV	
		ゼロスケールで測定されたチャンネル、他のすべてのチャンネルはフルスケールで測定	12			
	デジタル フィードスルー	DAC コード = ミッドスケール、f <sub>SCLK</sub> = 1MHz	0.1		nV-s	
	パワーアップ時間 <sup>(5)</sup>	A <sub>VDD</sub> が 2.4V、V <sub>REFIN</sub> = 2.5V まで上昇した後で、DAC チャンネルに電源が投入され、0V を出力するまでの時間。	120		μs	
外部リファレンス入力						
V <sub>REFIN</sub>	基準入力電圧範囲	ゲイン = 1	1	V <sub>DD</sub>		V
		ゲイン = 2	1	AV <sub>DD</sub> /2		
	基準入力電流	V <sub>REFIN</sub> = 2.5V	85		μA	
	リファレンス入力インピーダンス		29	35	kΩ	
	基準入力容量		5		pF	
内部リファレンス						
V <sub>REFOUT</sub>	基準出力電圧範囲	T <sub>J</sub> = 25°C	2.495	2.505		V
	リファレンス出力のドリフト		25	40	ppm/°C	
	リファレンス出力インピーダンス		0.2		Ω	
	リファレンス出力ノイズ	0.1Hz ~ 10Hz	10		μVpp	
	リファレンス出力ノイズ密度	10kHz、リファレンス負荷 = 10nF	125		nV/Hz	
	リファレンス負荷電流		-4	10	mA	
	基準負荷レギュレーション	ソースおよびシンク	175		μV/mA	
	基準ライン レギュレーション		500		μV/V	
デジタル入出力						
V <sub>IH</sub>	HIGH レベル入力電圧、V <sub>IH</sub>		0.7 × V <sub>IO</sub>		V	
V <sub>IL</sub>	LOW レベル入力電圧、V <sub>IL</sub>		0.3 × V <sub>IO</sub>		V	
	入力電流		±2		μA	
	入力ピン容量		8		pF	
V <sub>OH</sub>	ハイレベル出力電圧、V <sub>OH</sub>	I <sub>OH</sub> = 0.2mA	V <sub>IO</sub> - 0.2		V	
V <sub>OL</sub>	Low レベル出力電圧、V <sub>OL</sub>	I <sub>OL</sub> = 0.2mA	0.4		V	
	出力ピンの容量		4		pF	
電源要件						
I <sub>AVDD</sub>	AV <sub>DD</sub> 電源電流	アクティブモード、内部リファレンス有効、DAC コード = フルスケール、SPI 静的	8.5	13	mA	
		アクティブモード、内部リファレンス無効、DAC コード = フルスケール、SPI 静的	8	12.5		
	AV <sub>DD</sub> 電源電流	パワーダウン モード	10	20	μA	
I <sub>VIO</sub>	V <sub>IO</sub> の電源電流		0.1	1	μA	

- (1) エンドポイントはコード 16～4080 の間にあります
- (2) 外部リファレンスを使用する場合、 $V_{REF} = V_{REFIN}$  となります。そうでない場合、 $V_{REF} = 2.5\text{V}$  (内部リファレンス電圧) です。
- (3) 一時的な過負荷状態保護。電流制限中に、接合部温度が超過する可能性があります。規定された最大接合部温度を超える温度での動作は、デバイスの信頼性を損なう可能性があります。
- (4) 設計と特性評価による仕様で、製造テストは未実施。

- (5) デバイスがメモリから内部キャリブレーション係数をロードする間、さらに一定時間(5 ~ 10ms)、デバイスへの SPI または I2C 通信がブロックされます。この時間枠内のデジタル通信はすべて無視されます。



## 5.6 タイミング要件 - I<sup>2</sup>C 標準モード

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  で、 $AV_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{IO} = 1.7\text{V} \sim AV_{DD}$ 、 $V_{REFIN} = 2.4\text{V} \sim 5.5\text{V}$ 、および  $V_{IO}$  または GND でデジタル入力

		最小値	公称値	最大値	単位
$f_{SCL}$	SCL 周波数			100	kHz
$t_{BUF}$	停止条件と始動条件の間のバス解放時間	4.7			$\mu\text{s}$
$t_{HDSTA}$	リビート スタート後のホールド時間	4			$\mu\text{s}$
$t_{SUSTA}$	繰り返しスタートのセットアップ時間	4.7			$\mu\text{s}$
$t_{SUSTO}$	STOP 条件のセットアップ時間	4			$\mu\text{s}$
$t_{HDDAT}$	データ ホールド時間	0			ns
$t_{SUDAT}$	データ セットアップ時間	250			ns
$t_{LOW}$	SCL クロックの Low 期間	4700			ns
$t_{HIGH}$	SCL クロックの High 期間	4000			ns
$t_F$	クロック / データの立ち下がり時間			300	ns
$t_R$	クロック / データの立ち上がり時間			1000	ns
$t_{VD\_DAT}$	データ有効時間			3.45	$\mu\text{s}$
$t_{VD\_ACK}$	データ有効アクノリッジ時間			3.45	$\mu\text{s}$

## 5.7 タイミング要件 - I<sup>2</sup>C 高速モード

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  で、 $AV_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{IO} = 1.7\text{V} \sim AV_{DD}$ 、 $V_{REFIN} = 2.4\text{V} \sim 5.5\text{V}$ 、および  $V_{IO}$  または GND でデジタル入力

		最小値	公称値	最大値	単位
$f_{SCL}$	SCL 周波数			400	kHz
$t_{BUF}$	停止条件と始動条件の間のバス解放時間	1.3			$\mu\text{s}$
$t_{HDSTA}$	リビート スタート後のホールド時間	0.6			$\mu\text{s}$
$t_{SUSTA}$	繰り返しスタートのセットアップ時間	0.6			$\mu\text{s}$
$t_{SUSTO}$	STOP 条件のセットアップ時間	0.6			$\mu\text{s}$
$t_{HDDAT}$	データ ホールド時間	0			ns
$t_{SUDAT}$	データ セットアップ時間	100			ns
$t_{LOW}$	SCL クロックの Low 期間	1300			ns
$t_{HIGH}$	SCL クロックの High 期間	600			ns
$t_F$	クロック / データの立ち下がり時間			300	ns
$t_R$	クロック / データの立ち上がり時間			300	ns
$t_{VD\_DAT}$	データ有効時間			0.9	$\mu\text{s}$
$t_{VD\_ACK}$	データ有効アクノリッジ時間			0.9	$\mu\text{s}$

## 5.8 タイミング要件 - I<sup>2</sup>C 高速モード プラス

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  で、 $AV_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{IO} = 1.7\text{V} \sim AV_{DD}$ 、 $V_{REFIN} = 2.4\text{V} \sim 5.5\text{V}$ 、および  $V_{IO}$  または GND でデジタル入力

		最小値	公称値	最大値	単位
$f_{SCL}$	SCL 周波数			1	MHz
$t_{BUF}$	停止条件と始動条件の間のバス解放時間	0.5			$\mu\text{s}$
$t_{HDSTA}$	リビート スタート後のホールド時間	0.26			$\mu\text{s}$
$t_{SUSTA}$	繰り返しスタートのセットアップ時間	0.26			$\mu\text{s}$
$t_{SUSTO}$	STOP 条件のセットアップ時間	0.26			$\mu\text{s}$
$t_{HDDAT}$	データ ホールド時間	0			ns
$t_{SUDAT}$	データ セットアップ時間	50			ns
$t_{LOW}$	SCL クロックの Low 期間	0.5			$\mu\text{s}$
$t_{HIGH}$	SCL クロックの High 期間	0.26			$\mu\text{s}$

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  で、 $AV_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{IO} = 1.7\text{V} \sim AV_{DD}$ 、 $V_{REFIN} = 2.4\text{V} \sim 5.5\text{V}$ 、および  $V_{IO}$  または GND でデジタル入力

		最小値	公称値	最大値	単位
$t_F$	クロック / データの立ち下がり時間			120	ns
$t_R$	クロック / データの立ち上がり時間			120	ns
$t_{VD\_DAT}$	データ有効時間			0.45	$\mu\text{s}$
$t_{VD\_ACK}$	データ有効アクリッジ時間			0.45	$\mu\text{s}$

## 5.9 タイミング要件 : SPI

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  で、 $AV_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{IO} = 1.7\text{V} \sim AV_{DD}$ 、 $V_{REFIN} = 2.4\text{V} \sim 5.5\text{V}$ 、および  $V_{IO}$  または GND でデジタル入力

		最小値	公称値	最大値	単位
<b>SPI TIMING REQUIREMENTS, FSDO = 0</b>					
$f_{(SCLK)}$	SCLK 周波数			20	MHz
$t_{(SCLKH)}$	SCLK High 時間	20			ns
$t_{(SCLKL)}$	SCLK Low 時間	23			ns
$t_{(SDIS)}$	SDI のセットアップ時間	5			ns
$t_{(SDIH)}$	SDI のホールド時間	8			ns
$t_{(SDOTOZ)}$	SDO アクティブ出力から tri 状態出力までの遅延	0		17	ns
$t_{(SDOEN)}$	SDO tri 状態出力からアクティブ出力までの遅延	0		21	ns
$t_{(SDOTOD)}$	SDO 出力遅延	2		23	ns
$t_{(CSS)}$	$\overline{CS}$ のセットアップ時間	15			ns
$t_{(CSH)}$	$\overline{CS}$ のホールド時間	15			ns
$t_{(CSHIGH)}$	$\overline{CS}$ High 時間	15			ns
<b>SPI TIMING REQUIREMENTS, FSDO = 1</b>					
$f_{(SCLK)}$	SCLK 周波数 <sup>(1)</sup>			30	MHz
$t_{(SCLKH)}$	SCLK High 時間	14			ns
$t_{(SCLKL)}$	SCLK Low 時間	16			ns
$t_{(SDIS)}$	SDI のセットアップ時間	5			ns
$t_{(SDIH)}$	SDI のホールド時間	8			ns
$t_{(SDOTOZ)}$	SDO アクティブ出力から tri 状態出力までの遅延	0		17	ns
$t_{(SDOEN)}$	SDO tri 状態出力からアクティブ出力までの遅延	0		21	ns
$t_{(SDOTOD)}$	SDO 出力遅延	2.5		30	ns
$t_{(CSS)}$	$\overline{CS}$ のセットアップ時間	15			ns
$t_{(CSH)}$	$\overline{CS}$ のホールド時間	15			ns
$t_{(CSHIGH)}$	$\overline{CS}$ High 時間	15			ns

(1) デバイスへの書き込みは、50MHz までの周波数で実行できます。

## 5.10 スイッチング特性

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  で、 $AV_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{IO} = 1.7\text{V} \sim AV_{DD}$ 、 $V_{REFIN} = 2.4\text{V} \sim 5.5\text{V}$ 、DAC 出力アンロード、および  $V_{IO}$  または GND でデジタル入力

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>RESET CHARACTERISTICS</b>					
$t_{DACRDY}$	デバイス準備待ち時間	リセットイベントから測定した、シリアルインターフェイスアクセスの有効時間		10	ms
$t_{RESET}$	$\overline{RESET}$ パルス幅	20			ns
<b>DAC の特性</b>					
$t_{DACCLR}$	DAC クリア応答時間	$\overline{CLEAR}$ トリガ後に DAC がコード変更を開始するまでの時間		50	ns
$t_{CLRWDTH}$	$\overline{CLEAR}$ パルス幅	100			ns
$t_{LDACWDTH}$	$\overline{LDAC}$ パルス幅	100			ns

## 5.11 タイミング図

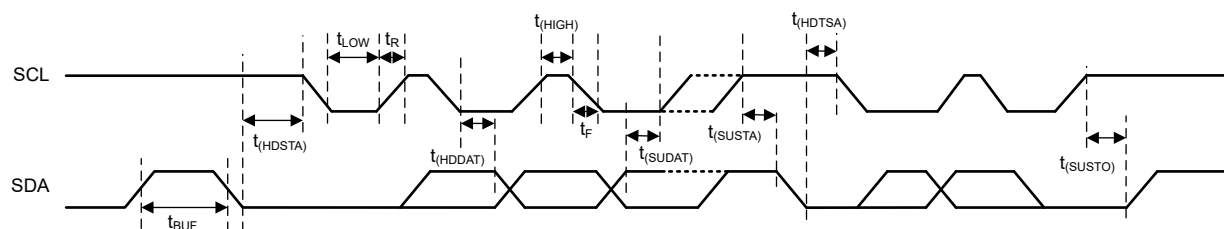


図 5-1. I²C のタイミング図

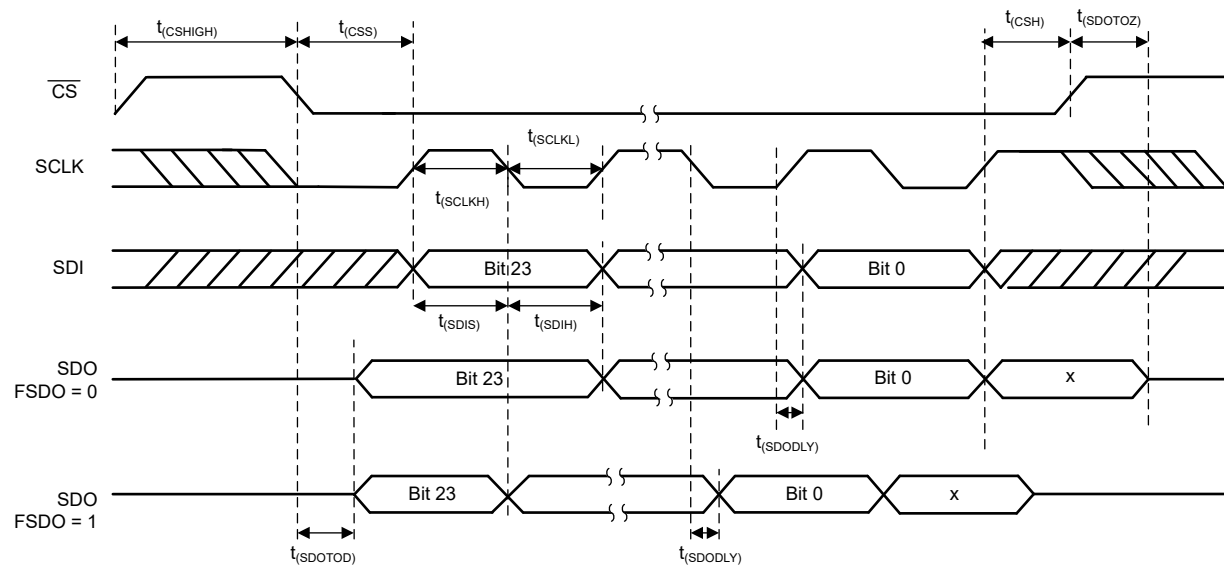


図 5-2. SPI タイミング図

## 5.12 代表的特性

$T_J = 25^\circ\text{C}$  で、 $AV_{DD} = 5.5\text{V}$ 、 $V_{IO} = 5.5\text{V}$ 、内部リファレンス = 2.5V、ゲイン = 2、DAC 出力は無負荷 (特に記述のない限り)

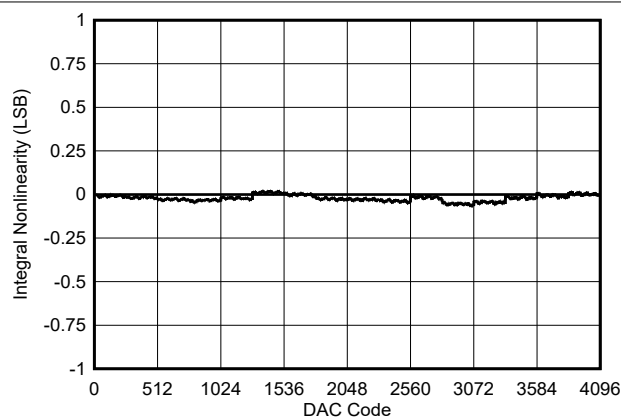


図 5-3. 積分非直線性とデジタル入力コードとの関係

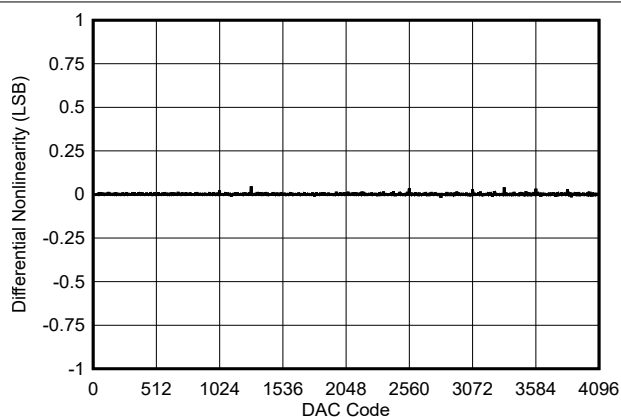


図 5-4. 微分非直線性とデジタル入力コードとの関係

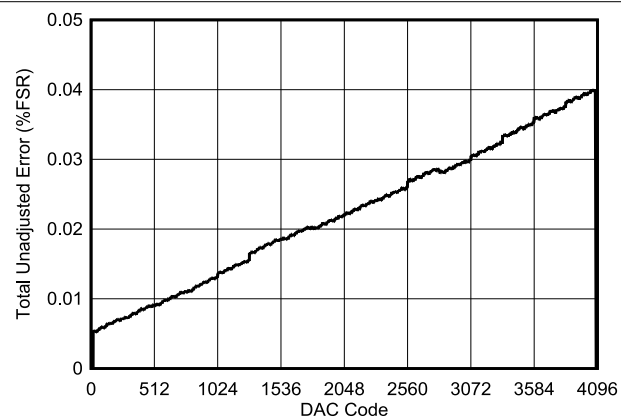


図 5-5. 総未調整誤差とデジタル入力コードとの関係

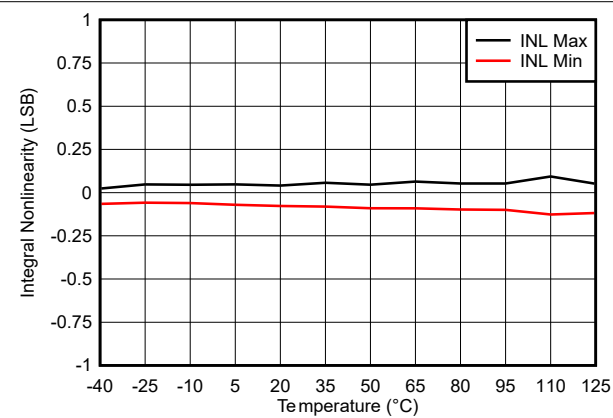


図 5-6. 積分非線形性と温度との関係

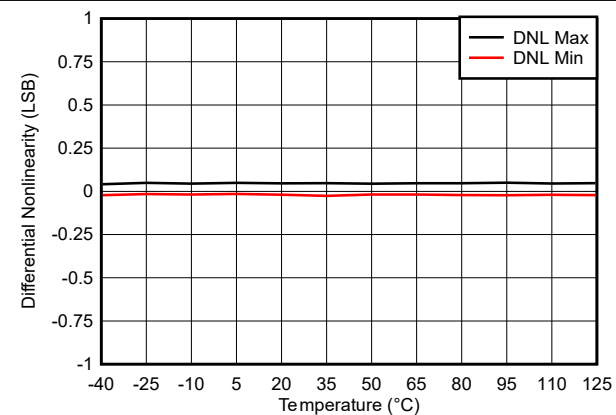


図 5-7. 微分非線形性と温度との関係

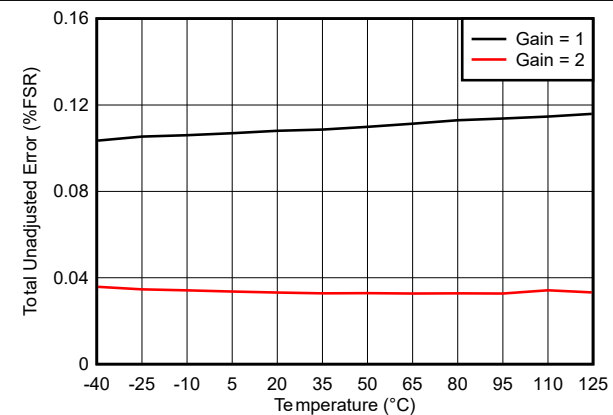


図 5-8. 総未調整誤差と温度との関係

## 5.12 代表的特性 (続き)

$T_J = 25^\circ\text{C}$  で、 $AV_{DD} = 5.5\text{V}$ 、 $V_{IO} = 5.5\text{V}$ 、内部リファレンス = 2.5V、ゲイン = 2、DAC 出力は無負荷 (特に記述のない限り)

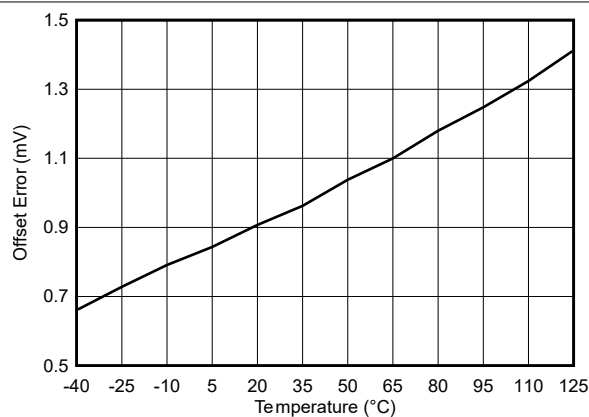


図 5-9. オフセット誤差と温度との関係

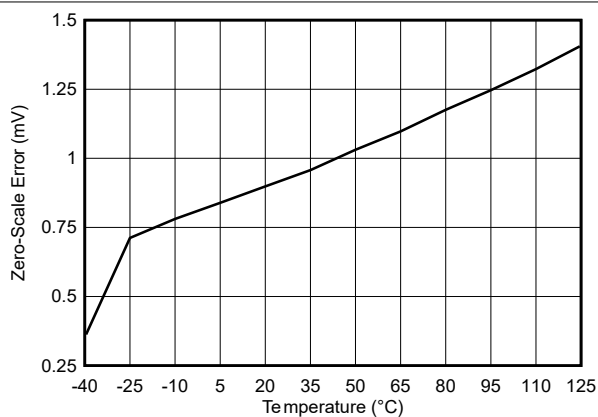


図 5-10. ゼロスケール誤差と温度との関係

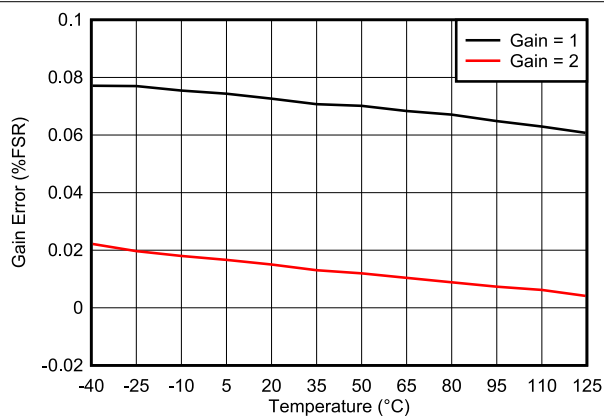


図 5-11. ゲイン誤差と温度との関係

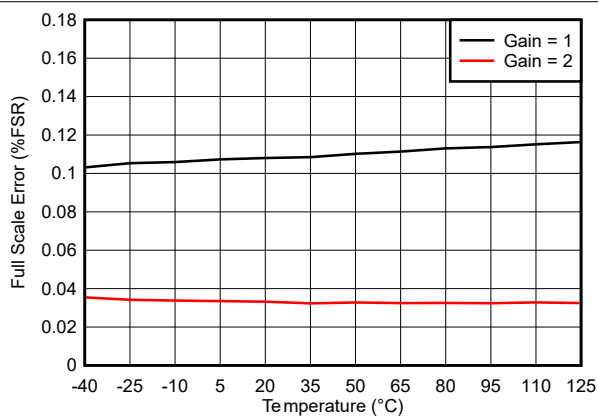


図 5-12. フルスケール誤差と温度との関係

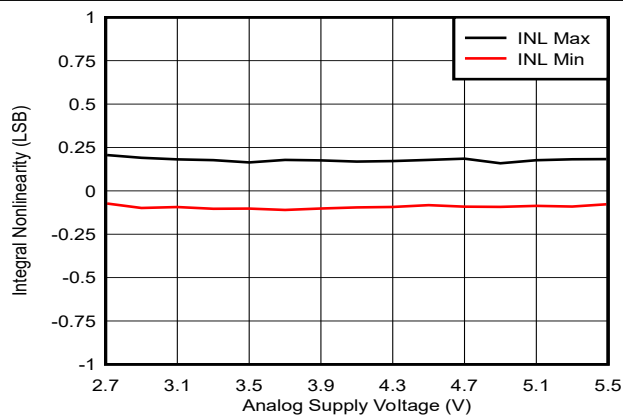


図 5-13. 積分非線形性と電源電圧との関係

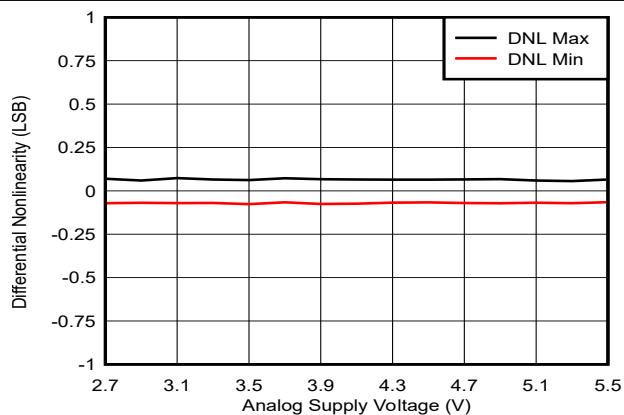


図 5-14. 微分非線形性と電源電圧との関係

## 5.12 代表的特性 (続き)

$T_J = 25^\circ\text{C}$  で、 $AV_{DD} = 5.5\text{V}$ 、 $V_{IO} = 5.5\text{V}$ 、内部リファレンス = 2.5V、ゲイン = 2、DAC 出力は無負荷 (特に記述のない限り)

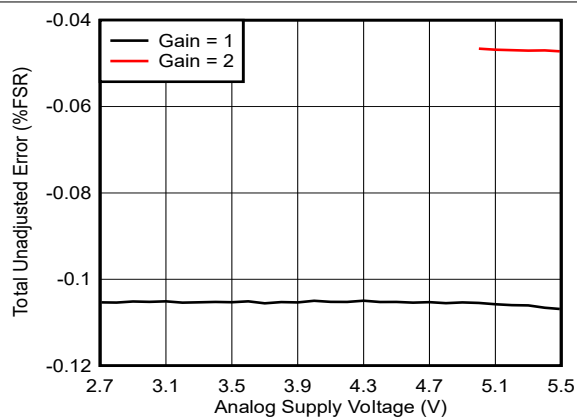


図 5-15. 総未調整誤差と電源電圧との関係

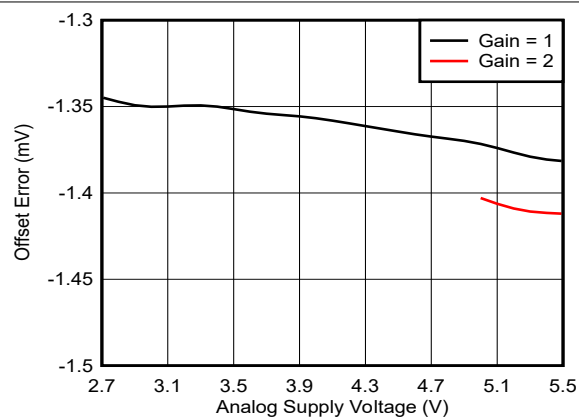


図 5-16. オフセット誤差と電源電圧との関係

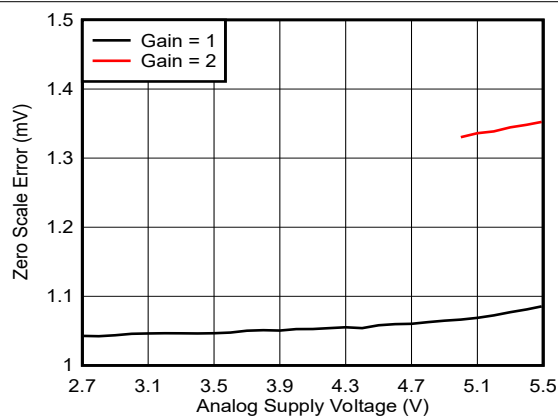


図 5-17. ゼロスケール誤差と電源電圧との関係

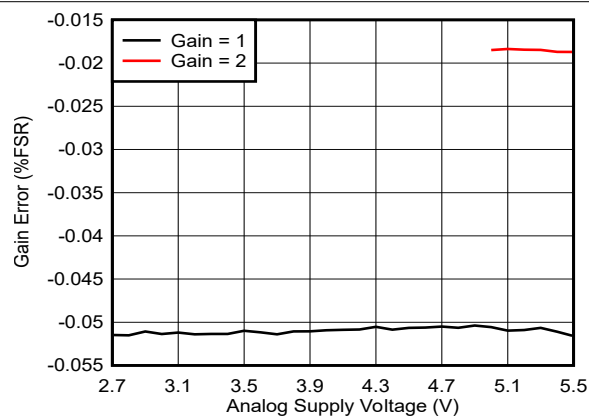


図 5-18. ゲイン誤差と電源電圧との関係

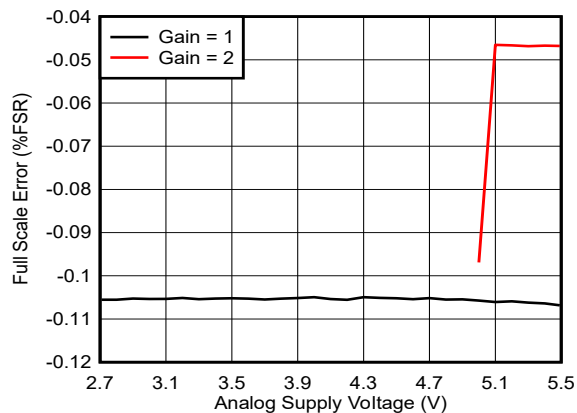


図 5-19. フルスケール誤差と電源電圧との関係

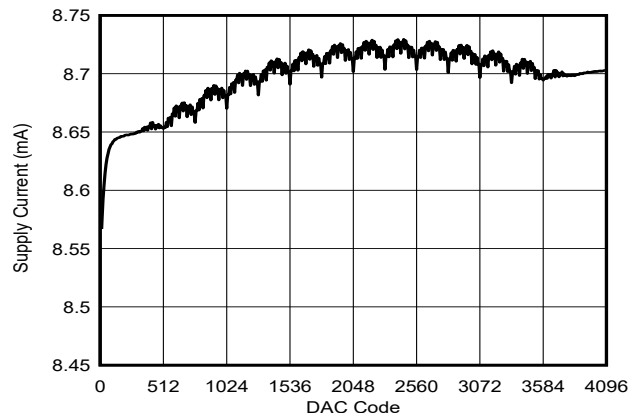
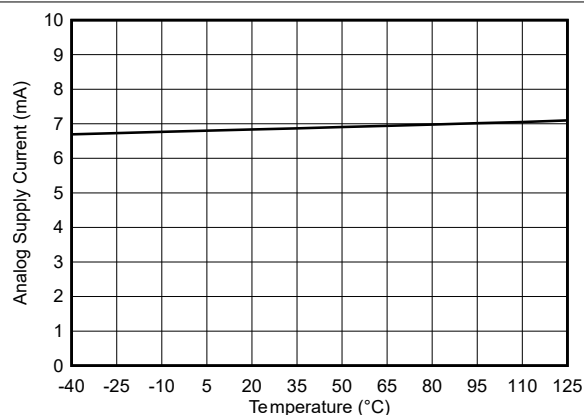


図 5-20. 内部リファレンス供給電流とデジタル入力コードとの関係

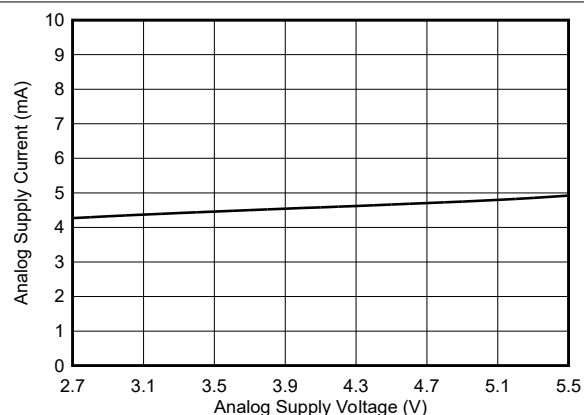
## 5.12 代表的特性 (続き)

$T_J = 25^\circ\text{C}$  で、 $AV_{DD} = 5.5\text{V}$ 、 $V_{IO} = 5.5\text{V}$ 、内部リファレンス = 2.5V、ゲイン = 2、DAC 出力は無負荷 (特に記述のない限り)



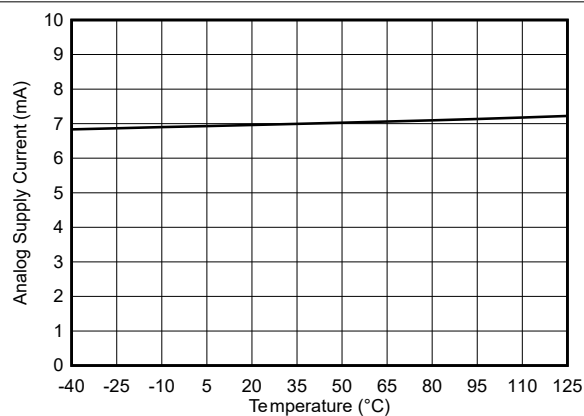
ゲイン = 2、外部リファレンス = 2.5V

図 5-21. 外部リファレンス供給電流と温度との関係



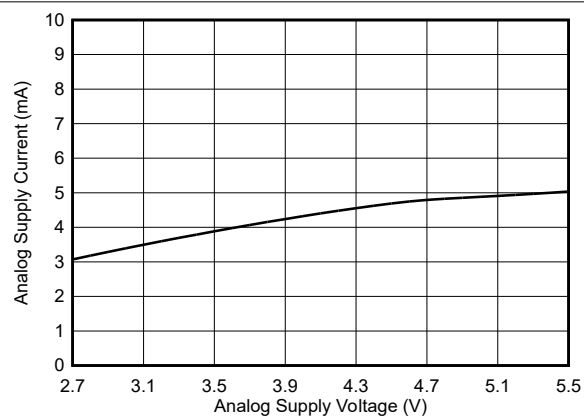
ゲイン = 1、外部リファレンス = 2.5V

図 5-22. 外部リファレンス供給電流と電源電圧との関係



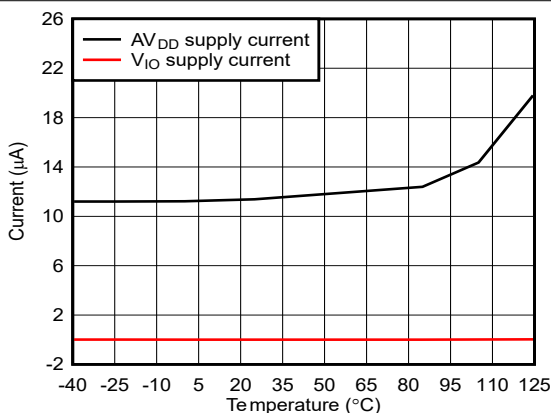
ゲイン = 2

図 5-23. 内部リファレンス供給電流と温度との関係



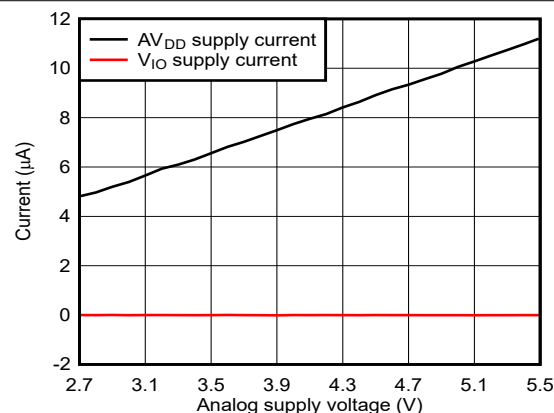
ゲイン = 1

図 5-24. 内部リファレンス供給電流と電源電圧との関係



ゲイン = 1

図 5-25. パワーダウン電流と温度との関係



ゲイン = 1

図 5-26. パワーダウン電流と電源電圧との関係



## 5.12 代表的特性 (続き)

$T_J = 25^\circ\text{C}$  で、 $AV_{DD} = 5.5\text{V}$ 、 $V_{IO} = 5.5\text{V}$ 、内部リファレンス = 2.5V、ゲイン = 2、DAC 出力は無負荷 (特に記述のない限り)

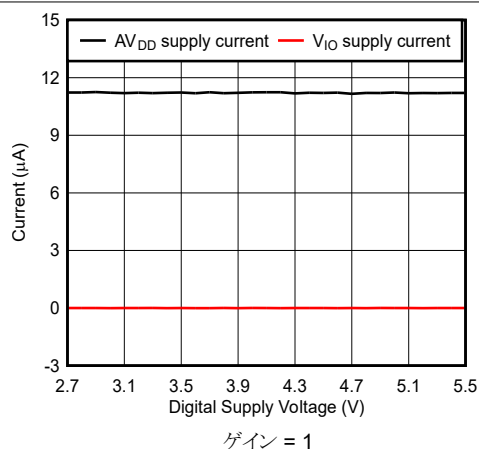


図 5-27. パワーダウン電流と  $V_{IO}$  との関係

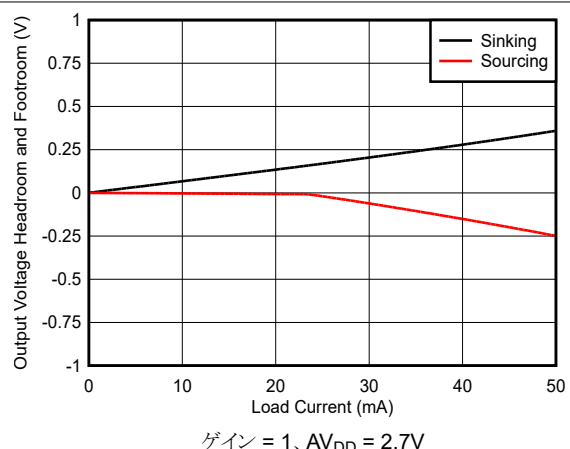


図 5-28. ヘッドルームおよびフットルームと負荷電流との関係

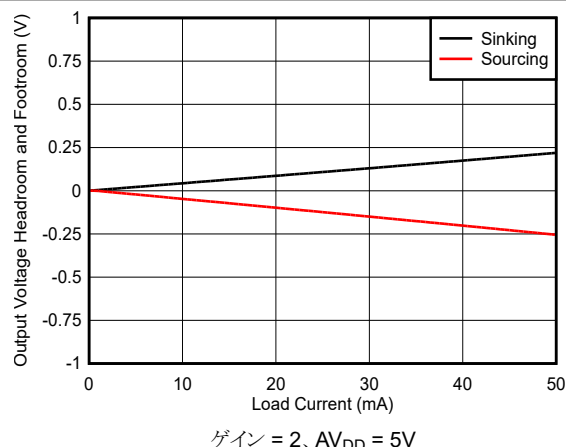


図 5-29. ヘッドルームおよびフットルームと負荷電流との関係

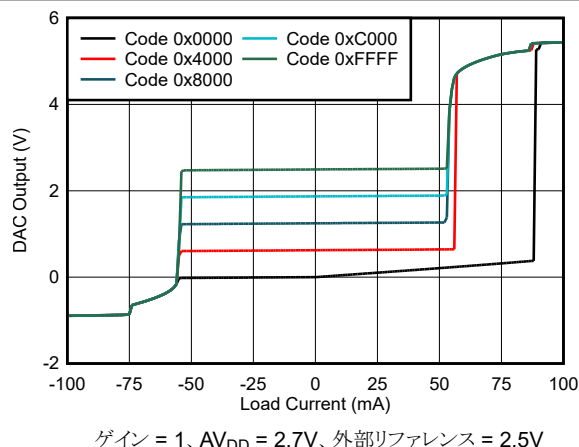


図 5-30. ソースおよびシンク振幅

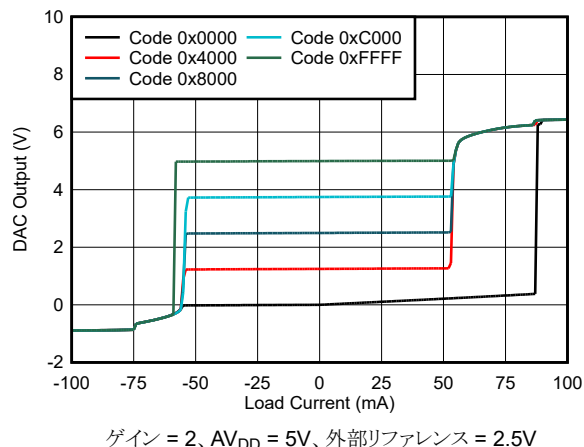


図 5-31. ソースおよびシンク振幅

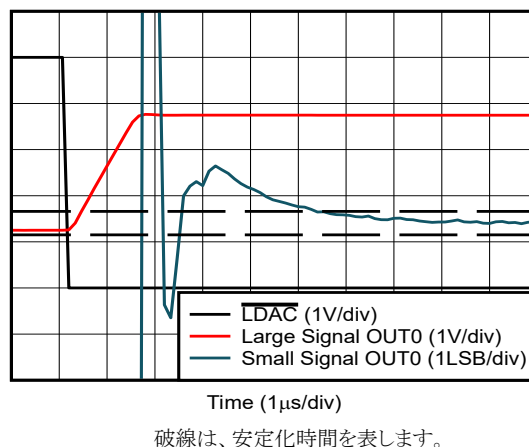


図 5-32. フルスケール セトリング時間、立ち上がりエッジ

## 5.12 代表的特性 (続き)

$T_J = 25^\circ\text{C}$  で、 $AV_{DD} = 5.5\text{V}$ 、 $V_{IO} = 5.5\text{V}$ 、内部リファレンス =  $2.5\text{V}$ 、ゲイン = 2、DAC 出力は無負荷 (特に記述のない限り)

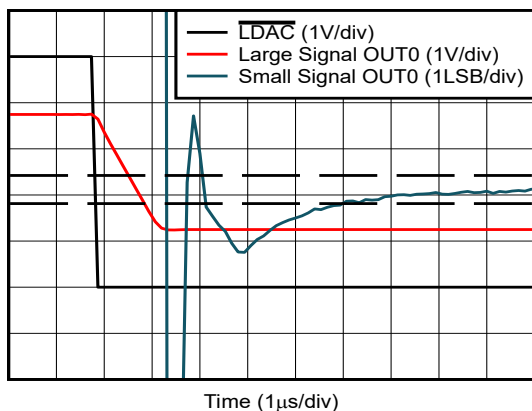


図 5-33. フルスケール セットリング時間、立ち下がりエッジ

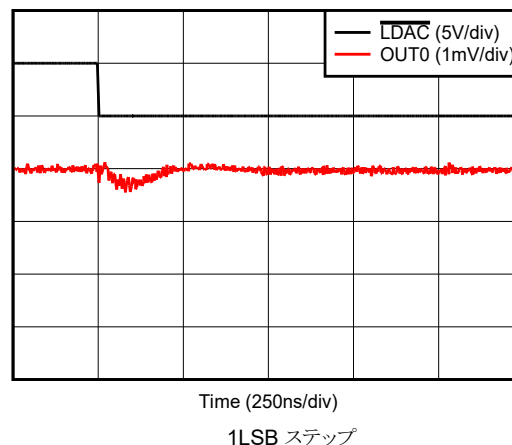


図 5-34. グリッチインパルス、立ち下がりエッジ

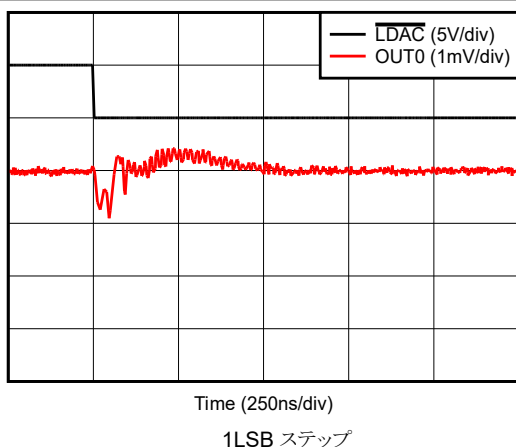


図 5-35. グリッチインパルス、立ち上がりエッジ

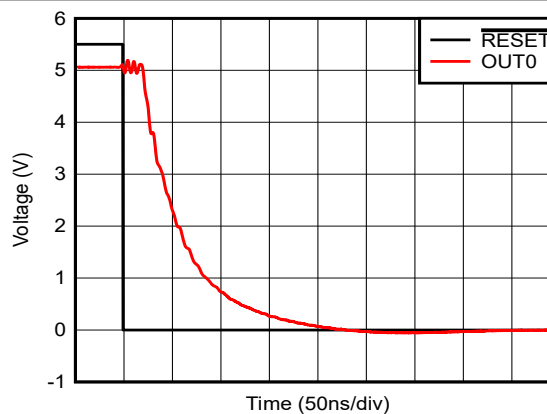


図 5-36. パワーオン、ゼロスケールにリセット

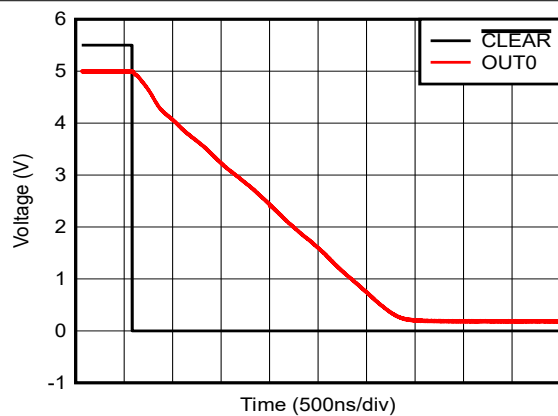


図 5-37. ゼロスケールにクリア

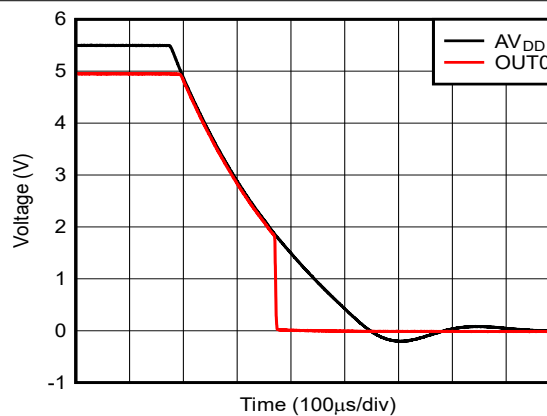


図 5-38.  $AV_{DD}$  パワーダウン応答

## 5.12 代表的特性 (続き)

$T_J = 25^\circ\text{C}$  で、 $AV_{DD} = 5.5\text{V}$ 、 $V_{IO} = 5.5\text{V}$ 、内部リファレンス =  $2.5\text{V}$ 、ゲイン = 2、DAC 出力は無負荷 (特に記述のない限り)

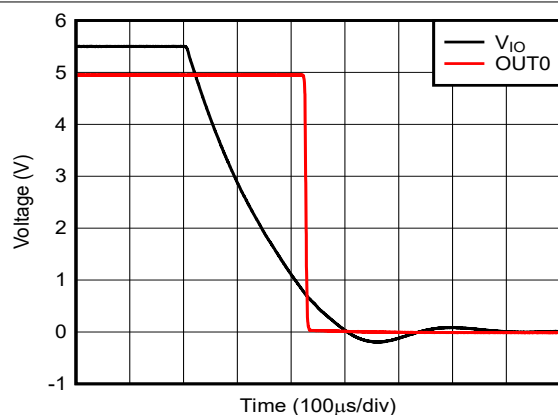
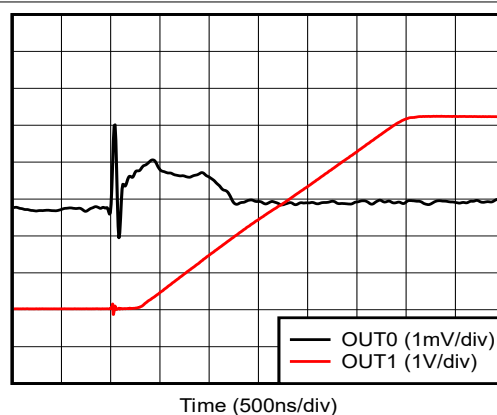
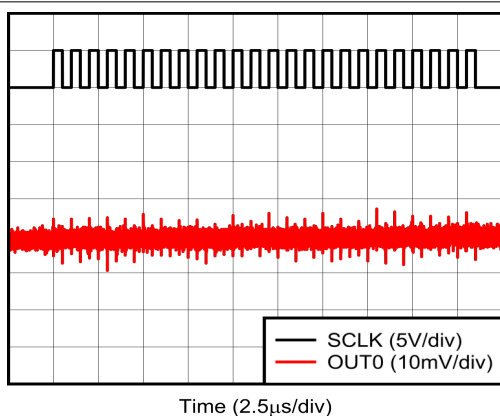


図 5-39.  $V_{IO}$  パワーダウン応答



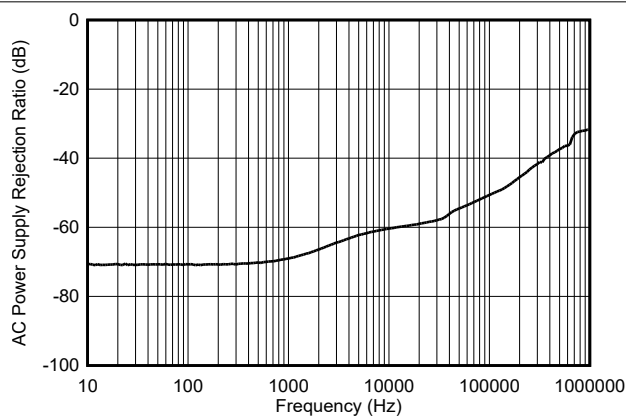
ミッドスケールでの DAC コード

図 5-40. チャンネル間クロストーク



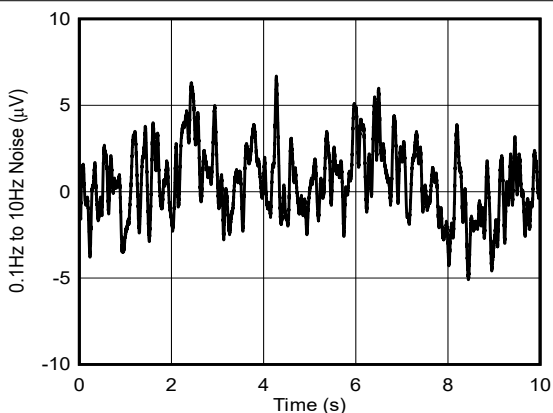
ミッドスケールでの DAC コード、SCLK = 1MHz

図 5-41. クロックフィードスルー



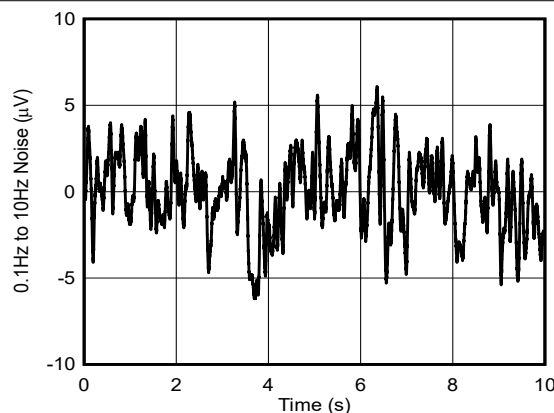
フルスケールでの DAC コード、 $V_{DD} = 5\text{V} + 200\text{mV}_{PP}$

図 5-42. DAC 出力 AC PSRR と周波数との関係



ミッドスケールでの DAC コード、ゲイン = 2、外部リファレンス =  $2.5\text{V}$

図 5-43. 外部リファレンス使用時の DAC 出力ノイズ (0.1Hz ~ 10Hz)



ミッドスケールでの DAC コード

図 5-44. 内部リファレンス使用時の DAC 出力ノイズ (0.1Hz ~ 10Hz)

## 5.12 代表的特性 (続き)

$T_J = 25^\circ\text{C}$  で、 $AV_{DD} = 5.5\text{V}$ 、 $V_{IO} = 5.5\text{V}$ 、内部リファレンス = 2.5V、ゲイン = 2、DAC 出力は無負荷 (特に記述のない限り)

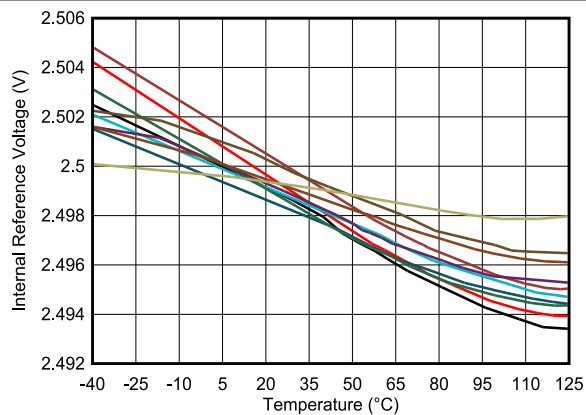


図 5-45. 内部基準電圧と温度との関係

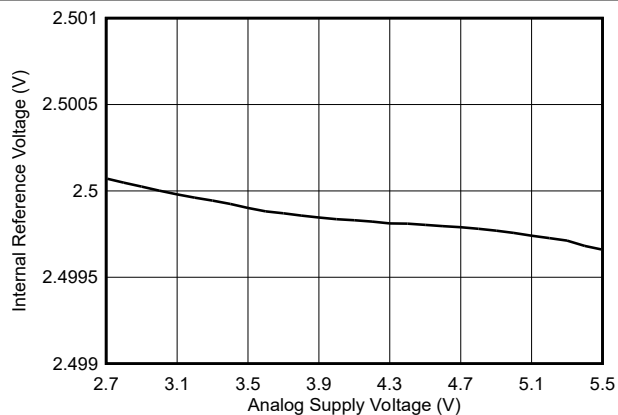


図 5-46. 内部リファレンス電圧と電源電圧との関係

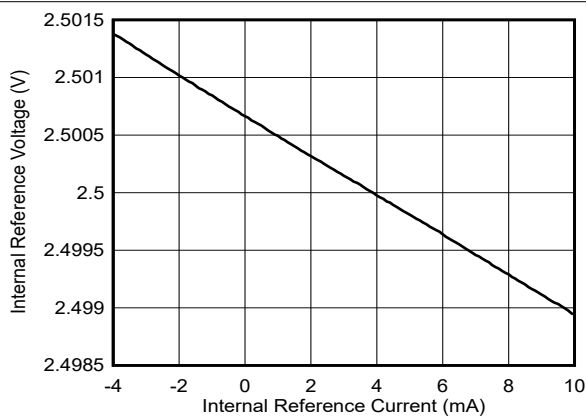


図 5-47. 内部リファレンス電圧と内部リファレンス電流との関係

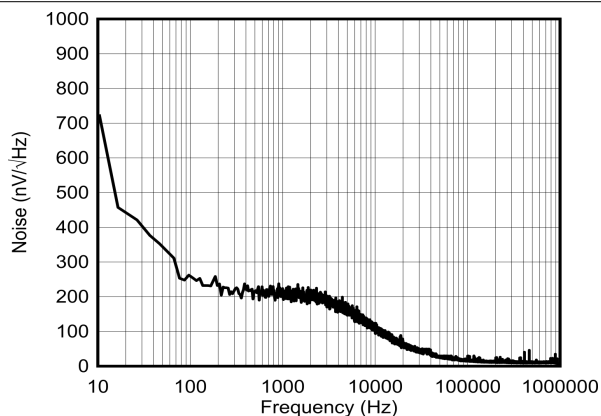


図 5-48. 内部リファレンスノイズ密度と周波数との関係

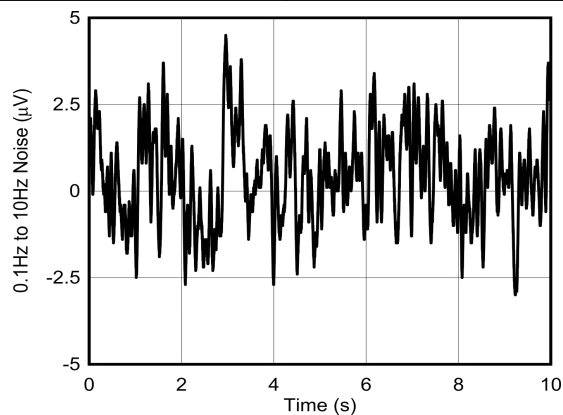


図 5-49. 内部リファレンス ノイズ

## 6 詳細説明

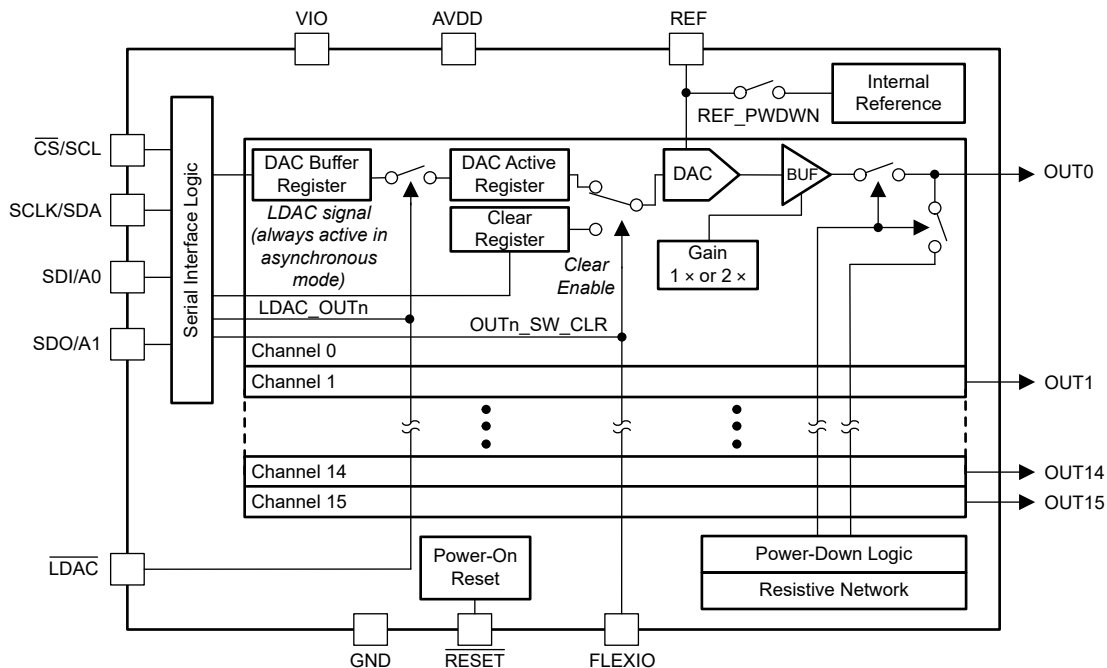
### 6.1 概要

DAC60516W は、低消費電力、16 チャンネル、12 ビット分解能、バッファ付き電圧出力の D/A コンバータ(DAC)です。DAC60516W には 2.5V のリファレンスが内蔵されており、ソフトウェアでユーザーが選択できるゲイン設定を提供します。この設定を使って、一度に 4 つの DAC のグループに対するフルスケール出力電圧範囲を設定できます ([セクション 6.3.1.1](#) も参照)。本デバイスは外部の  $AV_{DD}$  および  $V_{IO}$  電源で動作します。 $AV_{DD}$  および  $V_{IO}$  ピンを単一電源(2.7V ~ 5.5V)に短絡することもできます。DAC60516W との通信は、SPI および I<sup>2</sup>C 通信をサポートするシリアルインターフェースを介して行われます。

DAC60516W にはパワー オンリセット回路が組み込まれており、電源投入後、有効なコードがデバイスに書き込まれるまで DAC 出力をゼロスケールに維持します。

クリアピンにより、複数の DAC チャンネルを指定されたクリア値に同時に更新することができます。

### 6.2 機能ブロック図



## 6.3 機能説明

### 6.3.1 デジタル/アナログコンバータ (DAC) アーキテクチャ

DAC60516W の各出力チャンネルは、R-2R ラダーアーキテクチャと、それに続く出力バッファアンプで構成されています。  
 図 6-1 に、DAC アーキテクチャのブロック図を示します。

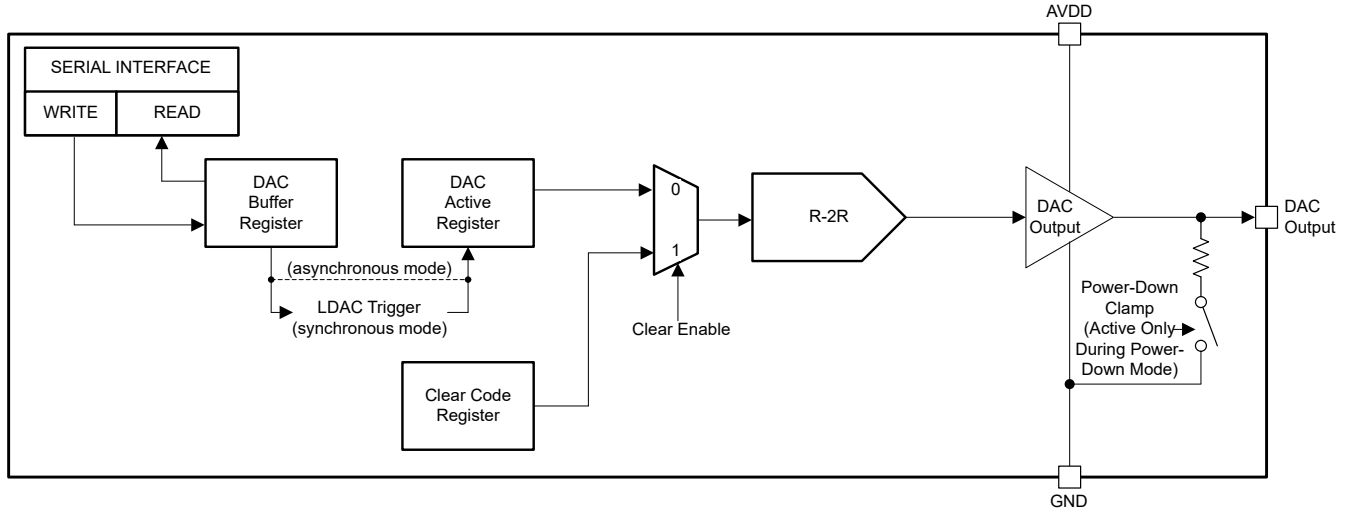


図 6-1. DAC60516W DAC ブロック図

リセットイベント後、すべての DAC レジスタはゼロコードに設定され、DAC 出力アンプはパワーダウンし、DAC 出力はプルダウンレジスタを介して GND にクランプされます。各 DAC 出力は、PWDWN レジスタの適切なビットに書き込むことで、ソフトウェアで個別に有効化または無効化できます。無効化されている場合は、DAC 出力はプルダウンレジスタを介してグラウンドにクランプされます。

#### 6.3.1.1 DAC レジスタ構造

DAC は、12 ビットの入力コードに比例した出力電圧を生成します。入力データは、すべての出力レンジに対してストレートバイナリ形式で DAC データレジスタに書き込まれます。DAC\_GAIN レジスタに書き込むことで、最大フルスケール DAC 出力電圧を  $1 \times V_{REF}$  または  $2 \times V_{REF}$  (最大 5V) に設定できます。ここでの  $V_{REF}$  は内部または外部のリファレンス入力電圧です。セクション 7.1.5 は、QUAD0 (OUT0 ~ OUT3)、QUAD1 (OUT4 ~ OUT7)、QUAD2 (OUT8 ~ OUT11)、QUAD3 (OUT12 ~ OUT15) のゲイン設定が可能であることを示しています。QUAD グループのすべての DAC チャンネルで、同じゲイン設定が共有されます。

DAC データレジスタに書き込まれたデータは、最初に DAC バッファレジスタに格納されます。DAC バッファレジスタから DAC アクティブレジスタへのデータ転送は、即時に行われるように設定することも (非同期モード)、DAC トリガ信号によって開始することも (同期モード) 可能です。DAC アクティブレジスタが更新されると、DAC 出力チャンネルは新しい値に変わります。

DAC\_BCAST\_EN レジスタの対応する BCAST\_EN ビットを設定することで、各 DAC をブロードキャストモードで動作するように設定することができます。BCAST\_DAC\_DATA レジスタに値が書き込まれると、この値はブロードキャストモードで動作するすべての DAC のバッファおよびアクティブデータレジスタに自動で保存されます。

さらに、各 DAC には短絡検出回路があります。DAC\_STATUS レジスタは、現在短絡状態の DAC チャンネルを示します。グローバルステータスビット (STATUS レジスタ内の GDAC\_SC\_STS) は、すべての DAC\_STATUS ビットの論理 OR であり、短絡状態のチャンネルが存在するかどうかを判定するために使用できます。

### 6.3.1.1.1 DAC 同期動作

各 DAC チャンネルの更新モードは、各 DAC を SYNC\_EN レジスタに書き込むことで設定される DAC 同期設定によって決定されます。非同期モードでは、DAC バッファデータレジスタへの書き込みにより、 $\overline{CS}$  の立ち上がりエッジで DAC のアクティブレジスタが即座に更新されます。同期モードでは、DAC バッファデータレジスタに書き込んでも DAC アクティブレジスタは自動的に更新されません。代わりに、更新は DAC トリガ信号の生成後にのみ行われます。 $\overline{LDAC}$  ピンを Low にすると、DAC トリガ信号を生成することができます。この場合、同期モードで動作しているすべての DAC 出力チャンネルのアクティブレジスタが同時に更新されます。 $\overline{LDAC}$  ピンは、SYNC\_EN レジスタですでに非同期に設定されているチャンネルのアクティブレジスタには影響しません。ただし、他のすべてのチャンネル (SYNC\_EN レジスタで同期に設定されている) は、 $\overline{LDAC}$  ピンがロジック Low に保持されている限り、非同期モードで動作します。TRIGGER レジスタで適切に LDAC\_OUTn ビットに書き込むことで、ソフトウェアでも DAC トリガを生成できます。ソフトウェアトリガにより、2 つの DAC チャンネルのアクティブレジスタが一度に更新されます。TRIGGER レジスタの各ビットは出力チャンネルのペアに対応し、ビットを 1 に設定すると、対応する両方のチャンネルが同時に更新されます。

### 6.3.1.1.2 DAC バッファ アンプ

DAC 出力バッファアンプは、低ノイズ、低ドリフトの電圧出力を特徴とし、レールツーレールで動作できます。アンプの出力は DAC の出力ピンで利用できます。DAC の最大出力電圧範囲は、 $AV_{DD}$  電源によって制限されます。

このデバイスの高出力電流により、大きな容量性負荷でも良好なスルー特性が得られます。大きな容量性負荷に対する正と負のスルーレートを見積もるには、ソースおよびシンクの短絡電流値をコンデンサで割ります。

### 6.3.1.1.3 DAC の伝達関数

DAC 伝達関数は式 1 で与えられます。

$$V_{DAC} = \left( \frac{DACIN}{2^N} \right) \times FSR \quad (1)$$

ここで、

- DACIN = DAC レジスタにロードされるバイナリコードの 10 進数換算値。DACIN 範囲 = 0~2<sup>12</sup>-1。
- 選択した出力範囲に対する FSR = DAC フルスケール出力。FSR は、0V ~ 2.5V の範囲で 2.5V、0V ~ 5V の範囲で 5V です。
- N = DAC デバイスの分解能。DAC60516W の N は 12。

DAC 出力は、表 6-1 に示す電圧範囲にわたります。

**表 6-1. DAC データ形式**

DAC データレジスタ		DAC 出力電圧 (V)	
2 進数	16 進	0V ~ 5V	0V ~ 2.5V
0000 0000 0000	000	0	0
0000 0000 0001	001	0.00122	0.00061
1000 0000 0000	800	2.5	1.25
1111 1111 1110	FFE	4.99755	2.49878
1111 1111 1111	FFF	5	2.5

### 6.3.2 内部リファレンス

DAC60516W には、2.5V の高精度バンドギャップ リファレンスが内蔵されています。外部リファレンスで動作させる場合は、GEN\_CONFIG レジスタの REF\_PWDWN ビットに書き込んで、内部リファレンスを無効にします。このビットは、デフォルトで設定されているため、内部リファレンスを有効にするにはクリアする必要があります。内部リファレンスは、REF ピンで外部から入手できます。

ノイズ フィルタリングのため、リファレンス出力と GND の間に 150nF 以上のコンデンサを配置することを推奨します。



### 6.3.3 パワーオン リセット (POR)

DAC60516W には、パワー オン リセット (POR) 機能が備わります。起動後、 $AV_{DD}$  および  $V_{IO}$  電源が確立されると、デバイスが正しく初期化されるように POR が発行されます。DAC60516W では、POR 後にシリアルインターフェイスを初期化するために最大 10ms が必要です。

動作中、次の 3 つの条件によってリセットがトリガされる可能性があります：

1.  $AV_{DD}$  または  $V_{IO}$  が、推奨最小動作値 (200mV 以上) を下回った
2. TRIGGER レジスタの `SOFT_RST` フィールドに `0xA` の値が書き込まれます
3. デバイスの `RESET` ピンは、ロジック 0 になります。ピンがロジック 0 に保持されると、デバイスは、ピンがロジック 1 にセットされるまで、電源オフ状態を維持します (その時点で、デバイスはシリアルインターフェイスの初期化を再度実行します)。

## 6.4 デバイスの機能モード

### 6.4.1 クリアモード

各 DAC は、ハードウェアまたはソフトウェアを使用してクリア状態に移行するように設定することができます。DAC がクリア状態に移行すると、DAC に対応する `CLEAR_CODE` レジスタに保存されたデータ (デフォルトではコード 0) がロードされ、出力は対応する電圧レベルに設定されます。

DAC がクリア状態に移行しても、DAC バッファおよびアクティブレジスタは変更されません。これにより、DAC はクリアイベントの前に動作ポイントに戻ります。DAC バッファおよびアクティブレジスタは、DAC がクリア状態のときも更新できるため、DAC が通常動作に戻ったときに新しい値を出力できます。クリア状態を終了すると、DAC にアクティブレジスタのデータが即座にロードされ、DAC 出力チャネルは対応するレベルに設定されて復元動作が行われます。

各 DAC は、クリアレジスタの適切なビットに書き込むことで、クリア状態を開始または終了するようにソフトウェアで設定することができます。アクティブ `Low CLEAR` ピンとして設定されている場合、各 DAC は `FLEXIO` ピンを使用して強制的にクリア状態にすることもできます。この設定は、`GEN_CONFIG` レジスタの `FLEXIO_FUNC` ビットを設定することで行われます (デフォルトでは、このビットは 0 で、`FLEXIO` は汎用入出力ピンとして機能します)。デフォルトでは、`CLEAR` ピンがロジック低レベルにアサートされている場合、`CLEAR_PIN_MASK` レジスタで適切なビットが設定されない限り、各 DAC 出力は自動でクリアされます。DAC がクリア状態を終了すると、アクティブレジスタのコンテンツが DAC にリロードされ、それに応じて DAC 出力チャネルが更新されます。

また、このデバイスを使用すると、各 DAC に共通のクリアコードを設定することができます。このコードは、`BCAST_CLR_DATA` レジスタに書き込むことで実行できます。このレジスタに保存された値は、ブロードキャストモードで動作するすべての DAC の `CLEAR_CODE` レジスタに書き込まれ (`BCAST_EN` レジスタの適切なビット設定で決定される)、同じコードで複数の DAC チャネルを同時にクリアするために使用することができます。

何らかの理由で DAC チャネルがパワーダウン状態の場合、そのチャネルがパワーダウン状態を脱するまで、DAC でのクリアコマンドは無視されます。



## 6.5 プログラミング

このデバイスは、 $I^2C$  互換 2 線式バスまたは SPI 互換バスをサポートするシリアル インターフェースを通じてシステム コントローラと通信します。このデバイスには、SPI 互換または  $I^2C$  互換コントローラを検出し、それに応じて自動的にインターフェースを設定する堅牢なメカニズムが搭載されています。インターフェース検出メカニズムは起動時に動作するため、通常動作中にプロトコルが変更されることはありません。

レジスタマップアドレスの範囲は 0x00 ~ 0x32 で、各レジスタ内のビットにアクセスできます (詳細は、[セクション 7](#) を参照してください)。

### 6.5.1 $I^2C$ シリアル インターフェイス

$I^2C$  モードでは、デバイスは 2 線式バス上でターゲット デバイスとしてのみ動作します。オープン ドレインの I/O ラインである SDA および SCL を使用してバスに接続されます。SDA と SCL ピンは、スパイク抑制フィルタとシュミットトリガを内蔵し、入力スパイクとバス ノイズの影響を最小限に抑えます。このデバイスは、標準モード、高速モード、高速モードプラスの伝送プロトコルに対応しています。すべてのデータ バイトは、MSB が最初に送信されます。

#### 6.5.1.1 $I^2C$ バスの概要

$I^2C$  プロトコルでは、転送を開始するデバイスをコントローラと呼び、コントローラによって制御されるデバイスをターゲットと呼びます。バスは、コントローラ デバイスにより制御されます。コントローラ デバイスはシリアル クロック (SCL) を生成し、バスへのアクセスを制御して、START 条件および STOP 条件を生成します。

特定のデバイスをアドレス指定するには、START 条件が開始されます。START 条件は、SCL が High の間にデータライン (SDA) を High から Low のロジックレベルにプルダウンすることで示されます。バス上のすべてのターゲットは、ターゲット アドレス バイトを受信し、最下位ビットは読み出し動作か書き込み動作かを示します。アドレス指定されたターゲットは、9 番目のクロック パルスのときアクノリッジビットを生成し、SDA を Low にすることで、コントローラに応答します。

その後でデータ転送が開始され、8 つのクロック パルスに合わせて送信されてから、アクノリッジビットが続きます。データ転送中、SCL が High のとき、SDA ラインは安定状態を維持する必要があります。SCL が High の間に SDA が変化すると、制御信号と解釈されるからです。

すべてのデータが転送された後、コントローラは STOP 条件を生成します。STOP 条件は、SCL が High の間に SDA を Low から High にプルダウンすることで示されます。

### 6.5.1.2 I<sup>2</sup>C バスの定義

デバイスは I<sup>2</sup>C に対応し、バス定義が表 6-2 に示されています。

**表 6-2. I<sup>2</sup>C 記号セット**

条件	記号	ソース	説明
START	S	コントローラ	すべてのバストランザクションを開始します。SDA ラインの状態が High から Low に変化することで、SCL ラインが High のとき、START 条件が定義されます。START 条件に従って、各データ転送が開始されます。
ストップ	P	コントローラ	すべてのトランザクションを終了し、バスをリセットします。SCL ラインが High の間に、SDA ラインの状態が Low から High に変化すると、STOP 条件が定義されます。各データ転送は、START 条件または STOP 条件の繰り返しで終了します。
IDLE	I	コントローラ	バスアイドル。SDA ラインと SCL ラインが共に High です。
ACK (アクノリッジ)	A	コントローラ/ターゲット	ハンドシェイクビット (low)。受信側の各デバイスは、アドレス指定された場合、アクノリッジビットを生成する義務を負います。アクノリッジを行うデバイスは、アクノリッジクロックパルスが HIGH の間、SDA ラインが安定して LOW を維持するように、SDA ラインをプルダウンする必要があります。セットアップおよびホールド時間を考慮してください。
NACK (アクノリッジなし)	$\bar{A}$	コントローラ/ターゲット	ハンドシェイクビット (high)。コントローラの受信では、コントローラがターゲットから送信された最後のバイトに対して非アクノリッジを生成することで、データ転送の終了を通知できます。
読み取り	R	コントローラ	ターゲットアドレスシーケンスの直後に続くアクティブ上位ビット。コントローラがターゲットからコントローラへのデータ転送を開始していることを示します。START 条件と STOP 条件の間に転送されるデータのバイト数は制限されておらず、コントローラデバイスで決定されます。レシーバがデータ転送をアクノリッジします。
書き込み	W	コントローラ	ターゲットアドレスシーケンスの直後に続くアクティブ下位ビット。コントローラがコントローラからターゲットへのデータ転送を開始していることを示します。START 条件と STOP 条件の間に転送されるデータのバイト数は制限されておらず、コントローラデバイスで決定されます。レシーバがデータ転送をアクノリッジします。
リピート スタート	Sr	コントローラ	コントローラによって生成され、START 条件と同じ機能を持ちます (STOP 条件が厳密には不要であることを強調)。
ブロック アクセス	B	コントローラ	アクティブハイのビットは、コントローラがブロックアクセスデータ転送を開始していることを示します。

### 6.5.1.3 I<sup>2</sup>C ターゲット アドレスの選択

I<sup>2</sup>C バスのターゲットアドレスは、A0、A1 ピンを V<sub>IO</sub> または GND レールに接続することで選択することができます。I<sup>2</sup>C バスの START 条件が発生するたびに、A0 ピンと A1 ピンの状態がテストされます。デバイスは、各ピンに対して、V<sub>IO</sub> へのシャント(ロジック 1)と GND へのシャント(ロジック 0)の 2 つの可能なオプションのいずれかを判別し、合計 4 つのターゲットアドレス(図 表 6-3 を参照)を決定します。

**表 6-3. I<sup>2</sup>C ターゲット アドレス空間**

デバイス ピン		I <sup>2</sup> C ターゲット アドレス
A1	A0	[A6:A0]
0	0	101 0000
0	1	101 0001
1	0	101 0100
1	1	101 0101

### 6.5.1.4 I<sup>2</sup>C 読み取り / 書き込み動作

デバイスに書き込む際、アドレス レジスタに対する値は、R/ $\overline{W}$  ビットが Low になったターゲット アドレス バイトの直後に送信される最初のバイトです。図 6-2 に示すように、すべての書き込み動作ごとにアドレスレジスタの値が必要です。

S	TargetAddr[6:0]	$\overline{W}$	A	B	RegAddr[6:0]	A	Data[15:8]	A	Data[7:0]	A	P
---	-----------------	----------------	---	---	--------------	---	------------	---	-----------	---	---

 From Controller to Target

 From Target to Controller

**図 6-2. I<sup>2</sup>C 書き込みアクセスプロトコル**

デバイスから読み出す際は、直前の書き込み動作でアドレス レジスタに格納された値が使用され、どのレジスタを読み出すかが決まります。読み取り操作で参照されるレジスタを変更するには、新しい値をアドレス レジスタに書き込む必要があります。このトランザクションは、R/ $\overline{W}$  ビットを Low にしたターゲット アドレス バイトを送信し、その後にアドレス レジスタのバイトを続けることで実行されます。追加のデータは必要ありませんその後、コントローラは START 条件を生成し、R/ $\overline{W}$  ビットを High に設定したターゲット アドレス バイトを送信して、読み取りコマンドを開始できます。

同じレジスタから繰り返し読み出す場合、毎回アドレス レジスタのバイトを送信する必要はありません。なぜなら、デバイスは次の書き込み操作で値が変更されるまで、アドレス レジスタの値を保持し続けるからです。レジスタバイトは、ビッグエンディアンで左揃えです。

読み取り操作を終了するには、最後に読み取るバイトの後に非アクノリッジコマンドを発行してください。図 6-3 で示されているように、コントローラは、ターゲットから読み取られた最後のバイトを確認応答する間、SDA ラインを High のままにしておく必要があります。

S	TargetAddr[6:0]	$\overline{W}$	A	B	RegAddr[6:0]	A	Sr	TargetAddr[6:0]	R	A	Data[15:8]	A	Data[7:0]	$\overline{A}$	P
---	-----------------	----------------	---	---	--------------	---	----	-----------------	---	---	------------	---	-----------	----------------	---

 From Controller to Target

 From Target to Controller

**図 6-3. I<sup>2</sup>C 読み取りアクセスプロトコル**

ブロック アクセス機能は、大規模なデータ セットの転送オーバーヘッドを最小限に抑えるために提供されます。ブロック アクセスにより、マルチバイトの転送が可能になり、ブロックアクセスビットを **high** に設定して設定します。トランザクションが **STOP** コンディションによって終了するまで、デバイスは図 図 6-4 および 図 6-5 に示すように、後続のメモリ位置の読み取りと書き込みを行います。

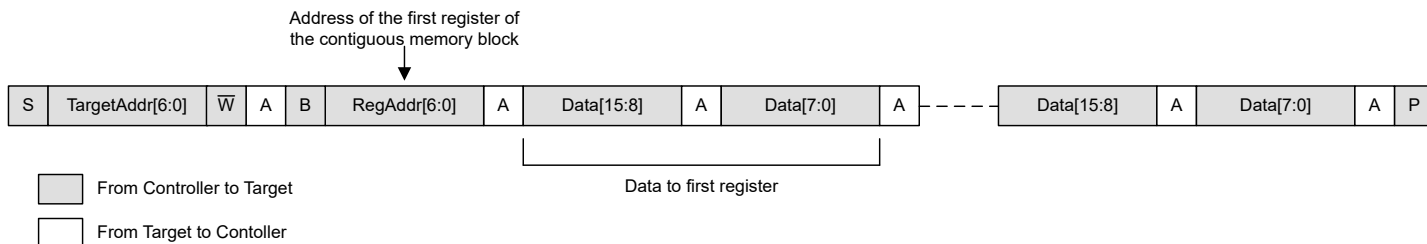


図 6-4. I<sup>2</sup>C ブロック書き込みアクセス

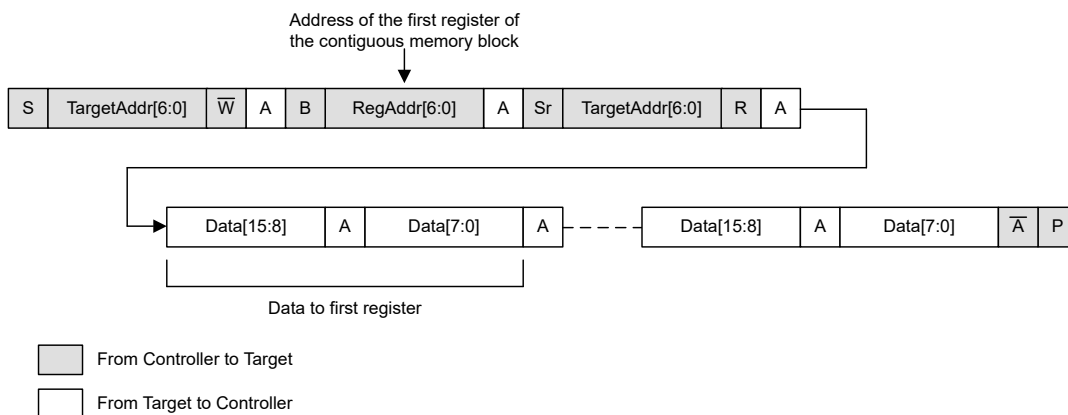


図 6-5. I<sup>2</sup>C ブロック読み取りアクセス

#### 6.5.1.5 I<sup>2</sup>C ゼネラル コール リセット

デバイスは、2 線式のゼネラル コール アドレス 00h (0000 0000b) によるリセットをサポートしています。このデバイスは、ゼネラル コール アドレスをアクリッジし、2 バイト目に応答します。2 バイト目が 06h (0000 0110b) の場合、デバイスはソフトウェア リセットを実行します。このソフトウェア リセットにより、リセット イベントが開始されます。デバイスは、2 番目のバイトにある他の値に応答して、何も動作を行いません。

## 6.5.2 シリアル・ペリフェラル・インターフェイス (SPI)

SPI モードでは、多くのマイクロ コントローラや DSP コントローラで使用されている SPI タイプのインターフェースと互換性のある、柔軟な 4 線式シリアル インターフェースを介してデバイスを制御します。このインターフェースを使用すると、デバイスのレジスタにアクセスできます。

### 6.5.2.1 SPI バスの概要

シリアル インターフェイスのアクセス サイクルは、 $\overline{\text{CS}}$  ピンを Low にすることで開始されます。シリアル クロック SCLK は連続クロックでもゲート付きクロックでも使用できます。SDI データは SCLK の立ち下がりエッジでクロックされるため、コントローラが SCLK の立ち上がりエッジで(またはそれに近接した場所)で更新するようにします。

。通常のシリアルインターフェイスのアクセスサイクルは 24 ビット長なので、少なくとも 24 SCLK 立ち下がりエッジの間、 $\overline{\text{CS}}$  ピンは、Low で維持する必要があります。 $\overline{\text{CS}}$  ピンが High にデアサートされると、アクセス サイクルは終了します。アクセス サイクルに最小クロック エッジよりも短い場合、通信は無視されます。アクセス サイクルで最小クロック数を超える場合、デバイスは最後の 24 ビットのみを使用します。 $\overline{\text{CS}}$  ピンが High のとき、SCLK および SDI 信号はブロックされ、SDO ピンはハイインピーダンス (Hi-Z) 状態になります。

シリアルインターフェイスのアクセスサイクルでは、SDI に入力される最初のバイトが、リクエストが読み取りコマンドか書き込みコマンドかを識別する命令サイクルおよびアクセスする 7 ビットレジスタのアドレスとなります。このサイクルの次のビットは、表 6-4 に示すように、データサイクルを形成します。

**表 6-4. SPI シリアルインターフェイスのアクセスサイクル**

ビット	フィールド	説明
23	RW	アドレス指定されたレジスタに対する読み取りまたは書き込みコマンドとして通信を識別します。 RW = 0 は書き込み動作を設定します。 RW = 1 は読み取り動作を設定します。
22:16	A[6:0]	レジスタ アドレス。読み取りまたは書き込み操作中にアクセスするレジスタを指定します。
15:0	DI[15:0]	データ サイクル ビット。 書き込みコマンドの場合、データ サイクルのビットはアドレス A[6:0] のレジスタに書き込まれる値となります。 読み取りコマンドの場合、データ サイクルのビットは無効値となります。

読み取り操作を行うには、まず SDO\_EN ビットを設定して SDO ピンを有効化する必要があります。読み取り操作は、読み取りコマンドのアクセス サイクルを発行することで開始されます。読み取りコマンドの後、要求されたデータを取得するために、表 6-5 に示されているようにフォーマットし、2 回目のアクセス サイクルを発行する必要があります。データは、FSDO ビットの設定に応じて、SCLK の立ち下がりエッジまたは立ち上がりエッジのいずれかの SDO ピンでクロック出力されます。

**表 6-5. SDO 出力アクセスサイクル**

ビット	フィールド	説明
23	RW	前回のアクセス サイクルから RW ビットをエコーします。
22:16	STATUS[6:0]	STATUS レジスタの下位 7 ビット。
15:0	DO[15:0]	前のアクセス サイクルで要求されたデータの読み戻し。

7 レジスタ マップ

表 7-1. レジスタ マップ

ADDR (HEX)	レジスタ	タイプ	リセット 時の値 (HEX)	ビットの詳細																		
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
00	NOP	W	0000	NOP[15:0]																		
01	DEVICE_ID	R	6A16	CHIP_ID[15:0]																		
02	VERSION_ID	R	0000	予約済み														VERSION_ID[2:0]				
03	PWDWN	R/W	FFFF	OUT15_PWDWN	OUT14_PWDWN	OUT13_PWDWN	OUT12_PWDWN	OUT11_PWDWN	OUT10_PWDWN	OUT9_PWDWN	OUT8_PWDWN	OUT7_PWDWN	OUT6_PWDWN	OUT5_PWDWN	OUT4_PWDWN	OUT3_PWDWN	OUT2_PWDWN	OUT1_PWDWN	OUT0_PWDWN			
04	DAC_GAIN	R/W	0000	予約済み														OUT_QUAD3_GAIN	OUT_QUAD2_GAIN	OUT_QUAD1_GAIN	OUT_QUAD0_GAIN	
05	TRIGGER	W	0000	LDAC_OUT15_OUT14	LDAC_OUT13_OUT12	LDAC_OUT11_OUT10	LDAC_OUT9_OUT8	LDAC_OUT7_OUT6	LDAC_OUT5_OUT4	LDAC_OUT3_OUT2	LDAC_OUT1_OUT0	予約済み				SOFT_RST[3:0]						
06	BCAST_DAC_DATA	R/W	0000	DATA[11:0]														予約済み				
07	STATUS	R	4008	予約済み																	GDAC_SC_STS	
08	SDO_EN	R/W	0000	予約済み																FSDO	SDO_EN	
09	GEN_CONFIG	R/W	0014	予約済み													FLEXIO_OUT_POL	FLEXIO_OUT_ODE	予約済み	REF_PWDWN	予約済み	FLEXIO_FUNC
0A	SYNC_EN	R/W	0000	OUT15_SYNC_EN	OUT14_SYNC_EN	OUT13_SYNC_EN	OUT12_SYNC_EN	OUT11_SYNC_EN	OUT10_SYNC_EN	OUT9_SYNC_EN	OUT8_SYNC_EN	OUT7_SYNC_EN	OUT6_SYNC_EN	OUT5_SYNC_EN	OUT4_SYNC_EN	OUT3_SYNC_EN	OUT2_SYNC_EN	OUT1_SYNC_EN	OUT0_SYNC_EN			
0B	BCAST_EN	R/W	FFFF	OUT15_BCAST_EN	OUT14_BCAST_EN	OUT13_BCAST_EN	OUT12_BCAST_EN	OUT11_BCAST_EN	OUT10_BCAST_EN	OUT9_BCAST_EN	OUT8_BCAST_EN	OUT7_BCAST_EN	OUT6_BCAST_EN	OUT5_BCAST_EN	OUT4_BCAST_EN	OUT3_BCAST_EN	OUT2_BCAST_EN	OUT1_BCAST_EN	OUT0_BCAST_EN			
0C	CLEAR	R/W	0000	OUT15_SW_CLR	OUT14_SW_CLR	OUT13_SW_CLR	OUT12_SW_CLR	OUT11_SW_CLR	OUT10_SW_CLR	OUT9_SW_CLR	OUT8_SW_CLR	OUT7_SW_CLR	OUT6_SW_CLR	OUT5_SW_CLR	OUT4_SW_CLR	OUT3_SW_CLR	OUT2_SW_CLR	OUT1_SW_CLR	OUT0_SW_CLR			
0D	CLEAR_PIN_MASK	R/W	0000	OUT15_HW_CLR_MASK	OUT14_HW_CLR_MASK	OUT13_HW_CLR_MASK	OUT12_HW_CLR_MASK	OUT11_HW_CLR_MASK	OUT10_HW_CLR_MASK	OUT9_HW_CLR_MASK	OUT8_HW_CLR_MASK	OUT7_HW_CLR_MASK	OUT6_HW_CLR_MASK	OUT5_HW_CLR_MASK	OUT4_HW_CLR_MASK	OUT3_HW_CLR_MASK	OUT2_HW_CLR_MASK	OUT1_HW_CLR_MASK	OUT0_HW_CLR_MASK			
0E	BCAST_CLR_DATA	R/W	0000	DATA[11:0]														予約済み				
0F	RESET_FLAGS	W	000F	予約済み														VDD_COLLAPSE_FLAG	RSTPIN_FLAG	VIO_FLAG	PORBASE_FLAG	
10	OUT0_BUFFER_CODE	R/W	0000	DATA[11:0]														予約済み				
11	OUT1_BUFFER_CODE	R/W	0000	DATA[11:0]														予約済み				

表 7-1. レジスタ マップ (続き)

ADDR (HEX)	レジスタ	タイプ	リセット 時の値 (HEX)	ビットの詳細															
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
12	OUT2_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
13	OUT3_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
14	OUT4_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
15	OUT5_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
16	OUT6_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
17	OUT7_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
18	OUT8_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
19	OUT9_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
1A	OUT10_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
1B	OUT11_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
1C	OUT12_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
1D	OUT13_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
1E	OUT14_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
1F	OUT15_BUFFER_CODE	R/W	0000	DATA[11:0]												予約済み			
20	OUT0_CLEAR_CODE	R/W	0000	DATA[11:0]												予約済み			
21	OUT1_CLEAR_CODE	R/W	0000	DATA[11:0]												予約済み			

表 7-1. レジスタ マップ (続き)

ADDR (HEX)	レジスタ	タイプ	リセット 時の値 (HEX)	ビットの詳細																
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
22	OUT2_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
23	OUT3_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
24	OUT4_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
25	OUT5_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
26	OUT6_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
27	OUT7_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
28	OUT8_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
29	OUT9_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
2A	OUT10_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
2B	OUT11_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
2C	OUT12_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
2D	OUT13_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
2E	OUT14_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
2F	OUT15_ CLEAR_ CODE	R/W	0000	DATA[11:0]												予約済み				
31	GPIO_ DATA	R/W	0001	予約済み																GPIO
32	DAC_ STATUS	R	0000	OUT15_ SC_ STS	OUT14_ SC_ STS	OUT13_ SC_ STS	OUT12_ SC_ STS	OUT11_ SC_ STS	OUT10_ SC_ STS	OUT9_ SC_ STS	OUT8_ SC_ STS	OUT7_ SC_ STS	OUT6_ SC_ STS	OUT5_ SC_ STS	OUT4_ SC_ STS	OUT3_ SC_ STS	OUT2_ SC_ STS	OUT1_ SC_ STS	OUT0_ SC_ STS	



## 7.1 レジスタ

### 7.1.1 NOP レジスタ (オフセット = 0h) [リセット = 0000h]

図 7-1. NOP レジスタ

15	14	13	12	11	10	9	8
NOP[15:0]							
W-0h							
7	6	5	4	3	2	1	0
NOP[15:0]							
W-0h							

表 7-2. NOP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	NOP[15:0]	W	0h	無操作(NOP)。

### 7.1.2 DEVICE\_ID レジスタ (オフセット = 1h) [リセット = 6A16h]

図 7-2. DEVICE\_ID レジスタ

15	14	13	12	11	10	9	8
CHIP_ID[15:0]							
R-6Ah							
7	6	5	4	3	2	1	0
CHIP_ID[15:0]							
R-16h							

表 7-3. DEVICE\_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	CHIP_ID[15:0]	R	6A16h	デバイスチップ ID。DAC60516W デバイスの場合、このレジスタは 6A16h 値を読み出します。

### 7.1.3 VERSION\_ID レジスタ (オフセット = 2h) [リセット = 0000h]

図 7-3. VERSION\_ID レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					VERSION_ID[2:0]		
R-0h					R-0h		

表 7-4. VERSION\_ID レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:3	予約済み	R	0h	
2:0	VERSION_ID[2:0]	R	0h	デバイスのバージョン ID。

## 7.1.4 PWDWN レジスタ (オフセット = 3h) [リセット = FFFFh]

図 7-4. PWDWN レジスタ

15	14	13	12	11	10	9	8
OUT15_PWDWN	OUT14_PWDWN	OUT13_PWDWN	OUT12_PWDWN	OUT11_PWDWN	OUT10_PWDWN	OUT9_PWDWN	OUT8_PWDWN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
OUT7_PWDWN	OUT6_PWDWN	OUT5_PWDWN	OUT4_PWDWN	OUT3_PWDWN	OUT2_PWDWN	OUT1_PWDWN	OUT0_PWDWN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-5. PWDWN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	OUT15_PWDWN	R/W	1h	OUT15 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
14	OUT14_PWDWN	R/W	1h	OUT14 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
13	OUT13_PWDWN	R/W	1h	OUT13 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
12	OUT12_PWDWN	R/W	1h	OUT12 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
11	OUT11_PWDWN	R/W	1h	OUT11 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
10	OUT10_PWDWN	R/W	1h	OUT10 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
9	OUT9_PWDWN	R/W	1h	OUT9 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
8	OUT8_PWDWN	R/W	1h	OUT8 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
7	OUT7_PWDWN	R/W	1h	OUT7 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
6	OUT6_PWDWN	R/W	1h	OUT6 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
5	OUT5_PWDWN	R/W	1h	OUT5 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
4	OUT4_PWDWN	R/W	1h	OUT4 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
3	OUT3_PWDWN	R/W	1h	OUT3 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
2	OUT2_PWDWN	R/W	1h	OUT2 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。
1	OUT1_PWDWN	R/W	1h	OUT1 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。

**表 7-5. PWDWN レジスタ フィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
0	OUT0_PWDWN	R/W	1h	OUT0 パワーダウンビット。 0h = この DAC は有効、 1h = この DAC は低消費電力モードで無効化されています。

## 7.1.5 DAC\_GAIN レジスタ (オフセット = 4h) [リセット = 0000h]

図 7-5. DAC\_GAIN レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				OUT_QUAD3_ GAIN	OUT_QUAD2_ GAIN	OUT_QUAD1_ GAIN	OUT_QUAD0_ GAIN
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-6. DAC\_GAIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R	0h	
3	OUT_QUAD3_GAIN	R/W	0h	QUAD-3 $V_{REF}$ ゲイン。OUT12、OUT13、OUT14、OUT15 のゲイン設定 $V_{REF}$ 0h = この DAC グループは、0V ~ 1 x $V_{REF}$ の出力範囲、 1h = この DAC グループは 0V ~ 2 x $V_{REF}$ の出力範囲です
2	OUT_QUAD2_GAIN	R/W	0h	QUAD-2 $V_{REF}$ ゲイン。OUT8、OUT9、OUT10、OUT11 のゲイン設定 $V_{REF}$ 0h = この DAC グループは、0V ~ 1 x $V_{REF}$ の出力範囲、 1h = この DAC グループは 0V ~ 2 x $V_{REF}$ の出力範囲です
1	OUT_QUAD1_GAIN	R/W	0h	QUAD-1 $V_{REF}$ ゲイン。OUT4、OUT5、OUT6、OUT7 のゲイン設定 $V_{REF}$ 0h = この DAC グループは、0V ~ 1 x $V_{REF}$ の出力範囲、 1h = この DAC グループは 0V ~ 2 x $V_{REF}$ の出力範囲です
0	OUT_QUAD0_GAIN	R/W	0h	QUAD-0 $V_{REF}$ ゲイン。OUT0、OUT1、OUT2、OUT3 のゲイン設定 $V_{REF}$ 0h = この DAC グループは、0V ~ 1 x $V_{REF}$ の出力範囲、 1h = この DAC グループは 0V ~ 2 x $V_{REF}$ の出力範囲です

## 7.1.6 TRIGGER レジスタ（オフセット = 5h）[リセット = 0000h]

図 7-6. TRIGGER レジスタ

15	14	13	12	11	10	9	8
LDAC_OUT15_OUT14	LDAC_OUT13_OUT12	LDAC_OUT11_OUT10	LDAC_OUT9_OUT8	LDAC_OUT7_OUT6	LDAC_OUT5_OUT4	LDAC_OUT3_OUT2	LDAC_OUT1_OUT0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
予約済み				SOFT_RST[3:0]			
R-0h				W-0h			

表 7-7. TRIGGER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	LDAC_OUT15_OUT14	W	0h	ソフトウェア DAC トリガ。 対応するチャネルが同期モードに設定されている場合、OUT15 および OUT14 バッファレジスタからアクティブレジスタに DAC データを転送します。アクションが完了すると、このビットは自動的にクリアされます。 0h = アクションなし 1h = DAC データを転送。アクションが完了すると、このビットはクリアされます。
14	LDAC_OUT13_OUT12	W	0h	ソフトウェア DAC トリガ。 対応するチャネルが同期モードに設定されている場合、OUT13 および OUT12 バッファレジスタからアクティブレジスタに DAC データを転送します。アクションが完了すると、このビットは自動的にクリアされます。 0h = アクションなし 1h = DAC データを転送。アクションが完了すると、このビットはクリアされます。
13	LDAC_OUT11_OUT10	W	0h	ソフトウェア DAC トリガ。 対応するチャネルが同期モードに設定されている場合、OUT11 および OUT10 バッファレジスタからアクティブレジスタに DAC データを転送します。アクションが完了すると、このビットは自動的にクリアされます。 0h = アクションなし 1h = DAC データを転送。アクションが完了すると、このビットはクリアされます。
12	LDAC_OUT9_OUT8	W	0h	ソフトウェア DAC トリガ。 対応するチャネルが同期モードに設定されている場合、OUT9 および OUT8 バッファレジスタからアクティブレジスタに DAC データを転送します。アクションが完了すると、このビットは自動的にクリアされます。 0h = アクションなし 1h = DAC データを転送。アクションが完了すると、このビットはクリアされます。
11	LDAC_OUT7_OUT6	W	0h	ソフトウェア DAC トリガ。 対応するチャネルが同期モードに設定されている場合、OUT7 および OUT6 バッファレジスタからアクティブレジスタに DAC データを転送します。アクションが完了すると、このビットは自動的にクリアされます。 0h = アクションなし 1h = DAC データを転送。アクションが完了すると、このビットはクリアされます。
10	LDAC_OUT5_OUT4	W	0h	ソフトウェア DAC トリガ。 対応するチャネルが同期モードに設定されている場合、OUT5 および OUT4 バッファレジスタからアクティブレジスタに DAC データを転送します。アクションが完了すると、このビットは自動的にクリアされます。 0h = アクションなし 1h = DAC データを転送。アクションが完了すると、このビットはクリアされます。
9	LDAC_OUT3_OUT2	W	0h	ソフトウェア DAC トリガ。 対応するチャネルが同期モードに設定されている場合、OUT3 および OUT2 バッファレジスタからアクティブレジスタに DAC データを転送します。アクションが完了すると、このビットは自動的にクリアされます。 0h = アクションなし 1h = DAC データを転送。アクションが完了すると、このビットはクリアされます。
8	LDAC_OUT1_OUT0	W	0h	ソフトウェア DAC トリガ。 対応するチャネルが同期モードに設定されている場合、OUT1 および OUT0 バッファレジスタからアクティブレジスタに DAC データを転送します。アクションが完了すると、このビットは自動的にクリアされます。 0h = アクションなし 1h = DAC データを転送。アクションが完了すると、このビットはクリアされます。
7:4	予約済み	R	0h	

表 7-7. TRIGGER レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	SOFT_RST[3:0]	W	0h	ソフトウェアデバイスリセット。 Ah = ソフトウェアリセット。フルパワーオンリセットを実行します。デバイスとすべてのレジスタをデフォルトのパワーオンリセット状態にリセットします。実行することで自動クリアされます。

### 7.1.7 BCAST\_DAC\_DATA レジスタ (オフセット = 6h) [リセット = 0000h]

図 7-7. BCAST\_DAC\_DATA レジスタ

15	14	13	12	11	10	9	8
DATA[11:4]							
R/W-0h							
7	6	5	4	3	2	1	0
DATA[3:0]				予約済み			
R/W-0h				R-0h			

表 7-8. BCAST\_DAC\_DATA レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	DATA[11:0]	R/W	0h	このレジスタに書き込むと、すべての DAC バッファと有効なレジスタ値が、ブロードキャストイネーブルビットが設定されている出力チャンネルの指定されたコードに設定されます。
3:0	予約済み	R	0h	

### 7.1.8 STATUS レジスタ (オフセット = 7h) [リセット = 4008h]

図 7-8. STATUS レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-40h							
7	6	5	4	3	2	1	0
予約済み							GDAC_SC_STS
R-04h							R-0h

表 7-9. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:1	予約済み	R	2004h	
0	GDAC_SC_STS	R	0h	グローバル DAC の短絡ステータス。 グローバル DAC 短絡ステータスビット。このビットは、すべての DACn_SC_STS ビットの OR 関数です。DACn_SC_STS ビットは、DAC_STATUS レジスタにあり、DAC ごとに 1 ビットを持ちます。 0h = 短絡状態の DAC 出力チャンネルはない 1h = 1 つ以上の DAC 出力チャンネルが短絡状態

## 7.1.9 SDO\_EN レジスタ (オフセット = 8h) [リセット = 0000h]

図 7-9. SDO\_EN レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						FSDO	SDO_EN
R-0h						R/W-0h	R/W-0h

表 7-10. SDO\_EN レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:2	予約済み	R	0h	
1	FSDO	R/W	0h	<p>高速 SDO。            1 つの SCLK を半サイクル前に SDO データを送信することで、SPI バスの速度を高速化できます。SDI ラッチエッジは、この設定に関係なく常に SCLK 立ち下がりエッジです。SDO_EN が無効の場合、FSDO は無視されます。            0h = チップセレクトが Low になると SDO は MSB を駆動し、その後各 SCLK の立ち上がりエッジ (SDI ラッチエッジの反対側のエッジ) で更新します。            1h = チップセレクトが Low になると SDO は MSB を駆動し、その後各 SCLK の立ち下がりエッジ (SDI ラッチエッジと同じ側のエッジ) で更新します。</p>
0	SDO_EN	R/W	0h	<p>SDO 有効。            SDO ビンドライバを有効にします。有効にすると、SPI チップセレクトピンが Low になるたびに、SDO の読み取りと書き込みが有効になります。このビットの設定に関係なく、SDO は I<sup>2</sup>C モードでは常に無効になります。            0h = SDO 無効            1h = SDO が読み取り / 書き込み動作中に有効</p>



### 7.1.10 GEN\_CONFIG レジスタ (オフセット = 9h) [リセット = 0014h]

図 7-10. GEN\_CONFIG レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	FLEXIO_OUT_POL	FLEXIO_OUT_ODE	予約済み	REF_PWDWN	予約済み	FLEXIO_FUNC	
R-0h	R/W-0h	R/W-1h	R-0h	R/W-1h	R-0h	R/W-0h	

表 7-11. GEN\_CONFIG レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:6	予約済み	R	0h	
5	FLEXIO_OUT_POL	R/W	0h	FLEXIO ピンの極性。 FLEXIO ピン出力のアクティブ状態を設定します (ピンが GPIO として設定されている場合)。 0h = FLEXIO デジタルピンは、GPIO_DATA が 0x00h (またはオープンドレインとして設定されている場合は高インピーダンス) に設定されている場合は 0V を出力し、GPIO_DATA が 0x01h に設定されている場合は、V <sub>IO</sub> を出力します。 GPIO_DATA が 0x00h に設定されている場合は、1h = FLEXIO デジタルピンは、V <sub>IO</sub> (またはオープンドレインとして設定されている場合は高インピーダンス) を出力し、GPIO_DATA が 0x01h に設定されている場合は、0V を出力します。
4	FLEXIO_OUT_ODE	R/W	1h	FLEXIO オープンドレイン有効。 FLEXIO ピンドライブモードを設定します (ピンが GPIO として設定されている場合)。V <sub>IO</sub> 電圧に対して絶対最大定格を超えてピンを動作させないでください。ピンがデジタル出力として設定されていない場合、ビットは無視されます。 0h = FLEXIO ピン出力はプッシュプル 1h = FLEXIO ピン出力はオープンドレイン
3	予約済み	R	0h	
2	REF_PWDWN	R/W	1h	内部リファレンスを無効化。 内部電圧リファレンスを有効または無効に設定します。 0h = 内部リファレンス有効化。 1h = 内部リファレンス無効化。
1	予約済み	R	0h	
0	FLEXIO_FUNC	R/W	0h	FLEXIO ピンの機能。 FLEXIO ピンの機能を設定します。 0h = GPIO. このモードで、このピンは GPIO として動作し、GPIO_DATA レジスタを使用して GPIO 機能をサポートします。 1h = CLEAR ピン。このモードで、このピンはアクティブ Low の DAC クリア入力ピンとして動作します。

## 7.1.11 SYNC\_EN レジスタ (オフセット = Ah) [リセット = 0000h]

図 7-11. SYNC\_EN レジスタ

15	14	13	12	11	10	9	8
OUT15_SYNC_EN	OUT14_SYNC_EN	OUT13_SYNC_EN	OUT12_SYNC_EN	OUT11_SYNC_EN	OUT10_SYNC_EN	OUT9_SYNC_EN	OUT8_SYNC_EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
OUT7_SYNC_EN	OUT6_SYNC_EN	OUT5_SYNC_EN	OUT4_SYNC_EN	OUT3_SYNC_EN	OUT2_SYNC_EN	OUT1_SYNC_EN	OUT0_SYNC_EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-12. SYNC\_EN レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	OUT15_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
14	OUT14_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
13	OUT13_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
12	OUT12_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
11	OUT11_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
10	OUT10_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
9	OUT9_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)

**表 7-12. SYNC\_EN レジスタフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
8	OUT8_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
7	OUT7_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
6	OUT6_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
5	OUT5_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
4	OUT4_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
3	OUT3_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
2	OUT2_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
1	OUT1_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)
0	OUT0_SYNC_EN	R/W	0h	同期モード有効化。 同期モードの有効化または無効化。 0h = この DAC を非同期モードに設定 (DAC バッファの更新で DAC アクティブレジスタを更新) 1h = この DAC を同期モードに設定 (DAC トリガによる DAC アクティブレジスタの更新)

## 7.1.12 BCAST\_EN レジスタ (オフセット = Bh) [リセット = FFFFh]

図 7-12. BCAST\_EN レジスタ

15	14	13	12	11	10	9	8
OUT15_BCAST_EN	OUT14_BCAST_EN	OUT13_BCAST_EN	OUT12_BCAST_EN	OUT11_BCAST_EN	OUT10_BCAST_EN	OUT9_BCAST_EN	OUT8_BCAST_EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
OUT7_BCAST_EN	OUT6_BCAST_EN	OUT5_BCAST_EN	OUT4_BCAST_EN	OUT3_BCAST_EN	OUT2_BCAST_EN	OUT1_BCAST_EN	OUT0_BCAST_EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-13. BCAST\_EN レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	OUT15_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
14	OUT14_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
13	OUT13_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
12	OUT12_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
11	OUT11_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
10	OUT10_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
9	OUT9_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
8	OUT8_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
7	OUT7_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
6	OUT6_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
5	OUT5_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
4	OUT4_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
3	OUT3_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
2	OUT2_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可
1	OUT1_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可

**表 7-13. BCAST\_EN レジスタフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
0	OUT0_BCAST_EN	R/W	1h	ブロードキャストモードを有効または無効にします。 0H = この DAC へのブロードキャスト書き込みを無視 1h = この DAC へのブロードキャスト書き込みを許可

## 7.1.13 CLEAR レジスタ (オフセット = Ch) [リセット = 0000h]

図 7-13. CLEAR レジスタ

15	14	13	12	11	10	9	8
OUT15_SW_CLR	OUT14_SW_CLR	OUT13_SW_CLR	OUT12_SW_CLR	OUT11_SW_CLR	OUT10_SW_CLR	OUT9_SW_CLR	OUT8_SW_CLR
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
OUT7_SW_CLR	OUT6_SW_CLR	OUT5_SW_CLR	OUT4_SW_CLR	OUT3_SW_CLR	OUT2_SW_CLR	OUT1_SW_CLR	OUT0_SW_CLR
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-14. CLEAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	OUT15_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
14	OUT14_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
13	OUT13_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
12	OUT12_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
11	OUT11_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
10	OUT10_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
9	OUT9_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
8	OUT8_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする

**表 7-14. CLEAR レジスタ フィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
7	OUT7_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
6	OUT6_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
5	OUT5_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
4	OUT4_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
3	OUT3_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
2	OUT2_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
1	OUT1_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする
0	OUT0_SW_CLR	R/W	0h	ソフトウェアクリア有効化ビット。 DAC を強制的にクリア状態にします。DAC は、クリア状態で指定されたクリアコードを使用します。 0h= この DAC を通常動作に復元 1h= この DAC を強制的にクリア状態にする

## 7.1.14 CLEAR\_PIN\_MASK レジスタ (オフセット = Dh) [リセット = 0000h]

図 7-14. CLEAR\_PIN\_MASK レジスタ

15	14	13	12	11	10	9	8
OUT15_HW_CLR_MASK	OUT14_HW_CLR_MASK	OUT13_HW_CLR_MASK	OUT12_HW_CLR_MASK	OUT11_HW_CLR_MASK	OUT10_HW_CLR_MASK	OUT9_HW_CLR_MASK	OUT8_HW_CLR_MASK
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
OUT7_HW_CLR_MASK	OUT6_HW_CLR_MASK	OUT5_HW_CLR_MASK	OUT4_HW_CLR_MASK	OUT3_HW_CLR_MASK	OUT2_HW_CLR_MASK	OUT1_HW_CLR_MASK	OUT0_HW_CLR_MASK
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-15. CLEAR\_PIN\_MASK レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	OUT15_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
14	OUT14_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
13	OUT13_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
12	OUT12_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
11	OUT11_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
10	OUT10_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
9	OUT9_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
8	OUT8_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
7	OUT7_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
6	OUT6_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
5	OUT5_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
4	OUT4_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
3	OUT3_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
2	OUT2_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません
1	OUT1_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません



**表 7-15. CLEAR\_PIN\_MASK レジスタフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
0	OUT0_HW_CLR_MASK	R/W	0h	クリア (FLEXIO) ピンのマスクビット。 0h = CLEAR ピンは、DAC チャンネルに影響を与えます 1h = CLEAR ピンはこの DAC チャンネルに影響を与えません

## 7.1.15 BCAST\_CLR\_DATA レジスタ (オフセット = Eh) [リセット = 0000h]

図 7-15. BCAST\_CLR\_DATA レジスタ

15	14	13	12	11	10	9	8
DATA[11:4]							
R/W-0h							
7	6	5	4	3	2	1	0
DATA[3:0]				予約済み			
R/W-0h				R-0h			

表 7-16. BCAST\_CLR\_DATA レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	DATA[11:0]	R/W	0h	このレジスタに書き込むと、すべての DAC クリアコードレジスタ値が、ブロードキャストイネーブルビットが設定されている出力チャンネルの指定されたコードに設定されます。
3:0	予約済み	R	0h	

## 7.1.16 RESET\_FLAGS レジスタ (オフセット = Fh) [リセット = 000Fh]

図 7-16. RESET\_FLAGS レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				AVDD_ COLLAPSE_ FLAG	RSTPIN_ FLAG	VIO_ FLAG	PORBASE_ FLAG
R-0h				W-1h	W-1h	W-1h	W-1h

表 7-17. RESET\_FLAGS レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
4	AVDD_COLLAPSE_FLAG	W	1h	AVDD 低下 (崩壊) イベントを検出するには、0 を書き込みます。その時点でこのフラグは自動的に 1 に設定されます。AVDD 低下は、AVDD ピンの電圧が VREF 電圧の 1V 以内に達したときに発生します。
3	RSTPIN_FLAG	W	1h	RESET ピンのリセットイベントを検出するには、0 を書き込みます。その時点でこのフラグは自動的に 1 に設定されます。
2	VIO_FLAG	W	1h	VIO リセットイベントを検出するには、0 を書き込みます。その時点でこのフラグは自動的に 1 に設定されます。VIO リセットイベントは、VIO ピンの電圧が POR しきい値電圧より低下した結果発生します。
1	PORBASE_FLAG	W	1h	POR ベースのリセットイベントを検出するには、0 を書き込みます。その時点でこのフラグは自動的に 1 に設定されます。VDD が POR しきい値電圧未満に低下すると、POR ベースのリセットイベントが発生します。

### 7.1.17 OUT<sub>n</sub>\_BUFFER\_CODE レジスタ (オフセット = 10h ~ 1Fh) [リセット = 0000h]

図 7-17. OUT<sub>n</sub>\_BUFFER\_CODE レジスタ

15	14	13	12	11	10	9	8
DATA[11:4]							
R/W-0h							
7	6	5	4	3	2	1	0
DATA[3:0]				予約済み			
R/W-0h				R-0h			

表 7-18. OUT<sub>n</sub>\_BUFFER\_CODE レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	DATA[11:0]	R/W	0h	OUT <sub>n</sub> バッファレジスタのコード、ユニポーラストレートバイナリ形式。
3:0	予約済み	R	0h	

#### 注

$n = 0 \sim 16$ 、デバイスの各 OUT チャネルに対応。

7.1.18 OUT<sub>n</sub>\_CLEAR\_CODE レジスタ（オフセット = 20h ~ 2Fh）[リセット = 0000h]図 7-18. OUT<sub>n</sub>\_CLEAR\_CODE レジスタ

15	14	13	12	11	10	9	8
DATA[11:4]							
R/W-0h							
7	6	5	4	3	2	1	0
DATA[3:0]				予約済み			
R/W-0h				R-0h			

表 7-19. OUT<sub>n</sub>\_CLEAR\_CODE レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	DATA[11:0]	R/W	0h	OUT <sub>n</sub> クリアレジスタのコード、ユニポーラストレートバイナリ形式。
3:0	予約済み	R	0h	

## 注

$n = 0 \sim 16$ 、デバイスの各 OUT チャネルに対応。

### 7.1.19 GPIO\_DATA レジスタ (オフセット = 31h) [リセット = 0001h]

図 7-19. GPIO\_DATA レジスタ

15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							GPIO
R-0h							R/W-1h

表 7-20. GPIO\_DATA レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:1	予約済み	R	0h	
0	GPIO	R/W	1h	GPIO ビット。 書き込み動作では、GPIO ピンは出力として動作します。1 を書き込むと、対応する GPIO ピンがハイインピーダンス (FLEXIO_OUT_ODE = 1) またはロジック 1 (FLEXIO_OUT_ODE = 0) のいずれかに設定されます。0 を書き込むと、対応する GPIO ピンがロジック Low に設定されます。読み取り動作で、GPIO ピンは入力として動作します。対応する GPIO ピンのステータス (ピンの電圧によって決まる) を取得するには、読み出しを行います。起動時、このピンの電圧が $V_{IH}$ 未満の場合、このビットは 0 として読み出されます (この場合、レジスタ値 (デフォルトは 1) は読み出しコマンドを実行しても返されません)。リセットイベント後、GPIO ピンは高インピーダンス状態になります。

### 7.1.20 DAC\_STATUS レジスタ (オフセット = 32h) [リセット = 0000h]

図 7-20. DAC\_STATUS レジスタ

15	14	13	12	11	10	9	8
OUT15_SC_STS	OUT14_SC_STS	OUT13_SC_STS	OUT12_SC_STS	OUT11_SC_STS	OUT10_SC_STS	OUT9_SC_STS	OUT8_SC_STS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
OUT7_SC_STS	OUT6_SC_STS	OUT5_SC_STS	OUT4_SC_STS	OUT3_SC_STS	OUT2_SC_STS	OUT1_SC_STS	OUT0_SC_STS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-21. DAC\_STATUS レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	OUT15_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
14	OUT14_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
13	OUT13_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態

表 7-21. DAC\_STATUS レジスタフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	OUT12_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
11	OUT11_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
10	OUT10_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
9	OUT9_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
8	OUT8_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
7	OUT7_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
6	OUT6_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
5	OUT5_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
4	OUT4_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
3	OUT3_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
2	OUT2_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
1	OUT1_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態
0	OUT0_SC_STS	R	0h	DAC の短絡状態。この DAC チャンネルがグラウンドに短絡しているかどうかを示します。 0h = DAC チャンネルは短絡状態ではない 1h = DAC チャンネルは短絡状態

## 8 アプリケーションと実装

### 注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

高い直線性、小さなパッケージサイズ、広い温度範囲により、DAC60516W は、光学ネットワーキング、ワイヤレスインフラストラクチャ、産業用システム向けアナログ出力モジュールなどのアプリケーションに最適です。このデバイスは、2.5V の内部リファレンス電圧と、2.5V または 5V のフルスケール DAC 出力電圧を可能にする内部リファレンス分圧回路を搭載しています。

#### 8.1.1 バイポーラ (正負両極性) 電圧出力

DAC60516W は単一電源で動作するように設計されていますが、図 8-1 は、バイポーラ出力も可能であることを示しています。

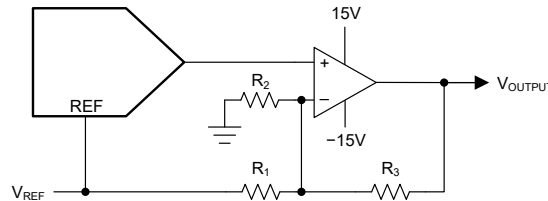


図 8-1. DAC60516W を使用したバイポーラ動作

図 8-1 の回路は、 $V_{\text{OUTPUT}}$  でバイポーラ出力電圧を与え、次のように計算されます (ゲイン = 1 の場合)。

$$V_{\text{OUTPUT}}(\text{CODE}) = \left[ \left( V_{\text{REF}} \times \frac{\text{CODE}}{2^{12}} \right) \left( 1 + \frac{R_3}{R_2} + \frac{R_3}{R_1} \right) - \left( V_{\text{REF}} \times \frac{R_3}{R_1} \right) \right] \quad (2)$$

ここで、

- $V_{\text{OUTPUT}}(\text{CODE})$  = 特定のコードに対する回路の出力電圧
- $\text{CODE} = 0 \sim 4095$ 。これは、DAC にロードされるデジタルコードです
- $V_{\text{REF}}$  = DAC60516W に適用されるリファレンス電圧

式 2 は、いくつかのパラメータを定義してバイポーラ出力スパンを計算します。最初はリファレンス電圧の値です。リファレンス電圧を選択後、code 0 と code 4096 で目的の  $V_{\text{OUTPUT}}$  を決定し、それに応じてゲインレジスタを設定します。2.5V の  $V_{\text{REF}}$ 、ゲインが 1、目標出力電圧範囲が  $\pm 10\text{V}$  の場合、計算は次のようになります：

CODE = 0:

$$V_{\text{OUTPUT}}(0) = - \left( V_{\text{REF}} \times \frac{R_3}{R_1} \right) = - \left( 2.5\text{V} \times \frac{R_3}{R_1} \right) \quad (3)$$

この式を最小出力スパン、 $V_{\text{OUTPUT}}(0) = -10\text{V}$ 、に設定すると、式は次のように減少します： $R_3 / R_1 = 4$ 。

CODE = 4096:

この式を最大出力スパン、 $V_{\text{OUTPUT}}(4096) = 10\text{V}$ 、 $R_3 / R_1 = 4$  に設定すると、式は次のように減少します： $R_3 / R_2 = 3$

12 ビット DAC の最大コードは 4095 で、コード 4096 は簡素化のために使用されます。式 3。実用上、真の出力スパンは  $-10\text{V} \sim (10\text{V} - 1\text{LSB})$  の範囲を使用します。この場合は、 $-10\text{V} \sim +9.9996\text{V}$  です。

## 8.2 代表的なアプリケーション

### 8.2.1 プログラマブル大電流電圧出力回路

DAC60516W は、最大 50mA の電流 (75mA の短絡電流定格) を駆動できますが、図 8-2 の回路に組み込むことで、さらに大きな駆動電流で安定した電圧出力を得ることが可能です。このアプリケーションでは、DAC はアンプの出力電圧とゲインをプログラムします。アンプは、負帰還を使用して出力電圧を制御します。負荷への大電流は、トランジスタにより供給されます。この回路は、光レーザーバイアスアプリケーション (50mA – 75mA を超えるバイアス電流が必要) や半導体試験装置を含む、高電流で異なる電圧励起レベルで部品をテストする必要があるアプリケーションに適しています。

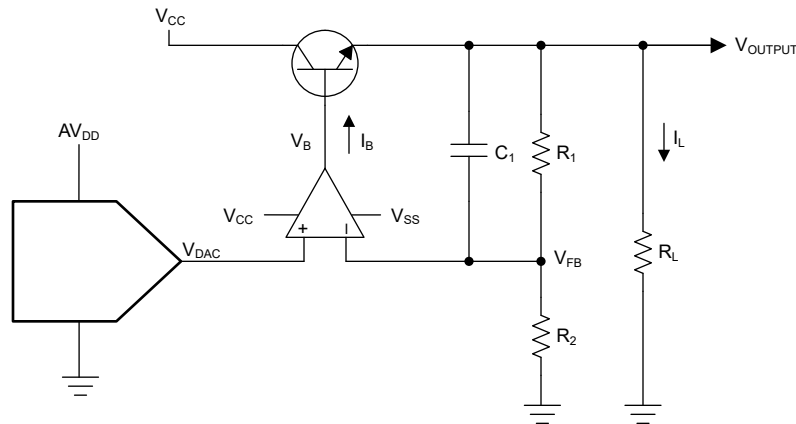


図 8-2. プログラム可能な電圧制御電流源回路

#### 8.2.1.1 設計要件

(誤差を最小化するために) オフセットとドリフトが小さく、十分なゲイン帯域幅積 (GBW) のオペアンプを推奨します。目標の出力電圧 ( $V_{\text{OUTPUT}}$ ) が DAC 出力電圧に正確に達するように、 $R_1$  と  $R_2$  は十分な許容誤差を備えている必要があります。補償コンデンサ  $C_1$  は、オペアンプ入力の入力容量より大きなものを選択する必要があります。必要な負荷電流を供給でき、 $H_{\text{FE}}$  が高く、ベース電流がオペアンプの出力電流制限よりも十分に小さくなるトランジスタを選択します。バイポーラ接合トランジスタ (BJT) ダーリントン ペア、または高電力の金属酸化物半導体電界効果トランジスタ (MOSFET) を推奨します。

表 8-1. 設計パラメータ

パラメータ	値
DAC 出力	0V ~ 2.5V
$AV_{\text{DD}}$	5V
$V_{\text{SS}}$	-5V
$V_{\text{CC}}$	24V
$V_{\text{REF}}$	2.5V
$V_{\text{OUTPUT}}$	0V ~ 5V
電流出力	0A ~ 10A



### 8.2.1.2 詳細な設計手順

出力電圧の伝達関数は、式 4 の式によって得られます。

$$V_{\text{OUTPUT}} = V_{\text{DAC}} \left( 1 + \frac{R_1}{R_2} \right) \quad (4)$$

負荷電流と比べて静止電流が無視できる程度になるように 抵抗値を選択することができます。出力電圧 5V において目標負荷電流が 10A の場合、 $R_1$  と  $R_2$  をそれぞれ 10kΩ として選択します。これにより、帰還ネットワークを流れる静止電流は  $5V / 20k\Omega = 250\mu A$  に最小化されます。

所定の負荷電流  $I_L$  に対するトランジスタのベース電流  $I_B$  は、式 5 によって得られます。

$$I_B = \frac{I_C}{H_{FE}} = \frac{1}{H_{FE}} \left( I_L + \left( \frac{V_{\text{OUTPUT}}}{R_1 + R_2} \right) \right) \quad (5)$$

ただし:

- $I_C$  = トランジスタのコレクタ電流
- $H_{FE}$  = トランジスタの DC 電流ゲイン

$V_{\text{OUTPUT}} / (R_1 + R_2)$  は前述の計算に基づく静止電流と等しく、負荷電流 (特に 1A を超える負荷電流の場合) と比較すると無視できるほど小さい値です。これにより、式が式 6 に単純化されます。

$$I_B = \frac{I_L}{H_{FE}} \quad (6)$$

$I_B$  を 20mA 未満に維持するには、 $H_{FE}$  が  $I_L / 20mA$  を上回る必要があります。一般に、補償コンデンサ  $C_1$  の値は決まった式では設定されず、出力の小信号ステップ応答を観察しながら適切な値を選択する必要があります。

### 8.2.1.3 アプリケーション曲線

図 8-3 は、ゲイン = 2 ( $AV_{DD} = 5.5V$ ) で内部リファレンスを使用する場合の、DAC60516W のヘッドルーム曲線を示します。この曲線は、負荷電流が増加するにつれ、DAC チャンネルがいかに関出力電圧を維持するかを示しています。

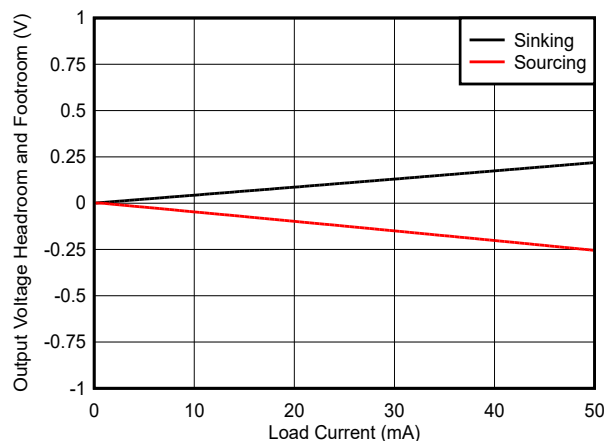


図 8-3. ヘッドルームと負荷電流との関係

## 8.3 初期設定

デバイスに電源を入れ、 $AV_{DD}$  および  $V_{IO}$  電源が確立されていることを確認します。電源電圧が推奨される最小動作電圧に達すると、デバイスが正しく初期化されるように POR が発行されます。DAC60516W は、POR 後にシリアルインターフェースを初期化するのに 5ms ~ 10ms かかります。このため、起動後、少なくとも 10ms 待ってからデバイスとの通信を行ってください。

## 8.4 電源に関する推奨事項

DAC60516W は、2.7V ~ 5.5V の規定の  $AV_{DD}$  電源電圧範囲、および 1.7V ~ 5.5V の  $V_{IO}$  電源電圧範囲で動作します。DAC60516W には特定の電源シーケンスは必要ありませんが、シリアルインターフェイスは、初期化してデバイスとの通信を可能にするために 10ms かかります。

$AV_{DD}$  電源が適切に制御され、低ノイズである必要があります。スイッチング電源と DC/DC コンバータでは、高周波のグリッチまたはスパイクが出力電圧に乗ることがよくあります。さらに、デジタルコンポーネントも、同様の高周波スパイクを発生させる可能性があります。このノイズは、電源接続とアナログ出力との間のさまざまなパスを経由して、DAC 出力電圧に簡単に結合することがあります。電源からのノイズを最小限に抑えるために、1 $\mu$ F ~ 10 $\mu$ F のコンデンサ、および 0.1 $\mu$ F のバイパスコンデンサを追加します。電源は、[セクション 5](#) に示す入力電流要件を満たす必要があります。

## 8.5 レイアウト

### 8.5.1 レイアウトのガイドライン

高精度のアナログコンポーネントには慎重なレイアウトが必要です。以下のリストは、適切にレイアウトを行うためのヒントです。

- すべての電源ピンには、低 ESR のセラミック バイパス コンデンサを使用してグラウンドにバイパス接続してください。推奨される標準のバイパス キャパシタンスは、X7R または NP0 クラスの誘導体を使用されている 0.1 $\mu$ F ~ 0.22 $\mu$ F のセラミックキャパシタです。
- 電源と REF バイパスコンデンサをピンの近くに配置して、インダクタンスを最小限に抑え、パフォーマンスを最適化します。
- 温度範囲全体でのパフォーマンス最適化のため、および非常に低い誘電正接を実現するために、高品質のセラミック (NP0 または X7R) を使用してください。
- デジタルセクションおよびアナログセクションは、DAC60516W デバイスのデジタルピンとアナログピンに対して適切に配置する必要があります。アナログブロックとデジタルブロックを分離することで、隣接するブロックとの結合や、アナログとデジタルのリターン電流の間の相互作用を最小限に抑えることができます。

### 8.5.2 レイアウト例

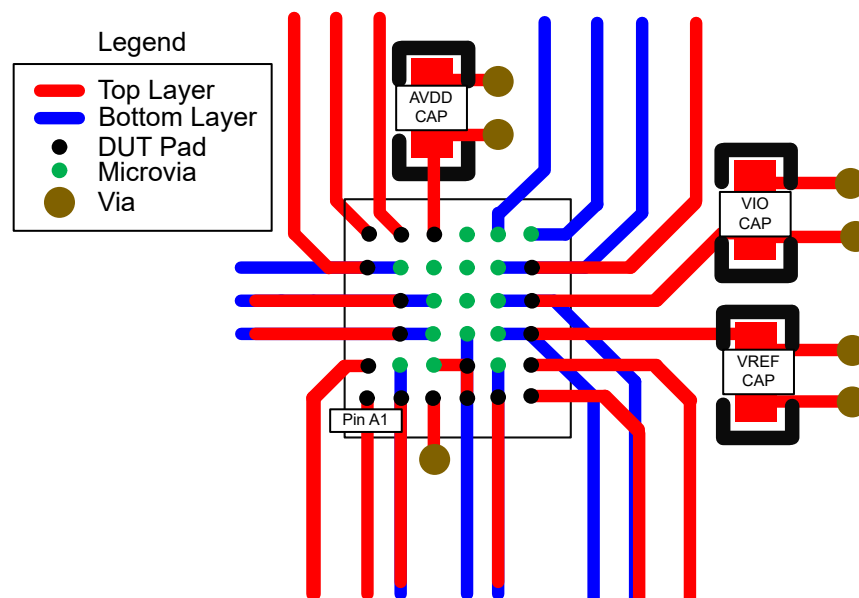


図 8-4. DAC60516W レイアウト例

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DAC60516YBHR	Active	Production	DSBGA (YBH)   34	3000   LARGE T&R	-	SNAGCU	Level-1-260C-UNLIM	-	D60516

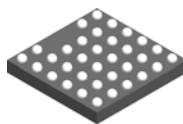
- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

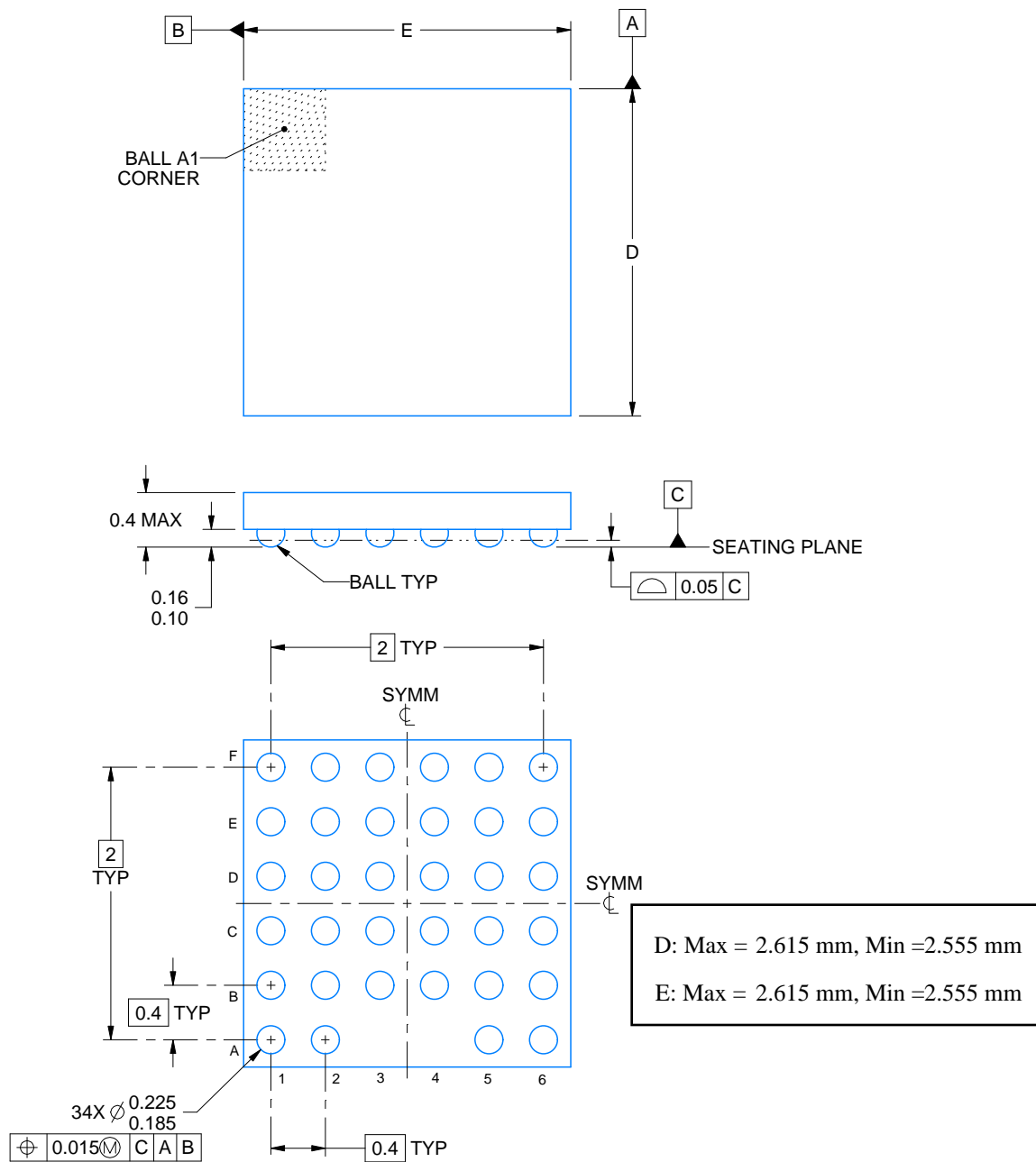
YBH0034



## PACKAGE OUTLINE

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



4231227/A 10/2024

### NOTES:

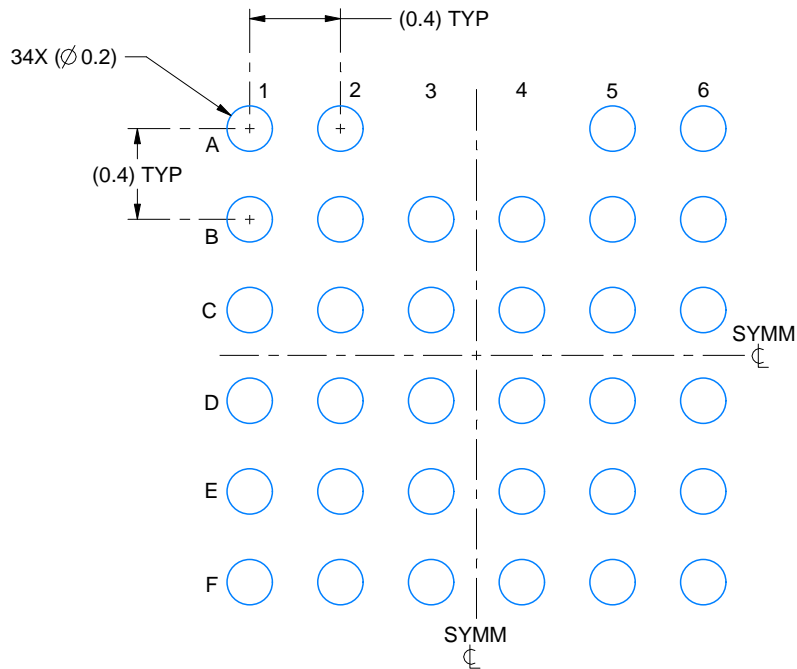
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

# EXAMPLE BOARD LAYOUT

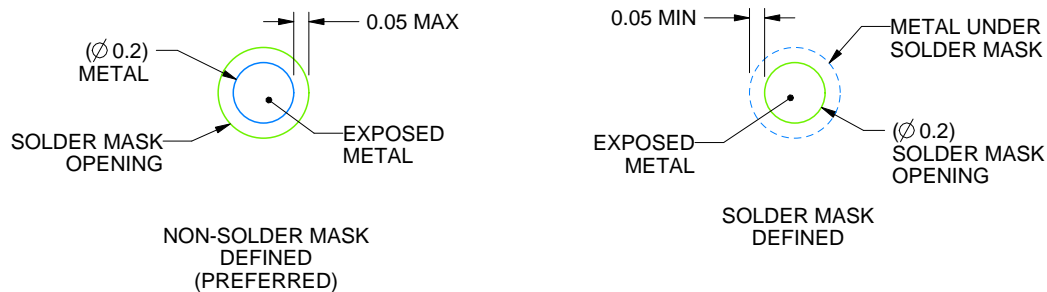
YBH0034

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 30X



SOLDER MASK DETAILS  
NOT TO SCALE

4231227/A 10/2024

NOTES: (continued)

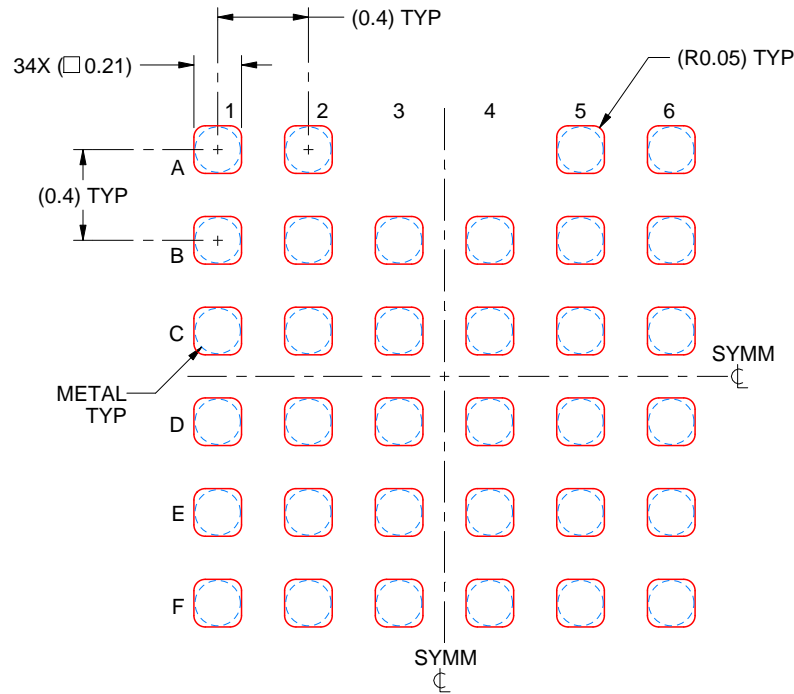
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 ([www.ti.com/lit/snva009](http://www.ti.com/lit/snva009)).

# EXAMPLE STENCIL DESIGN

YBH0034

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE  
BASED ON 0.075 mm THICK STENCIL  
SCALE: 30X

4231227/A 10/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月