DLP391TP 0.39 インチ 4K UHD デジタル マイクロミラー デバイス

1 特長

- 対角 0.39 インチ (0.99cm) のマイクロミラー アレイ
  - ディスプレイ解像度:4K UHD (3840 × 2160)
  - 4.5µm のマイクロミラー ピッチ
  - マイクロミラー傾斜角:±14.5° (平面に対して)
  - サイド照明
- SubLVDS 入力データ バス
- 4K UHD、60Hz (60fps) の動画をサポート
- 1080p、最大 240Hz をサポート
- DLPC8445V ディスプレイ コントローラ、DLPA3085/DLPA3082 パワー マネージメント IC (PMIC) および照明ドライバにより、LED の動作をサポート

2 アプリケーション

- モバイル スマート TV
- モバイル プロジェクタ
- デジタル サイネージ

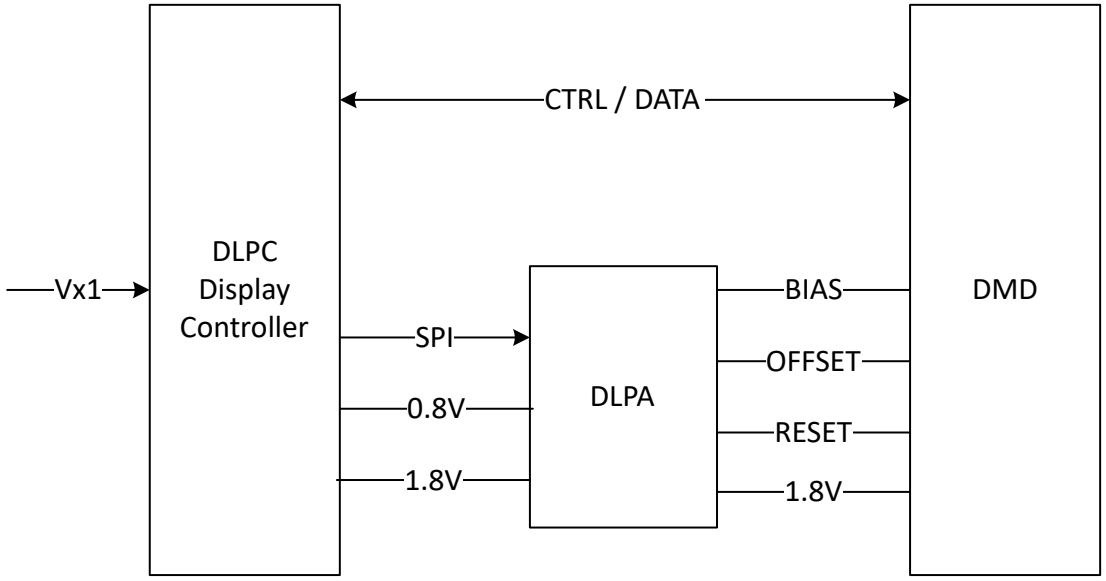
3 説明

DLP391TP デジタル マイクロミラー デバイス (DMD) は、デジタル制御型の MEMS (micro-electromechanical system) 空間光変調器 (SLM) で、色鮮やかな 4K UHD ディスプレイ システムを実現します。テキサス インスツルメンツの DLP® 製品である 0.39 インチ (0.99cm) 4K UHD チップセットは、DMD、DLPC8445V ディスプレイ コントローラ、DLPA3085/DLPA3082 PMIC および照明ドライバで構成されています。このコンパクトなチップセットは、小型の 4K UHD ディスプレイを実現する完全なシステム ソリューションを提供します。

製品情報

部品番号	パッケージ(1)	パッケージ サイズ
DLP391TP	FSB (154)	18.35mm × 9.60mm

(1) 詳細については、*「メカニカル、パッケージ、および注文情報」*を参照してください。



アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....7
5.1 絶対最大定格.....7
5.2 保存条件.....8
5.3 ESD 定格.....8
5.4 推奨動作条件.....9
5.5 熱に関する情報.....12
5.6 電気的特性.....13
5.7 スイッチング特性.....14
5.8 タイミング要件.....14
5.9 システム実装インターフェイスの荷重.....19
5.10 マイクロミラー アレイの物理特性.....20
5.11 マイクロミラー アレイの光学特性.....21
5.12 ウィンドウの特性.....21
5.13 チップセット コンポーネントの使用方法の仕様.....21
6 詳細説明.....23
6.1 概要.....23
6.2 機能ブロック図.....23
6.3 機能説明.....24
6.4 デバイスの機能モード.....24
6.5 光学インターフェイスおよびシステムの画質に関する検討事項.....24
6.6 マイクロミラー アレイ温度の計算.....25
6.7 マイクロミラーの電力密度の計算.....26
6.8 ウィンドウ アパーチャイル ミネーション オーバーフィル計算.....28
6.9 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル.....29
7 アプリケーションと実装.....32
7.1 アプリケーション情報.....32
7.2 代表的なアプリケーション.....32
7.3 温度センサ ダイオード.....33
8 電源に関する推奨事項.....34
8.1 DMD 電源のパワーアップ手順.....34
8.2 DMD 電源のパワーダウン手順.....34
9 レイアウト.....36
9.1 レイアウトのガイドライン.....36
10 デバイスおよびドキュメントのサポート.....37
10.1 サード・パーティ製品に関する免責事項.....37
10.2 デバイス サポート.....37
10.3 ドキュメントのサポート.....38
10.4 サポート・リソース.....38
10.5 商標.....38
10.6 静電気放電に関する注意事項.....38
10.7 用語集.....38
11 改訂履歴.....38
12 メカニカル、パッケージ、および注文情報.....39

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

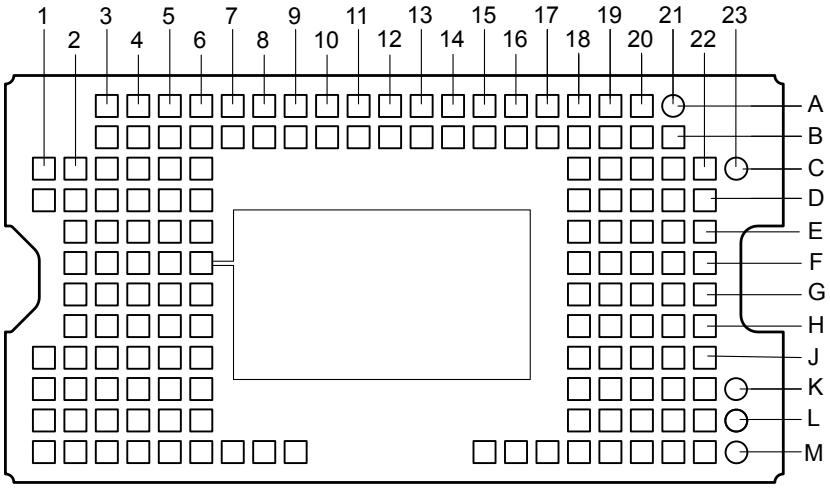


図 4-1. FSB パッケージ 154 ピン LGA (底面図)

表 4-1. ピンの機能

ピン [(2)]		種類[(1)]	説明	終端	パターン長 (mm)
名称	パッド ID				
D_AP (0)	C2	I	高速差動データ ペア レーン A0	差動 100Ω	1.123
D_AN (0)	C3	I	高速差動データ ペア レーン A0	差動 100Ω	1.414
D_AP (1)	D2	I	高速差動データ ペア レーン A1	差動 100Ω	1.212
D_AN (1)	D3	I	高速差動データ ペア レーン A1	差動 100Ω	1.626
D_AP (2)	C4	I	高速差動データ ペア レーン A2	差動 100Ω	3.011
D_AN (2)	C5	I	高速差動データ ペア レーン A2	差動 100Ω	3.388
D_AP (3)	D5	I	高速差動データ ペア レーン A3	差動 100Ω	3.682
D_AN (3)	D6	I	高速差動データ ペア レーン A3	差動 100Ω	3.912
D_AP (4)	G5	I	高速差動データ ペア レーン A4	差動 100Ω	3.542
D_AN (4)	G6	I	高速差動データ ペア レーン A4	差動 100Ω	3.662
D_AP (5)	E2	I	高速差動データ ペア レーン A5	差動 100Ω	0.972
D_AN (5)	E3	I	高速差動データ ペア レーン A5	差動 100Ω	1.335
D_AP (6)	E5	I	高速差動データ ペア レーン A6	差動 100Ω	4.520
D_AN (6)	E6	I	高速差動データ ペア レーン A6	差動 100Ω	4.634
D_AP (7)	H5	I	高速差動データ ペア レーン A7	差動 100Ω	3.200
D_AN (7)	H6	I	高速差動データ ペア レーン A7	差動 100Ω	3.515
DCLK_AP	F4	I	高速差動クロック A	差動 100Ω	2.610
DCLK_AN	F5	I	高速差動クロック A	差動 100Ω	3.068
D_BP (0)	C20	I	高速差動データ ペア レーン B0	差動 100Ω	2.563
D_BN (0)	C19	I	高速差動データ ペア レーン B0	差動 100Ω	2.636
D_BP (1)	D21	I	高速差動データ ペア レーン B1	差動 100Ω	2.329
D_BN (1)	D20	I	高速差動データ ペア レーン B1	差動 100Ω	2.487
D_BP (2)	C18	I	高速差動データ ペア レーン B2	差動 100Ω	4.300

表 4-1. ピンの機能 (続き)

ピン [2]		種類[1]	説明	終端	パターン長 (mm)
名称	パッド ID				
D_BN (2)	D18	I	高速差動データ ペア レーン B2	差動 100Ω	4.569
D_BP (3)	E20	I	高速差動データ ペア レーン B3	差動 100Ω	3.112
D_BN (3)	E19	I	高速差動データ ペア レーン B3	差動 100Ω	3.485
D_BP (4)	F22	I	高速差動データ ペア レーン B4	差動 100Ω	1.073
D_BN (4)	F21	I	高速差動データ ペア レーン B4	差動 100Ω	1.239
D_BP (5)	H18	I	高速差動データ ペア レーン B5	差動 100Ω	4.146
D_BN (5)	G18	I	高速差動データ ペア レーン B5	差動 100Ω	4.330
D_BP (6)	F18	I	高速差動データ ペア レーン B6	差動 100Ω	4.241
D_BN (6)	E18	I	高速差動データ ペア レーン B6	差動 100Ω	4.494
D_BP (7)	G22	I	高速差動データ ペア レーン B7	差動 100Ω	0.663
D_BN (7)	G21	I	高速差動データ ペア レーン B7	差動 100Ω	1.054
DCLK_BP	F20	I	高速差動クロック B	差動 100Ω	2.404
DCLK_BN	F19	I	高速差動クロック B	差動 100Ω	2.610
D_CP (0)	G2	I	高速差動データ ペア レーン C0	差動 100Ω	1.052
D_CN (0)	G3	I	高速差動データ ペア レーン C0	差動 100Ω	1.112
D_CP (1)	M7	I	高速差動データ ペア レーン C1	差動 100Ω	6.519
D_CN (1)	M8	I	高速差動データ ペア レーン C1	差動 100Ω	6.611
D_CP (2)	H2	I	高速差動データ ペア レーン C2	差動 100Ω	0.921
D_CN (2)	H3	I	高速差動データ ペア レーン C2	差動 100Ω	1.376
D_CP (3)	M5	I	高速差動データ ペア レーン C3	差動 100Ω	5.196
D_CN (3)	M6	I	高速差動データ ペア レーン C3	差動 100Ω	5.318
D_CP (4)	K3	I	高速差動データ ペア レーン C4	差動 100Ω	1.579
D_CN (4)	K4	I	高速差動データ ペア レーン C4	差動 100Ω	1.648
D_CP (5)	M3	I	高速差動データ ペア レーン C5	差動 100Ω	3.414
D_CN (5)	M4	I	高速差動データ ペア レーン C5	差動 100Ω	3.857
D_CP (6)	L4	I	高速差動データ ペア レーン C6	差動 100Ω	2.460
D_CN (6)	L5	I	高速差動データ ペア レーン C6	差動 100Ω	2.566
D_CP (7)	K1	I	高速差動データ ペア レーン C7	差動 100Ω	1.114
D_CN (7)	L1	I	高速差動データ ペア レーン C7	差動 100Ω	1.707
DCLK_CP	K5	I	高速差動クロック C	差動 100Ω	3.744
DCLK_CN	K6	I	高速差動クロック C	差動 100Ω	3.883
D_DP (0)	J19	I	高速差動データ ペア レーン D0	差動 100Ω	4.189
D_DN (0)	J18	I	高速差動データ ペア レーン D0	差動 100Ω	4.435
D_DP (1)	M18	I	高速差動データ ペア レーン D1	差動 100Ω	6.588
D_DN (1)	M17	I	高速差動データ ペア レーン D1	差動 100Ω	6.867
D_DP (2)	H21	I	高速差動データ ペア レーン D2	差動 100Ω	1.754
D_DN (2)	H20	I	高速差動データ ペア レーン D2	差動 100Ω	1.936
D_DP (3)	J22	I	高速差動データ ペア レーン D3	差動 100Ω	1.339
D_DN (3)	J21	I	高速差動データ ペア レーン D3	差動 100Ω	1.634
D_DP (4)	L20	I	高速差動データ ペア レーン D4	差動 100Ω	3.329
D_DN (4)	L19	I	高速差動データ ペア レーン D4	差動 100Ω	3.436

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン [2]		種類[1]	説明	終端	パターン長 (mm)
名称	パッド ID				
D_DP (5)	M20	I	高速差動データ ペア レーン D5	差動 100Ω	3.631
D_DN (5)	M19	I	高速差動データ ペア レーン D5	差動 100Ω	3.738
D_DP (6)	M22	I	高速差動データ ペア レーン D6	差動 100Ω	2.420
D_DN (6)	M21	I	高速差動データ ペア レーン D6	差動 100Ω	2.573
D_DP (7)	K22	I	高速差動データ ペア レーン D7	差動 100Ω	1.406
D_DN (7)	K21	I	高速差動データ ペア レーン D7	差動 100Ω	1.881
DCLK_DP	K19	I	高速差動クロック D	差動 100Ω	3.916
DCLK_DN	K18	I	高速差動クロック D	差動 100Ω	4.022
TEMP_N	M2	I	温度ダイオード N		1.133
TEMP_P	M1	I	温度ダイオード P		1.237
LS_RDATA_D	B7	O	LPSDR 出力		4.978
LS_RDATA_C	A4	O	LPSDR 出力		2.897
LS_WDATA	B5	I	LPSDR 入力		2.524
LS_RDATA_B	A7	O	LPSDR 出力		5.103
LS_RDATA_A	A3	O	LPSDR 出力		1.725
LS_CLK	A5	I	LPSDR 入力		2.454
DMD_DEN_ARSTZ	D1	I	ARSTZ	17.5kΩ プルダウン	0.735
VDD	A6、A8、A10、A12、A14、A16、A18、B4、B11、B13、B15、B19、B21、C21、D22、E21、G4、J1、J4、J6、L2、M15	P	デジタル コア電源電圧		8.350
VBIAS	A20、B6	P	マイクロミラーのリセット信号用の正のバイアスの供給電圧		7.409
VRESET	B8、B17	P	マイクロミラーのリセット信号用の負のバイアスの供給電圧		3.374
VOFFSET	B9、M16	P	HVCMOS ロジック用の供給電圧、昇圧されたロジック レベル		1.797
VDDI	C22、E4、F2、G20、J2、L22	P			19.977

表 4-1. ピンの機能 (続き)

ピン (2)		種類(1)	説明	終端	パターン長 (mm)
名称	パッド ID				
VSS	A9、A11、A13、A15、A17、A19、B3、B10、B12、B14、B16、B18、B20、C1、C6、D4、D19、E22、F3、F6、G19、H4、H19、H22、J3、J5、J20、K2、K20、L3、L6、L18、L21、M9	G	グランド		12.614
N/C	A21、C23、K23、L23、M23	NC	未接続ピン		該当なし

(1) I = 入力、O = 出力、P = 電源、G = グランド、NC = 未接続
(2) 機能的に使用される電気的接続は 151 ピンのみ。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

		最小値	最大値	単位
電源電圧				
V_{DD}	LVCMOS コア ロジックおよび低速インターフェイス (LSIF) のための電源電圧[(1)]	-0.5	2.3	V
V_{DDI}	SubLVDS レシーバの電源電圧[(1)]	-0.5	2.3	V
V_{OFFSET}	HVCMOS およびマイクロミラー電極の電源電圧[(1) (2)]	-0.5	11	V
V_{BIAS}	マイクロミラー電極の電源電圧[(1)]	-0.5	19	V
V_{RESET}	マイクロミラー電極の電源電圧[(1)]	-15	0.5	V
$\lvert V_{DDI} - V_{DD} \rvert$	電源電圧のデルタ、絶対値[(3)]		0.3	V
$\lvert V_{BIAS} – V_{OFFSET} \rvert$	電源電圧のデルタ、絶対値[(4)]		11	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	電源電圧のデルタ、絶対値[(5)]		34	V
入力電圧				
	その他の入力の入力電圧 — LSIF および LVCMOS	-0.5	V_{DD} + 0.5	V
	その他の入力の入力電圧 — SubLVDS[(1) (6)]	-0.5	V_{DDI} + 0.5	V
SUBLVDS インターフェイス				
$\lvert V_{ID} \rvert$	SubLVDS 入力差動電圧 (絶対値)[(6)]		810	mV
I_{ID}	SubLVDS 入力差動電流		10	mA
クロック周波数				
f_{clock}	低速インターフェイス LS_CLK のクロック周波数	100	130	MHz
温度ダイオード				
I_{TEMP_DIODE}	温度ダイオードへの最大電流ソース		120	µA
環境				
T_{ARRAY}	温度、動作時[(7)]	0	90	°C
T_{ARRAY}	温度、非動作時[(7)]	-40	90	°C
T_{DP}	露点温度、動作時および非動作時 (結露なし)		81	°C

(1) すべての電圧値は、グランド端末 (V_{SS}) を基準としたものです。DMD を適切に動作させるには、以下に示す必要な電源を接続する必要があります:V_{DD}、V_{DDI}、V_{OFFSET}、V_{BIAS}、V_{RESET} すべての V_{SS} 接続も必要です。
(2) V_{OFFSET} 電源過渡電圧は、規定電圧内に収まる必要があります。
(3) V_{DDI} と V_{DD} との推奨許容絶対電圧差を超えると、過剰な電流が流れ、デバイスに永続的な損傷が発生する恐れがあります。
(4) V_{BIAS} と V_{OFFSET} との推奨許容絶対電圧差を超えると、過剰な電流が流れ、デバイスに永続的な損傷が発生する恐れがあります。
(5) V_{BIAS} と V_{RESET} との推奨許容絶対電圧差を超えると、過剰な電流が流れ、デバイスに永続的な損傷が発生する恐れがあります。
(6) この最大入力電圧定格は、差動ペアの各入力電圧が同じ電位のときに適用されます。SubLVDS 差動入力は指定された制限を超えてはなりません。超えると内部終端抵抗が損傷する可能性があります。
(7) アレイ温度は直接測定することはできず、図 6-2 に示すテスト ポイント 1 (TP1) で測定した温度から、マイクロミラー アレイ温度計算を用いて解析的に算出する必要があります。

5.2 保存条件

部品としての DMD、またはシステムで動作していない DMD に適用できます。

		最小値	最大値	単位
T_{DMD}	DMD 温度	-40	85	°C
T_{DP-AVG}	平均露点温度、結露なし(1)		28	°C
T_{DP-ELR}	高温の露点温度範囲、結露なし(2)	28	36	°C
CT_{ELR}	高温の露点温度範囲における累積時間		24	毎月

(1) デバイスが高温の露点温度範囲にない経時的な平均温度 (保存温度や動作温度を含む)。
(2) 保存時および動作時の高温範囲で露点温度への曝露は、CT_{ELR} の合計累積時間未満に制限する必要があります。

5.3 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 ANSI/ESDA/JEDEC JS-002 準拠(2)	±250	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2025 Texas Instruments Incorporated

5.4 推奨動作条件

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り)このデータシートに規定されているデバイスの機能性能は、「推奨
動作条件」で定義された制限内でデバイスを動作させたときに達成されます。推奨動作条件の制限を超えてまたは下回ってデバイスを動作させる場合には、性能レベルを暗黙的に示すものではありません。

パラメータ		最小値	標準値	最大値	単位
電源電圧範囲					
V_{DD}	LVCMOS コア ロジックの電源電圧 LPSDR 低速インターフェイスの電源電圧 (1) (2)	1.71	1.8	1.95	V
V_{DDI}	SubLVDS レシーバの電源電圧 (1) (2)	1.71	1.8	1.95	V
V_{OFFSET}	HVCMOS およびマイクロミラー電極の電源電圧 (1) (2) (3)	9.5	10	10.5	V
V_{BIAS}	ミラー電極の電源電圧 (1) (2)	17.5	18	18.5	V
V_{RESET}	マイクロミラー電極の電源電圧 (1) (2)	-14.5	-14	-13.5	V
$\lvert V_{DDI} - V_{DD} \rvert$	電源電圧差 (絶対値) (1) (2) (4)			0.3	V
$\lvert V_{BIAS}-V_{OFFSET} \rvert$	電源電圧差 (絶対値) (1) (2) (5)			10.5	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	電源電圧差 (絶対値) (1) (2) (6)			33	V
LPSDR インターフェイス					
V_{IH}	High レベル入力電圧	0.7 × V_{DD}			V
V_{IL}	Low レベル入力電圧			0.3 x V_{DD}	V
V_{IH} (AC)	AC 入力高電圧	0.8 × V_{DD}		V_{DD} + 0.3	V
V_{IL} (AC)	AC 入力低電圧	-0.3		0.2 × V_{DD}	V
VHyst	入力ヒステリシス	0.1 × V_{DD}		0.4 × V_{DD}	V
f_{max_LS}	低速インターフェイス LS_CLK のクロック周波数 (7)	108		130	MHz
DCD_{IN}	LSIF デューティ サイクル歪み (LS_CLK) (7)	44		56	%
SUBLVDS インターフェイス					
f_{max_HS}	高速インターフェイス DCLK のクロック周波数 (8)			720	MHz
DCD_{IN}	LVDS デューティ サイクル歪み (DCLK)	48		52	%
$\lvert V_{ID} \rvert$	LVDS 差動入力電圧の振幅 (8)	150	250	350	mV
V_{CM}	同相電圧 (8)	700	900	1100	mV
$V_{SUBLVDS}$	SubLVDS 電圧 (8)	525		1275	mV
Z_{IN}	内部差動終端抵抗	80	100	120	Ω
温度ダイオード					
I_{TEMP_DIODE}	温度ダイオードへの最大電流ソース			120	µA
環境					
T_{ARRAY}	アレイ温度、長期動作 (9) (10) (11) (12)	0		40～70	°C
T_{DP-AVG}	平均露点温度、(結露なし)(13)			28	°C
T_{DP-ELR}	高温の露点温度範囲、(結露なし)(14)		28	36	°C
CT_{ELR}	高温の露点温度範囲における累積時間			24	毎月
Q_{AP-ILL}	ウィンドウ開口部照明オーバーフィル (15) (16) (17)			17	W/cm^2
照明					
ILL_{UV}	波長 < 410nm における照明電力 (9) (19)			10	mW/cm^2
ILL_{VIS}	410nm 以上 800nm 以下の波長における照明強度 (18) (19)			40	W/cm^2
ILL_{IR}	波長 > 800nm における照明電力 (19)			10	mW/cm^2
ILL_{BLU}	410nm 以上 475nm 以下の波長における照明強度 (18) (19)			12.8	W/cm^2

5.4 推奨動作条件 (続き)

自由気流での動作温度範囲および電源電圧内 (特に記述のない限り)このデータシートに規定されているデバイスの機能性能は、「推奨
動作条件」で定義された制限内でデバイスを動作させたときに達成されます。推奨動作条件の制限を超えてまたは下回ってデバイスを動作させる場合には、性能レベルを暗黙的に示すものではありません。

パラメータ		最小値	標準値	最大値	単位
ILL_{BLU1}	410nm 以上 440nm 以下の波長における照明強度 (18) (19)			2.0	W/cm^2

(1) DMD の動作には、以下の電源装置がすべて必要です。V_{DD}、V_{DDI}、V_{OFFSET}、V_{BIAS}、V_{RESET} すべての VSS 接続も必要です。
(2) すべての電圧値は、グランド ピン (VSS) を基準としたものです。
(3) VOFFSET 電源過渡電圧は、規定最大電圧内に収まる必要があります。
(4) 過剰な電流を防止するため、電源電圧のデルタ $|V_{DDI} – V_{DD}|$ は、指定限界値よりも小さい必要があります。
(5) 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} – V_{OFFSET}|$ は、指定限界値よりも小さい必要があります。
(6) 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} – V_{RESET}|$ は、指定限界値よりも小さい必要があります。
(7) リセット波形コマンドの内部 DMD タイミングを確保するため、指定されたとおりに LS_CLK を実行する必要があります。
(8) タイミング要件の SubLVDS タイミング要件を参照してください。
(9) DMD を最大推奨動作条件の温度および UV 照明に同時に曝露すると、デバイスの寿命が短くなります。
(10) アレイ温度を直接測定することはできず、図 6-2 に示すテスト ポイント (TP1) で測定された温度とマイクロミラー アレイ温度計算を使用したパッケージの熱抵抗から、解析的に計算する必要があります。
(11) 長期は、デバイスの使用可能寿命と定義されます。
(12) 図 5-1 に示すように、最大動作アレイ温度は、最終アプリケーションにおいて DMD が受けるマイクロミラーの着地デューティ サイクルに基づいてディレーティングする必要があります。マイクロミラーのランデッド デューティ サイクルの定義については、マイクロミラーのランデッド オン/ランデッド オフ デューティ サイクルを参照してください。
(13) デバイスが高温の露点温度範囲にない経時的な平均値 (保存や動作を含む)。
(14) 保存時および動作時の高温範囲で露点温度への曝露は、CT_{ELR} の合計累積時間未満に制限されます。
(15) 図 5-2 で定義されている領域に適用されます
(16) DMD のアクティブ領域は、DMD ウィンドウ表面の内部にある開口によって取り囲まれており、DMD デバイスアセンブリの構造を正常な表示のためにマスクします。開口部は、いくつかの光学条件を想定した大きさになっています。アクティブ アレイの外側を照らすオーバーフィル光は散乱し、DMD を使用する最終アプリケーションの性能に悪影響を及ぼす可能性があります。アクティブ アレイの外部に入射する光の光束を最小限に抑えることが、照明光学システムの設計要件となっています。システムの光学アーキテクチャとアセンブリ許容誤差によっては、アクティブ アレイの外側のオーバーフィル光量がシステム性能の劣化を引き起こす可能性があります。
(17) 計算方法については、「ウィンドウ開口照度オーバーフィル計算」を参照してください。
(18) DMD に入射する最大許容光出力は、規定された各波長範囲における最大光出力密度とマイクロミラー アレイ温度 (T_{ARRAY}) によって制限されます。
(19) 計算については、「マイクロミラー電力密度の計算」を参照してください。

Copyright © 2025 Texas Instruments Incorporated

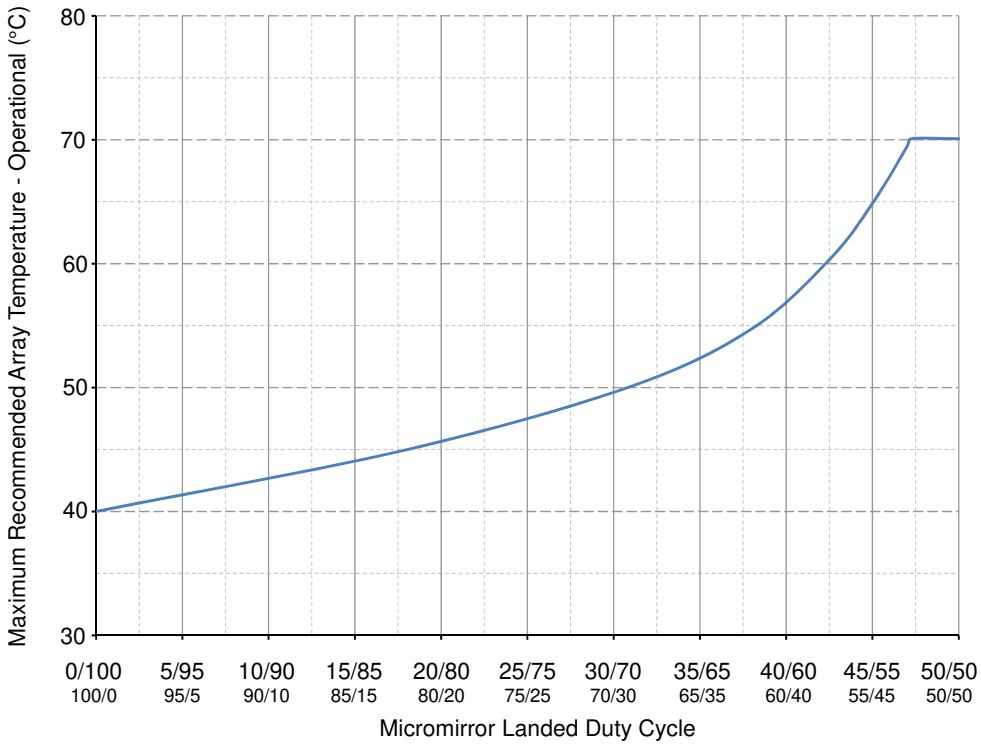


図 5-1. 推奨最大アレイ温度—ディレーティング曲線

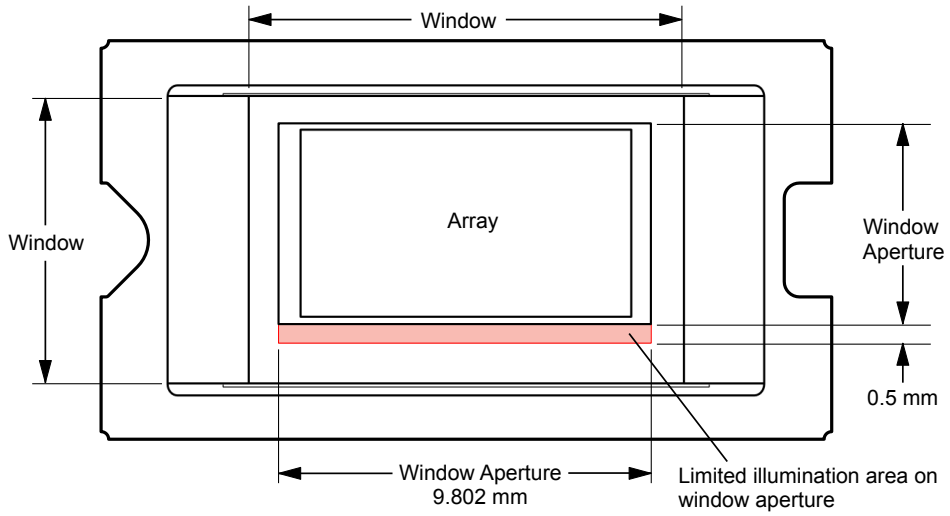


図 5-2. イルミネーション オーバーフィル ダイアグラム - クリティカル エリア

5.5 熱に関する情報

熱評価基準	DLP391TP FSB 154 PIN	単位
熱に関する情報		
熱抵抗[(1)]	2.3	℃/W

(1) DMD は、吸収および放散された熱をパッケージの裏面に伝導するよう設計されています。冷却システムは、「推奨動作条件」に規定されている温度範囲内に DMD を維持できる必要があります。DMD の合計熱負荷は、主にアクティブ領域によって吸収される入射光によって決まりますが、その他の寄与としてウィンドウ開口部によって吸収される光エネルギーやアレイの消費電力があります。光学システムは、ウィンドウの開放口から外れた光エネルギーを最小限に抑えるよう設計する必要があります。これは、この領域に熱負荷が増大すると、デバイスの信頼性が大幅に低下する可能性があるためです。

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り) [1]

パラメータ [6]		テスト条件 [2]	最小値	標準値	最大値	単位
CURRENT						
I_{DD}	消費電流:V_{DD} [3] [4]	標準値			140	mA
I_{DDI}	消費電流:V_{DDI} [3] [4]	標準値			45	mA
I_{OFFSET}	消費電流:V_{OFFSET} [5]	標準値			6	mA
I_{BIAS}	消費電流:V_{BIAS} [5]	標準値			0.6	mA
I_{RESET}	消費電流:V_{RESET}	標準値			1.8	mA
電源						
P_{DD}	電源の消費電力:V_{DD} [3] [4]	標準値			252	mW
P_{DDI}	電源の消費電力:V_{DDI} [3] [4]	標準値			81	mW
P_{OFFSET}	電源の消費電力:V_{OFFSET} [5]	標準値			60	mW
P_{BIAS}	電源の消費電力:V_{BIAS} [5]	標準値			1.08	mW
P_{RESET}	電源の消費電力:V_{RESET}	標準値			25.2	mW
P_{TOTAL}	電源の合計消費電力	標準値			419.28	mW
LPSDR 入力						
I_{IL}	Low レベル入力電流	V_{DD} = 1.95 V、V_I = 0V	-100			nA
I_{IH}	High レベル入力電流	V_{DD} = 1.95 V、V_I = 1.95V			135	µA
LPSDR 出力						
V_{OH}	DC 出力高電圧 [7] [8] [9]	I_{OH} = -2mA	0.8 x V_{DD}			V
V_{OL}	DC 出力低電圧 [7] [8] [9]	I_{OL} = 2mA			0.2 x V_{DD}	V
容量						
C_{IN}	入力容量 LVCMOS	F = 1MHz			10	pF
C_{IN}	入力容量 SubLVDS	F = 1MHz			20	pF
C_{OUT}	出力容量	F = 1MHz			10	pF
C_{TEMP}	温度センス ダイオード容量	F = 1MHz			20	pF

(1) デバイスの電気的特性は、特に記述のない限りセクション 5.4 以上です。
(2) すべての電圧値は、グランド ピン (V_{SS}) を基準としたものです。
(3) 過剰な電流を防止するため、電源電圧のデルタ $|V_{DDI} – V_{DD}|$ は、指定限界値よりも小さい必要があります。
(4) 非圧縮のコマンドとデータに基づく電源消費電力。
(5) 過剰な電流を防止するため、電源電圧のデルタ $|V_{BIAS} – V_{OFFSET}|$ は、指定限界値よりも小さい必要があります。
(6) DMD を動作させるには、すべての電源接続が必要です。VDD、VDDI、VOFFSET、VBIAS、VRESET。すべての VVSS 接続も必要です。
(7) LPSDR 仕様は、LS_CLK ピンと LS_WDATA ピン用です。
(8) 低速インターフェイスは LPSDR であり、JEDEC 規格 No. 209-2F、低消費電力ダブル データ レート (LPDDR) JESD209-2F の「電気的特性」および「AC/DC 動作条件」表に準拠しています。
(9) LPSDR 出力仕様は、LS_RDATA_A、LS_RDATA_B、LS_RDATA_C、LS_RDATA_D ピン用です。

5.7 スイッチング特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PD}	出力伝搬、クロックから Q まで、LS_CLK 入力の立ち上がりエッジから LS_RDATA 出力まで。(1)	C_L = 15pF			15	ns
	スルーレート、LS_RDATA		0.3			V/ns
	出力デューティ サイクル歪み、LS_RDATA		40		60	%

(1) デバイスの電気的特性は、特に記述のない限りセクション 5.4 以上です。

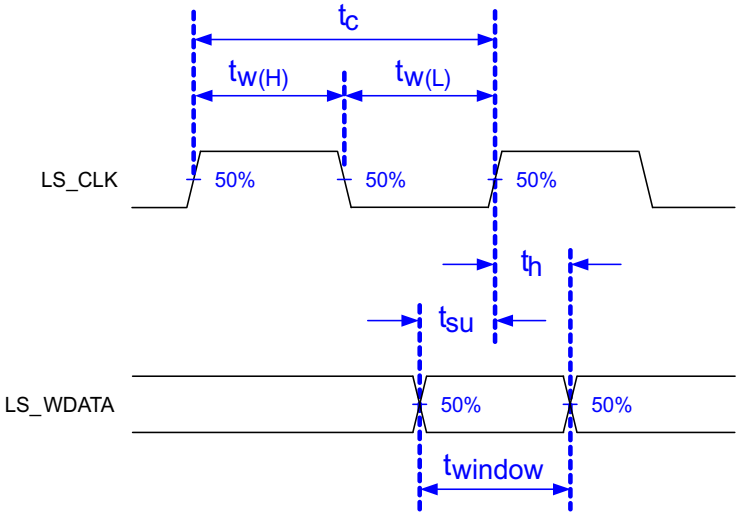
5.8 タイミング要件

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
LVCMOS						
LPSDR						
t_r	立ち上がりスルーレート(2)	(20% ～ 80%) × VDD(6)	0.25			V/ns
t_f	立ち下がりスルーレート(2)	(80% ～ 20%) × VDD(6)	0.25			V/ns
t_r	立ち上がりスルーレート(1)	(30% ～ 80%) × VDD(6)	1		3	V/ns
t_f	立ち下がりスルーレート(1)	(70% ～ 20%) × VDD(6)	1		3	V/ns
$t_{W(H)}$	パルス幅 LS_CLK High	50% ～ 50%のリファレンス ポイント(5)	4.2			ns
$t_{W(L)}$	パルス幅 LS_CLK Low	50% ～ 50%のリファレンス ポイント(5)	4.2			ns
t_{su}	セットアップ時間	LS_WDATA は LS_CLK の前に有効(5)			1.5	ns
t_h	ホールド時間	LS_WDATA は LS_CLK の後に有効(5)			1.5	ns
SubLVDS						
t_r	立ち上がりスルーレート	20% ～ 80%のリファレンス ポイント(7)	0.7	1		V/ns
t_f	立ち下がりスルーレート	80% ～ 20%のリファレンス ポイント(7)	0.7	1		V/ns
$t_{W(H)}$	パルス幅 DCLK High	50% ～ 50%のリファレンス ポイント(8)	0.7			ns
$t_{W(L)}$	パルス幅 DCLK Low	50% ～ 50%のリファレンス ポイント(8)	0.7			ns
t_{WINDOW}	ウィンドウ時間(1) (3)	セットアップ時間 + ホールド時間(5)	0.25			ns
t_{su}	セットアップ時間	HS_CLK の前に HS_DATA 有効(8)			0.17	ns
t_h	ホールド時間	HS_CLK の後に HS_DATA 有効(8)			0.17	ns
t_{POWER}	パワーアップ レシーバ(4)				200	ns

(1) 仕様は、DMD_DEN_ARSTZ ピンのものです。図 5-4 の LPSDR 入力の立ち上がりおよび立ち下がりスルーレートを参照。
(2) 仕様は LS_CLK ピンと LS_WDATA ピンのものです。図 5-4 の LPSDR 入力の立ち上がりおよび立ち下がりスルーレートを参照。
(3) ウィンドウ時間のディレーティングの例:0.5V/ns のスルーレートにより、ウィンドウ時間が 0.7ns 増加し、3ns から 3.7ns になります。図 5-6 をご覧ください。
(4) この仕様は SubLVDS レシーバー時間のみを対象としており、コマンド送信やコマンド送信後のレイテンシは考慮されていません。
(5) 図 5-3 を参照。
(6) 図 5-4 を参照。
(7) 図 5-5 を参照。
(8) 図 5-7 を参照。

Copyright © 2025 Texas Instruments Incorporated



低速インターフェイスは LPSDR であり、JEDEC 規格 No. 209B、*低消費電力ダブル データ レート (LPDDR)* JESD209B の「電気的特性」および「AC/DC 動作条件」表に準拠しています。

図 5-3. LPSDR スイッチング パラメータ

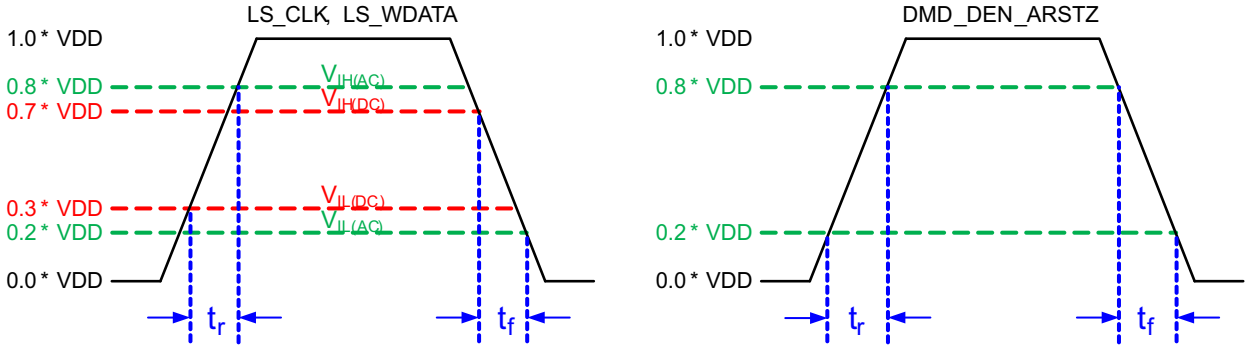


図 5-4. LPSDR 入力の立ち上がりおよび立ち下がりスルーレート

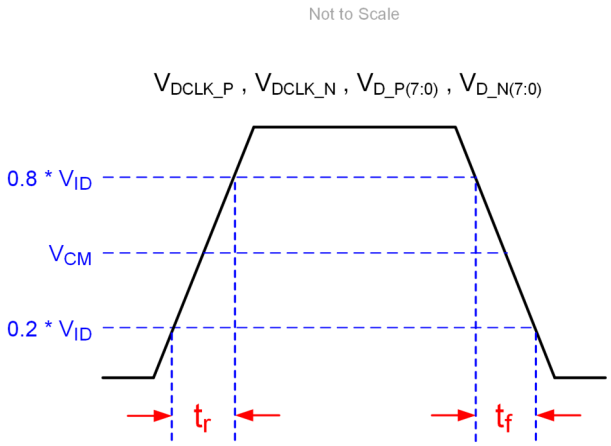


図 5-5. SubLVDS 入力の立ち上がりおよび立ち下がりスルーレート

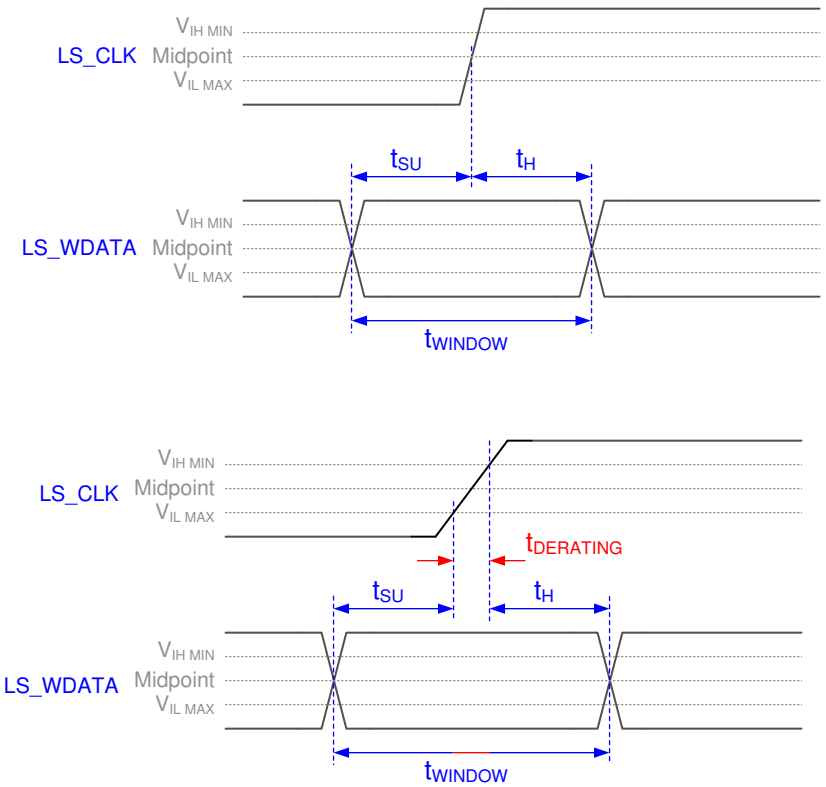


図 5-6. ウィンドウ時間ディレーティングの概念

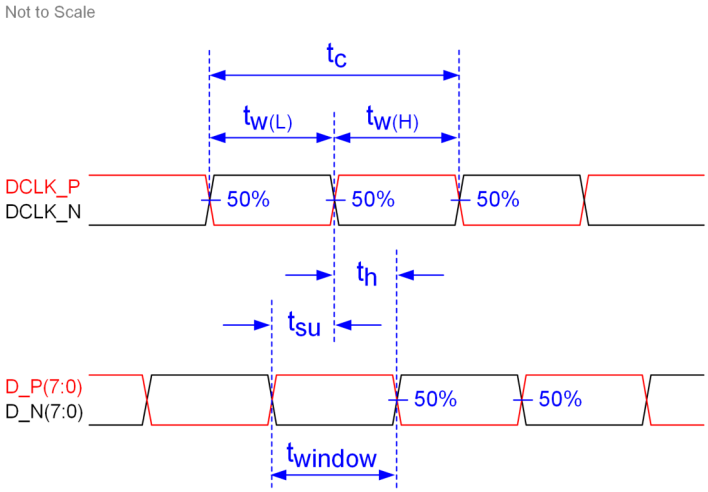
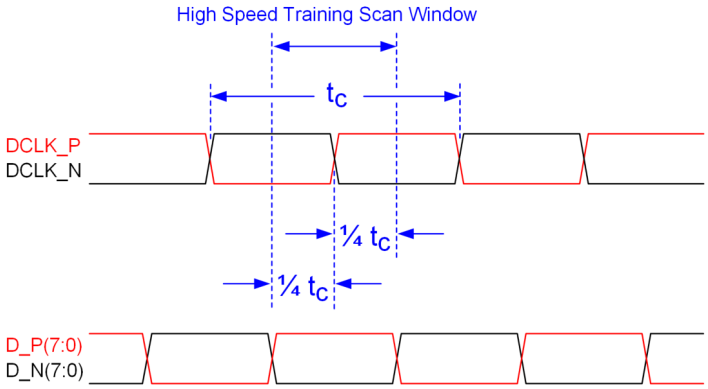


図 5-7. SubLVDS スイッチング パラメータ

Copyright © 2025 Texas Instruments Incorporated



詳細については、「*タイミング要件*」を参照してください。

図 5-8. 高速トレーニング スキャン ウィンドウ

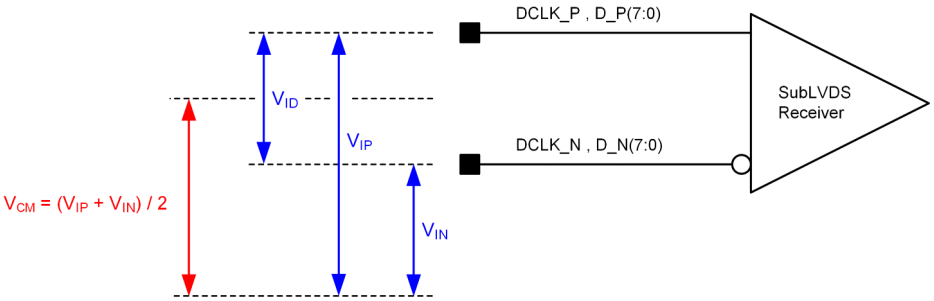


図 5-9. SubLVDS 電圧パラメータ

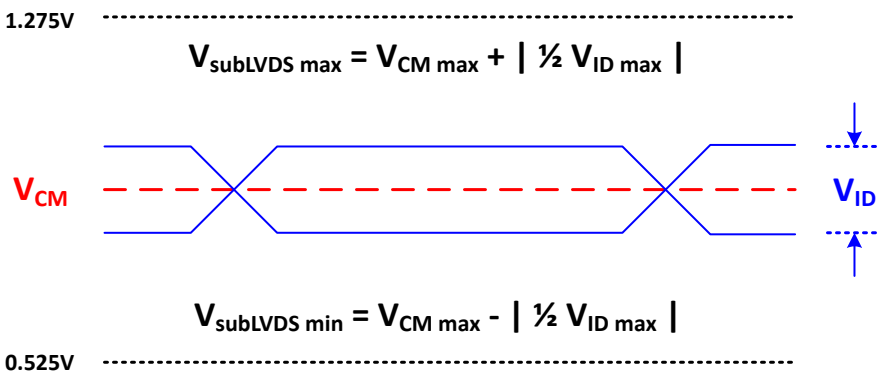


図 5-10. SubLVDS 波形パラメータ

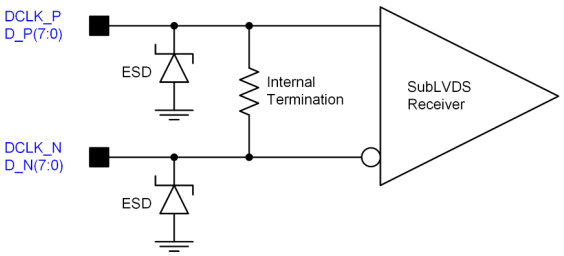


図 5-11. SubLVDS 等価入力回路

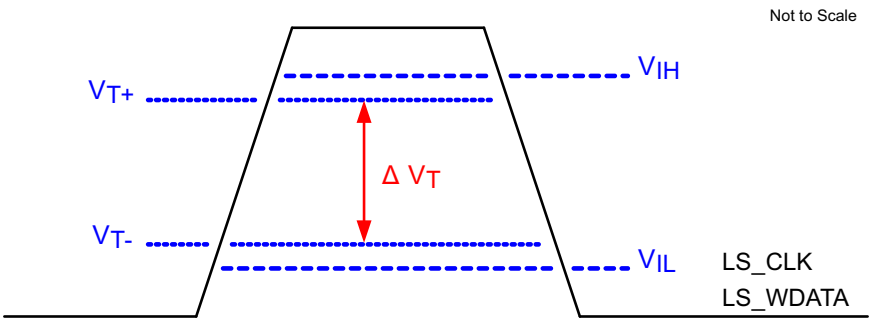


図 5-12. LPSDR 入力ヒステリシス

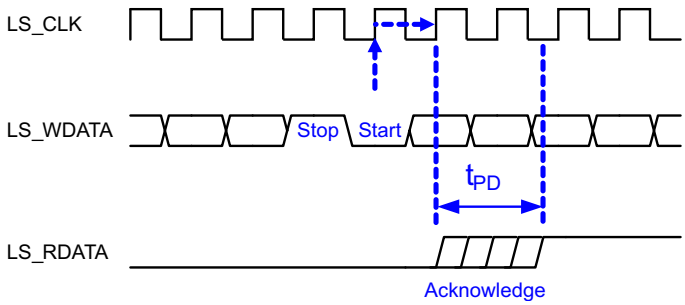
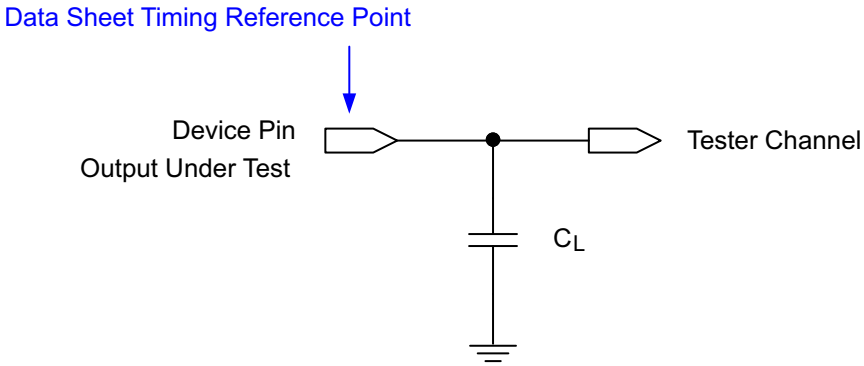


図 5-13. LPSDR 読み出し



詳細については、セクション 6.3.4 を参照してください。

図 5-14. 出力伝搬測定用のテスト負荷回路

Copyright © 2025 Texas Instruments Incorporated

5.9 システム実装インターフェイスの荷重

パラメータ	条件	最小値	公称値	最大値	単位
サーマル インターフェイス領域	各領域に均等に分配される最大負荷 (1)			50	N
電気的インターフェイス領域	各領域に均等に分配される最大負荷 (1)			143	

(1) 図 5-15 をご覧ください。

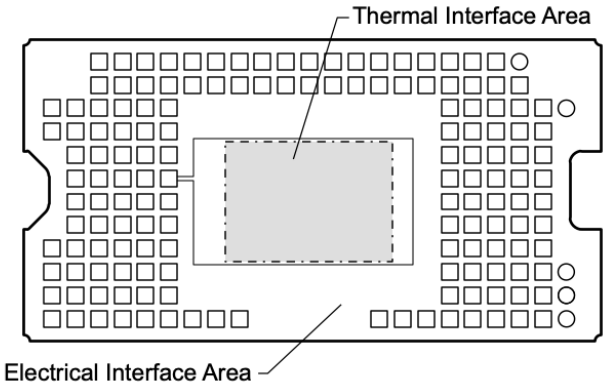


図 5-15. システム実装インターフェイスの荷重

5.10 マイクロミラー アレイの物理特性

パラメータの説明			値	単位
M	アクティブな列の数 (1) (2)		1360	マイクロミラー
N	アクティブな行の数 (1) (2)		1536	マイクロミラー
ε	マイクロミラー ピッチ、対角線(1)		4.525	µm
P	マイクロミラー ピッチ、垂直、水平 (1)		6.4	µm
	マイクロミラーのアクティブ アレイの幅(1)	(P × M) + (P / 2)	8.7072	mm
	マイクロミラーのアクティブ アレイの高さ(1)	(P × N) / 2 + (P / 2)	4.9184	mm
	マイクロミラーのアクティブ境界(3)	マイクロミラーの池 (POM)	15	マイクロミラー / サイド

(1) 図 5-16 をご覧ください。
(2) DMD マイクロミラーの高速なスイッチング速度と、高度な DLP 画像処理アルゴリズムとの組み合わせにより、各マイクロミラーは各フレーム中に画面上に 4 つの個別のピクセルを表示でき、その結果、3840 × 2160 ピクセルの画像全体を表示できます。
(3) アクティブ アレイの周囲にある境界の構造と品質には、*マイクロミラーの池* (POM) と呼ばれる、部分的に機能するマイクロミラーのバンドが含まれています。これらのマイクロミラーは構造的および / または電気的に、明るい状態またはオン状態へ傾けることを防止しますが、オフ状態へ傾けるには電気的バイアスが必要です。

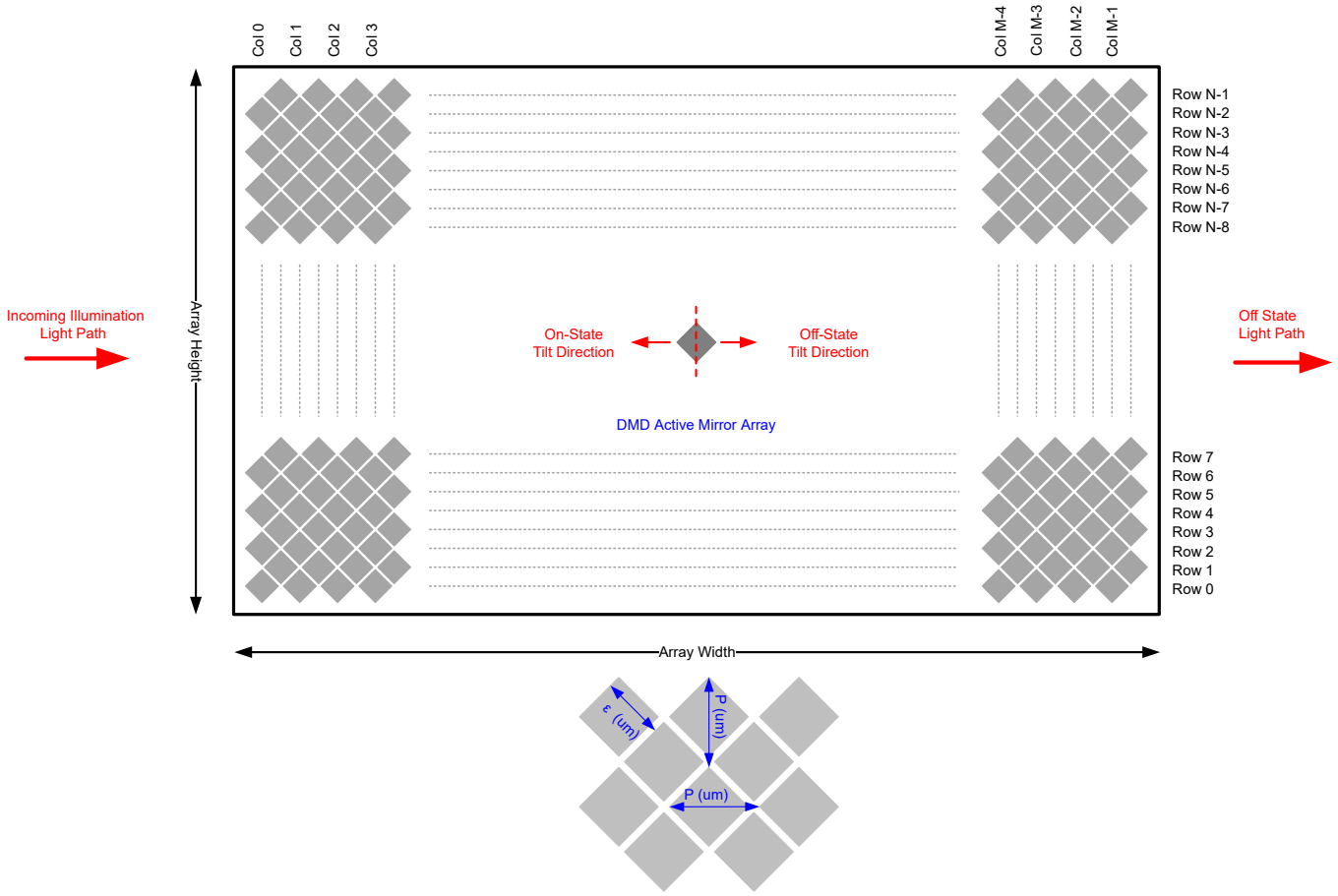


図 5-16. マイクロミラー アレイの物理特性

Copyright © 2025 Texas Instruments Incorporated

5.11 マイクロミラー アレイの光学特性

パラメータ		テスト条件	最小値	公称値	最大値	単位
マイクロミラーの傾斜角		DMD 着陸状態 (1) (2) (3) (4)	13.5	14.5	15.5	度
マイクロミラーのクロスオーバー時間(5)				1	3	µs
マイクロミラーのスイッチング時間(6)			6			µs
画像性能(7)	アクティブ領域の明るいピクセル(8)	グレイの 10 画面(9)			0	マイクロミラー
	POM 内の明るいピクセル(10)	グレイの 10 画面(9)			1	
	アクティブ領域の暗いピクセル(11)	白い画面			4	
	隣接ピクセル(12)	任意の画面			0	
	アクティブ領域で不安定なピクセル(13)	任意の画面			0	

(1) マイクロミラー アレイ全体から形成されるプレーンを基準として測定されます。
(2) マイクロミラー アレイとパッケージのデータム間には、さらに大きな変動があります。
(3) 同じデバイス上または異なるデバイス上に配置された任意の 2 つの個別マイクロミラー間で発生する可能性のある変動を表しています。
(4) 一部のアプリケーションでは、システム全体の光学設計においてマイクロミラーの傾斜角の変動を考慮することが重要です。一部のシステム光学設計では、デバイス内のマイクロミラーの傾斜角が変動すると、マイクロミラー アレイから反射された光磁界では不均一性が認識される場合があります。一部のシステム光学設計では、デバイス間でマイクロミラーの傾斜角が変動すると、色測定のバラツキ、システム効率のバラツキ、またはシステム コントラストのバラツキが生じる場合があります。
(5) マイクロミラーがある着地状態から反対側の着地状態に公称遷移するために必要な時間。
(6) マイクロミラーの連続する遷移間の最小時間
(7) 受け入れの条件:すべての DMD 画像品質リターンは、次の投影画像テスト条件を使用して評価されます:
テスト セット degamma はリニアにする
テスト セット輝度とコントラストを公称に設定する
投影画像の対角線サイズは最小 20 インチにする
投影スクリーンを 1 倍ゲインにする
投影画像を最低視聴距離 38 インチ (96.52cm) から検査する
すべての画質テスト中に画像の焦点が合っている必要があります。
(8) 明るいピクセルの定義:シングル ピクセルまたはミラーがオン位置に固定され、周囲のピクセルよりも目に見えて明るいこと。
(9) グレイの 10 画面の定義:画面のすべての領域には、
赤 = 10/255
緑 = 10/255
青 = 10/255 の設定で色分けされます
(10) POM の定義:アクティブ領域を取り囲むオフ状態ミラーの長方形境界線
(11) 暗いピクセルの定義:シングル ピクセルまたはミラーがオフ位置に固定され、周囲のピクセルよりも目に見えて暗いこと。
(12) 隣接ピクセルの定義:共通の境界または共通のポイントを共有する 2 つ以上のスタック ピクセル (クラスタとも呼ばれます)。
(13) 不安定なピクセルの定義:パラメータをメモリにロードした順序で動作しないシングル ピクセルまたはミラー。不安定なピクセルは、画像と非同期にちらつきがあるように見える。

5.12 ウィンドウの特性

パラメータ		最小値	公称値	最大値
ウィンドウ材質			Corning Eagle XG	
ウィンドウ屈折率	波長 546.1nm の場合		1.5119	
ウィンドウ開口部(1)				
オーバーフィル照射			セクション 6.5 を参照	

(1) ウィンドウ開口部のサイズと位置の詳細については、機械的パッケージの ICD を参照してください。

5.13 チップセット コンポーネントの使用方法の仕様

DLP391TP DMD の信頼性の高い機能と動作を実現するには、TI の DMD 制御テクノロジーを採用または実装する部品など、該当する DLP チップセットの他の部品と組み合わせて使用する必要があります。TI の DMD 制御テクノロジーは、DLP DMD の動作または制御に使用される TI のテクノロジーとデバイスで構成されています。

注

TI は、前述の制限を超える光学システムの動作条件によって発生する画質のアーチファクトまたは DMD の故障については、一切責任を負いません。

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

DLP391TP デジタル マイクロミラー デバイス(DMD) は、対角 0.39 インチ (0.99cm) インチの空間光変調器で、高反射率のアルミニウム製マイクロミラーのアレイで構成されています。DMD は、電気入力、光出力の光マイクロマシン (MOEMS) です。DMD マイクロミラーの高速なスイッチング速度と、高度な DLP 画像処理アルゴリズムとの組み合わせにより、各マイクロミラーは各フレーム中に画面上に 4 つの個別のピクセルを表示でき、その結果、3840×2160 ピクセルの画像全体を表示できます。電気的インターフェイスは、低電圧差動信号伝送 (LVDS) です。DMD は、1 ビット CMOS メモリ セルの 2 次元アレイで構成されます。アレイは、M 個のメモリ セル列と N 個のメモリ セル行の格子状に編成されます。セクション 6.2 を参照してください。マイクロミラーの偏向 (正または負) は、基礎となる CMOS アドレス指定回路のアドレス電圧とマイクロミラー リセット信号 (MBRST) を変更することによって個別に制御されます。

DLP 0.39 インチ (0.99cm) 4K UHD チップセットは、DLP391TP DMD、DLPC8445V ディスプレイ コントローラ、DLPA3085/DLPA3082 PMIC および LED ドライバで構成されています。信頼性の高い動作のため、DLP391TP DMD は、DLP ディスプレイ コントローラおよびチップセットで指定されている PMIC と常に一緒に使う必要があります。

6.2 機能ブロック図

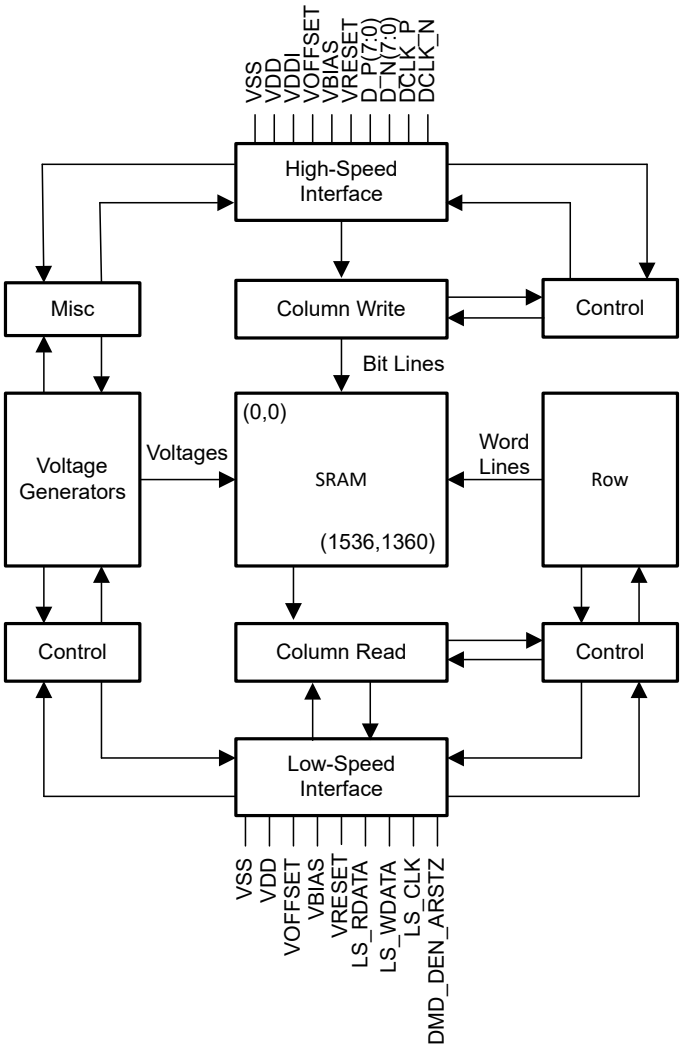


図 6-1. 機能ブロック図

6.3 機能説明

6.3.1 電源インターフェイス

DMD は次の 4 つの DC 電圧を必要とします。1.8V ソース (V_{DD} および V_{DDI})、V_{OFFSET}、V_{RESET} および V_{BIAS}。一般的な LED ベースのシステムでは、1.8V、V_{OFFSET}、V_{RESET}、および V_{BIAS} は、DLPA3085/DLPA3082 PMIC および LED ドライバによって管理されます。

6.3.2 LPSDR 低速インターフェイス

低速インターフェイスは、DMD を構成し、リセット動作を制御する命令を処理します。LS_CLK は低速クロック、LS_WDATA は低速データ入力です。

6.3.3 高速インターフェイス

高速インターフェイスの目的は、ピクセル データを迅速かつ効率的に転送することであり、高速 DDR 転送および圧縮技術を使用して電力と時間を節約することです。高速インターフェースは、専用クロックを備えた入力用の差動 SubLVDS レシーバーで構成されています。

6.3.4 タイミング

データシートには、デバイス ピンでのタイミングが記載されています。出力タイミング解析では、テスタのピン エレクトロニクスとその伝送ラインの影響を考慮に入れる必要があります。図 5-14 に、テスト対象の出力の等価テスト負荷回路を示します。タイミング基準負荷は、特定のシステム環境を精密に表現したり、製造試験で示される実際の負荷を表現したりすることを意図したものではありません。システム設計者は、IBIS または他のシミュレーション ツールを使用して、タイミング基準負荷をシステム環境に関連付ける必要があります。記載されている負荷容量値は、AC タイミング信号の特性評価と測定のみを目的としています。この負荷容量の値は、デバイスが駆動可能な最大負荷を示しているわけではありません。

6.4 デバイスの機能モード

DMD の機能モードは、DLPC8445V ディスプレイ コントローラによって制御されます。DLPC8445V ディスプレイ コントローラのデータシートを参照するか、TI アプリケーション エンジニアにお問い合わせください。

6.5 光学インターフェイスおよびシステムの画質に関する検討事項

TI は、最終製品の光学性能について一切責任を負いません。目的の最終製品の光学性能を実現するには、多数の部品とシステム設計パラメータとの間でトレードオフを決定する必要があります。システムの光学性能と画像品質の最適化は、光学システム設計のパラメータのトレードオフに大きく関係しています。想定可能なすべてのアプリケーションを予測できるわけではありませんが、プロジェクタの画質と光学性能は、以下のセクションに示す光学システムの動作条件への準拠によって決まります。

6.5.1 開口数および迷光制御

DMD の光学領域における照明と投影光学素子の開口数で定義される角度は同じである必要があります。この角度は、照明および投影瞳孔に適切な開口部を追加して、投影レンズからの平面光および迷光をブロックする場合を除いて、公称デバイスのマイクロミラー傾斜角を超えないようにする必要があります。マイクロミラーの傾斜角により、DMD の「オン」光路をその他のライトパスから分離できます。これには、DMD ウィンドウからの望ましくない平面状態の反射、DMD の境界構造、または DMD 付近にあるプリズムやレンズ表面などのその他のシステム表面などが含まれます。開口数がマイクロミラーの傾斜角を超える場合、または投影開口数角度が照明開口数角度より 2 度以上大きい場合 (その逆も同様)、コントラストが低下し、表示境界やアクティブ領域に望ましくないアーティファクトが発生する可能性があります。

6.5.2 瞳孔一致

光学的品質および画質に関する TI の仕様は、照明用光学素子の射出瞳が公称値として投影光学素子の入射瞳から 2° 以内の位置を中心としていると仮定しています。瞳孔のずれは、ディスプレイ境界 またはアクティブ領域に不快なアーチファクトを発生させる可能性があり、特にシステムの開口数がピクセル チルト角度を超える場合は、制御するために追加のシステム開口部が必要になる場合があります。

Copyright © 2025 Texas Instruments Incorporated

6.5.3 オーバーフィル照射

デバイスのアクティブ領域は、DMD チップ アセンブリの構造を通常の視界から覆い隠す、DMD ウィンドウ面の内側にある開口部で囲まれ、複数の光学動作条件を想定したサイズとなっています。ウィンドウ開口部を照らすオーバーフィル光は、ウィンドウ開口部の端からアーチファクトが発生したり、その他の表面異常が画面に表示されたりする可能性があります。照明光学システムは、ウィンドウ開口部上の任意の場所に入射する光束が、アクティブ領域の平均光束レベルの約 10% を超えないように設計する必要があります。特定のシステムの光学的アーキテクチャによっては、ウインドウ開口部上のオーバーフィル光を推奨される 10% 未満にさらに低減して、許容可能な範囲にする必要があります。

6.6 マイクロミラー アレイ温度の計算

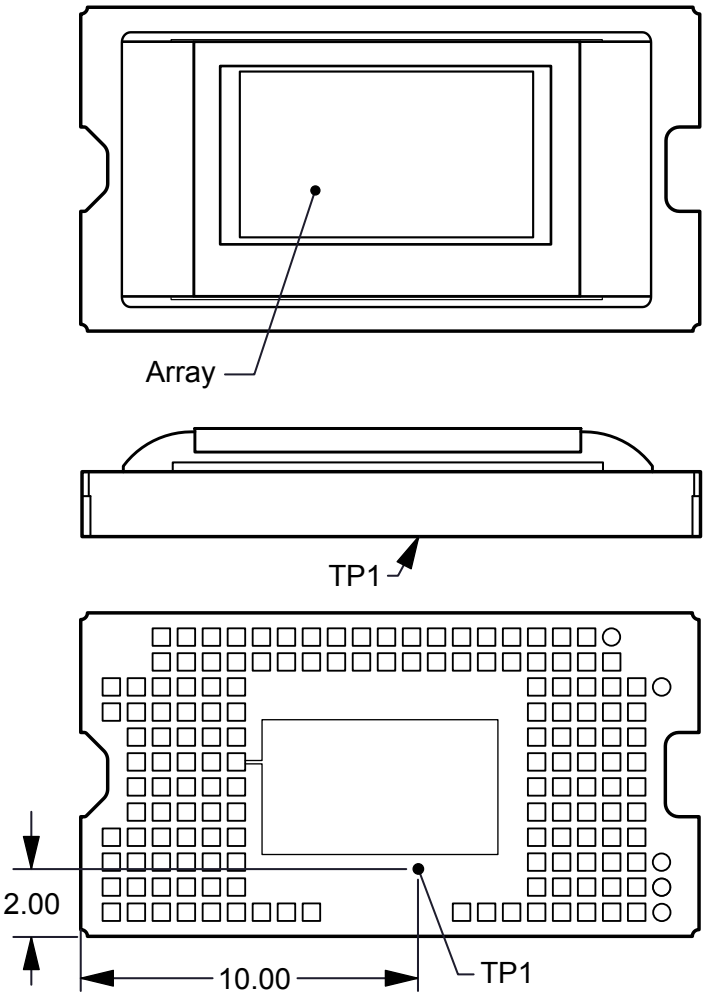


図 6-2. DMD の温度テスト ポイント

マイクロミラー アレイの温度は直接測定できないため、パッケージ外部の測定ポイント、パッケージの熱抵抗、電力、照明の熱負荷から、解析的に計算する必要があります。アレイ温度と基準セラミック温度 (図 6-2 の熱テスト TP1) の関係は、以下の式で与えられます。

$$T_{ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{ARRAY\text{-}TO\text{-}CERAMIC})$$

$$Q_{ARRAY} = Q_{ELECTRICAL} + Q_{ILLUMINATION}$$

ここで、

- T_{ARRAY} = 算出されたアレイ温度 (°C)
- $T_{CERAMIC}$ = 測定されたアレイ温度 (°C) (TP1 の場所)
- $R_{ARRAY\text{-}TO\text{-}CERAMIC}$ = アレイからセラミック TP1 までの セクション 5.5 で規定するパッケージの熱抵抗 (°C/ワット)
- Q_{ARRAY} = アレイ上の (電力＋吸収光) DMD 全体の消費電力 (ワット)
- $Q_{ELECTRICAL}$ = 公称電力 (ワット)
- $Q_{INCIDENT}$ = インシデント照明光出力 (ワット)
- DMD の平均熱吸収率 = 0.54
- $Q_{ILLUMINATION}$ = (DMD 平均熱吸収率 × $Q_{INCIDENT}$) (ワット)

DMD の消費電力は変数で、電圧、データ レート、動作周波数に依存します。アレイ温度の計算時に使用する公称消費電力量は 0.5W です。照射用光源から吸収される電力は変数で、マイクロミラーの動作状態と光源の強度に依存します。上記の式は、シングル チップまたはマルチチップの DMD システムに有効です。この想定では、アクティブ アレイで 83.7%、アクティブ アレイ境界で 16.3% の照度分布を想定しています。

標準的な投影アプリケーションの計算例は次のとおりです。

$$Q_{INCIDENT} = 12.1\ W\ (measured) \quad (1)$$

$$T_{CERAMIC} = 53.0°C\ (measured) \quad (2)$$

$$Q_{ELECTRICAL} = 0.5\ W \quad (3)$$

$$Q_{ARRAY} = 0.5\ W + (0.54 \times 12.1\ W) = 7.034\ W \quad (4)$$

$$T_{ARRAY} = 53.0°C + (7.034\ W \times 2.3°C/W) = 69.2°C \quad (5)$$

6.7 マイクロミラーの電力密度の計算

さまざまな波長帯域で DMD 上の照明の光出力密度を計算するには、DMD で測定された合計光出力、照明のオーバーフィル率、アクティブ アレイの面積、目的の波長帯域でのスペクトルの合計光出力に対する比率を使用します。

- $ILL_{UV} = [OP_{UV\text{-}RATIO} \times Q_{INCIDENT}] \times 1000W/W \div A_{ILL}\ (mW/cm^2)$
- $ILL_{VIS} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}\ (W/cm^2)$
- $ILL_{IR} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \times 1000W/W \div A_{ILL}\ (mW/cm^2)$
- $ILL_{BLU} = [OP_{BLU\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}\ (W/cm^2)$
- $ILL_{BLU1} = [OP_{BLU1\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}\ (W/cm^2)$
- $A_{ILL} = A_{ARRAY} \div (1 - OV_{ILL})\ (cm^2)$

ここで

- ILL_{UV} = DMD での UV 照明の電力密度 (mW/cm^2)
- ILL_{VIS} = DMD での VIS 照明の電力密度 (W/cm^2)
- ILL_{IR} = DMD での IR 照明の電力密度 (mW/cm^2)

Copyright © 2025 Texas Instruments Incorporated

- ILL_{BLU} = DMD での BLU 照明の電力密度 (W/cm^2)
- ILL_{BLU1} = DMD での BLU1 照明の電力密度 (W/cm^2)
- A_{ILL} = DMD での照明領域 (cm^2)
- $Q_{INCIDENT}$ = DMD での総入射光パワー (W) (測定値)
- A_{ARRAY} = アレイの面積 (cm^2) (データシート)
- OV_{ILL} = アレイ外の DMD の総照明パーセント (%) (光学モデル)
- $OP_{UV\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 未満の場合の光出力比 (スペクトル測定)
- $OP_{VIS\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 800nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{IR\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 800nm 超の場合の光出力比 (スペクトル測定)
- $OP_{BLU\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 475nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{BLU1\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 445nm 以下の場合の光出力比 (スペクトル測定)

照明領域は、照明オーバーフィルによって異なります。DMD 上の総照明領域は、アレイ領域と、アレイの周囲のオーバーフィル領域です。光学モデルを使用して、アレイの外部にある DMD 上の全照明の割合 (OV_{ILL}) と、アクティブ アレイ上にある全照明の割合を決定します。これらの値から、照明領域 (A_{ILL}) が計算されます。照明は、アレイ全体で一様であると仮定します。

測定された照明スペクトルから、総光出力に対する、対象の波長帯域における光出力との比が計算されます。

計算例:

$Q_{INCIDENT}$ = 12.1 W (measured)

A_{ARRAY} = ((8.7072mm × 4.9184mm) ÷ 100mm^2/cm^2) = 0.4283cm^2 (data sheet)

OV_{ILL} = 16.3% (optical model)

$OP_{UV\text{-}RATIO}$ = 0.00021 (spectral measurement)

$OP_{VIS\text{-}RATIO}$ = 0.99977 (spectral measurement)

$OP_{IR\text{-}RATIO}$ = 0.00002 (spectral measurement)

$OP_{BLU\text{-}RATIO}$ = 0.28100 (spectral measurement)

$OP_{BLU1\text{-}RATIO}$ = 0.03200 (spectral measurement)

A_{ILL} = 0.4283cm^2 ÷ (1 - 0.163) = 0.5117cm^2

ILL_{UV} = [0.00021 × 12.1 W] × 1000 ÷ 0.5117cm^2 = 4.966mW/cm^2

ILL_{VIS} = [0.99977 × 12.1 W] ÷ 0.5117cm^2 = 23.64W/cm^2

ILL_{IR} = [0.00002 × 12.1 W] × 1000 ÷ 0.5117cm^2 = 0.473mW/cm^2

ILL_{BLU} = [0.28100 × 12.1 W] ÷ 0.5117cm^2 = 6.64W/cm^2

ILL_{BLU1} = [0.03200 × 12.1 W] ÷ 0.5117cm^2 = 0.757W/cm^2

6.8 ウィンドウ アパーチャイル ミネーション オーバーフィル計算

ウィンドウ開口部のクリティカル領域の光学的オーバーフィルの量は直接測定できません。アレイ上で照射が均一なシステムの場合、この量は、DMD の入射光パワーの合計測定値と、定義された重要領域における DMD の総光パワーの比率を使用して決定されます。この光学モデルを使用して、ウィンドウ開口部臨界面積の光出力の割合を決定し、面積のサイズを推定します。

- $Q_{AP\text{-}ILL}$ = [$Q_{INCIDENT}$ × $OP_{AP_ILL_RATIO}$] ÷ A_{AP_ILL} (W/cm^2)

ここで

- $Q_{AP\text{-}ILL}$ = ウィンドウ開口部照明オーバーフィル (W/cm^2)
- $Q_{INCIDENT}$= DMD での総入射光パワー (ワット) (測定値)
- $OP_{AP_ILL_RATIO}$ =ウィンドウ開口部の重要領域の光出力と DMD の合計光出力との比率 (光学モデル)
- $A_{AP\text{-}ILL}$ = ウィンドウ開口部臨界面積 (cm^2)(データ シート)
- OP_{CA_RATIO} = 入射光パワー(%)(光学モデル) を持つウィンドウ開口重要領域のパーセンテージ

計算例:

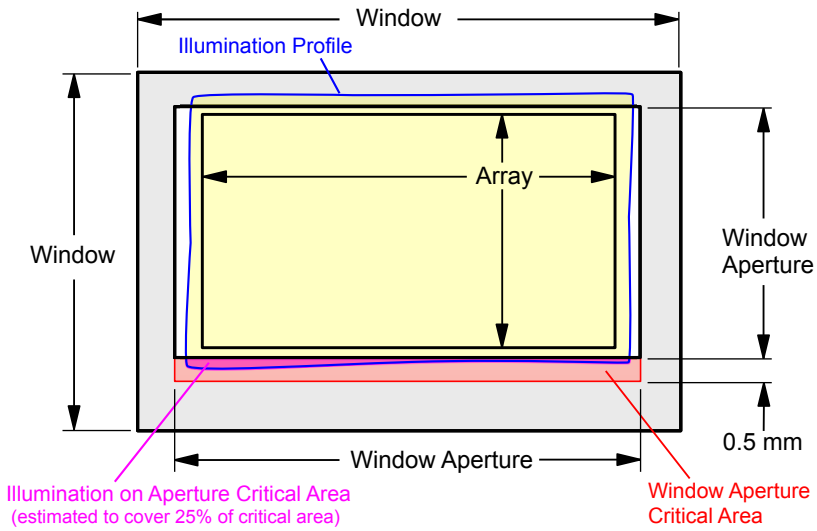


図 6-3. ウィンドウ アパーチャのオーバーフィルの例

クリティカル アパーチャの長さについては、上の図を参照してください。

$Q_{INCIDENT}$ = 12.1 W (measured) (6)

$OP_{AP_ILL_RATIO}$ = 0.312% (optical model) (7)

OV_{CA_RATIO} = 25% (optical model) (8)

Length of the window aperture for critical area = 0.9802cm (data sheet) (9)

Width of critical area = 0.050 cm (data sheet) (10)

$A_{AP\text{-}ILL}$ = 0.9802cm × 0.050 cm = 0.04901cm^2 (11)

Copyright © 2025 Texas Instruments Incorporated

$Q_{AP\text{-}ILL}$ = (12.1 W × 0.00312) ÷ (0.04901cm^2 × 0.25) = 3.08W/cm^2 (W/cm^2) (12)

6.9 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル

6.9.1 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクルの定義

マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル (ランデッド デューティ サイクル) は、個々のマイクロミラーがオン状態で着地している時間の割合を、同じマイクロミラーがオフ状態で着地している時間に対する割合として示します。

たとえば、100/0 のランデッド デューティ サイクルは、基準のピクセルがオン状態の時間 100% (オフ状態の時間 0%) にあることを示しています。一方、0/100 は、ピクセルがオフ状態の時間 100% にあることを示しています。同様に、50/50 はピクセルがオン状態の時間 50% (オフ状態の時間 50%) になっていることを示します。

なお、ランデッド デューティ サイクルを評価する際、一方の状態 (オンまたはオフ) から他方の状態 (オフまたはオン) に切り替わるのに要する時間は無視できるものと見なされます。

マイクロミラーはどちらか一方の状態 (オンまたはオフ) でしか着地できないため、2 つの数値 (パーセンテージ) の合計は必ず 100 になります。

6.9.2 DMD のランデッド デューティ サイクルと有効寿命

(最終製品またはアプリケーションの) 長期平均ランデッド デューティ サイクルを把握することが重要です。DMD マイクロミラー アレイ (アクティブ アレイとも呼ばれます) のすべて (または一部) を非対称ランデッド デューティ サイクルに長時間適用すると、DMD の有効寿命が短くなるためです。

ランデッド デューティ サイクルの対称性 / 非対称性が関連することに注意してください。ランデッド デューティ サイクルの対称性は、2 つの数値 (パーセンテージ) がどれだけ等しいかによって決まります。たとえば、50/50 のランデッド デューティ サイクルは完全に対称ですが、100/0 または 0/100 のランデッド デューティ サイクルは完全に非対称です。

6.9.3 ランデッド デューティ サイクルと動作時の DMD 温度

DMD の動作温度とランデッド デューティ サイクルは DMD の耐用年数に影響を及ぼします。この相互作用を利用すると、非対称ランデッド デューティ サイクルが DMD の耐用年数に及ぼす影響を低減できます。これは、「*推奨動作条件*」に示すディレーティング曲線で定量化されています。この曲線の重要性は次のとおりです。

- この曲線に沿ったすべてのポイントは、同じ耐用年数を表します。
- この曲線より上のすべてのポイントは、より短い耐用年数を表します (そして、曲線から離れているほど、耐用年数は短くなります)。
- この曲線より下のすべてのポイントは、より長い耐用年数を表します (そして、曲線から離れているほど、耐用年数は長くなります)。

この曲線は、所定の長期平均ランデッド デューティ サイクルに対して、DMD が動作すべき最大 DMD 動作温度を規定しています。

6.9.4 製品またはアプリケーションの長期平均ランデッド デューティ サイクルの推定

所定の期間中、特定のピクセルのランデッド デューティサイクルは、そのピクセルによって表示される画像内容から追従します。

たとえば、最も単純なケースでは、ある一定の期間、あるピクセルに純粋な白を表示する場合、そのピクセルはその期間中に 100/0 ランデッド デューティサイクル下で動作します。同様に、純粋な黒を表示する場合、ピクセルは 0/100 ランデッド デューティサイクル下で動作します。

この 2 つの極端な値の間 (入力画像に適用される色と画像処理をとりあえず無視します)、ランデッド デューティ サイクルは、表 6-1 に示すように、グレイスケール値で 1 対 1 を追跡します。

表 6-1. グレイスケール値とランデッド デューティ サイクル

グレイスケール値	ランデッド デューティ サイクル
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10
100%	100/0

演色を考慮 (ただしここでも画像処理を無視します) するには、特定のピクセルの各構成原色 (赤、緑、青) のカラー強度 (0% から 100%) と、各原色のカラー サイクル時間 (「カラー サイクル時間」は、目的のホワイト ポイントを達成するために特定の原色が表示されるフレーム時間の合計割合) の両方を知る必要があります。

特定の期間内に、特定のピクセルのランデッド デューティ サイクルを計算するには、式 13 を使用します。

$$\text{Landed Duty Cycle} = (\text{Red_Cycle_\%} \times \text{Red_Scale_Value}) + (\text{Green_Cycle_\%} \times \text{Green_Scale_Value}) + (\text{Blue_Cycle_\%} \times \text{Blue_Scale_Value}) \tag{13}$$

ここで、

- RED_Cycle_% は、目的のホワイト ポイントを達成するために赤で表示されるフレーム時間の割合を表します
- Green_Cycle_% は、目的のホワイト ポイントを達成するために緑で表示されるフレーム時間の割合を表します
- BLUE_Cycle_% は、目的のホワイト ポイントを達成するために青で表示されるフレーム時間の割合を表します。

たとえば、赤、緑、青のカラー サイクル時間がそれぞれ 30%、50%、20% であると仮定し、(目的のホワイト ポイントを達成するために) 赤、緑、青の強度のさまざまな組み合わせに対するランデッド デューティ サイクルは、表 6-2 と 表 6-3 に示すようになります。

表 6-2. フルカラー、カラー パーセンテージに対するランデッド デューティ サイクルの例

サイクル パーセンテージ		
緑色	青色	赤色
50%	20%	30%

表 6-3. フルカラーのランデッド デューティ サイクルの例

スケール値			ランデッド デューティ サイクル
緑色	青色	赤色	
0%	0%	0%	0/100
100%	0%	0%	50/50
0%	100%	0%	20/80
0%	0%	100%	30/70
12%	0%	0%	6/94
0%	35%	0%	7/93

Copyright © 2025 Texas Instruments Incorporated

表 6-3. フルカラーのランデッド デューティ サイクルの例 (続き)

スケール値			ランデッド デューティ サイクル
緑色	青色	赤色	
0%	0%	60%	18/82
100%	100%	0%	70/30
0%	100%	100%	50/50
100%	0%	100%	80/20
12%	35%	0%	13/87
0%	35%	60%	25/75
12%	0%	60%	24/76
100%	100%	100%	100/0

ランデッド デューティ サイクルを推定する際に考慮すべき最後の要因は、適用されている画像処理です。コントローラ内では、ガンマ機能はランデッド デューティサイクルに影響を与えます。

ガンマは、Output_Level = A × Input_Level^{Gamma} という形式の電力関数です。ここで、A は通常 1 に設定されるスケーリング係数です。

コントローラでは、ピクセル単位で入力画像データにガンマが適用されます。一般的なガンマ係数は 2.2 で、図 6-4 に示すように入力データが変換されます。

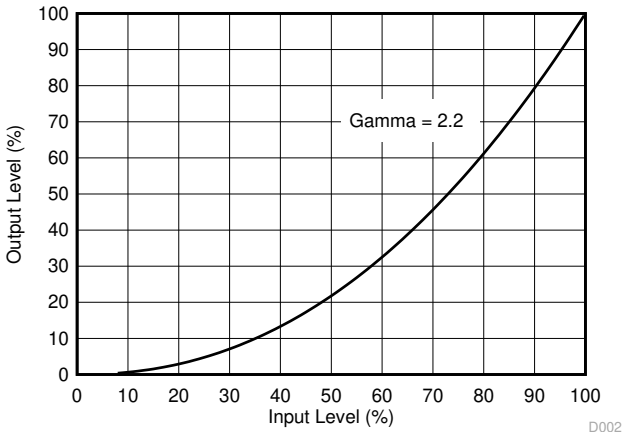


図 6-4. ガンマ= 2.2 の例

図 6-4 から、指定された入力ピクセルのグレイスケール値が 40% の場合 (ガンマが適用される前)、ガンマが適用された後でグレイスケール値は 13% になります。したがって、ガンマは表示されるピクセルのグレイスケール レベルに直接影響するため、ピクセルのランデッド デューティ サイクルにも直接的な影響を与えることがわかります。

コントローラの前に発生する画像処理についても考慮する必要があります。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DMD は空間光変調器であり、照射用光源から受け入れた光を 2 方向のいずれかに反射します。主な方向は、プロジェクションまたは集光光学系です。各アプリケーションは、主にシステムの光学アーキテクチャと、DLPC8445V コントローラプが受け入れるデータ形式の違いで派生するものです。底面照度の高い DMD の高傾斜ピクセルにより、輝度性能が向上し、厚さに制約のあるアプリケーション向けにシステムのフットプリントを小型化できます。DLP391TP を使用する代表的なアプリケーションには、モバイル スマート TV とデジタル サイネージが含まれます。

DMD のパワーアップ / パワーダウン シーケンシングは、DLPA3085/DLPA3082 によって厳密に制御されます。電源オンと電源オフの仕様については「*電源に関する推奨事項*」を参照してください。信頼性の高い動作のため、DLP391TP DMD は常に、DLPC8445V コントローラおよび DLPA3085/DLPA3082 PMIC とともに使用する必要があります。

7.2 代表的なアプリケーション

DLP391TP DMD は、DLPC8445V デジタル コントローラやパワー マネージメント デバイスと組み合わせることにより、高輝度で色鮮やかなディスプレイ用途に最適なフル 4K UHD 解像度を実現します。 図 7-1 に、DLP 0.39 インチ (0.99cm) 4K UHD チップセットの LED 構成と必要なシステム部品を示します。この部品には、DLP391TP DMD、DLPC8445V ディスプレイ コントローラ、DLPA3085/DLPA3082 PMIC および LED ドライバが含まれています。

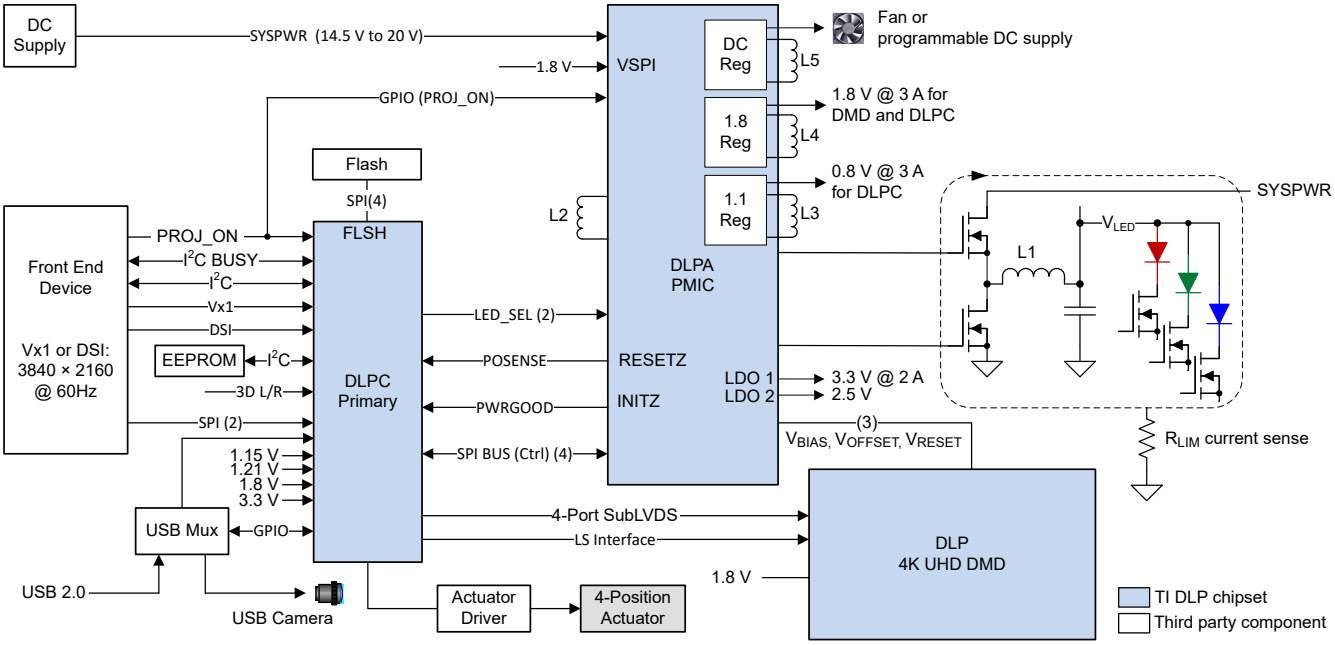


図 7-1. 代表的な 4K UHD LED アプリケーション図

Copyright © 2025 Texas Instruments Incorporated

7.2.1 設計要件

ディスプレイ システムのその他の中核部品としては、照射用光源、照明および投影光学系用の光学エンジン、その他の電気部品および機械部品、ソフトウェアがあります。使用する照明の種類と目的の輝度は、システム全体の設計とサイズに大きな影響を及ぼします。

ディスプレイ システムは DLP391TP をコア画像処理デバイスとして使用し、0.39 インチ (0.99cm) のマイクロミラー アレイを搭載しています。DLPC8445V コントローラは、DMD とシステムの他の部分との間のデジタル インターフェイスであり、フロント エンド レシーバからデジタル入力を取得し、高速インターフェイスで DMD を駆動します。DLPA3085/DLPA3082 PMIC は、DMD、コントローラ、LED 照明機能用電圧レギュレータとして機能します。

7.2.2 詳細な設計手順

包括的な DLP システムを実現するには、DLP391TP DMD、関連する照射用光源、光学素子、必要な機械部品を含む光学モジュールまたは光学エンジンが必要です。

信頼性の高い動作のため、DMD は常に DLPC8445V ディスプレイ コントローラおよび DLPA3085/DLPA3082 PMIC ドライバと一緒に使用する必要があります。

7.2.3 アプリケーション曲線

LED 照明を使用するときの LED 電流と輝度の代表的な関係を図 7-2 に示します。

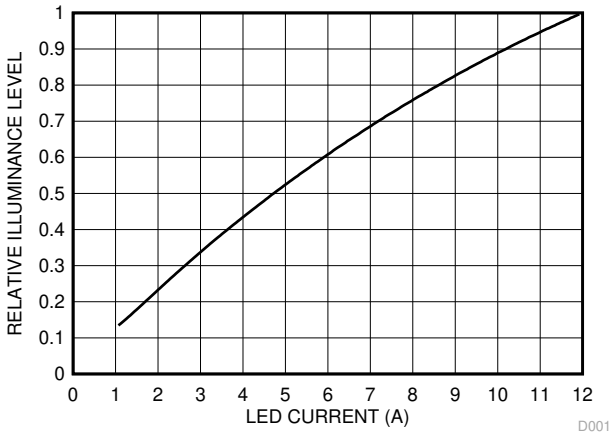


図 7-2. 輝度と電流との関係

7.3 温度センサ ダイオード

このソフトウェア アプリケーションは、DLP391TP DMD 温度センサ ダイオードを読み取るように TMP411 を構成する機能を備えています。このデータを使用して、照明やファン速度の調整など、システム設計全体に追加機能を組み込むことができます。I^2C インターフェイスを使用して、TMP411 と DLPC8445V コントローラ間のすべての通信を完了します。TMP411 は、セクション 4 に示すピンを経由して DMD に接続されます。

8 電源に関する推奨事項

DMD の動作には、以下の電源装置がすべて必要です。

- V_{SS}
- V_{BIAS}
- V_{DD}
- V_{DDA}
- V_{OFFSET}
- V_{RESET}

DMD のパワーアップ / パワーダウン シーケンシングは、DLP ディスプレイ コントローラによって厳密に制御されます。

> **注意**
>
> DMD を確実に動作させるには、以下の電源シーケンシング要件に従う必要があります。規定されたパワーアップおよびパワーダウン要件のいずれかに準拠しない場合、デバイスの信頼性に影響を及ぼす可能性があります。図 8-1 の DMD 電源シーケンシング要件を参照してください。
>
> V_{BIAS}、V_{DD}、V_{DDA}、V_{OFFSET}、V_{RESET} 電源をパワーアップおよびパワーダウン動作時に調整する必要があります。以下の各要件のいずれかに適合していない場合、DMD の信頼性と寿命が大幅に低下します。共通のグランド V_{SS} も接続する必要があります。

表 8-1. DMD 電源シーケンシング要件

記号	パラメータ	説明	最小値	標準値	最大値	単位
t_{DELAY1} (1)	電源オン遅延の要件	V_{OFFSET} が推奨動作電圧で安定してから、V_{BIAS} および V_{RESET} のパワーアップまで	2			ms
t_{DELAY2} (1)	パワーダウン遅延の要件	V_{OFFSET}、V_{BIAS}、および V_{RESET} のパワーダウンから遅延 V_{DD} を High に保持する必要があります。	50			us
V_{OFFSET}	電源電圧レベル	パワーアップ シーケンスの遅延の開始時			6	V
V_{BIAS}	電源電圧レベル	パワーアップ シーケンスの遅延の終了時			6	V

(1) 図 8-1 を参照してください。

8.1 DMD 電源のパワーアップ手順

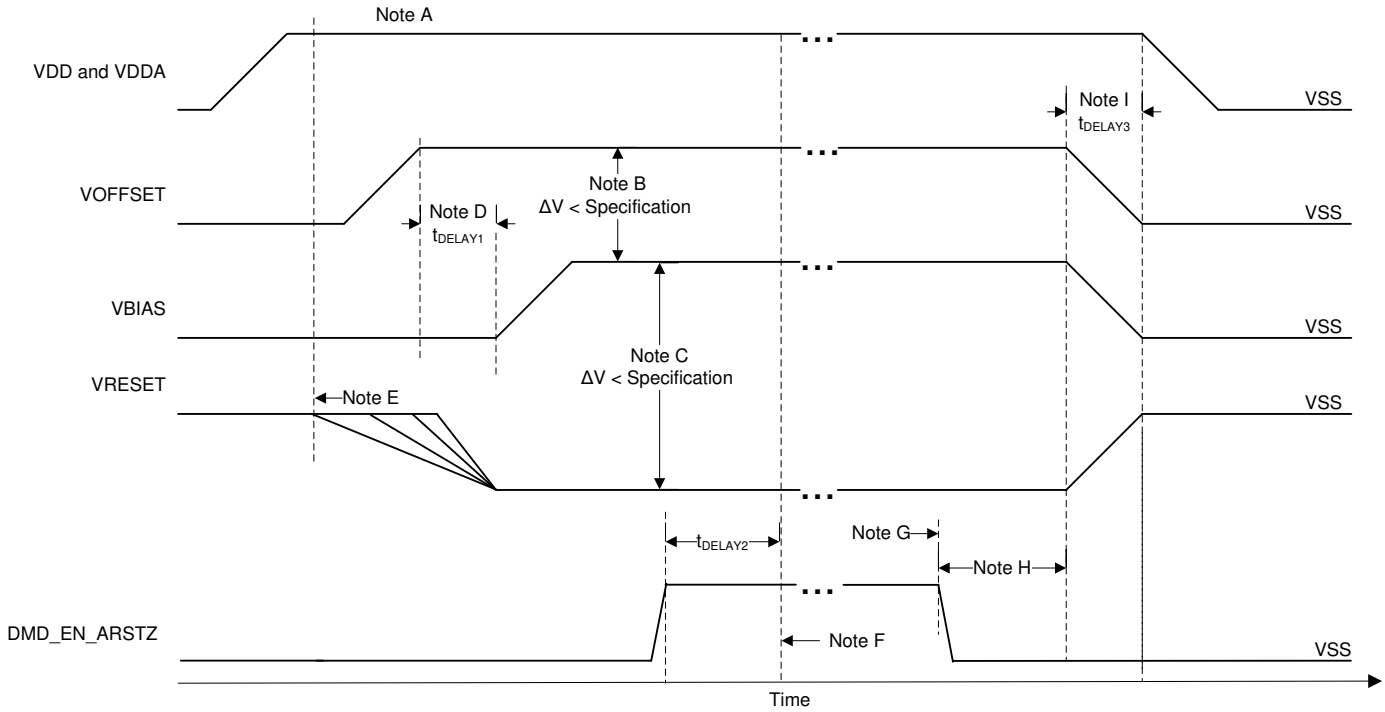
- パワーアップ時には常に、V_{OFFSET} に で指定された Delay1 を加えた電圧、V_{BIAS}、および V_{RESET} 電圧が DMD に印加される前に、V_{DD} および V_{DDA} が起動および安定する必要があります。
- パワーアップ時には、V_{BIAS} と V_{OFFSET} の電圧差が、セクション 5.4 に示される指定限界内でなければならないという厳しい要件があります。
- パワーアップ中、V_{BIAS} を基準とした V_{RESET} の相対タイミングは不要です。
- 過渡電圧レベルが、セクション 5.1、セクション 5.4、図 8-1 で規定されている要件に従えば、パワーアップ時の電源スルーレートを柔軟に設定できます。
- パワーアップ時、*推奨動作条件*に示す動作電圧で V_{DD} が安定するまで、LVCMOS 入力ピンを high に駆動しないでください。

8.2 DMD 電源のパワーダウン手順

- パワーダウン時には、V_{BIAS}、V_{RESET}、および V_{OFFSET} がグランドの指定限界内で放電されるまで、V_{DD} および V_{DDA} を供給する必要があります。
- パワーダウン時には、V_{BIAS} と V_{OFFSET} の電圧差が、セクション 5.4 に示される指定限界内でなければならないという厳しい要件があります。
- パワーダウン中、V_{BIAS} を基準とした V_{RESET} の相対タイミングは不要です。

Copyright © 2025 Texas Instruments Incorporated

- 過渡電圧レベルが、セクション 5.1、セクション 5.4、図 8-1.で規定されている要件に従えば、パワーダウン時の電源スルーレートを柔軟に設定できます。
- パワーダウン時は、LVCMOS 入力ピンを セクション 5.4 で規定されている値未満にする必要があります。



A. *「ピンの機能」表*については、セクション 4 を参照してください。
B. 過剰な電流を防止するため、電源電圧の差 $|V_{OFFSET} – V_{BIAS}|$ は、セクション 5.4 の指定限界値よりも小さい必要があります。
C. 過剰な電流を防止するため、電源差 $|V_{BIAS} – V_{RESET}|$ は、セクション 5.4 の指定限界値よりも小さい必要があります。
D. V_{BIAS} は、V_{OFFSET} がパワーアップした後に、Delay1 仕様に従ってパワーアップする必要があります。
E. DLP コントローラ ソフトウェアにより、グローバル V_{BIAS} コマンドが開始されます。
F. DMD のマイクロミラー パーク シーケンスの完了後、DLP コントローラ ソフトウェアはハードウェア パワーダウンを開始し、DMD_EN_ARSTZ を有効にして、V_{BIAS}、V_{RESET}、V_{OFFSET} を無効化します。
G. 電力損失条件下で、DLP コントローラのハードウェア DMD_EN_ARSTZ によって緊急 DMD マイクロミラー パーク手順が実行されている場合は、low になります。
H. Delay2 仕様に準拠して、V_{OFFSET}、V_{BIAS}、および V_{RESET} が low になるまで、V_{DD} は high に維持する必要があります。
I. 過剰な電流を防止するため、電源電圧のデルタ $|V_{DDA} – V_{DD}|$ は、セクション 5.4 の指定限界値よりも小さい必要があります。

図 8-1. DMD 電源要件

9 レイアウト

9.1 レイアウトのガイドライン

DLP391TP DMD は、インターポーザを使用して PCB またはフレックス回路に接続します。長さの一致やインピーダンスなどのレイアウトのガイドラインの詳細については、DLPC8445V コントローラのデータシートを参照してください。詳細なレイアウト例については、レイアウト設計ファイルを参照してください。DLP391TP DMD に配線するためのレイアウトのガイドラインを以下に示します。

- DLPC8445V コントローラのデータシートに規定されている LS_WDATA 信号と LS_CLK 信号の長さを一致させます。
- DLPC8445V コントローラのデータシートに規定されている HS_BUS 差動信号の長さを一致させます。
- HS バス信号のビア、層変更、巻線を最小限に抑えます。
- 必要な電源容量は、設計ごとに異なります。一般的な指針については、レイアウト設計ファイルを参照してください。設計上のすべての電源が、DMD の推奨動作範囲内で動作していることを確認します。

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 デバイス サポート

10.2.1 デバイスの命名規則

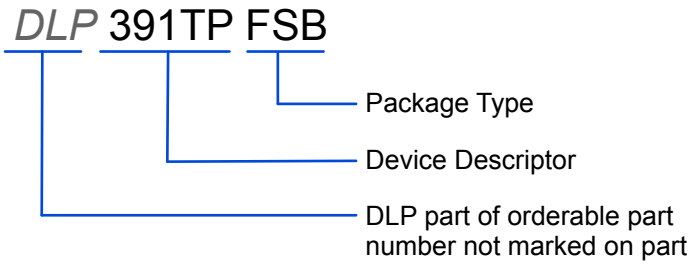


図 10-1. 部品番号の説明

10.2.2 デバイスのマーキング

デバイスのマーキングには、人間が読める情報と 2 次元マトリクス コードの両方を使用しています。人間が読める情報は図 10-2 に示されており、判読可能な文字列 GHJJJJK DLP391TPFSB が含まれています。GHJJJJK はロットのトレース コードで、DLP391TPFSB はデバイスのマーキングです。

例：GHJJJJK DLP391TPFSB

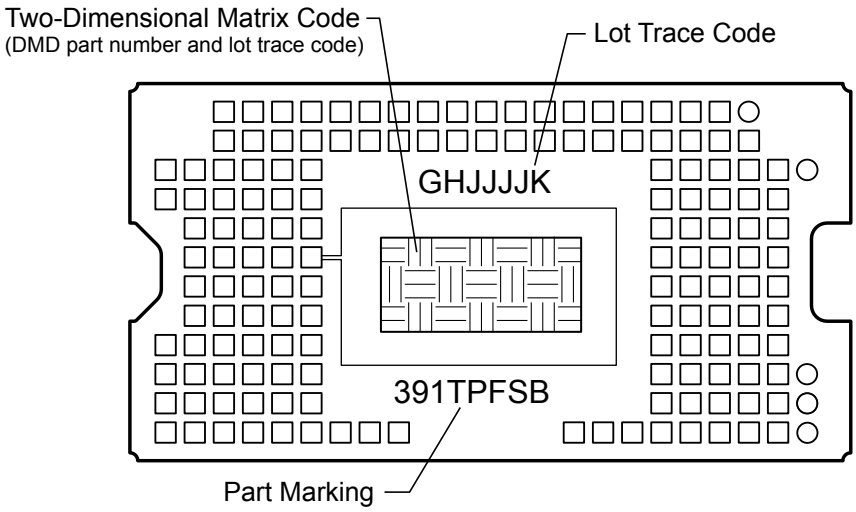


図 10-2. DMD のマーキング位置

10.3 ドキュメントのサポート

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
DLP® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
2025 年 9 月	A	ドキュメントのステータスを*事前情報*から:「*量産データ*」

Copyright © 2025 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP391TPFSB	Active	Production	CLGA (FSB) | 154	96 | JEDEC TRAY (5+1)	Yes	NIAU	N/A for Pkg Type	0 to 70	
XDLP391TPFSB.A	Active	Preproduction	CLGA (FSB) | 154	96 | JEDEC TRAY (5+1)	-	Call TI	Call TI	0 to 70	
XDLP391TPFSB.B	Active	Preproduction	CLGA (FSB) | 154	96 | JEDEC TRAY (5+1)	-	Call TI	Call TI	0 to 70	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

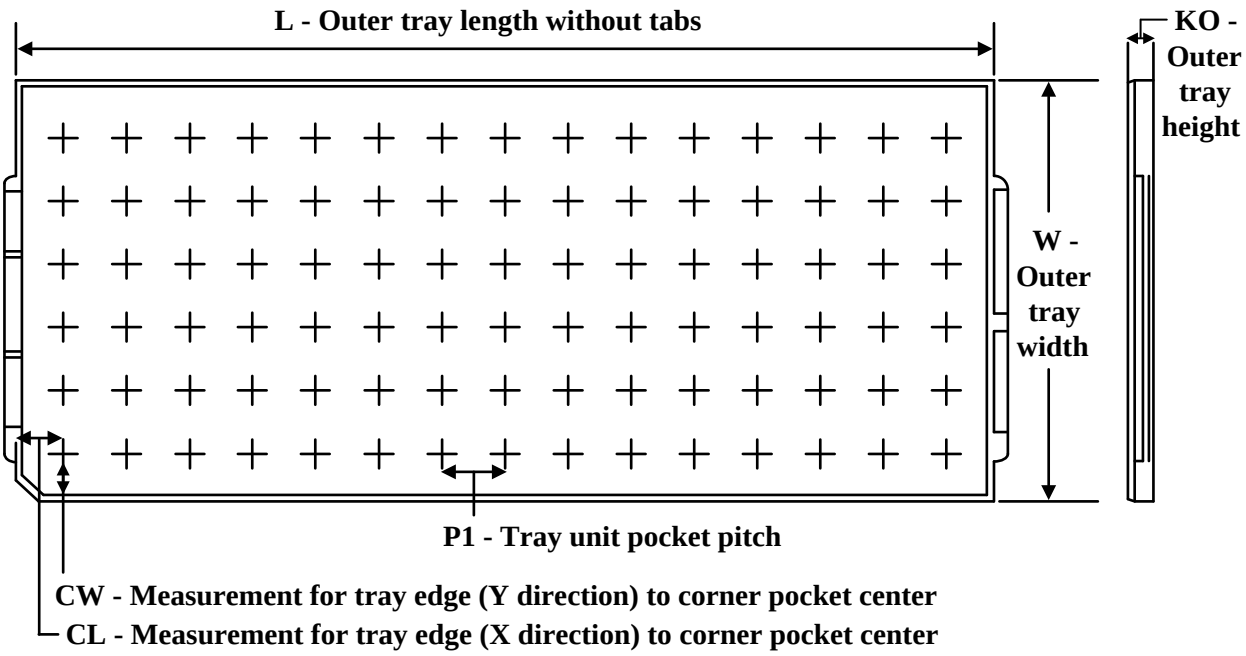
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DLP391TPFSB	FSB	CLGA	154	96	8 x 12	150	315	135.9	12190	23	31	15.45

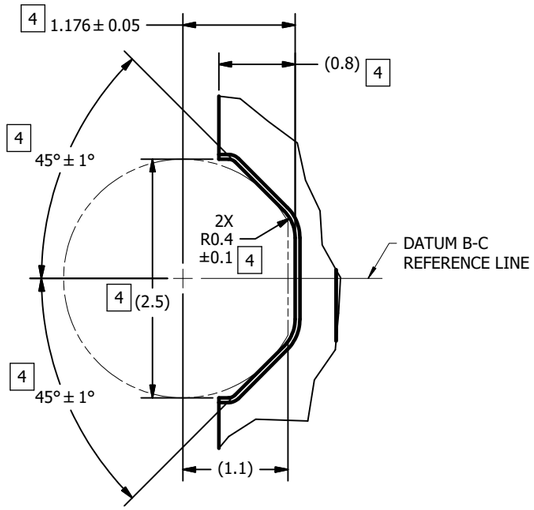
© COPYRIGHT 2024 TEXAS INSTRUMENTS
UN-PUBLISHED, ALL RIGHTS RESERVED.

REVISIONS

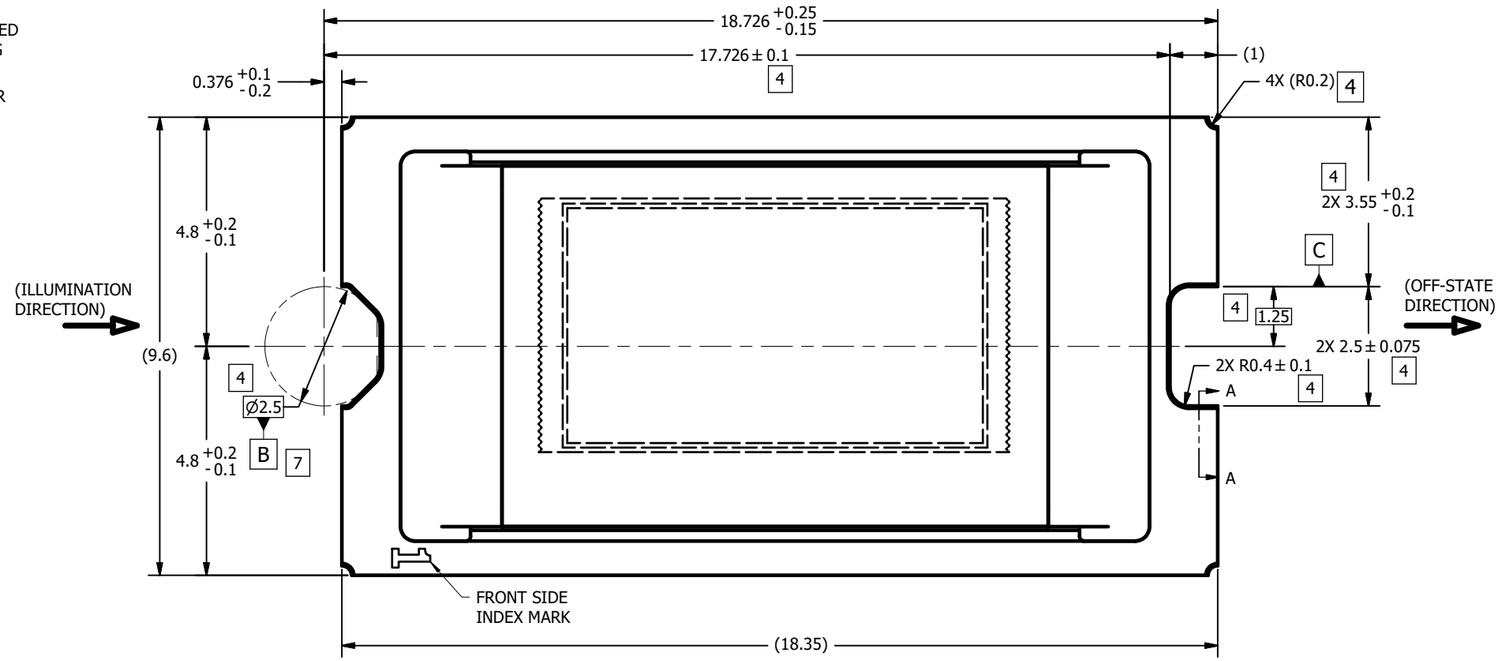
REV	DESCRIPTION	DATE	BY
A	ECO 2209009: INITIAL RELEASE	6/19/2024	BMH

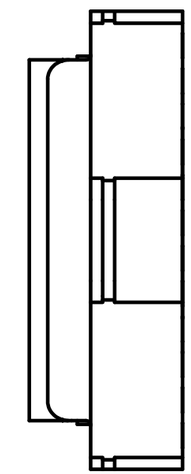
NOTES UNLESS OTHERWISE SPECIFIED:

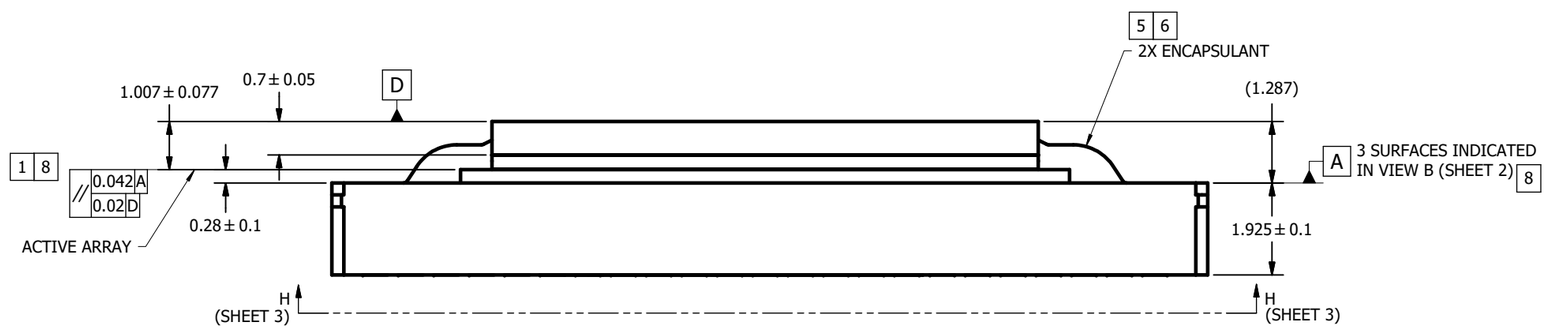
1. DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY.
2. ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND HAS A MAXIMUM ALLOWED VALUE OF 0.6 DEGREES.
3. BOUNDARY MIRRORS SURROUNDING THE DMD ACTIVE ARRAY.
4. NOTCH DIMENSIONS ARE DEFINED BY SECOND LAYER OF CERAMIC, AS SHOWN IN SECTION A-A.
5. ENCAPSULANT TO BE CONTAINED WITHIN DIMENSIONS SHOWN IN VIEW D (SHEET 3). NO ENCAPSULANT IS ALLOWED ON TOP OF THE WINDOW.
6. ENCAPSULANT NOT TO EXCEED THE HEIGHT OF THE WINDOW.
7. SEE DETAIL B FOR "V-NOTCH" DIMENSIONS.
8. WHILE ONLY THE THREE DATUM A TARGET AREAS A1, A2, AND A3 ARE USED FOR MEASUREMENT, ALL 4 CORNERS SHOULD BE CONTACTED, INCLUDING E1, TO SUPPORT MECHANICAL LOADS.
9. SHORTING TEST PADS AND SYMBOLIZATION PAD TO EACH OTHER AND/OR TO VSS IS ACCEPTABLE.

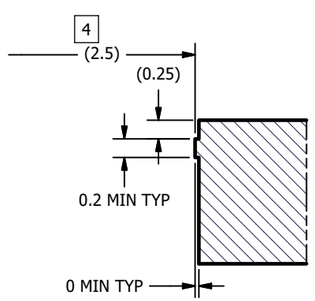


DETAIL B
V-NOTCH
SCALE 32 : 1









SECTION A-A
NOTCH OFFSETS
SCALE 25 : 1
(ROTATED 90°)

	0314DA
NEXT ASSY	USED ON
APPLICATION	

THIRD ANGLE PROJECTION

UNLESS OTHERWISE SPECIFIED
- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES:
  - ANGLES ± 1°
  - 2 PLACE DECIMALS ± 0.25
  - 1 PLACE DECIMALS ± 0.50
- ~~DIMENSIONAL LIMITS APPLY BEFORE PROCESSES~~
- INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5M-1994
- ~~REMOVE ALL BURRS AND SHARP EDGES~~
- PARENTHETICAL INFORMATION FOR REFERENCE ONLY

		DATE
DRAWN	B. HASKETT	6/19/2024
ENGINEER	B. HASKETT	6/19/2024
QA/CE	P. KONRAD	6/20/2024
CM	J. McKINLEY	6/24/2024
APPROVED	M. GARCIA	6/26/2024

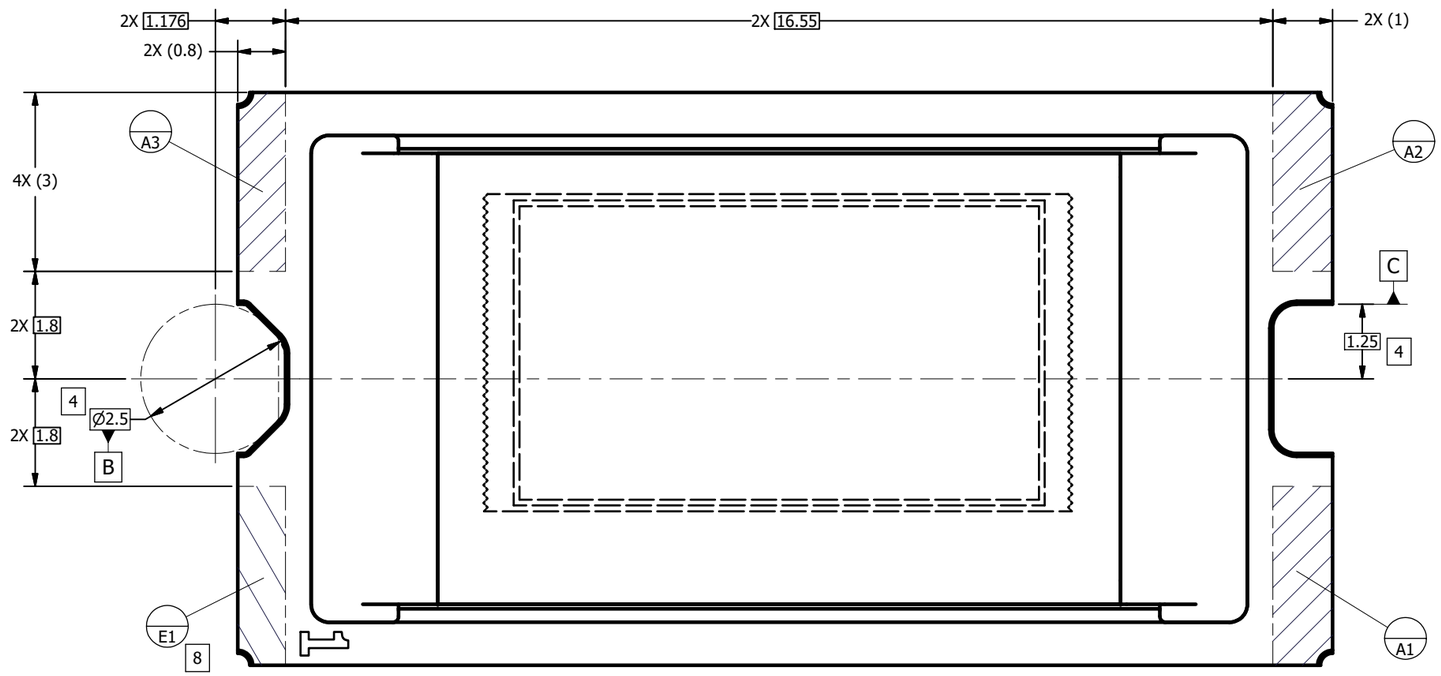
TEXAS INSTRUMENTS
Dallas Texas

TITLE
ICD, MECHANICAL, DMD,
.39 4K SERIES 323
(FSB PACKAGE)

SIZE	DWG NO	REV
D	2519203	A

SCALE 16:1 SHEET 1 OF 5

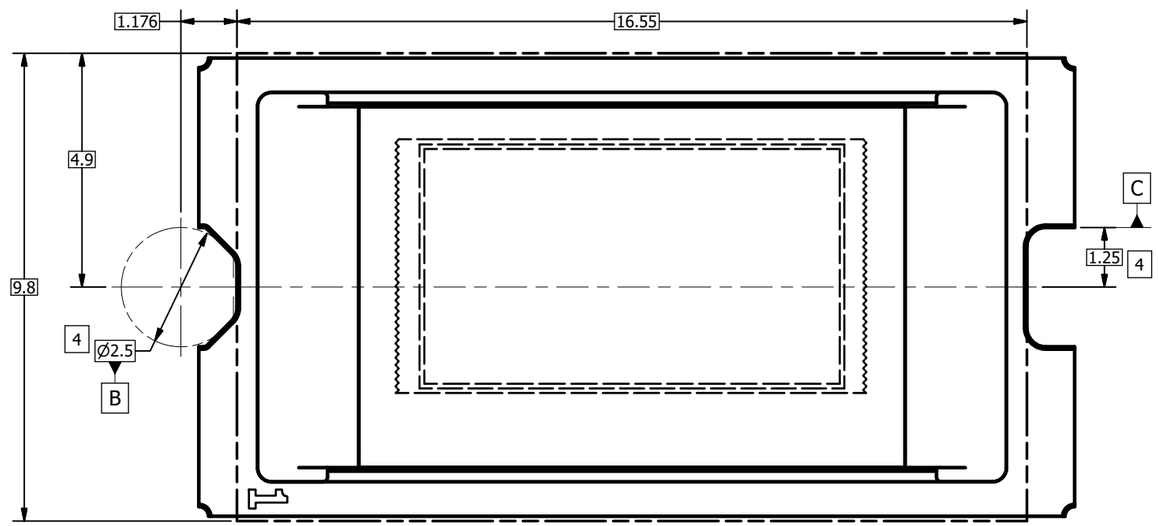
INV11-2006a



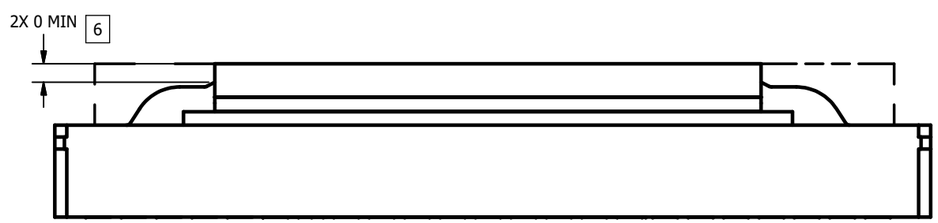
VIEW C
DATUMS A AND E
SCALE 20 : 1
(FROM SHEET 1)

TEXAS INSTRUMENTS Dallas Texas	DRAWN B. HASKETT	DATE 6/19/2024	SIZE D	DWG NO 2519203	REV A
			SCALE	SHEET 2 OF 5	

INV11-2006a



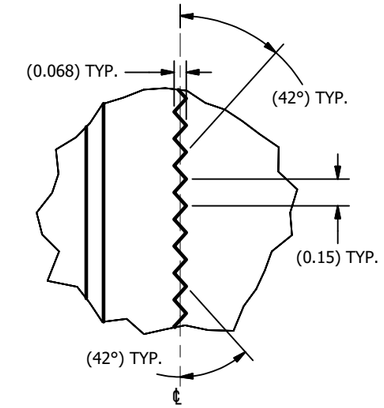
VIEW D
ENCAPSULANT MAXIMUM X/Y DIMENSIONS 5
(FROM SHEET 1)



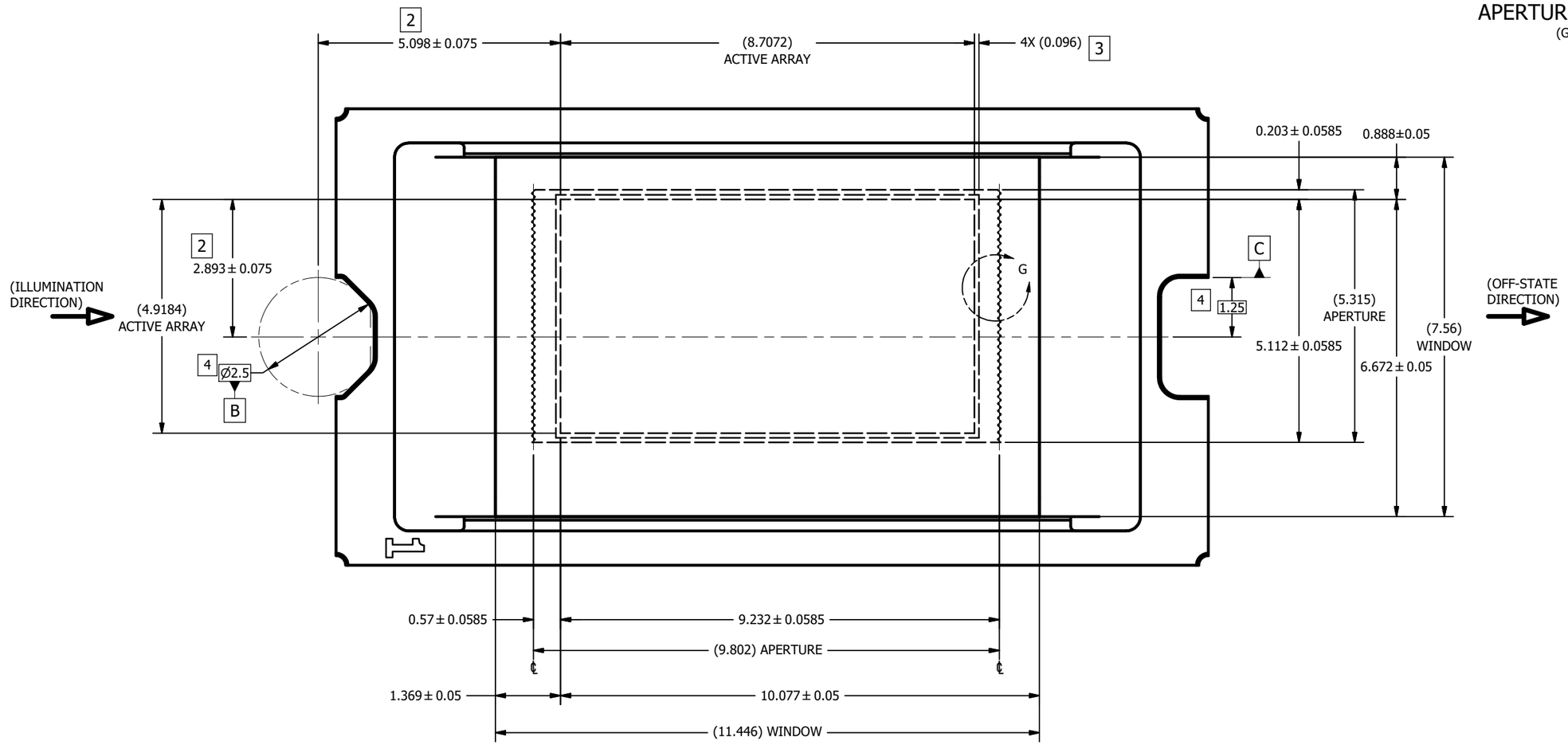
VIEW E
ENCAPSULANT MAXIMUM HEIGHT

TEXAS INSTRUMENTS Dallas Texas	DRAWN B. HASKETT	DATE 6/19/2024	SIZE D	DWG NO 2519203	REV A
			SCALE	SHEET 3 OF 5	

INV11-2006a

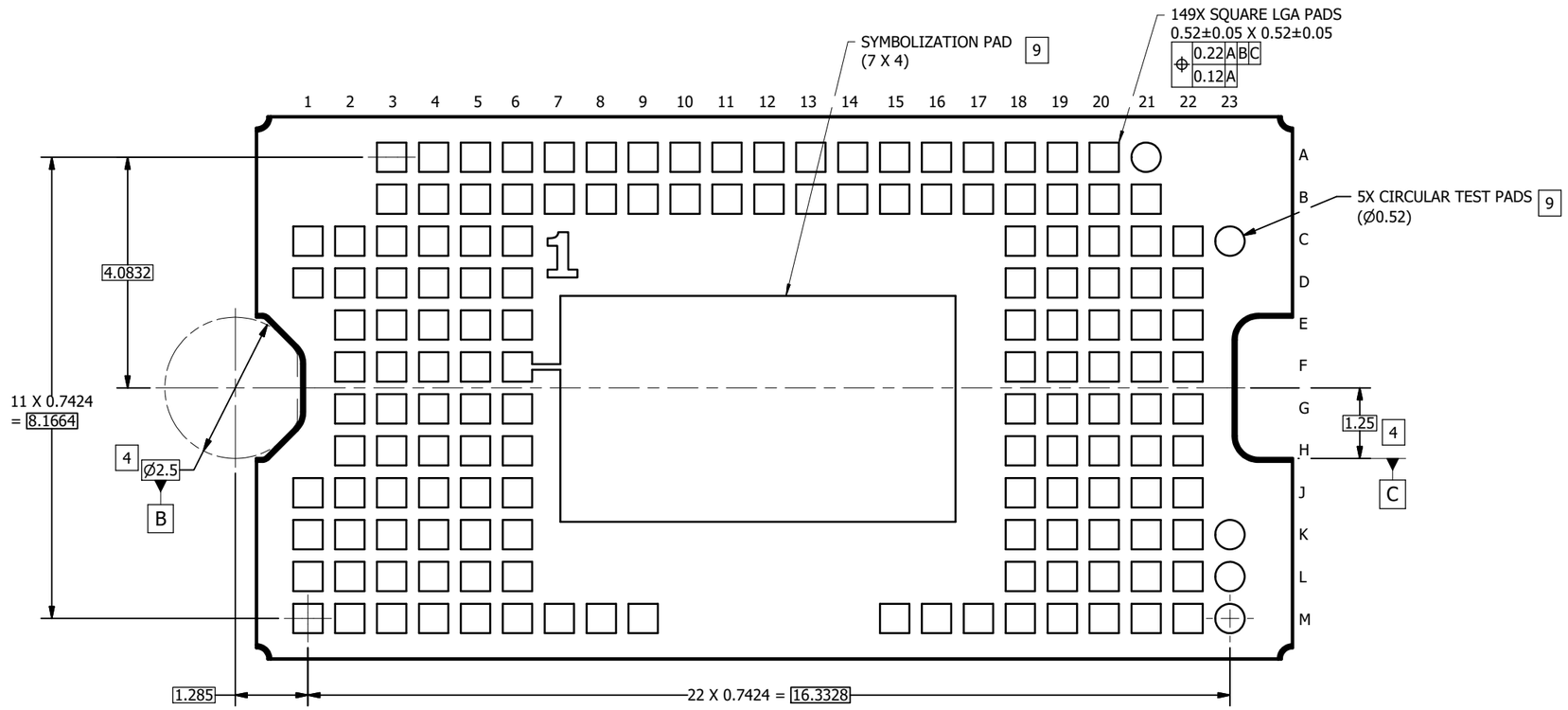


DETAIL G
APERTURE LEFT AND RIGHT EDGES
(GLASS OMITTED FOR CLARITY)
SCALE 60 : 1



VIEW F
WINDOW AND ACTIVE ARRAY
SCALE 20 : 1
(FROM SHEET 1)

TEXAS INSTRUMENTS Dallas Texas	DRAWN B. HASKETT	DATE 6/19/2024	SIZE D	DWG NO 2519203	REV A
			SCALE	SHEET 4 OF 5	



VIEW H-H
BACK SIDE METALLIZATION
SCALE 20 : 1

TEXAS INSTRUMENTS Dallas Texas	DRAWN B. HASKETT	DATE 6/19/2024	SIZE D	DWG NO 2519203	REV A
			SCALE	SHEET 5 OF 5	

INV11-2006a

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月