DLP800XE 0.8 4K+ デジタル マイクロミラー デバイス

1 特長

- 対角 0.8 インチのマイクロミラー アレイ
  - 4K+ (3840 × 2400) ディスプレイ解像度
  - 9.0µm のマイクロミラー ピッチ
  - マイクロミラー傾斜角 : ±14.5° (平面に対して)
  - コーナー照明
- 高輝度の大会場用ディスプレイ向けに高い光出力密度をサポート
  - 最大 22W/cm^2 の総合光出力密度
- 2 個の LVDS 入力データ バス
- 4K+～60 Hz をサポート
- DLPC4420 ディスプレイ コントローラ、DLPA100 パワー マネージメント/ モーター ドライバ IC によってサポートされたレーザー蛍光、RGB レーザー

2 アプリケーション

- 大会場向けプロジェクタ
- スマート・プロジェクタ
- 企業向けプロジェクタ
- デジタル・サイネージ

3 説明

DLP800XE デジタル マイクロミラー デバイス (DMD) は、高輝度 4K+ 固体照明ディスプレイ システムを可能にするデジタル制御型 MEMS (Micro-ElectroMechanical System) 空間光変調器 (SLM) です。テキサス・インスツルメンツの DLP® 0.8 インチ 4K+ チップセットは、DMD、2 つの DLPC4420 ディスプレイ コントローラ、DLPA300 マイクロミラー ドライバ、DLPA100 パワー / モーター ドライバで構成されています。このコンパクトなチップセットは、半導体照明を使った小型の 4K+ ディスプレイを実現する包括的なシステムを提供します。

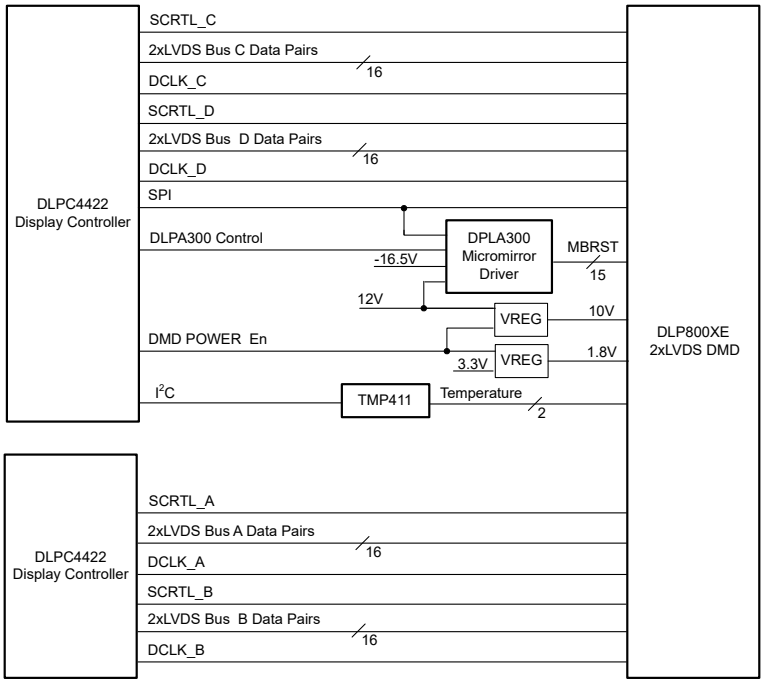
設計期間の短縮に役立つように、この DMD エコシステムは定評あるリソースで構成されており、これには、すぐに購入可能な光モジュール、光モジュール メーカー、デザイン ハウスなどが含まれます。

DMD を使用して設計を始める方法の詳細については、*「テキサス・インスツルメンツの DLP ディスプレイ テクノロジーを使用した設計の開始」*のページをご覧ください。

製品情報

部品番号(1)	パッケージ	パッケージ サイズ
DLP800XE	FYV (350)	35.0mm × 32.2mm

(1) 詳細については、*「メカニカル、パッケージ、および注文情報」*を参照してください。



アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....11
5.1 絶対最大定格.....11
5.2 保存条件.....11
5.3 ESD 定格.....11
5.4 推奨動作条件.....12
5.5 熱に関する情報.....15
5.6 電気的特性.....15
5.7 タイミング要件.....15
5.8 システム実装インターフェイスの荷重.....20
5.9 マイクロミラー アレイの物理特性.....21
5.10 マイクロミラー アレイの光学特性.....22
5.11 ウィンドウの特性.....24
5.12 チップセット コンポーネントの使用方法の仕様.....25
6 詳細説明.....26
6.1 概要.....26
6.2 機能ブロック図.....26
6.3 機能説明.....26
6.4 デバイスの機能モード.....27
6.5 光学インターフェイスおよびシステムの画質に関する検討事項.....27
6.6 マイクロミラー アレイ温度の計算.....28
6.7 マイクロミラーの電力密度の計算.....29
6.8 ウィンドウ アパーチャイル ミネーション オーバーフィル計算.....30
6.9 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル.....32
7 アプリケーションと実装.....35
7.1 アプリケーション情報.....35
7.2 代表的なアプリケーション.....35
7.3 温度センサ ダイオード.....38
8 電源に関する推奨事項.....40
8.1 DMD 電源要件.....40
8.2 DMD 電源のパワーアップ手順.....40
8.3 DMD 電源のパワーダウン手順.....40
9 レイアウト.....42
9.1 レイアウトのガイドライン.....42
9.2 レイアウト例.....42
10 デバイスおよびドキュメントのサポート.....44
10.1 サード・パーティ製品に関する免責事項.....44
10.2 デバイス サポート.....44
10.3 デバイスのマーキング.....44
10.4 ドキュメントのサポート.....45
10.5 ドキュメントの更新通知を受け取る方法.....45
10.6 サポート・リソース.....45
10.7 商標.....45
10.8 静電気放電に関する注意事項.....45
10.9 用語集.....45
11 改訂履歴.....46
12 メカニカル、パッケージ、および注文情報.....46

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

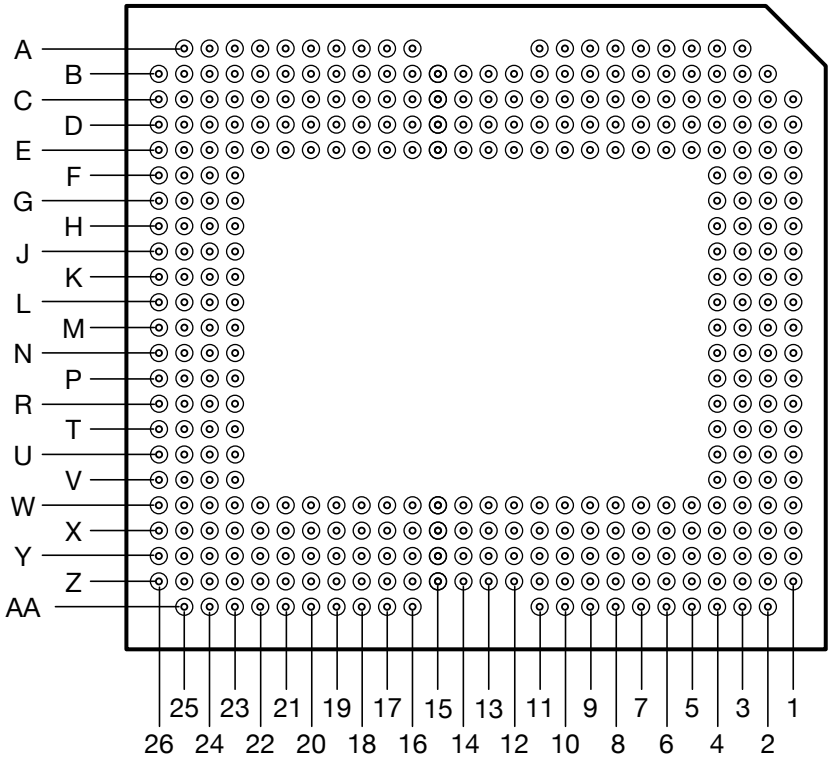


図 4-1. FYV パッケージ (350 ピン) 底面図

表 4-1. ピンの機能

ピン		タイプ[1]	ピンの説明	信号のタイプ	終端
信号	PGA_PAD				
LVDS BUS A					
D_AN (0)	E10	I	高速差動ペア	LVDS	差動 100Ω
D_AP (0)	E11	I			
D_AN (1)	D6	I	高速差動ペア		差動 100Ω
D_AP (1)	C6	I			
D_AN (2)	E3	I	高速差動ペア		差動 100Ω
D_AP (2)	D3	I			
D_AN (3)	C7	I	高速差動ペア		差動 100Ω
D_AP (3)	C8	I			
D_AN (4)	D8	I	高速差動ペア		差動 100Ω
D_AP (4)	D7	I			
D_AN (5)	E6	I	高速差動ペア		差動 100Ω
D_AP (5)	E5	I			
D_AN (6)	C5	I	高速差動ペア		差動 100Ω
D_AP (6)	C4	I			
D_AN (7)	B8	I	高速差動ペア		差動 100Ω
D_AP (7)	B9	I			
D_AN (8)	B6	I	高速差動ペア		差動 100Ω
D_AP (8)	B5	I			
D_AN (9)	C10	I	高速差動ペア		差動 100Ω
D_AP (9)	B10	I			
D_AN (10)	A9	I	高速差動ペア		差動 100Ω
D_AP (10)	A10	I			
D_AN (11)	C13	I	高速差動ペア		差動 100Ω
D_AP (11)	C14	I			
D_AN (12)	B12	I	高速差動ペア		差動 100Ω
D_AP (12)	B13	I			
D_AN (13)	C17	I	高速差動ペア		差動 100Ω
D_AP (13)	C16	I			
D_AN (14)	B15	I	高速差動ペア		差動 100Ω
D_AP (14)	B16	I			
D_AN (15)	D15	I	高速差動ペア		差動 100Ω
D_AP (15)	E15	I			
DCLK_AN	B3	I	高速差動ペア		差動 100Ω
DCLK_AP	C3	I			
SCTRL_AN	E4	I	高速差動ペア		差動 100Ω
SCTRL_AP	D4	I			
LVDS BUS B					

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	ピンの説明	信号のタイプ	終端
信号	PGA_PAD				
D_BN (0)	W10	I	高速差動ペア	LVDS	差動 100Ω
D_BP (0)	W11	I			
D_BN (1)	Z3	I	高速差動ペア		差動 100Ω
D_BP (1)	Y3	I			
D_BN (2)	W4	I	高速差動ペア		差動 100Ω
D_BP (2)	X4	I			
D_BN (3)	Y7	I	高速差動ペア		差動 100Ω
D_BP (3)	Y8	I			
D_BN (4)	X8	I	高速差動ペア		差動 100Ω
D_BP (4)	X7	I			
D_BN (5)	Y6	I	高速差動ペア		差動 100Ω
D_BP (5)	X6	I			
D_BN (6)	X3	I	高速差動ペア		差動 100Ω
D_BP (6)	W3	I			
D_BN (7)	Z8	I	高速差動ペア		差動 100Ω
D_BP (7)	Z9	I			
D_BN (8)	Z6	I	高速差動ペア		差動 100Ω
D_BP (8)	Z5	I			
D_BN (9)	Y10	I	高速差動ペア		差動 100Ω
D_BP (9)	Z10	I			
D_BN (10)	AA9	I	高速差動ペア		差動 100Ω
D_BP (10)	AA10	I			
D_BN (11)	Y13	I	高速差動ペア		差動 100Ω
D_BP (11)	Y14	I			
D_BN (12)	Z12	I	高速差動ペア		差動 100Ω
D_BP (12)	Z13	I			
D_BN (13)	Y17	I	高速差動ペア		差動 100Ω
D_BP (13)	Y16	I			
D_BN (14)	Z15	I	高速差動ペア		差動 100Ω
D_BP (14)	Z16	I			
D_BN (15)	X15	I	高速差動ペア		差動 100Ω
D_BP (15)	W15	I			
DCLK_BN	Y4	I	高速差動ペア		差動 100Ω
DCLK_BP	Y5	I			
SCTRL_BN	W5	I	高速差動ペア		差動 100Ω
SCTRL_BP	W6	I			
LVDS BUS C					

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	ピンの説明	信号のタイプ	終端
信号	PGA_PAD				
D_CN (0)	B18	I	高速差動ペア	LVDS	差動 100Ω
D_CP (0)	B19	I			
D_CN (1)	H24	I	高速差動ペア		差動 100Ω
D_CP (1)	G24	I			
D_CN (2)	L23	I	高速差動ペア		差動 100Ω
D_CP (2)	K23	I			
D_CN (3)	C18	I	高速差動ペア		差動 100Ω
D_CP (3)	C19	I			
D_CN (4)	A19	I	高速差動ペア		差動 100Ω
D_CP (4)	A20	I			
D_CN (5)	E24	I	高速差動ペア		差動 100Ω
D_CP (5)	D24	I			
D_CN (6)	K25	I	高速差動ペア		差動 100Ω
D_CP (6)	J25	I			
D_CN (7)	C26	I	高速差動ペア		差動 100Ω
D_CP (7)	D26	I			
D_CN (8)	C21	I	高速差動ペア		差動 100Ω
D_CP (8)	B21	I			
D_CN (9)	G25	I	高速差動ペア		差動 100Ω
D_CP (9)	F25	I			
D_CN (10)	A24	I	高速差動ペア		差動 100Ω
D_CP (10)	B24	I			
D_CN (11)	J26	I	高速差動ペア		差動 100Ω
D_CP (11)	K26	I			
D_CN (12)	D25	I	高速差動ペア		差動 100Ω
D_CP (12)	C25	I			
D_CN (13)	E23	I	高速差動ペア		差動 100Ω
D_CP (13)	D23	I			
D_CN (14)	B23	I	高速差動ペア		差動 100Ω
D_CP (14)	C23	I			
D_CN (15)	K24	I	高速差動ペア		差動 100Ω
D_CP (15)	L24	I			
DCLK_CN	H23	I	高速差動ペア		差動 100Ω
DCLK_CP	G23	I			
SCTRL_CN	F26	I	高速差動ペア		差動 100Ω
SCTRL_CP	G26	I			
LVDS BUS D					

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	ピンの説明	信号のタイプ	終端
信号	PGA_PAD				
D_DN (0)	Z18	I	高速差動ペア	LVDS	差動 100Ω
D_DP (0)	Z19	I			
D_DN (1)	T24	I	高速差動ペア		差動 100Ω
D_DP (1)	U24	I			
D_DN (2)	N23	I	高速差動ペア		差動 100Ω
D_DP (2)	P23	I			
D_DN (3)	Y18	I	高速差動ペア		差動 100Ω
D_DP (3)	Y19	I			
D_DN (4)	AA19	I	高速差動ペア		差動 100Ω
D_DP (4)	AA20	I			
D_DN (5)	W24	I	高速差動ペア		差動 100Ω
D_DP (5)	X24	I			
D_DN (6)	P25	I	高速差動ペア		差動 100Ω
D_DP (6)	R25	I			
D_DN (7)	Y26	I	高速差動ペア		差動 100Ω
D_DP (7)	X26	I			
D_DN (8)	Y21	I	高速差動ペア		差動 100Ω
D_DP (8)	Z21	I			
D_DN (9)	U25	I	高速差動ペア		差動 100Ω
D_DP (9)	V25	I			
D_DN (10)	AA24	I	高速差動ペア		差動 100Ω
D_DP (10)	Z24	I			
D_DN (11)	R26	I	高速差動ペア		差動 100Ω
D_DP (11)	P26	I			
D_DN (12)	X25	I	高速差動ペア		差動 100Ω
D_DP (12)	Y25	I			
D_DN (13)	W23	I	高速差動ペア		差動 100Ω
D_DP (13)	X23	I			
D_DN (14)	Z23	I	高速差動ペア		差動 100Ω
D_DP (14)	Y23	I			
D_DN (15)	P24	I	高速差動ペア		差動 100Ω
D_DP (15)	N24	I			
DCLK_DN	T23	I	高速差動ペア		差動 100Ω
DCLK_DP	U23	I			
SCTRL_DN	V26	I	高速差動ペア		差動 100Ω
SCTRL_DP	U26	I			
SCP インターフェイス					
SCPCLK	U2	I	シリアル通信ポート CLK	LVCMOS	内部プルダウン
SCPDI	T3	I	シリアル通信データ入力	LVCMOS	内部プルダウン
SCPENZ	U4	I	シリアル通信ポートをイネーブルにします	LVCMOS	内部プルダウン
SCPDO	U3	O	シリアル通信ポート出力	LVCMOS	内部プルダウン
その他の信号					
DMD_PWRDNZ	G4	I	チップレベルの ResetZ	LVCMOS	内部プルダウン

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	ピンの説明	信号のタイプ	終端
信号	PGA_PAD				
N/C	G1、H1、J1、J3、J4、K3、P3、R1、R3、R4、T1、U1、V3、D17、X17、K4、P4、F3、G2、W18、G3、H3、X16	接続なし			
TEMP_N	W16	I/O			
TEMP_P	W17	I/O			
マイクロミラー バイアス リセット入力					
MBRST(0)	E14	I	ミラー作動信号		
MBRST(1)	D13	I	ミラー作動信号		
MBRST(2)	E13	I	ミラー作動信号		
MBRST(3)	C12	I	ミラー作動信号		
MBRST(4)	E12	I	ミラー作動信号		
MBRST(5)	C11	I	ミラー作動信号		
MBRST(6)	D16	I	ミラー作動信号		
MBRST(7)	C15	I	ミラー作動信号		
MBRST(8)	W14	I	ミラー作動信号		
MBRST(9)	X13	I	ミラー作動信号		
MBRST(10)	W13	I	ミラー作動信号		
MBRST(11)	Y12	I	ミラー作動信号		
MBRST(12)	W12	I	ミラー作動信号		
MBRST(13)	Y11	I	ミラー作動信号		
MBRST(14)	Y15	I	ミラー作動信号		
電源およびグランド					
VDD	A5, A6, B2, C1, D10, D12, D19, D22, E8, E19, E20, E21, E22, F1, F2, J2, K1, L1, L25, M3, M4, M25, N1, N25, P1, R2, V1, V2, W8, W19, W20, W21, W22, X10, X12, X19, X22, Y1, Z1, Z2, AA2, AA5, AA6	P	低電圧の CMOS コア電源		

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	ピンの説明	信号のタイプ	終端
信号	PGA_PAD				
VDDI	A7、A8、A11、A16、A17、A18、A21、A22、A23、AA7、AA8、AA11、AA16、AA17、AA18、AA21、AA22、AA23	P	I/O 電源		
VCC2	A3、A4、A25、B26、L26、M26、N26、Z26、AA3、AA4、AA25	P	メモリ アレイの昇圧電圧		

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	ピンの説明	信号のタイプ	終端
信号	PGA_PAD				
VSS	B4、B7、B11、B14、B17、B20、B22、B25、C2、C9、C20、C22、C24、D1、D2、D5、D9、D11、D14、D18、D20、D21、E1、E2、E7、E9、E16、E17、E18、E25、E26、F4、F23、F24、H2、H4、H25、H26、J23、J24、K2、L2、L3、L4、M1、M2、M23、M24、N2、N3、N4、P2、R23、R24、T2、T4、T25、T26、V4、V23、V24、W1、W2、W7、W9、W25、W26、X1、X2、X5、X9、X11、X14、X18、X20、X21、Y2、Y9、Y20、Y22、Y24、Z4、Z7、Z11、Z14、Z17、Z20、Z22、Z25	G	グローバル グランド		

(1) I = 入力、O = 出力、P = 電源、G = グランド、NC = 未接続

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

		最小値	最大値	単位
消費電圧				
V_{DD}	LVCMOS コアロジックの電源電圧(1)	-0.5	2.3	V
V_{DDI}	LVDS インターフェイスの電源電圧(1)	-0.5	2.3	V
V_{CC2}	マイクロミラー電極と HVCMOS 電圧(1) (2)	-0.5	11	V
V_{MBRST}	MBRST ピンでの入力電圧(1)	-17.5	22.5	V
$\|V_{DDI} – V_{DD}\|$	電源電圧差 (絶対値)(3)		0.3	V
入力電圧				
$\|V_{ID}\|$	LVDS ピンの入力差動電圧 (絶対値)		500	mV
V_LVCMOS	他のすべての入力ピンの入力電圧(1)	-0.3	V_{DDI} + 0.3	V
環境				
T_{ARRAY}	温度、動作時(4)	0	90	℃
	温度、非動作時(4)	-40	90	℃
T_{DP}	露点温度、動作時および非動作時 (結露なし)		81	℃

(1) すべての電圧は、共通グランド V_{SS} を基準としています。すべての DMD 動作モードにおいて、V_{DD}、V_{DDI}、V_{CC2} の電源がすべて必要です。
(2) V_{CC2} 電源過渡電圧は、規定電圧内に収まる必要があります。
(3) V_{DD} と V_{DDI} の間の許容される電圧差を超えると、過剰な電流が流れる場合があります。
(4) アレイ温度は直接測定することはできず、図 6-1 に示すテスト ポイント 1 (TP1) で測定した温度から、*マイクロミラー アレイ温度計算*を用いて解析的に算出する必要があります。

5.2 保存条件

部品としての DMD、またはシステムで動作していない DMD に適用できます

		最小値	最大値	単位
T_{DMD}	DMD の保存温度	-40	80	℃
T_{DP-AVG}	平均露点温度 (結露なし) (1)		28	℃
T_{DP-ELR}	高温の露点温度範囲 (結露なし) (2)	28	36	℃
CT_{ELR}	高温の露点温度範囲における累積時間		24	毎月

(1) デバイスが「高温の露点温度範囲」にない経時的な平均値 (保存や動作を含みます)。
(2) 保存時および動作時の高温範囲で露点温度への曝露は、CT_{ELR} の合計累積時間未満に制限する必要があります。

5.3 ESD 定格

記号	パラメータ	説明	値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	±500	V
$V_{(ESD)}$	静電放電 (MBRST ピン)	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠	±150	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)。このデータ シートに記載されたデバイスの機能性能は、この表で定義された限界内でデバイスを動作させた場合に達成されます。デバイスをこれらの限界を超えて、または下回って動作させた場合には、いかなる性能レベルも保証されません。

		最小値	公称値	最大値	単位
電圧電源					
V_{DD}	LVCMOS コアロジックの電源電圧[1]	1.65	1.8	1.95	V
V_{DDI}	LVDS インターフェイスの電源電圧[1]	1.65	1.8	1.95	V
V_{CC2}	マイクロミラー電極と HVCMOS 電圧[1] [2]	9.5	10	10.5	V
V_{MBRST}	マイクロミラー バイアス/リセット電圧[1]	-17		21.5	V
$\|V_{DD} – V_{DDI}\|$	電源電圧差 (絶対値)[3]		0	0.3	V
LVCMOS					
$V_{IH(DC)}$	入力 High 電圧	0.7 × VDD		V_{DD} + 0.3	V
$V_{IL(DC)}$	入力 Low 電圧	-0.3		0.3 × VDD	V
$V_{IH(AC)}$	入力 High 電圧	0.8 × VDD		V_{DD} + 0.3	V
$V_{IL(AC)}$	入力 Low 電圧	-0.3		0.2 × VDD	V
I_{OH}	High レベル出力電流			2	mA
I_{OL}	Low レベル出力電流	-2			mA
t_{PWRDNZ}	PWRDNZ パルス幅[4]	10			ns
SCP インターフェイス					
F_{SCPCLK}	SCP クロック周波数	50		500	kHz
$SCPCLK_{DCDIN}$	SCP Clk 入力のデューティ サイクル	40%		60%	
LVDS インターフェイス					
F_{CLOCK}	LVDS インターフェイス (すべてのチャネル) のクロック周波数、DCLK[5]			400	MHz
DCD_{IN}	入力 CLK デューティ サイクル歪み許容誤差	44%		56%	
$\|V_{ID}\|$	Su 入力差動電圧 (絶対値)[6]	150	300	440	mV
V_{CM}	同相電圧[6]	1100	1200	1300	mV
V_{LVDS}	LVDS 電圧[6]	880		1520	mV
t_{LVDS_RSTZ}	LVDS レシーバが PWRDNZ から復帰するのに必要な時間	2			µs
Z_{IN}	内部差動終端抵抗	80	100	120	Ω
Z_{LINE}	ライン差動インピーダンス (PWB / パターン)	90	100	110	Ω
環境					
T_{ARRAY}	アレイ温度、長期動作[7] [8] [9]	10		40～70[10]	℃
	アレイ温度、短期動作、最大 500 時間[9] [11]	0		10	℃
$T_{DP\ -AVG}$	平均露点温度 (結露なし)[12]			28	℃
T_{DP-ELR}	高温の露点温度範囲 (結露なし)[13]	28		36	℃
CT_{ELR}	高温の露点温度範囲における累積時間			24	毎月
Q_{AP-ILL}	ウィンドウ開口部照明オーバーフィル [14] [15] [16]			17	W/cm^2
ソリッド ステート点灯					
ILL_{UV}	波長 < 410nm における照明強度 [7] [18]			10	mW/cm^2
ILL_{VIS}	波長が 410nm 以上かつ 800nm 以下における照明強度 [17] [18]			22	W/cm^2
ILL_{IR}	波長 > 800nm における照明強度 [18]			10	mW/cm^2
ILL_{BLU}	410nm 以上 475nm 以下の波長における照明強度 [17] [18]			7.5	W/cm^2

Copyright © 2025 Texas Instruments Incorporated

5.4 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。このデータ シートに記載されたデバイスの機能性能は、この表で定義された限界内でデバイスを動作させた場合に達成されます。デバイスをこれらの限界を超えて、または下回って動作させた場合には、いかなる性能レベルも保証されません。

		最小値	公称値	最大値	単位
ILL_{BLU1}	410nm 以上 440nm 以下の波長における照明強度 (17) (18)			1.1	W/cm^2

(1) すべての電圧は、共通グランド V_{SS} を基準としています。DMD を正しく動作させるには、V_{DD}、V_{DDI}、V_{CC2} の電源がすべて必要です。V_{SS} も接続する必要があります。
(2) V_{CC2} 電源過渡電圧は、規定最大電圧内に収まる必要があります。
(3) 過剰な電流を防止するため、電源電圧のデルタ $|V_{DDI} – V_{DD}|$ は、指定限界値よりも小さい必要があります。*DMD 電源要件*を参照してください。
(4) PWRDNZ 入力ピンは SCP をリセットし、LVDS レシーバを無効にします。PWRDNZ 入力ピンは SCPENZ 入力ピンをオーバーライドし、SCPDO 出力ピンをトライ ステートにします。
(5) *タイミング要件*の LVDS クロックのタイミング要件を参照してください。
(6) LVDS 波形要件については、*LVDS 波形パラメータ*を参照してください。
(7) DMD を最大*推奨動作条件*の温度および UV 照明に同時に曝露すると、デバイスの寿命が短くなります。
(8) 長期は、デバイスの使用可能寿命と定義されます。
(9) アレイ温度は直接測定することはできず、図 6-1 に示すテスト ポイント 1 (TP1) で測定した温度から、*マイクロミラー アレイ温度計算*を用いて解析的に算出する必要があります。
(10) 図 5-1 に示すように、最大動作アレイ温度は、最終アプリケーションにおいて DMD が受けるマイクロミラーの着地デューティ サイクルに基づいてディレーティングする必要があります。マイクロミラーのランデッド デューティ サイクルの定義については、「*マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル*」を参照してください。
(11) 短期は、デバイスの有効寿命全体にわたる合計累積時間です。
(12) デバイスが「高温の露点温度範囲」にない経時的な平均値 (保存や動作を含む)。
(13) 保存時および動作時の高温範囲で露点温度への曝露は、CT_{ELR} の合計累積時間未満に制限されます。
(14) 図 5-2 で定義されている領域に適用されます
(15) DMD のアクティブ領域は、DMD デバイス アセンブリの構造を通常の視界から覆い隠す、DMD ウィンドウ面の内側にある開口部で囲まれています。 開口部は、いくつかの光学条件を想定した大きさになっています。アクティブ アレイの外側を照らすオーバーフィル光は散乱し、DMD を使用する最終アプリケーションの性能に悪影響を及ぼす可能性があります。アクティブ アレイの外部に入射する光の光束を最小限に抑えることが、照明光学システムの設計要件となっています。システムの光学アーキテクチャとアセンブリ許容誤差によっては、アクティブ アレイの外側のオーバーフィル光量がシステム性能の劣化を引き起こす可能性があります。
(16) 計算方法については、「ウィンドウ開口照度オーバーフィル計算」を参照してください。
(17) DMD に入射する最大許容光出力は、規定された各波長範囲における最大光出力密度とマイクロミラー アレイ温度 (T_{ARRAY}) によって制限されます。
(18) 計算については、「マイクロミラー電力密度の計算」を参照してください。

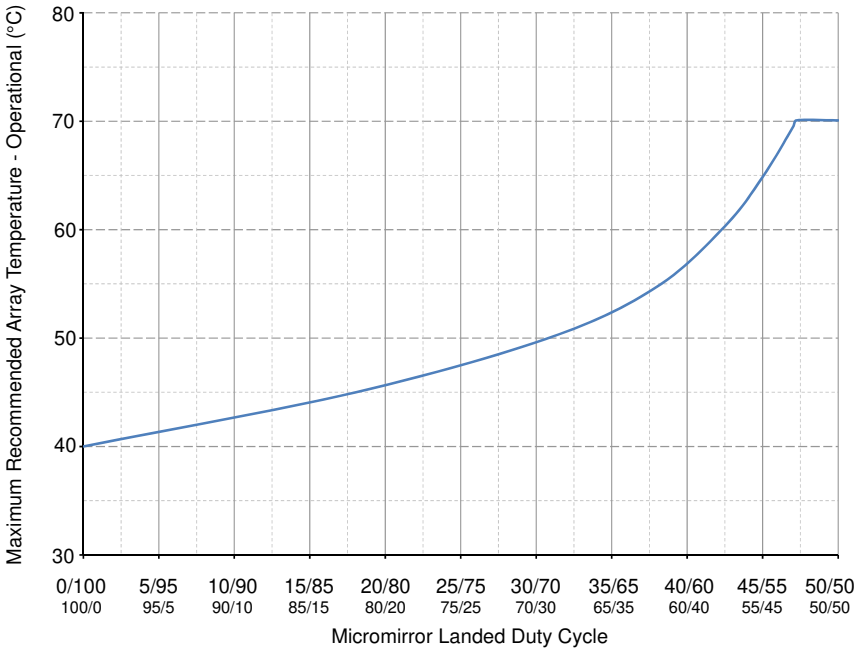


図 5-1. 推奨最大アレイ温度—ディレーティング曲線

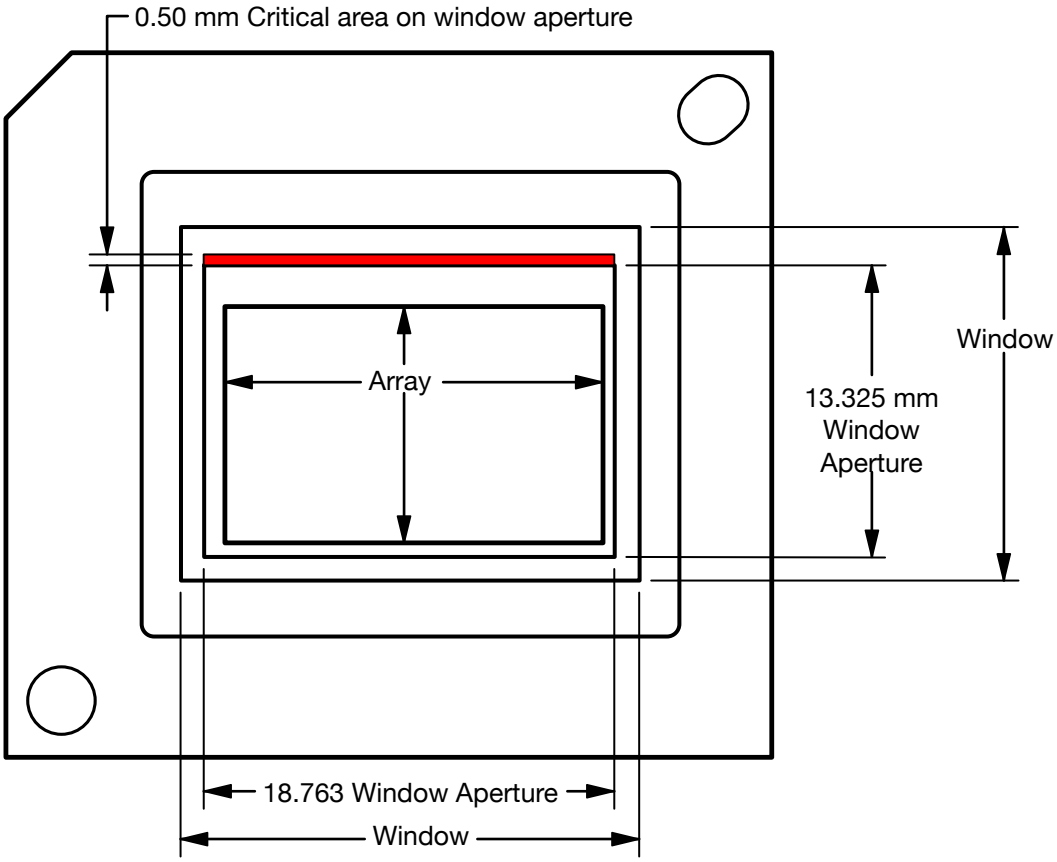


図 5-2. イルミネーション オーバーフィル ダイアグラム - クリティカル エリア

Copyright © 2025 Texas Instruments Incorporated

5.5 熱に関する情報

熱評価基準	DLP800XE FYV 350 ピン	単位
熱抵抗、テストポイント 1 (TP1) に対するアクティブ領域[1]	0.50	°C/W

(1) DMD は、吸収および放散された熱をパッケージの裏面に伝導するよう設計されています。冷却システムは、*推奨動作条件*で規定された温度範囲内に DMD を維持できる能力を備えています。
DMD に加わる総熱負荷は主にアクティブ領域に吸収される入射光によって決まりますが、その他の要因として、ウィンドウ開口部で吸収される光エネルギーやアレイの電力消費も含まれます。
光学系の設計要件として、ウィンドウの開口部の外に入射する光エネルギーを最小化することが求められます。なぜなら、この領域での熱負荷が追加されると、デバイスの信頼性が著しく低下する可能性があるからです。

5.6 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源情報						
I_{DD}	消費電流 V_{DD} [1]				1200	mA
I_{DDI}	消費電流 V_{DDI} [1]				340	mA
I_{CC2}	消費電流 V_{CC2}				40	mA
P_{DD}	消費電力 V_{DD} [1]				2340	mW
P_{DDI}	消費電力 V_{DDI} [1]				663	mW
P_{CC2}	消費電力 V_{CC2}				420	mW
LVCMOS						
V_{OH}	High レベル出力電圧	I_{OH} = 2mA	0.8			× V_{DD}
V_{OL}	Low レベル出力電圧	I_{OL} = 2mA			0.2	× V_{DD}
I_{OZ}	ハイインピーダンス出力電流	V_{DD} = 1.95V			10	µA
I_{IL}	Low レベル入力電流	VDD= 1.95V、Vin = 0V	-60			µA
I_{IH}	High レベル入力電流[2]	VDD = 1.95V、Vin = VDD			200	µA
容量						
C_I	入力容量: LVDS ピン	f = 1MHz			20	pF
C_I	入力容量[2]	f = 1MHz			15	pF
C_O	出力容量[2]	f = 1MHz			15	pF
C_{IM}	MBRST[0:14] ピンの入力容量	f = 75kHz	400	450	570	pF

(1) 過電流を防ぐため、供給電圧差 |VDDI – VDD| は、*絶対最大定格*で規定された限界未満である必要があります。
(2) LVCMOS ピンにのみ適用されます。LVDS ピンとテスト パッド ピンは含まれません

5.7 タイミング要件

*推奨動作条件範囲*内 (特に記述のない限り)

パラメータの説明		最小値	公称値	最大値	単位
SCP					
t_{SCP_DS}	SCPDI クロック セットアップ時間 (SCPCLK 立ち下がりエッジまで)[1]	800			ns
t_{SCP_DH}	SCPDI ホールド時間 (SCPCLK 立ち下がりエッジ後)[1]	900			ns
$t_{SCP_NEG_ENZ}$	SCPENZ の立ち下がりエッジから SCPCLK の立ち上がりエッジまでの時間[1]	1			µs

5.7 タイミング要件 (続き)

*推奨動作条件範囲*内 (特に記述のない限り)

パラメータの説明		最小値	公称値	最大値	単位
$t_{SCP_POS_ENZ}$	SCPCLK の立ち下がりエッジから SCPENZ の立ち上がりエッジまでの時間(1)	1			µs
$t_{SCP_OUT_EN}$	SCPENZ (トライステート解除) 後に SCP 出力バッファーが復帰するのに必要な時間(1)			960	ns
$t_{SCP_PW_ENZ}$	SCPENZ 非アクティブ パルス幅 (ハイ レベル)	1			$1/F_{scpclk}$
t_r	立ち上がり時間 (20% ～ 80%)。(2) を参照			200	ns
t_f	立ち下がり時間 (80% ～ 20%)。(2) を参照			200	ns
LVDS					
t_{R_LVDS}	立ち上がり時間 (20% ～ 80%)。(3) を参照			500	ps
t_{F_LVDS}	立ち下がり時間 (80% ～ 20%)。(3) を参照			500	ps
t_C	DCLK_C および DCLK_D のクロック サイクル継続時間	2.5			ns
t_W	DCLK_C/D のパルス幅	1.19			ns
t_{SU_data}	DCLK の前の高速データ (15:0) に対するセットアップ時間	350			ps
t_{SU_sctrl}	DCLK の前の SCTRL に対するセットアップ時間	330			ps
t_{H_data}	DCLK の後の高速データ (15:0) に対するホールド時間	150			ps
t_{H_sctrl}	DCLK の後の SCTRL に対するホールド時間	170			ps
t_{SKEW_A2B}	チャネル B とチャネル A の間のスキュー許容誤差	-1.25		1.25	ns
t_{SKEW_A2C}	チャネル A とチャネル C の間のスキュー許容誤差(4) (5)	-1.25		1.25	ns
t_{SKEW_C2D}	チャネル C とチャネル D (10)の間のスキュー許容誤差(4)	-1.25		1.25	ns

(1) *LVDS の立ち上がり/立ち下がり時間*を参照してください。
(2) *LVDS タイミング パラメータ*を参照してください。
(3) *LVDS 波形パラメータ*を参照してください。
(4) チャネル C (バス C) には次の LVDS ペアが含まれます:DCLK_C、SCTRL_C、および D_C
(5) チャネル D (バス D) には、以下の LVDS ペアが含まれます:DCLK_D、SCTRL_D、D_D。

Copyright © 2025 Texas Instruments Incorporated

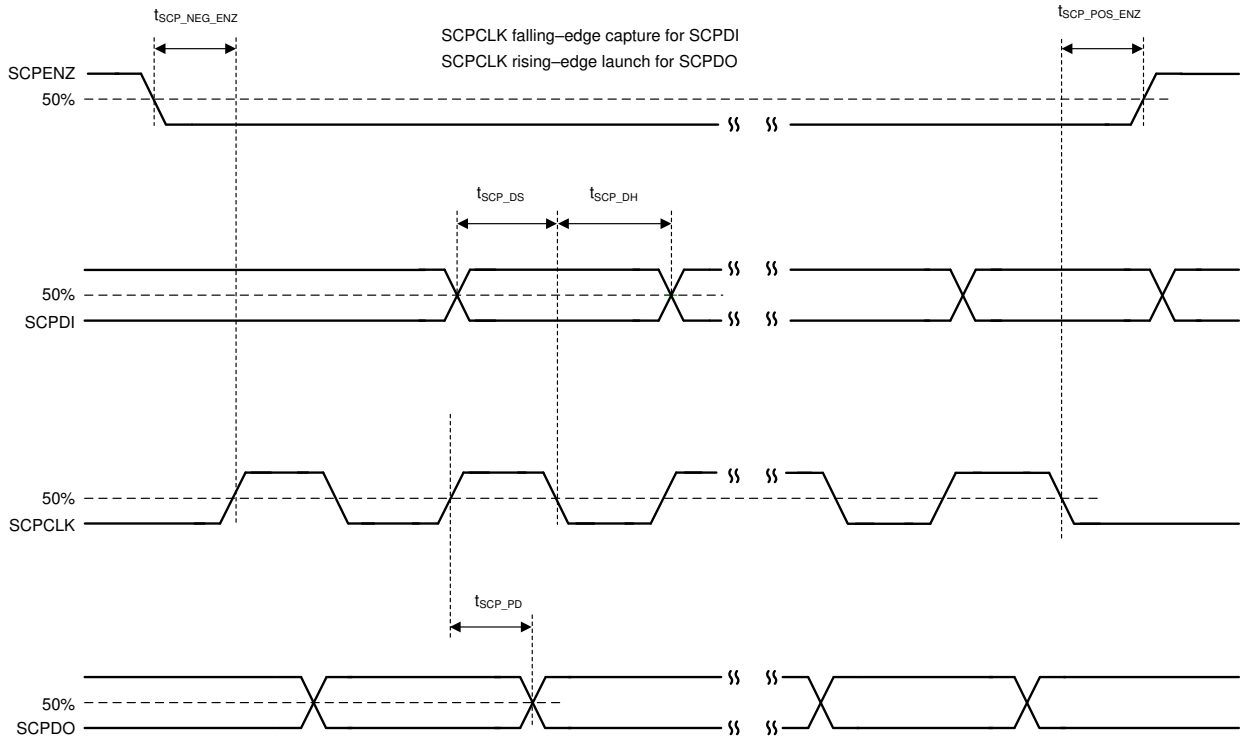


図 5-3. SCP タイミング パラメータ

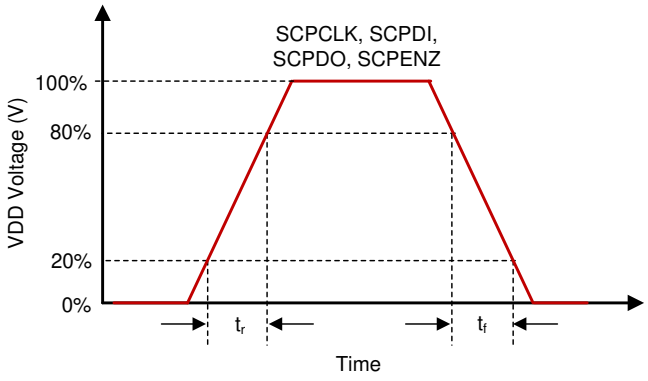


図 5-4. SCP 立ち上がり時間および立ち下がり時間

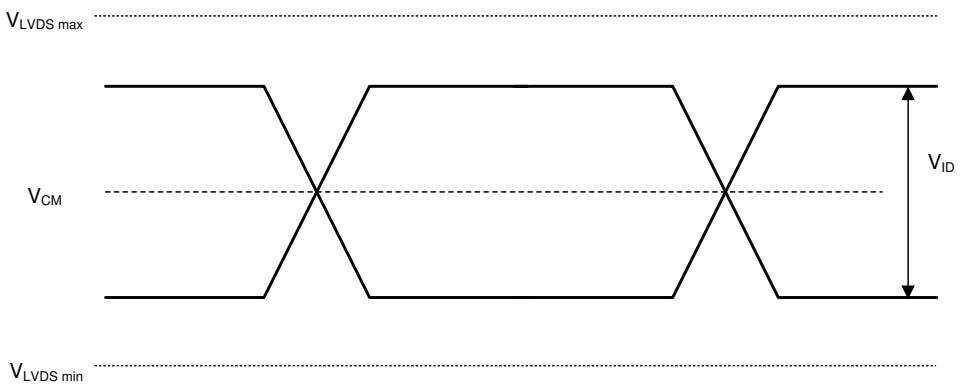


図 5-5. LVDS 波形パラメータ

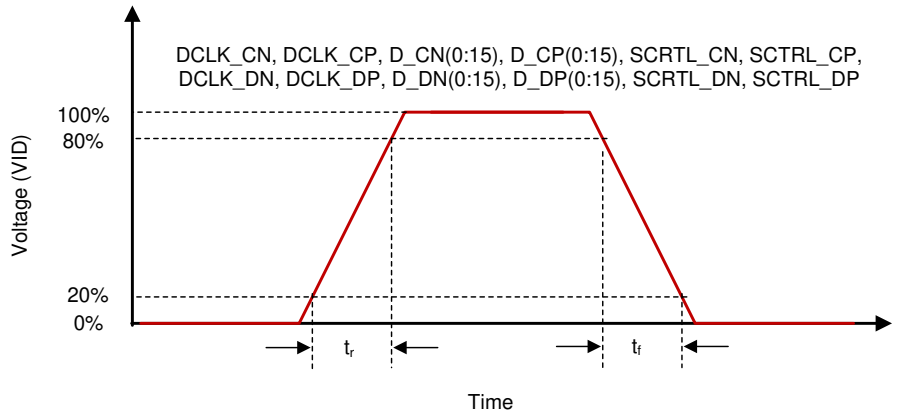


図 5-6. LVDS 立ち上がり時間および立ち下がり時間

Copyright © 2025 Texas Instruments Incorporated

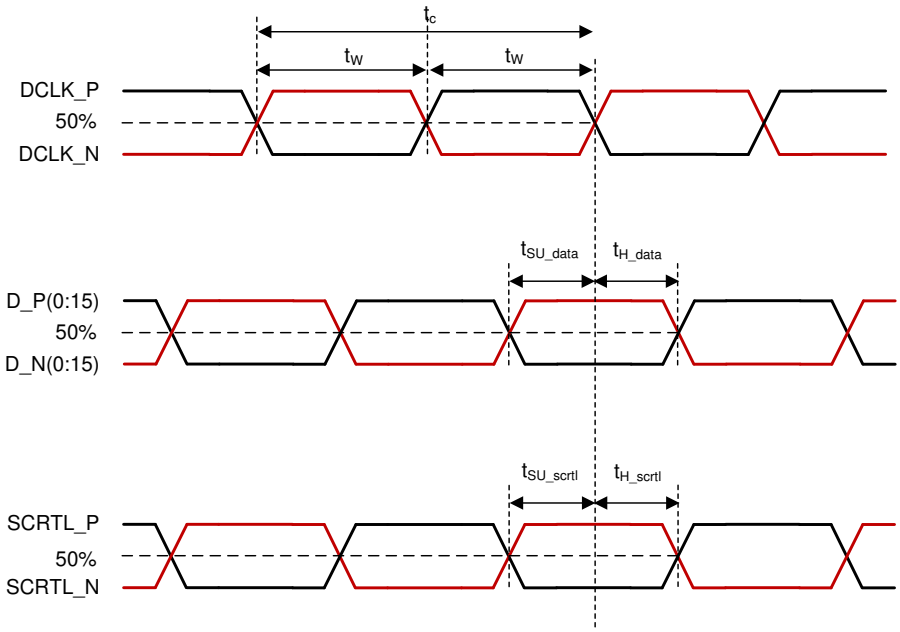


図 5-7. LVDS タイミング パラメータ

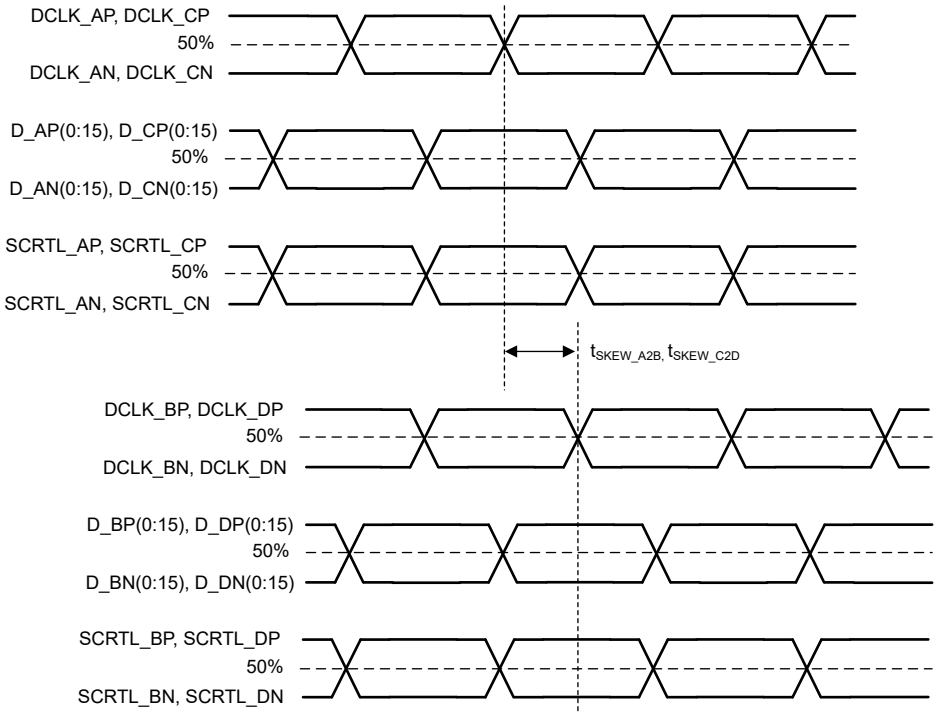


図 5-8. LVDS スキュー パラメータ

5.8 システム実装インターフェイスの荷重

パラメータ	最小値	公称値	最大値	単位
電気およびサーマルインターフェース領域の両方に荷重がかかる場合				
電気インターフェイス領域に適用される最大荷重(1)			111	N
サーマル インターフェイス領域に適用される最大負荷(1)			111	N
電気インターフェース領域のみに荷重がかかる場合				
電気インターフェイス領域に適用される最大荷重(1)			222	N
サーマル インターフェイス領域に適用される最大負荷(1)			0	N

(1) 負荷は、図 5-9 に示す対応する領域に均一に適用される必要があります。

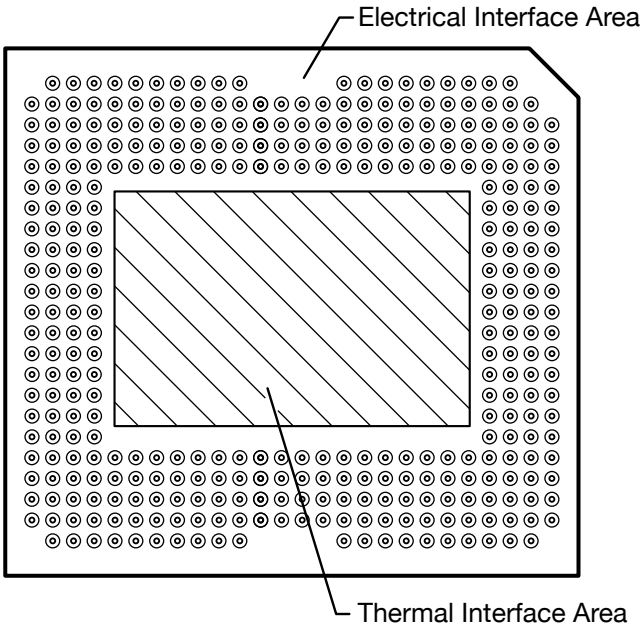


図 5-9. システム実装インターフェイスの荷重

Copyright © 2025 Texas Instruments Incorporated

5.9 マイクロミラー アレイの物理特性

パラメータの説明		値	単位
M	アクティブな列の数(1)	1920	マイクロミラー
N	アクティブな行の数(1)	1200	マイクロミラー
P	マイクロミラー (ピクセル) ピッチ(1)	9.0	µm
マイクロミラーのアクティブ アレイの幅(1)	マイクロミラーのピッチ × アクティブ列の数	17.280	mm
マイクロミラーのアクティブ アレイの高さ(1)	マイクロミラーのピッチ × アクティブ列の数	10.800	mm
マイクロミラーのアクティブ境界 (上下)(2)	マイクロミラーの池 (POM)	12	マイクロミラー / サイド
マイクロミラーのアクティブ境界 (左右)(2)	マイクロミラーの池 (POM)	12	マイクロミラー / サイド

(1) 図 5-10 を参照。
(2) アクティブ アレイの周囲の構造と特性には、部分的に機能するマイクロミラーで POM と呼ばれる帯状の領域が含まれています。これらのマイクロミラーは構造的および / または電気的に、明るい状態またはオン状態へ傾けることを防止しますが、オフ状態へ傾けるには電気的バイアスが必要です。

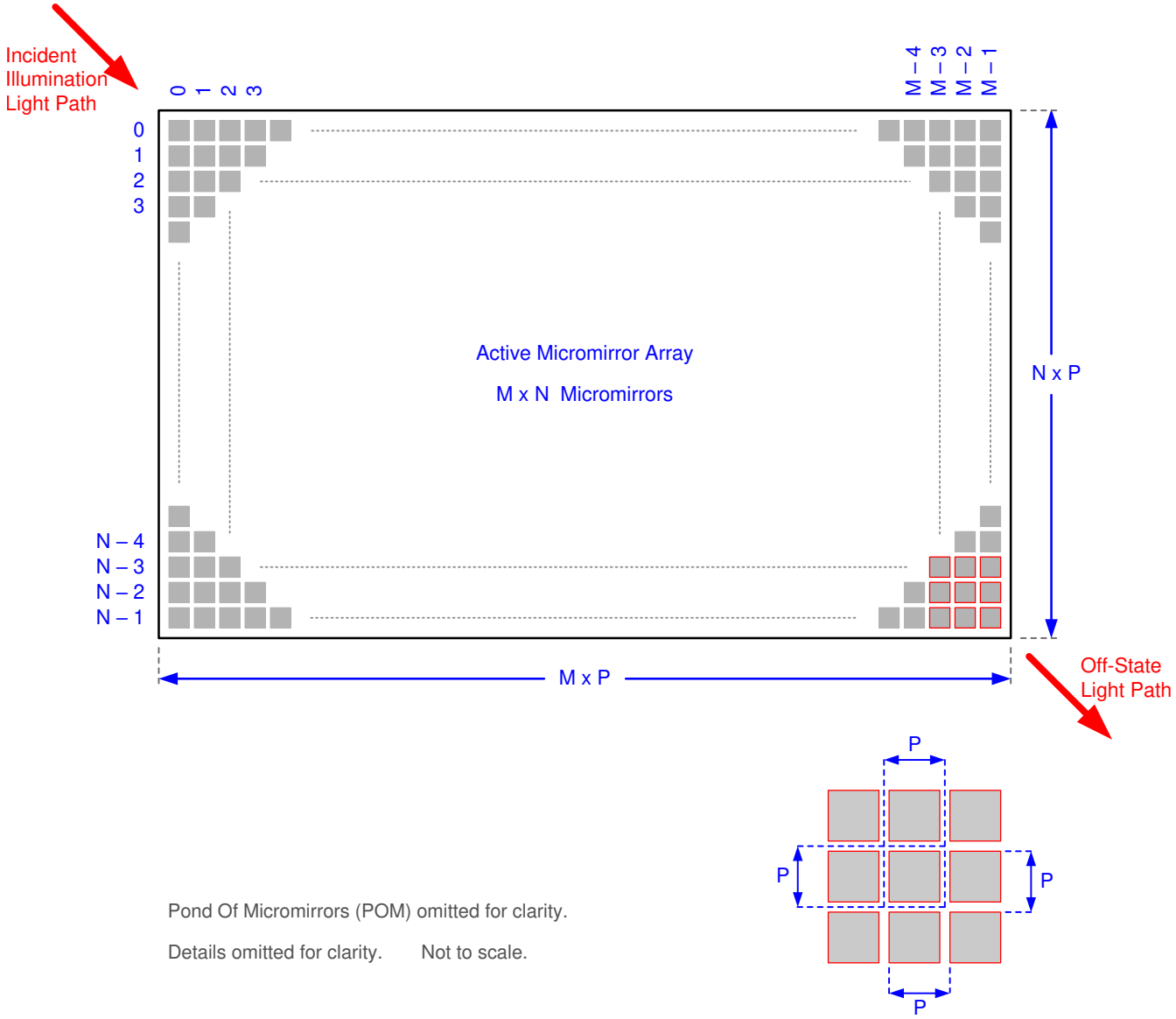


図 5-10. マイクロミラー アレイの物理特性

5.10 マイクロミラー アレイの光学特性

	パラメータ	テスト条件	最小値	標準値	最大値	単位
マイクロミラーの傾斜角(2) (3) (4) (5)		着地状態(1)	13.5	14.5	15.5	度
マイクロミラーのクロスオーバー時間(6)		標準的性能		3		µs
マイクロミラーのスイッチング時間(7)		標準的性能	8			µs
画像性能 (8)	アクティブ領域の明るいピクセル(9)	グレイの 10 画面(12)			0	マイクロミラー
	POM 内の明るいピクセル(9) (11)	グレイの 10 画面(12)			1	
	アクティブ領域の暗いピクセル(10)	白色画面(13)			4	
	隣接ピクセル(16)	任意の画面			0	
	アクティブ領域で不安定なピクセル(15)	任意の画面			0	

(1) マイクロミラー アレイ全体から形成されるプレーンを基準として測定されます。

Copyright © 2025 Texas Instruments Incorporated

(2) マイクロミラー アレイとパッケージのデータム間には、さらに大きな変動があります。
(3) 同じデバイス上または異なるデバイス上に配置された任意の 2 つの個別マイクロミラー間で発生する可能性のある変動を表しています。
(4) 一部のアプリケーションでは、システム全体の光学設計においてマイクロミラーの傾斜角の変動を考慮することが重要です。一部のシステム光学設計では、デバイス内のマイクロミラーの傾斜角が変動すると、マイクロミラー アレイから反射された光磁界では不均一性が認識される場合があります。一部のシステム光学設計では、デバイス間でマイクロミラーの傾斜角が変動すると、色測定のバラツキ、システム効率のバラツキ、またはシステム コントラストのバラツキが生じる場合があります。
(5) 図 5-11 を参照してください。
(6) マイクロミラーがある着地状態から反対側の着地状態に公称遷移するために必要な時間。
(7) マイクロミラーの連続する遷移間の最小時間。
(8) 受け入れ条件: すべての DMD 画像性能リターンは、以下の投影画像試験条件を用いて評価されます:
試験セットのデガンマは線形である必要があります。
テスト セットの輝度とコントラストは公称値に設定する必要があります。
投影画像の対角サイズは、最低 60 インチであるものとします。
投影スクリーンは 1 ゲインにするものとします。
投影画像は、最小 8 フィートの距離から検査する必要があります。
すべての画像性能試験において、画像はフォーカスされている必要があります。
(9) 明るいピクセルの定義: シングル ピクセルまたはミラーがオン位置に固定され、周囲のピクセルよりも目に見えて明るいこと
(10) 暗いピクセルの定義:シングル ピクセルまたはミラーがオフ位置に固定され、周囲のピクセルよりも目に見えて暗いこと
(11) POM の定義: アクティブ領域を囲むオフ状態のミラーによる矩形の境界
(12) グレイの 10 スクリーンの定義: RGB 値を R = 10/255、G = 10/255、B = 10/255 に設定したフル スクリーン
(13) 白色画面の定義: RGB 値を R = 255/255、G = 255/255、B = 255/255 に設定したフル スクリーン
(14) 隣接ピクセルの定義:共通の境界または共通のポイントを共有する 2 つ以上のスタック ピクセル (クラスタとも呼ばれます)。
(15) 不安定なピクセルの定義:パラメータをメモリにロードした順序で動作しないシングル ピクセルまたはミラー。不安定なピクセルは、画像と非同期にちらつきがあるように見えます。

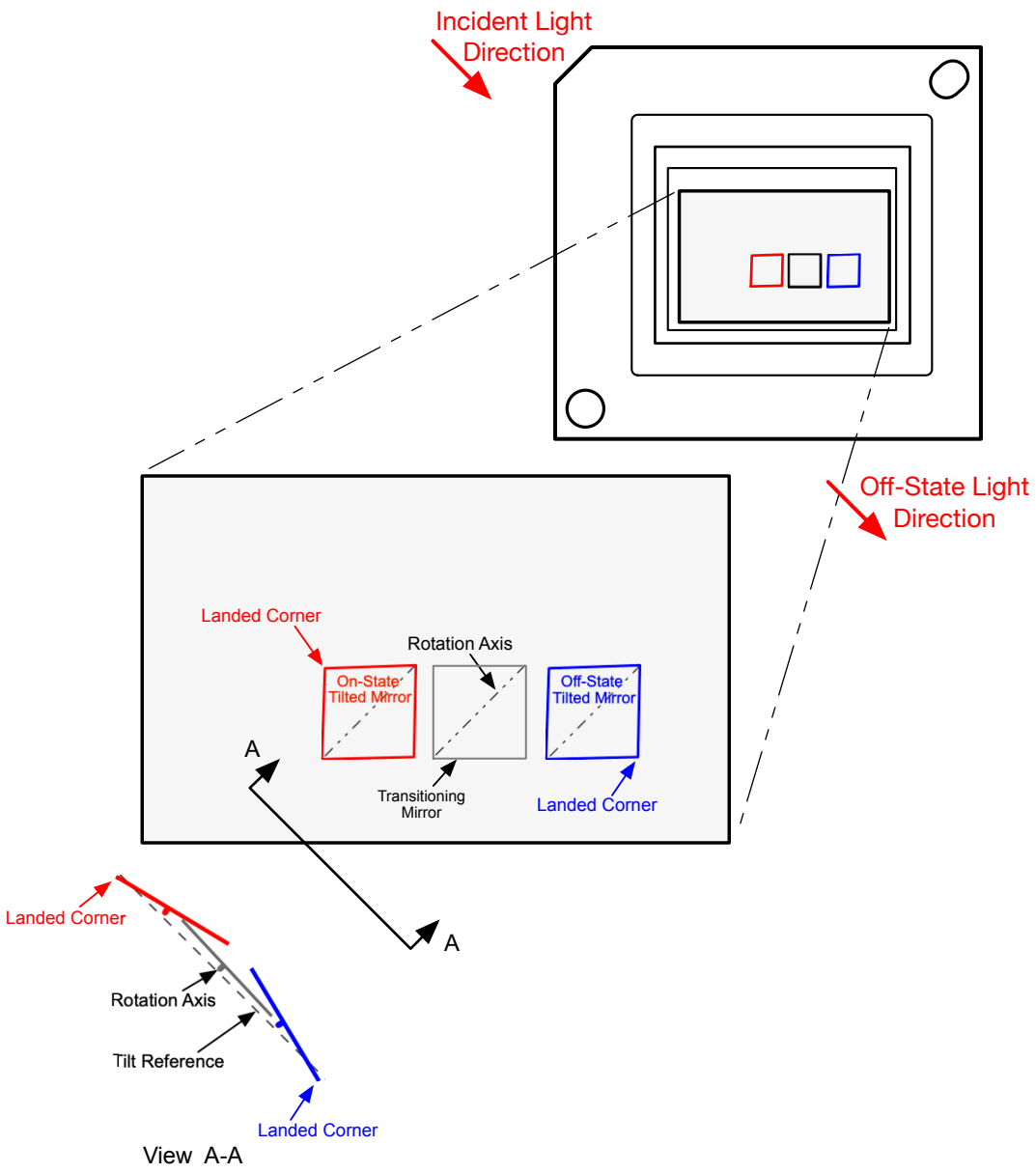


図 5-11. マイクロミラーの着地方向と傾き

5.11 ウィンドウの特性

パラメータの説明	テスト条件	最小値	公称値	最大値	単位
ウィンドウ材質			コーニング EagleXG		
ウィンドウ屈折率	546.1nm		1.5119		

Copyright © 2025 Texas Instruments Incorporated

5.12 チップセット コンポーネントの使用方法の仕様

DLP800XE DMD の信頼性の高い機能と動作を実現するには、TI の DMD 制御テクノロジーを採用または実装する部品など、該当する DLP チップセットの他の部品と組み合わせて使用する必要があります。TI の DMD 制御テクノロジーは、DLP DMD の動作または制御に使用される TI のテクノロジーとデバイスで構成されています。

注

TI は、前述の制限を超える光学システムの動作条件によって発生する画質のアーチファクトまたは DMD の故障については、一切責任を負いません。

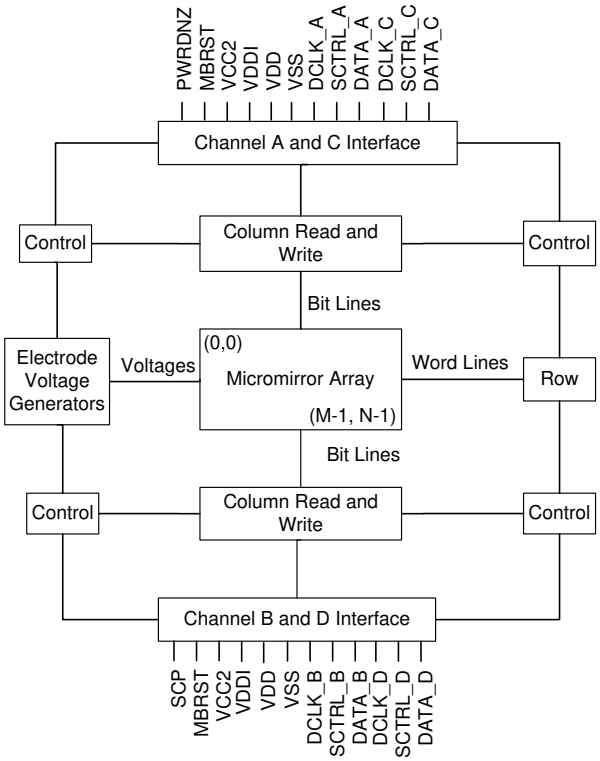
6 詳細説明

6.1 概要

DLP800XE デジタル マイクロミラー デバイス(DMD) は、対角 0.8 インチの空間光変調器で、高反射率のアルミニウム製マイクロミラーのアレイで構成されています。DMD は、電気入力、光出力の光マイクロマシン (MOEMS) です。DMD マイクロミラーの高速スイッチング速度と高度な DLP 画像処理アルゴリズムを組み合わせることで、マイクロミラー アレイは 60 Hz フレーム レートで 3840 × 2400 ピクセルのフル画像を表示できます。電気的インターフェイスは、低電圧差動信号伝送 (LVDS) インターフェイスです。DMD は、1 ビット CMOS メモリ セルの 2 次元アレイで構成されます。アレイは、M 個のメモリ セル列と N 個のメモリ セル行の格子状に編成されます。セクション 6.2 を参照してください。マイクロミラーの正または負の偏向角度は、基盤となる CMOS アドレッシング回路とマイクロミラー リセット信号 (MBRST) のアドレス電圧を変更することで、個別に制御可能です。

DLP 0.8 インチ 4K+チップセットは、DLP800XE DMD、2 つの DLPC4420 ディスプレイ コントローラ、DLPA300 マイクロミラー ドライバ、および DLPA100 電源管理、モーター ドライバで構成されています。信頼性の高い動作のために、DLP800XE DMD は常に、チップセットで指定された DLP ディスプレイ コントローラおよび電源およびモーター ドライバと併用する必要があります。

6.2 機能ブロック図



6.3 機能説明

6.3.1 電源インターフェイス

DMD は次の 2 つの DC 電圧を必要とします:VDD および VDDI 用の 1.8V ソースと、VCC2 用の 10V 電源。標準的な構成では、DLPA100 電源管理およびモーター ドライバによって 3.3V が生成され、DMD ボードで使用されて 1.8V を生成します。DLPA300 マイクロミラー ドライバは 12V を取り込み、マイクロミラーのリセット電圧を生成します。

Copyright © 2025 Texas Instruments Incorporated

6.3.2 タイミング

データシートには、デバイス ピンでのタイミングが記載されています。出力タイミング解析では、テスタのピン エレクトロニクスとその伝送ラインの影響を考慮に入れる必要があります。タイミング基準負荷は、特定のシステム環境を精密に表現したり、製造試験で示される実際の負荷を表現したりすることを意図したものではありません。テキサス・インスツルメンツは システム設計者が IBIS または他のシミュレーション ツールを使用して、タイミング基準負荷をシステム環境に関連付けることを推奨しております。AC タイミング信号の特性評価および測定には、指定の負荷容量値のみを使用してください。この負荷容量の値は、デバイスが駆動可能な最大負荷を示しているわけではありません。

6.4 デバイスの機能モード

DMD の機能モードは、DLPC4420 ディスプレイ コントローラ によって制御されます。*DLPC4420 ディスプレイ コントローラ のデータシート*を参照するか、TI アプリケーション エンジニアにお問い合わせください。

6.5 光学インターフェイスおよびシステムの画質に関する検討事項

TI は、最終製品の光学性能について一切責任を負いません。目的の最終製品の光学性能を実現するには、多数の部品とシステム設計パラメータとの間でトレードオフを決定する必要があります。システムの光学性能と画像品質の最適化は、光学システム設計のパラメータのトレードオフに大きく関係しています。想定可能なすべてのアプリケーションを予測できるわけではありませんが、プロジェクタの画質と光学性能は、以下のセクションに示す光学システムの動作条件への準拠によって決まります。

6.5.1 開口数および迷光制御

テキサス・インスツルメンツ は、照明光学系の開口数によって定義される光円錐角は、投影光学系の開口数によって定義される光円錐角と同じであることが望ましいことを推奨しています。この角度は、照明および投影瞳孔に適切な開口部を追加して、投影レンズからの平面光および迷光をブロックする場合を除いて、公称デバイスのマイクロミラー傾斜角を超えないようにする必要があります。DLP800XE の傾き角度は 14.5° で、これは f/2.0 の開口数に対応します。マイクロミラーの傾斜角により、DMD の「オン」光路をその他のライトパスから分離できます。これには、DMD ウィンドウからの望ましくない平面状態の反射、DMD の境界構造、または DMD 付近にあるプリズムやレンズ表面などのその他のシステム表面などが含まれます。開口数がマイクロミラーの傾斜角を超える場合、または投影開口数角度が照明開口数角度より 2 度以上大きい場合 (その逆も同様)、コントラストが低下し、表示境界および/またはアクティブ領域に望ましくないアーティファクトが発生する可能性があります。

6.5.2 瞳孔一致

光学的品質および画質に関する TI の仕様は、照明用光学素子の射出瞳が公称値として投影光学素子の入射瞳から 2° 以内の位置を中心としていると仮定しています。瞳孔のずれは、ディスプレイ境界とアクティブ領域に不快なアーチファクトを発生させる可能性があり、特にシステムの開口数がピクセル チルト角度を超える場合は、制御するために追加のシステム開口部が必要になる場合があります。

6.5.3 オーバーフィル照射

デバイスのアクティブ領域は、DMD チップ アセンブリの構造を通常の視界から覆い隠す、DMD ウィンドウ面の内側にある開口部で囲まれ、複数の光学動作条件を想定したサイズとなっています。ウィンドウ開口部を照らすオーバーフィル光は、ウィンドウ開口部の端からアーチファクトが発生したり、その他の表面異常が画面に表示されたりする可能性があります。照明光学システムは、ウィンドウ開口部上の任意の場所に入射する光束が、アクティブ領域の平均光束レベルの約 10% を超えないように設計する必要があります。特定のシステムの光学的アーキテクチャによっては、オーバーフィル光を推奨される 10% 未満にさらに低減して、許容可能な範囲にする必要があります。

6.6 マイクロミラー アレイ温度の計算

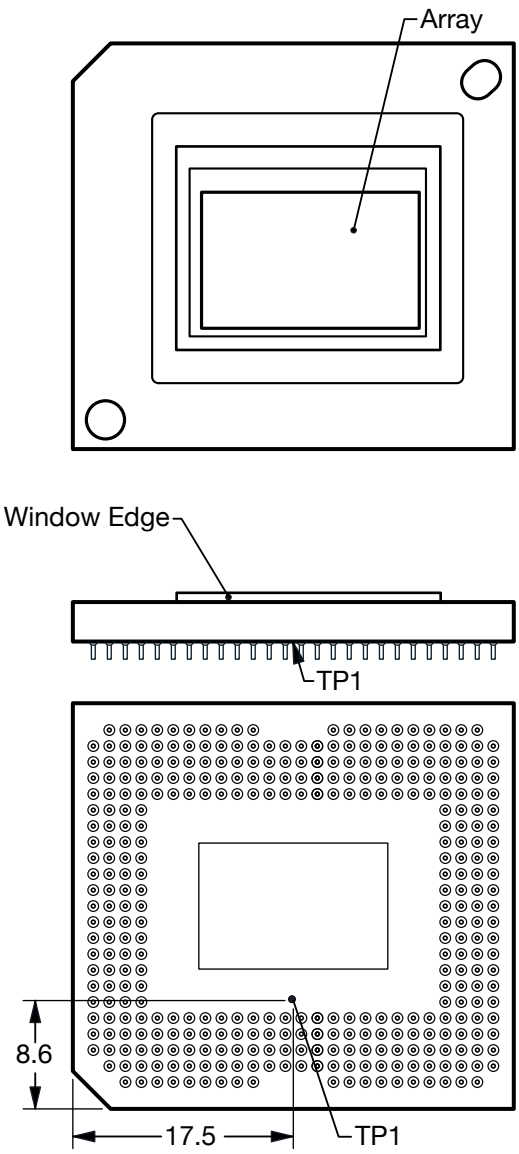


図 6-1. DMD の温度テスト ポイント

マイクロミラー アレイの温度は直接測定できないため、パッケージ外部の測定ポイント、パッケージの熱抵抗、電力、照明の熱負荷から、解析的に計算する必要があります。以下の式は、アレイ温度と上記の熱試験 TP1 の基準セラミック温度との関係を示しています:

$$T_{ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{ARRAY\text{-}TO\text{-}CERAMIC}) \quad (1)$$

$$Q_{ARRAY} = Q_{ELECTRICAL} + Q_{ILLUMINATION} \quad (2)$$

ここで、

- T_{ARRAY} = 算出されたアレイ温度 (°C)
- $T_{CERAMIC}$ = 測定されたアレイ温度 (°C) (TP1 の場所)
- $R_{ARRAY\text{-}TO\text{-}CERAMIC}$ = アレイからセラミック TP1 までの セクション 5.5 で規定するパッケージの熱抵抗 (°C/ワット)

Copyright © 2025 Texas Instruments Incorporated

- Q_{ARRAY} =アレイ上の DMD 全体の消費電力 (W) (電力＋吸収光)
- $Q_{ELECTRICAL}$ = 公称電力(W)
- $Q_{INCIDENT}$ = インシデント照明光出力 (W)
- $Q_{ILLUMINATION}$ = (DMD 平均熱吸収率 × $Q_{INCIDENT}$) (W)
- DMD の平均熱吸収率 = 0.55

DMD の消費電力は変数で、電圧、データ レート、動作周波数に依存します。アレイ温度の計算時に使用する公称消費電力量は 1.5W です。照射用光源から吸収される電力は変数で、マイクロミラーの動作状態と光源の強度に依存します。上記の式は、シングル チップまたはマルチチップの DMD システムに有効です。この想定では、アクティブ アレイで 83.7%、アレイ境界で 16.3% の照度分布を想定しています。

標準的な投影アプリケーションの計算例は次のとおりです。

$$Q_{INCIDENT} = 40W \text{ (measured)} \tag{3}$$

$$T_{CERAMIC} = 55.0°C \text{ (measured)} \tag{4}$$

$$Q_{ELECTRICAL} = 1.5W \tag{5}$$

$$Q_{ARRAY} = 1.5W + (0.55 \times 40W) = 23.5W \tag{6}$$

$$T_{ARRAY} = 55.0°C + (23.5W \times 0.50°C/W) = 66.8°C \tag{7}$$

6.7 マイクロミラーの電力密度の計算

さまざまな波長帯域で DMD 上の照明の光出力密度を計算するには、DMD で測定された合計光出力、照明のオーバーフィル率、アクティブ アレイの面積、目的の波長帯域でのスペクトルの合計光出力に対する比率を使用します。

- $ILL_{UV} = [OP_{UV\text{-}RATIO} \times Q_{INCIDENT}] \times 1000 \div A_{ILL}$ (mW/cm^2)
- $ILL_{VIS} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{IR} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \times 1000 \div A_{ILL}$ (mW/cm^2)
- $ILL_{BLU} = [OP_{BLU\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{BLU1} = [OP_{BLU1\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $A_{ILL} = A_{ARRAY} \div (1 - OV_{ILL})$ (cm^2)

ここで

- ILL_{UV} = DMD での UV 照明の電力密度 (mW/cm^2)
- ILL_{VIS} = DMD での VIS 照明の電力密度 (W/cm^2)
- ILL_{IR} = DMD での IR 照明の電力密度 (mW/cm^2)
- ILL_{BLU} = DMD での BLU 照明の電力密度 (W/cm^2)
- ILL_{BLU1} = DMD での BLU1 照明の電力密度 (W/cm^2)
- A_{ILL} = DMD での照明領域 (cm^2)
- $Q_{INCIDENT}$ = DMD での総入射光パワー (W) (測定値)
- A_{ARRAY} = アレイの面積 (cm^2) (データシート)
- OV_{ILL} = アレイ外の DMD の総照明パーセント (%) (光学モデル)

- $OP_{UV\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 未満の場合の光出力比 (スペクトル測定)
- $OP_{VIS\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 800nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{IR\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 800nm 超の場合の光出力比 (スペクトル測定)
- $OP_{BLU\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 475nm 以下の場合の光出力比 (スペクトル測定)
- $OP_{BLU1\text{-}RATIO}$ = 照明スペクトルの総光出力に対する、波長が 410nm 以上 440nm 以下の場合の光出力比 (スペクトル測定)

照明領域は、照明オーバーフィルによって異なります。DMD 上の総照明領域は、アレイ領域と、アレイの周囲のオーバーフィル領域です。光学モデルを使用して、アレイの外部にある DMD 上の全照明の割合 (OV_{ILL}) と、アクティブ アレイ上にある全照明の割合を決定します。これらの値から、照明領域 (A_{ILL}) が計算されます。照明は、アレイ全体で一様であると仮定します。

測定された照明スペクトルから、総光出力に対する、対象の波長帯域における光出力との比が計算されます。

計算例:

$$Q_{INCIDENT} = 40W \text{ (measured)} \tag{8}$$

$$A_{ARRAY} = (17.280mm \times 10.800mm) \div 100 = 1.8662cm^2 \text{ (data sheet)} \tag{9}$$

$$OV_{ILL} = 16.3\% \text{ (optical model)} \tag{10}$$

$$OP_{UV\text{-}RATIO} = 0.00017 \text{ (spectral measurement)} \tag{11}$$

$$OP_{VIS\text{-}RATIO} = 0.99977 \text{ (spectral measurement)} \tag{12}$$

$$OP_{IR\text{-}RATIO} = 0.00006 \text{ (spectral measurement)} \tag{13}$$

$$OP_{BLU\text{-}RATIO} = 0.28100 \text{ (spectral measurement)} \tag{14}$$

$$OP_{BLU1\text{-}RATIO} = 0.03200 \text{ (spectral measurement)} \tag{15}$$

$$A_{ILL} = 1.8662cm^2 \div (1 - 0.163) = 2.2297cm^2 \tag{16}$$

$$ILL_{UV} = [0.00017 \times 40W] \times 1000 \div 2.2297cm^2 = 3.05mW/cm^2 \tag{17}$$

$$ILL_{VIS} = [0.99977 \times 40W] \div 2.2297cm^2 = 17.94W/cm^2 \tag{18}$$

$$ILL_{IR} = [0.00006 \times 40W] \times 1000 \div 2.2297cm^2 = 1.076mW/cm^2 \tag{19}$$

$$ILL_{BLU} = [0.28100 \times 40W] \div 2.2297cm^2 = 5.04W/cm^2 \tag{20}$$

$$ILL_{BLU1} = [0.03200 \times 40W] \div 2.2297cm^2 = 0.57W/cm^2 \tag{21}$$

6.8 ウィンドウ アパーチャイル ミネーション オーバーフィル計算

ウィンドウ開口部のクリティカル領域の光学的オーバーフィルの量は直接測定できません。アレイ上で照射が均一なシステムの場合、この量は、DMD の入射光パワーの合計測定値と、定義された重要領域における DMD の総光パワーの比率を使用して決定されます。この光学モデルを使用して、ウィンドウ開口部臨界面積の光出力の割合を決定し、面積のサイズを推定します。

Copyright © 2025 Texas Instruments Incorporated

- $Q_{AP\text{-}ILL}$ = [$Q_{INCIDENT}$ × $OP_{AP_ILL_RATIO}$] ÷ A_{AP_ILL} (W/cm^2)

ここで

- $Q_{AP\text{-}ILL}$ = ウィンドウ開口部照明オーバーフィル (W/cm^2)
- $Q_{INCIDENT}$= DMD での総入射光パワー (ワット) (測定値)
- $OP_{AP_ILL_RATIO}$ =ウィンドウ開口部の重要領域の光出力と DMD の合計光出力との比率 (光学モデル)
- $A_{AP\text{-}ILL}$ = ウィンドウ開口部臨界面積 (cm^2)(データ シート)
- OP_{CA_RATIO} = 入射光パワー(%)(光学モデル) を持つウィンドウ開口重要領域のパーセンテージ

計算例:

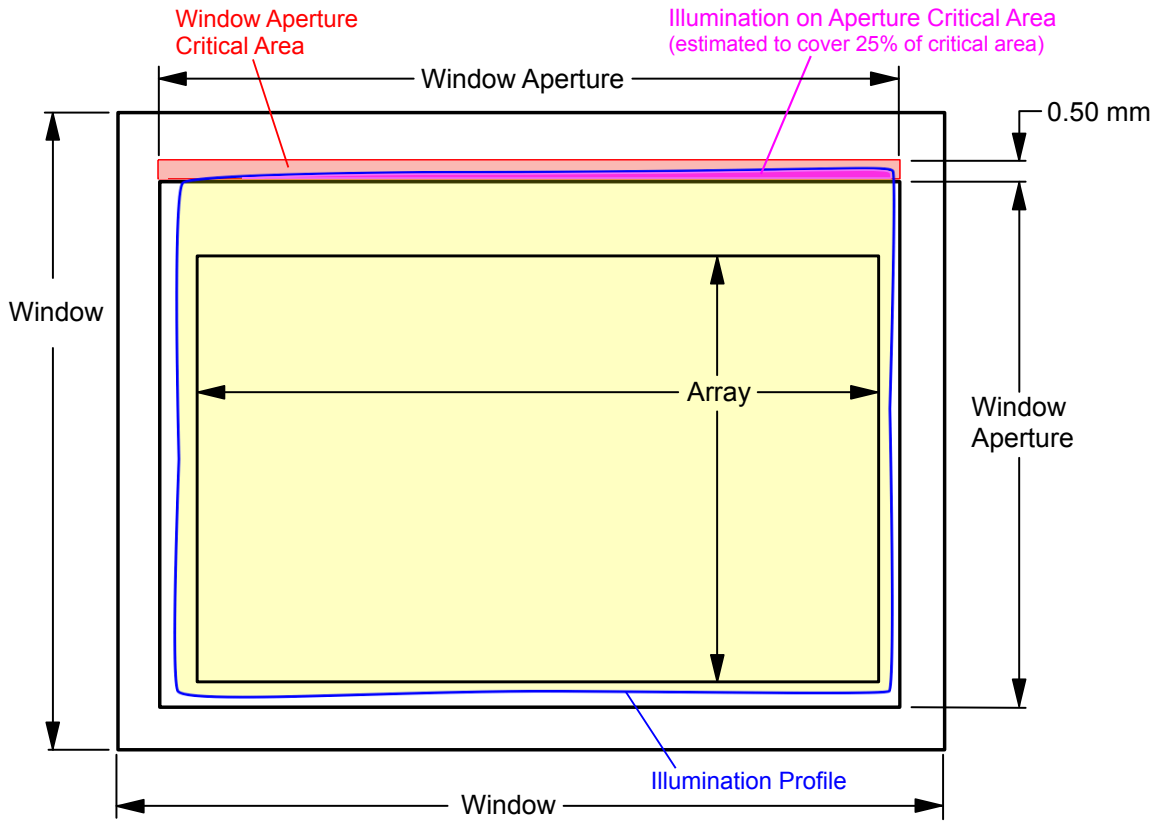


図 6-2. ウィンドウ アパーチャのオーバーフィルの例

クリティカル アパーチャの長さについては、図を参照してください。

$Q_{INCIDENT}$ = 40W (measured) (22)

$OP_{AP_ILL_RATIO}$ = 0.312% (optical model) (23)

OV_{CA_RATIO} = 25% (optical model) (24)

Length of the window aperture for the critical area = 1.8763cm (data sheet) (25)

Width of critical area = 0.050cm (data sheet) (26)

$A_{AP\text{-}ILL}$ = 1.8763cm × 0.050cm = 0.093815 (cm^2) (27)

$Q_{AP\text{-}ILL}$ = (40W × 0.00312) ÷ (0.093815cm^2 × 0.25) = 5.3 (W/cm^2) (28)

6.9 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル

6.9.1 マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクルの定義

マイクロミラーのランデッド オン / ランデッド オフ デューティ サイクル (ランデッド デューティ サイクル) は、個々のマイクロミラーがオン状態で着地している時間の割合を、同じマイクロミラーがオフ状態で着地している時間に対する割合として示します。

たとえば、100/0 のランデッド デューティ サイクルは、基準のピクセルがオン状態の時間 100% (オフ状態の時間 0%) にあることを示しています。一方、0/100 は、ピクセルがオフ状態の時間 100% にあることを示しています。同様に、50/50 はピクセルがオン状態の時間 50% (オフ状態の時間 50%) になっていることを示します。

なお、ランデッド デューティ サイクルを評価する際、一方の状態 (オンまたはオフ) から他方の状態 (オフまたはオン) に切り替わるのに要する時間は無視できるものと見なされます。

マイクロミラーはどちらか一方の状態 (オンまたはオフ) でしか着地できないため、2 つの数値 (パーセンテージ) の合計は必ず 100 になります。

6.9.2 DMD のランデッド デューティ サイクルと有効寿命

(最終製品またはアプリケーションの) 長期平均ランデッド デューティ サイクルを把握することが重要です。DMD マイクロミラー アレイ (アクティブ アレイとも呼ばれます) のすべて (または一部) を非対称ランデッド デューティ サイクルに長時間適用すると、DMD の有効寿命が短くなるためです。

ランデッド デューティ サイクルの対称性 / 非対称性が関連することに注意してください。ランデッド デューティ サイクルの対称性は、2 つの数値 (パーセンテージ) がどれだけ等しいかによって決まります。たとえば、50/50 のランデッド デューティ サイクルは完全に対称ですが、100/0 または 0/100 のランデッド デューティ サイクルは完全に非対称です。

6.9.3 ランデッド デューティ サイクルと動作時の DMD 温度

DMD の動作温度とランデッド デューティ サイクルは DMD の耐用年数に影響を及ぼします。この相互作用を利用すると、非対称ランデッド デューティ サイクルが DMD の耐用年数に及ぼす影響を低減できます。これは、図 5-1 に示すディレーティング曲線で定量化されます。

この曲線の重要性は次のとおりです。

- この曲線に沿ったすべてのポイントは、同じ耐用年数を表します。
- この曲線より上のすべてのポイントは、より短い耐用年数を表します (そして、曲線から離れているほど、耐用年数は短くなります)。
- この曲線より下のすべてのポイントは、より長い耐用年数を表します (そして、曲線から離れているほど、耐用年数は長くなります)。

実際には、この曲線は、所定の長期平均ランディング デューティ サイクルにおける DMD の最大動作温度を指定します。

6.9.4 製品またはアプリケーションの長期平均ランデッド デューティ サイクルの推定

所定の期間中、特定のピクセルのランデッド デューティサイクルは、そのピクセルによって表示される画像内容から追従します。

たとえば、最も単純なケースでは、ある一定の期間、あるピクセルに純粋な白を表示する場合、そのピクセルはその期間中に 100/0 ランデッド デューティサイクル下で動作します。同様に、純粋な黒を表示する場合、ピクセルは 0/100 ランデッド デューティサイクル下で動作します。

この 2 つの極端な値の間 (入力画像に適用される色と画像処理をとりあえず無視します)、ランデッド デューティ サイクルは、表 6-1 に示すように、グレイスケール値で 1 対 1 を追跡します。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. グレイスケール値とランデッド デューティ サイクル

グレイスケール値	ランデッド デューティ サイクル
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10
100%	100/0

演色を考慮 (ただしここでも画像処理を無視します) するには、特定のピクセルの各構成原色 (赤、緑、青) のカラー強度 (0% から 100%) と、各原色のカラー サイクル時間 (「カラー サイクル時間」は、目的のホワイト ポイントを達成するために特定の原色が表示されるフレーム時間の合計割合) の両方を知る必要があります。

特定の期間内に、特定のピクセルのランデッド デューティ サイクルを計算するには、式 29 を使用します。

$$\text{Landed Duty Cycle} = (\text{Red_Cycle_\%} \times \text{Red_Scale_Value}) + (\text{Green_Cycle_\%} \times \text{Green_Scale_Value}) + (\text{Blue_Cycle_\%} \times \text{Blue_Scale_Value}) \quad (29)$$

ここで、

- RED_Cycle_% は、目的のホワイト ポイントを達成するために赤で表示されるフレーム時間の割合を表します
- Green_Cycle_% は、目的のホワイト ポイントを達成するために緑で表示されるフレーム時間の割合を表します
- BLUE_Cycle_% は、目的のホワイト ポイントを達成するために青で表示されるフレーム時間の割合を表します。

たとえば、赤、緑、青のカラー サイクル時間がそれぞれ 30%、50%、20% であると仮定し、(目的のホワイト ポイントを達成するために) 赤、緑、青の強度のさまざまな組み合わせに対するランデッド デューティ サイクルは、表 6-2 と 表 6-3 に示すようになります。

表 6-2. フルカラー、カラー パーセンテージに対するランデッド デューティ サイクルの例

サイクル パーセンテージ		
赤色	緑色	青色
30%	50%	20%

表 6-3. フルカラーのランデッド デューティ サイクルの例

スケール値			ランデッド デューティ サイクル
赤色	緑色	青色	
0%	0%	0%	0/100
100%	0%	0%	30/70
0%	100%	0%	50/50
0%	0%	100%	20/80
0%	12%	0%	6/94
0%	0%	35%	7/93
60%	0%	0%	18/82

表 6-3. フルカラーのランデッド デューティ サイクルの例 (続き)

スケール値			ランデッド デューティ サイクル
赤色	緑色	青色	
0%	100%	100%	70/30
100%	0%	100%	50/50
100%	100%	0%	80/20
0%	12%	35%	13/87
60%	0%	35%	25/75
60%	12%	0%	24/76
100%	100%	100%	100/0

ランデッド デューティ サイクルを推定する際に考慮すべき最後の要因は、適用されている画像処理です。DLPC4420 ディスプレイ コントローラ 内では、ガンマ機能はランデッド デューティサイクルに影響を与えます。

ガンマは、Output_Level = A × Input_Level^{Gamma} という形式の電力関数です。ここで、A は通常 1 に設定されるスケーリング係数です。

DLPC4420 ディスプレイ コントローラでは、ピクセル単位で入力画像データにガンマが適用されます。一般的なガンマ係数は 2.2 で、図 6-3 に示すように入力データが変換されます。

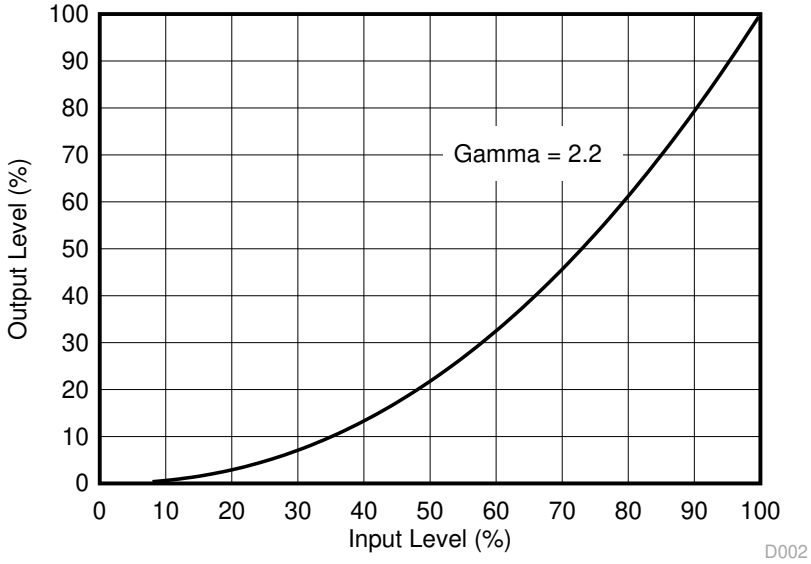


図 6-3. ガンマ= 2.2 の例

図 6-3 から、指定された入力ピクセルのグレイスケール値が 40% の場合 (ガンマが適用される前)、ガンマが適用された後でグレイスケール値は 13% になります。したがって、ガンマは表示されるピクセルのグレイスケール レベルに直接影響するため、ピクセルのランデッド デューティ サイクルにも直接的な影響を与えることがわかります。

DLPC4420 ディスプレイ コントローラ の前に発生する画像処理についても考慮する必要があります。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DMD は空間光変調器であり、照射用光源から受け入れた光を 2 方向のいずれかに反射します。主な方向は、プロジェクションまたは集光光学系です。各アプリケーションは、主にシステムの光学アーキテクチャと、2 つの DLPC4420 ディスプレイ コントローラ が受け入れるデータ形式の違いで派生するものです。DLP800XE DMD を使用する代表的なアプリケーションには、スマート プロジェクタ、エンタープライズ プロジェクタ、大会場向けプロジェクタ、デジタル サイネージがあります。

DMD のパワーアップおよびパワーダウン シーケンスは、DLPA300 を介して DLPC4420 ディスプレイ コントローラによって厳密に制御されます。電源オンと電源オフの仕様については、*電源に関する推奨事項*を参照してください。信頼性の高い動作のために、DLP800XE DMD は常に 2 つの DLPC4420 ディスプレイ コントローラ、DLPA100 PMIC/モーター ドライバ、および DLPA300 マイクロミラー ドライバと併用しなければなりません。

7.2 代表的なアプリケーション

DLP800XE DMD は、2 つの DLPC4420 ディスプレイ コントローラ および電源管理デバイスと組み合わせることで、明るく鮮やかなディスプレイ アプリケーション向けに 4K+ 解像度を提供します。RGB レーザー点灯を用いた代表的なディスプレイ システムは、DLP800XE DMD、2 つの DLPC4420 ディスプレイ コントローラ、DLPA300 マイクロミラー ドライバ、および DLPA100 PMIC とモーター ドライバを組み合わせています。図 7-1 は、この構成の DLP 0.8 インチ 4K+ チップセットと、必要な追加システム部品のシステム ブロック図を示しています。0.8 インチ 4K+ チップセット用のレーザー蛍光体点灯と、必要なシステム コンポーネントを示すブロック図については、 図 7-2 を参照します。部品には、DLP800XE DMD、2 つの DLPC4420 ディスプレイ コントローラ、DLPA100 PMIC とモーター ドライバ、DLPA300 マイクロミラー ドライバが含まれます。

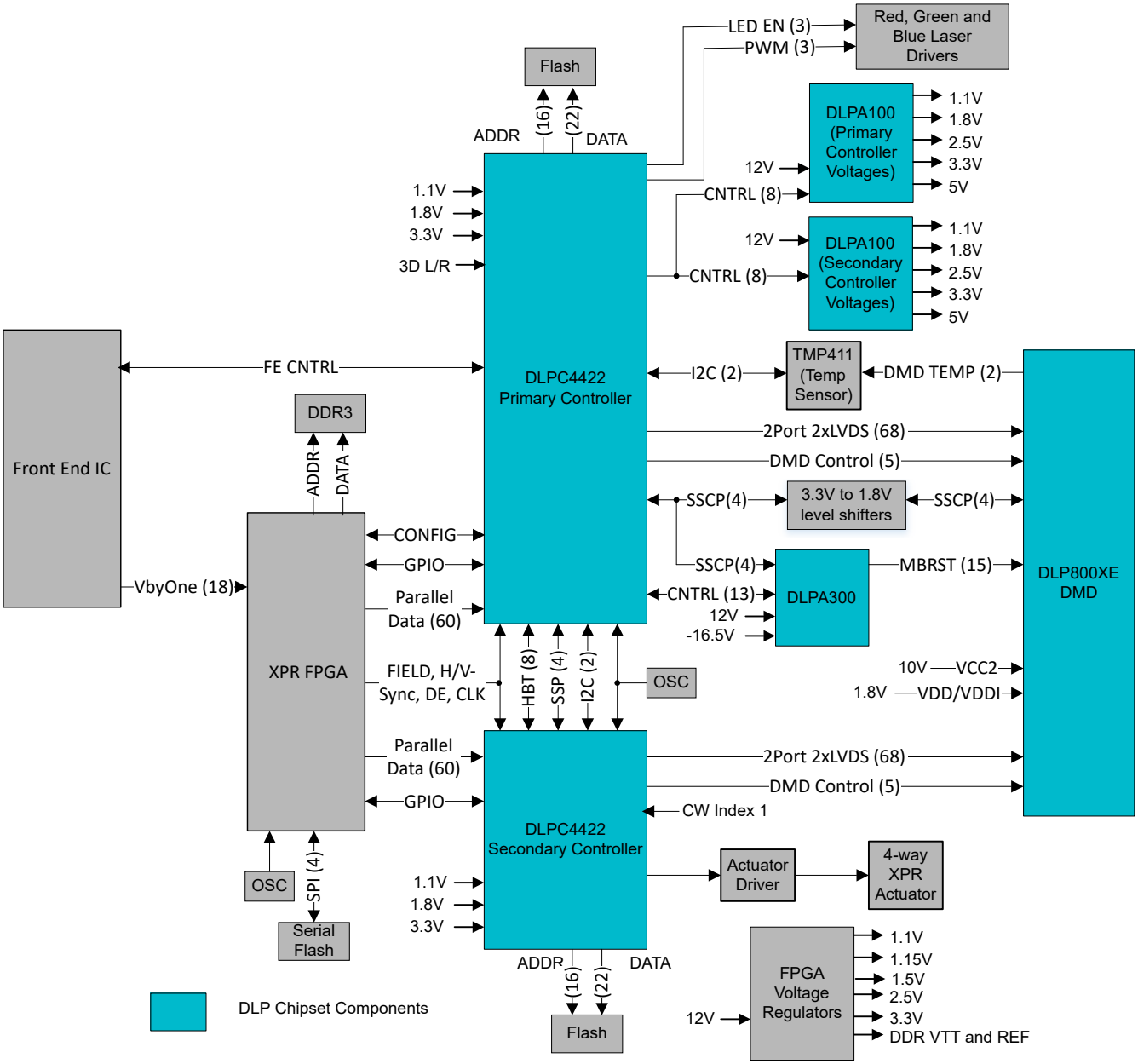


図 7-1. 代表的な 4K+ RGB レーザー アプリケーション

Copyright © 2025 Texas Instruments Incorporated

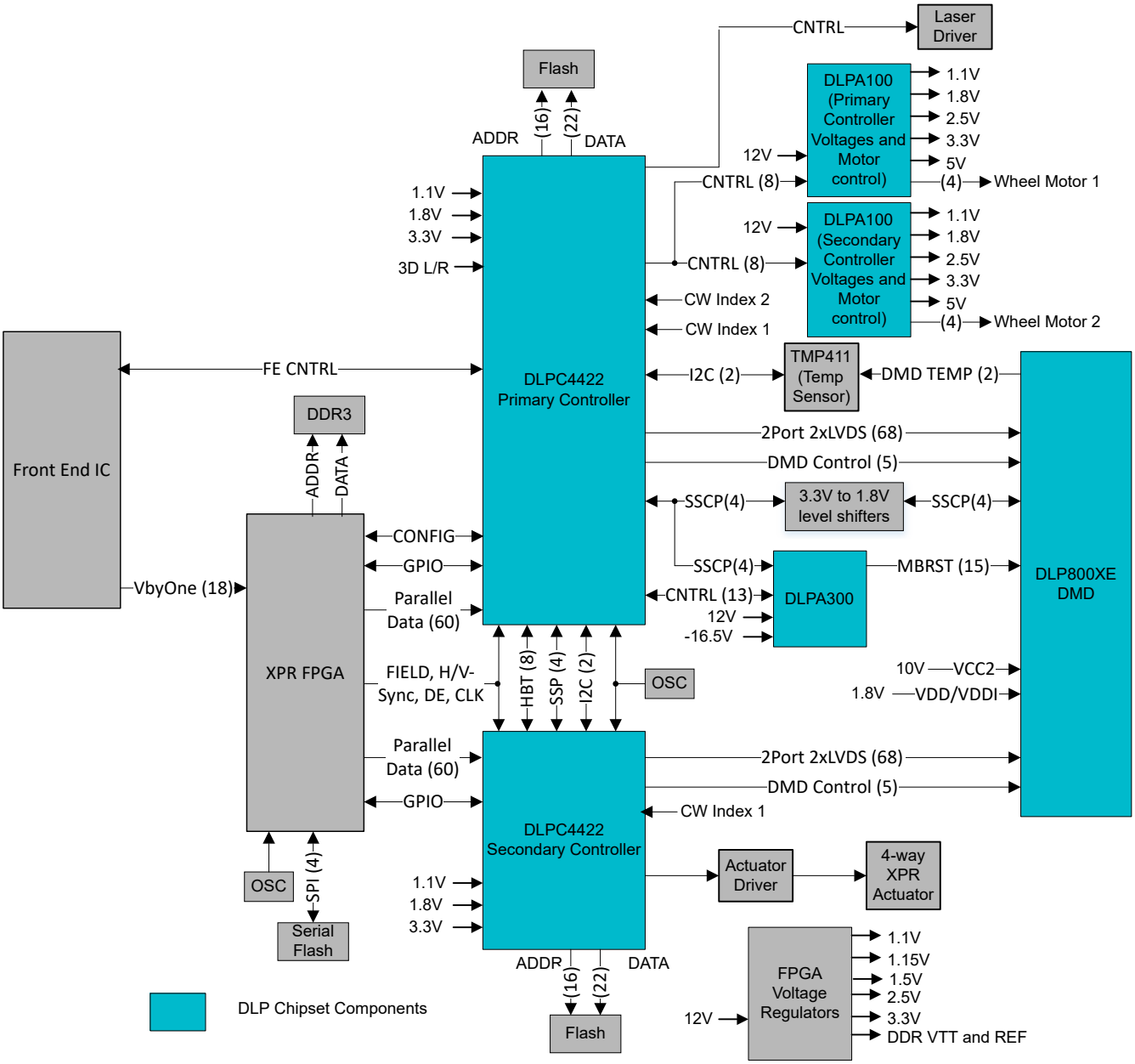


図 7-2. 代表的な 4k UHD レーザー蛍光アプリケーション

7.2.1 設計要件

ディスプレイ システムのその他の中核部品としては、照射用光源、照明および投影光学系用の光学エンジン、その他の電気部品および機械部品、ソフトウェアがあります。使用する照明の種類と目的の輝度は、システム全体の設計とサイズに大きな影響を及ぼします。

ディスプレイ システムは DLP800XE DMD をコア画像処理デバイスとして使用し、0.8 インチのマイクロミラー アレイを搭載しています。DLPC4420 ディスプレイ コントローラは、DMD とシステムの他の部分との間のデジタル インターフェイスであり、フロント エンド レシーバからデジタル入力を取得し、高速 LVDS インターフェイスで DMD を駆動します。DLPA100 PMIC はコントローラ用の電圧レギュレータとして機能し、カラーフィルタホイールと蛍光体ホイールモーターの制御を行います。DLPA300 は DMD リセット制御を実現します。

7.2.2 詳細な設計手順

包括的な DLP システムを実現するには、DLP800XE DMD、関連する照射用光源、光学素子、必要な機械部品を含む光学モジュールまたは光学エンジンが必要です。

信頼性の高い動作のために、DMD は常に 2 つの DLPC4420 ディスプレイ コントローラ、DLPA300 マイクロミラー ドライバー、および DLPA100 PMIC とモーター ドライバと併用する必要があります。

7.2.3 アプリケーション曲線

一般的なプロジェクター アプリケーションでは、DMD からスクリーン上の光束はプロジェクターの光学設計によって異なります。照明光学系と投影光学系の効率および総電力によって、プロジェクターの全体的な光出力が決まります。DMD は本質的に線形空間光変調器であるため、その効率は光出力に比例します。図 7-3 は、蛍光体が熱消光限界に達していないレーザー蛍光体照明システムにおける、レーザー入力光出力と光出力の関係を表します。

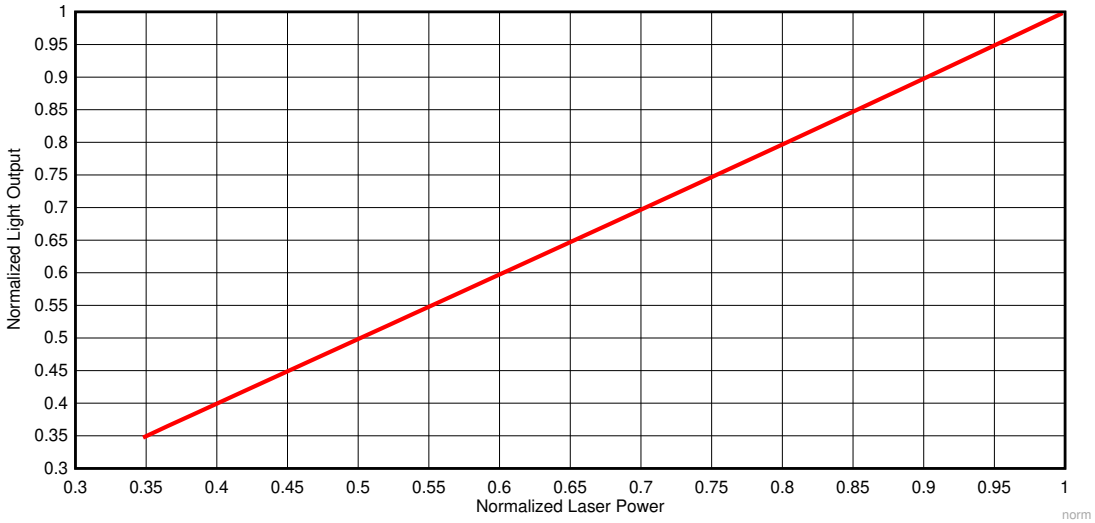


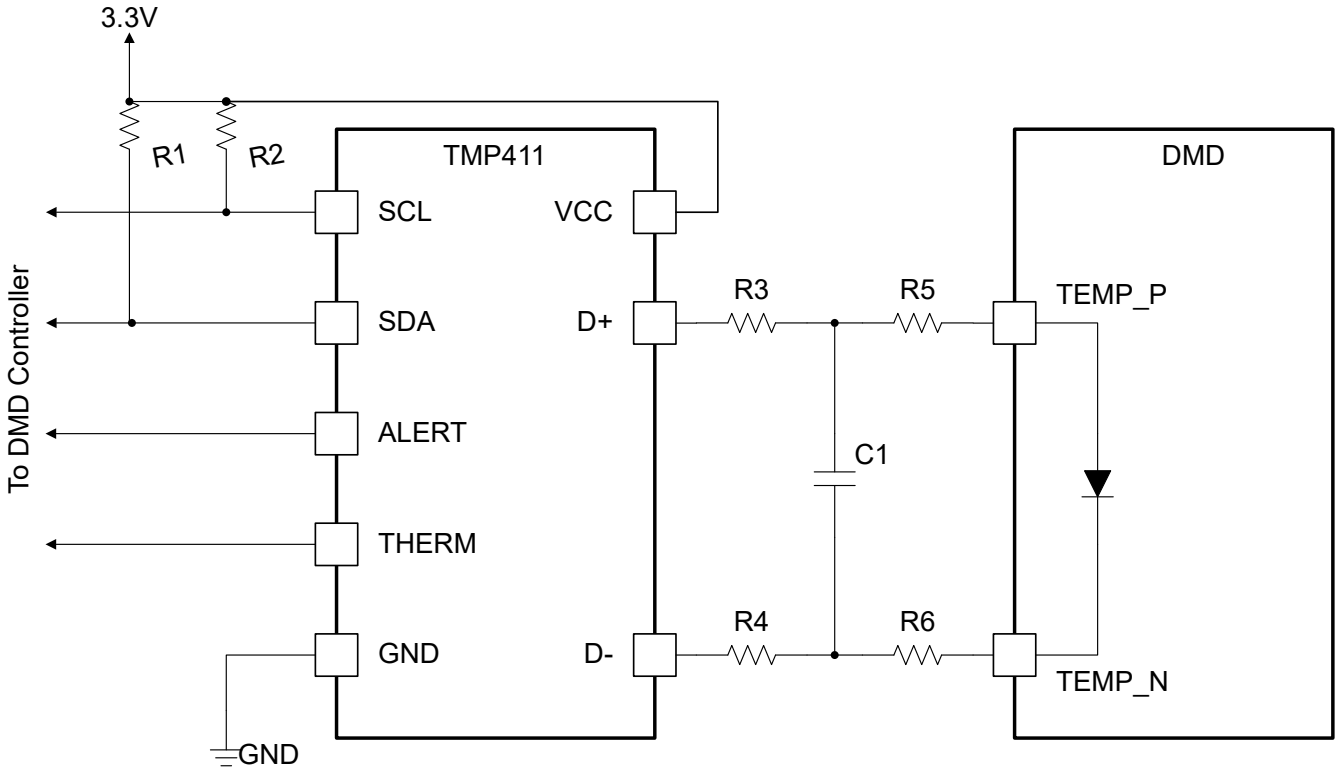
図 7-3. レーザー蛍光照明での標準化光出力と標準化レーザー電力との関係

7.3 温度センサ ダイオード

DMD には、マイクロミラー アレイの外側にあるダイの一角の温度を測定するための内蔵サーマル ダイオードが搭載されています。サーマルダイオードは、図 7-4 に示すように TMP411 温度センサと接続できます。このソフトウェア アプリケーションは、DLP800XE DMD 温度センサ ダイオードを読み取るように TMP411 を構成する機能が含まれています。このデータは、照明の調整やファンの速度制御など、全体のシステム設計に追加機能を組み込むために活用できます。I^2C インターフェイスを使用して、TMP411 と DLPC4420 ディスプレイ コントローラ間のすべての通信を完了します。TMP411 は、セクション 4 に示すピンを経由して DMD に接続されます。

温度センサを使用しない場合、TEMP_N ピンおよび TEMP_P ピンは未接続 (NC) のままにします。

Copyright © 2025 Texas Instruments Incorporated



A. わかりやすくするため、詳細は省略しています。
B. システム基板のレイアウトに関する推奨事項については、TMP411 データシートを参照します。
C. R1、R2、R3、R4、C1 の推奨部品値については、TMP411 データ シートと TI リファレンス デザインを参照してください。
D. R5 = 0Ω.R6 = 0Ω.0 Ω の抵抗を DMD パッケージピンの近くに配置します。

図 7-4. TMP411 のサンプル回路図

8 電源に関する推奨事項

8.1 DMD 電源要件

DMD の動作には、以下の電源装置がすべて必要です。VDD、VDDI、VCC2。VSS も接続する必要があります。DMD のパワーアップ / パワーダウン シーケンシングは、DLPC4420 ディスプレイ コントローラによって厳密に制御されます。

> **注意**
>
> DMD を確実に動作させるには、以下の電源シーケンシング要件に従う必要があります。規定されたパワーアップおよびパワーダウン手順を順守しない場合、デバイスの信頼性に影響を及ぼす可能性があります。パワー アップおよびパワー ダウン操作においては、VDD、VDDI、VCC2 の電源を連携させる必要があります。VSS も接続する必要があります。以下の要件を満たさない場合、DMD の信頼性と寿命が大幅に低下します。図 8-1 を参照してください。

8.2 DMD 電源のパワーアップ手順

- パワーアップ時、VDD と VDDI は常に VCC2 が DMD に印加される前に立ち上がって安定していなければなりません。
- 過渡電圧レベルが、セクション 5.1、セクション 5.4 で規定されている要件に従えば、パワーアップ時の電源スルーレートを柔軟に設定できます。
- パワーアップ時には、VDD および VDDI が セクション 5.4 に記載されている動作電圧まで安定するまで、LVCMOS 入力ピンを High にしないでください。

8.3 DMD 電源のパワーダウン手順

- パワー ダウン中、VDD と VDDI は、VCC2 がグラウンドの規定限界内まで放電されるまで供給し続ける必要があります。セクション 5.4 を参照してください。
- 過渡電圧レベルが、セクション 5.1、セクション 5.4 で規定されている要件に従えば、パワーダウン時の電源スルーレートを柔軟に設定できます。
- パワーダウン時は、LVCMOS 入力ピンをセクション 5.4 で 規定されている値未満にする必要があります。

Copyright © 2025 Texas Instruments Incorporated

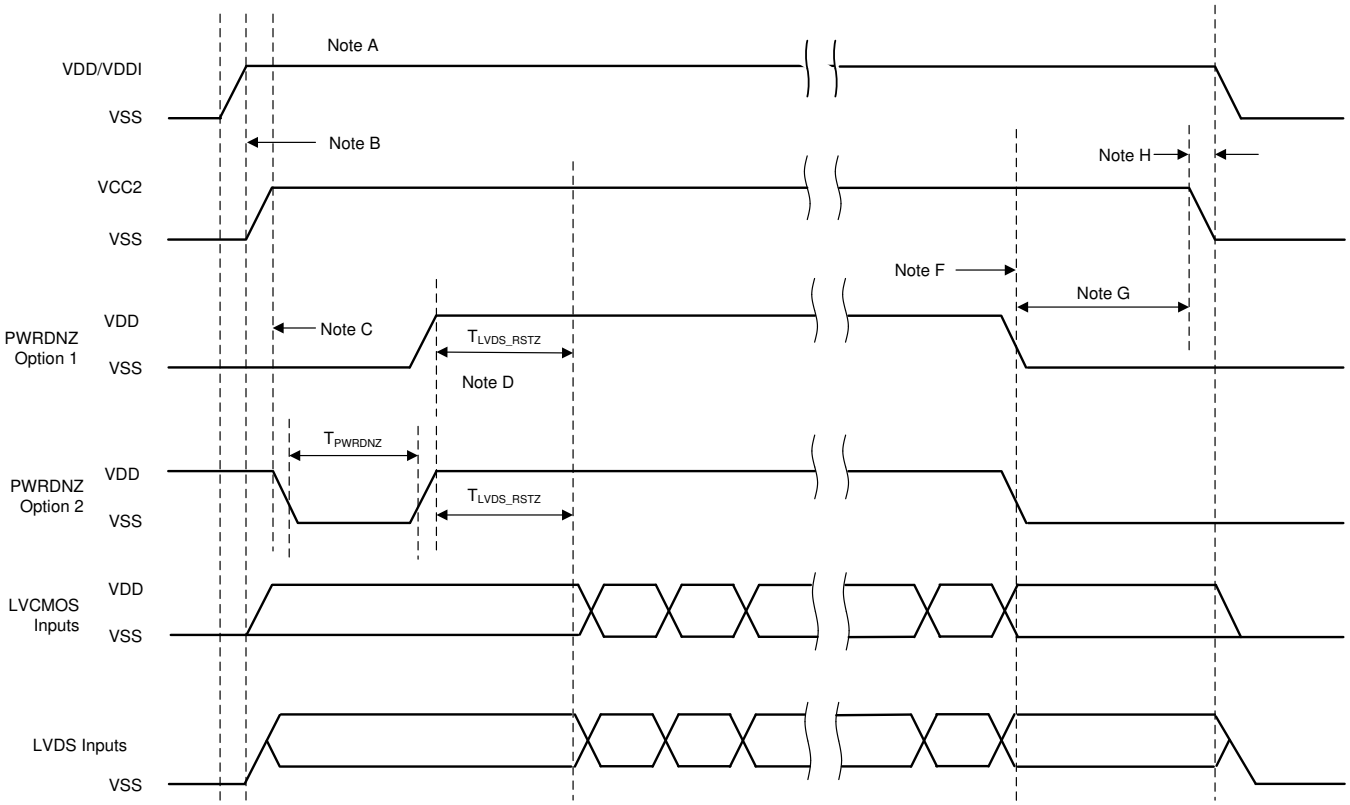


図 8-1. DMD 電源シーケンシング要件

A. ピンの機能について、*ピン構成および機能*を参照してください。
B. VCC2 が立ち上がる前に、VDD が立ち上がって安定している必要があります。
C. PWRDNZ には 2 つのターンオン オプションがあります。オプション 1:PWRDNZ は、VDD と VCC2 が立ち上がって安定するまで High になりません、またはオプション 2: PWRDNZ は、VDD と VCC2 が立ち上がって安定した後、T_{PWRDNZ} 以上、または 10ns の間 Low パルスを与えなければなりません。
D. LVDS レシーバが復帰するためには、PWRDNZ が High になってから T_{LVDS_ARSTZ} 以上、または 2µs の待機時間が必要です。
E. DMD マイクロミラーのパーク シーケンスが完了すると、DLP コントローラ ソフトウェアがハードウェア パワー ダウンを開始し、PWRDNZ を有効化して VCC2 を無効にします。
F. 電力損失条件下で、DLP コントローラのハードウェア PWRDNZ によって緊急 DMD マイクロミラー パーク手順が実行されている場合は、Low になります。
G. VCC2 が Low になるまで、VDD は High のままである必要があります。
H. 過電流を防ぐため、供給電圧差 |VDDI – VDD| は、セクション 5.4 に規定された限界未満である必要があります。

9 レイアウト

9.1 レイアウトのガイドライン

DLP800XE DMD は、2 つの DLPC4420 ディスプレイ コントローラにより制御されるチップ セットの一部であり、DLP300 マイクロミラー ドライバーおよび DLPA100 電源およびモーター ドライバと組み合わせて動作します。これらのガイドラインは、DLP800XE DMD を使用した PCB 基板の設計を対象としています。DLP800XE DMD ボードは高速多層 PCB であり、主に DMD LVDS 信号用に最大 400MHz のデュアル エッジ クロック レートを使用する高速デジタル ロジックで構成されています。残りのパターンは低速デジタル LVTTL 信号で構成されます。DMD_P1P8V とグランドにはソリッド プレーンが必要です。PCB の目標インピーダンスは 50Ω ±10% であり、LVDS パターンは 100Ω ±10% の差動となります。TI は、表 9-1 に示すように、8 層の積層の使用を推奨します。

9.2 レイアウト例

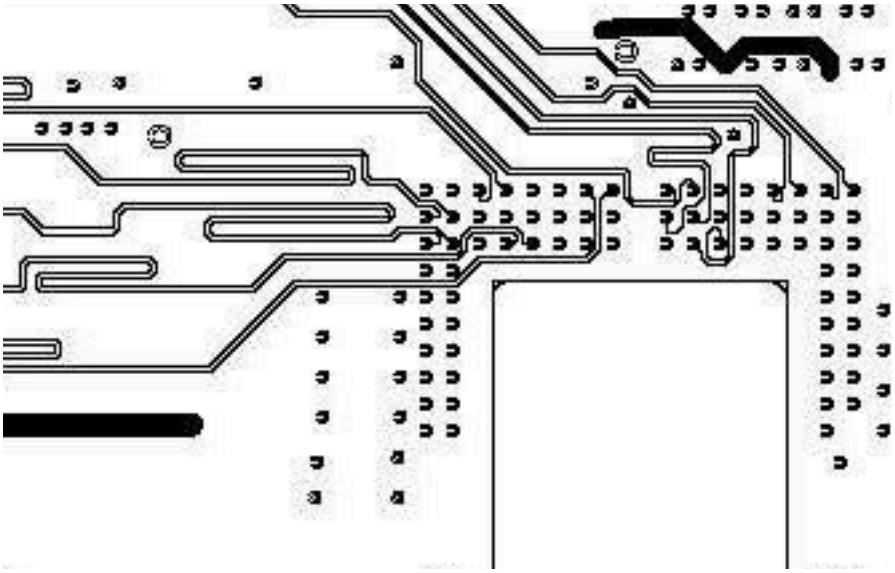


図 9-1. 蛇行セクションによる LVDS 信号長整合の代表的な例

9.2.1 基板面

表 9-1 に、各層の層の積層と銅重量を示します。必要に応じて、信号配線層上に小さなサブプレーンを設け、部品を上下層のメイン サブプレーンに接続できます。

表 9-1. 層のスタックアップ

層の番号	レイヤ名	銅重量(オンス)	備考
1	サイド A - DMD のみ	1.5	DMD、エスケープ、低周波信号、電源サブプレーン
2	グランド	1	ソリッド グランド プレーン (正味 GND)
3	信号	0.5	50Ω および 100Ω の差動信号
4	グランド	1	ソリッド グランド プレーン (正味 GND)
5	VDD と VDDI	1	+1.8V 電源プレーン
6	信号	0.5	50Ω および 100Ω の差動信号
7	グランド	1	ソリッド グランド プレーン (正味 GND)
8	サイド B - その他すべての部品	1.5	ディスクリート部品、低周波信号、電力サブプレーン

Copyright © 2025 Texas Instruments Incorporated

9.2.2 インピーダンス要件

TI は、すべての信号に対して 50Ω ±10% の整合インピーダンスをボードに持たせることを推奨しています。例外が 表 9-2 に一覧表示されています。

表 9-2. 特別なインピーダンス要件

信号のタイプ	信号名	インピーダンス (Ω)
チャネル LVDS 差動ペア	DDAP(0:15)、DDAN(0:1A)	各ペアで 100±10% の差動
	DCLKA_P、DCLKA_N	
	SCTRL_AP、SCTRL_AN	
B チャネル LVDS 差動ペア	DDBP(0:15)、DDBN(0:15)	各ペアで 100±10% の差動
	DCLKB_P、DCLKB_N	
	SCTRL_BP、SCTRL_BN	
C チャネル LVDS 差動ペア	DDCP(0:15)、DDCN(0:15)	各ペアで 100±10% の差動
	DCLKC_P、DCLKC_N	
	SCTRL_CP、SCTRL_CN	
D チャネル LVDS 差動ペア	DDDP(0:15)、DDDN(0:15)	各ペアで 100±10% の差動
	DCLKD_P、DCLKD_N	
	SCTRL_DP、SCTRL_DN	

9.2.3 パターン幅、間隔

特に指定がない限り、TI はすべての信号が 0.005 インチ/0.005 インチの設計ルールに従うことを推奨しています。PWB 周囲のグランド リングからの最小パターンクリアランスは、最小で 0.1 インチです。インピーダンスと積層要件の解析によって、実際のパターン幅とクリアランスが決定されます。

9.2.3.1 電圧信号

表 9-3. 特殊なパターン幅、間隔の要件

信号名	ピンへの最小パターン幅 (MIL)	レイアウト要件
GND	15	接続ピンまでのパターン幅を最大化します
3.3V 電源レール	15	接続ピンまでのパターン幅を最大化します
VDD、VDDI	15	接続ピンまでのパターン幅を最大化します
MBRST(0.14)	15	10mil エッチングを使用して、DLPA300 から DLP800XE までのすべての信号/電圧を接続します
VCC2	15	電圧レギュレータから DLP800XE へのミニプレーンを作成します

10 デバイスおよびドキュメントのサポート

10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 デバイス サポート

10.2.1 デバイスの命名規則

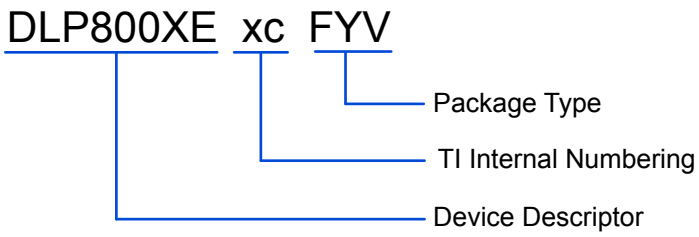


図 10-1. 部品番号の説明

10.3 デバイスのマーキング

デバイスのマーキングには、人間が読める情報と 2 次元マトリクス コードの両方を使用しています。人間が読める情報については、以下の *DMD マーキングの場所*を参照してください。2 次元マトリックスコードは、DMD 型番、シリアル番号のパート 1 およびパート 2 を含む英数字の文字列です。

例:

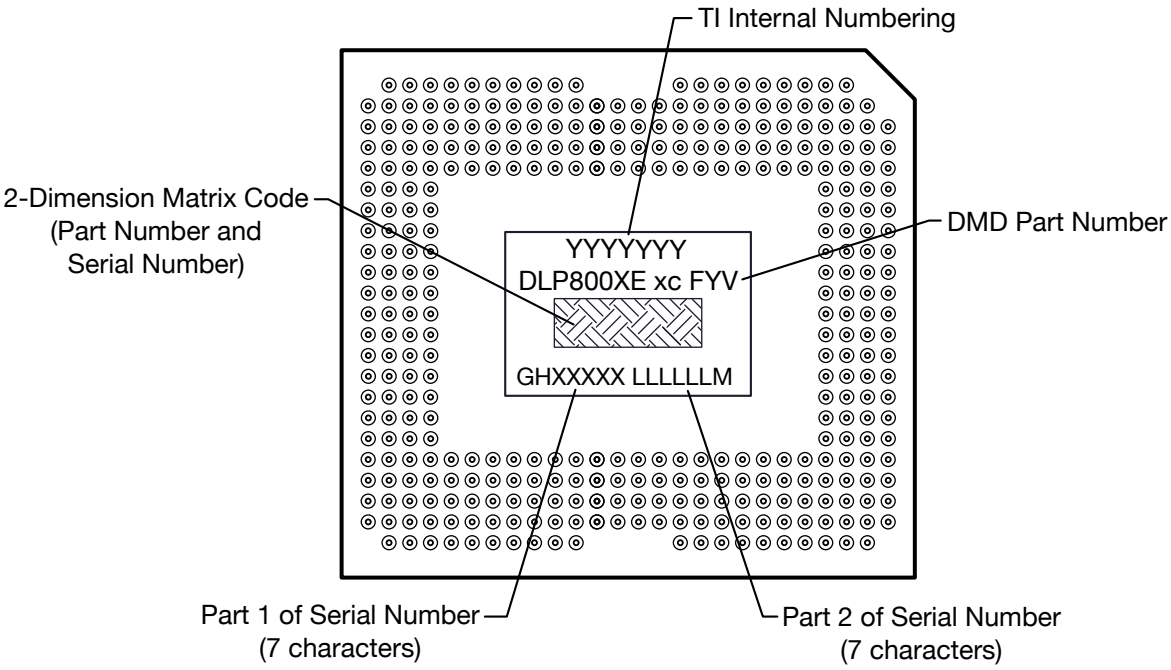


図 10-2. DMD のマーキング位置

Copyright © 2025 Texas Instruments Incorporated

10.4 ドキュメントのサポート

10.4.1 関連資料

関連資料については、以下を参照してください。

- *DLPC4420 DLP ディスプレイ コントローラ データシート*
- *DLPA100 パワー / モーター ドライバ データシート*
- *DLPA300 DMD マイクロミラー ドライバ データシート*

10.5 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.6 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.7 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
DLP® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.8 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.9 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

日付	改訂	注
August 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP800XEA0FYV	Active	Production	CPGA (FYV) | 350	21 | JEDEC TRAY (5+1)	Yes	Call TI	N/A for Pkg Type	-	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

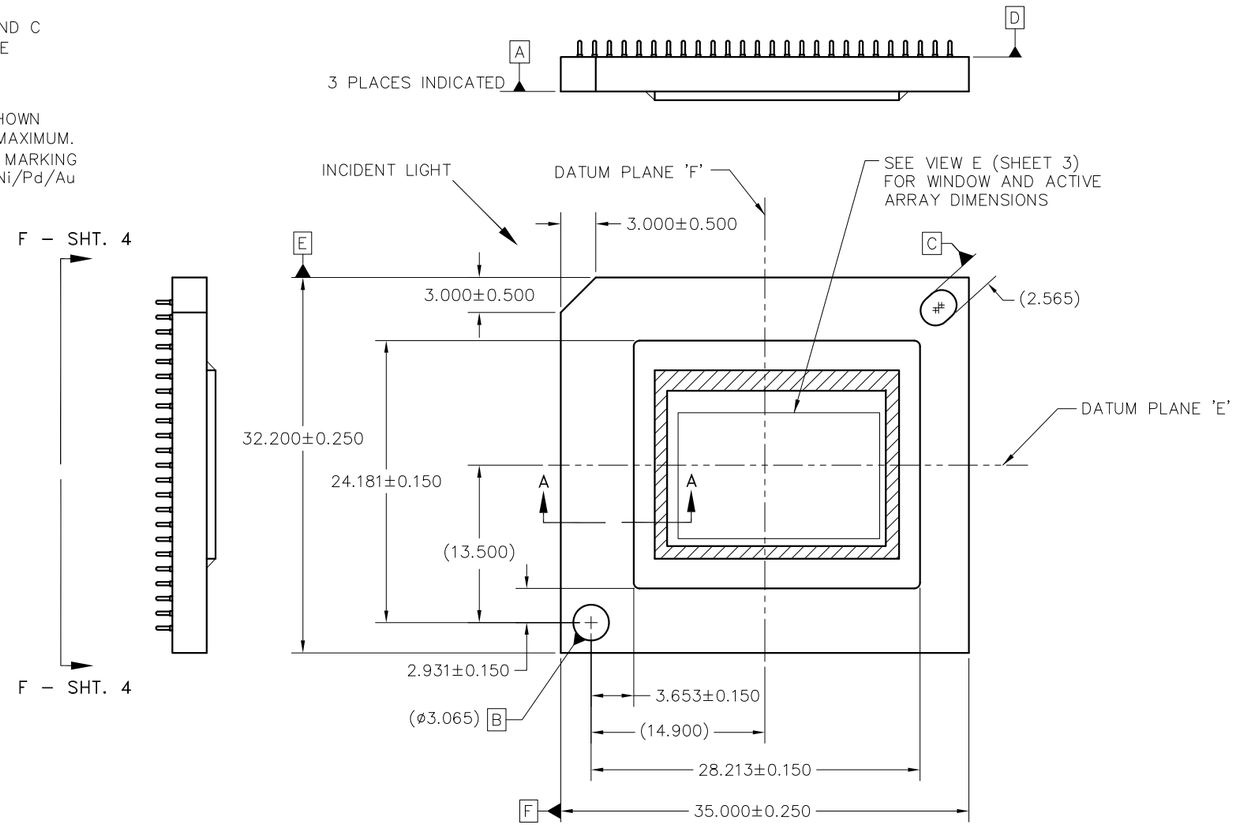
© COPYRIGHT 2020 TEXAS INSTRUMENTS UN-PUBLISHED, ALL RIGHTS RESERVED.

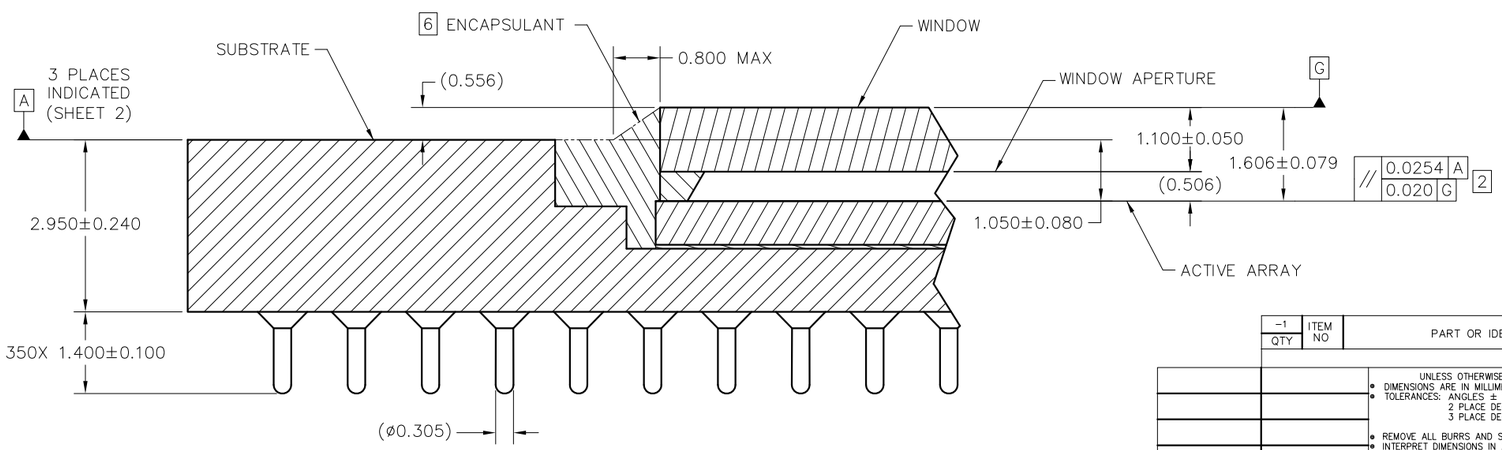
REVISIONS

REV	DESCRIPTION	DATE	APPROVED
A	ECO 2187184, INITIAL RELEASE	04/22/2020	F. ARMSTRONG

NOTES: UNLESS OTHERWISE SPECIFIED:

1. SUBSTRATE EDGE PERPENDICULARITY TOLERANCE APPLIES TO ENTIRE SURFACE
2. DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY
3. ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND HAS A MAXIMUM ALLOWED VALUE OF 0.8 DEGREES
4. SUBSTRATE SYMBOLIZATION PAD, AND PLATING AT BOTTOM OF DATUMS B AND C HOLES ARE ELECTRICALLY CONNECTED TO VSS PLANE WITHIN THE SUBSTRATE
5. BOUNDARY MIRRORS SURROUNDING THE DMD ACTIVE AREA
6. MAXIMUM ENCAPSULANT PROFILE SHOWN
7. ENCAPSULANT ALLOWED ON THE SURFACE OF THE CERAMIC IN THE AREA SHOWN IN VIEW B (SHEET 2). ENCAPSULANT SHALL NOT EXCEED 0.200 THICKNESS MAXIMUM.
8. SUBSTRATES PLATED WITH Ni/Au SHALL HAVE THE THREE-DIGIT NUMERICAL MARKING IN THE AREA ABOVE THE SYMBOLIZATION PAD. SUBSTRATES PLATED WITH Ni/Pd/Au SHALL HAVE THE MARKING IN THE AREA BELOW THE SYMBOLIZATION PAD.





SECTION A–A
SCALE 20/1

QTY	ITEM NO	PART OR IDENTIFYING NUMBER	NOMENCLATURE OR DESCRIPTION	NOTES

PARTS LIST

UNLESS OTHERWISE SPECIFIED
- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES: ANGLES ± 1°
  2 PLACE DECIMALS ±0.25
  3 PLACE DECIMALS ±0.50
- REMOVE ALL BURRS AND SHARP EDGES
- INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5–1994
- DIMENSIONAL LIMITS APPLY BEFORE PROCESSES
- PARENTHETICAL INFO FOR REF ONLY

DWN	F. ARMSTRONG	03/05/2020
ENGR	F. ARMSTRONG	03/05/2020
QA	S. HUDGENS	04/27/2020
CQE	M. DORAK	04/27/2020

TEXAS INSTRUMENTS
Dallas, Texas

ICD, MECHANICAL, DMD
.8" WUXGA MHEP 2XLVDS
SERIES 600 (FYV PACKAGE)

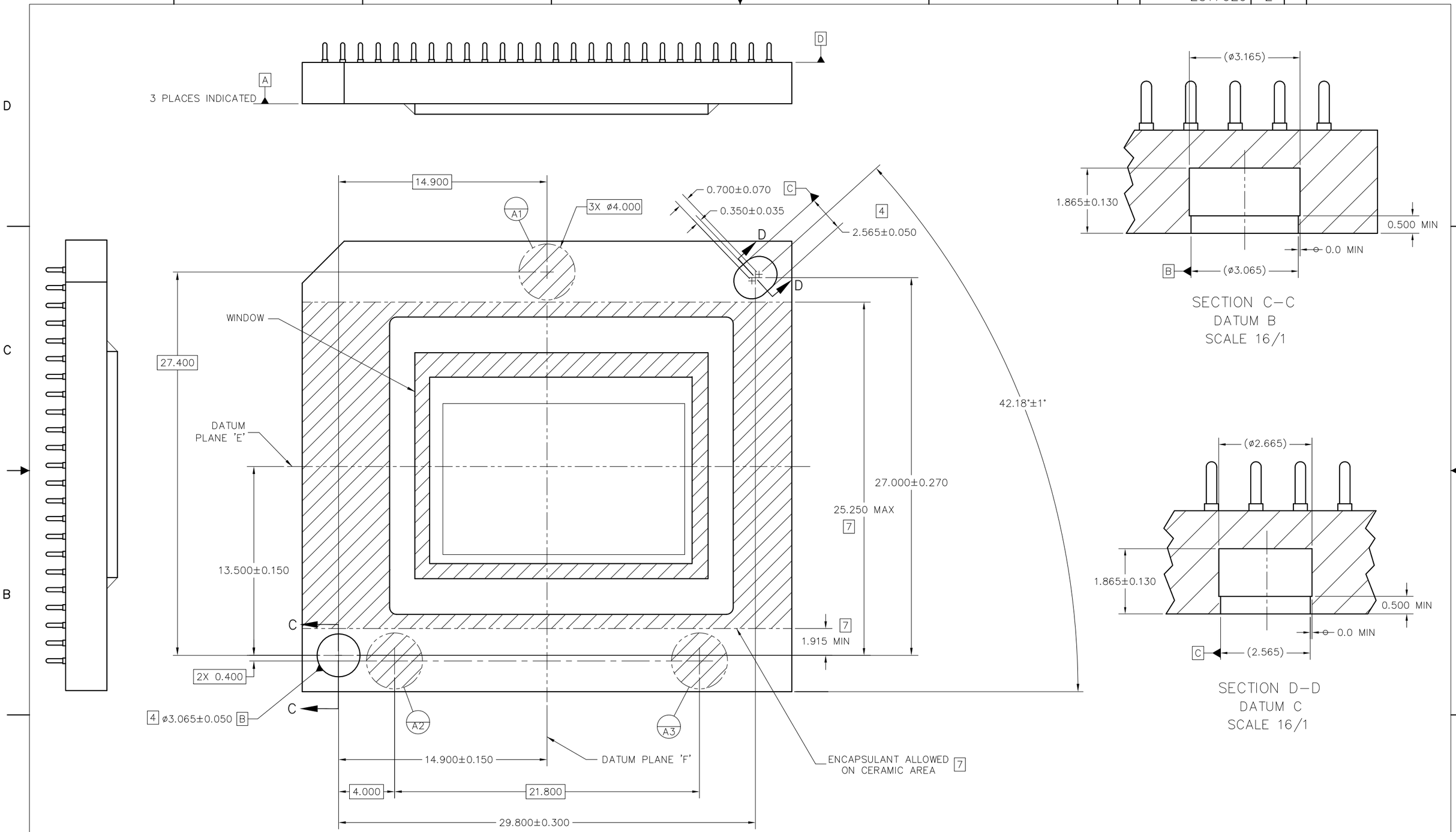
THIRD ANGLE PROJECTION

NEXT ASSY	USED ON
NONE	0314DA

APPLICATION

SIZE D | DRAWING NO 2517029 | REV A
SCALE 4/1 | SHEET 1 OF 4

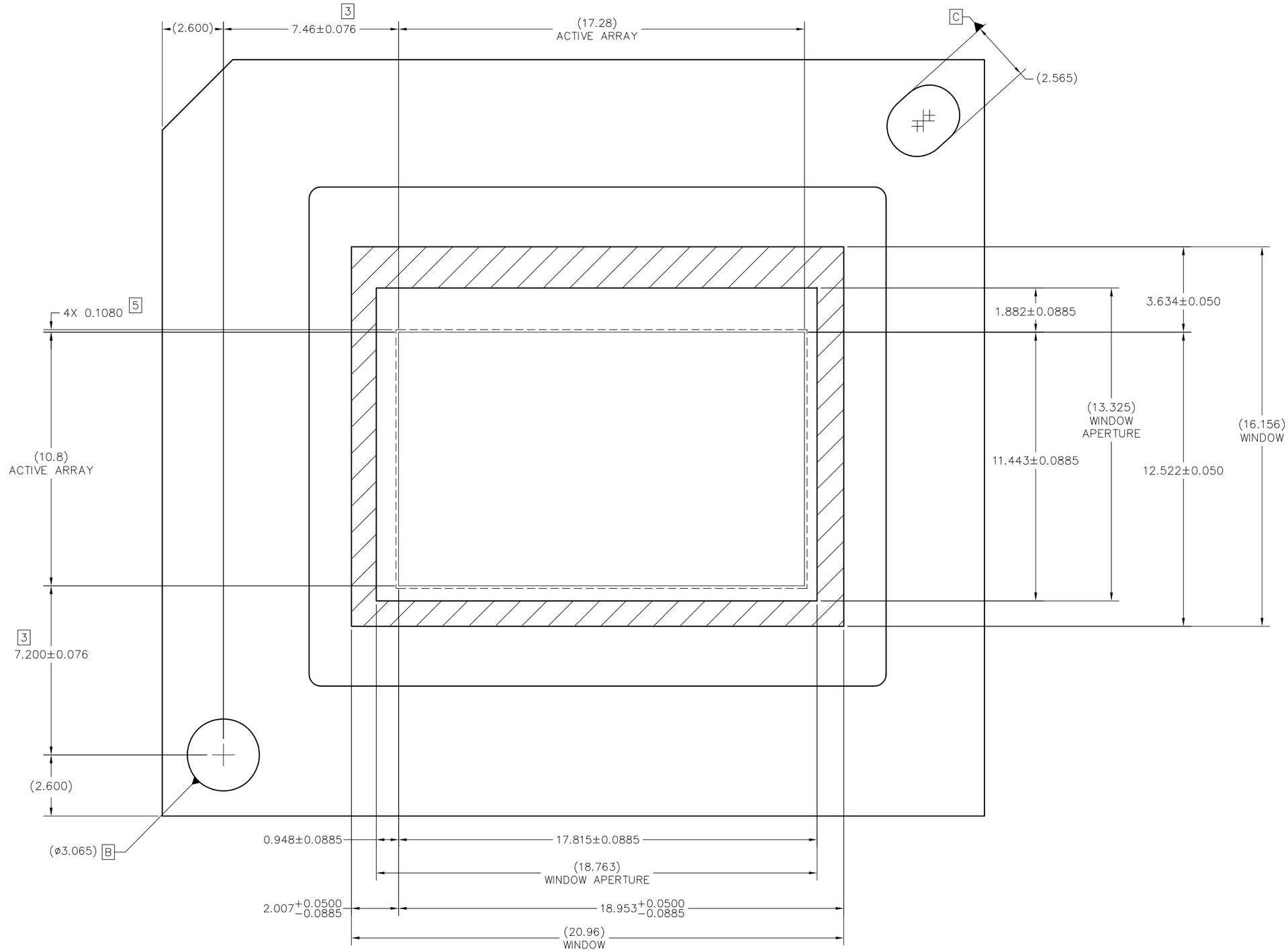
ACED1g



VIEW B
DATUMS AND ENCAPSULANT ALLOWABLE AREA
SCALE 8/1

TEXAS INSTRUMENTS Dallas, Texas	DWN DATE	SIZE D	DRAWING NO 2517029	REV A
	ISSUE DATE	SCALE 4/1	SHEET 2	

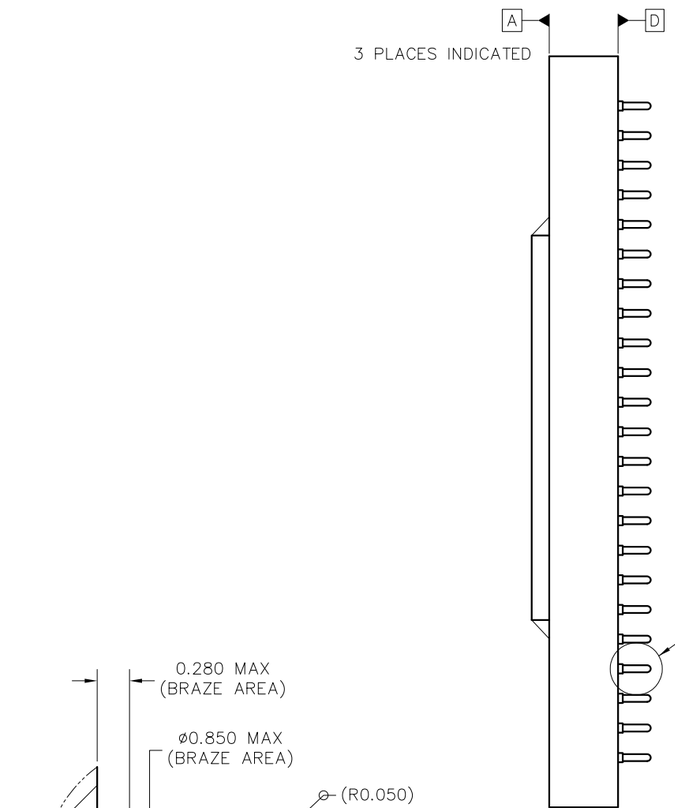
ACED2c

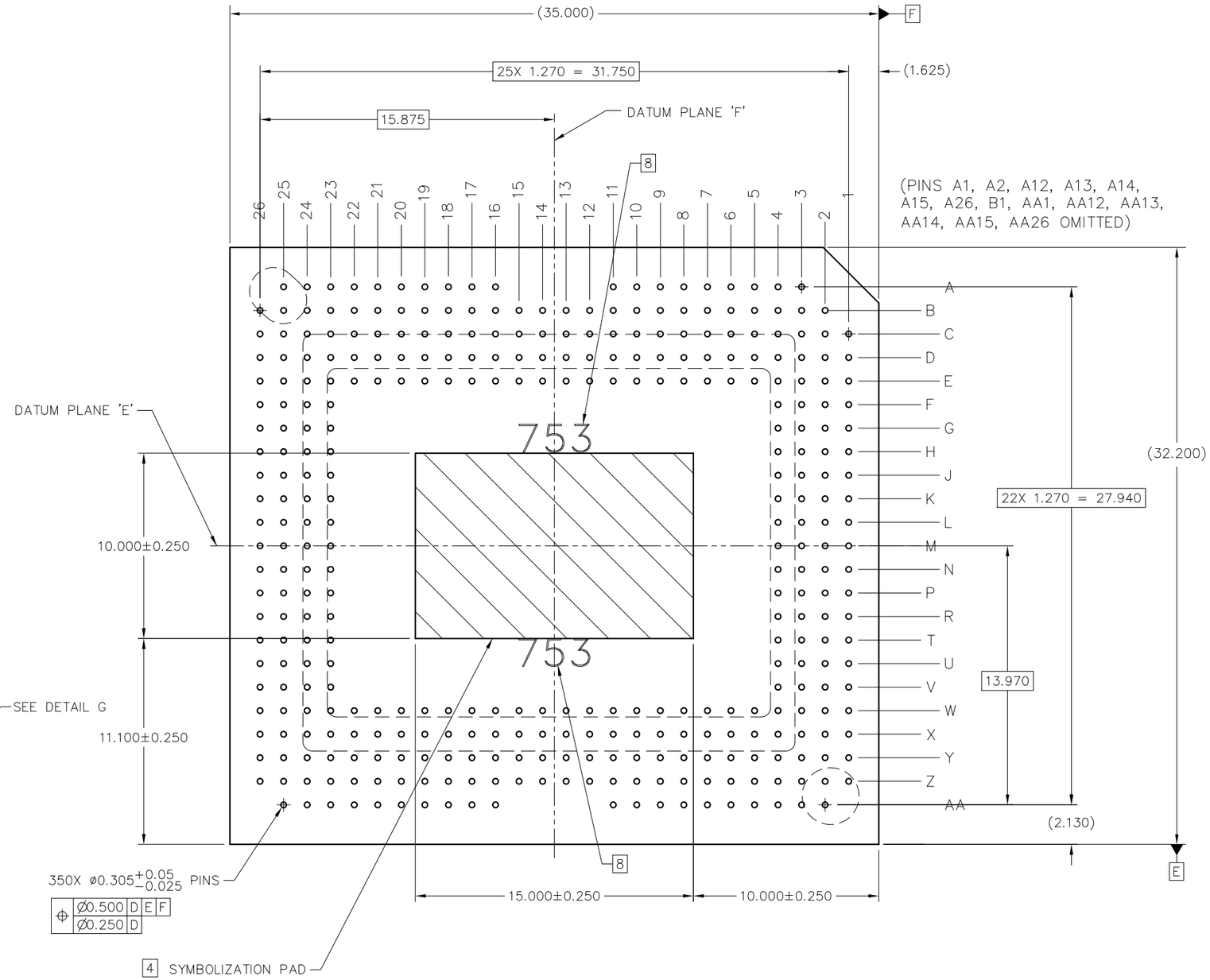


VIEW E (SHEET 1)
DMD WINDOW AND ACTIVE ARRAY
SCALE 12:1

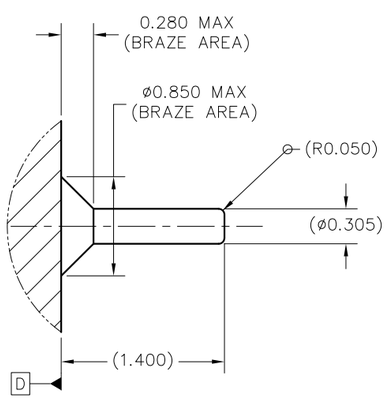
Texas Instruments, Dallas, Texas	DWN / DATE	SIZE D	DRAWING NO 2517029	REV A
	ISSUE DATE	SCALE 4/1	SHEET 3	

ACED2c





VIEW F–F (SHEET 1)
PINS AND SYMBOLIZATION PAD
SCALE 8/1



DETAIL G (350 PLACES)
PIN & BRAZE DIMENSIONS
SCALE 40/1

TEXAS INSTRUMENTS Dallas, Texas	DWN DATE	SIZE D	DRAWING NO 2517029	REV A
	ISSUE DATE	SCALE 4/1	SHEET 4	

ACED2c

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月