

DLPC3479 ディスプレイおよび照明コントローラ

1 特長

- **DLP4710LC (0.47 フル HD) DMD** 向け、ディスプレイおよび照明コントローラ
- 照明制御機能:
 - マシンビジョンおよびデジタル露光用に最適化されたパターンディスプレイ
 - 柔軟な内部(1D)および外部(2D)パターンのストリーミングモード
 - 露光時間をプログラミング可能
 - 最大 1440Hz (1 ビット) および 180Hz (8 ビット) の高速パターンレート
 - 2D 静的パターンをプログラム可能
 - 内部パターンのストリーミングモードにより、システム設計が簡素化
 - ビデオインターフェイス不要
 - 1000 を超えるパターンをフラッシュメモリに格納
 - カメラ/センサ同期用の柔軟なトリガ信号
 - 1 つの構成可能な入力トリガ
 - 2 つの構成可能な出力トリガ
- ディスプレイの特長
 - 最大 1080p の入力画像サイズに対応
 - 最高 120Hz の入力フレームレート (1080p 解像度で 60Hz)
 - 24 ビットの入力ピクセルインターフェイスに対応:
 - パラレルまたは BT656 インターフェイスプロトコル
 - 最大 155MHz のピクセルクロック
 - 画像処理 - IntelliBright™ アルゴリズム、画像のサイズ変更、1D Keystone、プログラム可能な逆ガンマ補正
- システム機能:
 - I²C を通じたデバイス構成の制御
 - スプラッシュスクリーンをプログラム可能
 - LED 電流制御をプログラム可能
 - 電源オフ時の自動 DMD パーキング

2 アプリケーション

- 3D 深度キャプチャ: 3D カメラ、3D 再構築、AR/VR、デンタル スキャナ
- 3D マシンビジョン: ロボティクス、計測、インライン検査 (AOI)
- 3D 生体認証: 顔認証および指紋認識
- 照射: 3D プリンタ、レーザー マーキング
- モバイル アクセサリのフル HD プロジェクタ
- レイテンシが短いゲーム用およびウェアラブル ディスプレイ

3 説明

DLP4710LC (.47 1080p) チップセットの一部である **DLPC3479** ディスプレイおよび照明コントローラは、ビデオ表示および照明制御アプリケーション向けに、デジタルマイクロミラー デバイス (DMD) の信頼性の高い動作をサポートします。DLPC3479 コントローラは、システムの電子機器と DMD の間の使いやすいインターフェイスとなり、ビデオ表示や、光パターンの高速、高精度、かつ効率的な操作を実現します。

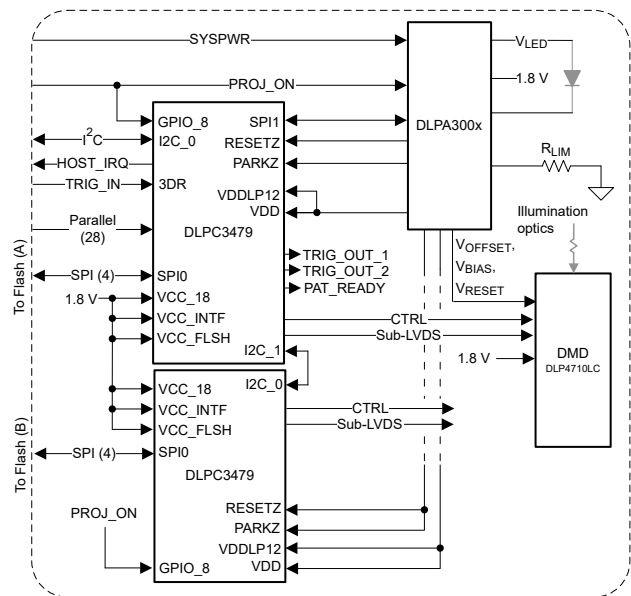
「TI DLP® ライト制御」ページにアクセスし、プログラマ ガイドを参照して、使用開始の方法を確認してください。

このチップセットには、設計サイクルの短縮に役立つ確立されたリソースが用意されており、これには **量産対応の光モジュール**、**光モジュール メーカー**、**設計会社**などが含まれます。

製品情報

部品番号	パッケージ (1)	パッケージサイズ
DLPC3479	NFBGA (201)	13.00mm × 13.00mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。



概略回路図



目次

1 特長	1	6.3 機能説明.....	25
2 アプリケーション	1	6.4 デバイスの機能モード.....	49
3 説明	1	6.5 プログラミング.....	50
4 ピン構成および機能	3	7 アプリケーションと実装	51
5 仕様	12	7.1 使用上の注意.....	51
5.1 絶対最大定格.....	12	7.2 代表的なアプリケーション.....	51
5.2 ESD 定格.....	12	8 電源に関する推奨事項	54
5.3 推奨動作条件.....	13	8.1 PLL 設計の検討事項.....	54
5.4 熱に関する情報.....	13	8.2 システムのパワーアップおよびパワーダウンシーケ ンス.....	54
5.5 電源の電気的特性.....	14	8.3 パワーアップ初期化シーケンス.....	58
5.6 ピンの電気的特性.....	15	8.4 DMD 高速パーク制御 (PARKZ).....	58
5.7 内部プルアップおよびプルダウンの電気特性.....	17	8.5 ホット プラグ I/O の使用.....	59
5.8 DMD SubLVDS インターフェイスの電気的特性.....	18	9 レイアウト	60
5.9 DMD 低速インターフェイスの電気的特性.....	19	9.1 レイアウトのガイドライン.....	60
5.10 システム発振器のタイミング要件.....	20	9.2 レイアウト例.....	68
5.11 電源およびリセットのタイミング要件.....	20	10 デバイスおよびドキュメントのサポート	69
5.12 パラレル インターフェイス フレームのタイミング要件.....	21	10.1 デバイス サポート.....	69
5.13 パラレル インターフェイスの一般的なタイミング要件.....	22	10.2 ドキュメントのサポート.....	73
5.14 フラッシュ インターフェイスのタイミング要件.....	23	10.3 ドキュメントの更新通知を受け取る方法.....	73
5.15 その他のタイミング要件.....	24	10.4 サポート・リソース.....	73
5.16 DMD SubLVDS インターフェイスのスイッチング特 性.....	24	10.5 商標.....	73
5.17 DMD パーキングのスイッチング特性.....	24	10.6 静電気放電に関する注意事項.....	73
5.18 チップセット コンポーネントの使用仕様の仕様.....	24	10.7 用語集.....	73
6 詳細説明	25	11 改訂履歴	74
6.1 概要.....	25	12 メカニカル、パッケージ、および注文情報	75
6.2 機能ブロック図.....	25		

4 ピン構成および機能

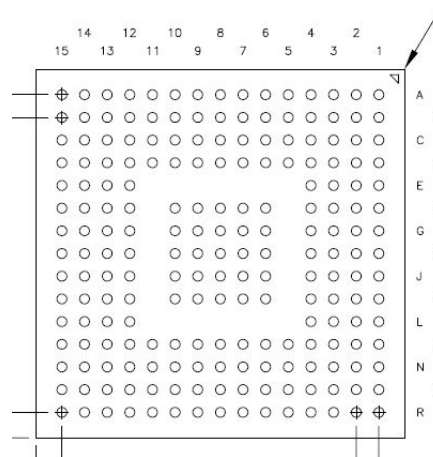


図 4-1. ZEZ パッケージ 201 ピン NFBGA 底面図

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	DMD_LS_CLK	DMD_LS_WDATA	DMD_HS_WDATAH_P	DMD_HS_WDATAG_P	DMD_HS_WDATAF_P	DMD_HS_WDATAE_P	DMD_HS_CLK_P	DMD_HS_WDATAD_P	DMD_HS_WDATAC_P	DMD_HS_WDATAB_P	DMD_HS_WDATAA_P	CMP_OUT	SPI0_CLK	SPI0_CSZ0	CMP_PWM
B	DMD_DEN_ARSTZ	DMD_LS_RDATA	DMD_HS_WDATAH_N	DMD_HS_WDATAG_N	DMD_HS_WDATAF_N	DMD_HS_WDATAE_N	DMD_HS_CLK_N	DMD_HS_WDATAD_N	DMD_HS_WDATAC_N	DMD_HS_WDATAB_N	DMD_HS_WDATAA_N	SPI0_DIN	SPI0_DOUT	LED_SEL_1	LED_SEL_0
C	DD3P	DD3N	VDDL12	VSS	VDD	VSS	VCC	VSS	VCC	HWTEST_EN	RESETZ	SPI0_CSZ1	PARKZ	GPIO_00	GPIO_01
D	DD2P	DD2N	VDD	VCC	VDD	VSS	VDD	VSS	VDD	VSS	VCC_FLSH	VDD	VDD	GPIO_02	GPIO_03
E	DCLKP	DCLKN	VDD	VSS								VCC	VSS	GPIO_04	GPIO_05
F	DD1P	DD1N	RREF	VSS		VSS	VSS	VSS	VSS	VSS		VCC	VDD	GPIO_06	GPIO_07
G	DD0P	DD0N	VSS_PLLM	VSS		VSS	VSS	VSS	VSS	VSS		VSS	VSS	GPIO_08	GPIO_09
H	PLL_REFCLK_I	VDD_PLLM	VSS_PLLD	VSS		VSS	VSS	VSS	VSS	VSS		VSS	VDD	GPIO_10	GPIO_11
J	PLL_REFCLK_O	VDD_PLLD	VSS	VDD		VSS	VSS	VSS	VSS	VSS		VDD	VSS	GPIO_12	GPIO_13
K	PDATA_1	PDATA_0	VDD	VSS		VSS	VSS	VSS	VSS	VSS		VSS	VCC	GPIO_14	GPIO_15
L	PDATA_3	PDATA_2	VSS	VDD								VDD	VDD	GPIO_16	GPIO_17
M	PDATA_5	PDATA_4	VCC_INTF	VSS	VSS	VDD	VCC_INTF	VSS	VDD	VDD	VCC	VSS	JTAGTMS1	GPIO_18	GPIO_19
N	PDATA_7	PDATA_6	VCC_INTF	PDM_CVSTE	HSYNC_CS	3DR	VCC_INTF	HOST_IRQ	IIC0_SDA	IIC0_SCL	JTAGTMS2	JTAGTD02	JTAGTD01	TSTPT_6	TSTPT_7
P	VSYNC_WE	DATEN_CMD	PCLK	PDATA_11	PDATA_13	PDATA_15	PDATA_17	PDATA_19	PDATA_21	PDATA_23	JTAGTRSTZ	JTAGTCK	JTAGTDI	TSTPT_4	TSTPT_5
R	PDATA_8	PDATA_9	PDATA_10	PDATA_12	PDATA_14	PDATA_16	PDATA_18	PDATA_20	PDATA_22	IIC1_SDA	IIC1_SCL	TSTPT_0	TSTPT_1	TSTPT_2	TSTPT_3

図 4-2. 13mm × 13mm のパッケージ - VF ボールグリッドアレイ

表 4-1. テストピンと汎用制御

ピン		I/O	タイプ (4)	説明
名称	番号			
HWTEST_EN	C10	I	6	製造テスト有効化信号。通常動作時は、この信号を PCB 上で直接グランドに接続します。
PARKZ	C13	I	6	DMD 高速パーク制御 (ヒステリシスバッファを備えたアクティブ Low 入力)。電力損失が迫っている場合に、この信号を使用して DMD を素早くパークさせることができます。DMD の最長寿命は高速パーク動作では達成できない可能性があるため、この信号は通常パーク動作が完了できない場合にのみアサートされることを意図しています。PARKZ 信号は通常、DLPAxxxx 割り込み出力信号から供給されます。
JTAGTCK	P12	I	6	TI 社内使用。このピンは未接続のままにしてください。
JTAGTDI	P13	I	6	TI 社内使用。このピンは未接続のままにしてください。
JTAGTDO 1	N13 ⁽¹⁾	O	1	TI 社内使用。このピンは未接続のままにしてください。
JTAGTDO 2	N12 ⁽¹⁾	O	1	TI 社内使用。このピンは未接続のままにしてください。
JTAGTMS 1	M13	I	6	TI 社内使用。このピンは未接続のままにしてください。
JTAGTMS 2	N11	I	6	TI 社内使用。このピンは未接続のままにしてください。
JTAGTRS TZ	P11	I	6	TI 社内使用。 通常動作のため、このピンは外部抵抗を介してグランドに接続する必要があります。通常動作時にこのピンを Low に接続しないと、起動および初期化に問題が生じる可能性があります。 ⁽²⁾
RESETZ	C11	I	6	パワーオンリセット (ヒステリシス バッファを備えたアクティブ Low 入力)。RESETZ で Low から High への遷移が検出されると、自己構成が開始されます。このリセットがデアサートされる前に、すべてのコントローラの電源とクロックが安定している必要があります。RESETZ がアサートされている間は、どの信号もアクティブ状態ではありません。このピンは通常、DLPA200x の RESETZ ピン、または DLPA300X の RESET_Z に接続されます。
TSTPT_0	R12	I/O	1	テストピン (弱い内部ブルダウンを含みます)。RESETZ が Low にアサートされている間、ピンはトライステート状態になります。RESETZ のデアサート後約 1.5µs で、入力のテスト モード選択制御としてサンプリングされ、その後は出力として駆動されます。 ^{(2) (3)}
TSTPT_1	R13	I/O	1	
TSTPT_2	R14	I/O	1	通常使用: テスト出力用に予約されています。通常使用では開放のままにしてください。
TSTPT_3	R15	I/O	1	注: 外部プルアップにより、DLPC34xx がテスト モードに入る可能性があります。詳細については、 セクション 6.3.9 を参照してください。
TSTPT_4	P14	I/O	1	テストピン 4 (弱い内部ブルダウンを含む) - RESETZ が Low にアサートされている間はトライステート状態になります。RESETZ のデアサート後約 1.5µs で入力のテスト モード選択制御としてサンプリングされ、その後は出力として駆動されます。TRIG_OUT_1 信号 (出力) 用に予約済み。
TSTPT_5	P15	I/O	1	テストピン (弱い内部ブルダウンを含みます)。RESETZ が Low にアサートされている間、ピンはトライステート状態になります。RESETZ のデアサート後約 1.5µs で、入力のテスト モード選択制御としてサンプリングされ、その後は出力として駆動されます。 ^{(2) (3)}
TSTPT_6	N14	I/O	1	
TSTPT_7	N15	I/O	1	通常使用: テスト出力用に予約されています。通常使用では開放のままにしてください。 注: 外部プルアップにより、DLPC34xx がテスト モードに入る可能性があります。詳細については、 セクション 6.3.9 を参照してください。

- (1) アプリケーション設計で外部プルアップが不要であり、かつ弱い内部ブルダウン抵抗を上回る外部ロジックが存在しない場合、この I/O ピンは通常動作において開放または未接続のままにすることができます。アプリケーション設計で外部プルアップが不要であっても、弱い内部ブルダウン抵抗を上回る可能性のある外部ロジックが存在する場合は、ロジック Low を確実にするために外部ブルダウンを推奨します。
- (2) 内部プルアップ抵抗またはブルダウン抵抗を提供するピンを補償するため、外付け抵抗の値は 8kΩ 以下にする必要があります。
- (3) アプリケーション設計で外部プルアップが不要であり、かつ弱い内部ブルダウンを上回る外部ロジックが存在しない場合、TSTPT I/O は通常動作において開放 (未接続) のままとすることができます。動作上、外部プルアップが不要であっても、弱い内部ブルダウン抵抗を上回る可能性のある外部ロジックが存在する場合は、ロジック Low を確実にするために外部ブルダウン抵抗の使用を推奨します。
- (4) タイプの定義については、「[表 4-9](#)」を参照してください。

表 4-2. パラレル ポート入力

ピン ⁽¹⁾ (2)		I/O	タイプ ⁽⁴⁾	説明
名称	番号			パラレル RGB モード
PCLK	P3	I	10	ピクセル クロック
PDM_CVS_TE	N4	I/O	5	パラレル データ マスク。極性はプログラム可能で、デフォルトはアクティブ High です。オプション信号。
VSYNC_WE	P1	I	10	Vsync ⁽³⁾
HSYNC_CS	N5	I	10	Hsync ⁽³⁾
DATAEN_CMD	P2	I	10	データの有効性
PDATA_0 PDATA_1 PDATA_2 PDATA_3 PDATA_4 PDATA_5 PDATA_6 PDATA_7	K2 K1 L2 L1 M2 M1 N2 N1	I	10	(標準的な RGB 888) 青 (ビット重み 1) 青 (ビット重み 2) 青 (ビット重み 4) 青 (ビット重み 8) 青 (ビット重み 16) 青 (ビット重み 32) 青 (ビット重み 64) 青 (ビット重み 128)
PDATA_8 PDATA_9 PDATA_10 PDATA_11 PDATA_12 PDATA_13 PDATA_14 PDATA_15	R1 R2 R3 P4 R4 P5 R5 P6	I	10	(標準的な RGB 888) 緑 (ビット重み 1) 緑 (ビット重み 2) 緑 (ビット重み 4) 緑 (ビット重み 8) 緑 (ビット重み 16) 緑 (ビット重み 32) 緑 (ビット重み 64) 緑 (ビット重み 128)
PDATA_16 PDATA_17 PDATA_18 PDATA_19 PDATA_20 PDATA_21 PDATA_22 PDATA_23	R6 P7 R7 P8 R8 P9 R9 P10	I	10	(標準的な RGB 888) 赤 (ビット重み 1) 赤 (ビット重み 2) 赤 (ビット重み 4) 赤 (ビット重み 8) 赤 (ビット重み 16) 赤 (ビット重み 32) 赤 (ビット重み 64) 赤 (ビット重み 128)
3DR	N6	I	10	光制御 <ul style="list-style-type: none"> 内部パターン モードの外部入力トリガ信号 (入力) 3D リファレンス <ul style="list-style-type: none"> 3D アプリケーションの場合: 左または右の 3D リファレンス (左 = 1、右 = 0)。ホスト側で提供されます。各フレームの中央で遷移する必要があります (VSYNC のアクティブ エッジから 1ms 以上離れていること)。 3D アプリケーションを使用しない場合、この入力は外部抵抗を介して Low にプルダウンしてください。

- (1) PDATA(23:0) バスのマッピングは、ピクセル形式とソース モードで異なります。詳細については後のセクションを参照してください。
 (2) 未使用の入力はグラウンドに接続するか、外部抵抗 (8kΩ 以下) を介してグラウンドにプルダウンします。
 (3) VSYNC および HSYNC の極性は、ソフトウェアで調整できます。
 (4) タイプの定義については、「表 4-9」を参照してください。

表 4-3. DMD リセットおよびバイアス制御

ピン		I/O	タイプ ⁽¹⁾	説明
名称	番号			
DMD_DEN_ARSTZ	B1	O	2	DMD ドライバ有効化 (アクティブ High)。DMD リセット (アクティブ Low)。対応する I/O 電源が供給されている場合、コントローラは DMD がパークされた後、かつ DMD への電源が遮断される前に、この信号を Low に駆動します。DLPC34xx への 1.8V 電源が DMD への 1.8V 電源と独立している場合、DLPC34xx の電源がオフで DMD に電源が供給されている状況でも信号を Low に保持するため、TI は弱い外部プルダウン抵抗を追加することを推奨しています。
DMD_LS_CLK	A1	O	3	DMD、低速 (LS) インターフェイス クロック
DMD_LS_WDATA	A2	O	3	DMD、低速 (LS) シリアル書き込みデータ
DMD_LS_RDATA	B2	I	6	DMD、低速 (LS) シリアル読み取りデータ

(1) タイプの定義については、「表 4-9」を参照してください。

表 4-4. DMD SubLVDS インターフェイス

ピン		I/O	タイプ ⁽¹⁾	説明
名称	番号			
DMD_HS_CLK_P DMD_HS_CLK_N	A7 B7	O	4	DMD 高速 (HS) インターフェイス クロック
DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	A3 B3 A4 B4 A5 B5 A6 B6 A8 B8 A9 B9 A10 B10 A11 B11	O	4	DMD SubLVDS 高速 (HS) インターフェイスの書き込みデータレーン。DMD_HS_WDATA ピンの実際の番号および用途は、ソフトウェア構成に依存します。表 6-10 を参照してください。

(1) タイプの定義については、「表 4-9」を参照してください。

表 4-5. パリフェラル インターフェイス

ピン		I/O	タイプ ⁽³⁾	説明 ⁽¹⁾
名称	番号			
CMP_OUT	A12	I	6	逐次比較型 ADC (A/D コンバータ) のコンパレータ出力 (DLPC34xx 入力)。実装するには、逐次比較型 ADC を使用し、サームスタを外部コンパレータの一方の入力に接続し、もう一方の入力は DLPC34xx コントローラの GPIO_10 (RC_CHARGE) ピンで駆動します。この機能を実現するには、DLPAXxxx を使用することを推奨します。この機能を使用しない場合は、CMP_OUT をグラウンドにプルダウンする必要があります (ヒステリシス バッファ)。
CMP_PWM	A15	O	1	TI 社内使用。このピンは未接続のままにしてください。
HOST_IRQ ⁽²⁾	N8	O	9	ホスト割り込み (出力) HOST_IRQ は、DLPC34xx の自動初期化が進行中であること、そして最も重要な点として、その完了を示します。 このピンはリセット中にトライステートになります。この信号には外付けプルアップを接続する必要があります。

表 4-5. パリフェラル インターフェイス (続き)

ピン		I/O	タイプ ⁽³⁾	説明 ⁽¹⁾
名称	番号			
IIC0_SCL ⁽⁴⁾	N10	I/O	7	I ² C ターゲット (ポート 0) SCL (双方向、オープンドレイン信号、入力ヒステリシス付き): このピンは外付けプルアップ抵抗を必要とします。ターゲット I ² C I/O は 3.6V 許容 (高電圧入力を許容) で、VCC_INTF (1.8V、2.5V、3.3V) から電源を供給します。外部 I ² C プルアップは、最大 3.6V の同じまたはそれ以上の電源電圧を持つホスト電源に接続する必要があります (低いプルアップ電源電圧は通常、ターゲット I ² C 入力バッファの V _{IH} 仕様を満たしていません)。
IIC1_SCL	R11	I/O	8	TI 社内使用。TI は外付けプルアップ抵抗を推奨します。
IIC0_SDA ⁽⁴⁾	N9	I/O	7	I ² C ターゲット (ポート 0) SDA。 (入力ヒステリシス付きの双方向オープンドレイン信号): このピンは外付けプルアップ抵抗を必要とします。ターゲット I ² C ポートは、コントローラの制御ポートです。ターゲット I ² C I/O ピンは 3.6V 許容 (高電圧入力を許容) で、VCC_INTF (1.8V、2.5V、3.3V) から電源を供給します。外部 I ² C プルアップは、最大 3.6V の同じまたはそれ以上の電源電圧を持つホスト電源に接続する必要があります (低いプルアップ電源電圧は通常、ターゲット I ² C 入力バッファの V _{IH} 仕様を満たしていません)。
IIC1_SDA	R10	I/O	8	TI 社内使用。TI は外付けプルアップ抵抗を推奨します。
LED_SEL_0	B15	O	1	LED イネーブル選択。DLPC34xx プログラマブル DMD シーケンスにより自動的に制御されます LED_SEL(1:0) 00 LED が点灯 01 なし 10 赤 11 緑 青
LED_SEL_1	B14	O	1	RESETZ がアサートされ、かつ対応する I/O 電源が供給されている場合、コントローラはこれらの信号を Low に駆動します。コントローラは自動初期化プロセスの間、これらの信号を引き続き Low に駆動し続けます。I/O 電源が供給されていないときに LED が無効状態となるよう、弱い外部プルダウン抵抗の使用を推奨します。
SPI0_CLK	A13	O	13	SPI (シリアル パリフェラル インターフェイス) ポート 0、クロック。このピンは通常、フラッシュメモリクロックに接続されています。
SPI0_CSZ0	A14	O	13	SPI ポート 0、チップ セレクト 0 (アクティブ Low 出力)。このピンは通常、フラッシュメモリチップ セレクトに接続されています。コントローラのリセットをアサート中に外部 SPI デバイスの入力がフローティング状態になるのを防ぐため、TI は外部プルアップ抵抗の使用を推奨しています。
SPI0_CSZ1	C12	O	13	SPI ポート 0、チップ セレクト 1 (アクティブ Low 出力)。このピンは通常、未使用のままです。コントローラのリセットをアサート中に外部 SPI デバイスの入力がフローティング状態になるのを防ぐため、TI は外部プルアップ抵抗の使用を推奨しています。
SPI0_DIN	B12	I	12	同期シリアル ポート 0 の受信データ入力。このピンは通常、フラッシュメモリのデータ出力に接続されます。
SPI0_DOUT	B13	O	13	同期シリアル ポート 0、送信データ出力。このピンは通常、フラッシュメモリのデータ入力に接続されます。

- (1) 外付けプルアップ抵抗は 8kΩ 以下にする必要があります。
- (2) 使用方法については、[セクション 6.3.3](#) を参照してください。
- (3) タイプの定義については、「[表 4-9](#)」を参照してください。
- (4) VCC_INTF に電源が供給されていて、VDD に電力が供給されていない場合、コントローラは IIC0_xxx ピンを Low に駆動して、この I²C バスでの通信を禁止できます。このバスに追加のターゲット デバイスがあるシステムでは、VDD ピンより先に VCC_INTF ピンの電源を投入しないでください。

表 4-6. GPIO ペリフェラル インターフェイス

ピン		I/O	タイプ (3)	説明(2)
名称(1)	番号			
GPIO_19	M15	I/O	1	HBT_ODAT (出力):2 番目の DLPC3479 の HBT_IDAT (GPIO_17) ピンに接続します。
GPIO_18	M14	I/O	1	HBT_OCLK (出力):2 番目の DLPC3479 の HBT_ICLK (GPIO_16) ピンに接続します。
GPIO_17	L15	I/O	1	HBT_IDAT (入力):2 番目の DLPC3479 の HBT_ODAT (GPIO_19) ピンに接続します。
GPIO_16	L14	I/O	1	HBT_ICLK (入力):2 番目の DLPC3479 の HBT_OCLK (GPIO_18) ピンに接続します。
GPIO_15	K15	I/O	1	DA_SYNC (BiDir):2 番目の DLPC3479 の DA_SYNC (GPIO_15) ピンに接続します。
GPIO_14	K14	I/O	1	SEQ_SYNC (BiDir):2 番目の DLPC3479 の SEQ_SYNC (GPIO_14) ピンに接続し、7.87k のプルアップ抵抗を介して VCC18 へ接続します。
GPIO_13	J15	I/O	1	汎用 I/O 13 (ヒステリシス バッファ)。オプションの GPIO。未使用の場合、TI はこのピンをロジック 0 の GPIO 出力として設定し、未接続のままとすることを推奨しています。それ以外の場合、このピンは GPIO 入力フローティング状態を防ぐために、外部プルアップまたはプルダウンが必要です。
GPIO_12	J14	I/O	1	汎用 I/O 12 (ヒステリシス バッファ)。オプションの GPIO。未使用の場合、TI はこのピンをロジック 0 の GPIO 出力として設定し、未接続のままとすることを推奨しています。それ以外の場合、このピンは GPIO 入力フローティング状態を防ぐために、外部プルアップまたはプルダウンが必要です。
GPIO_11	H15	I/O	1	汎用 I/O 11 (ヒステリシス バッファ)。オプション: 1. サーマスタの電源イネーブル (出力)。サーミスタを使用して有効にすると、サーミスタの電源がオンになります。 2. オプションの GPIO。未使用の場合、TI はこのピンをロジック 0 の GPIO 出力として設定し、未接続のままとすることを推奨しています。それ以外の場合、このピンは GPIO 入力フローティング状態を防ぐために、外部プルアップまたはプルダウンが必要です。
GPIO_10	H14	I/O	1	汎用 I/O 10 (ヒステリシス バッファ)。オプション: 1. RC_CHARGE (出力):サーミスタ インターフェイスの RC 充電回路に供給することを目的としています。 2. オプションの GPIO。未使用の場合、TI はこのピンをロジック 0 の GPIO 出力として設定し、未接続のままとすることを推奨しています。それ以外の場合、このピンは GPIO 入力フローティング状態を防ぐために、外部プルアップまたはプルダウンが必要です。
GPIO_09	G15	I/O	1	汎用 I/O 09 (ヒステリシス バッファ)。オプションの GPIO。未使用の場合、TI はこのピンをロジック 0 の GPIO 出力として設定し、未接続のままとすることを推奨しています。それ以外の場合、このピンは GPIO 入力フローティング状態を防ぐために、外部プルアップまたはプルダウンが必要です。
GPIO_08	G14	I/O	1	汎用 I/O 08 (ヒステリシス バッファ)。通常ミラー パーキング要求 (アクティブ Low):ホストの PROJ_ON 出力によって駆動されます。この信号がロジック Low のとき、DLPC34xx は DMD をパークさせますが、DMD の電源はオフになりません (電源オフは DLPxxxx が行います)。最小 High 時間は 200ms です。最小 Low 時間は 200ms です。
GPIO_07	F15	I/O	1	汎用 I/O 07 (ヒステリシス バッファ)。オプション: 1. 光制御:TRIG_OUT_2 信号 (出力) 用に予約済み。 2. オプションの GPIO。未使用の場合は、ロジック 0 の GPIO 出力として設定し、未接続のままとすることが推奨されます (そうしない場合は、GPIO 入力フローティングを防ぐため外部プルアップまたはプルダウンが必要になります)。
GPIO_06	F14	I/O	1	汎用 I/O 06 (ヒステリシス バッファ)。オプション: 1. 光制御:パターン準備完了信号 (出力) 用に予約済み。内部パターン ストリーミング モードにのみ適用されます。 2. オプションの GPIO。未使用の場合は、ロジック 0 の GPIO 出力として設定し、未接続のままとすることが推奨されます (そうしない場合は、GPIO 入力フローティングを防ぐため外部プルアップまたはプルダウンが必要になります)。

表 4-6. GPIO ペリフェラル インターフェイス (続き)

ピン		I/O	タイプ (3)	説明(2)
名称(1)	番号			
GPIO_05	E15	I/O	1	汎用 I/O 05 (ヒステリシス バッファ)。オプションの GPIO。未使用の場合、TI はこのピンをロジック 0 の GPIO 出力として設定し、未接続のままとすることを推奨しています。それ以外の場合、このピンは GPIO 入力フローティング状態を防ぐために、外部プルアップまたはプルダウンが必要です。
GPIO_04	E14	I/O	1	MST_SLVZ (入力): 1 次側または 2 次側コントローラ識別信号 (1 次側 = 1、2 次側 = 0)。
GPIO_03	D15	I/O	1	汎用 I/O 03 (ヒステリシス バッファ)。SPI1_CSZ0 (アクティブ Low 出力): SPI1 チップ セレクト 0 信号。このピンは通常、DLPAXxxx SPI_CSZ ピンに接続されています。リセットおよび自動初期化プロセス中にこの信号を無効化するには、外部プルアップ抵抗が必要です。
GPIO_02	D14	I/O	1	汎用 I/O 02 (ヒステリシス バッファ)。SPI1_DOUT (出力): SPI1 データ出力信号。このピンは通常、DLPAXxxx SPI_DIN ピンに接続されます。
GPIO_01	C15	I/O	1	汎用 I/O 01 (ヒステリシス バッファ)。SPI1_CLK (出力): SPI1 クロック信号このピンは通常、DLPAXxxx SPI_CLK ピンに接続されています。
GPIO_00	C14	I/O	1	汎用 I/O 00 (ヒステリシス バッファ)。SPI1_DIN (入力): SPI1 データ入力信号。このピンは通常、DLPAXxxx SPI_DOUT ピンに接続されます。

- (1) GPIO ピンは、入力、出力、双方向、またはオープンドレイン動作としてソフトウェアで設定する必要があります。一部の GPIO ピンには、1 つまたは複数の代替使用モードがあり、これらもソフトウェアで設定可能です。オープンドレインとして構成された各信号には、外部プルアップ抵抗が必要です。
- (2) DLPC3470 コントローラ用の汎用 I/O。これらの GPIO ピンはソフトウェアで設定可能です。
- (3) タイプの定義については、「表 4-9」を参照してください。

表 4-7. クロックおよび PLL のサポート

ピン		I/O	タイプ(1)	説明
名称	番号			
PLL_REFCLK_I	H1	I	11	リファレンス クロック用水晶発振器入力。水晶振動子の代わりに外部発振器を使用する場合、このピンを発振器入力として使用します。
PLL_REFCLK_O	J1	O	5	リファレンス クロック用水晶発振器リターン。水晶振動子の代わりに外部発振器を使用する場合、このピンは未接続 (追加の容量性負荷なしでフローティング) とします。

- (1) タイプの定義については、「表 4-9」を参照してください。

表 4-8. 電源およびグランド

ピン		I/O	タイプ	説明
名称	番号			
VDD	C5、D5、D7、D12、J4、J12、K3、L4、L12、M6、M9、D9、D13、F13、H13、L13、M10、D3、E3	—	PWR	1.1V コア電源 (メイン 1.1V)
VDDL12	C3	—	---	未使用。このピンは外部で VDD に接続することが推奨されます。

表 4-8. 電源およびグランド (続き)

ピン		I/O	タイプ	説明
名称	番号			
VSS	C4、D6、D8、D10、E4、E13、F4、G4、G12、H4、H12、J3、J13、K4、K12、L3、M4、M5、M8、M12、G13、C6、C8、F6、F7、F8、F9、F10、G6、G7、G8、G9、G10、H6、H7、H8、H9、H10、J6、J7、J8、J9、J10、K6、K7、K8、K9、K10	—	GND	コア グランド (eDRAM、I/O グランド、サーマル グランド)
VCC18	C7、C9、D4、E12、F12、K13、M11	—	PWR	すべての 1.8V I/O 電源: すべての I/O ピン (RESETZ、PARKZ、LED_SEL、CMP_OUT、GPIO、IIC1、TSTPT、および JTAG) に対応する 1.8V 電源 (ホストまたはパラレル インターフェイスと SPI フラッシュ インターフェイスを除く)。
VCC_INTF	M3、M7、N3、N7	—	PWR	ホストまたはパラレル インターフェイスの I/O 電源: 1.8V ~ 3.3V (IIC0、PDATA、ビデオ同期、HOST_IRQ ピンを含む)
VCC_FLSH	D11	—	PWR	フラッシュ インターフェイスの I/O 電源: 1.8V ~ 3.3V (専用 SPI0 電源ピン)
VDD_PLLM	H2	—	PWR	MCG PLL (1 次側クロック ジェネレータ フェーズ ロック ループ) 1.1V 電源
VSS_PLLM	G3	—	RTN	MCG PLL リターン
VDD_PLLD	J2	—	PWR	DCG PLL (DMD クロック ジェネレータ フェーズ ロック ループ) 1.1V 電源
VSS_PLLD	H3	—	RTN	DCG PLL リターン

表 4-9. I/O タイプのサブスクリプト定義

I/O		電源リファレンス	ESD 構造
サブスクリプト	説明		
1	1.8V LVCMOS I/O バッファ、8mA ドライブ付き	V _{CC18}	GND および電源レールへの ESD ダイオード
2	1.8V LVCMOS I/O バッファ、4mA ドライブ付き	V _{CC18}	GND および電源レールへの ESD ダイオード
3	1.8V LVCMOS I/O バッファ、24mA ドライブ付き	V _{CC18}	GND および電源レールへの ESD ダイオード
4	1.8V SubLVDS 出力、4mA ドライブ付き	V _{CC18}	GND および電源レールへの ESD ダイオード
5	1.8V、2.5V、3.3V LVCMOS、4mA ドライブ付き	V _{CC_INTF}	GND および電源レールへの ESD ダイオード
6	1.8V LVCMOS 入力	V _{CC18}	GND および電源レールへの ESD ダイオード
7	1.8V、2.5V、3.3V の I ² C、3mA ドライブ付き	V _{CC_INTF}	GND および電源レールへの ESD ダイオード
8	1.8V I ² C、3mA ドライブ付き	V _{CC18}	GND および電源レールへの ESD ダイオード
9	1.8V、2.5V、3.3V LVCMOS、8mA ドライブ付き	V _{CC_INTF}	GND および電源レールへの ESD ダイオード
10	予約済み		

表 4-9. I/O タイプのサブスクリプト定義 (続き)

I/O		電源リファレンス	ESD 構造
サブスクリプト	説明		
11	1.8V、2.5V、3.3V LVCMOS 入力	V _{CC_INTF}	GND および電源レールへの ESD ダイオード
12	1.8V、2.5V、3.3V LVCMOS 入力	V _{CC_FLSH}	GND および電源レールへの ESD ダイオード
13	1.8V、2.5V、3.3V LVCMOS、8mA ドライブ付き	V _{CC_FLSH}	GND および電源レールへの ESD ダイオード

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧 ⁽²⁾				
V _{VDD}		-0.3	1.21	V
V _(VDDL12)		-0.3	1.32	V
V _(VCC18)		-0.3	1.96	V
DMD SubLVDS インターフェイス (DMD_HS_CLK_x および DMD_HS_WDATA_x_y)		-0.3	1.96	V
V _(VCC_INTF)		-0.3	3.60	V
V _(VCC_FLASH)		-0.3	3.60	V
V _(VDD_PLLM) (MCG PLL)		-0.3	1.21	V
V _(VDD_PLLD) (DCG PLL)		-0.3	1.21	V
V _{I2C buffer} (I/O タイプ 7)		-0.3	⁽³⁾ を参照してください。	V
一般				
T _J	動作時接合部温度	-30	125	°C
T _{stg}	保存温度	-40	125	°C

- (1) 「[セクション 5.1](#)」に示された値を上回るストレスがかかった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについて示してあり、これらの条件で、または [セクション 5.3](#) に示されている条件を超える他の条件で、デバイスの機能的な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、VSS (GND) を基準としています。
- (3) I/O は高電圧対応です。つまり、VCC_INTF = 1.8V の場合は入力は 3.3V 許容となり、VCC_INTF = 3.3V の場合は入力は 5V 許容となります。

5.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位	
V _{VDD}	コア電源 1.1V (メイン 1.1V)	1.045	1.10	1.155	V	
V _(VDDL12)	未使用。 (2)を参照してください。	1.045	1.10	1.155	V	
V _(VCC18)	すべての 1.8V I/O 電源: すべての I/O ピン (RESETZ、PARKZ LED_SEL、 CMP_OUT、GPIO、IIC1、TSTPT、および JTAG) に対応する 1.8V 電源 (ホストまたはパラレル インターフェイスと SPI フラッシュ インターフェイスを除く)。	1.64	1.80	1.96	V	
V _(VCC_INTF)	ホストまたはパラレル インターフェイスの I/O 電源: 1.8V ~ 3.3V (IIC0、PDATA、ビデオ同期、HOST_IRQ ピンを含む)	(1)を参照してください。	1.64	1.80	1.96	V
			2.28	2.50	2.72	
			3.02	3.30	3.58	
V _(VCC_FLSH)	フラッシュ インターフェイスの I/O 電源: 1.8V ~ 3.3V	(1)を参照してください。	1.64	1.80	1.96	V
			2.28	2.50	2.72	
			3.02	3.30	3.58	
V _(VDD_PLLM)	MCG PLL 1.1V 電源	(3)を参照してください。	1.025	1.100	1.155	V
V _(VDD_PLLD)	DCG PLL 1.1V 電源	(3)を参照してください。	1.025	1.100	1.155	V
T _A	動作時周囲温度(4)	-30		85	°C	
T _J	動作時接合部温度	-30		105	°C	

- これらの電源は、複数の有効範囲を備えています。
- VDDL12 は VDD レールに接続することを推奨します。
- 最小電圧は他の 1.1V 電源の最小値よりも低くすることで、追加のフィルタリングを可能にします。このフィルタリングにより、フィルタの両端での IR 電圧降下が発生する可能性があります。
- 動作時周囲温度範囲は、強制エアフローなし、強制エアフローなしでの JEDEC JESD51 接合部から周囲への熱抵抗値 (R_{θJA}, 0m/s 時)、JEDEC JESD51 規格のテストカードと環境、さらにプロセス、電圧、温度に対する最小および最大推定消費電力を想定しています。熱条件はアプリケーションによって異なり、R_{θJA} に影響します。そのため、最大動作時周囲温度はアプリケーションによって異なります。
 - $T_{A(\min)} = T_{J(\min)} - (P_{S(\min)} \times R_{\theta JA}) = -30^{\circ}\text{C} - (0.0\text{W} \times 28.8^{\circ}\text{C}/\text{W}) = -30^{\circ}\text{C}$
 - $T_{a_{\max}} = T_{J_{\max}} - (P_{d_{\max}} \times R_{\theta JA}) = +105^{\circ}\text{C} - (0.348\text{W} \times 28.8^{\circ}\text{C}/\text{W}) = +95.0^{\circ}\text{C}$

5.4 熱に関する情報

熱評価基準(1)		DLPC3479		単位
		ZEZ (NFBGA)		
		201 ピン		
R _{θJC}	接合部からケースへの熱抵抗	10.1		°C/W
R _{θJA} (2)	接合部から空気への熱抵抗	強制エアフローが 0m/s のとき	28.8	°C/W
		強制エアフローが 1m/s のとき	25.3	°C/W
		強制エアフローが 2m/s のとき	24.4	°C/W
ψ _{JT} (3)	接合部からパッケージ上面の中心温度までの温度変化、単位消費電力あたり	0.23		°C/W

- 従来および最新の熱測定基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポート、SPRA953 を参照してください。
- 熱係数は JEDEC 規格 51 に準拠しています。R_{θJA} は、JEDEC で定義された標準テスト PCB を使用して測定されたパッケージの熱抵抗です。この JEDEC テスト PCB は必ずしも DLPC3479 テスト PCB を代表しているとは限らないため、報告された熱抵抗は、実際の製品アプリケーションでは誤差が生じる場合があります。実際の熱抵抗は異なる可能性があります。設計段階において放熱性能を評価する上では最良の情報となります。
- 例: (0.5W) × (0.2°C/W) ≈ 1.00°C の温度上昇。

5.5 電源の電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ ^{(4) (5) (6)}	テスト条件	最小値	標準値 ⁽¹⁾	最大値 ⁽²⁾	単位
$I_{(VDD)}$ + $I_{(VDD_PLL)}$ + 1.1V レール $I_{(VDD_PLL)}$	フレーム レート = 50Hz		206	338	mA
	フレーム レート = 60Hz		222	366	
$I_{(VDD_PLL)}$ MCG PLL 1.1V 電流 ⁽³⁾	フレーム レート = 50Hz		6		mA
	フレーム レート = 60Hz		6		
$I_{(VDD_PLL)}$ DCG PLL 1.1V 電流 ⁽³⁾	フレーム レート = 50Hz		6		mA
	フレーム レート = 60Hz		6		
$I_{(VCC18)}$ すべての 1.8V I/O 電流:(ホストまたはパラレル インターフェイスおよび SPI フラッシュ インターフェイス以外のすべての I/O 向けの 1.8V 電源)	フレーム レート = 50Hz		31	45	mA
	フレーム レート = 60Hz		31	45	
$I_{(VCC_INTF)}$ ホストまたはパラレル インターフェイスの I/O 電流:1.8V ~ 3.3V (IIC0, PDATA、ビデオ同期、HOST_IRQ ピンを含む) ⁽³⁾	フレーム レート = 50Hz		2		mA
	フレーム レート = 60Hz		2		
$I_{(VCC_FLSH)}$ フラッシュ インターフェイスの I/O 電流:1.8V ~ 3.3V ⁽³⁾	フレーム レート = 50Hz		1		mA
	フレーム レート = 60Hz		1		

- (1) 値は、1.1V を使用するすべてのピン (VDDL12 を含む) が共通接続されており、プログラマブルなホストおよびフラッシュの I/O が公称最小電圧 (すなわち 1.8V) で動作していることを前提としています。
- (2) 入力画像は 1920 × 1080 (1080p) 24 ビットで、VESA Reduced Blanking v2 タイミングを使用し、0.47 インチ 1080p (DLP4710LC) DMD において、記載のフレーム レートでパラレル インターフェイス経由で入力されます。コントローラでは、CAIC および LABB アルゴリズムがオフになっています。
- (3) これらの値は、ソフトウェアの更新やお客様による変更が消費電力性能に与える影響を考慮したものではありません。
- (4) 公称プロセス、電圧、および温度 (周囲温度 25°C の公称条件) において、公称の入力画像を前提としています。
- (5) 最悪条件のプロセス、最大電圧、および公称周囲温度 65°C の高温条件において、最悪条件の入力画像を前提としています。
- (6) これらの消費電力の数値は、単一のコントローラに対する値です。システムには 2 つのコントローラが必要であり、通常、各コントローラは同じ電源から電力を供給します。

5.6 ピンの電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ ⁽³⁾		テスト条件 ⁽⁴⁾	最小値	標準値	最大値	単位
V _{IH}	High レベル入力スレッショルド電圧	I ² C バッファ (I/O タイプ 7)		0.7 × VCC_INTF	(1)を参照してください	V
		I/O タイプ 1, 2, 3, 6, 8 ⁽²⁾ に記載されているピンを除く)	VCC18 = 1.8 V	1.17	3.6	
		I/O タイプ 1, 6 ⁽²⁾ に記載されているピンの場合)	VCC18 = 1.8 V	1.3	3.6	
		I/O タイプ 5, 9, 11	VCC_INTF = 1.8V	1.17	3.6	
		I/O タイプ 12, 13	VCC_FLSH = 1.8V	1.17	3.6	
		I/O タイプ 5, 9, 11	VCC_INTF = 2.5V	1.7	3.6	
		I/O タイプ 12, 13	VCC_FLSH = 2.5V	1.7	3.6	
		I/O タイプ 5, 9, 11	VCC_INTF = 3.3V	2.0	3.6	
I/O タイプ 12, 13	VCC_FLSH = 3.3V	2.0	3.6			
V _{IL}	Low レベル入力スレッショルド電圧	I ² C バッファ (I/O タイプ 7)		-0.5	0.3 × VCC_INTF	V
		I/O タイプ 1, 2, 3, 6, 8 ⁽²⁾ に記載されているピンを除く)	VCC18 = 1.8 V	-0.3	0.63	
		I/O タイプ 1, 6 ⁽²⁾ に記載されているピンの場合)	VCC18 = 1.8 V	-0.3	0.5	
		I/O タイプ 5, 9, 11	VCC_INTF = 1.8V	-0.3	0.63	
		I/O タイプ 12, 13	VCC_FLSH = 1.8V	-0.3	0.63	
		I/O タイプ 5, 9, 11	VCC_INTF = 2.5V	-0.3	0.7	
		I/O タイプ 12, 13	VCC_FLSH = 2.5V	-0.3	0.7	
		I/O タイプ 5, 9, 11	VCC_INTF = 3.3V	-0.3	0.8	
I/O タイプ 12, 13	VCC_FLSH = 3.3V	-0.3	0.8			
V _{OH}	High レベル出力電圧	I/O タイプ 1, 2, 3, 6, 8	VCC18 = 1.8 V	1.35		V
		I/O タイプ 5, 9, 11	VCC_INTF = 1.8V	1.35		
		I/O タイプ 12, 13	VCC_FLSH = 1.8V	1.35		
		I/O タイプ 5, 9, 11	VCC_INTF = 2.5V	1.7		
		I/O タイプ 12, 13	VCC_FLSH = 2.5V	1.7		
		I/O タイプ 5, 9, 11	VCC_INTF = 3.3V	2.4		
I/O タイプ 12, 13	VCC_FLSH = 3.3V	2.4				
V _{OL}	Low レベル出力電圧	I ² C バッファ (I/O タイプ 7)	VCC_INTF > 2V		0.4	V
		I ² C バッファ (I/O タイプ 7)	VCC_INTF < 2V		0.2 × VCC_INTF	
		I/O タイプ 1, 2, 3, 6, 8	VCC18 = 1.8 V		0.45	
		I/O タイプ 5, 9, 11	VCC_INTF = 1.8V		0.45	
		I/O タイプ 12, 13	VCC_FLSH = 1.8V		0.45	
		I/O タイプ 5, 9, 11	VCC_INTF = 2.5V		0.7	
		I/O タイプ 12, 13	VCC_FLSH = 2.5V		0.7	
		I/O タイプ 5, 9, 11	VCC_INTF = 3.3V		0.4	
I/O タイプ 12, 13	VCC_FLSH = 3.3V		0.4			

5.6 ピンの電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ ⁽³⁾		テスト条件 ⁽⁴⁾	最小値	標準値	最大値	単位
I _{OH}	High レベル出力電流 ⁽⁵⁾	I/O タイプ 2、4	VCC18 = 1.8 V	2		mA
		I/O タイプ 5	VCC_INTF = 1.8V	2		
		I/O タイプ 1	VCC18 = 1.8 V	3.5		
		I/O タイプ 9	VCC_INTF = 1.8V	3.5		
		I/O タイプ 13	VCC_FLSH = 1.8V	3.5		
		I/O タイプ 3	VCC18 = 1.8 V	10.6		
		I/O タイプ 5	VCC_INTF = 2.5V	5.4		
		I/O タイプ 9、13	VCC_INTF = 2.5V	10.8		
		I/O タイプ 13	VCC_FLSH = 2.5V	10.8		
		I/O タイプ 5	VCC_INTF = 3.3V	7.8		
		I/O タイプ 9	VCC_INTF = 3.3V	15		
		I/O タイプ 13	VCC_FLSH = 3.3V	15		
		I _{OL}	Low レベル出力電流 ⁽⁶⁾	I ² C バッファ (I/O タイプ 7)		
I/O タイプ 2、4	VCC18 = 1.8 V			2.3		
I/O タイプ 5	VCC_INTF = 1.8V			2.3		
I/O タイプ 1	VCC18 = 1.8 V			4.6		
I/O タイプ 9	VCC_INTF = 1.8V			4.6		
I/O タイプ 13	VCC_FLSH = 1.8V			4.6		
I/O タイプ 3	VCC18 = 1.8 V			13.9		
I/O タイプ 5	VCC_INTF = 2.5V			5.2		
I/O タイプ 9	VCC_INTF = 2.5V			10.4		
I/O タイプ 13	VCC_FLSH = 2.5V			10.4		
I/O タイプ 5	VCC_INTF = 3.3V			4.4		
I/O タイプ 9	VCC_INTF = 3.3V			8.9		
I/O タイプ 13	VCC_FLSH = 3.3V			8.9		
I _{oz}	ハイ インピーダンスリ ーク電流	I ² C バッファ (I/O タイプ 7)	V _{I2C buffer} < 0.1 × VCC_INTF または V _{I2C buffer} > 0.9 × VCC_INTF	-10	10	μA
		I/O タイプ 1、2、3、6、8、	VCC18 = 1.8 V	-10	10	
		I/O タイプ 5、9、11	VCC_INTF = 1.8V	-10	10	
		I/O タイプ 12、13	VCC_FLSH = 1.8V	-10	10	
		I/O タイプ 5、9、11	VCC_INTF = 2.5V	-10	10	
		I/O タイプ 12、13	VCC_FLSH = 2.5V	-10	10	
		I/O タイプ 5、9、11	VCC_INTF = 3.3V	-10	10	
		I/O タイプ 12、13	VCC_FLSH = 3.3V	-10	10	

5.6 ピンの電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ ⁽³⁾		テスト条件 ⁽⁴⁾	最小値	標準値	最大値	単位
C _i	I ² C バッファ (I/O タイプ 7)				5	pF
	I/O タイプ 1、2、3、6、8	VCC18 = 1.8 V	2.6		3.5	
	I/O タイプ 5、9、11	VCC_INTF = 1.8V	2.6		3.5	
	I/O タイプ 12、13	VCC_FLSH = 1.8V	2.6		3.5	
	I/O タイプ 5、9、11	VCC_INTF = 2.5V	2.6		3.5	
	I/O タイプ 12、13	VCC_FLSH = 2.5V	2.6		3.5	
	I/O タイプ 5、9、11	VCC_INTF = 3.3V	2.6		3.5	
	I/O タイプ 12、13	VCC_FLSH = 3.3V	2.6		3.5	
sub-LVDS – DMD 高速 (I/O タイプ 4)	VCC18 = 1.8 V			3		

- I/O は高電圧対応です。つまり、VCC_INTF = 1.8V の場合は入力は 3.3V 許容となり、VCC_INTF = 3.3V の場合は入力は 5V 許容となります。
- コントローラピン CMP_OUT、PARKZ、RESETZ、GPIO_00 ~ GPIO_19 の V_{IH} および V_{IL} の範囲は、その他の 1.8V I/O とは若干異なります。
- I/O タイプは、表 4-9 で定義されているタイプを示します。
- VCC18、VCC_INTF、または VCC_FLSH の値を定義するテスト条件は、該当する I/O の電源リファレンスとして設定される公称電圧を示します。
- High レベル出力信号では、該当する I/O は規定された最小電流以上を出力します。
- Low レベル出力信号では、該当する I/O は規定された最小電流以上をシンクします。

5.7 内部プルアップおよびプルダウンの電気特性

自由気流での動作温度範囲内 (特に記述のない限り)⁽²⁾

内部プルアップ抵抗およびプルダウン抵抗の特性	テスト条件 ⁽¹⁾	最小値	最大値	単位
弱プルアップ抵抗	VCCIO = 3.3V	29	63	kΩ
	VCCIO = 2.5V	38	90	kΩ
	VCCIO = 1.8V	56	148	kΩ
弱プルダウン抵抗	VCCIO = 3.3V	30	72	kΩ
	VCCIO = 2.5V	36	101	kΩ
	VCCIO = 1.8V	52	167	kΩ

- 抵抗は、ピンの電源リファレンスである VCCIO に依存します (表 4-9 を参照)。
- 必要に応じて外付けの 8kΩ のプルアップまたはプルダウン抵抗を使用すれば、あらゆる電圧条件において、関連する内部プルアップまたはプルダウンよりも優先して十分に引き込むことができます。

5.8 DMD SubLVDS インターフェイスの電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{CM}	同相電圧	0.8	0.9	1.0	V
$V_{CM}(\Delta pp)^{(1)}$	V_{CM} 変動のピークツーピーク (スイッチング時)			75	mV
$V_{CM}(\Delta ss)^{(1)}$	V_{CM} 変動の定常状態	-10		10	mV
$ V_{OD} ^{(2)}$	差動出力電圧の大きさ	170	250	350	mV
$V_{OD}(\Delta)$	V_{OD} 変動 (ロジック状態間)	-10		10	mV
V_{OH}	シングルエンド出力電圧 High	0.825	1.025	1.175	V
V_{OL}	シングルエンド出力電圧 Low	0.625	0.775	0.975	V
T_{Xterm}	内部差動終端	80	100	120	Ω
T_{Xload}	100 Ω の差動 PCB トレース (50 Ω 転送ライン)	0.5		6	インチ

(1) 図 5-1 を参照してください

(2) V_{OD} は、トランスミッタの差動ピン間に直接接続された 100 Ω 終端抵抗の両端で測定される差動電圧です。 $V_{OD} = V_P - V_N$ 。ここで、P と N は差動出力ピンです。 $|V_{OD}|$ は、P 出力ピンと N 出力ピンでのピークツーピークの電圧スイングの大きさです (図 5-2 を参照)。差動で測定すると、 V_{CM} は信号間で相殺されるため、 V_{OD} はゼロを基準としてスイングします。

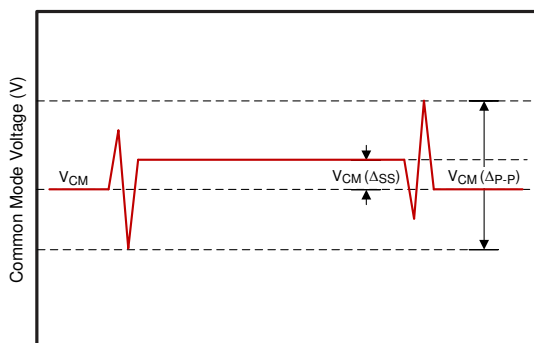
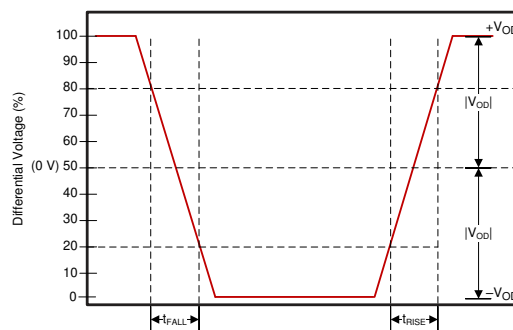


図 5-1. 同相電圧



A. 信号を差動で見ると、 V_{CM} は除去されます。

図 5-2. 差動出力信号

5.9 DMD 低速インターフェイスの電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ ⁽³⁾		テスト条件	最小値	標準値	最大値	単位
$V_{OH(DC)}$	DMD_LS_WDATA および DMD_LS_CLK の DC 出力 High 電圧		$0.7 \times V_{CC18}$			V
$V_{OL(DC)}$	DMD_LS_WDATA および DMD_LS_CLK の DC 出力 Low 電圧				$0.3 \times V_{CC18}$	V
$V_{OH(AC)}$ ⁽¹⁾	DMD_LS_WDATA および DMD_LS_CLK の AC 出力 High 電圧		$0.8 \times V_{CC18}$		$V_{CC18} + 0.5$	V
$V_{OL(AC)}$ ⁽²⁾	DMD_LS_WDATA および DMD_LS_CLK の AC 出力 Low 電圧		-0.5		$0.2 \times V_{CC18}$	V
スルーレート	DMD_LS_WDATA と DMD_LS_CLK	立ち上がりエッジの $V_{OL(DC)}$ から $V_{OH(AC)}$ 、および立ち上がりエッジの $V_{OH(DC)}$ から $V_{OL(AC)}$	1.0		3.0	V/ns
	DMD_DEN_ARSTZ	立ち上がりエッジの $V_{OL(AC)}$ から $V_{OH(AC)}$	0.25			
	DMD_LS_RDATA		0.5			

- $V_{OH(AC)}$ の最大値はオーバーシュートに適用されます。DMD_LS_WDATA ラインと DMD_LS_CLK ラインに適切な 43Ω 直列終端抵抗が含まれている場合、DMD は LPSDR 入力 AC 仕様内で動作します。
- $V_{OL(AC)}$ の最小値はアンダーシュートに適用されます。DMD_LS_WDATA ラインと DMD_LS_CLK ラインに適切な 43Ω 直列終端抵抗が含まれている場合、DMD は LPSDR 入力 AC 仕様内で動作します。
- DMD_LS_CLK と DMD_LS_WDATA の立ち上がり / 立ち下がり時間については、[図 5-3](#) を参照してください。DMD_DEN_ARSTZ の立ち上がり / 立ち下がり時間については、[図 5-4](#) を参照してください。

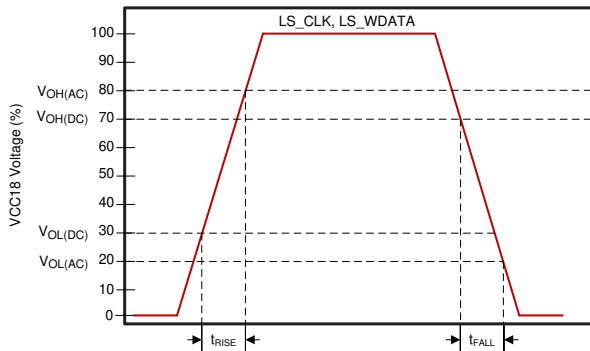


図 5-3. LS_CLK と LS_WDATA のスルーレート

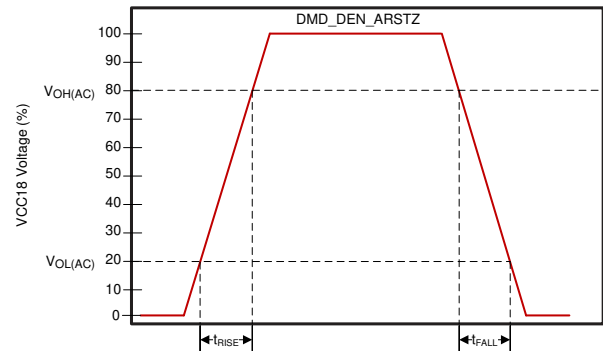


図 5-4. DMD_DEN_ARSTZ スルーレート

5.10 システム発振器のタイミング要件

		最小値	公称値	最大値	単位
f_{clk}	クロック周波数、MOSC (発振器クロック) ⁽¹⁾	23.998	24.000	24.002	MHz
t_c	サイクル時間、MOSC (クロック周期) ⁽¹⁾	41.663	41.667	41.670	ns
$t_{w(H)}$	t_c に対するパルス持続時間のパーセンテージ ⁽²⁾ 、MOSC、High	40%	50%		
$t_{w(L)}$	t_c に対するパルス持続時間のパーセンテージ ⁽²⁾ 、MOSC、Low	40%	50%		
t_t	遷移時間 ⁽²⁾ 、MOSC			10	ns
t_{jp}	長期間のピークツーピークの周期ジッタ ⁽²⁾ 、MOSC (高周波ジッタのみでの理想周期からの周期ずれ)			2%	

- (1) MOSC の周波数精度は $\pm 200\text{PPM}$ です。この要件には、経年劣化、温度、トリム感度による精度への影響が含まれます。MOSC 入力は、スペクトラム拡散クロック処理によるクロック拡散をサポートしていません。
- (2) 外部のデジタル発振器によって駆動されている場合のみ適用されます。

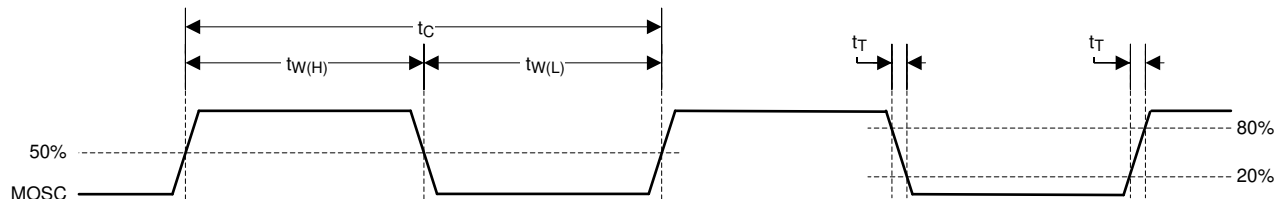


図 5-5. システム振動子

5.11 電源およびリセットのタイミング要件

		最小値	最大値	単位
$t_{w(L)}$	パルス幅、アクティブ Low、RESETZ	50%~50% のリファレンス ポイント (信号)	1.25	μs
t_r	立ち上がり時間、RESETZ ⁽¹⁾	20%~80% のリファレンス ポイント (信号)	0.5	μs
t_f	立ち下がり時間、RESETZ ⁽¹⁾	80%~20% のリファレンス ポイント (信号)	0.5	μs
t_{rise}	立ち上がり時間、VDD (ターンオン時の VDD ランプアップ中)	0.3V ~ 1.045V (VDD)	1	ms

- (1) RESETZ の詳細については、[セクション 4](#) を参照してください。

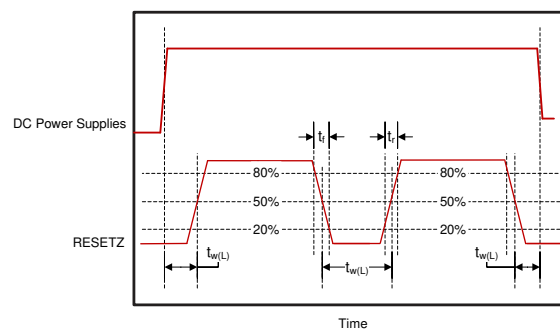


図 5-6. パワーアップとパワーダウン時の RESETZ タイミング

5.12 パラレル インターフェイス フレームのタイミング要件

			最小値	最大値	単位
t_{p_vsw}	パルス幅 – デフォルトは VSYNC_WE が High	50% のリファレンス ポイント	1		ライン
t_{p_vbp}	垂直バック ポーチ (VBP) - VSYNC_WE のアクティブ エッジから、最初のアクティブ ラインに対する HSYNC_CS のアクティブ エッジまでの時間 ⁽¹⁾	50% のリファレンス ポイント	2		ライン
t_{p_vfp}	垂直フロント ポーチ (VFP) - フレーム内の最後のアクティブ ラインの後に続く HSYNC_CS のアクティブ エッジから、VSYNC_WE のアクティブ エッジまでの時間 ⁽¹⁾	50% のリファレンス ポイント	1		ライン
t_{p_tvb}	合計垂直ブランキング - VBP と VFP の合計 ($t_{p_vbp} + t_{p_vfp}$)	50% のリファレンス ポイント	(1) を参照		ライン
t_{p_hsw}	パルス幅 – デフォルトは HSYNC_CS が High	50% のリファレンス ポイント	4	128	PCLK
t_{p_hbp}	水平バック ポーチ (HBP) – HSYNC_CS のアクティブ エッジから DATAEN_CMD の立ち上がりエッジまでの時間	50% のリファレンス ポイント	4		PCLK
t_{p_hfp}	水平フロント ポーチ (HFP) – DATAEN_CMD の立ち下がりエッジから HSYNC_CS のアクティブ エッジまでの時間	50% のリファレンス ポイント	8		PCLK

(1) 最小合計垂直ブランキングは、次の式で定義されます: $t_{p_tvb}(\min) = 6 + [8 \times \text{Max}(1, \text{Source_ALPF} / \text{DMD_ALPF})]$ lines
ここで、

- SOURCE_ALPF = フレームあたりの入力ソースアクティブ ライン数
- DMD_ALPF = フレームごとにサポートされる実際の DMD 使用ライン

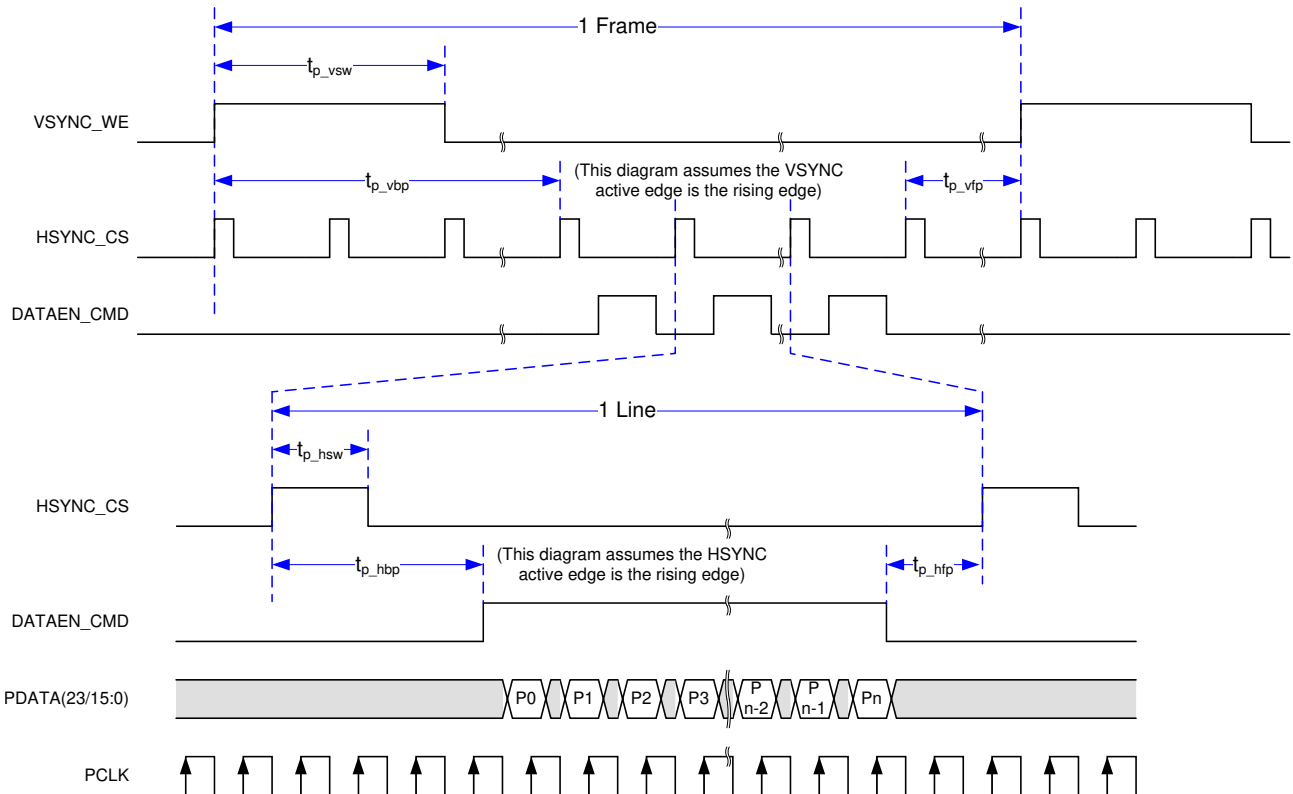


図 5-7. パラレル インターフェイス フレーム タイミング

5.13 パラレル インターフェイスの一般的なタイミング要件

			最小値	最大値	単位
f_{clock}	PCLK 周波数		1.0	155.0	MHz
$t_{\text{p_clkper}}$	PCLK 周期	50% のリファレンス ポイント	6.45	1000	ns
$t_{\text{p_clkjit}}$	PCLK ジッタ	最大 f_{clock}	(1)を参照してください		
$t_{\text{p_wh}}$	PCLK パルス持続時間 (High)	50% のリファレンス ポイント	2.43		ns
$t_{\text{p_wl}}$	PCLK パルス持続時間 (Low)	50% のリファレンス ポイント	2.43		ns
$t_{\text{p_su}}$	セットアップ時間 – PCLK のアクティブ エッジの前に HSYNC_CS、DATAEN_CMD、PDATA(23:0) が有効である時間	50% のリファレンス ポイント	0.9		ns
$t_{\text{p_h}}$	ホールド時間 – PCLK のアクティブ エッジの後に HSYNC_CS、DATAEN_CMD、PDATA(23:0) が有効である時間	50% のリファレンス ポイント	0.9		ns
t_t	遷移時間 – すべての信号	20% ~ 80% のリファレンス ポイント (立ち上がり信号) 80% ~ 20% のリファレンス ポイント (立ち下がり信号)	0.2	2.0	ns
$t_{\text{setup, 3DR}}$	VSYNC に対するセットアップ時間(2)	50% のリファレンス ポイント	1.0		ms
$t_{\text{hold, 3DR}}$	VSYNC に対するホールド時間(3)	50% のリファレンス ポイント	1.0		ms

- (1) 次の式を使用して、クロックのジッタ (ns 単位) を計算します: $\text{ジッタ} = [1 / f_{\text{clock}} - 5.76\text{ns}]$ 。クロックのジッタがある場合でも、セットアップ時間およびホールド時間を満たす必要があります。
- (2) つまり、3DR 信号は VSYNC が変化する少なくとも 1.0ms 前に変化している必要があります。
- (3) つまり、VSYNC が変更された後、3DR 信号は 1.0ms 以上変化しないようにする必要があります。

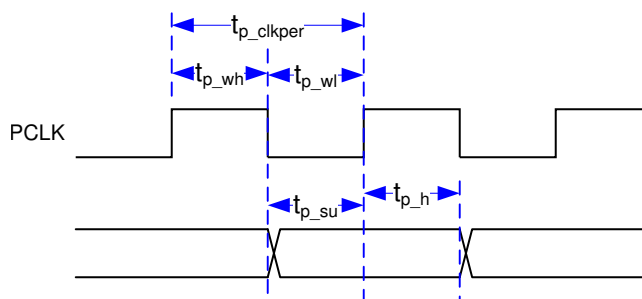


図 5-8. パラレル インターフェイス ピクセル タイミング

5.14 フラッシュ インターフェイスのタイミング要件

DLPC34xx のフラッシュ メモリ インターフェースは、SPI フラッシュのシリアル インターフェイスで構成されています。DLPC34xx は、1Mb ~ 128MbB のフラッシュ メモリをサポート可能です。(2) (3) (4)

			最小値	最大値	単位
f_{clock}	SPI_CLK 周波数	(1) を参照してください。	1.4	36.0	MHz
$t_{\text{p_clkper}}$	SPI_CLK 周期	50% のリファレンス ポイント	27.8	704	ns
$t_{\text{p_wh}}$	SPI_CLK のパルス幅 High	50% のリファレンス ポイント	352		ns
$t_{\text{p_wl}}$	SPI_CLK のパルス幅 Low	50% のリファレンス ポイント	352		ns
t_t	遷移時間 – すべての信号	20% ~ 80% のリファレンス ポイント (立ち上がり信号) 80% ~ 20% のリファレンス ポイント (立ち下がり信号)	0.2	3.0	ns
$t_{\text{p_su}}$	セットアップ時間 – SPI_CLK の立ち下がりエッジの前に SPI_DIN が有効である時間	50% のリファレンス ポイント	10.0		ns
$t_{\text{p_h}}$	ホールド時間 - SPI_CLK の立ち下がりエッジの後に SPI_DIN が有効である時間	50% のリファレンス ポイント	0.0		ns
$t_{\text{p_clqv}}$	SPI_CLK クロックの立ち下がりエッジから出力が有効になる までの時間 – SPI_DOUT および SPI_CSZ	50% のリファレンス ポイント		1.0	ns
$t_{\text{p_clqx}}$	SPI_CLK クロック立ち下がりエッジの出力ホールド時間 – SPI_DOUT および SPI_CSZ	50% のリファレンス ポイント	-3.0	3.0	ns

- (1) この範囲には、外部発振器の $\pm 200\text{ppm}$ が含まれます (ジッタなし)。
- (2) 標準的な SPI プロトコルでは、SPI_CLK の立ち下がりエッジでデータを送信し、立ち上がりエッジでデータを取り込みます。DLPC34xx は、立ち下がりエッジでデータを送信する点と同じですが、データの取り込みも立ち上がりエッジではなく、立ち下がりエッジで行います。この機能により、クロックから Q へのタイミングが長い SPI デバイスをサポートできます。DLPC34xx のホールドおよびキャプチャのタイミングは、標準的な外部 SPI プロトコル デバイスと確実に動作するように設定されています。
- (3) 上記の出力タイミングにより、DLPC34xx は外部 SPI デバイスに対して、SPI_CLK の立ち上がりエッジを基準として、8.2ns の入力セットアップ時間と 8.2ns の入力ホールド時間を提供します。
- (4) 外部フラッシュ デバイスの追加要件については、[セクション 6.3.4.1](#) を参照してください。

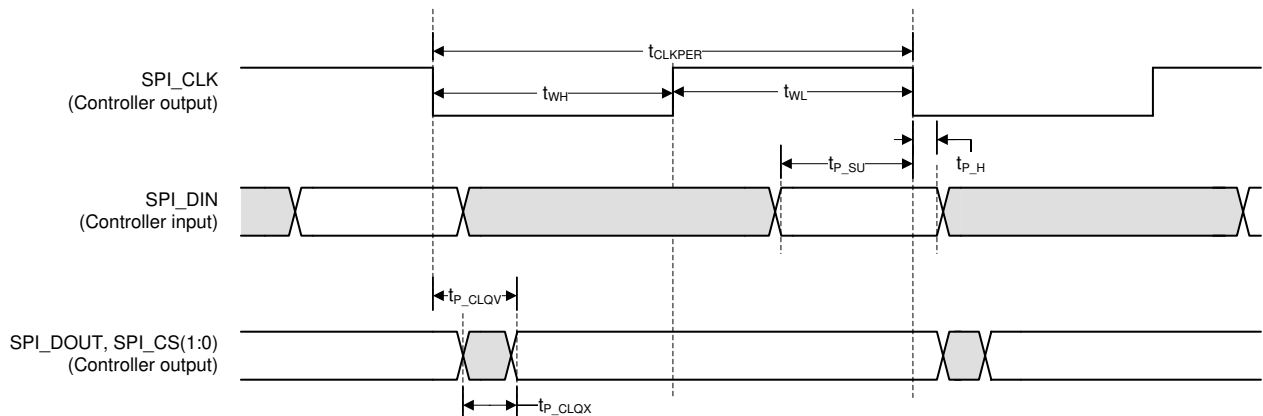


図 5-9. フラッシュ インターフェイスのタイミング

5.15 その他のタイミング要件

		最小値	最大値	単位
t_{rise} 、すべて ⁽¹⁾ (2)	20% ~ 80%のリファレンス ポイント		10	ns
t_{fall} 、すべて ⁽¹⁾ (2)	80% ~ 20%のリファレンス ポイント		10	ns
t_{rise} 、PARKZ ⁽²⁾	20% ~ 80%のリファレンス ポイント		150	ns
t_{fall} 、PARKZ ⁽²⁾	80% ~ 20%のリファレンス ポイント		150	ns
t_w 、GPIO_08 (通常パーク) パルス幅 ⁽³⁾		200		ms
I ² C ボーレート			100	kHz

- (1) 特に別途記載がない限り、以下の信号遷移時間はすべての DLPC34xx 信号に適用されます。
 (2) これは、入力バッファの発振を防ぐために推奨される信号遷移時間です。
 (3) PROJ_ON を Low に設定してコントローラをオフにした場合、少なくとも 200ms の間は、PROJ_ON を再び High にしないようにする必要があります。追加要件については、[セクション 8.3](#) を参照してください。

5.16 DMD SubLVDS インターフェイスのスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_R ⁽¹⁾	差動出力立ち上がり時間				250	ps
t_F ⁽¹⁾	差動出力立ち下がり時間				250	
f_{switch}	DMD HS クロック スwitching レート			1064		Mbps
f_{clock}	DMD HS クロック周波数			532		MHz
DCout	DMD HS クロック出力デューティ サイクル		45%	50%	55%	

- (1) 立ち上がり / 立ち下がり時間は、[図 5-2](#) に示されているように、差動 V_{OD} 信号に対して定義されます。

5.17 DMD パーキングのスイッチング特性

(2) を参照してください。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{park}	通常パーク時間 ⁽¹⁾				20	ms
$t_{fast park}$	高速パーク時間 ⁽³⁾				32	μ s

- (1) 通常パーク時間とは、通常のパーク要求 (GPIO_08 が Low になる) を受信してから、DLPC34xx コントローラが DMD のパークングを完了するまでに要する時間のことです。
 (2) 発振器および電源は、少なくともパーク時間の間は動作状態を維持する必要があります。さらに、パークング完了後も、DMD の要件を満たすために一定時間、電源をオンのまま維持する必要があります。詳細については、[セクション 8.2](#) および適切な DMD または PMIC のデータシートを参照してください。
 (3) 高速パーク時間は、高速パーク要求 (PARKZ が Low になる) を受信してから、DLPC34xx コントローラが DMD パーキングを完了するまでに要する時間のことです。

5.18 チップセット コンポーネントの使用法の仕様

DLPC3479 は DLP チップセットの構成要素です。DLP チップセットを確実に機能させ、正常に動作させるには、該当する DLP チップセットのすべての構成要素 (DMD、PMIC、およびコントローラ) とともに使用する必要があります。

表 5-1. DLPC3479 がサポートしている DMD と PMIC

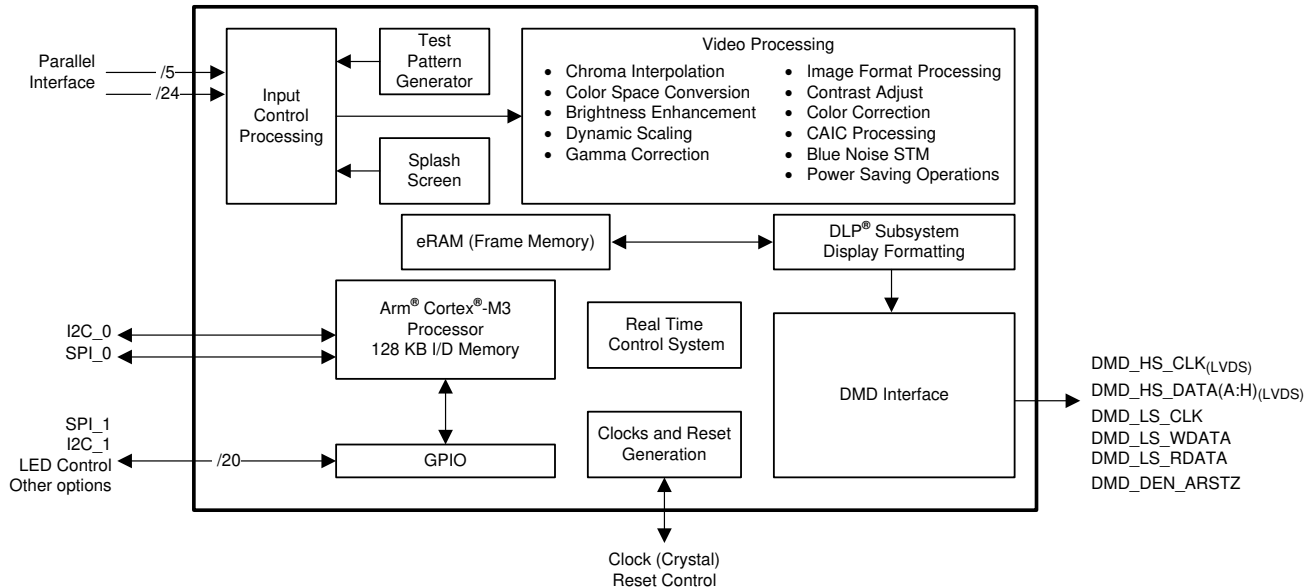
DLPC3479 DLP チップセット (2 つの DLPC3479 コントローラが必要)	
DMD	DLP4710LC
PMIC	DLPA3000
	DLPA3005

6 詳細説明

6.1 概要

DLPC3479 は DLP4710LC (.47 1080p) DMD 向けディスプレイコントローラです。DLPC3479 は、2 つの DLPC3479 コントローラ、DLP4710LC (.47 1080p) DMD、DLPA3000 または DLPA3005 PMIC/LED ドライバで構成されるチップセットの一部です。DLP4710LC (.47 1080p) DMD の信頼性の高い動作を確保するため、チップセットの 4 つの部品すべてを連携させて使用する必要があります。2xDLPC3479 コントローラは、ユーザーの電子機器と DMD との間の使いやすいインターフェイスとして機能し、データの表示、光パターンの高速、高精度、かつ効率的な操作を実現します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 入力ソースの要件

6.3.1.1 対応可能な解像度とフレーム レート

表 6-1. サポートされている入力ソース範囲

インターフェイス (1)	ビットピクセル (最大)(4)	イメージタイプ	ソースの解像度の範囲 (ピクセル)(2) (3)		フレーム レートの 範囲 (Hz)
			水平	垂直	
パラレル	24	2D のみ	400~1920	550~1080	47~63
	24	2D のみ	400~1280	550~720	47~123
	24	3D のみ	400~1280	550~720	100 ±2 120 ±2

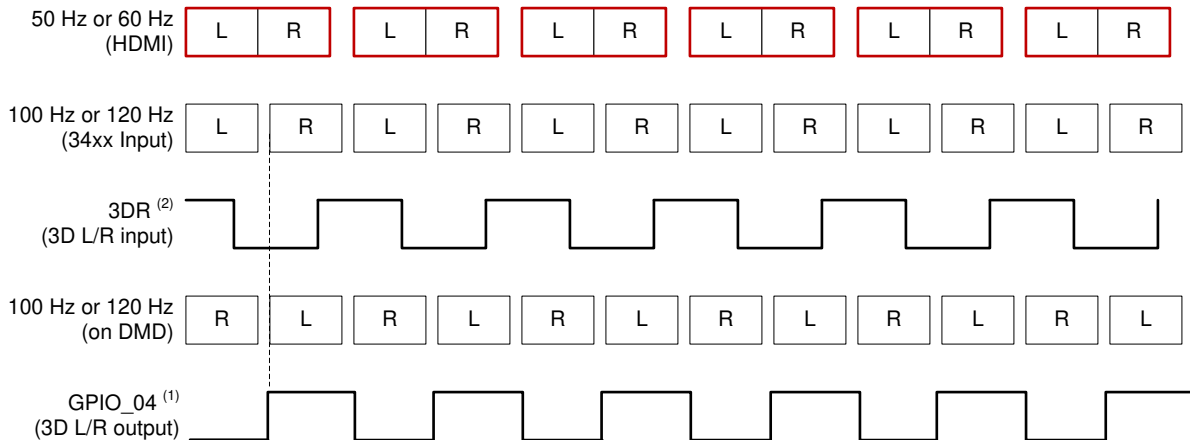
- (1) アプリケーションは、最大クロックレートや最大ライン レートなどのすべてのソース インターフェイス パラメータについて、仕様範囲内に収まる必要があります。
- (2) 表内のすべての行の最大 DMD サイズは 1920 × 1080 ピクセルです。
- (3) 記載されている範囲を実現するには、ファームウェアがソース パラメータに対応している必要があります。特定のファームウェア イメージでサポートされている最新のフレーム レートおよび入力解像度を確認するには、ファームウェアのリリース ノートを確認するか、TI に問い合わせてください。
- (4) 1 ピクセルあたりのビット数は、DLPC34xx コントローラで使用されるデータ ピン数と必ずしも一致するわけではありません。

6.3.1.2 3D ディスプレイ

ビデオ入力インターフェイスの 3D ソースでは、DLPC34xx コントローラへの入力時には、画像はフレーム シーケンシャル (L、R、L、...) である必要があります。3D 画像のアンパックやフレーム シーケンシャル入力への変換に必要な処理は、

画像をコントローラに入力する前に外部回路で実行する必要があります。3D ソース フレーム入力は、それぞれが単一の視点フレーム データを含み、**VSYNC** で区切られている必要があります。この視点フレームには、左目または右目のいずれか一方の画像データが含まれます。コントローラへの **3DR** 信号入力は、入力フレームが左目用か右目用かを示します。

各 **DMD** フレームは、入力インターフェイス フレーム レートと同じレートで表示されます。以下の [図 6-1](#) は、50Hz または 60Hz の **3D HDMI** ソース フレーム、**DLPC34xx** コントローラの入力インターフェイス、および **DMD** の一般的なタイミングを示しています。一般に、**HDMI** インターフェイスを介して送信されるビデオ フレームには、左目用と右目用の両方のコンテンツが同一フレーム内にパックされています。**GPIO_04** はオプションとして、システム **PCB** 上のトランスミッタに送信され、**3D** メガネ (通常は **IR** 同期信号) に同期信号をワイヤレスで送信できます。その後、メガネは **DMD** 画像が表示されたときと位相が一致します。別の方法として、「**3D** メガネの動作」セクションでは、**DLP** リンク パルスを代わりに使用する方法を示します。



- A. 左 = 1、右 = 0
 B. 3DR は VSYNC の少なくとも 1ms 前にトグルする必要があります。

図 6-1. 3D 表示における左目フレームおよび右目フレームのタイミング

6.3.1.3 パラレル インターフェイス

パラレル インターフェイスは、標準的なグラフィックス インターフェイス プロトコルに準拠しており、[表 6-2](#) に示されている信号が含まれます。

表 6-2. パラレル インターフェイス信号

信号	説明
VSYNC_WE	垂直同期
HSYNC_CS	水平同期
DATAEN_CMD	データの有効性
PDATA	24 ビット データ バス
PCLK	ピクセル クロック
PDM_CVS_TE	パラレル データ マスク (オプション)

注

パラレル **RGB** モードを使用する場合、**VSYNC_WE** は常にアクティブのままにする必要があります。この信号がアクティブでなくなると、ディスプレイ シーケンサが停止し、**LED** が消灯します。

両方の同期信号のアクティブ エッジは可変です。「パラレル インターフェイス フレームのタイミング要件」セクションに、これらの信号の関係を示します。

オプションの平行 データ マスク信号 (PDM_CVS_TE) により、表示中の画像を維持したまま、周期的なフレーム更新を停止することができます。アクティブ時、PDM_CVS_TE はデータ マスクとして動作し、ソース画像がディスプレイに伝送されるのを許可しません。プログラム可能な PDM 極性パラメータにより、アクティブ High とアクティブ Low のどちらであるかが決まります。PDM_CVS_TE はデフォルトでアクティブ High になっています。データ マスク機能を無効化するには、PDM_CVS_TE をロジック Low 信号に接続します。PDM_CVS_TE は、垂直ブランキング中のみ変更する必要があります。

平行 インターフェイスは 6 つのデータ転送形式をサポートしています。形式は以下のとおりです。

- 24 本のデータワイヤ インターフェイス上の 24 ビット RGB888 または 24 ビット YCbCr888
- 18 本のデータワイヤ インターフェイス上の 18 ビット RGB666 または 18 ビット YCbCr666
- 16 本のデータワイヤ インターフェイス上の 16 ビット RGB565 または 16 ビット YCbCr565
- 16 ビット YCbCr 4:2:2 (標準サンプリングは Y0Cb0、Y1Cr0、Y2Cb2、Y3Cr2、Y4Cb4、Y5Cr4、... と想定)
- 8 本のデータワイヤ インターフェイス上の 8 ビット RGB888 または 8 ビット YCbCr888 シリアル (クロック入力ごとに 1 色、表示ピクセルごとに 3 クロック)
- 8 本のデータワイヤ インターフェイス上の 8 ビット YCbCr 4:2:2 シリアル (クロック入力ごとに 1 色、表示ピクセルごとに 2 クロック)

セクション 6.3.1.3.1 に、これら 6 つのデータ転送形式に必要な PDATA(23:0) バスのマッピングを示します。

6.3.1.3.1 PDATA バス – 平行 インターフェイスのビット マッピング モード

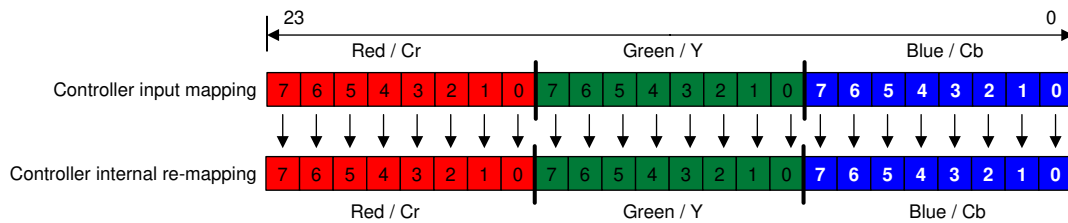


図 6-2. RGB-888 と YCbCr-888 の I/O マッピング

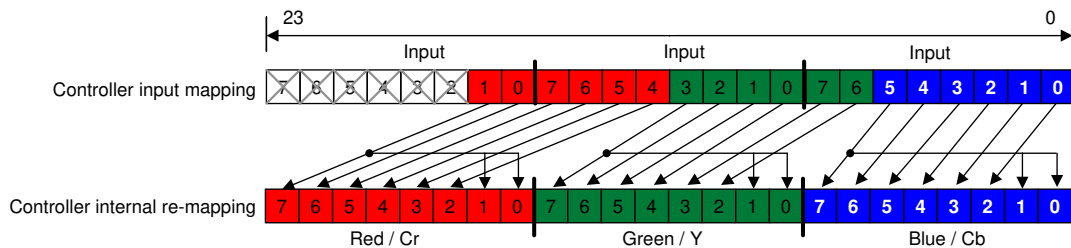


図 6-3. RGB-666 と YCbCr-666 の I/O マッピング

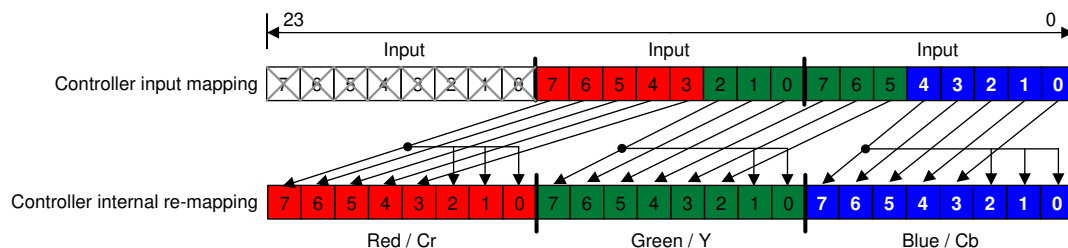


図 6-4. RGB-565 と YCbCr-565 の I/O マッピング

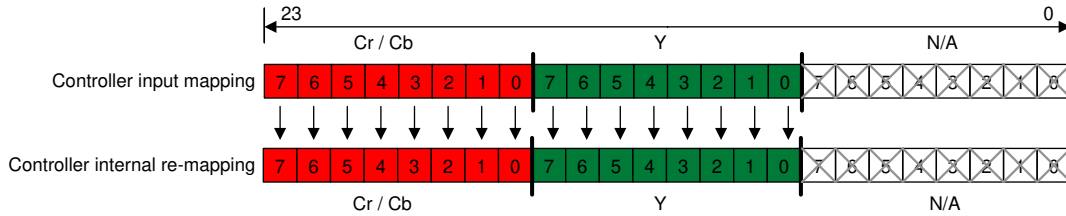


図 6-5. 16 ビット YCbCr-880 I/O マッピング

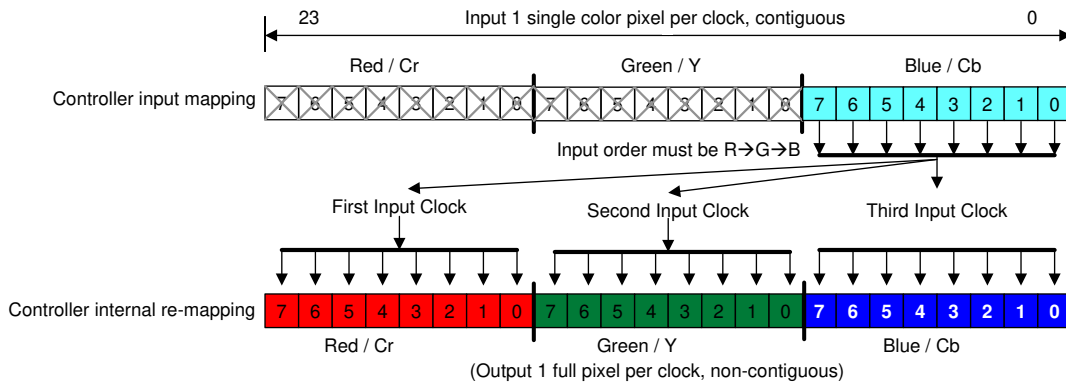


図 6-6. 8 ビット RGB-888 または YCbCr-888 I/O マッピング

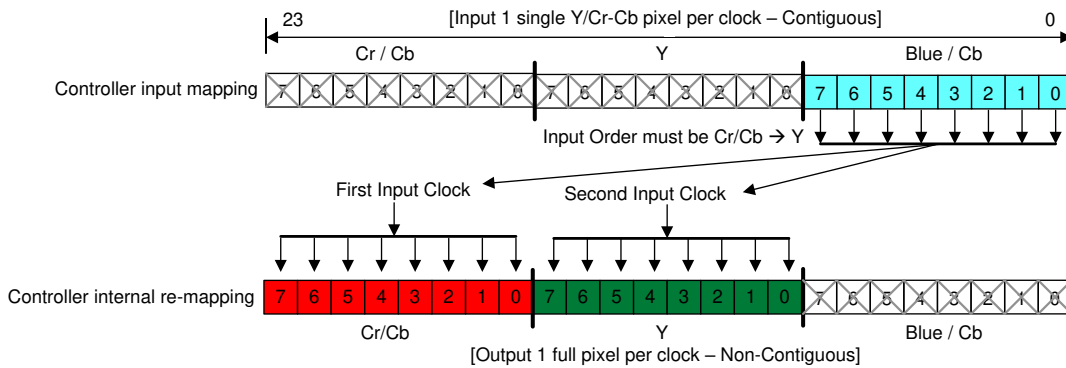


図 6-7. 8 ビット シリアル YCbCr-422 I/O マッピング

6.3.2 パターン ディスプレイ

パターン表示は、DLPC3479 ディスプレイおよびライト コントローラの主要な機能の 1 つです。DLPC3479 コントローラがパターン表示用に構成されている場合、ビデオ処理機能をバイパスできます。ユーザーの柔軟性とシンプルなシステム設計のために、DLPC3479 コントローラは外部パターン モードと内部パターン ストリーミング モードの両方に対応しています。外部パターン ストリーミング モードでは、パターンはパラレル インターフェイスを介して DLPC3479 コントローラに送信されます。内部パターン ストリーミング モードでは、1D パターンがフラッシュ メモリにプリロードされ、パターンを表示するためのホスト コマンドが DLPC3479 コントローラに送信されます。内部パターン モードでは、DMD 上でピクセル単位の正確なパターンが生成され、外部プロセッサが 1D パターンを生成して DLPC3479 コントローラへ送信する必要がなくなるため、シンプルなシステム設計が可能になります。

DLPC3479 コントローラは 2 つの設定可能なトリガ出力および 1 つのトリガ入力信号を出力し、カメラ、センサ、他のペリフェラルとパターンを同期します。

表 6-3. パターン表示信号

信号名	説明
TRIG_OUT_1 (TSTPT_4)	外部パターン モード: 各入力フレームの開始時にアクティブになります。 内部パターン モード: 事前定義されたパターン グループの開始時にアクティブになります。
TRIG_OUT_2 (GPIO_07)	各パターンの表示中にアクティブになります。外部パターン モードで動作している場合、1 つの入力フレームに複数のパターンを設定できます。
TRIG_IN (3DR)	内部パターン表示モードでのみアクティブになります。内部パターン モードで次のパターンに進むために、外部入力トリガ信号を使用します。

6.3.2.1 外部パターン モード

外部パターン モードは、8 ビットおよび 1 ビットのモノクロまたは RGB パターンをサポートしています。パラレル インターフェイス経由で DLPC3479 が受信したパターン データはデータ圧縮の対象になりますが、フレーム コンテンツによっては損失が生じる可能性があります。

6.3.2.1.1 8 ビット モノクロ パターン

8 ビット外部パターン モードでは、DLPC3479 コントローラは最大 60Hz の入力フレーム レート (VSYNC) に対応しています。このモードでは、パラレル インターフェイス経由で送信される 24 ビットの入力データは、1 (8 ビット)、2 (16 ビット)、または 3 (24 ビット) の 8 ビット パターンの組み合わせとして構成できます。式 1 では、8 ビット パターンの最大パターン レートを計算できます。

$$60\text{Hz} \times 3 = 180\text{Hz} \quad (1)$$

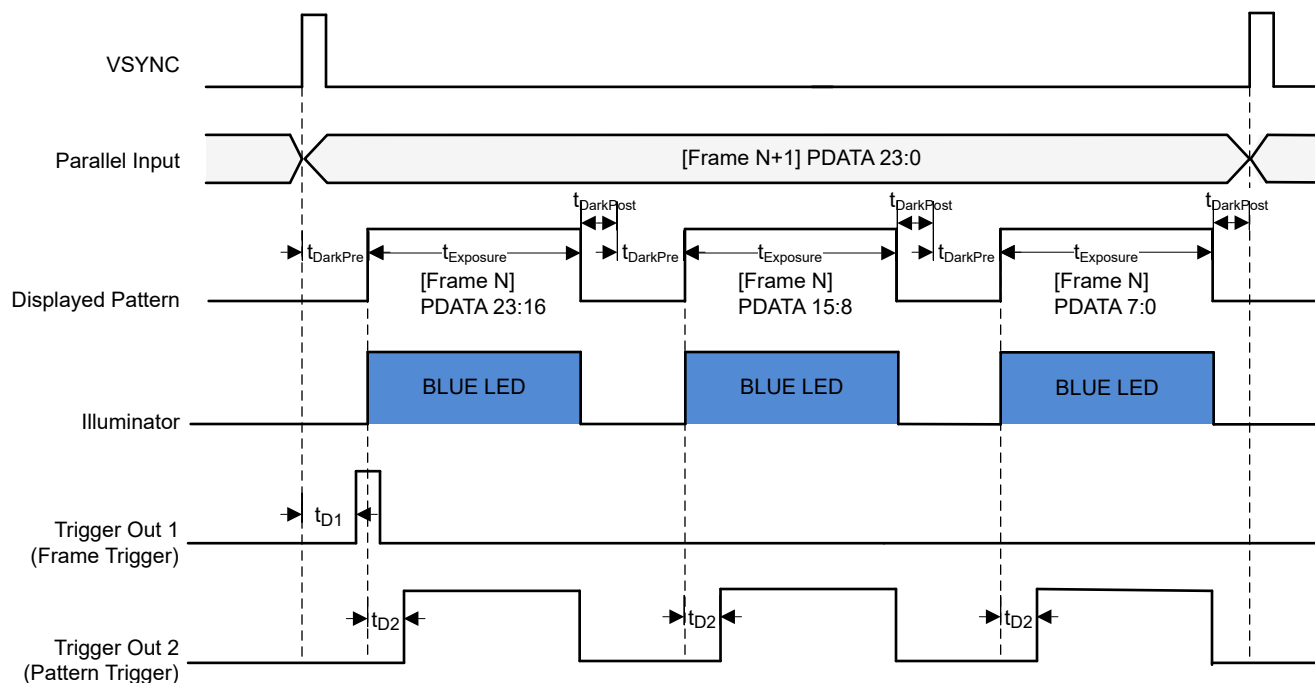
ここで、

- 最大許容入力フレーム レートは 60Hz です。

DLPC3479 コントローラのファームウェアでは、以下のユーザー プログラム可能な機能が提供されています。

- 露出時間 (t_{Exposure}): パターンが表示され、かつ照明がオンになっている時間です。
- DarkPre 時間 (t_{DarkPre}): パターン露光前に、パターンが表示されず、照明もオフになっているダーク タイムです。
- DarkPost 時間 (t_{DarkPost}): パターン露光後に、パターンが表示されず、照明もオフになっているダーク タイムです。
- フレーム内の 8 ビット パターンの数: 各フレーム期間内に 1、2、または 3 を選択します
- 各 8 ビット パターンごとに、どのイルミネータをオンにするかを選択します。
- TRIG_OUT_1 および TRIG_OUT_2 信号の設定と遅延

図 6-8 に、3 × 8 ビット パターンの構成を示します。



- A. t_{D1} は、フレームトリガに対して設定可能な遅延時間です。
 B. t_{D2} は、サブフレームトリガに対して設定可能な遅延時間です。

図 6-8. 3 × 8 ビット (青) パターン構成

- 各入力 VSYNC フレーム周期内に 3 つの 8 ビットパターンが表示されます。
- $t_{DarkPre}$ 、 $t_{Exposure}$ 、 $t_{DarkPost}$ は、フレーム期間内の各パターンで同じです。
- 3 つのパターンのダークタイムと露出時間の合計 ($t_{DarkPre} + t_{Exposure} + t_{DarkPost}$) は、フルフレーム期間と等しいかそれ以下である必要があります。合計がフルフレーム期間より短い場合は、最後のパターンの末尾に追加のダークタイムが付加されます。
- 各パターンで青色 LED は点灯するように設定されています。
- TRIG_OUT_1 (フレームトリガ) はアクティブ High 極性に設定され、最小パルス幅は 20 マイクロ秒になります。TRIG_OUT_1 遅延 (t_{D1}) は入力 V_{SYNC} を基準にして設定します。
- TRIG_OUT_2 (パターントリガ) はアクティブ High 極性に設定され、パターン露光中はアクティブ状態を維持します。TRIG_OUT_2 遅延 (t_{D2}) は、パターンの開始を基準として設定され、フレーム内のパターンごとに 1 回設定されます。

図 6-9 に、2 × 8 ビット パターンの構成を示します。

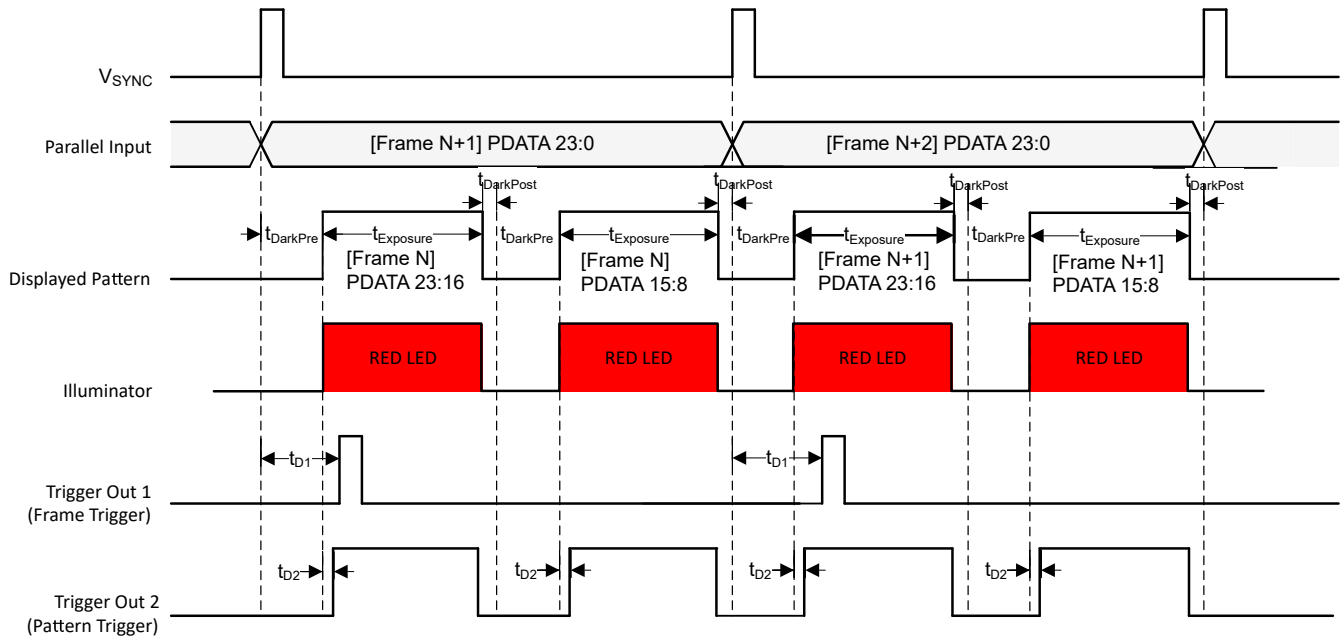


図 6-9. 2 × 8 ビット (赤) パターン構成

- 各入力 VSYNC フレーム周期内に 2 つの 8 ビット パターンが表示されます。
- t_{DarkPre} 、 t_{Exposure} 、 t_{DarkPost} は、フレーム期間内の各パターンで同じです。
- 3 つのパターンのダークタイムと露出時間の合計 ($t_{\text{DarkPre}} + t_{\text{Exposure}} + t_{\text{DarkPost}}$) は、フル フレーム期間と等しいかそれ以下である必要があります。合計がフル フレーム期間より短い場合は、最後のパターンの末尾に追加のダークタイムが付加されます。
- 各パターンで赤色の LED は点灯するように設定されています。
- TRIG_OUT_1 (フレームトリガ) はアクティブ High 極性に設定され、最小パルス幅は 20 マイクロ秒になります。TRIG_OUT_1 遅延 (t_{D1}) は入力 VSYNC を基準にして設定します。
- TRIG_OUT_2 (パターントリガ) はアクティブ High 極性に設定され、パターン露光中はアクティブ状態を維持します。TRIG_OUT_2 遅延 (t_{D2}) は、パターンの開始を基準として設定され、フレーム内のパターンごとに 1 回設定されます。

図 6-10 に、1 × 8 ビット パターンの構成を示します。

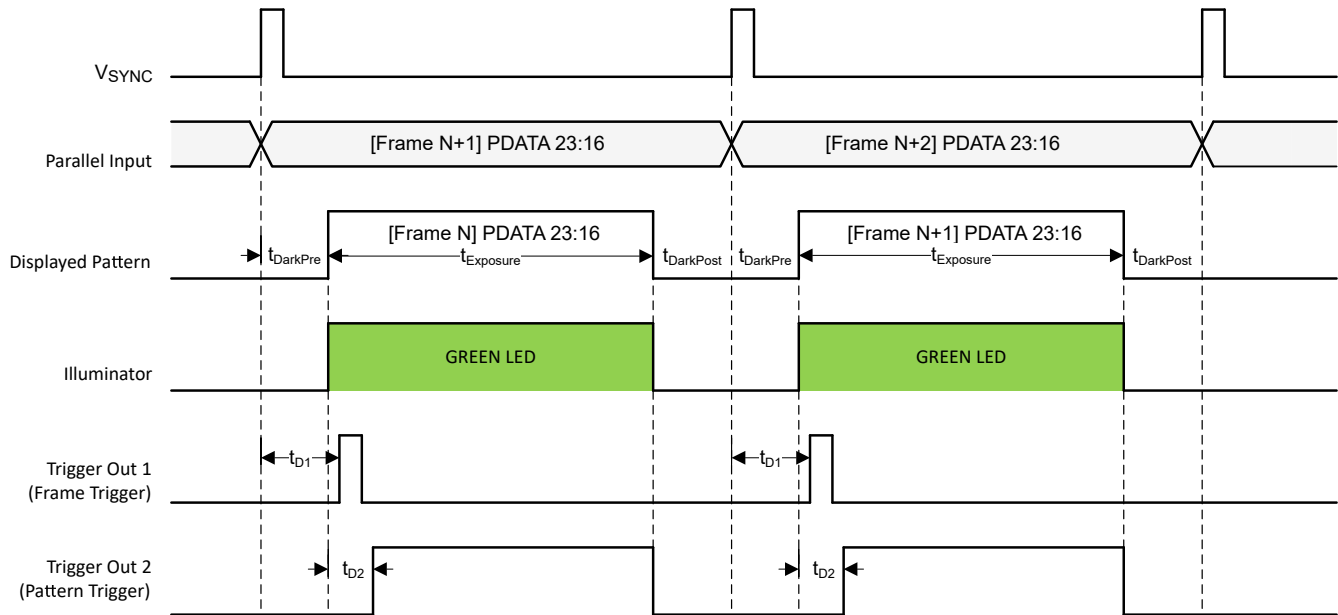


図 6-10. 1 × 8 ビット (緑) のパターン構成

- 各入力 VSYNC フレーム周期内に 1 つの 8 ビット パターンが表示されます。
- t_{DarkPre} 、 t_{Exposure} 、 t_{DarkPost} は、フレーム期間内の各パターンで同じです。
- 3 つのパターンのダークタイムと露出時間の合計 ($t_{\text{DarkPre}} + t_{\text{Exposure}} + t_{\text{DarkPost}}$) は、フル フレーム期間と等しいかそれ以下である必要があります。合計がフル フレーム期間より短い場合は、最後のパターンの末尾に追加のダークタイムが付加されます。
- 各パターンで緑色の LED は点灯するように設定されています。
- TRIG_OUT_1 (フレームトリガ) はアクティブ High 極性に設定され、最小パルス幅は 20 マイクロ秒になります。TRIG_OUT_1 遅延 (t_{D1}) は入力 VSYNC を基準にして設定します。
- TRIG_OUT_2 (パターントリガ) はアクティブ High 極性に設定され、パターン露光中はアクティブ状態を維持します。TRIG_OUT_2 遅延 (t_{D2}) は、パターンの開始を基準として設定され、フレーム内のパターンごとに 1 回設定されます。

6.3.2.1.2.1 ビットモノクロパターン

8 ビット外部パターン モードと同様に、1 ビット外部パターン モードでサポートされる最大入力フレーム レートは 60Hz です。1 ビット パターン モードでは、24 ビット入力の各ビットがそれぞれ独立したバイナリ パターンとして扱われるため、最大で 24 個のパターンとなります。各 1 ビット パターンの最大パターンレートは 1440Hz です。

DLPC3479 コントローラのファームウェアでは、以下のユーザー プログラム可能な機能が提供されています。

- 露出時間: パターンが表示される時間。
- ダークタイム: パターンが表示されず、照明がオフになる時間。
- フレーム内の 1 ビット パターン数 (最大 24)。
- イルミネータ: 各 1 ビット パターンごとにオンとなるイルミネータ。フレーム内のすべてのパターンに対して、ユーザー一定義のイルミネータが自動的に選択されます。ユーザーは、フレーム内の異なる 1 ビット パターンに対して、それぞれ別のイルミネータを選択することはできません。
- TRIG_OUT_1 および TRIG_OUT_2 信号の構成と遅延。

図 6-11 に、24 × 1 ビット パターンの構成を示します。

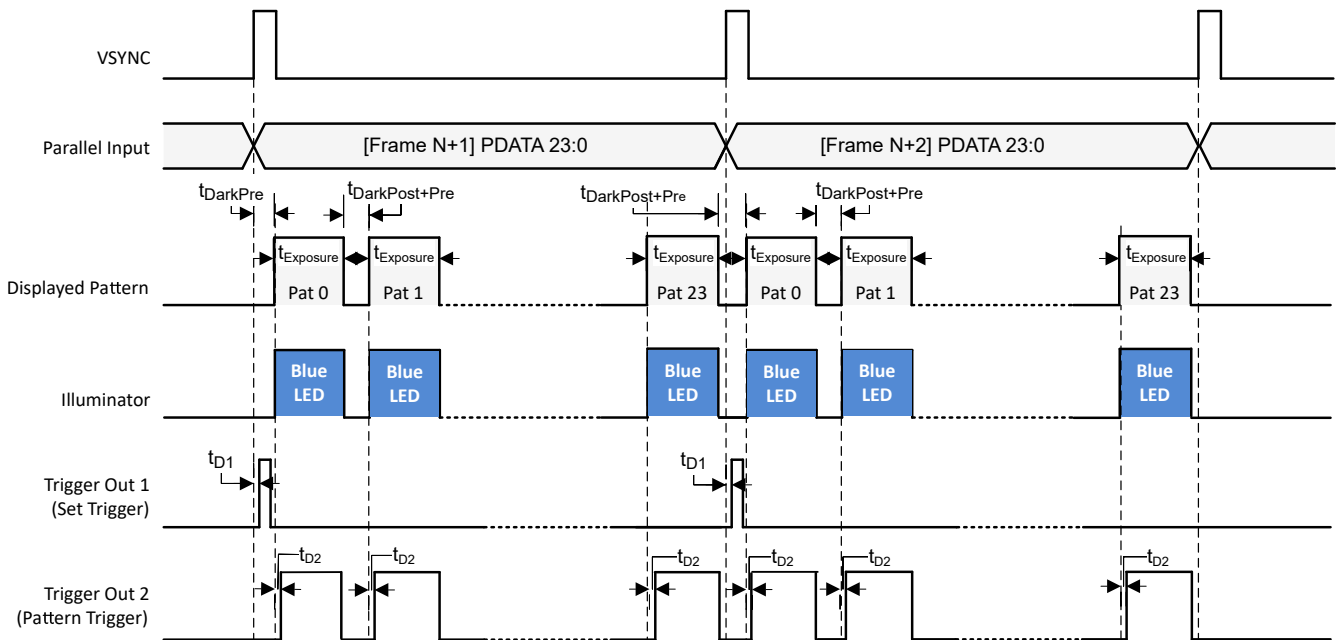


図 6-11. 24 × 1 ビット (青) のパターン構成

- 各入力 VSYNC フレーム周期内に 24 × 1 ビット パターンが表示されます。
- t_{DarkPre}、t_{Exposure}、t_{DarkPost} は、フレーム期間内の各パターンで同じです。
- 3 つのパターンのダークタイムと露出時間の合計 (t_{DarkPre} + t_{Exposure} + t_{DarkPost}) は、フル フレーム期間と等しいかそれ以下である必要があります。合計がフル フレーム期間より短い場合は、最後のパターンの末尾に追加のダークタイムが付加されます。
- 各パターンで青色 LED は点灯するように設定されています。
- TRIG_OUT_1 (フレームトリガ) はアクティブ High 極性に設定され、最小パルス幅は 20 マイクロ秒になります。TRIG_OUT_1 遅延 (t_{D1}) は入力 V_{SYNC} を基準にして設定します。
- TRIG_OUT_2 (パターントリガ) はアクティブ High 極性に設定され、パターン露光中はアクティブ状態を維持します。TRIG_OUT_2 遅延 (t_{D2}) は、パターンの開始を基準として設定され、フレーム内のパターンごとに 1 回設定されます。

6.3.2.2 内部パターンモード

内部パターンモードと外部パターンモードには、次の2つの主な違いがあります。

- 内部パターンモードは1Dパターンのみをサポートしています。つまり、パターンデータはDMDの行または列全体で同一になります (図 6-12、図 6-13)。
- 内部パターンモードを使用すると、外部プロセッサがフレームごとにパターンを生成して送信する必要がなくなり、シンプルなシステム設計が可能になります。内部パターンモードでは、1行または1列のパターンがフラッシュメモリにプリロードされ、DLPC3479コントローラにコマンドが送信されてパターンが表示されます。パターンの作成方法、フラッシュメモリへの保存方法、およびフラッシュメモリからDLPC3479コントローラの内部メモリへの読み込み方法の詳細は、『ソフトウェア プログラマ ガイド』を参照してください。

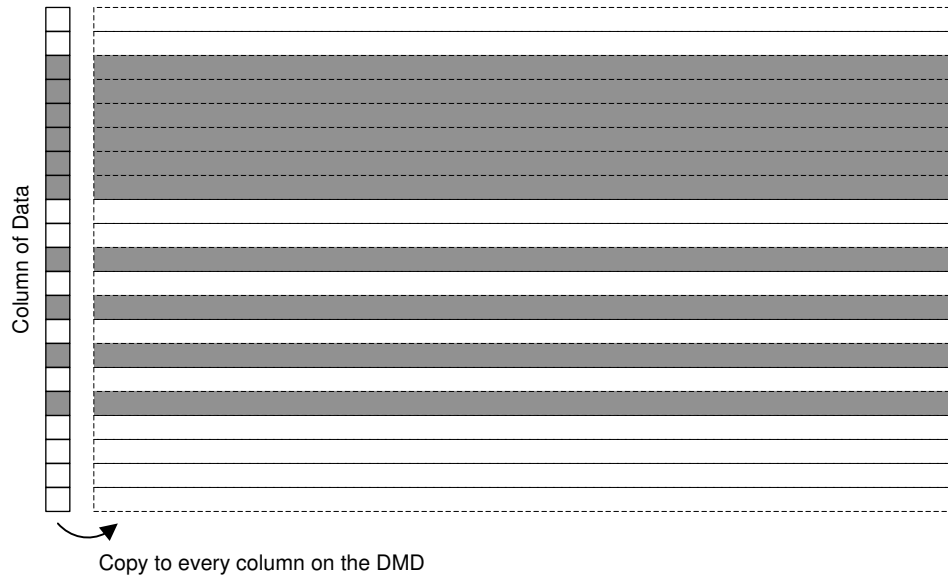


図 6-12. 列の複製

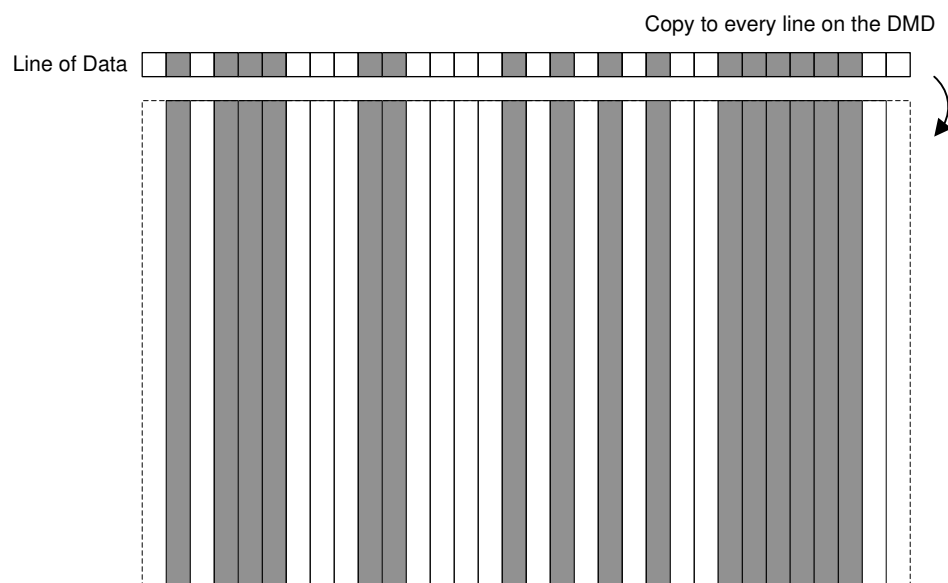


図 6-13. 行の複製

内部パターン モードには、パターンの表示をトリガするために、フリーランニング モード (図 6-14 を参照) とトリガ イン モード (図 6-15 を参照) という 2 つの構成があります。

6.3.2.2.1 フリーランニングモード

フリーランニングモードでは、DLPC3479 コントローラは、保存済みパターンを表示するために内部同期信号を生成します。ユーザーは、I²C コマンドを送信して、フラッシュメモリから DLPC3479 コントローラの内部メモリへの 1D パターンのダウンロードを開始し、1D パターンを表示するように DLPC3479 コントローラに指示します。

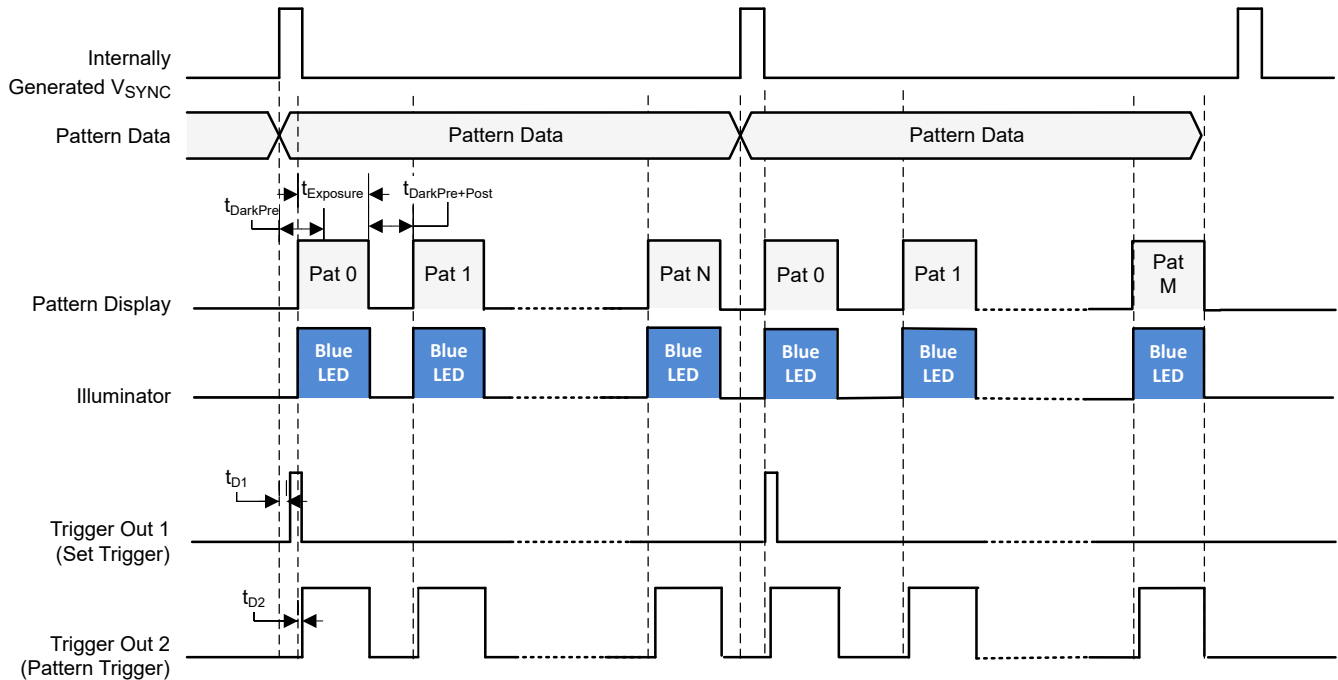


図 6-14. フリーランニングモード

- このデバイスは、内部で生成された V_{SYNC} 信号内に複数の 1D パターンを表示します。t_{Exposure} (露出時間)、t_{DarkPre}、t_{DarkPost} (ダークタイム) は、内部で生成される 1 つの V_{SYNC} フレーム内のすべての 1D パターンで等しくなります。
- 各パターンで青色 LED は点灯するように設定されています。
- TRIG_OUT_1 (フレームトリガ) はアクティブ High 極性で設定され、最小パルス幅は 20 マイクロ秒です。TRIG_OUT_1 遅延 (t_{D1}) は内部で生成された V_{SYNC} を基準にして設定します。
- TRIG_OUT_2 (パターントリガ) はアクティブ High 極性に設定され、パターン露光中はアクティブ状態を維持します。TRIG_OUT_2 遅延 (t_{D2}) は、各パターンの開始を基準として設定します。
- V_{SYNC} は、SPI フラッシュメモリに保存された各種パターンセットに従って内部で生成されます。

6.3.2.2.2 トリガインモード

トリガインモードは、パターン表示においてユーザーにより高度な制御を提供します。このモードでは、ユーザーが外部トリガ信号を DLPC3479 コントローラに送信することで、パターンを表示するタイミングを制御します。DLPC3479 コントローラはパターン準備完了信号を出力し、DLPC3479 コントローラが外部トリガ信号を受け入れる準備ができたことをユーザーに通知します。

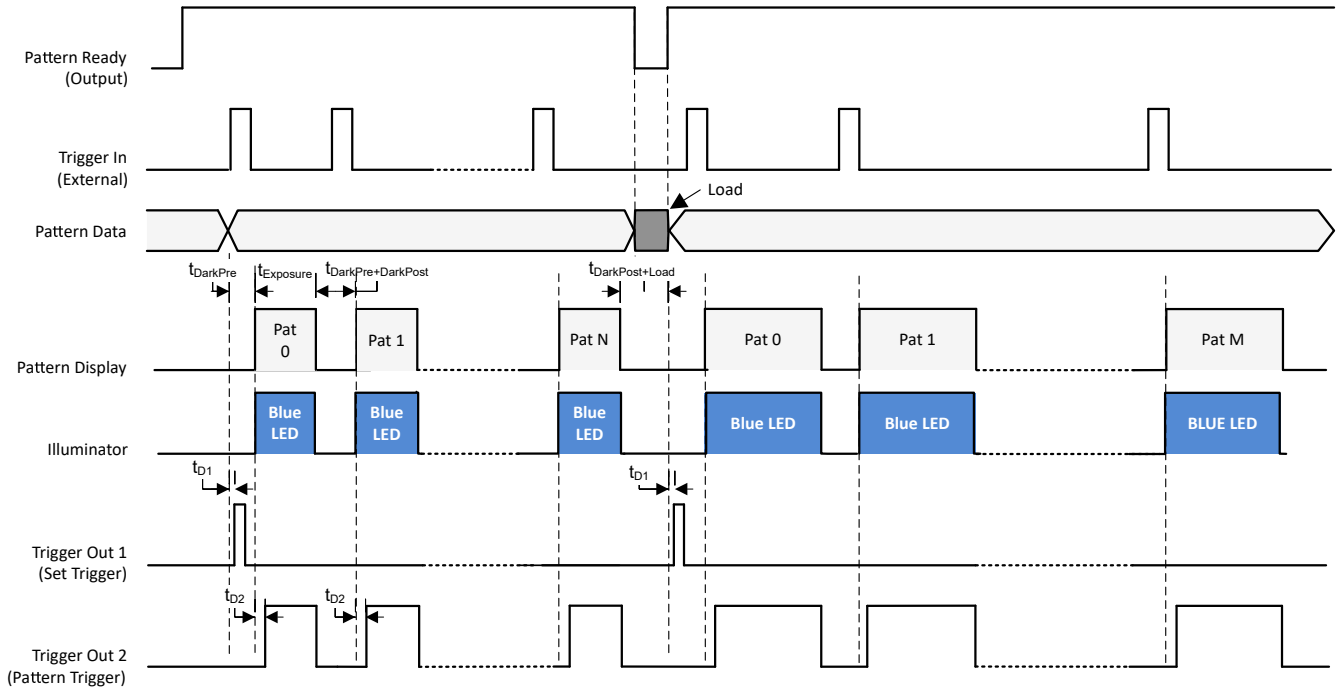
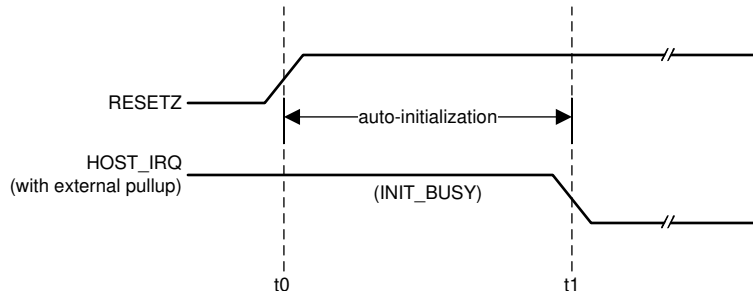


図 6-15. トリガインモード

- DLPC3479 コントローラは、パターン準備完了信号を High に設定することで、DLPC3479 コントローラがトリガ入力信号を受け入れる準備ができたことを示します。
- ユーザーは外部トリガ入力信号を DLPC3479 コントローラに送信し、 t_{Exposure} (露出時間)、 t_{DarkPre} 、 t_{DarkPost} (ダークタイム) で次のパターンの表示を開始します。
- 各パターンで青色 LED は点灯するように設定されています。
- TRIG_OUT_1 (パターンセットトリガ) はアクティブ High 極性に設定され、最小パルス幅は 20 マイクロ秒です。TRIG_OUT_1 の遅延 (t_{D1}) は外部トリガ入力 (TRIG_IN) を基準として設定されます。
- TRIG_OUT_2 (パターントリガ) はアクティブ High 極性に設定され、パターン露光中はアクティブ状態を維持します。TRIG_OUT_2 遅延 (t_{D2}) は、各パターン露出の開始を基準として設定されます。

6.3.3 デバイスの起動

- HOST_IRQ 信号は、システムが自動初期化を完了したことを示すために提供されます。
- リセットが印加されている間、HOST_IRQ はトライステート状態になります (外部プルアップ抵抗によりラインが High になります)。
- HOST_IRQ は、ブートプロセスが完了するまでトライステート (外部で High) のままになります。信号が High にプルされている間は、コントローラが起動と自動初期化を実行していることを示します。
- コントローラが起動した直後、コントローラは HOST_IRQ をロジック High 状態に駆動し、コントローラが自動初期化を継続していることを示します (外部信号で実際の状態変化は発生しません)。
- 自動初期化プロセスが完了すると、ソフトウェアは HOST_IRQ をロジック Low 状態に設定します。信号の立ち下がりエッジで、初期化が完了します。
- DLPC34xx コントローラは、自動初期化が完了して初めて、I²C 経由でコマンドを受信したり、ビデオ インターフェイス経由でビデオを受信したりできます。
- 通常、RESETZ がアサートされてから 500ms 以内に、コントローラの初期化が完了します (HOST_IRQ が Low になります)。ただし、この時間は、ソフトウェアのバージョンとユーザーが設定可能な自動初期化ファイルの内容によって異なる場合があります。



- A. t0: RESETZ の立ち上がりエッジ。自動初期化開始。
 B. t1: HOST_IRQ の立ち下がりエッジ。自動初期化完了。

図 6-16. HOST_IRQ のタイミング

6.3.4 SPI フラッシュ

6.3.4.1 SPI フラッシュ インターフェイス

DLPC34xx コントローラには、ファームウェアを保存するための外部 SPI シリアル フラッシュ メモリ デバイスが必要です。「フラッシュ インターフェイスのタイミング要件」セクションに記載されている要件に加えて、以下のガイドラインと要件に従ってください。

コントローラは、最大 128Mb (16MB) のフラッシュ サイズをサポートしています。互換性のあるフラッシュ オプションの例については、「DLPC34xx 検証済み SPI フラッシュ デバイス オプション」の表を参照してください。必要な最小フラッシュ サイズは、使用されるファームウェアのサイズによって異なります。ファームウェアのサイズは、シーケンス数、ルックアップ テーブル、およびスプラッシュ画像の数など、さまざまな要因に依存します。

DLPC34xx コントローラは、業界標準の SPI フラッシュ プロトコルに準拠した単一の SPI インターフェイスを使用します。このデバイスは、最初に公称 1.42MHz の周波数でフラッシュへのアクセスを開始し、その後、公称 30MHz で動作します。フラッシュ デバイスはこれらのレートをサポートしている必要があります。

このコントローラは、2 つの独立した SPI チップ セレクト (CS) 制御ラインを備えています。フラッシュ デバイスのチップ セレクト ピンが SPI0_CSZ0 に接続されていることを確認します。コントローラのブート ルーチンは、チップ セレクト 0 に接続されたデバイスから実行されます。ブート ルーチンはプログラム コードをフラッシュ メモリからプログラム メモリにアップロードし、プログラム メモリ内の自動初期化ルーチンに制御を転送します。

DLPC34xx は、表 6-4、表 6-5、表 6-6 の「DLPC34xx の追加 SPI フラッシュ要件」の表で定義された動作モード、機能、および性能に適合する任意のフラッシュ デバイスをサポートするよう設計されています。

表 6-4. DLPC34xx の追加 SPI フラッシュ要件

機能	DLPC34xx の要件
SPI インターフェイスの幅	シングル
SPI 極性と位相設定	SPI モード 0
高速 READ アドレッシング	自動インクリメント
プログラミング モード	ページ モード
ページ サイズ	256B
セクタ サイズ	4KB セクタ
ブロック サイズ	任意
ブロック保護ビット	0 = ディスエーブル
ステータス レジスタ ビット (0)	書き込み進行中 (WIP)、別名フラッシュ ビジー
ステータス レジスタ ビット (1)	書き込み有効化ラッチ (WEN)
ステータス レジスタ ビット (6:2)	値を 0 にすると、プログラミング保護が無効になります
ステータス レジスタ ビット (7)	ステータス レジスタ書き込み保護 (SRWP)
ステータス レジスタ ビット (15:8) (拡張ステータス バイト)	DLPC34xx コントローラはシングル バイトのステータス レジスタの読み書きコマンド実行のみをサポートしているため、拡張ステータス バイトを持つフラッシュ デバイスとは互換性がない場合があります。ただし、拡張ステータス バイトがバイト 3 の位置でオプションとして扱われ、かつその拡張ステータス バイト内の書き込み保護制御がデフォルトで未保護である場合には、フラッシュ デバイスは DLPC34xx と互換性がある可能性があります。

DLPC34xx コントローラは、プログラム保護が有効または無効のいずれかにデフォルト設定されているフラッシュ デバイスをサポートすることを意図しています。コントローラは、デフォルトで有効になっているものと想定し、ブート プロセスの一環としてプログラム保護を無効化します。

DLPC34xx はブート プロセス中に次のコマンドを発行します。

- 書き込みの有効化を要求するための書き込みイネーブル (WREN) 命令、続いて
- 書き込みイネーブル ラッチ (WEL) ビットをポーリングするためのステータス レジスタ読み出し (RDSR) 命令 (必要に応じて繰り返し実行)
- 書き込みイネーブル ラッチ (WEL) ビットがセットされた後、すべての 8 ビットに 0 を書き込むステータス レジスタ書き込み (WRSR) 命令を発行 (これによりすべてのプログラム保護が無効になります)

各プログラムまたは消去命令の前に、DLPC34xx コントローラは同様のコマンドを発行します。

- 書き込みの有効化を要求するための書き込みイネーブル (WREN) 命令、続いて
- 書き込みイネーブル ラッチ (WEL) ビットをポーリングするためのステータス レジスタ読み出し (RDSR) 命令 (必要に応じて繰り返し実行)
- 書き込みイネーブル ラッチ (WEL) ビットがセットされた後、プログラムまたは消去命令を発行

フラッシュ デバイスは、各プログラムおよび消去命令の後に、書き込みイネーブル状態を自動的にクリアすることに注意してください。

以下の表 6-5 と表 6-6 は、具体的な命令オペコードおよびタイミング互換性要件を示します。DLPC34xx コントローラは、接続されているフラッシュのタイプに基づいてプロトコルやクロックレートを調整しません。

表 6-5. SPI フラッシュ命令オペコードおよびアクセス プロファイルの互換性要件

SPI フラッシュ コマンド	BYTE 1 (オペコード)	BYTE 2	BYTE 3	BYTE 4	BYTE 5	BYTE 6
高速 READ (1 出力)	0x0B	ADDRS(0)	ADDRS(1)	ADDRS(2)	dummy	DATA(0) ⁽¹⁾
読み取りステータス	0x05	該当なし	該当なし	STATUS(0)		
書き込みステータス	0x01	STATUS(0)	⁽²⁾ を参照してください。			
書き込みイネーブル	0x06					
ページプログラム	0x02	ADDRS(0)	ADDRS(1)	ADDRS(2)	DATA(0) ⁽¹⁾	
セクタ消去 (4KB)	0x20	ADDRS(0)	ADDRS(1)	ADDRS(2)		
チップ消去	0xC7					

(1) 最初のデータバイトのみを示します。データは継続します。

(2) DLPC34xx コントローラでは、2 番目 (拡張) の書き込みステータス バイトへのアクセスはサポートされていません。

以下の表 6-6 および「フラッシュ インターフェイスのタイミング要件」セクションに、DLPC34xx 互換フラッシュ デバイスの具体的なタイミング互換性要件を示します。

表 6-6. SPI フラッシュの主要タイミングパラメータの互換性要件

SPI フラッシュのタイミングパラメータ ^{(1) (2)}	記号	代替シンボル	最小値	最大値	単位
アクセス周波数 (すべてのコマンド)	FR	f_c	≤ 1.4	≥ 30.1	MHz
チップ セレクト High 時間 (チップ セレクト解除時間とも呼ばれます)	t_{SHSL}	t_{CSH}	≤ 200		ns
出力ホールド時間	t_{CLQX}	t_{HO}	≥ 0		ns
クロック Low から出力有効までの時間	t_{CLQV}	t_v		≤ 11	ns
データ入力のセットアップ時間	t_{DVCH}	t_{DSU}	≤ 5		ns
ホールド時間のデータ	t_{CHDX}	t_{DH}	≤ 5		ns

(1) これらのタイミング値は、DLPC34xx コントローラではなく、周辺のフラッシュ デバイスの仕様に適用されます。例えば、フラッシュ デバイスの最小アクセス周波数 (FR) は 1.4MHz 以下であり、最大アクセス周波数は 30.1MHz 以上である必要があります。

(2) DLPC34xx は、フラッシュ デバイスの HOLD ピンまたは WP (アクティブ Low 書き込み保護) ピンを駆動しないため、外部プルアップ経路で PCB 上のロジック High に接続する必要があります。

DLPC34xx コントローラで 1.8V、2.5V、または 3.3V のシリアル フラッシュ デバイスをサポートするためには、VCC_FLSH ピンに対応する電圧を供給する必要があります。「DLPC34xx 検証済み SPI フラッシュ デバイス オプション」の表には、DLPC34xx コントローラでサポートされている検証済みの 1.8V、2.5V、3.3V 互換 SPI シリアル フラッシュ デバイスのリストが記載されています。

表 6-7. DLPC34xx 検証済み SPI フラッシュ デバイス オプション ^{(1) (2) (3)}

密度 (Mb)	メーカー	部品番号	パッケージ サイズ
1.8V 互換のデバイス			
4Mb	Winbond	W25Q40BWUXIG	2mm × 3mm USON
4Mb	Macronix	MX25U4033EBAI-12G	1.43mm × 1.94mm WLCSP
8Mb	Macronix	MX25U8033EBAI-12G	1.68mm × 1.99mm WLCSP
2.5V または 3.3V 互換のデバイス			
16Mb	Winbond	W25Q16CLZPIG	5mm × 6mm WSON

(1) フラッシュの電源電圧は、DLPC34xx コントローラの VCC_FLSH 電源電圧と同一である必要があります。複数の電圧オプションが用意されている場合が多いため、正しい電源電圧に対応したデバイスを選択して注文してください。

(2) Numonyx (Micron) シリアル フラッシュ デバイスは、通常、DLPC34xx コントローラの 4KB セクタ サイズの互換性要件に対応していません。

(3) この表に示すフラッシュ デバイスは、TI によって正式に検証されています。他のフラッシュ オプションも DLPC34xx コントローラと互換性がある可能性があります、TI によって正式に検証されていません。

6.3.4.2 SPI フラッシュ プログラミング

フラッシュの SPI ピンはフラッシュ書き込みのために直接駆動できますが、その間、DLPC34xx コントローラの I/O はトライステート状態となります。コントローラに電源が供給されている状態で RESETZ をロジック Low に保持することにより、SPI0_CLK、SPI0_DOUT、および SPI0_CSZ0 の I/O をトライステート状態にすることができます。SPI0_CSZ1 ピンのロジック状態は、このアクションの影響を受けません。また、すでに有効なファームウェア イメージがロードされており、コントローラが動作している場合は、I²C を介してコマンドを送ることで、DLPC34xx コントローラ自身が SPI フラッシュをプログラムすることも可能です。

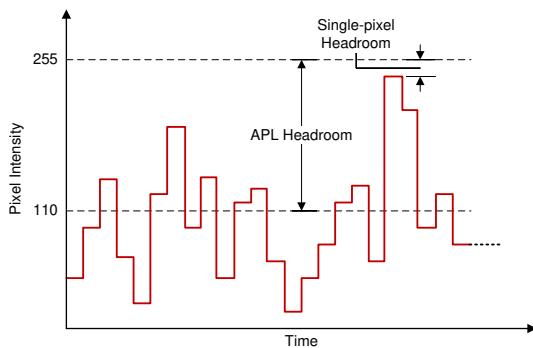
6.3.5 I²C インターフェイス

DLPC34xx I²C インターフェイス ポートはどちらも 100kHz のボー レートをサポートしています。I²C インターフェイスのトランザクションはバス上で最も低速なデバイスの速度で動作するため、システム内のすべてのデバイスの速度を一致させる必要はありません。

6.3.6 コンテンツ適応型の照明制御 (CAIC)

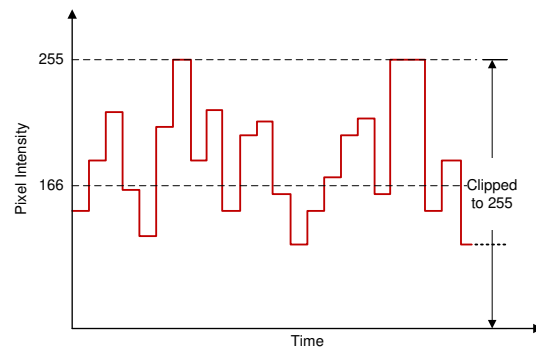
コンテンツ アダプティブ イルミネーション コントロール (CAIC) は、適応的に輝度を高め、消費電力を低減する高度な画像処理アルゴリズムの IntelliBright[®] スイートの一部です。一般的な実世界の画像コンテンツでは、画像中のほとんどのピクセルは、DLPC34xx に入力される R (赤)、G (緑)、B (青) の各デジタル チャネルにおいてフル スケールを大きく下回っています。その結果、画像全体の平均輝度レベル (APL) もフル スケールを大きく下回っており、ピクセル値全体としてのダイナミックレンジも十分に活用されていません。CAIC は、ソース画像の APL とディスプレイシステムの利用可能なダイナミックレンジ上限との間にあるヘッドルームを活用します。

CAIC は画像をフレームごとに評価し、R、G、B の各カラー チャネルごとに 1 つずつ、合計 3 つの固有のデジタル ゲインを算出します。画像処理中、CAIC は各ゲインを対応するカラー チャネル内のすべてのピクセルに適用します。算出されたゲインはそのチャネル内のすべてのピクセルに適用され、ピクセル群全体が一体として上方向にシフトし、可能な限りフルスケールに近づくようにします。画質の劣化を防ぐため、各カラー チャネルにおいてごく一部のピクセルのみがクリッピングされる点にゲインが設定されます。以下の 図 6-17 および 図 6-18 の図は、1 つのカラー チャネルに対する CAIC の適用例を示しています。



A. APL = 110

図 6-17. カラー チャネルのソース ピクセル

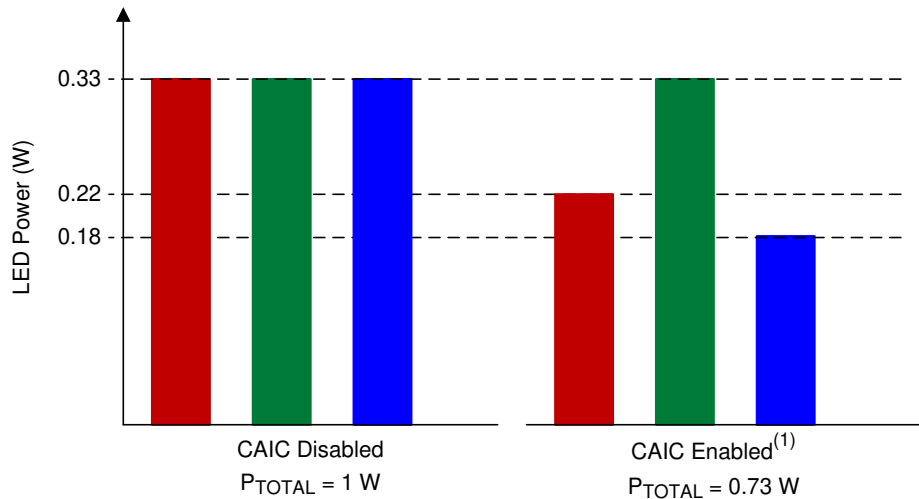


A. APL = 166

B. チャネル ゲイン = $166/110 = 1.51$

図 6-18. CAIC 処理後のカラー チャネルのピクセル

上記の 図 6-18 は、DLPC34xx 内部のカラー処理チャネルに適用されるゲインを示しています。さらに、CAIC は異なる LED 電流を指示することで、R、G、B の各 LED の電力を調整します。各フレームの各カラー チャネルに対して、CAIC はデジタル ゲインと LED 電力の最適な組み合わせをインテリジェントに決定します。ユーザーが設定可能な CAIC の設定は、各カラー チャネルに適用されるデジタル ゲインの量およびその色の LED 電力に大きく影響します。



A. CAIC が有効な場合、特定の入力画像に対して赤および青の LED が公称電力未満で十分であれば、赤および青の LED 電力は低減されます。

図 6-19. CAIC 電源低減モード (一定輝度用)

CAIC は各カラー チャネルにデジタル ゲインを適用し、各 LED の電力を調整することで、最終画像の色バランスがプロジェクタ システムのターゲットとする色バランスと一致するようにします。このため、CAIC はフレーム間で画像の有効なホワイト ポイントを一定に保つことができます。

CAIC は、すべての LED の総電力を一定に保ちながら画像全体の明るさを向上させるために使用することも、画像全体の明るさを一定に保ちながら LED 電力を低減するために使用することもできます。要約すると、CAIC には次の 2 つの主要な動作モードがあります。

- 電力削減モードは、画像全体の明るさを一定に保ちながら LED 電力を低減します
- 高輝度モードは、LED の合計電力を一定に保ちながら画像の明るさを向上させます

電力削減モードでは、DLPC34xx 内部で CAIC により R、G、B 各チャネルのゲインを高めることができるため、画面上の該当する色の明るさが変わらない範囲で、各カラー チャネルの LED 電力を低減できます。したがって、CAIC を使用しない場合と同様に、全体的な画像輝度を維持しながら、全体的な LED 消費電力を削減できます。図 6-19 には、CAIC による LED 電力の低減例を画像で示し、赤色と青色の LED の消費電力を低減できます。

高輝度モードでは、LED の電力を通常一定に保持しながら、CAIC によって R、G、B チャネルのゲインを増やすことができます。その結果、省電力なしで輝度を向上させることができます。

説明した 2 つの主要な動作モードがありますが、DLPC34xx は実際には純粋な電力削減モードと高輝度モードの両極端の間で動作します。ユーザーは、ソフトウェア プログラム ガイドに記載されているように CAIC ゲイン設定を調整することで、DLPC34xx がどの動作モードにより近い動作をするかを設定できます。

上記の機能に加えて、CAIC はプロジェクション システムにおける FOFO (フルオン フルオフ) コントラストを向上させるためのツールとしても使用できます。電力削減モードで動作している場合、DLPC34xx は各カラー チャネルの画像コンテンツの輝度が低下するにつれて、LED 電力を低減します。これにより、フルオンのコンテンツ (白画面) では LED は公称設定で動作し、最も暗いコンテンツ (黒画面) に至るまで電力出力が低減されます。後者の場合、LED は最小電力出力容量で動作し、可能な限り最小のオフ状態の光を生成します。この CAIC による最適化によって、FOFO コントラスト比が改善されます。公称 LED 電流 (フルオン状態) が大きくなると、得られるコントラスト比はさらに向上します。

6.3.7 局所的輝度ブースト (LABB)

局所的輝度ブースト (LABB) は、高度な画像処理アルゴリズム群である IntelliBright™ スイートの一部で、平均的な画像レベルと比較して暗い領域のゲインを適応的に高めます。コントローラは、画像の一部の領域には大きなゲインを適用し、他の領域にはほとんど、またはまったくゲインを適用しません。LABB アルゴリズムは、フレームごとに画像を評価し、各画像で使用される局所ゲインを計算します。多くの画像では全体としてゲインが向上するため、コントローラが画像の一部にゲインを適用しない場合であっても、画像全体の知覚される明るさは向上します。

図 6-20 に、暗い領域を含む画像に対する LABB アルゴリズムの影響を、分割画面の例で示します。



図 6-20. LABB 有効 (左側) および LABB 無効 (右側)

LABB アルゴリズムは、使用するゲインの強度を決定する際に周囲光条件を活用すると、最も効果的に動作します。このため、ディスプレイ画面の反射周囲光を測定するために使用する周囲光センサをシステム設計に含めると便利です。このセンサは LABB 強度の動的制御に役立ちます。明るい室内では、白っぽく見える画像を改善するために、LABB のゲインを高めめに設定します。暗い部屋では、画像のピクセル強度が過剰に強調されるのを防ぐために、LABB のゲインを低めに設定します。

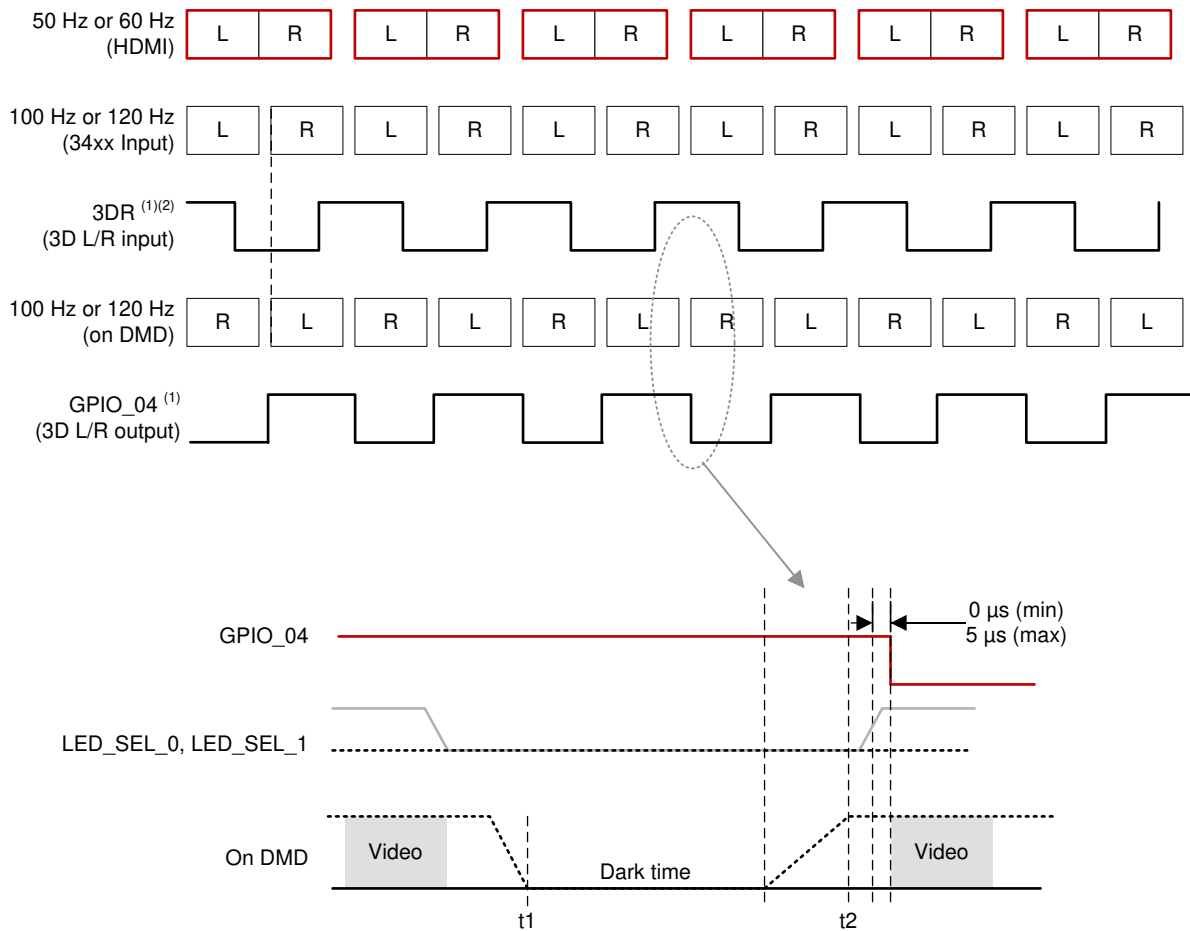
6.3.8 3D メガネの操作

3D メガネを使用する場合 (3D 映像入力および適切なソフトウェア対応がある場合)、コントローラは同期情報を出し、メガネの左右のシャッター動作を DMD に表示される画像フレームと一致させます。3D メガネは通常、この同期を実現するために、赤外線 (IR) 転送または DLP リンク™ テクノロジーを使用します。

1 つ目のタイプのメガネでは、システム PCB 上の IR トランスミッタを使って、IR 同期信号をメガネ内の IR レシーバに送信します。この場合、DLPC34xx コントローラの出力信号 GPIO_04 を使用して、IR トランスミッタに IR 同期信号をメガネへ送信させることができます。図 6-21 に、GPIO_04 信号のタイミング シーケンスを示します。

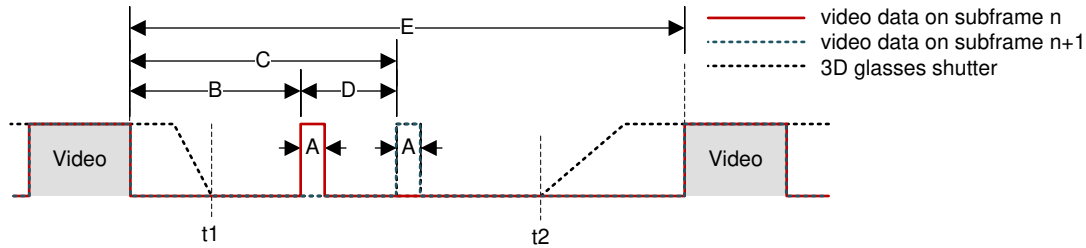
2 つ目のタイプのメガネでは、投影レンズから出力される光にエンコードされた同期情報に依存します。このアプローチでは、3D ビデオに DLP リンク機能を使用します。多くのメーカーの 3D メガネは、この方式を用いて製造されています。DLP リンク機能を使う利点は、既存のプロジェクタ ハードウェアを活用して同期情報をメガネに送信することです。この方式は、プロジェクタにおいてコスト、サイズ、および消費電力の面で有利になる可能性があります。

DLP リンク テクノロジーを使用する場合、メガネの左右のシャッターが両方閉じている間に、DMD フレームごとに 1 回の光パルスが投影レンズから出力されます。これを実現するために、DLPC34xx は DLPxxxx に対して照射用光源 (通常は LED またはレーザー) をいつオンにするかを指示し、DMD フレームごとに 1 回、エンコードされた光パルスが出力されるようにします。パルスが送信される際は、メガネの左右のシャッターが両方ともオフになっているため、パルスを生産するために光が出力される場合を除き、プロジェクタの照射用光源もオフになります。パルスには任意の色を使用できますが、メガネの LCD シャッター レンズの透過特性や、メガネ側で使用される白色光センサの感度を考慮すると、パルスには青色を使用しないことが強く推奨されます。赤色のパルスを使用することを推奨します。図 6-21 に、3D のタイミング図を示します。図 6-22 と表 6-8 に、DLP リンク機能を使用した場合の光パルスのタイミングを示します。



- A. 左 = 1、右 = 0
- B. 3DR は VSYNC の 1ms 前にトグルする必要があります。
- C. t1: 両方のシャッターをオフ。
- D. t2: 次のシャッターをオン。

図 6-21. 3D 表示における左眼 / 右眼フレームおよび信号タイミング



A. サブフレームの終端における DLP リンク パルスの時間オフセットは、B と B+D (D はデルタ オフセット) との間で交互に変化します。

図 6-22. 3D DLP リンク パルス タイミング

表 6-8. 3D DLP リンク タイミング

HDMI ソースのフレームレート (Hz) ⁽¹⁾	DLPC34xx 入力フレームレート (Hz)	A (μs)	B (μs)	C (μs)	D (μs)	E (μs)
49.0	98	20 ~ 32 (公称 31.8)	> 500	> 622	128 ~ 163 (公称 161.6)	> 2000
50.0	100	20 ~ 32 (公称 31.2)	> 500	> 658	128 ~ 163 (公称 158.4)	> 2000
51.0	102	20 ~ 32 (公称 30.6)	> 500	> 655	128 ~ 163 (公称 155.3)	> 2000
59.0	118	20 ~ 32 (公称 26.4)	> 500	> 634	128 ~ 163 (公称 134.2)	> 2000
60.0	120	20 ~ 32 (公称 26.0)	> 500	> 632	128 ~ 163 (公称 132.0)	> 2000
61.0	122	20 ~ 32 (公称 25.6)	> 500	> 630	128 ~ 163 (公称 129.8)	> 2000

(1) タイミング パラメータ C は常に B + D の和です。

6.3.9 テスト ポイントのサポート

DLPC34xx のテスト ポイント出力ポート TSTPT_(7:0) は、選択されたシステム キャリブレーションおよびコントローラのデバッグをサポートします。これらのテスト ポイントは、リセットが適用されたときに入力されます。これらのテスト ポイントは、リセットが解除されると出力となります。コントローラはシステム リセットの解除時に信号状態をサンプリングし、その取得した値を用いて、次にリセットが適用されるまでテスト モードを構成します。各テスト ポイントには内部プルダウン抵抗が含まれているため、デフォルトのテスト構成を変更するには外部プルアップ抵抗を使用する必要があります。

デフォルト構成 (b000) は、通常動作時のスイッチング動作を低減するため、TSTPT_(2:0) 出力をトライステートのままにする設定に対応します。最大の柔軟性を確保するため、TSTPT_(2:0) には外部プルアップ抵抗へのジャンパ接続を推奨します。TSTPT_(2:0) のプルアップ抵抗は、コントローラを特定のモードまたはオプションに構成するために使用できます。通常動作に悪影響を及ぼす可能性があるため、TSTPT_(7:3) にプルアップ抵抗を追加することは TI は推奨していません。通常使用する場合は、TSTPT_(7:3) は未接続のままにする必要があります。テストポイントは RESETZ 入力の 0 から 1 の遷移時のみサンプリングされるため、リセット解除後に構成を変更しても、次にリセットがアサートおよび解除されるまで効果はありません。表 6-9 は、TSTPT_(2:0) によって定義される 1 つのプログラム可能なシナリオにおけるテストモード選択を示しています。

表 6-9. TSTPT (2:0) で定義されたテスト モード選択のシナリオ

TSTPT 出力値 ⁽¹⁾	スイッチング アクティビティなし	クロック デバッグ出力
	TSTPT_(2:0) = 0b000	TSTPT_(2:0) = 0b010
TSTPT_0	ハイ インピーダンス	60MHz
TSTPT_1	ハイ インピーダンス	30MHz

表 6-9. TSTPT (2:0) で定義されたテスト モード選択のシナリオ (続き)

TSTPT 出力値 ⁽¹⁾	スイッチング アクティビティなし	クロック デバッグ出力
	TSTPT_(2:0) = 0b000	TSTPT_(2:0) = 0b010
TSTPT_2	ハイ インピーダンス	0.7~22.5MHz
TSTPT_3	ハイ インピーダンス	High
TSTPT_4	ハイ インピーダンス	Low
TSTPT_5	ハイ インピーダンス	High
TSTPT_6	ハイ インピーダンス	High
TSTPT_7	ハイ インピーダンス	7.5MHz

(1) これらはデフォルトの出力選択です。ソフトウェアは、いつでもこの選択を再プログラムすることができます。

6.3.10 DMD インターフェイス

DLPC34xx コントローラの DMD インターフェイスは、1 つの高速 (HS) 1.8V SubLVDS 出力専用インターフェイス、および 1 つの低速 (LS) 1.8V LVCMOS SDR インターフェイスで構成されており、固定クロック速度の標準値は 120MHz です。

6.3.10.1 SubLVDS (HS) インターフェイス

DLPC3479 コントローラから DMD へのインターフェイスは、最大クロック速度 532MHz DDR の HS 1.8V SubLVDS 出力専用インターフェイスと、固定クロック速度 120MHz の LS SDR (1.8V LVCMOS) インターフェイスで構成されています。表 6-10 に、DLP4710 DMD で利用可能な 2 つのオプションを示します。

表 6-10. DLPC3479 (1 次側および 2 次側) から DLP4710LC (.47 1080p) への DMD 8 レーン DMD ピン マッピング

DLPC3479 コントローラ 8 レーン DMD ルーティング オプション #1		
1 次側 DLPC3479 ピン	2 次側 DLPC3479 ピン	DMD ピン
HS_WDATA_D_P HS_WDATA_D_N	HS_WDATA_E_P HS_WDATA_E_N	入力 DATA_p_0 入力 DATA_n_0
HS_WDATA_C_P HS_WDATA_C_N	HS_WDATA_F_P HS_WDATA_F_N	入力 DATA_p_1 入力 DATA_n_1
HS_WDATA_B_P HS_WDATA_B_N	HS_WDATA_G_P HS_WDATA_G_N	入力 DATA_p_2 入力 DATA_n_2
HS_WDATA_A_P HS_WDATA_A_N	HS_WDATA_H_P HS_WDATA_H_N	入力 DATA_p_3 入力 DATA_n_3
HS_WDATA_H_P HS_WDATA_H_N	HS_WDATA_A_P HS_WDATA_A_N	入力 DATA_p_4 入力 DATA_n_4
HS_WDATA_G_P HS_WDATA_G_N	HS_WDATA_B_P HS_WDATA_B_N	入力 DATA_p_5 入力 DATA_n_5
HS_WDATA_F_P HS_WDATA_F_N	HS_WDATA_C_P HS_WDATA_C_N	入力 DATA_p_6 入力 DATA_n_6
HS_WDATA_E_P HS_WDATA_E_N	HS_WDATA_D_P HS_WDATA_D_N	入力 DATA_p_7 入力 DATA_n_7
DLPC3479 コントローラ 8 レーン DMD ルーティング オプション #2		
1 次側 DLPC3479 ピン	2 次側 DLPC3479 ピン	DMD ピン
HS_WDATA_E_P HS_WDATA_E_N	HS_WDATA_D_P HS_WDATA_D_N	入力 DATA_p_0 入力 DATA_n_0
HS_WDATA_F_P HS_WDATA_F_N	HS_WDATA_C_P HS_WDATA_C_N	入力 DATA_p_1 入力 DATA_n_1

表 6-10. DLPC3479 (1 次側および 2 次側) から DLP4710LC (.47 1080p) への DMD 8 レーン DMD ピン マッピング (続き)

DLPC3479 コントローラ 8 レーン DMD ルーティング オプション #1		
HS_WDATA_G_P HS_WDATA_G_N	HS_WDATA_B_P HS_WDATA_B_N	入力 DATA_p_2 入力 DATA_n_2
HS_WDATA_H_P HS_WDATA_H_N	HS_WDATA_A_P HS_WDATA_A_N	入力 DATA_p_3 入力 DATA_n_3
HS_WDATA_A_P HS_WDATA_A_N	HS_WDATA_H_P HS_WDATA_H_N	入力 DATA_p_4 入力 DATA_n_4
HS_WDATA_B_P HS_WDATA_B_N	HS_WDATA_G_P HS_WDATA_G_N	入力 DATA_p_5 入力 DATA_n_5
HS_WDATA_C_P HS_WDATA_C_N	HS_WDATA_F_P HS_WDATA_F_N	入力 DATA_p_6 入力 DATA_n_6
HS_WDATA_D_P HS_WDATA_D_N	HS_WDATA_E_P HS_WDATA_E_N	入力 DATA_p_7 入力 DATA_n_7

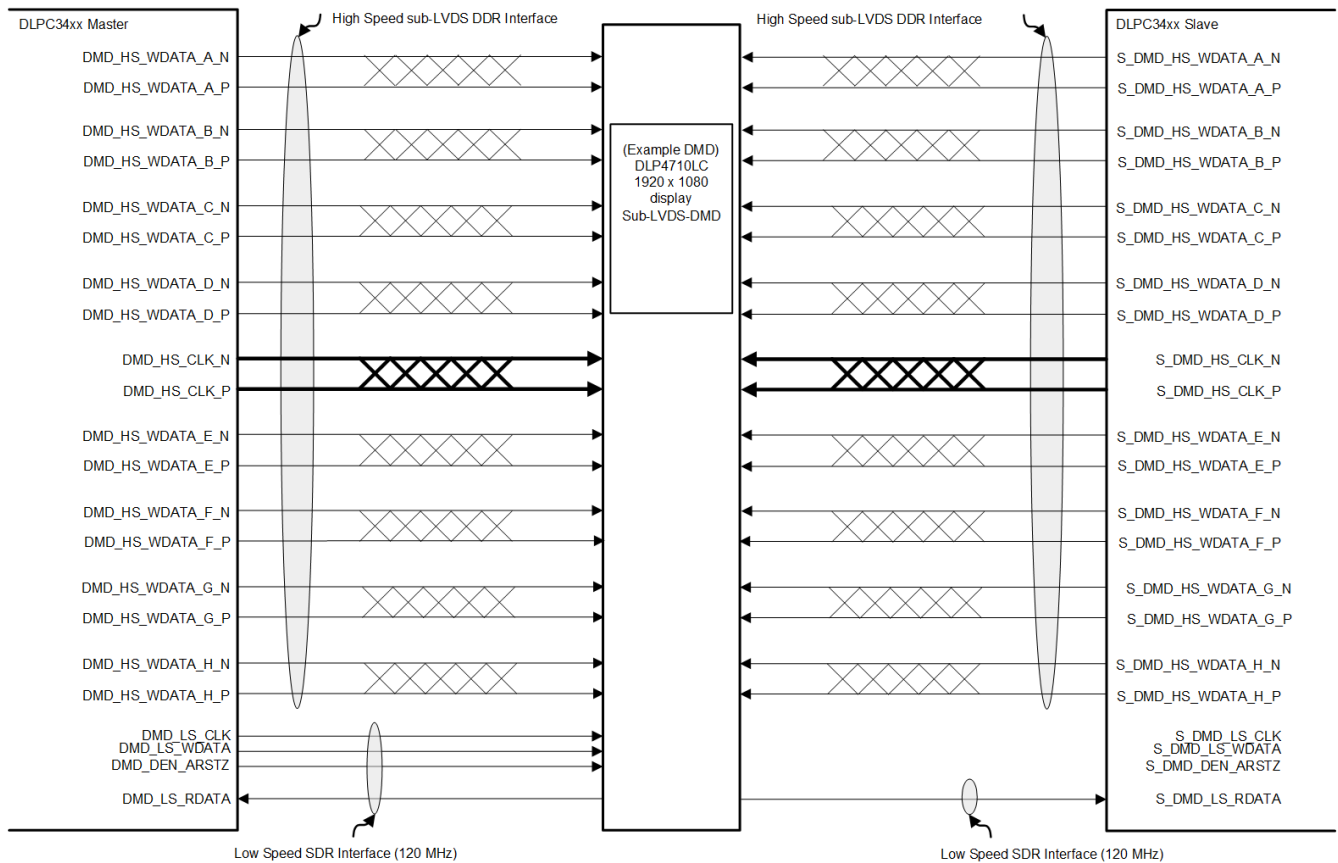


図 6-23. DLP4710LC (.47 1080p) DMD インターフェイス

コントローラにおける SubLVDS 高速インターフェイスの波形品質およびタイミングは、インターコネク全体長の長さ、配線間隔、特性インピーダンス、エッチング損失、ならびにインターフェイス全体での配線長の整合性に依存します。そのため、正のタイミング マージンを確保するには、多くの要因に注意する必要があります。

本来必要となる信号整合性解析を最小限に抑えるため、波形品質およびタイミング要件 (PCB 配線のミスマッチおよび PCB の信号整合性の両方を考慮) を満たすインターコネク システムの参考例として、「DMD 制御と SubLVDS 信号」レ

イアウト セクションが提供されています。これらの推奨からの変更でも動作する可能性はありますが、PCB の信号整合性解析または実験室での測定によって確認する必要があります。

6.4 デバイスの機能モード

DLPC34xx コントローラは、単一のピン PROJ_ON (GPIO_08) によって制御される 2 つの動作モード (ON および OFF) を備えています。

- PROJ_ON ピンが High に設定されると、コントローラが電源オンになり、DMD にデータを送信するようにプログラムできます。
- PROJ_ON ピンが Low に設定されると、コントローラの電源がオフになり、消費電力は最小限に抑えられます。

6.5 プログラミング

DLPC34xx コントローラには Arm® Cortex® - M3 プロセッサが搭載されており、ビデオの処理と制御を可能にする追加の機能ブロックが搭載されています。TI はファームウェア イメージとしてソフトウェアを提供しています。お客様は、このファームウェア イメージを SPI フラッシュ メモリに書き込む必要があります。DLPC34xx コントローラは、起動時および通常動作時に、このファームウェアをロードします。コントローラおよび付属の DLP チップセットは、動作するためにこの専用ソフトウェアを必要とします。利用可能なコントローラ機能は、インストールされているファームウェアのバージョンに依存します。チップ セットの組み合わせごとに、異なるファームウェアが必要です (異なる PMIC デバイスを使用する場合など)。このドキュメントの末尾にある「ドキュメントのサポート」を参照するか、最新の公開ソフトウェアを表示またはダウンロードするには TI にお問い合わせください。

ユーザーは、I²C インターフェイス コマンドを使用してソフトウェアの動作を変更できます。コマンドのリストについては、「ドキュメントのサポート」ページからアクセス可能なソフトウェア ユーザー ガイドを参照してください。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

DLPC3479 コントローラは、さまざまなディスプレイおよび照明制御アプリケーションに適した信頼性の高いディスプレイソリューションを実現するために、DLP4710LC (.47 1080p) DMD と組み合わせて使用する必要があります。DMD は空間光変調器であり、照射用光源から受け入れた光を 2 方向のいずれかに反射します。主な方向は、プロジェクションまたは集光光学系です。各アプリケーションは、主にシステムの光学アーキテクチャと、DLPC3479 に入力されるデータ形式に基づいて決定されます。主なアプリケーションとして、アクセサリ プロジェクタ、ウェアラブル (ニアアイまたはヘッドマウント) ディスプレイ、インタラクティブ ディスプレイ、低レイテンシのゲーミング ディスプレイ、デジタル サイネージ、高分解能 3D プリンティング製品、高精度で小型フォームファクタの 3D 深度キャプチャ製品などがあります。このセクションでは、内部の両方のパターン ストリーミング モードを使用した、一般的な 3D 深度キャプチャ DLP システムについて説明します。内部パターン ストリーミング モードでは、構造化光パターンはフラッシュ メモリに保存され、DLPC3479 コントローラによって直接表示されます。DLPC3479 への 24 ビット 平行 インターフェイス経由でパターンをストリーミングする必要はありません。

7.2 代表的なアプリケーション

DLPC3479 コントローラと DLP4710LC DMD を組み合わせることで、高精度かつ小型フォームファクタの 3D 深度キャプチャ製品を実現できます。このセクションでは、内部パターン ストリーミング モードを使用した代表的な 3D 深度キャプチャシステムのブロック図を示します。

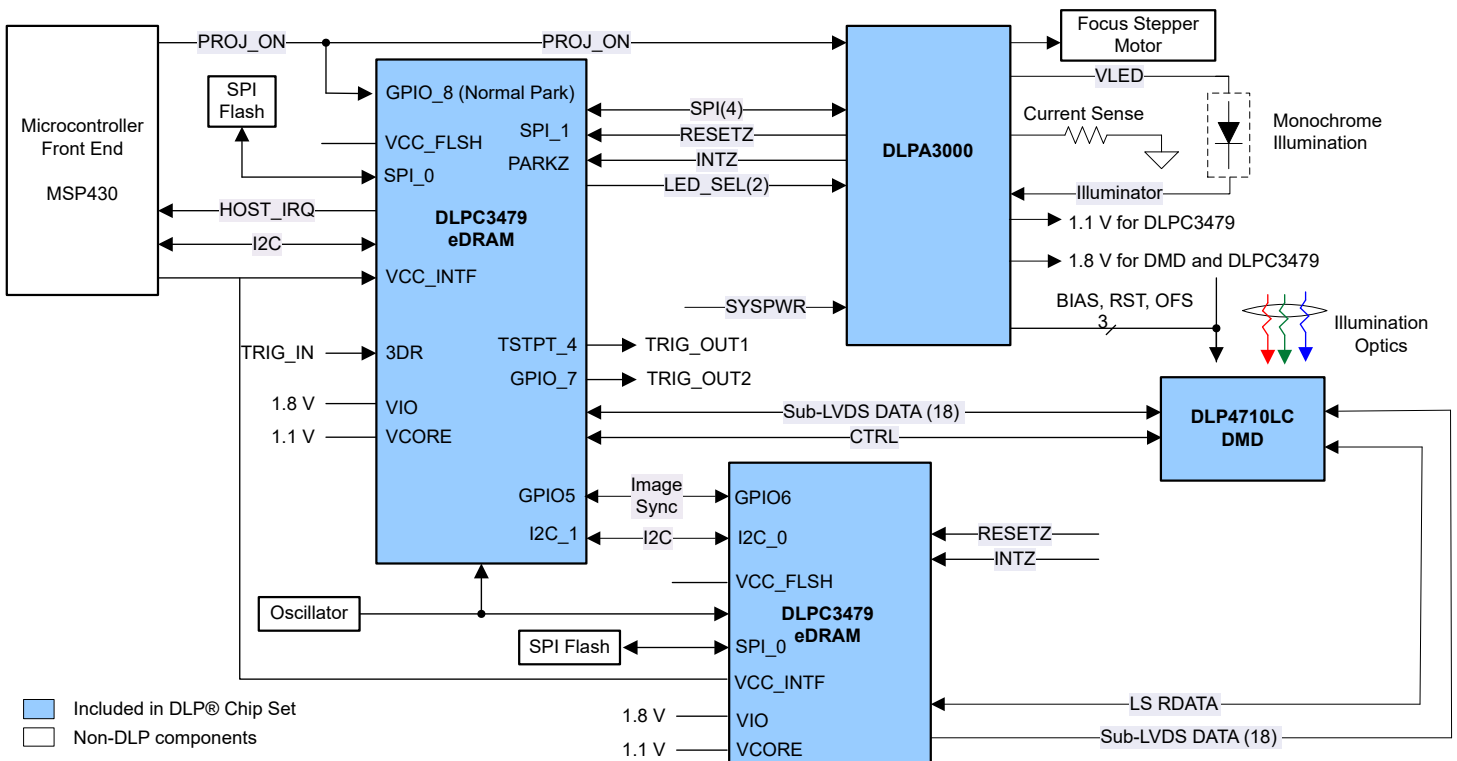


図 7-1. 代表的なアプリケーションの図

7.2.1 設計要件

高精度な 3D 深度キャプチャ製品は、DLP4710LC DMD、2 つの DLPC3479 コントローラ、DLPA300X PMIC/LED ドライバで構成される DLP チップセットを使用して製造できます。DLPC3479 はパターン生成を簡素化し、DLPA300X は必要なアナログ機能を提供し、DMD は高精度な 3D 深度キャプチャに必要なパターンを表示します。チップセットに含まれる 3 つの DLP デバイスに加えて、アプリケーションを完成させるために他の部品が必要となる場合があります。最低限、パターン、ソフトウェア、およびファームウェアを保存して DLPC3479 コントローラを制御するために、フラッシュ部品が必要です。DLPC3479 コントローラは、IR 光源 (LED または VCSEL)、UV 光源、可視光源 (赤、緑、青の LED またはレーザー) を含む、あらゆる照射用光源に対応しています。

DLPC3479 にコマンドを送信するには、I²C をホスト プロセッサに接続する必要があります。プロジェクトの外部に必要な電源は、バッテリー (SYSPWR) と安定化された 1.8V 電源のみです。単一の信号 (PROJ_ON) により、DLP システム全体の電力が制御されます。PROJ_ON が High のとき、DLP システムはオンになります。PROJ_ON が Low のとき、DLPC3479 はオフになり、SYSPWR の消費電流はわずか数マイクロアンペアになります。PROJ_ON が Low のとき、1.8V 電源は他のサブシステムで使用できるように 1.8V のままにできます。PROJ_ON が Low の場合、DLPA300X は 1.8V 電源の電流を消費しません。

1 次側コントローラの TSTPT_2 ピンは 25ns のパルス幅を出力します。このパルス信号は、2 次側コントローラの 3DR (入力) ピンに接続する必要があります。VCC_INTF が 1.8V に設定されていない場合、電圧変換器が必要です。1 次側コントローラの TSTPT_2 ピンの立ち上がりエッジと、2 次側コントローラの 3DR (入力) ピンの VIH との間の伝搬遅延は 10ns 未満にすることを推奨します。

7.2.2 詳細な設計手順

DLP4710LC (.47 1080p) DMD、2xDLPC3479 コントローラ、DLPA3000 または DLPA3005 デバイス PMIC/LED ドライバを接続するには、リファレンス デザインの回路図を参照してください。この回路図によって基板レイアウトを作成すると、非常に小型の基板を実現できます。リファレンス デザイン データベースには、小型基板レイアウトの例が含まれています。信頼性の高いシステムを実現するには、レイアウトのガイドラインに従ってください。

7.2.3 アプリケーション曲線

赤、緑、青の各 LED は、時間を分けて順次駆動されており、LED に流れる電流を大きくすると、プロジェクトの輝度が高くなります。この増加はある程度非線形であり、DLPA3000 または DLPA3005 デバイスを使用した場合の標準的な白色画面のルーメン曲線は、[図 7-2](#) に示すように LED 電流に応じて変化します。ここに示す LED 電流については、赤、緑、青の LED に同じ電流振幅が適用されていると仮定しています。

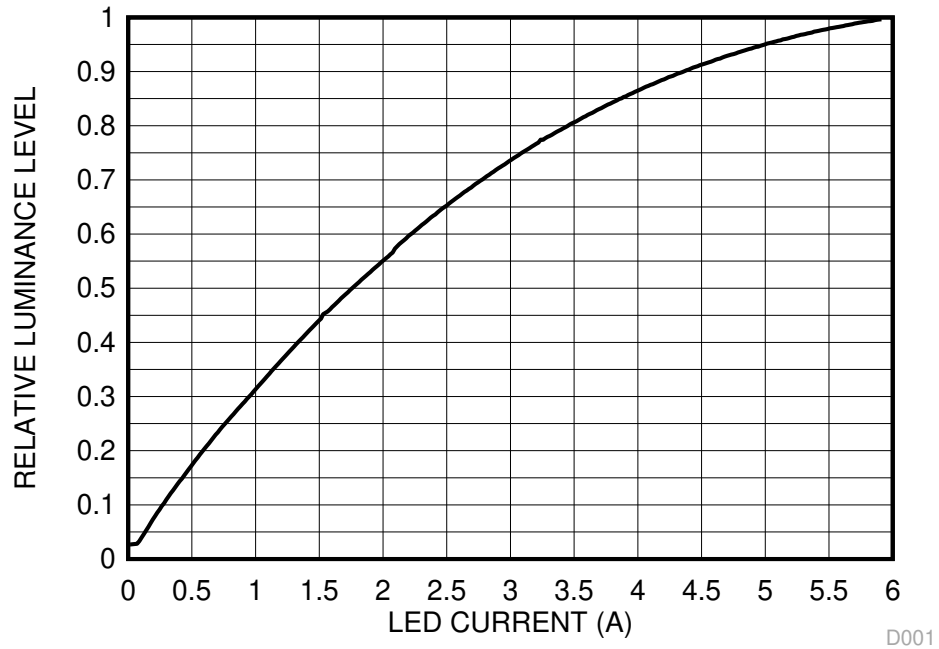


図 7-2. 輝度と電流との関係

D001

8 電源に関する推奨事項

8.1 PLL 設計の検討事項

VDD_PLLD と VDD_PLLM は、コア VDD と同じレギュレータから派生させることができます。ただし、AC ノイズ成分を最小限に抑えるには、「PLL 電力のレイアウト」セクションの推奨に従ってフィルタを適用します。

8.2 システムのパワーアップおよびパワーダウン シーケンス

DLPC34xx コントローラは複数の電源電圧ピン (例えば、VDD、VDDL12、VDD_PLLM/D、VCC18、VCC_FLSH、および VCC_INTF) を必要としますが、VDDL12 が 1.1V の VDD 電源に接続されている場合 (これが一般的な構成と想定)、DLPC34xx コントローラを損傷から保護するための電源投入シーケンシングの相対的な順序に関する制約はありません (この条件は電源投入時および電源遮断時の両方において有効です)。VDDL12 が 1.1V の VDD 電源に接続されている場合、各電源の投入と遮断の間に最小遅延時間の要件はありません。

ただし、VDDL12 ピンが VDD 電源に接続されていない場合、VDD 電源がオンになった後でのみ、VDDL12 ピンの電源をオンにする必要があります。同様に、電源遮断時には、VDD 電源をオフにする前に VDDL12 ピンをオフにする必要があります。VDDL12 ピンが VDD に接続されていない場合、VDDL12 ピンと VDD 電源ピンは、互いに 100ms 以内に電源投入または電源遮断する必要があります。

上記の電源シーケンス規則に従えば DLPC34xx コントローラが損傷するリスクはありませんが、システムが正常に動作することを保証するためには、以下の追加の電源シーケンス推奨事項も考慮する必要があります：

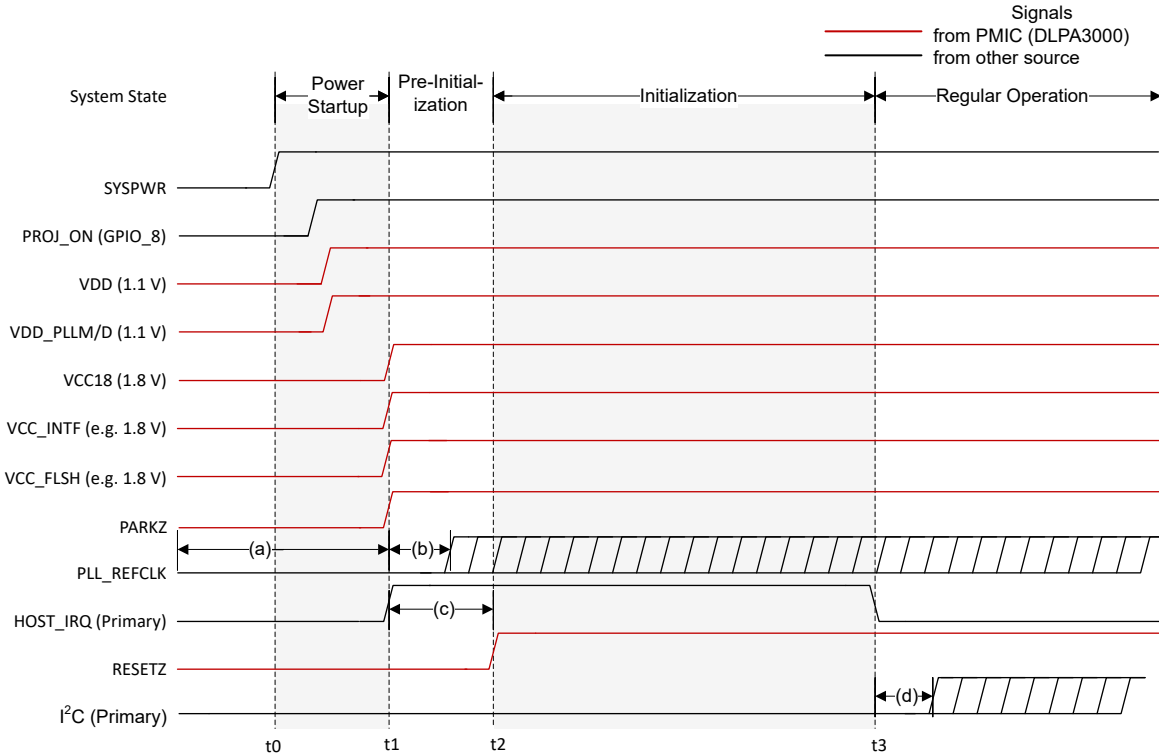
- DLPC34xx コントローラの出力信号状態が期待どおりに動作するようにするため、VDD コア電源が供給されている間は、すべてのコントローラ I/O 電源も供給された状態を維持することが推奨されます。I/O 電源 (VCC_INTF) が供給されている間に VDD コア電源が遮断されると、非アクティブな I/O 電源に関連する出力信号はハイインピーダンス状態になります。
- DLPC34xx コントローラと電源を共有するデバイス (PMIC や DMD など) には追加の電源シーケンス規則が存在する場合があるため、これらのデバイスによってシステム全体に追加の電源シーケンス要件が課される可能性があります。

図 8-1、図 8-2 および 図 8-3 に、一般的な DLPC34xx システムにおける DLPC34xx のパワーアップ シーケンス、通常の PARK パワーダウン シーケンス、および高速 PARK パワーダウン シーケンスを示します。

VDD コア電源が供給されている一方で I/O 電源が供給されていない場合、コントローラは追加のリーク電流を消費する可能性があります。このリーク電流は、DLPC34xx コントローラの通常動作や信頼性には影響を与えません。

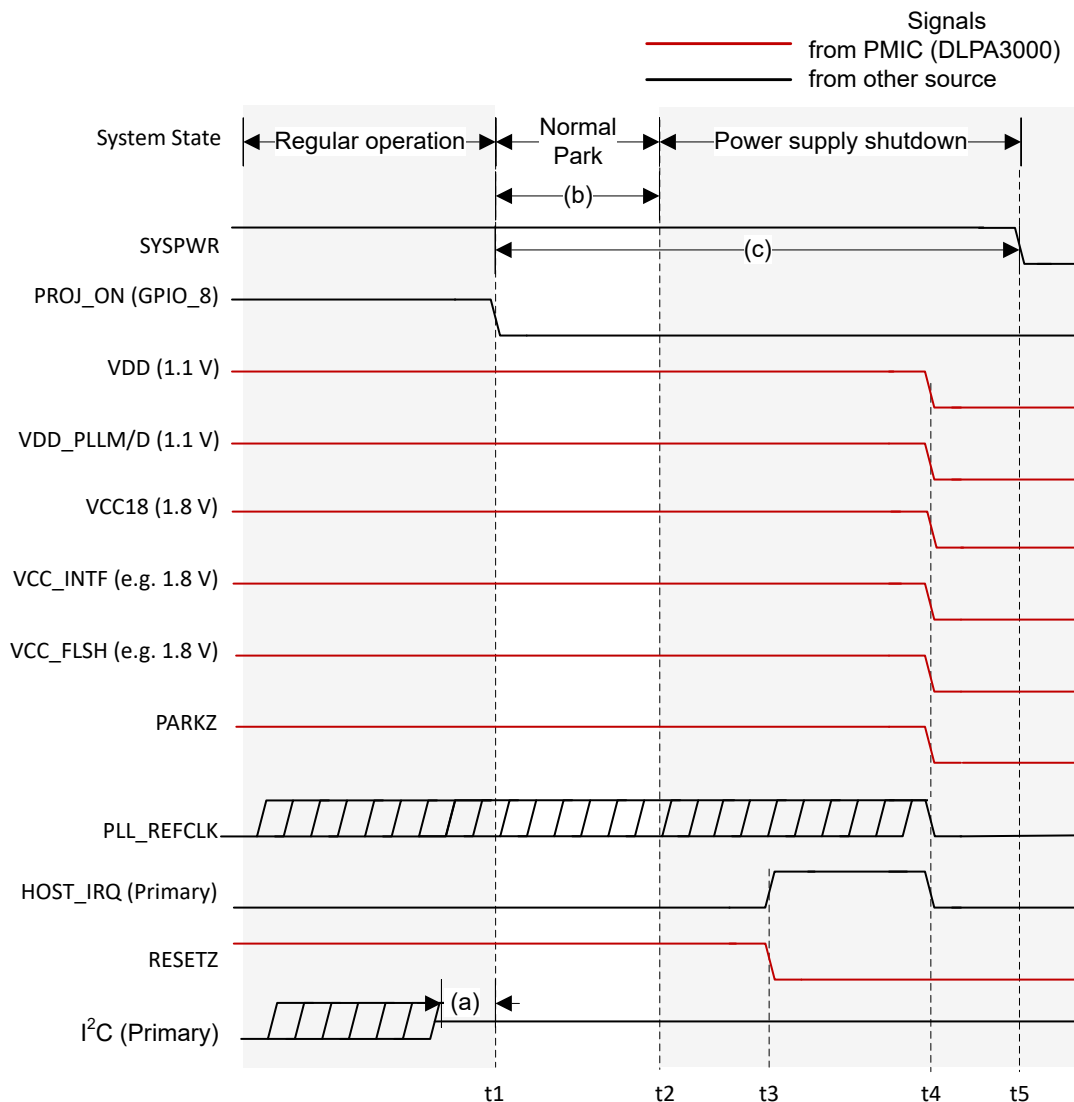
注

通常パークの間は、PROJ_ON が Low になってから少なくとも 50ms の間は、SYSPWR を仕様範囲内に維持することが推奨されます。これにより、DMD をパークさせ、電源レールを安全にパワーダウンできます。50ms 後には、SYSPWR をオフにできます。DLPA200x を使用する場合は、PROJ_ON が Low になってから少なくとも 50ms の間は、DLPA200x ロード スイッチに供給される 1.8V 電源を仕様内に維持することも推奨されます。



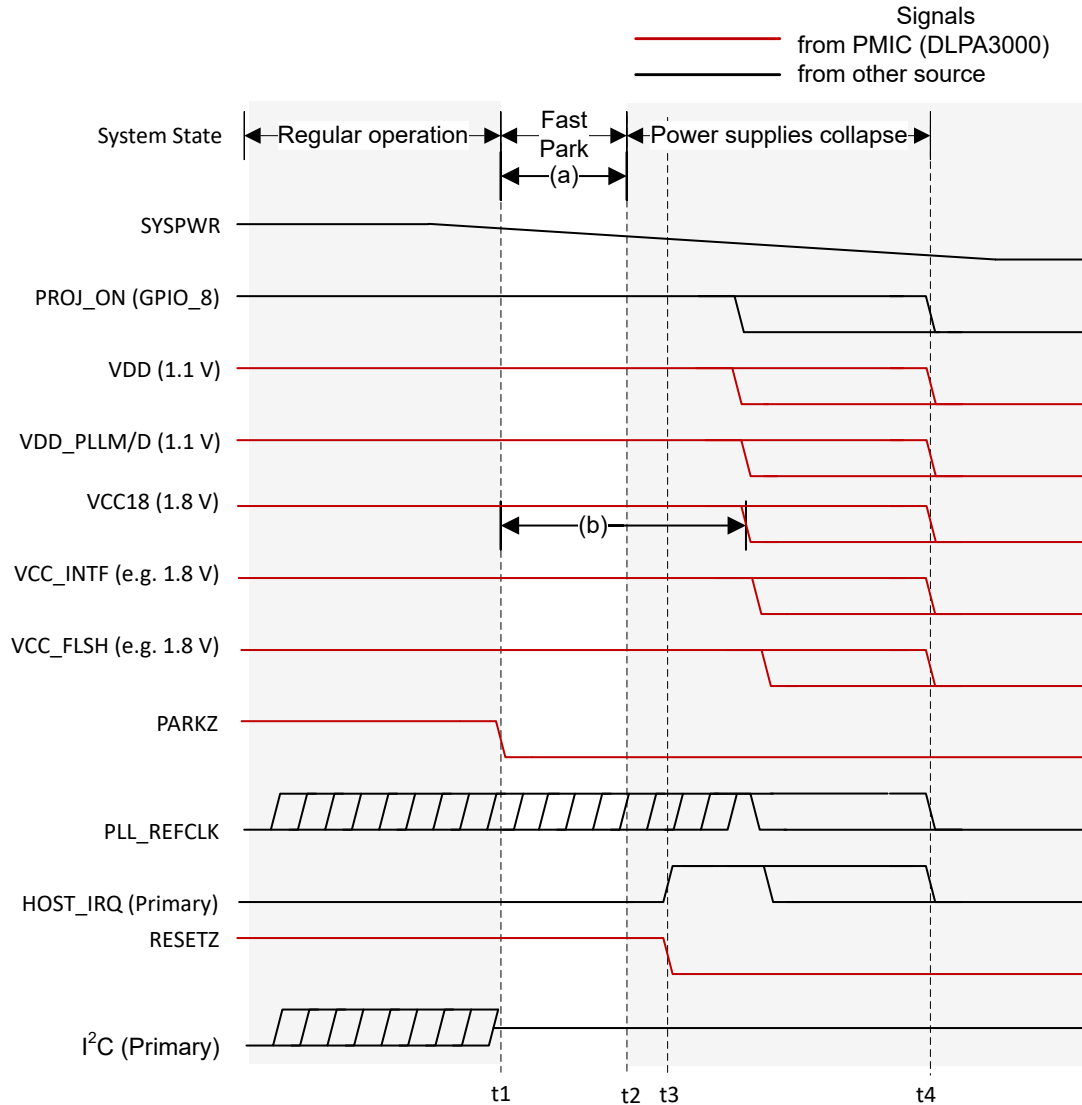
- A. PMIC に SYSPWR が印加されます。その他すべての電圧レールは、SYSPWR から供給されます。
- B. すべての電源は、指定された公称値の 95% に達します。HOST_IRQ が別の外部電源にプルアップされている場合、より早く High になる可能性があることに注意してください。
- C. RESETZ がデアサートされる (High になる) ポイント。これは、コントローラの自動初期化処理の開始を示します。
- D. HOST_IRQ が Low になることで、初期化が完了したことを示します。
- E. VDDL12 が別電源から供給される場合は、VDD の後に電源投入する必要があります。
- F. PLL_REFCLK は、電力が印加される前にアクティブにできます。
- G. PLL_REFCLK は、すべての電源が投入されてから 5ms 以内に安定している必要があります。外部発振器を使用する場合は、発振器に依存し、水晶振動子を使用する場合は、水晶振動子およびコントローラの発振器セルに依存します。
- H. 自動初期化をサポートするために、RESETZ が解除される前に PARKZ を High にしておく必要があります。電源が規定値に達した後も、RESETZ は少なくとも 5ms の間 Low に保持する必要があります。
- I. HOST_IRQ が Low になり、自動初期化が完了したことが示されるまで、I²C アクティビティは開始できません。

図 8-1. システム パワーアップ波形 (DLPA3000 使用時)



- A. PROJ_ON が Low になり、パワーダウンシーケンスが始まります。
- B. コントローラは DMD のパークを終了します。
- C. RESETZ がアサートされると、HOST_IRQ が High にプルされます。
- D. コントローラ電源がすべてオフになります。
- E. 他のすべての電源がオフになった時点で、SYSPWR は取り除かれます。
- F. PROJ_ON がデアサートされる (Low になる) 前に、I²C アクティビティが停止する必要があります。
- G. PROJ_ON がデアサートされてから (Low になってから) 20ms 以内に、DMD はパーク状態になります。PROJ_ON がデアサートされた (Low になった) 後も、VDD、VDD_PLLM/D、VCC18、VCC_INTF、VCC_FLSH の各電源および PLL_REFCLK は、少なくとも 20ms の間、規定範囲内に維持する必要があります。ただし、20ms は、チップセット全体の標準的なシャットダウン タイミングを満たしていません。したがって、メモ (c) に従うことをお勧めします。
- H. PROJ_ON がデアサートされた (Low になった) 後 50ms の間は、SYSPWR をオフにしないことが推奨されます。この時間により、DMD のパーク、コントローラの電源オフ、および PMIC の各電源のシャットダウンが可能になります。

図 8-2. 通常パーク パワーダウン波形



- A. フォルトが検出され (この例では PMIC が UVLO 状態を検出)、PARKZ がアサートされ (Low になり)、DMD の高速パークを開始するようにコントローラに通知します。
- B. コントローラが高速パーク手順を終了します。
- C. RESETZ がアサートされるとコントローラはリセット状態になり、その結果として HOST_IRQ は High にプルされます。
- D. 最終的に、SYSPWR から派生した電源はすべて停止します。
- E. PARKZ がアサートされた (Low になった) 後、少なくとも 32 μ s の間、VDD、VDD_PLLM/D、VCC18、VCC_INITF、VCC_FLSH の各電源および PLL_REFCLK を規定範囲内に維持する必要があります。
- F. VCC18 は、DMD のデータシートで定義されている DMD 電源シーケンス要件を満たすのに十分な時間、規定範囲内に維持する必要があります。詳細については、DLPAxxxx データシートも参照してください。

図 8-3. 高速パーク パワーダウン波形

8.3 パワーアップ初期化シーケンス

外部の電源監視回路は、電源投入シーケンス中に DLPC34xx コントローラをシステム リセット状態に保持するために必要であり、RESETZ をロジック Low 状態に駆動します。外部の電源監視回路は、すべてのコントローラ電圧が規定の最小電圧レベルに達し、PARKZ が High になり、入力クロックが安定するまで、RESETZ を Low レベルに駆動し続ける必要があります。外部の電力監視は、DLPxxxx PMIC によって自動的に実行されます。

RESETZ がアサートされている間は、DLPC34xx コントローラから出力されるいかなる信号もアクティブ状態にはなりません。RESETZ がアサートされている間は、次の信号がトライステートになります：

- SPI0_CLK
- SPI0_DOUT
- SPI0_CSZ0
- SPI0_CSZ1
- GPIO [19:00]

リセット中にフローティング状態となることで PCB 上のデバイスが誤動作する可能性がある場合、すべてのトライステート出力信号 (出力として設定される双方向信号を含む) には、外部プルアップ (またはプルダウン) 抵抗を追加してください。SPI については、少なくともデバイスに接続されているチップ セレクト信号にはプルアップ抵抗を追加してください。未使用の双方向信号は、RESETZ が High に設定された後にコントローラ入力がフローティング状態になるのを防ぐため、出力として構成できます。

RESETZ がアサートされ、対応する I/O 電源が印加されている間は、以下の信号は強制的にロジック Low 状態になります：

- LED_SEL_0
- LED_SEL_1
- DMD_DEN_ARSTZ

電源が安定し、DLPC34xx コントローラへの PLL_REFCLK_I クロック入力が安定した後に、RESETZ を解除 (ロジック High に設定) する必要があります。その後、DLPC34xx コントローラは電源投入時の初期化処理を実行し、まず PLL をロックし、その後に外部フラッシュから自己構成データを読み込みます。RESETZ のリリース時に、DLPC34xx のすべての I/O がアクティブになります。RESETZ の解放直後に、HOST_IRQ 信号が High に駆動され、自動初期化ルーチンが進行中であることを示します。ただし、信号 HOST_IRQ にはプルアップ抵抗が接続されているため、コントローラが能動的に High に駆動する前に、この信号はすでに High になっています。自動初期化ルーチンが完了すると、DLPC34xx コントローラは HOST_IRQ を Low に駆動し、コントローラの初期化完了状態に達したことを示します。

信頼性の高い動作を確保するため、電源オン時の初期化シーケンス中は、GPIO_08 (PROJ_ON) をデアサートしないでください。つまり、スタートアップ ルーチンが開始された (PROJ_ON がアサートされた) 後は、そのルーチンが完了する (HOST_IRQ が Low になることで示される) まで、コントローラをオフにする (PROJ_ON をデアサートする) ことはできません。

注

HOST_IRQ が Low になるまで、I²C または DSI (該当する場合) アクティビティは許可されません。

8.4 DMD 高速パーク制御 (PARKZ)

PARKZ は、DC 電源電圧が仕様を下回る少なくとも 32 μ s 前に、コントローラに通知する必要がある早期警告用の入力信号です。通常、PARKZ 信号は DLPxxxx 割り込み出力信号によって供給されます。通常動作の場合、PARKZ は RESETZ を解除する前 (RESETZ 入力の Low から High への遷移の前) にデアサート (High に設定) されている必要があります。PARKZ がアサート (low に設定) されると、コントローラは DMD の高速パーク動作を実行し、これが DMD の寿命の維持に寄与します。パーク動作が完了するには、PARKZ がアサート (Low に設定) されてから少なくとも 32 μ s の間、リファレンス クロックは動作を継続し、RESETZ は非アクティブのままになっている必要があります。

高速パーク動作は、電力損失が差し迫っていて、ホストプロセッサの制御が及ばない場合（外部電源が切断された場合や、バッテリーが最低レベル以下に低下した場合など）のみの使用を想定しています。高速パーク動作では、DMDの最長寿命が達成されない場合があります。最長寿命は、通常パーク動作で達成されるものです（GPIO_08を介して開始）。したがって、PARKZは一般的に、通常パークを行う時間が不足している場合にのみ、通常パーク要求の代わりに使用されます。通常パーク動作は、ミラーをパークするのに32 μ sよりもはるかに長い時間がかかります。通常パーク動作の間、DLPxxxxはすべての電源をオンのままにし、長い時間を要するミラーパーキングが完了するまでRESETZをHighに維持します。さらに、DLPxxxxはパーキングが完了した後、一定時間電源をオンのままにすることができます。詳細については、該当するDLPxxxxのデータシートを参照してください。ミラーのパーキング時間を長くすることで、DMDの寿命と信頼性を最大限に保つことができます。「DMDパーキングのスイッチング特性」セクションは、パークのタイミングを規定しています。

8.5 ホットプラグ I/O の使用

DLPC34xx コントローラは、すべてのホストインターフェイス信号（VCC_INTF で電力供給される信号）にフェイルセーフ I/O を提供します。これにより、I/O 電源が供給されていない場合でも、これらの入力を外部から駆動することが可能になります。この条件下では、コントローラは入力信号に負荷を与えず、またコントローラの信頼性を低下させるような過剰な電流も消費しません。たとえば、ホストから他の部品への I²C バスは、VCC_INTF から DLPC34xx コントローラへの電源オフの影響を受けません。これにより、コントローラの電源がオンになっていない場合でも、I²C バスに追加のデバイスを使用できます。TI は、ホストにフィードバックされる信号に対しては、フローティング入力を防ぐために弱いプルアップまたはプルダウン抵抗の使用を推奨しています。

I/O 電源（VCC_INTF）がオフになり、コア電源（VDD）がオンのままの場合、対応する入力バッファに追加のリーク電流が発生する可能性があります。その追加のリーク電流によって DLPC34xx コントローラが損傷することはありません。

ただし、VCC_INTF に電源が供給されており、VDD に電力が供給されていない場合、コントローラは IIC0_xx ピンを Low に駆動して、この I²C バスでの通信を禁止できます。このバスに追加のターゲット デバイスを持つシステムでは、VDD ピンに電源を投入する前に、VCC_INTF ピンをオンにしないでください。

9 レイアウト

9.1 レイアウトのガイドライン

DLPC34xx コントローラの PCB 設計要件の概要については、『[テキサス インストルメンツ DLP Pico TRP デジタル マイクロミラー デバイスの PCB 設計要件](#)』を参照してください。一部のアプリケーション (高フレームレートビデオなど) では、コントローラ パッケージの熱を管理するために 1 オンス (またはそれ以上) の銅プレーンを使用する必要がある場合があります。

9.1.1 PLL 電力のレイアウト

内部 PLL で許容可能なコントローラ性能を得るには、以下の推奨ガイドラインに従ってください。DLPC34xx コントローラには、専用のアナログ電源を持つ 2 つの内部 PLL (VDD_PLLM、VSS_PLLM、VDD_PLLD、VSS_PLLD) が搭載されています。少なくとも、2 つの直列フェライト ビーズと 2 つのシャント コンデンサで構成される単純なパッシブ フィルタを使用して、VDD_PLLx の電源ピンと VSS_PLLx グランド ピンを絶縁します (ノイズ吸収スペクトルを広げるため)。コンデンサは、1 つを 0.1 μ F、もう 1 つを 0.01 μ F とすることが推奨されます。4 つのすべての部品を可能な限りコントローラの近く配置します。高周波用コンデンサのリードは、できるだけ短く保つことが重要です。フェライト ビーズのコントローラ側で、VDD_PLLM から VSS_PLLM へ、VDD_PLLD から VSS_PLLD へ両方のコンデンサを接続します。

以下の特性を持つフェライト ビーズを選択します。

- 0.40 Ω 未満の DC 抵抗
- 10MHz でのインピーダンスが 180 Ω 以上
- 100MHz でのインピーダンスが 600 Ω 以上

PCB レイアウトは PLL の性能に重要です。ノイズの少ないグランドと電力をアナログ信号のように扱うことが重要です。したがって、VDD_PLLM と VDD_PLLD は、DLPC34xx コントローラから両方のコンデンサまでのシングル トレースであり、直列フェライトを経由して電源に到達する必要があります。電源パターンとグランド パターンはできるだけ短くし、互いに平行にし、できるだけ互いに近づけて配置します。

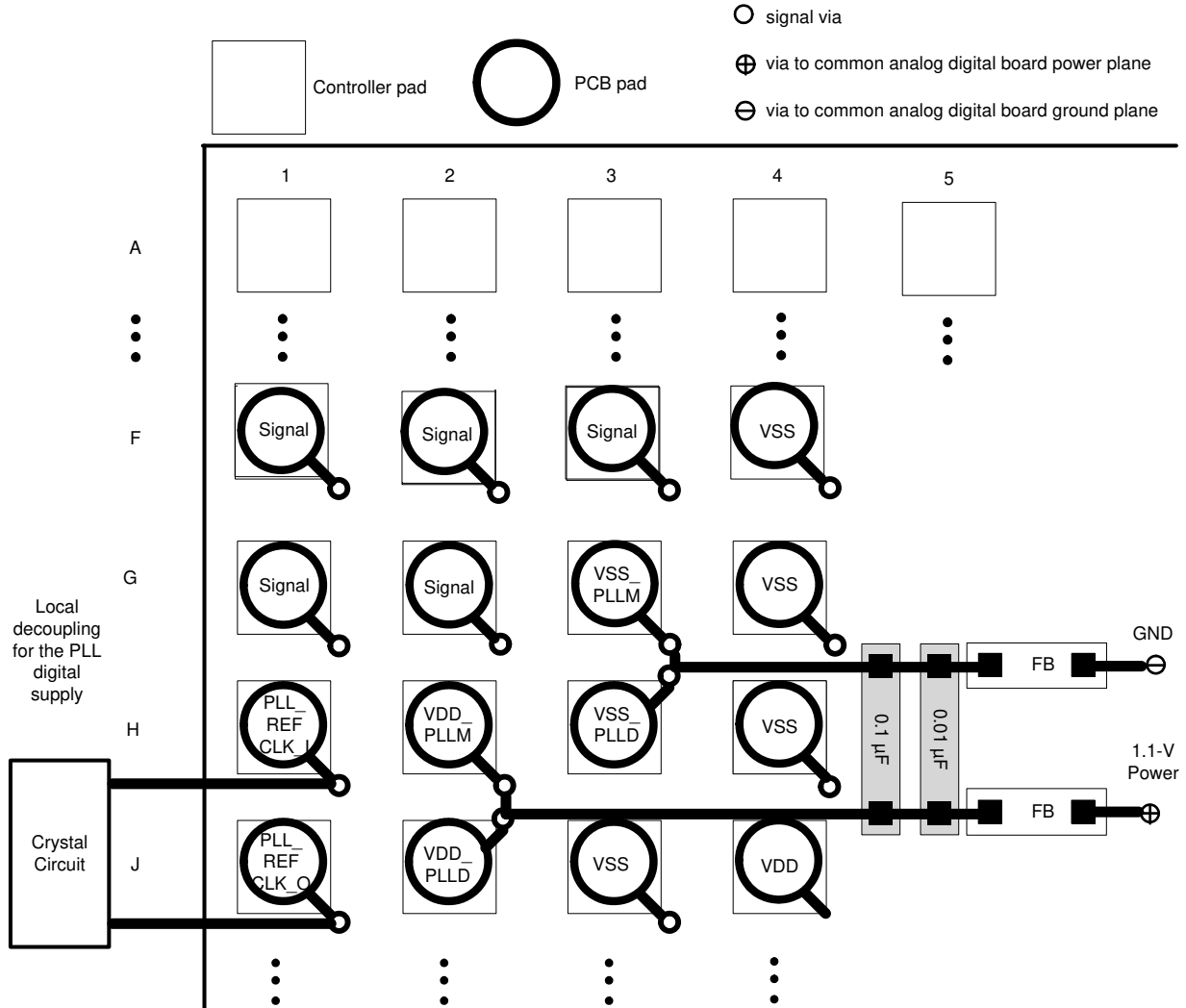
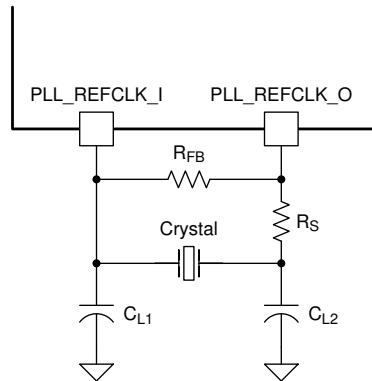


図 9-1. PLL フィルタのレイアウト

9.1.2 リファレンス クロックのレイアウト

DLPC34xx コントローラは、内部 PLL に供給するために、外部リファレンス クロックを必要とします。このリファレンスに電力を供給するには、水晶振動子または発振器を使用します。DLPC34xx リファレンス クロックは、 $\pm 200\text{ppm}$ の周波数変動（経年変化、温度、トリム部品の変動を含む）を超えてはなりません。

水晶振動子を使用する場合には必要なディスクリート部品を、[図 9-2](#) に示します。



- A. C_L = 水晶振動子の負荷容量 (F)
- B. $C_{L1} = 2 \times (C_L - C_{stray_pll_refclk_i})$
- C. $C_{L2} = 2 \times (C_L - C_{stray_pll_refclk_o})$
- D. ここで
- $C_{stray_pll_refclk_i}$ = コントローラピン `pll_refclk_i` に関連した水晶振動子ピンでのパッケージと PCB の浮遊容量の合計
 - $C_{stray_pll_refclk_o}$ = コントローラピン `pll_refclk_o` に関連した水晶振動子ピンでのパッケージと PCB の浮遊容量の合計

図 9-2. 必要なディスクリート部品

9.1.2.1 推奨される水晶発振器の設定

表 9-1. 水晶振動子端子の特性

パラメータ	公称値	単位
PLL_REFCLK_I から GND への容量	1.5	pF
PLL_REFCLK_O から GND への容量	1.5	pF

表 9-2. 推奨される水晶振動子の設定

パラメータ ^{(1) (2)}	推奨	単位
水晶振動子回路の構成	並列共振	
水晶振動子のタイプ	基本波 (第 1 高調波)	
水晶振動子の公称周波数	24	MHz
水晶発振子の周波数の許容誤差 (精度、温度特性、経年変化、およびトリム感度を含みます)	±200	PPM
最大スタートアップ時間	1.0	ms
水晶振動子の等価直列抵抗 (ESR)	120 (最大)	Ω
水晶振動子の負荷	6	pF
R_S 駆動抵抗 (公称値)	100	Ω
R_{FB} 帰還抵抗 (公称値)	1	MΩ
C_{L1} 外部水晶振動子の負荷コンデンサ	リファレンス クロックのレイアウトの注記にある式を参照してください。	pF
C_{L2} 外部水晶振動子の負荷コンデンサ	リファレンス クロックのレイアウトの注記にある式を参照してください。	pF
PCB レイアウト	水晶振動子の周囲にアース絶縁リングを設けることが推奨されます。	

(1) -30°C~85°Cの温度範囲

(2) 水晶振動子バイアスは、コントローラの `VCC_INTF` 電圧レールによって決定されます (`VCC18` レールではなく、可変です)。

外部発振器を使用する場合、その出力は DLPC34xx コントローラの PLL_REFCLK_I ピンを駆動する必要があり、PLL_REFCLK_O ピンは未接続のままにする必要があります。

表 9-3. 推奨水晶振動子

メーカー ^{(1) (2)}	部品番号	速度 (MHz)	温度および経年劣化 (ppm)	最大 ESR (Ω)	負荷容量 (pF)	パッケージの寸法 (mm)
KDS	DSX211G - 24.000M - 8pF - 50 - 50	24	± 50	120	8	2.0 × 1.6
Murata	XRCGB24M000F0L11R0	24	± 100	120	6	2.0 × 1.6
NDK	NX2016SA 24M EXS00A - CS05733	24	± 145	120	6	2.0 × 1.6

- (1) この表に示す水晶振動子デバイスは、DLPC34xx コントローラで動作することが検証されています。他のデバイスも互換性がある可能性がありますが、必ずしも TI によって検証されているわけではありません。
- (2) 動作温度範囲: すべての水晶振動子について、 -30°C から 85°C へ移行します。

9.1.3 未使用のピン

フローティング状態の CMOS 入力専用ピンによって生じる可能性のある有害な電流を防ぐため、未使用のコントローラ入力ピンは、対応する電源にプルアップ抵抗で接続するか、またはグランドにプルダウン抵抗で接続することを TI は推奨しています。内部にプルアップまたはプルダウン抵抗を備えたコントローラ入力については、特に推奨されていない限り、外部にプルアップまたはプルダウンを追加する必要はありません。内部のプルアップおよびプルダウン抵抗は弱いため、外部デバイスを駆動できるものとしては期待しないでください。DLPC34xx コントローラは、非常に少数の内部抵抗を実装しており、「ピン構成および機能セクション」の表に記載されています。弱いプルアップまたはプルダウン抵抗を備えたピンで外部プルアップまたはプルダウン抵抗が必要な場合は、最大抵抗値として **8k Ω** を選択してください。

未使用の出力専用ピンを電源やグランドに直接接続してはいけません。それらは未接続のままにします。

可能であれば、未使用の双方向 I/O ピンは出力状態に設定し、ピンを未接続のままにできるようにすることを TI は推奨しています。この制御が利用できず、ピンが入力になる可能性がある場合は、適切なプルアップ (またはプルダウン) 抵抗を追加します。

9.1.4 DMD 制御および SubLVDS 信号

表 9-4. 最大ピン互換 PCB 相互接続に関する推奨事項

DMD パス信号 ^{(1) (2)}	信号相互接続トポロジ		単位			
	単一基板の信号配線の長さ	複数基板の信号配線の長さ				
DMD_HS_CLK_P DMD_HS_CLK_N	6.0 (152.4)	⁽³⁾ を参照してください。	(mm) 単位			
DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	6.0 (152.4)	⁽³⁾ を参照してください。	(mm) 単位			
DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N						
DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N						
DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N						
DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N						
DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N						
DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N						
DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N						
DMD_LS_CLK				6.5 (165.1)	⁽³⁾ を参照してください。	(mm) 単位
DMD_LS_WDATA				6.5 (165.1)	⁽³⁾ を参照してください。	(mm) 単位
DMD_LS_RDATA	6.5 (165.1)	⁽³⁾ を参照してください。	(mm) 単位			
DMD_DEN_ARSTZ	7.0 (177.8)	⁽³⁾ を参照してください。	(mm) 単位			

(1) 信号配線の最大長には、エスケープ配線が含まれます。

(2) コネクタの影響により、マルチボード DMD 配線の長さが制限されます。

(3) PCB のばらつきのため、これらの推奨事項は定義できません。基板設計では、配線長が信号要件に違反しないように、コントローラの IBIS モデル (コントローラの Web ページの「ツールとソフトウェア」タブにある) を SPICE シミュレーションする必要があります。

表 9-5. 高速 PCB 信号配線マッチング要件

信号グループ長マッチング (1) (2) (3)				
インターフェイス	信号グループ	リファレンス信号	最大不一致 (4)	単位
DMD ⁽⁵⁾	DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	DMD_HS_CLK_P DMD_HS_CLK_N	±1.0 (±25.4)	(mm) 単位
	DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N			
	DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N			
	DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N			
	DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N			
	DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N			
	DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N			
	DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N			
DMD	DMD_HS_WDATA_x_P	DMD_HS_WDATA_x_N	±0.025 (±0.635)	(mm) 単位
DMD	DMD_HS_CLK_P	DMD_HS_CLK_N	±0.025 (±0.635)	(mm) 単位
DMD	DMD_LS_WDATA DMD_LS_RDATA	DMD_LS_CLK	±0.2 (±5.08)	(mm) 単位
DMD	DMD_DEN_ARSTZ	該当なし	該当なし	(mm) 単位

- (1) 長さ一致の値は、PCB 配線長にのみ適用されます。DLPC34xx コントローラまたは DMD に関連する内部パッケージ配線の不一致については、追加の考慮は必要ありません。
- (2) トレーニングは DMD HS データラインに適用されます。この理由で、定義済みのマッチング要件は LS データラインと比較してわずかに緩和されています。
- (3) DMD LS 信号はシングル エンドです。
- (4) 信号グループの不一致分散は、常にリファレンス信号を基準にしています。
- (5) DMD HS データラインは差動なので、これらの仕様はペア ツー ペアです。

表 9-6. 信号要件

パラメータ	リファレンス	要件
ソース直列終端	DMD_LS_WDATA	必須
	DMD_LS_CLK	必須
	DMD_DEN_ARSTZ	許容する
	DMD_LS_RDATA	必須
	DMD_HS_WDATA_x_y	許容しない
	DMD_HS_CLK_y	許容しない
エンドポイント終端	DMD_LS_WDATA	許容しない
	DMD_LS_CLK	許容しない
	DMD_DEN_ARSTZ	許容しない
	DMD_LS_RDATA	許容しない
	DMD_HS_WDATA_x_y	許容しない
	DMD_HS_CLK_y	許容しない
PCB インピーダンス	DMD_LS_WDATA	68Ω ±10%
	DMD_LS_CLK	68Ω ±10%
	DMD_DEN_ARSTZ	68Ω ±10%
	DMD_LS_RDATA	68Ω ±10%
	DMD_HS_WDATA_x_y	100Ω ±10%
	DMD_HS_CLK_y	100Ω ±10%
信号のタイプ	DMD_LS_WDATA	DMD_LS_DCLK を基準とする SDR (シングル データ レート)
	DMD_LS_CLK	DMD_LS_DCLK を基準とする SDR
	DMD_DEN_ARSTZ	SDR
	DMD_LS_RDATA	DMD_LS_DCLK を基準とする SDR
	DMD_HS_WDATA_x_y	SubLVDS
	DMD_HS_CLK_y	SubLVDS

9.1.5 レイヤの変更

- シングルエンド信号:レイヤーの変更数を最小限に抑えます。
- 差動信号:個別の差動ペアは、異なるレイヤに配線できます。理想的には、特定のペアの信号が層を変えないようにすべきです。

9.1.6 スタブ

- スタブの使用は避けてください。

9.1.7 終端

- DMD_HS 差動信号には、外部終端抵抗は不要です。
- DMD_LS_CLK および DMD_LS_WDATA 信号路に、43Ω の直列終端抵抗が含まれており、対応するコントローラピンのできるだけ近くに配置されていることを確認してください。
- DMD_LS_RDATA 信号路に 43Ω の直列終端抵抗が含まれており、対応する DMD ピンのできるだけ近くに配置されていることを確認してください。
- DMD_DEN_ARSTZ ピンには直列抵抗は不要です。

9.1.8 ビアの配線

- DMD_HS 信号のビアの数は最小限に抑える必要があり、2 個を超えないようにするのが理想的です。
- DMD_HS 信号のすべてのビアは、コントローラのできるだけ近くに配置する必要があります。
- DMD_LS_CLK 信号と DMD_LS_WDATA 信号のビアの数は最小限に抑える必要があり、2 個を超えないようにするのが理想的です。
- DMD_LS_CLK 信号と DMD_LS_WDATA 信号のすべてのビアは、コントローラのできるだけ近くに配置する必要があります。

9.1.9 熱に関する注意事項

DLPC34xx コントローラの基本的な熱的制限は、最大動作接合部温度 (T_J) を超えないことです (これは「推奨動作条件」セクションで定義されています)。

T_J に影響を及ぼす要因は、次のとおりです:

- 動作時周囲温度
- エアフロー
- PCB 設計 (部品配置密度および使用する銅の量を含みます)
- DLPC34xx コントローラの消費電力
- 周辺部品の消費電力

コントローラ パッケージは、主に PCB の電源プレーンおよびグランド プレーンを通じて熱を放出するように設計されています。そのため、銅箔の量、PCB 上のエアフローが重要な要素になります。

推奨される最大動作周囲温度 (T_A) は、主に設計目標として提示されており、DLPC34xx コントローラの最大消費電力と、強制空冷が毎秒 0m の条件における $R_{\theta JA}$ に基づいています。ここで $R_{\theta JA}$ は、JEDEC 規格で定義された標準テスト PCB (1oz の電源プレーンを二層備えたもの) を用いて測定されたパッケージの熱抵抗を示します。この JEDEC テスト PCB は必ずしも DLPC34xx コントローラ PCB を代表しているとは限らないため、報告された熱抵抗は、実際の製品アプリケーションでは誤差が生じる場合があります。実際の熱抵抗は異なる可能性があります。設計段階において放熱性能を評価する上では最良の情報となります。TI は、PCB 設計およびアプリケーション構築後に、熱性能を測定および検証することを強く推奨しています。

熱性能を評価するには、最悪条件 (最大消費電力、最大電圧、最大周囲温度) においてパッケージ上面中央のケース温度を測定し、コントローラが推奨最大ケース温度 (T_C) を超えないことを確認します。この仕様は、DLPC34xx コントローラパッケージの計測値 φ_{JT} に基づいており、接合部温度との比較的正確な相関関係を提供します。

このケース温度を測定する際には、パッケージ表面が誤って冷却されないように注意してください。テキサス インストルメンツでは、小型 (約 40 ゲージ) の熱電対を推奨しています。リードおよび熱電対ワイヤがパッケージ上面に接触するように配置します。ビーズと熱電対配線を最小限の熱伝導性エポキシで覆ってください。配線を通してビーズが冷却されないように、パッケージと基板表面に沿って密に配線してください。

10 デバイスおよびドキュメントのサポート

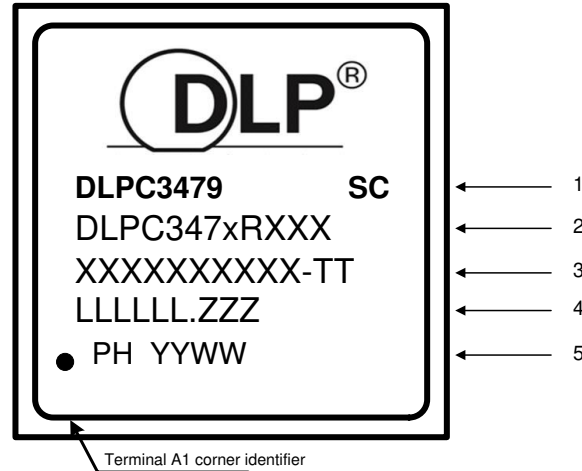
10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

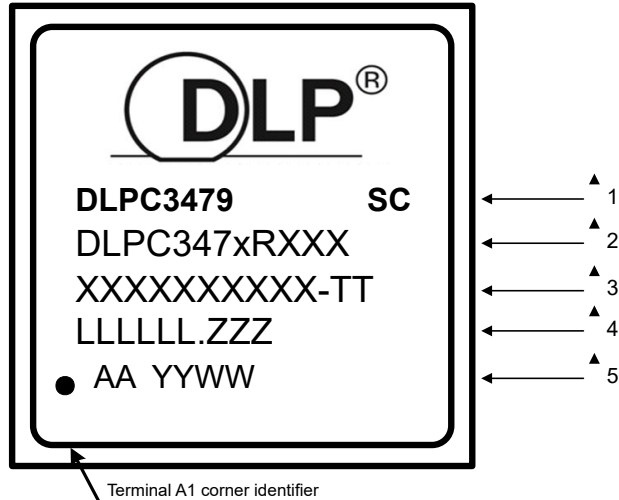
10.1.2 デバイスの命名規則

10.1.2.1 デバイスのマーキング



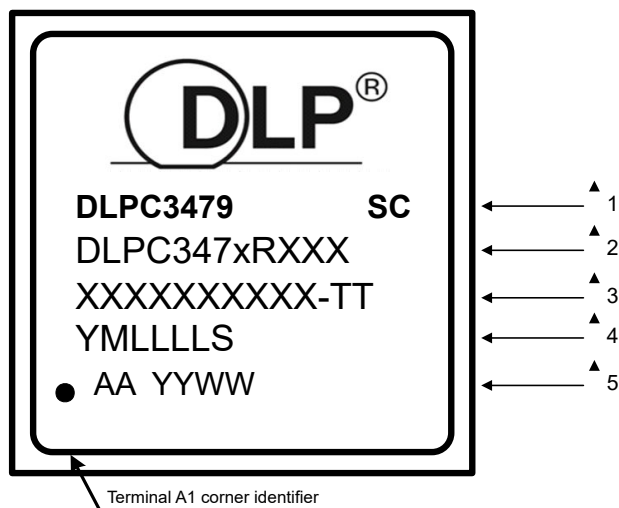
マーキングの定義 A:

- 1 行目: DLP® デバイス名: DLPC347x の x は、デバイス名 ID「9」を示します。
 SC: 半田ボールの組成
 e1: SnAgCu から成る鉛フリー半田ボールを示します。
 G8: 錫、銀、銅 (SnAgCu) から成る鉛フリー半田ボールで、銀の含有量が 1.5% 以下であり、モールド化合物が TI のグリーン規定を満たすことを示します。
- 2 行目: TI 型番
 DLP® デバイス名: DLPC347x の x は、デバイス名 ID「9」を示します。
 R は TI デバイス リビジョン コードです (A、B、C など)。
 XXX はデバイス パッケージ指定子です。
- 3 行目: XXXXXXXXXXXX-TT メーカー型番
- 4 行目: LLLLLL.ZZZ 半導体ウエハのファウンドリ ロットコード
 LLLLLL: 製造ロット番号
 ZZZ: ロット分割番号
- 5 行目: XX YYWW ES: パッケージ アセンブリ情報
 XX: 製造拠点
 YYWW: 日付コード (YY = 年、WW = 週)



マーキングの定義 B:

- 1 行目: DLP® デバイス名:DLPC3470 デバイス名 ID。
SC:半田ボールの組成
e1:SnAgCu からなる鉛フリー半田ボールを示します。
G8:錫、銀、銅 (SnAgCu) から成る鉛フリー半田ボールで、銀の含有量が 1.5% 以下であり、モールド化合物が TI のグリーン規定を満たしていることを示します。
- 2 行目: TI 型番
DLP® デバイス名:DLPC347x の x は、デバイス名 ID「0」を示します。
R は TI デバイス リビジョン コードです (A、B、C など)。
XXX はデバイス パッケージ指定子です。
- 3 行目: XXXXXXXXXXXX-TT メーカー型番
- 4 行目: LLLLLLLL.ZZZ 半導体ウエハーのファウンドリ ロット コードと鉛フリー半田ボールのマーキング
LLLLLLLL:製造ロット番号
ZZZ:ロット分割番号
- 5 行目: AA YYWW ES:パッケージ アセンブリ情報
AA:チップの原産国
YYWW:日付コード (YY = 年、WW = 週)



マーキングの定義 C:

- 1 行目: DLP® デバイス名:DLPC3470 デバイス名 ID。
SC:半田ボールの組成
e1:SnAgCu からなる鉛フリー半田ボールを示します。
G8:錫、銀、銅 (SnAgCu) から成る鉛フリー半田ボールで、銀の含有量が 1.5% 以下であり、モールド化合物が TI のグリーン規定を満たしていることを示します。
- 2 行目: TI 型番
DLP® デバイス名:DLPC347x の x は、デバイス名 ID「0」を示します。
R は TI デバイスリビジョンコードです (A、B、C など)。
XXX はデバイス パッケージ指定子です。
- 3 行目: XXXXXXXXXX-TT メーカー型番
- 4 行目: YMLLLLS 半導体ウエハのファウンドリ ロットコードと鉛フリー半田ボールのマーキング
YM:年 / 月コード
LLLLS:製造ロット番号
- 5 行目: AA YYWW ES:パッケージ アセンブリ情報
AA:チップの原産国
YYWW:日付コード (YY = 年、WW = 週)

注

1. エンジニアリング プロトタイプ サンプルについては、TI 型番の末尾に **X** が付きます。たとえば、2512737-0001X などです。
2. 型番ごとにサポートされている DMD で DLPC3479 の解像度については、表 6-1 を参照してください。

10.1.3 ビデオ タイミング パラメータの定義

視覚的な説明については、図 10-1 を参照してください。

- フレームあたりのアクティブ ライン数(ALPF)** 表示可能なデータを含むフレーム内のライン数を定義します。ALPF は TLPF のサブセットです。
- ラインあたりのアクティブ ピクセル数(APPL)** 表示可能なデータを含むライン内のピクセル クロック数を定義します。APPL は TPPL のサブセットです。
- 水平バック ポーチ(HBP)ブランキング** 水平同期のアクティブ エッジの後から、最初のアクティブ ピクセルの前までのブランキング ピクセル クロック数を定義します。
- 水平フロント ポーチ(HFP)ブランキング** 最後のアクティブ ピクセルの後から、水平同期の前までのブランキング ピクセル クロック数を定義します。
- 水平同期 (HS または Hsync)** 各水平区間(ライン)の開始を定義するタイミング基準点。HS 信号のアクティブ エッジにより、絶対基準点が定義されます。アクティブ エッジ(ソースでの定義により立ち上がりエッジまたは立ち下がりエッジ)を基準として、すべての水平ブランキング パラメータが測定されます。
- フレームあたりの総ライン数 (TLPF)** フレームあたりのアクティブおよび非アクティブ ラインの総数を定義し、垂直周期 (またはフレーム時間) を決定します。
- ラインあたりの総ピクセル数 (TPPL)** 1 ラインあたりのアクティブおよび非アクティブのピクセル クロックの総数を定義し、ピクセル クロック単位での水平ライン周期を決定します。
- 垂直同期 (VS または Vsync)** 垂直区間(フレーム)の開始を定義するタイミング基準点。絶対基準点は、VS 信号のアクティブ エッジにより定義されます。アクティブ エッジ(ソースでの定義により立ち上がりエッジまたは立ち下がりエッジ)を基準として、すべての垂直ブランキング パラメータが測定されます。
- 垂直バック ポーチ(VBP)ブランキング** 垂直同期のアクティブ エッジの後から、最初のアクティブ ラインの前までのブランキング ライン数を定義します。

垂直フロント ポーチ(VFP) 最後のアクティブ ラインの後から、垂直同期のアクティブ エッジの前までのブランキング ライン数を定義します。

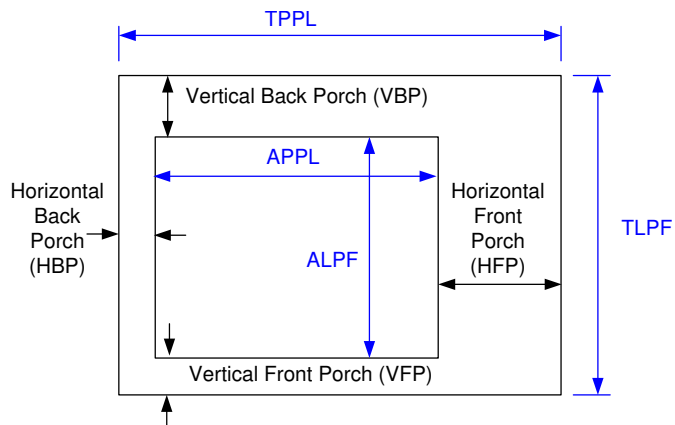


図 10-1. パラメータの定義

10.2 ドキュメントのサポート

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティリソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 10-1. 関連資料

製品	プロダクトフォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
DLP4710LC	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
DLPA3005	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
DLPA3000	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.5 商標

IntelliBright™ and リンク™ are trademarks of Texas Instruments.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

DLP® and IntelliBright® are registered trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

Changes from Revision C (August 2021) to Revision D (March 2026)

Page

- マーキングの定義「B」と「C」を追加..... 69

Changes from Revision B (May 2019) to Revision C (August 2021)

Page

- ピクセル クロックを 155MHz に変更..... 1
- ドキュメント全体にわたって表、図、相互参照の採番方法を更新。..... 1
- ピンの機能の説明を再編成..... 3
- 予約済みから適切な名称へ JTAG ピン名を変更..... 3
- 調整可能な DATAEN_CMD 極性のサポートを削除..... 3
- 特定の 3D コマンドに関する記述を削除..... 3
- ソフトウェアで PCLK キャプチャ エッジを調整するサポートを削除..... 3
- CMP_OUT ピンの使用方法の説明を変更し、コンパレータが CMP_PWM ではなく GPIO_10 (RC_CHARGE) を使用する方法を訂正..... 3
- CMP_PWM のサポートを削除..... 3
- ターゲット デバイスが I²C バス上にある場合の VCC_INTF の起動に関する推奨事項についての注記を追加..... 3
- 絶対最大定格を更新..... 12
- 「推奨動作条件」を更新..... 13
- セクション 5.5 の V_(VCC18) の最大値を 18mA から 62mA に更新..... 14
- セクション 5.5 の V_(VCC18) + V_(VCC_INTF) + V_(VCC_FLSH) の最大値を 22.5mA から 66.5mA に更新..... 14
- 更新された電力測定値と手法を反映するよう、「電源の電気的特性」の表を変更..... 14
- サポートされていない IDLE モードに関する記述を削除..... 14
- 消費電力の数値は使用するソフトウェアによって異なるという注記を追加..... 14
- 電流駆動強度に関する不正確なテスト条件を変更し、修正..... 15
- 以降のセクションで参照されている冗長な I_{VOI} 仕様を削除..... 15
- I/O タイプ 4 の V_{OH} の最小値および最大値を追加..... 15
- I/O タイプ 4 の V_{OL} の最小値および最大値を追加..... 15
- 2.5V、24mA 駆動に関する誤った記述を削除..... 15
- I²C バッファのテスト条件を訂正..... 15
- 誤った定常状態の同相電圧リファレンスの値を削除..... 15
- 高電圧対応 I/O の注記を、I²C バッファのみを指すように変更し、VCC を VCC_INTF に変更。..... 15
- |V_{OD}| の最小値と最大値を追加し、標準値を変更。..... 18
- SubLVDS DMD インターフェイスの High レベル出力電圧の最小値および最大値を追加、重複していた仕様の記述を削除、標準値を変更。..... 18
- SubLVDS DMD インターフェイスの Low レベル出力電圧の最小値および最大値を追加、重複していた仕様の記述を削除、標準値を変更。..... 18
- DMD 低速信号の名称を、入力から出力に訂正..... 19
- V_{OH(DC)} の最大値と V_{OL(DC)} の最小値を削除..... 19
- 適切な直列終端抵抗を使用することで DMD の入力仕様を満たすことができる旨の注記を追加..... 19
- サポートされていない発振器周波数を選択するための参照を削除..... 20
- システム発振器クロック周期をクロック周波数に一致するよう訂正..... 20
- パルス持続時間のパーセンテージ仕様を最大値から最小値に変更..... 20
- VDD 立ち上がり時間の条件を追加..... 20
- t_{p_tvb} 定義の誤った部分を削除..... 21
- 不要な合計水平ブランキングの計算式を削除..... 21
- 最小合計垂直ブランキングの計算式を変更..... 21

• 最大 PCLK を 150MHz から 155MHz に増加.....	22
• 各種信号のアクティブ エッジを設定可能とする記述を削除.....	22
• フラッシュ SPI_CLK 周波数の最小値を変更.....	23
• クロック周波数に合わせてフラッシュ インターフェイスのクロック周期を訂正.....	23
• 信号遷移時間要件をより明確に記載するために「セクション 5.15」セクションを追加.....	24
• DMD HS クロックのスウィッチング レートを最大値から公称値に変更し、関連するクロック仕様を追加.....	24
• セクション 5.17 を追加.....	24
• チップセットのサポート要件を明確化するために セクション 5.18 を追加.....	24
• 自動初期化プロセスが完了するまで、パラレル インターフェイスがデータの受け入れ準備完了にならないという情報を追加.....	38
• 500ms の起動時間の説明を変更.....	38
• SPI フラッシュのキー タイミング パラメータのアクセス周波数の最小値および最大値を変更.....	38
• 表 6-7 に DLPC3479 互換 SPI フラッシュ デバイスの追加オプションを追加.....	38
• サポートされている最大フラッシュ サイズを 16Mb から 128Mb に変更.....	38
• SPI 信号の配線セクションを削除.....	41
• DLPC34xx コントローラに内蔵された光センサのサポートを削除.....	43
• 追加 セクション 6.3.8	43
• 不足していたタイミングの定義を追加.....	43
• 記載されている SDR クロック速度が標準値であることを明確化.....	46
• 電源投入時にトライステートになる信号と、Low にプルされる信号の記載内容を変更.....	58
• 1 オンスの銅プレーンの推奨事項を変更.....	60
• サポートされていない可変周波数リファレンス クロックのオプションへの参照を削除.....	61
• DMD データと DMD クロック信号のマッチング要件を追加.....	64
• 最大不一致を ± 0.1 インチから ± 1.0 インチに変更.....	64
• 信号マッチング要件表の誤った注記を変更.....	64
• 差動信号層の変更を推奨事項に変更.....	66
• 特定の DMD 信号には 2 つまでのピアを必要とする表現を変更.....	67

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLPC3479CZEZ	Active	Production	NFBGA (ZEZ) 201	119 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168Hrs	-30 to 85	(DLPC3479, DLPC3479 G8, DLPC3479 G8) DLPC3479CZEZ ECP292548C-9G
DLPC3479CZEZ.B	Active	Production	NFBGA (ZEZ) 201	119 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168Hrs	-30 to 85	(DLPC3479, DLPC3479 G8, DLPC3479 G8) DLPC3479CZEZ ECP292548C-9G

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

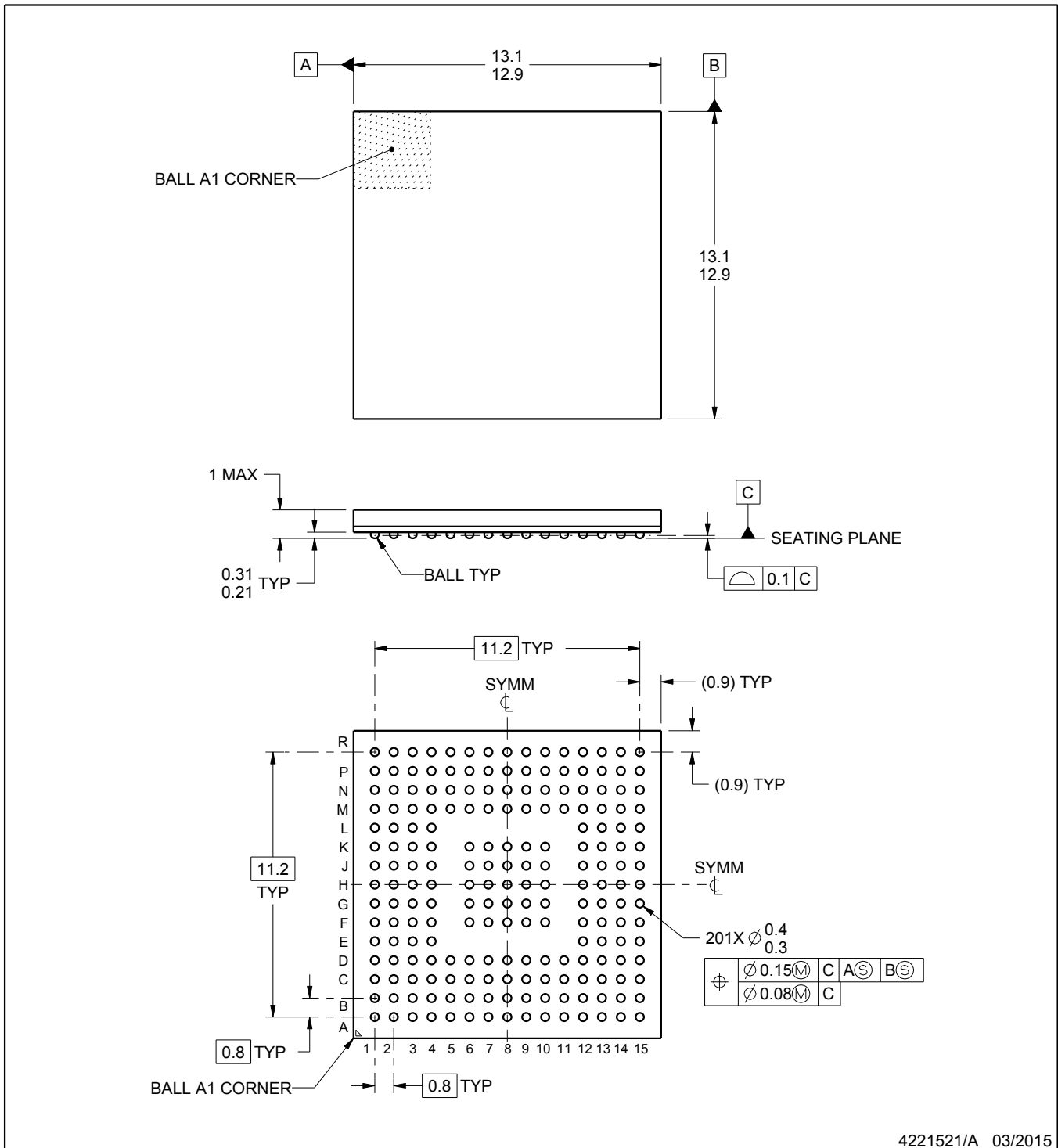
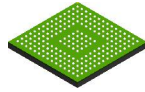
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4221521/A 03/2015

NOTES:

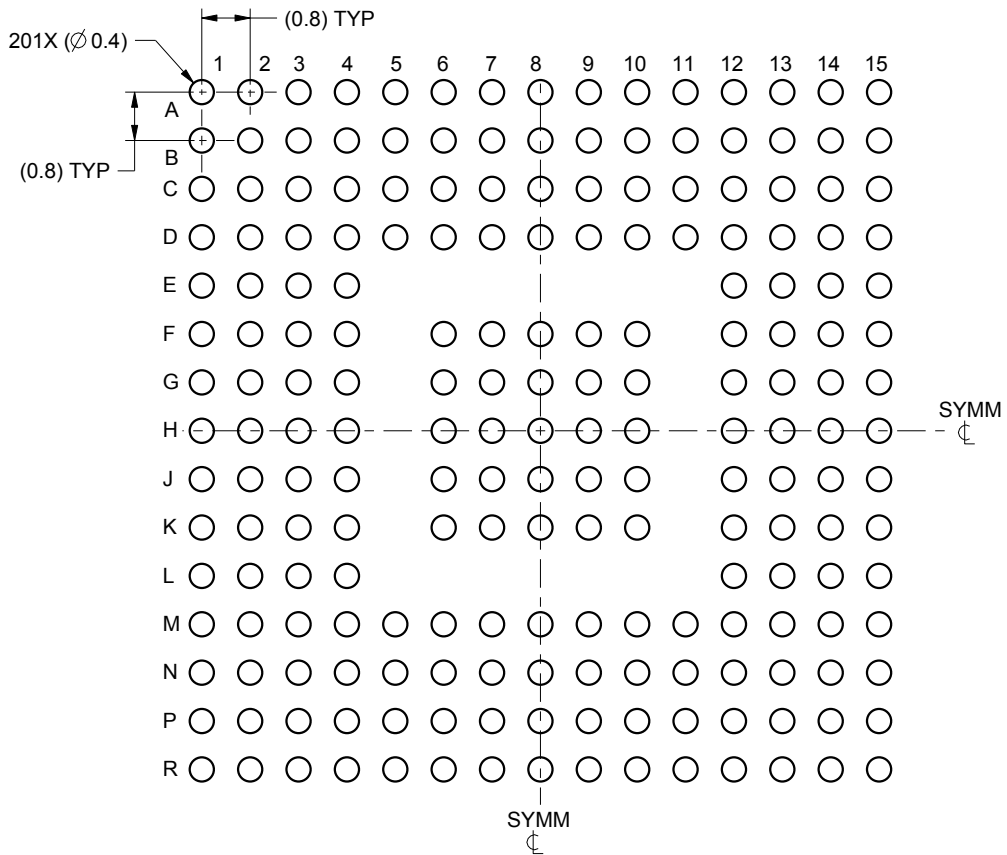
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

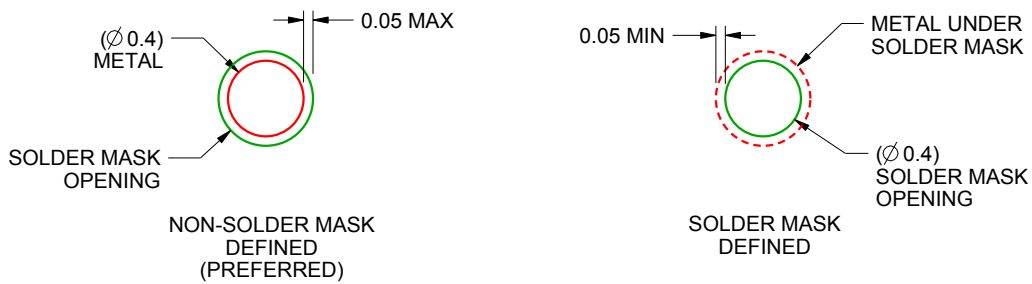
ZEZ0201A

NFBGA - 1 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS
NOT TO SCALE

4221521/A 03/2015

NOTES: (continued)

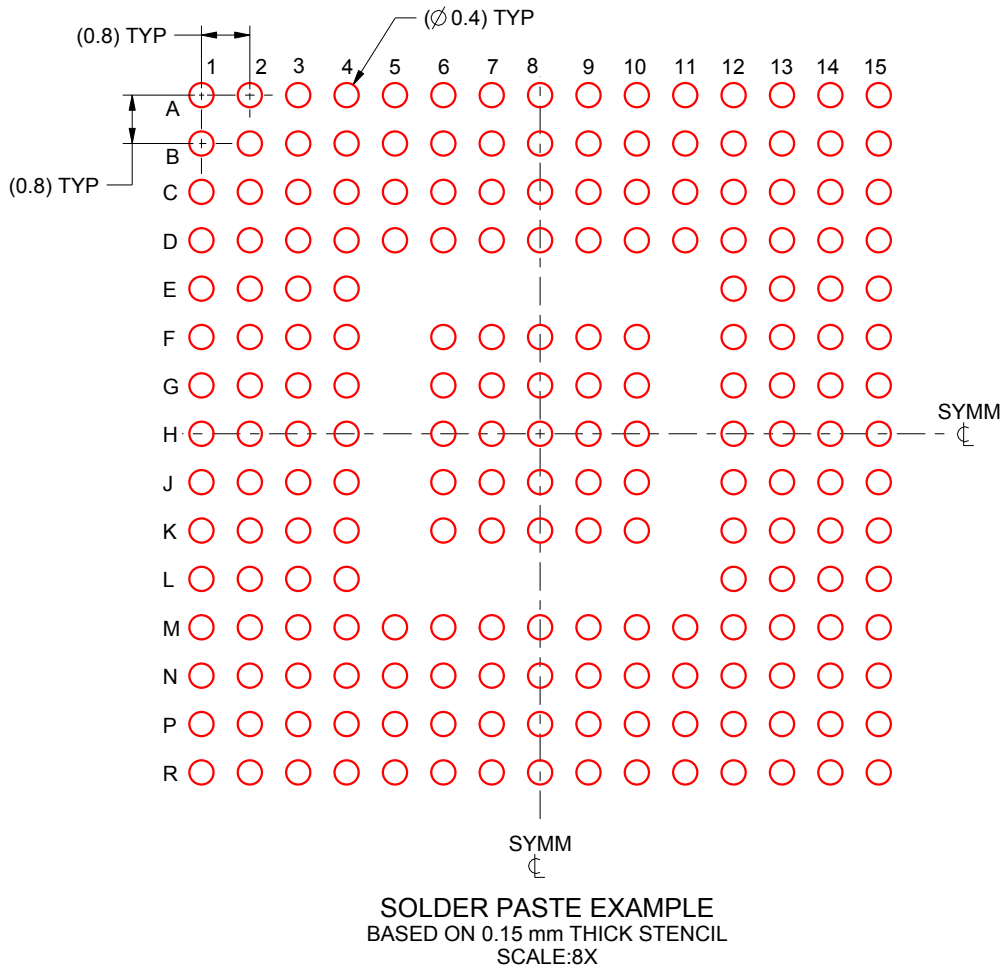
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ZEZ0201A

NFBGA - 1 mm max height

PLASTIC BALL GRID ARRAY



4221521/A 03/2015

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月