DP83TC815-Q1 100Base-T1 車載用イーサネット PHY トランシーバ、IEEE802.1AS および TC10 スリープ - ウェーク付

1 特長

- IEEE802.3bw 準拠 100BASE-T1 PHY
- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃ ～ +125℃、T_A
- IEEE 802.1AS 時間同期
  - 高精度 1pps 信号
    - 同期ジッタ:< ±15ns 未満 (オプションで ±1ns まで低減)
    - 同期オフセット:< ±30ns
  - イベントのキャプチャとトリガに対応する複数の IO
- OA TC-10 準拠のスリープ機能を備え、
- 堅牢な EMC 性能
  - IEC62228-5、OA EMC 準拠
  - IEC61000-4-2 ESD レベル 4 MDI:±8kV CD
  - SAE J2962-3 EMC 準拠
  - ±5% の非対称性で 39dBm の DPI 耐性
  - GPS および Glonass 帯域の放射エミッションは 4dBμV 未満です
  - ストリップライン放射:クラス II 準拠
- MAC インターフェイス:MII、RMII、RGMII、SGMII
- TI の 100BASE-T1 および 1000BASE-T1 PHY とフットプリント互換 (BOM オプションあり)
- 48V 準備完了:MDI への VBAT 過渡電圧は最大 ±70V まで対応
- 診断ツール キット
  - 信号品質インジケータ (SQI) および時間領域反射測定 (TDR)
  - 電圧、温度および ESD センサ
  - PPM モニタ:外部クロックの ppm ドリフトを監視 (最大 ±100ppb の精度)
- 単一の 3.3V 電源で動作可能

2 アプリケーション

- 先進運転支援システム (ADAS)
  - レーダ同期
- ボディ エレクトロニクスおよび照明
  - ボディ コントロール モジュール
  - ゾーン制御モジュール
- テレマティクス

3 説明

DP83TC815-Q1 デバイスは、IEEE 802.3bw と Open Alliance (OA) に準拠した車載認定済み 100Base-T1 イーサネット物理層トランシーバです。このデバイスは、シールドあり、なしの単一ツイストペア ケーブル上でデータを送受信するために必要なすべての物理層機能を、xMII インターフェイスの柔軟性で提供します。

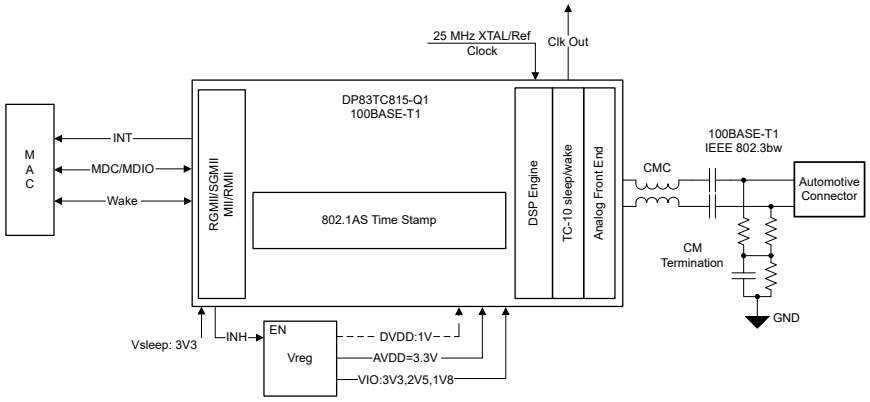
DP83TC815-Q1 は IEEE802.1AS および IEEE1588v2 を統合しており、時間に敏感なリアルタイム制御アプリケーション向けに、高精度な時刻同期およびハードウェア タイムスタンピングを実現します。

DP83TC815-Q1 は、通信が不要なときにシステムの消費電力を低減するためのウェークアップ転送機能を備えた OA TC-10 低消費電力スリープ機能をサポートしています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
DP83TC815-Q1	RHA (VQFN、36)	6.00mm × 6.00mm

(1) 詳細については、セクション 12 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....3
5 ピン構成および機能.....4
5.1 ピンの電源ドメイン.....8
5.2 ピンの状態.....9
5.3 ピン多重化.....14
6 仕様.....15
6.1 絶対最大定格.....15
6.2 ESD 定格.....15
6.3 推奨動作条件.....15
6.4 熱に関する情報.....16
6.5 電気的特性.....16
6.6 タイミング要件.....20
6.7 タイミング図.....24
6.8 代表的特性.....31
7 詳細説明.....32
7.1 概要.....32
7.2 機能ブロック図.....33
7.3 機能説明.....34
7.4 デバイスの機能モード.....68
7.5 プログラミング.....80
8 レジスタ マップ.....84
8.1 レジスタ アクセスの概要.....84
8.2 DP83TC815 のレジスタ.....85
9 アプリケーションと実装.....163
9.1 アプリケーション情報.....163
9.2 代表的なアプリケーション.....163
9.3 電源に関する推奨事項.....168
9.4 レイアウト.....171
10 デバイスおよびドキュメントのサポート.....175
10.1 デバイス サポート.....175
10.2 ドキュメントの更新通知を受け取る方法.....175
10.3 サポート・リソース.....175
10.4 商標.....175
10.5 静電気放電に関する注意事項.....175
10.6 用語集.....175
11 改訂履歴.....175
12 メカニカル、パッケージ、および注文情報.....176

Copyright © 2025 Texas Instruments Incorporated

4 デバイス比較表

部品番号	TC10?	MACsec?	802.1AS?	AVB クロック？	フットプリント互換？
DP83TC812x-Q1	あり	なし	なし	なし	あり
DP83TC814x-Q1	なし	なし	なし	なし	あり
DP83TC815-Q1	あり	なし	あり	なし	あり
DP83TC816-Q1	あり	なし	あり	あり	あり
DP83TC817S-Q1	あり	あり	あり	なし	あり
DP83TC818S-Q1	あり	あり	あり	あり	あり

5 ピン構成および機能

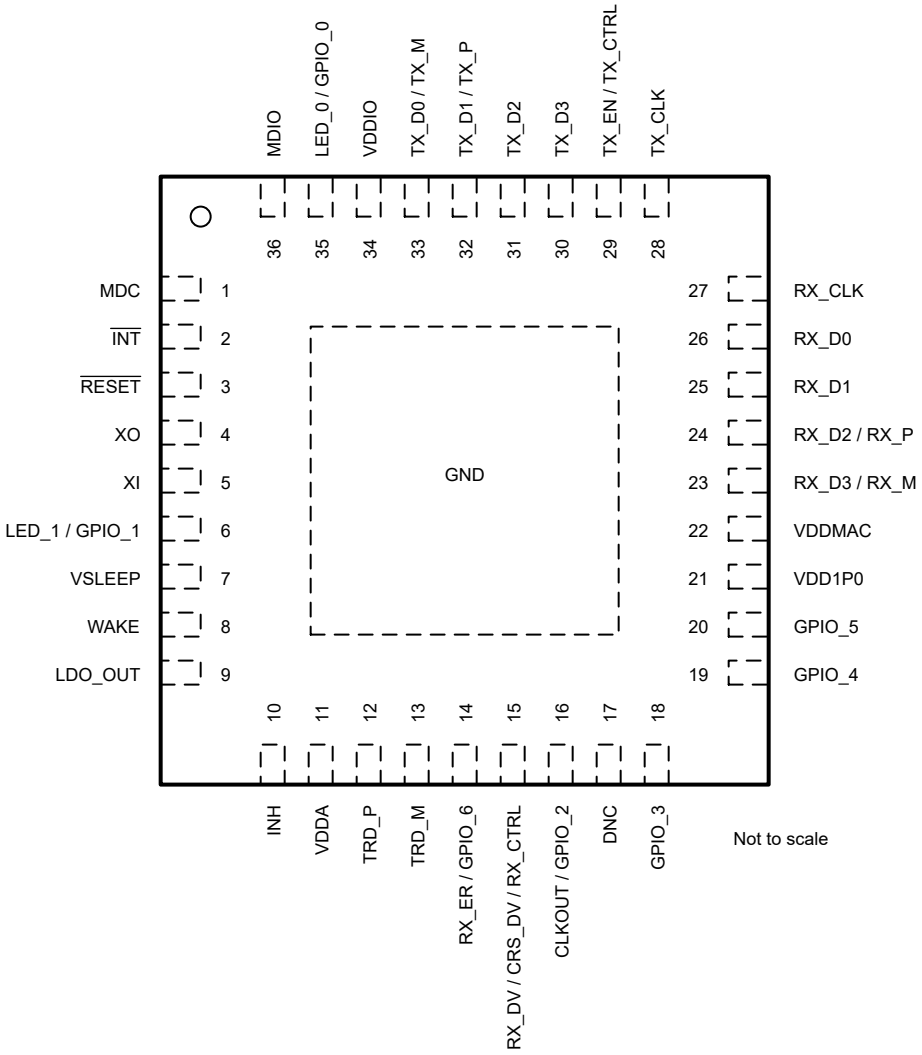


図 5-1. DP83TC815-Q1 RHA パッケージ 36 ピン VQFN 上面図

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能

ピン		状態 (1)	説明
名称(2)	番号		
MAC インターフェイス			
RX_CLK	27	S、PD、O	**受信クロック:**MII および RGMII モードでは、受信クロックから 25MHz 基準クロックが供給されます。 **RMII および SGMII モードでは未使用**
RX_D0	26	S、PD、O	**受信データ:**ケーブルで受信されたシンボルはデコードされ、RX_CLK の立ち上がりエッジに同期してこれらのピンから送信されます。RX_DV がアサートされている間のみ有効なデータを含みます。MII および RGMII モードでは、データ ニブル RX_D[3:0] を出力します。RMII モードでは 2 ビット RX_D[1:0] を出力します。 PHY が RMII リーダー モードにブートストラップされている場合、50MHz クロック基準が RX_D3 に自動的に出力されます。このクロックは MAC に入力する必要があります。 **RX_M/RX_P:**差動 SGMII データ出力。これらのピンは PHY から MAC にデータを送信します。
RX_D1	25		
RX_D2/ RX_P	24		
RX_D3/ RX_M	23		
RX_DV/ CRS_DV/ RX_CTRL	15	S、PD、O	**受信データ有効:**MII モードでは、このピンは RX_D[3:0] 上に有効なデータが出力されていることを示します。 **キャリア センス データ有効:**このピンは、キャリア検出とデータ有効を 1 本の非同期信号にまとめて示します。RMII モードでは、CRS_DV がアサートされているときに RX_D[1:0] にデータが出力されます。 **RGMII 受信制御:**受信制御は、受信データ有効表示と受信エラー表示を 1 つの信号に統合したものです。RX_DV は RX_CLK の立ち上がりエッジに示され、RX_ER は RX_CLK の立ち下がりエッジに示されます。 **SGMII モードでは未使用**
RX_ER/ GPIO_6	14	S、PD、O	**受信エラー:**MII および RMII モードでは、このピンは受信パケット内で受信エラー シンボルが検出されたことを示します。MII モードでは、RX_CLK の立ち上がりエッジに同期して、RX_ER が High にアサートされます。RMII モードでは、基準クロックの立ち上がりエッジに同期して、RX_ER が High にアサートされます。PHY は受信エラーの際にデータを自動的に破損するため、MII または RMII ではこのピンは**オプション**です。 **RGMII および SGMII モードでは未使用** **このピンは GPIO_6 として使用することもできます。**
TX_CLK	28	PD、I、O	**送信クロック:**MII モードでは、送信クロックとして 25MHz の出力 (50Ω ドライバ) を供給します。RGMII モードでは、このクロックが MAC 層から PHY へ入力されます。*タイミング要件* に示す RGMII タイミング要件を満たすには、RGMII モードで 25MHz クロックを供給する必要があります。 **RMII および SGMII モードでは未使用**
TX_D0/ TX_M	33	PD、I	**送信データ:**MII および RGMII モードでは、送信データ ニブル TX_D[3:0] を、TX_CLK の立ち上がりエッジより前に MAC から受信します。RMII モードでは、TX_D[1:0] を基準クロックの立ち上がりエッジより前に MAC から受信します。RMII モードでは TX_D[3:2] は使用しません。 **TX_M/TX_P:**差動 SGMII データ入力。これらのピンは、MAC から PHY に送信されたデータを受信します。
TX_D1/TX_P	32		
TX_D2	31		
TX_D3	33		
TX_EN/ TX_CTRL	29	PD、I	**送信イネーブル:**MII モードでは、送信イネーブルは送信クロックの立ち上がりエッジより前に提示されます。TX_EN は、TX_D[3:0] に有効なデータ入力が存在することを示します。RMII リーダー モードでは、RX_D3 の立ち上がりエッジの前に送信の有効化が提示されます。TX_EN は、TX_D[1:0] に有効なデータ入力が存在することを示します。 **RGMII 送信制御:**送信制御は、送信イネーブルと送信エラー表示を 1 つの信号に統合したものです。TX_EN は TX_CLK の立ち上がりエッジの前に示され、TX_ER は TX_CLK の立ち下がりエッジより前に示されます。 **SGMII モードでは未使用**
シリアル マネージメント インターフェイス			
MDC	1	I	**管理データ クロック:**MDIO シリアル マネージメント入力および出力データに同期したクロック。このクロックは、MAC の送信クロックおよび受信クロックと非同期にすることができます。最大クロック レートは 20MHz です。最小クロック レートはありません。
MDIO	36	OD、IO	**管理データ入出力 (Management Data Input/Output):**管理ステーションまたは PHY から出力される可能性がある双方向管理データ信号。このピンはプルアップ抵抗を必要とします。同一の MDIO-MDC バスを複数の PHY で共有するシステムでは、MDIO ラインに 1 本だけプルアップ抵抗を使用する必要があります。 2.2kΩ と 9kΩ の間に抵抗を使用することを推奨します。 Open Alliance 準拠に合格するには MDIO/MDC へのアクセスが必要です。セクション 7.3.8 を参照してください。

表 5-1. ピンの機能 (続き)

ピン		状態 [1]	説明
名称[2]	番号		
制御インターフェイス			
INH	10	O、OD	**INH:**アクティブ HIGH 出力です。PHY が TC-10 スリープのとき、このピンは ハイ インピーダンスになります。このピンは、その他のすべての PHY 状態では HIGH になります。TC-10 回路を実装する場合は、2kΩ ～ 10kΩ の外付けプルダウン抵抗を使用する必要があります。複数のデバイスが INH ピンを共有している場合は、プルダウン抵抗を 1 本だけ使用します。
$\overline{\text{INT}}$	2	PU、OD、IO	**割り込み:**アクティブ Low 出力で、割り込み条件が発生すると、Low にアサートされます。このピンは弱いプルアップを内蔵しています。各種割り込みトリガを有効化するには、レジスタ アクセスが必要です。割り込みイベント フラグが一度セットされると、その割り込みイベントをクリアするためにもレジスタ アクセスが必要になります。このピンは、レジスタ *0x0011* を用いてアクティブ HIGH 出力として構成することもできます。 レジスタ 12 ～ 13 の割り込みステータスは、INT_N が LOW のときにのみ読み取ることを推奨します。また、このピンをパワーダウン制御ピンとして動作させることもでき、その場合は本ピンを low にアサートすると PHY をパワーダウン モードにし、high にアサートすると通常モードに戻します。この機能は、*レジスタ 0x0011* によって有効化できます。
$\overline{\text{RESET}}$	3	PU、I	**リセット:**アクティブ LOW 入力で、PHY を初期化または再初期化します。このピンを 1µs 以上 Low にアサートすると、リセット プロセスが強制的に開始されます。すべての内部レジスタは、「レジスタ マップ」セクションで各ビットに対して指定されたデフォルト状態に再初期化されます。リセットのデアサート時に、すべてのブートストラップ ピンが再サンプリングされます。
WAKE	8	PD、I/O	**WAKE:**デフォルトではアクティブ HIGH の入出力ピンとして動作します。このピンは入力として、TC-10 スリープから PHY をウェークアップします。電源投入時にこのピンを HIGH にアサートすると、PHY をスリープ状態から復帰させます。TC-10 回路を実装する場合は、誤ってウェークアップしてしまうことを防ぐため、10kΩ の外付けプルダウン抵抗を使用できます。このピンは、デバイスをウェークアップするために VSLEEP に直接接続するか、抵抗を介して VSLEEP にプルアップすることもできます。 このピンは、PHY によって生成された WAKE プパルスを使用して、同じシステム内の他の PHY をウェークアップするウェークアップ転送機能もサポートしています。
クロック インターフェイス			
XI	5	I	**基準クロック入力 (RMII):**RMII リーダー モードは、25MHz の水晶または発振器を基準クロックとして入力します。 **基準クロック入力 (その他の MAC インターフェイス):**25MHz の水晶または発振器を基準クロック入力として使用します。本デバイスは、外付け水晶振動子 (ピン XI とピン XO の間に接続) と外付け CMOS レベル発振器 (ピン XI のみに接続、XO は浮動) のどちらにも対応しています。このピンは、イーサネット MAC や別のイーサネット PHY など、他のデバイスからのクロック入力も受け付け、デイジーチェーン構成で使用することができます。 水晶を使用する場合は、XI ピンに 100Ω の直列抵抗を接続してください
XO	4	O	**基準クロック出力:**XO ピンは水晶振動子の場合にのみ使用されます。CMOS レベル発振器を XI に接続する場合、このピンを浮動にする必要があります。
LED/GPIO インターフェイス			
CLKOUT/ GPIO_2	16	IO	**クロック出力:**25MHz の基準クロックを出力します。このピンは、ストラップ設定またはレジスタ設定により、LED ピンまたは GPIO ピンとして使用することもできます。clkout ピンでのスイッチングを無効にするには、レジスタ <0x045F> に 0x000F を、レジスタ <0x0453> に 0x0003 を設定します
GPIO_3[3]	18	PD、IO	**汎用 IO ピン**
GPIO_4	19	S、PD、IO	
GPIO_5	20	PD、IO	
LED_0 / GPIO_0	35	S、PD、IO	**LED_0:**リンク ステータス LED です。このピンは、レジスタ設定により LED またはクロック出力ピンとしても使用できます。
LED_1 / GPIO_1	6	S、PD、IO	**LED_1:**リンクステータスの表示と、TX/RX (送受信) アクティビティ時の BLINK (点滅) に使用します。このピンは、ストラップ設定またはレジスタ設定により、LED ピンまたは クロック出力ピンとしても使用できます。
メディア依存インターフェイス			
TRD_M	13	IO	**差動送信および受信:**100BASE-T1 動作用に構成された双方向差動信号。IEEE 802.3bw 準拠。
TRD_P	12		
電源接続			

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		状態 (1)	説明
名称(2)	番号		
GND	GND	グランド	**グランド:**これは、常に電源グランドに接続する必要があります。
LDO_OUT	9	電源	**1.0V LDO 出力:**1.0V 内部 LDO レギュレータ出力 1.0V は 3.3V の VDDA コア電源から内部的に生成します。 単一電源モードでは、VDD1P0 (ピン 21) に接続します。 デュアル電源モードの場合はフローティングのままにしておきます
VDD1P0	21	電源	**VDD1P0 電源:**1.0V 単一電源モードの場合は LDO_OUT (ピン 9) に接続します。 デュアル電源モードでは外部レギュレータに接続します。 デュアル電源モードでは、フェライト ビーズと 2.2µF および 0.1µF セラミック デカップリング コンデンサの使用を推奨します。
VDDA	11	電源	**コア電源:**3.3V 0.47µF および 0.01µF セラミック デカップリング コンデンサの使用を推奨します。オプションとしてフェライト ビーズを使用できます。
VDDIO	34	電源	**IO 電源:**1.8V、2.5V、または 3.3V フェライト ビーズ、0.47µF および 0.01µF セラミック デカップリング コンデンサの使用を推奨します。
VDDMAC	22	電源	**オプションの MAC インターフェイス電源:**1.8V、2.5V、または 3.3V MAC インターフェイス ピン向けのオプションの独立電源です。このピンは MAC インターフェイス ピンに電源を供給し、他の IO ピンとは異なる電圧レベルに設定できます。0.47µF および 0.01µF セラミック デカップリング コンデンサ、フェライト ビーズの使用を推奨します。システムで個別の VDDMAC を必要としない場合は、VDDIO に接続しなければなりません。VDDIO に接続する場合、VDDIO 側の 0.47µF コンデンサは取り外すことができます。0.47µF コンデンサは VDDMAC 近傍には引き続き接続しておく必要があります。この場合、VDDIO と VDDMAC の間に共通のフェライト ビーズを 1 つ使用できます。
VSLEEP	7	電源	**VSLEEP 電源:**3.3V 0.1µF セラミック デカップリング コンデンサの使用を推奨します。
接続禁止			
DNC	17	–	**DNC:**接続せず、フローティングのままにします

(1) ピンの種類:
I = 入力
O = 出力
IO = 入出力
OD = オープンドレイン
PD = 内部プルダウン
PU = 内部プルアップ
S = ブートストラップ構成ピン (すべての設定ピンには弱い内部プルアップまたはプルダウンが入っています)

(2) ピンを使用しない場合は、上記の表に示す推奨接続要件に従ってください。必要な終端がないピンは、フローティングのままとしてかまいません。

(3) GPIO_3 を電源投入前に HIGH に駆動しないでください。

5.1 ピンの電源ドメイン

表 5-2. ピン ドメイン

ピン番号	ピン名	電圧ドメイン
1	MDC	VDDIO
2	INT_N	VDDIO
3	RESET_N	VDDIO
4	XO	VDDIO
5	XI	VDDIO
6	LED_1/GPIO_1	VDDIO
8	WAKE	VSLEEP
10	INH	VSLEEP
12	TRD_P	VDDA
13	TRD_M	VDDA
14	RX_ER/GPIO_6	VDDMAC
15	RX_DV/CRS_DV/RX_CTRL	VDDMAC
16	CLKOUT/GPIO_2	VDDMAC
18	GPIO_3	VDDMAC
19	GPIO_4	VDDMAC
20	GPIO_5	VDDMAC
23	RX_D3/RX_M	VDDMAC
24	RX_D2/RX_P	VDDMAC
25	RX_D1	VDDMAC
26	RX_D0	VDDMAC
27	RX_CLK	VDDMAC
28	TX_CLK	VDDMAC
29	TX_EN/TX_CTRL	VDDMAC
30	TX_D3	VDDMAC
31	TX_D2	VDDMAC
32	TX_D1/TX_P	VDDMAC
33	TX_D0/TX_M	VDDMAC
35	LED_0/GPIO_0	VDDIO
36	MDIO	VDDIO

Copyright © 2025 Texas Instruments Incorporated

5.2 ピンの状態

表 5-3. ピンの状態 - 電源投入 / リセット

ピン番号	ピン名	起動 / リセット		
		ピンの状態 (1)	プル タイプ	プル値 (kΩ)
1	MDC	I	なし	なし
2	$\overline{\text{INT}}$	OD、O	PU	9
3	$\overline{\text{RESET}}$	I	PU	9
4	XO	O	なし	なし
5	XI	I	なし	なし
6	LED_1	I	PD	9
7	VSLEEP	電源	なし	なし
8	WAKE	I/O	PD	455
9	LDO_OUT	O	なし	なし
10	INH	OD、O	なし	なし
11	VDDA	電源	なし	なし
12	TRD_P	IO	なし	なし
13	TRD_M	IO	なし	なし
14	RX_ER	I	PD	6
15	RX_DV	I	PD	6
16	CLKOUT	O	なし	なし
17	DNC	フローティング	なし	なし
18	GPIO_3	I	PD	9
19	GPIO_4	I	PD	9
20	GPIO_5	I	PD	9
21	VDD1P0	電源	なし	なし
22	VDDMAC	電源	なし	なし
23	RX_D3	I	PD	9
24	RX_D2	I	PD	9
25	RX_D1	I	PD	9
26	RX_D0	I	PD	9
27	RX_CLK	I	PD	9
28	TX_CLK	I	なし	なし
29	TX_EN	I	なし	なし
30	TX_D3	I	なし	なし
31	TX_D2	I	なし	なし
32	TX_D1	I	なし	なし
33	TX_D0	I	なし	なし
34	VDDIO	電源	なし	なし
35	LED_0	I	PD	9
36	MDIO	OD、IO	なし	なし

表 5-4. ピンの状態 - TC10 スリープ

ピン番号	ピン名	TC10 スリープ (すべての電源がオン)		
		ピンの状態 (1)	プル タイプ	プル値 (kΩ)
1	MDC	I	なし	なし
2	$\overline{\text{INT}}$	OD、O	PU	9
3	$\overline{\text{RESET}}$	I	PU	9
4	XO	O	なし	なし
5	XI	I	なし	なし
6	LED_1 (1)	I	PD	9
7	VSLEEP	電源	なし	なし
8	WAKE	I/O	PD	455
9	LDO_OUT	O	なし	なし
10	INH	OD、O	なし	なし
11	VDDA	電源	なし	なし
12	TRD_P	IO	なし	なし
13	TRD_M	IO	なし	なし
14	RX_ER	I	PD	6
15	RX_DV	I	PD	6
16	CLKOUT (2)	O	なし	なし
17	DNC	フローティング	なし	なし
18	GPIO_3	I	PD	9
19	GPIO_4	I	PD	9
20	GPIO_5	I	PD	9
21	VDD1P0	電源	なし	なし
22	VDDMAC	電源	なし	なし
23	RX_D3	I	PD	9
24	RX_D2	I	PD	9
25	RX_D1	I	PD	9
26	RX_D0	I	PD	9
27	RX_CLK	I	PD	9
28	TX_CLK	I	なし	なし
29	TX_EN	I	なし	なし
30	TX_D3	I	なし	なし
31	TX_D2	I	なし	なし
32	TX_D1	I	なし	なし
33	TX_D0	I	なし	なし
34	VDDIO	電源	なし	なし
35	LED_0	I	PD	9
36	MDIO	OD、IO	なし	なし

(1) LED_1 が CLKOUT として構成されている場合、TC10 のスリープ IO 状態は次のようになります：出力にプル抵抗を使用しない場合
(2) CLKOUT が LED_1 に構成されている場合、TC10 のスリープ IO 状態は次のようになります：入力、9kΩ プルダウン

Copyright © 2025 Texas Instruments Incorporated

表 5-5. ピンの状態 - MAC 分離および IEEE PWDN

ピン番号	ピン名	MAC 分離			IEEE PWDN		
		ピンの状態 (1)	プル タイプ	プル値 (kΩ)	ピンの状態 (1)	プル タイプ	プル値 (kΩ)
1	MDC	I	なし	なし	I	なし	なし
2	$\overline{\text{INT}}$	OD、O	PU	9	OD、O	PU	9
3	$\overline{\text{RESET}}$	I	PU	9	I	PU	9
4	XO	O	なし	なし	O	なし	なし
5	XI	I	なし	なし	I	なし	なし
6	LED_1	O	なし	なし	O	なし	なし
7	VSLEEP	電源	なし	なし	電源	なし	なし
8	WAKE	IO	PD	455	IO	PD	455
9	LDO_OUT	O	なし	なし	O	なし	なし
10	INH	OD、O	なし	なし	OD、O	なし	なし
11	VDDA	電源	なし	なし	電源	なし	なし
12	TRD_P	IO	なし	なし	IO	なし	なし
13	TRD_M	IO	なし	なし	IO	なし	なし
14	RX_ER	I	PD	6	I	PD	6
15	RX_DV	I	PD	6	O	なし	なし
16	CLKOUT	O	なし	なし	O	なし	なし
17	DNC	フローティング	なし	なし	フローティング	なし	なし
18	GPIO_3	I	PD	9	I	PD	9
19	GPIO_4	I	PD	9	I	PD	9
20	GPIO_5	I	PD	9	I	PD	9
21	VDD1P0	電源	なし	なし	電源	なし	なし
22	VDDMAC	電源	なし	なし	電源	なし	なし
23	RX_D3	I	PD	9	O	なし	なし
24	RX_D2	I	PD	9	O	なし	なし
25	RX_D1	I	PD	9	O	なし	なし
26	RX_D0	I	PD	9	O	なし	なし
27	RX_CLK	I	PD	9	O	なし	なし
28	TX_CLK	I	PD	9	I	なし	なし
29	TX_EN	I	PD	9	I	なし	なし
30	TX_D3	I	PD	9	I	なし	なし
31	TX_D2	I	PD	9	I	なし	なし
32	TX_D1	I	PD	9	I	なし	なし
33	TX_D0	I	PD	9	I	なし	なし
34	VDDIO	電源	なし	なし	電源	なし	なし
35	LED_0	O	なし	なし	O	なし	なし
36	MDIO	OD、IO	なし	なし	OD、IO	なし	なし

表 5-6. ピンの状態 - MII および RGMII

ピン番号	ピン名	MII			RGMII		
		ピンの状態 (1)	プル タイプ	プル値 (kΩ)	ピンの状態 (1)	プル タイプ	プル値 (kΩ)
1	MDC	I	なし	なし	I	なし	なし
2	$\overline{\text{INT}}$	OD、O	PU	9	OD、O	PU	9
3	$\overline{\text{RESET}}$	I	PU	9	I	PU	9
4	XO	O	なし	なし	O	なし	なし
5	XI	I	なし	なし	I	なし	なし
6	LED_1	O	なし	なし	O	なし	なし
7	VSLEEP	電源	なし	なし	電源	なし	なし
8	WAKE	IO	PD	455	IO	PD	455
9	LDO_OUT	O	なし	なし	O	なし	なし
10	INH	OD、O	なし	なし	OD、O	なし	なし
11	VDDA	電源	なし	なし	電源	なし	なし
12	TRD_P	IO	なし	なし	IO	なし	なし
13	TRD_M	IO	なし	なし	IO	なし	なし
14	RX_ER	O	なし	なし	I	PD	6
15	RX_DV	O	なし	なし	O	なし	なし
16	CLKOUT	O	なし	なし	O	なし	なし
17	DNC	フローティング	なし	なし	フローティング	なし	なし
18	GPIO_3	I	PD	9	I	PD	9
19	GPIO_4	I	PD	9	I	PD	9
20	GPIO_5	I	PD	9	I	PD	9
21	VDD1P0	電源	なし	なし	電源	なし	なし
22	VDDMAC	電源	なし	なし	電源	なし	なし
23	RX_D3	O	なし	なし	O	なし	なし
24	RX_D2	O	なし	なし	O	なし	なし
25	RX_D1	O	なし	なし	O	なし	なし
26	RX_D0	O	なし	なし	O	なし	なし
27	RX_CLK	O	なし	なし	O	なし	なし
28	TX_CLK	O	なし	なし	I	なし	なし
29	TX_EN	I	なし	なし	I	なし	なし
30	TX_D3	I	なし	なし	I	なし	なし
31	TX_D2	I	なし	なし	I	なし	なし
32	TX_D1	I	なし	なし	I	なし	なし
33	TX_D0	I	なし	なし	I	なし	なし
34	VDDIO	電源	なし	なし	電源	なし	なし
35	LED_0	O	なし	なし	O	なし	なし
36	MDIO	OD、IO	なし	なし	OD、IO	なし	なし

Copyright © 2025 Texas Instruments Incorporated

表 5-7. ピンの状態 - SGMII

ピン番号	ピン名	SGMII		
		ピンの状態 (1)	プル タイプ	プル値 (kΩ)
1	MDC	I	なし	なし
2	$\overline{\text{INT}}$	OD、O	PU	9
3	$\overline{\text{RESET}}$	I	PU	9
4	XO	O	なし	なし
5	XI	I	なし	なし
6	LED_1	O	なし	なし
7	VSLEEP	電源	なし	なし
8	WAKE	IO	PD	455
9	LDO_OUT	O	なし	なし
10	INH	OD、O	なし	なし
11	VDDA	電源	なし	なし
12	TRD_P	IO	なし	なし
13	TRD_M	IO	なし	なし
14	RX_ER	I	PD	6
15	RX_DV	I	PD	6
16	CLKOUT	O	なし	なし
17	DNC	フローティング	なし	なし
18	GPIO_3	I	PD	9
19	GPIO_4	I	PD	9
20	GPIO_5	I	PD	9
21	VDD1P0	電源	なし	なし
22	VDDMAC	電源	なし	なし
23	RX_D3	O	なし	なし
24	RX_D2	O	なし	なし
25	RX_D1	I	PD	9
26	RX_D0	I	PD	9
27	RX_CLK	I	PD	9
28	TX_CLK	I	なし	なし
29	TX_EN	I	なし	なし
30	TX_D3	I	なし	なし
31	TX_D2	I	なし	なし
32	TX_D1	I	なし	なし
33	TX_D0	I	なし	なし
34	VDDIO	電源	なし	なし
35	LED_0	O	なし	なし
36	MDIO	OD、IO	なし	なし

(1) 種類:I = 入力
O = 出力
IO = 入出力
OD = オープンドレイン
PD = 内部プルダウン
PU = 内部プルアップ

5.3 ピン多重化

次の表に、GPIO ピンで利用可能な各種機能の詳細を示します。

LED: LED 表示として構成されたピン。

CLKOUT: クロック出力信号として構成されたピン

イベントトリガ / キャプチャ: 802.1AS タイムスタンプによって生成されたイベントをキャプチャおよびトリガするように構成されたピン

PTP 割り込み: 802.1AS/PTP 固有の割り込みを出力するように構成されたピン

50/25MHz PTP 入力: PTP 用の 50/ 25MHz 基準クロック

同期クロック: PTP ウォールクロックに同期する、プログラマブル周波数クロック

PPM モニタ: 内部クロックに関して PPM を監視するために外部クロック入力用に構成されたピン

表 5-8. ピン多重化

フィールド	ピン	デフォルト	LED	CLKOUT 25MHz	イベントトリガ / キャプチャ
LED_0 / GPIO_0	35	LED_0	あり		あり
LED_1 / GPIO_1	6	LED_1	あり	あり	あり
CLKOUT/GPIO_2	16	CLKOUT	あり	あり	あり
GPIO_3	18	GPIO_3			あり
GPIO_4	19	GPIO_4			あり
GPIO_5	20	GPIO_5			あり
RX_ER/GPIO_6	14	RX_ER			あり

表 5-9. ピン多重化 - PTP、割り込み

フィールド	ピン	50 / 25MHz PTP 入力	PTP 同期クロック	PTP 割り込み
LED_0 / GPIO_0	35	あり		あり
LED_1 / GPIO_1	6			あり
CLKOUT/GPIO_2	16		あり	あり
GPIO_3	18		あり	あり
GPIO_4	19		あり	あり
GPIO_5	20	あり		あり
RX_ER/GPIO_6	14			あり

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[(1)]

		最小値	標準値	最大値	単位
入力電圧	VDDA	-0.3		4	V
入力電圧	VDD1P0	-0.3		1.4	V
入力電圧	VDDIO (3.3V)	-0.3		4	V
入力電圧	VDDIO (2.5V)	-0.3		4	V
入力電圧	VDDIO (1.8V)	-0.3		4	V
入力電圧	VSLEEP	-0.3		4	V
ピン	MDI (TRD_M、TRD_P)	-0.3		4	V
入力電圧	MDC、RESET、XI、LED_1、RX_ER、RX_CTRL、CLKOUT、RX_D[3:0]、TX_CLK、TX_CTRL、TX_D[3:0]、LED_0、MDIO、GPIO	-0.3		VDDIO + 0.3	V
ピン	MDIO、MDC、GPIO、XI、XO、INT、RESET、CLKOUT	-0.3		VDDIO + 0.3	V
出力電圧	INH	-0.3		VSLEEP + 0.3	V
入力電圧	WAKE	-0.3		VSLEEP + 0.3	V
出力電圧	INT、LED_1、RX_CTRL、CLKOUT、RX_D[3:0]、RX_CLK、LED_0、MDIO、GPIO	-0.3		4	V
T_J	接合部温度	-40		150	°C
T_{stg}	保存温度	-65		150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。
「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しなくなる可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠[(1)]	すべてのピン	±2000	V
			TRD_N、TRD_P ピン	±8000	
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		IEC 61000-4-2 接触放電	TRD_N、TRD_P ピン	±8000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDDIO / VDDMAC	IO 電源電圧、1.8V 動作	1.665	1.8	1.935	V
	IO 電源電圧、2.5V 動作	2.3125	2.5	2.6875	
	IO 電源電圧、3.3V 動作	3.0525	3.3	3.5475	
VDDA	コア電源電圧、3.3V	2.97	3.3	3.63	V
VDD1P0	コア デジタル外部電源 1V	0.95	1.0	1.1	V
VSLEEP	スリーブ電源電圧、3.3V	2.97	3.3	3.63	V
T_A	周囲温度	-40		125	°C

6.4 熱に関する情報

熱評価基準[1]		RHA (VQFN) 36 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	30.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	21.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	13.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	11.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
100BASE-T1 PMA 準拠						
V_{OD-MDI}	出力差動電圧	$R_{L(diff)}$ = 100Ω			2.2	V
$R_{MDI-Diff}$	内蔵差動出力終端	TRD_P および TRD_M		100		Ω
ブートストラップ DC 特性 (2 レベル)						
V_{MODE1}	モード 1 ストラップ電圧範囲	VDDIO = 3.3V±7.5%、2 レベルストラップ	0		0.8	V
V_{MODE2}	モード 2 ストラップ電圧範囲	VDDIO = 3.3V±7.5%、2 レベルストラップ	2		VDDIO	V
V_{MODE1}	モード 1 ストラップ電圧範囲	VDDIO = 2.5V±7.5%、2 レベルストラップ	0		0.7	V
V_{MODE2}	モード 2 ストラップ電圧範囲	VDDIO = 2.5V±7.5%、2 レベルストラップ	1.7		VDDIO	V
V_{MODE1}	モード 1 ストラップ電圧範囲	VDDIO = 1.8V±7.5%、2 レベルストラップ	0		0.35 x VDDIO	V
V_{MODE2}	モード 2 ストラップ電圧範囲	VDDIO = 1.8V±7.5%、2 レベルストラップ	0.65 x VDDIO		VDDIO	V
ブートストラップ DC 特性 (3 レベル)						
V_{MODE1}	モード 1 ストラップ電圧範囲	VDDIO = 3.3V±7.5%、3 レベルストラップ	0		0.18 x VDDIO	V
V_{MODE2}	モード 2 ストラップ電圧範囲	VDDIO = 3.3V±7.5%、3 レベルストラップ	0.22 x VDDIO		0.42 x VDDIO	V
V_{MODE3}	モード 3 ストラップ電圧範囲	VDDIO = 3.3V±7.5%、3 レベルストラップ	0.46 x VDDIO		VDDIO	V
V_{MODE1}	モード 1 ストラップ電圧範囲	VDDIO = 2.5V±7.5%、3 レベルストラップ	0		0.25 x VDDIO	V
V_{MODE2}	モード 2 ストラップ電圧範囲	VDDIO = 2.5V±7.5%、3 レベルストラップ	0.29 x VDDIO		0.56 x VDDIO	V
V_{MODE3}	モード 3 ストラップ電圧範囲	VDDIO = 2.5V±7.5%、3 レベルストラップ	0.65 x VDDIO		VDDIO	V
V_{MODE1}	モード 1 ストラップ電圧範囲	VDDIO = 1.8V±7.5%、3 レベルストラップ	0		0.35 x VDDIO	V
V_{MODE2}	モード 2 ストラップ電圧範囲	VDDIO = 1.8V±7.5%、3 レベルストラップ	0.40 x VDDIO		0.75 x VDDIO	V

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{MODE3}	モード 3 ストラップ電圧範囲	VDDIO = 1.8V±7.5%、3 レベルストラップ	0.84 x VDDIO		VDDIO	V
IO 特性						
V_{IH}	High レベル入力電圧	VDDIO = 3.3V ±7.5%	2			V
V_{IL}	Low レベル入力電圧	VDDIO = 3.3V ±7.5%			0.8	V
V_{OH}	High レベル出力電圧	I_{OH} = -2mA、VDDIO = 3.3V ±7.5%	2.4			V
V_{OL}	Low レベル出力電圧	I_{OH} = -2mA、VDDIO = 3.3V ±7.5%			0.4	V
V_{IH}	High レベル入力電圧	VDDIO = 2.5V ±7.5%	1.7			V
V_{IL}	Low レベル入力電圧	VDDIO = 2.5V ±7.5%			0.7	V
V_{OH}	High レベル出力電圧	I_{OH} = -2mA、VDDIO = 2.5V ±7.5%	2			V
V_{OL}	Low レベル出力電圧	I_{OH} = -2mA、VDDIO = 2.5V ±7.5%			0.4	V
V_{IH}	High レベル入力電圧	VDDIO = 1.8V ±7.5%	0.65*VDDIO			V
V_{IL}	Low レベル入力電圧	VDDIO = 1.8V ±7.5%			0.35*VDDIO	V
V_{OH}	High レベル出力電圧	I_{OH} = -2mA、VDDIO = 1.8V ±7.5%	VDDIO-0.45			V
V_{OL}	Low レベル出力電圧	I_{OH} = -2mA、VDDIO = 1.8V ±7.5%			0.45	V
I_{IH}	入力 High 電流(1)	VIN = VDDIO、XI および WAKE 以外のすべてのピン	-10		10	µA
I_{IH-XI}	入力 High 電流(1)	VIN = VDDIO、XI ピン	-15		15	µA
I_{IL-XI}	入力 Low 電流(1)	VIN = GND、XI ピン	-15		15	µA
I_{IL}	入力 Low 電流(1)	VIN = GND、XI を除くすべてのピン、RESET_N ピン	-10		10	µA
I_{IL-RST}	入力 Low 電流	VIN = GND、$\overline{RESET}$ ピン	-500		0	µA
Iozh	トライステート出力高電流(2)	VIN = VDDIO、RX_CTRL および RX_ER を除くすべてのピン	-10		10	µA
Iozh	トライステート出力高電流(2)	VIN = VDDIO、RX_CTRL、RX_ER	-52		52	µA
Iozl	トライステート出力低電流(2)	VOUT = GND	-10		10	µA
R_{pulldn}	内蔵プルダウン抵抗	RX_D[3:0]、RX_CLK、LED_0、LED_1、TX_CTRL	6.2	8.4	10.7	kΩ
R_{pulldn}	内蔵プルダウン抵抗	RX_CTRL、RX_ER	4.725	5.8	7.2	kΩ
R_{pulldn}	内蔵プルダウン抵抗	WAKE	320	455	590	kΩ
R_{pullup}	内蔵プルアップ抵抗	INT、RESET	6.3	9	11.2	kΩ
XI V_{IH}	High レベル入力電圧		1.3		VDDIO	V
XI V_{IL}	Low レベル入力電圧				0.5	V
C_{IN}	XI の入力容量			1		pF
C_{IN}	入力ピンの入力容量			5		pF
C_{OUT}	XO の出力容量			1		pF
C_{OUT}	出力ピンの出力容量			5		pF
R_{series}	内蔵 MAC 直列終端抵抗	RX_D[3:0]、RX_ER、RX_DV、RX_CLK	35	50	65	Ω
消費電力 VDDIO						

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I(VDDIO=3.3V)	MII			20	25	mA
	RMII			19	25	mA
	RGMII			17	23	mA
	SGMII			10	14	mA
I(VDDIO=2.5V)	MII			14	18	mA
	RMII			13	18	mA
	RGMII			12	16	mA
	SGMII			6	9	mA
I(VDDIO=1.8V)	MII			10	13	mA
	RMII			9	13	mA
	RGMII			8	12	mA
	SGMII			4	6	mA
I(VDDIO=3.3V)	MII	802.1AS 有効		22	28	mA
	RMII			23	28	mA
	RGMII			20	28	mA
	SGMII			13	22	mA
I(VDDIO=2.5V)	MII			16	22	mA
	RMII			15	21	mA
	RGMII			14	19	mA
	SGMII			8	15	mA
I(VDDIO=1.8V)	MII			11	17	mA
	RMII			11	17	mA
	RGMII			8	17	mA
	SGMII			6	12	mA
消費電力:コア電源						
単電源:I(3V3)	xMII			71	172	mA
	SGMII			91	193	mA
デュアル外部電源:I(3V3)	xMII			48	70	mA
	SGMII			68	91	mA
デュアル外部電源:I(1V0)	xMII			23	102	mA
	SGMII			23	102	mA
消費電力:コア電源、802.1AS 有効						
単電源:I(3V3)	xMII	同期間隔 = 125ms		87	194	mA
	SGMII			107	215	mA
デュアル外部電源:I(3V3)	xMII			60	83	mA
デュアル外部電源:I(1V0)	xMII			27	111	mA
デュアル外部電源:I(3V3)	SGMII			80	104	mA
デュアル外部電源:I(1V0)	SGMII			27	111	mA
消費電力:低消費電力モード						

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I(VDDA3V3)	リセット	単一電源		17	103	mA
I(VDDA3V3)		デュアル電源		9	21	mA
I(DVDD1P0)		デュアル電源		8	82	mA
I(VDDIO=3.3V)		VDDIO = VDDMAC		12	18	mA
I(VDDIO=2.5V)				8.5	14	mA
I(VDDIO=1.8V)				6	10	mA
I(VDDA3V3)	IEEE パワーダウン	単一電源		15	98	mA
I(VDDA3V3)		デュアル電源		10	21	mA
I(VDDD1P0)		デュアル電源		5	77	mA
I(VDDIO=3.3V)		VDDIO = VDDMAC		12	18	mA
I(VDDIO=1.8V)				8	11	mA
I(VDDIO=2.5V)				8	14	mA
I(VDDA3V3)	スタンバイ	単一電源		31	119	mA
I(VDDA3V3)		デュアル電源		22	37	mA
I(DVDD1P0)		デュアル電源		9	82	mA
I(VDDIO=3.3V)		xMII、VDDIO = VDDMAC		15	22	mA
		SGMII、VDDIO = VDDMAC		12	15	mA
I(VDDIO=2.5V)		xMII、VDDIO = VDDMAC		11	16	mA
		SGMII、VDDIO = VDDMAC		8	13	mA
I(VDDIO=1.8V)		xMII、VDDIO = VDDMAC		8	13	mA
		SGMII、VDDIO = VDDMAC		6	8	mA
I(VSLEEP)	TC-10 スリープ	他のすべての電源オフ		7	18	µA
		他のすべての電源オフ、高速ウェークアップ モード有効		25	50	µA
I(VDDIO=3.3V)	TC-10 Sleep、電源オン	VDDIO = VDDMAC		12	16	mA
I(VDDIO=2.5V)				8.5	12	mA
I(VDDIO=1.8V)				6	9	mA
I(VDDA3V3)		単一電源		35	132	mA
I(VDDA3V3)		デュアル電源		28	50	mA
I(VDDD1P0)		デュアル電源		7	82	mA
SGMII 入力						
V_{IDTH}	入力差動電圧許容値	SI_P および SI_N、AC 結合	0.1			V
$R_{IN-DIFF}$	受信差動入力インピーダンス (DC)		80		120	Ω
SGMII 出力						
	クロック信号デューティサイクル	SO_P および SO_N、AC 結合、0101010101 パターン	48		52	%
	出力差動電圧	SO_P および SO_N、AC 結合	150		400	mV
電圧センサ						
VDDA	VDDA センサの範囲		2.7	3.3	4	V
	VDDA センサの分解能 (LSB)			8.8		mV
	VDDA センサの精度	シングル部品における電圧および温度変動	-150		150	mV
	VDDA センサの精度	部品間のバラツキ	-100		100	mV

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDDIO/VDDMAC	VDDIO/VDDMAC センサの範囲		1.44		3.9	V
	VDDIO/VDDMAC センサの分解能 (LSB)			16		mV
	VDDIO/VDDMAC センサの精度	シングル部品における電圧および温度変動	-200		200	mV
	VDDIO/VDDMAC センサの精度	部品間のバラツキ	-100		100	mV
VSLEEP	VSLEEP センサの範囲	部品および VT の変動	2.7	3.3	4	V
	VSLEEP センサの分解能 (LSB)			8.8		mV
	VSLEEP センサの精度	シングル部品における電圧および温度変動	-150		150	mV
	VSLEEP センサの精度	部品間のバラツキ	-100		100	mV
VDD1P0	VDD1P0 センサの範囲		0.9	1	1.2	V
	VDD1P0 センサの分解能 (LSB)			2.7		mV
	VDD1P0 センサの精度	各部品で室温オフセット校正を実施	-60		60	mV
	VDD1P0 センサの精度	部品間	-40		40	mV
温度センサ						
温度	温度センサの範囲		-40		150	℃
温度	温度センサの分解能 (LSB)			1.1		℃

(1) 対象ピン:MDC、TX_CLK、TX_CTRL、TX_D[3:0]、RESET_N
(2) 対象ピン:RX_D[3:0]、RX_CLK、RX_CTRL、MDIO、INT_N、XO。

6.6 タイミング要件

パラメータ		テスト条件	最小値	公称値	最大値	単位
MII タイミング						
T1.1	TX_CLK High / Low 時間		16	20	24	ns
T1.2	TX_CLK までの TX_D[3:0]、TX_ER、TX_EN のセットアップ		10			ns
T1.3	TX_CLK からの TX_D[3:0]、TX_ER、TX_EN のホールド		0			ns
T2.1	RX_CLK High / Low 時間		16	20	24	ns
T2.2	RX_CLK 立ち上がりからの RX_D[3:0]、RX_ER、RX_DV の遅延		10		30	ns
RMII リーダー タイミング						
T3.1	RMII リーダー クロック周期			20		ns
	RMII リーダー クロック デューティ サイクル		35		65	%
T3.2	TX_D[1:0]、TX_ER、TX_EN の RMII リーダ クロックに対するセットアップ		4			ns
T3.3	TX_D[1:0]、TX_ER, TX_EN の RMII リーダ クロックからのホールド		2			ns
T3.4	RX_D[1:0]、RX_ER, CRS_DV の RMII リーダ クロック立ち上がりエッジからの遅延		4	10	14	ns
RMII フォロワ タイミング						
T3.1	入力基準クロック周期			20		ns
	入力クロック デューティ サイクル		35		65	%

Copyright © 2025 Texas Instruments Incorporated

6.6 タイミング要件 (続き)

パラメータ		テスト条件	最小値	公称値	最大値	単位
T3.2	XI クロックの立ち上がりまでの TX_D[1:0]、TX_ER、TX_EN のセットアップ		4			ns
T3.3	XI クロックの立ち上がりからの TX_D[1:0]、TX_ER、TX_EN のホールド		2			ns
T3.4	XI クロックの立ち上がりからの RX_D[1:0]、RX_ER、CRS_DV の遅延		4		14	ns
RGMII 入力タイミング						
T_{cyc}	クロック周期	TX_CLK	36	40	44	ns
$T_{setup(align)}$	TX_D[3:0]、TX_CLK までの TX_CTRL のセットアップ時間 (整列モード)		1	2		ns
$T_{hold(align)}$	TX_D[3:0]、TX_CLK からの TX_CTRL のホールド時間 (整列モード)		1	2		ns
RGMII 出力タイミング						
$T_{skew(align)}$	RX_D[3:0]、RX_CLK からの RX_CTRL の遅延時間 (整列モード有効)	PHY ピン上	-1.2		1.2	ns
$T_{setup(shift)}$	RX_D[3:0]、RX_CLK からの RX_CTRL の遅延時間 (シフト モード有効 デフォルト)	PHY ピン上	2			ns
T_{cyc}	クロック周期	RX_CLK	36	40	44	ns
Duty_G	デューティ サイクル	RX_CLK	45	50	55	%
SMI タイミング						
T4.1	MDC から MDIO (出力) までの遅延時間	25pF の負荷容量	0		40	ns
T4.2	MDC に対する MDIO (入力) のセットアップ時間		10			ns
T4.3	MDC に対する MDIO (入力) のホールド時間		10			ns
	MDC 周波数			2.5	20	MHz
電源投入のタイミング						
T5.1	電源ランプ時間:AVDD、DVDD、VDDIO[(1)]		0.2		8	ms
T5.1	電源ランプ時間: Vsleep [(1)]		0.4		8	ms
T5.2	電源ランプ遅延オフセット:すべての電源				10	ms
T5.3	XTAL の起動 / セトリング:電源投入から XI 正常 / 安定化まで			1.5		ms
T5.4	電源投入からの発振器の安定化時間				10	ms
	最終電源立ち上げ後、クロック安定からリセット解除まで				10	ms
T5.5	電源投入後、SMI 準備完了まで:電源投入後、レジスタ アクセスのために MDC プリアンブルを送信できるようになるまでに必要な待ち時間		10			ms
T5.6	電源オンからストラップ ラッチインまで				10	ms
T5.7	CLKOUT の起動 / セトリング:電源投入から CLKOUT 正常 / 安定化まで				10	ms
T5.8	電源投入からアイドル ストリーム出力まで				10	ms
リセット タイミング (RESET_N)						
T6.1	リセット パルス幅:リセット可能な最小リセット パルス幅		100			µs
T6.2	リセットから SMI レディまで:リセット後、レジスタ アクセスのために MDC プリアンブルを送信できるようになるまでに必要な待ち時間		1			ms
T6.3	リセットからストラップ値ラッチインまで:ハードウェア構成のピンの遷移から出力ドライバまで			80		µs
T6.4	リセットからアイドル ストリーム出力まで				1800	µs

6.6 タイミング要件 (続き)

パラメータ		テスト条件	最小値	公称値	最大値	単位
ウェーク要求とウェーク パルスのタイミング						
T7.1	ローカル ウェークアップ パルス幅		40			µs
T7.2	ローカル ウェークアップから INH 遷移まで				40	µs
T7.3	エナジー検出に基づくウェークアップ パルス幅				0.7	ms
T7.4	エナジー検出に基づくウェークアップから INH 遷移まで				0.7	ms
T7.5	エナジー検出に基づくウェークアップから WAKE 転送パルスまで				1.4	ms
送信レイテンシ タイミング						
	MII の TX_CLK の立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで		190		275	ns
	MII の TX_CLK の立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで	PTP 有効時	170		275	ns
	RMII フォロワの XI クロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで		350		473	ns
	RMII リーダーのクロックの立ち上がりエッジ (TX_EN アサート時) から MDI の SSD シンボルまで		340		462	ns
	RGMII の TX_CLK の立ち上がりエッジ (TX_CTRL アサート時) から MDI の SSD シンボルまで		340		493	ns
	SGMII の最初のシンボルから MDI の SSD シンボルまで		375		505	ns
受信レイテンシ タイミング						
	MDI の SSD シンボルから MII の RX_CLK の立ち上がりエッジ (RX_DV アサート時) まで		420		530	ns
	MDI の SSD シンボルから MII の RX_CLK の立ち上がりエッジ (RX_DV アサート時) まで	PTP 有効時	450		600	ns
	MDI の SSD シンボルから RMII フォロワの XI クロックの立ち上がりエッジ (CRS_DV アサート時) まで		499		660	ns
	MDI の SSD シンボルから RMII リーダーのリーダー クロックの立ち上がりエッジ (CRS_DV アサート時) まで		499		720	ns
	MDI の SSD シンボルから RGMII の RX_CLK の立ち上がりエッジ (RX_CTRL アサート時) まで		450		590	ns
	MDI の SSD シンボルから SGMII の最初のシンボルまで		727		884	ns
25MHz 発振器の要件						
	周波数の許容誤差		-100		+100	ppm
	立ち上がり / 立ち下がり時間 (10% ～ 90%)				8	ns
	ジッター耐性 (RMS)				25	ps
	外部クロック モードでの XI デューティ サイクル		40		60	%
50MHz 発振器の要件						
	周波数			50		MHz
	温度と経時変化に対する周波数の許容誤差と安定性		-100		100	ppm
	立ち上がり / 立ち下がり時間 (10% - 90%)				4	ns
	デューティ サイクル		35		65	%
25MHz 水晶振動子の要件						
	周波数			25		MHz
	温度と経時変化に対する周波数の許容誤差と安定性		-100		100	ppm
	等価直列抵抗				100	Ω
出力クロック タイミング **(25MHz)**						

Copyright © 2025 Texas Instruments Incorporated

6.6 タイミング要件 (続き)

パラメータ		テスト条件	最小値	公称値	最大値	単位
	周波数 (PPM)		-100		100	-
	デューティ サイクル		40		60	%
	立ち上がり時間				5000	ps
	立ち下がり時間				5000	ps
	ジッタ (短期)				1000	ps
	周波数			25		MHz
802.1AS 同期クロック						
	802.1AS 同期クロック周波数		1		50	MHz
	デューティサイクル		45		55	%
	ジッタ (rms				100	ps
	ジッタ (周期)				400	ps
	ジッタ (サイクル間)				300	ps
1pps 出力	同期精度 (802.1AS クロック ソース:内部 PLL/NCO DDS) — 最適化設定時	リセット サイクル間のオフセット変動	-30		30	ns
		単一リセット サイクルにおけるジッタ	-15		15	ns
	同期精度 (802.1AS クロック ソース:200MHz 復元クロック) - 最適化設定時	リセット サイクル間のオフセット変動	-30		30	ns
		単一リセット サイクルにおけるジッタ	-1		1	ns

(1) ランプレートが 8ms より長い電源では、最後の電源が安定した後にリセットパルスが必要です。

6.7 タイミング図

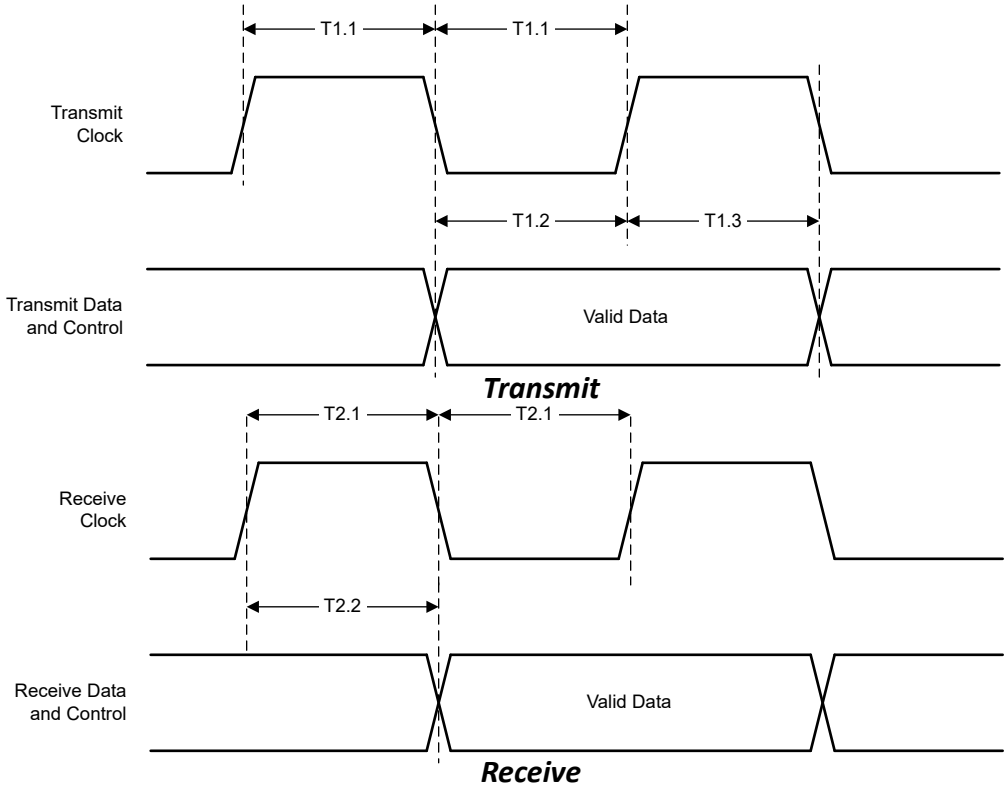


図 6-1. MII のタイミング

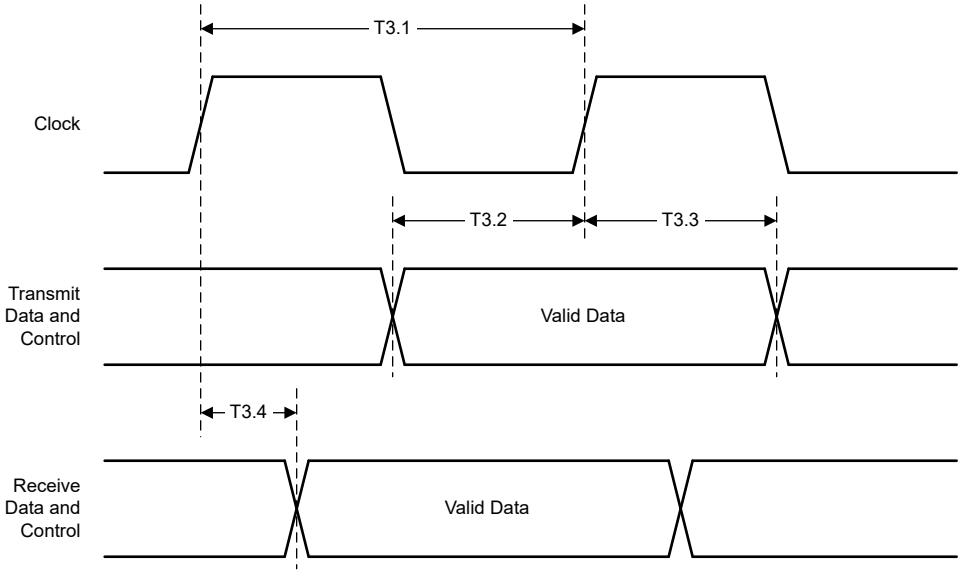


図 6-2. RMII の送信および受信タイミング

Copyright © 2025 Texas Instruments Incorporated

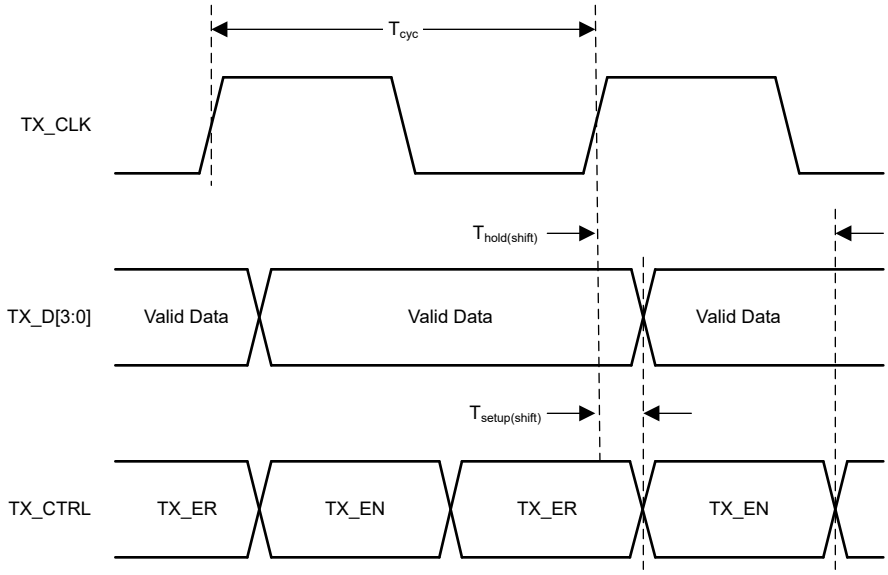


図 6-3. RGMII の送信タイミング (内部遅延有効化)

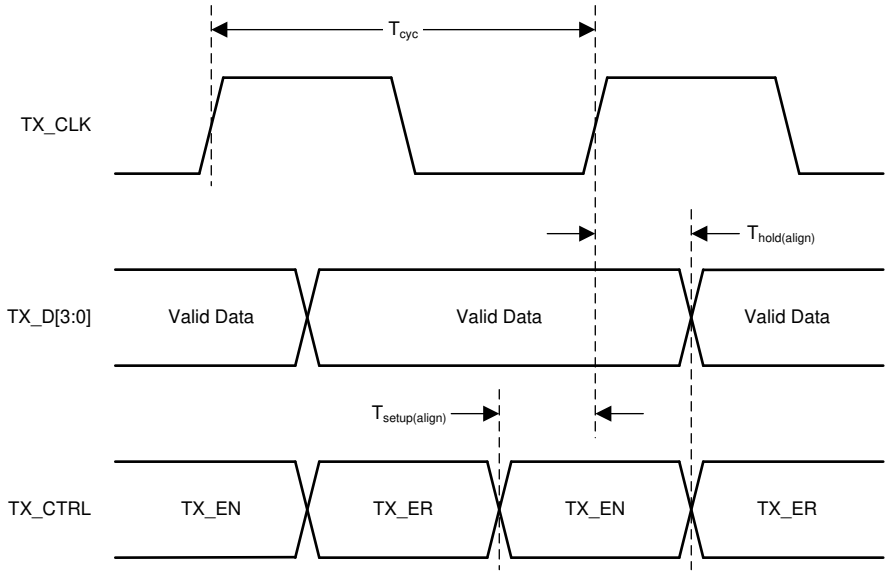


図 6-4. RGMII の送信タイミング (内部遅延無効化)

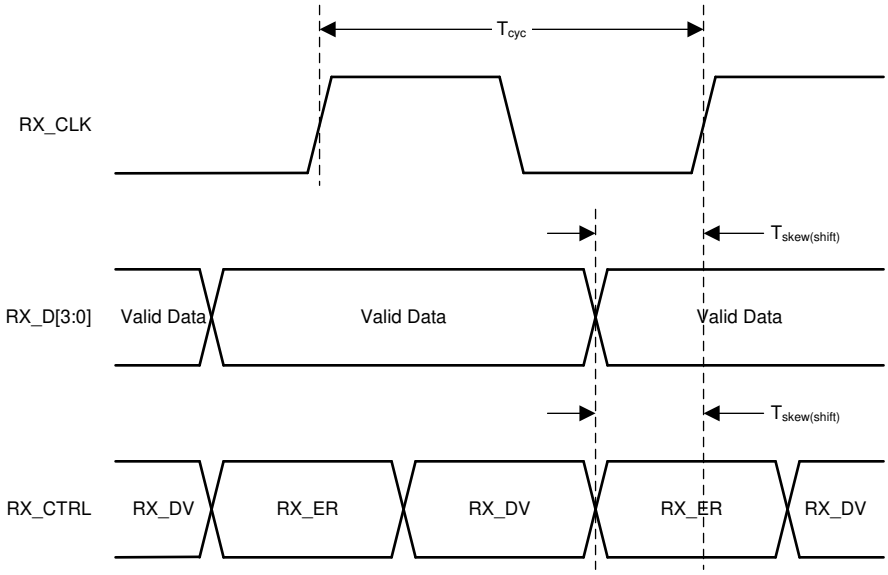


図 6-5. RGMII の受信タイミング (内部遅延有効化)

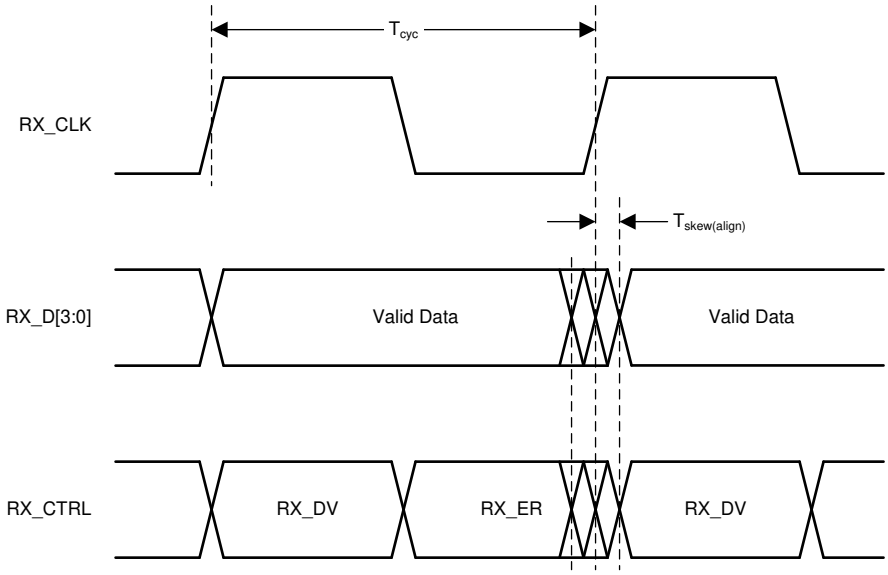


図 6-6. RGMII の受信タイミング (内部遅延無効化)

Copyright © 2025 Texas Instruments Incorporated

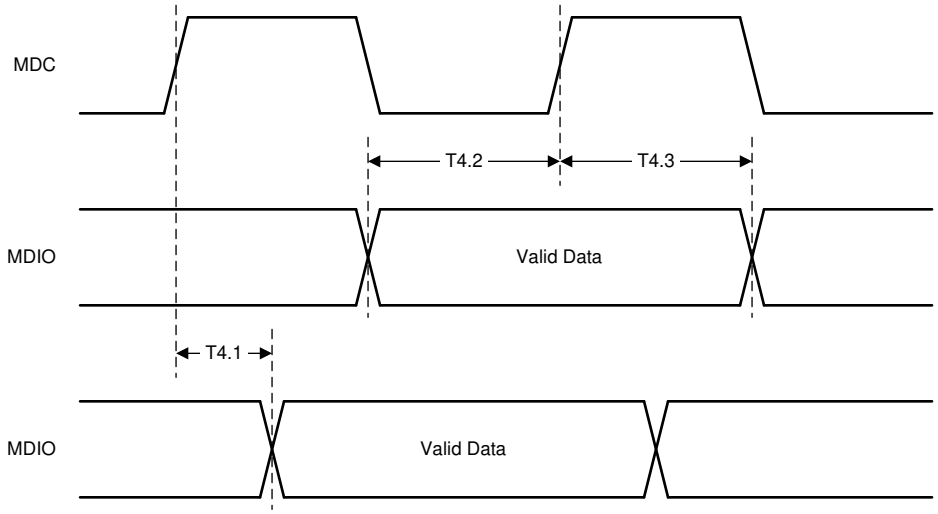


図 6-7. シリアル マネージメントのタイミング

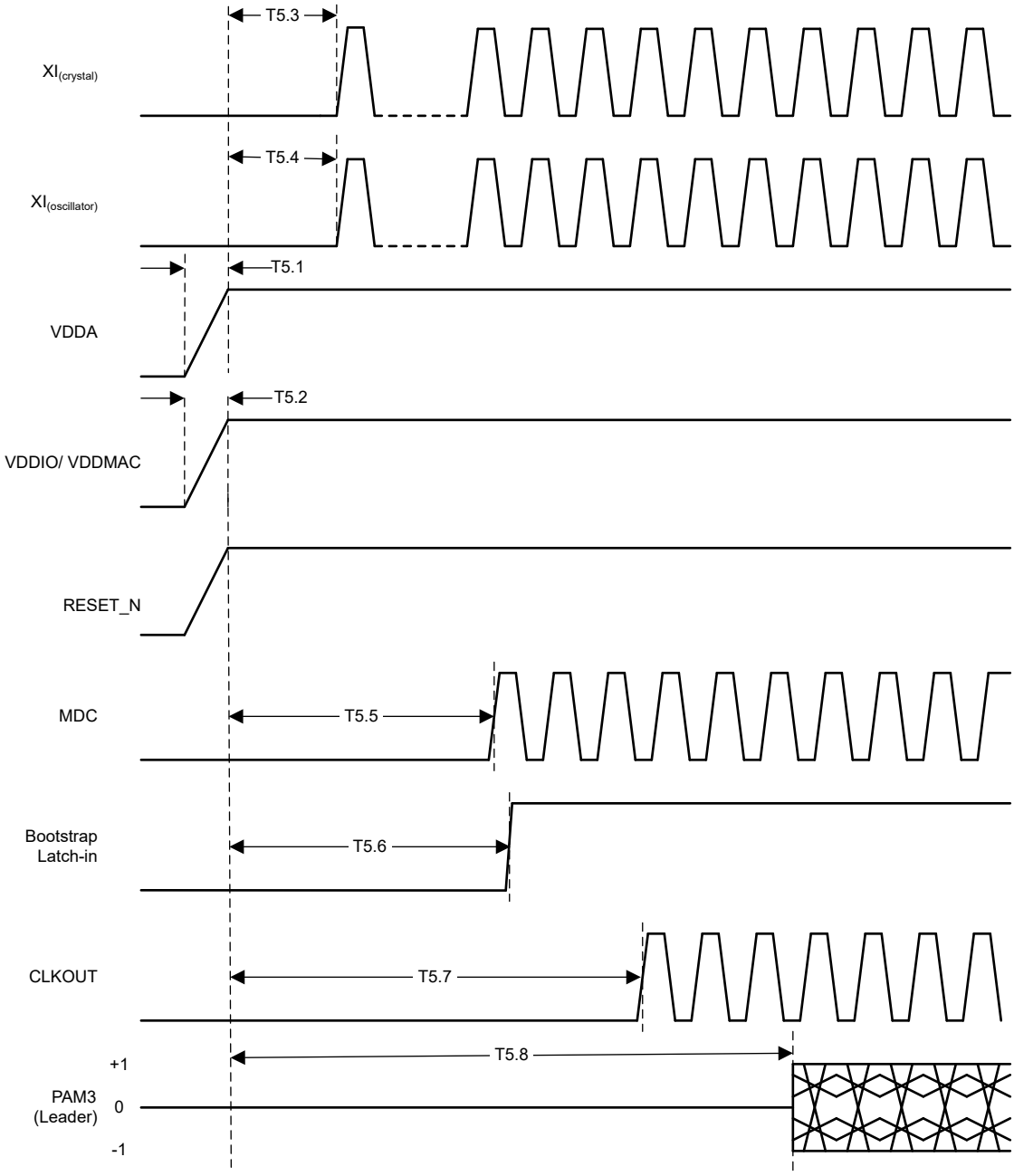


図 6-8. パワーアップのタイミング

Copyright © 2025 Texas Instruments Incorporated

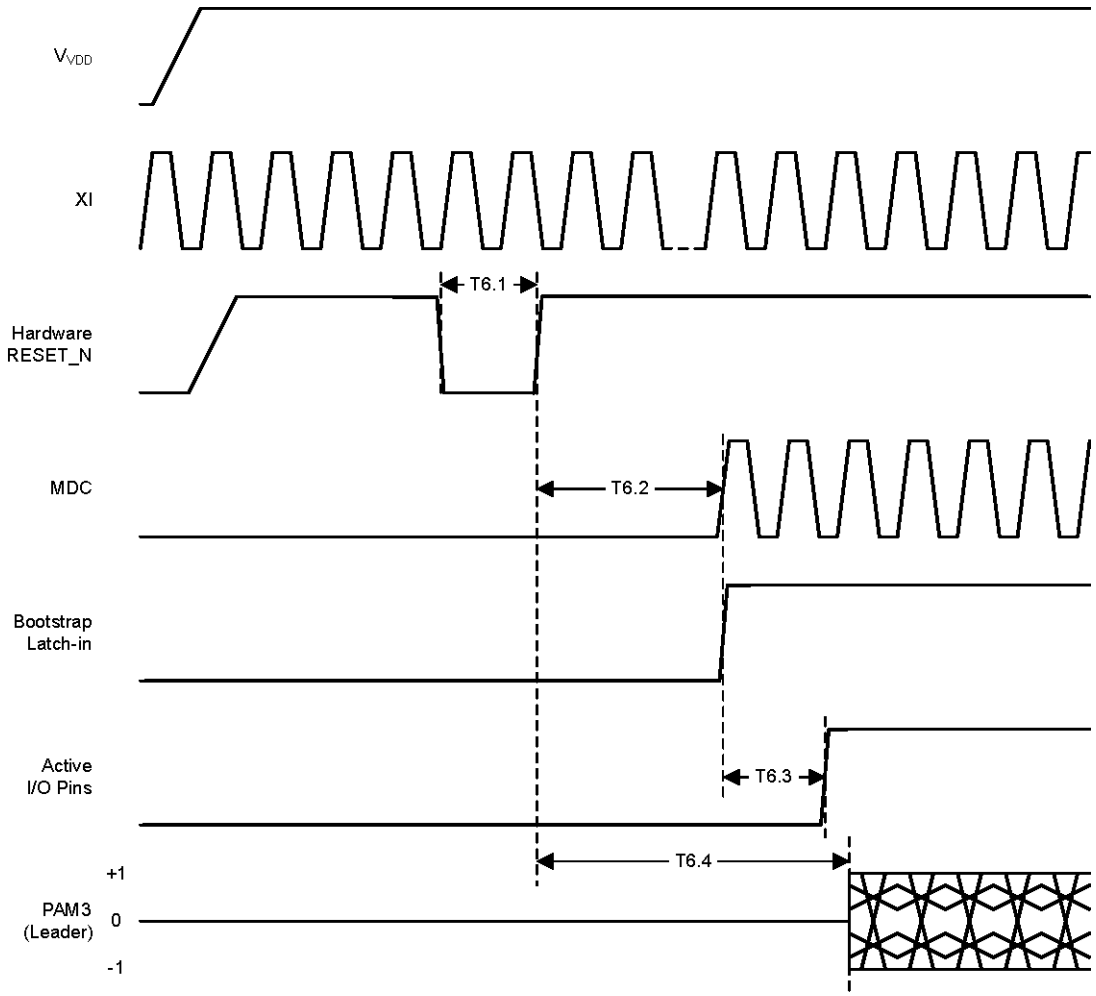


図 6-9. リセット タイミング

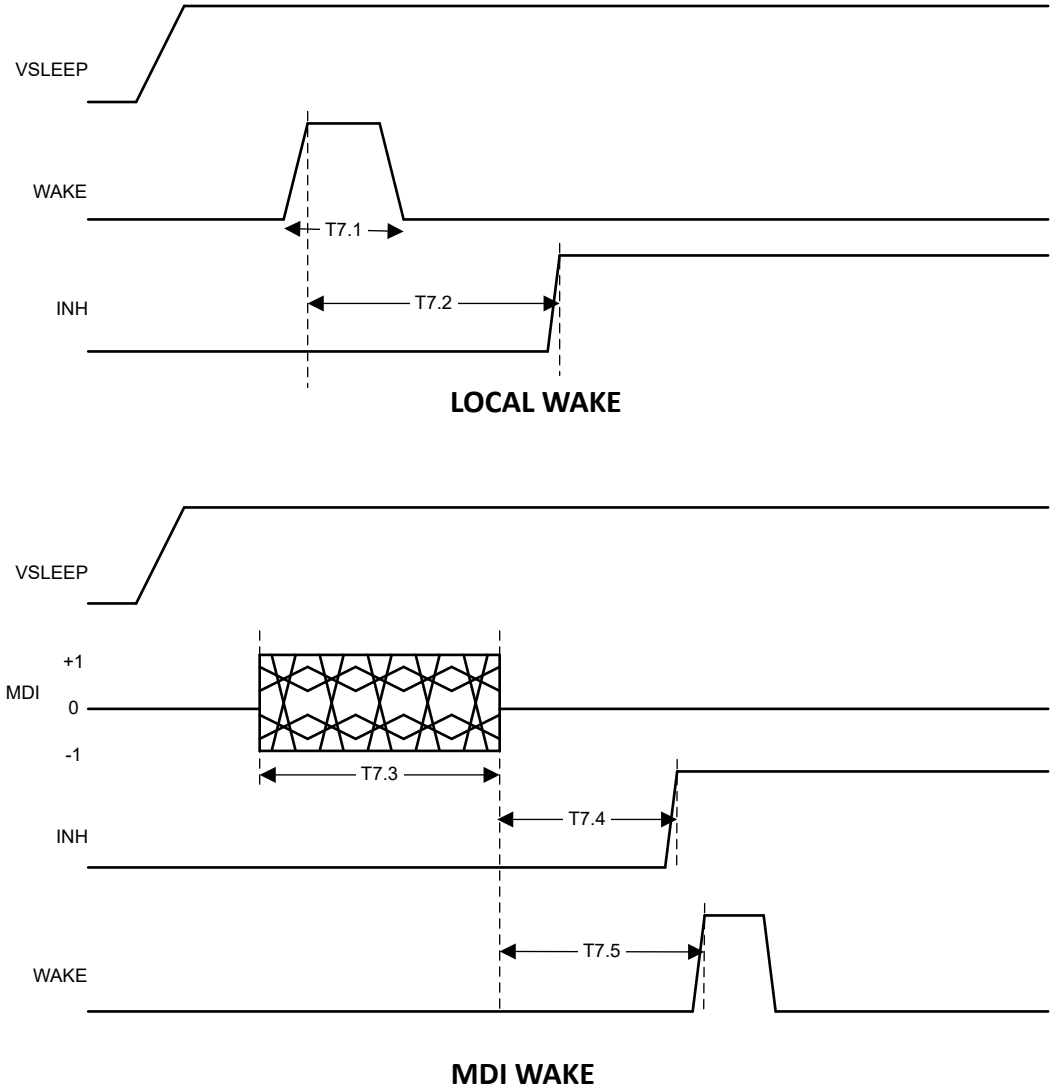


図 6-10. WAKE のタイミング

Copyright © 2025 Texas Instruments Incorporated

6.8 代表的特性

図 6-11 と図 6-12 に、DP83TC815-Q1 の MDI ピンの代表的特性を示します。

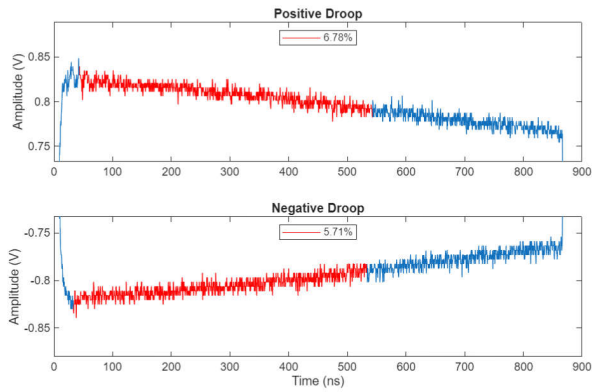


図 6-11. 標準的な Tx ドループ

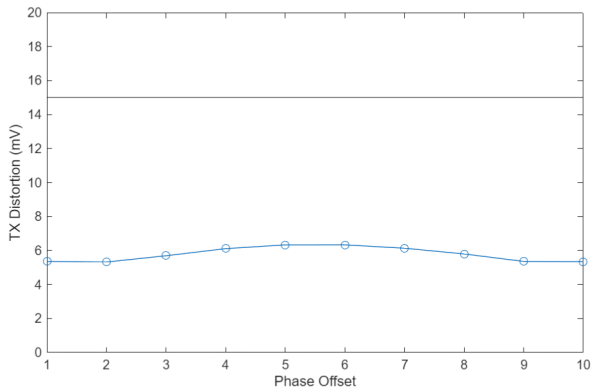


図 6-12. 代表的な Tx 歪み

7 詳細説明

7.1 概要

DP83TC815-Q1 は、100BASE-T1 車載イーサネット PHY で、100Mbps の全二重通信を提供します。DP83TC815-Q1 は IEEE 802.3bw に準拠しており、自動車用途向けに AEC-Q100 認証を取得しています。

このデバイスは、自動車用 EMC の厳しい制限を満たしながら、100Mbps の速度で動作するように特別に設計されています。DP83TC815-Q1 は、シールドされていない単一ツイスト ペア ケーブルを介して、66.667MHz で PAM3 (三値) シンボルを送信します。DP83TC815-Q1 は高い柔軟性を備えたデバイスで、単一の 36 ピン VQFN ウェッタブル フランク パッケージ内で MII、RMII、RGMII、SGMII をサポートします。

この PHY は 1588v2 / 802.1AS ハードウェア タイム スタンピングを統合しており、高精度な時刻同期を実現します。

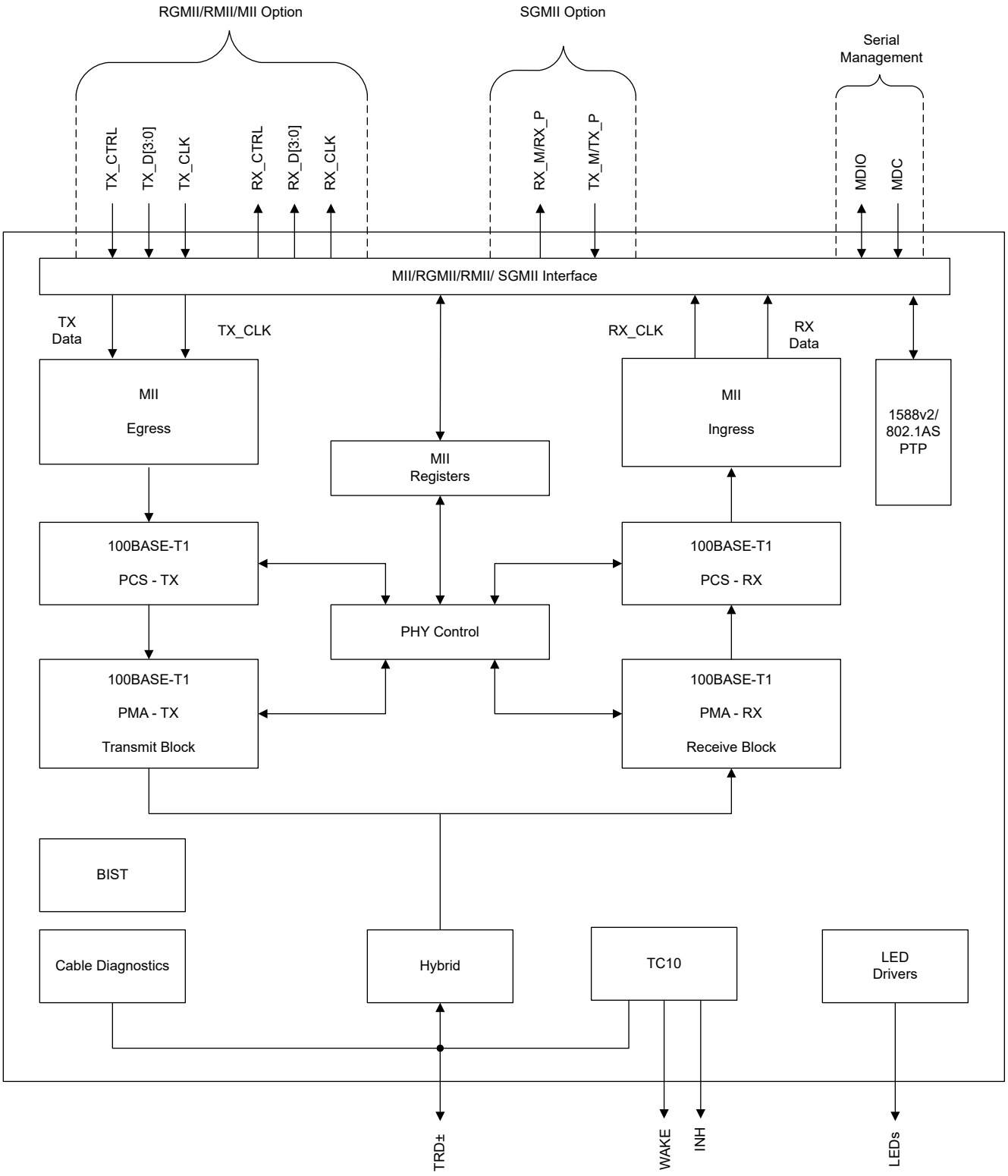
DP83TC815-Q1 は Open Alliance TC –10 低消費電力モードをサポートしており、イーサネット UTP を使用して ECU のスリープ / ウェークアップを実現し、追加配線 (1 線式ウェークなど) を不要にします。また、PHY はリンクアップを必要としないウェークアップ転送機能も備えているため、ネットワークを非常に高速にウェークアップできます。この PHY は、WAKE および INH ピンをサポートしているため、システムに TC-10 機能を実装できます。DP83TC815-Q1 はスリープ中に PHY の構成を保持することで、ホストが起動する前に PHY がウェークアップしてリンクアップできる高速ウェーク機能をサポートしています。

DP83TC815-Q1 には、システム内での使用に加え、デバッグ、準拠、システム プロトタイピングの両方を目的とする広範な診断ツールキットがあります。DP83TC815-Q1 は IEC61000-4-2 レベル 4 の静電放電制限を満たすことができ、ESD イベントをリアルタイムで検出するためのオンチップ ESD センサも搭載しています。

DP83TC815-Q1 は、放熱フットプリントを最小限に抑え、低アクティブ電力と複数の低消費電力モードを実現するように設計されています。DP83TC815-Q1 は Wake-on-LAN マジック パケットとサポートしているため、上流のデバイスを低消費電力状態に移行するオプションを選択できます。さらに、デバイスはスリープ状態に移行し、MDI でエネルギーが検出されるか、WAKE ピンを介してローカルでウェイクアップするまで維持されます。

Copyright © 2025 Texas Instruments Incorporated

7.2 機能ブロック図


RGMII/RMII/MII Option
SGMII Option
Serial Management
TX_CTRL
TX_D[3:0]
TX_CLK
RX_CTRL
RX_D[3:0]
RX_CLK
RX_M/RX_P
TX_M/TX_P
MDIO
MDC
MII/RGMII/RMII/ SGMII Interface
TX Data
TX_CLK
RX_CLK
RX Data
MII Egress
MII Registers
MII Ingress
1588v2/ 802.1AS PTP
100BASE-T1 PCS - TX
100BASE-T1 PCS - RX
PHY Control
100BASE-T1 PMA - TX Transmit Block
100BASE-T1 PMA - RX Receive Block
BIST
Cable Diagnostics
Hybrid
TC10
LED Drivers
TRD±
WAKE
INH
LEDs

7.3 機能説明

7.3.1 IEEE802.1AS の特長

DP83TC815-Q1 は IEEE 1588v2/802.1AS タイムスタンピング機能およびその他のハードウェア エンジンを内蔵しており、±15ns の同期ジッタで高精度な同期を実現します (ポイントツーポイント接続ではオプションにより最大 ±1ns まで低減可能です)。

DP83TC815-Q1 は、高品質の時間同期クロック信号も供給することができ、ADAS センサ データ同期、コーナー レーダー チャープ同期、LiDAR に対する 1pps 信号、V2X などのシステム レベルの同期を実現できます。

注
802.1AS 、***1588*** 、***1588v2*** 、***PTP*** という用語が同じ意味で使用されています。

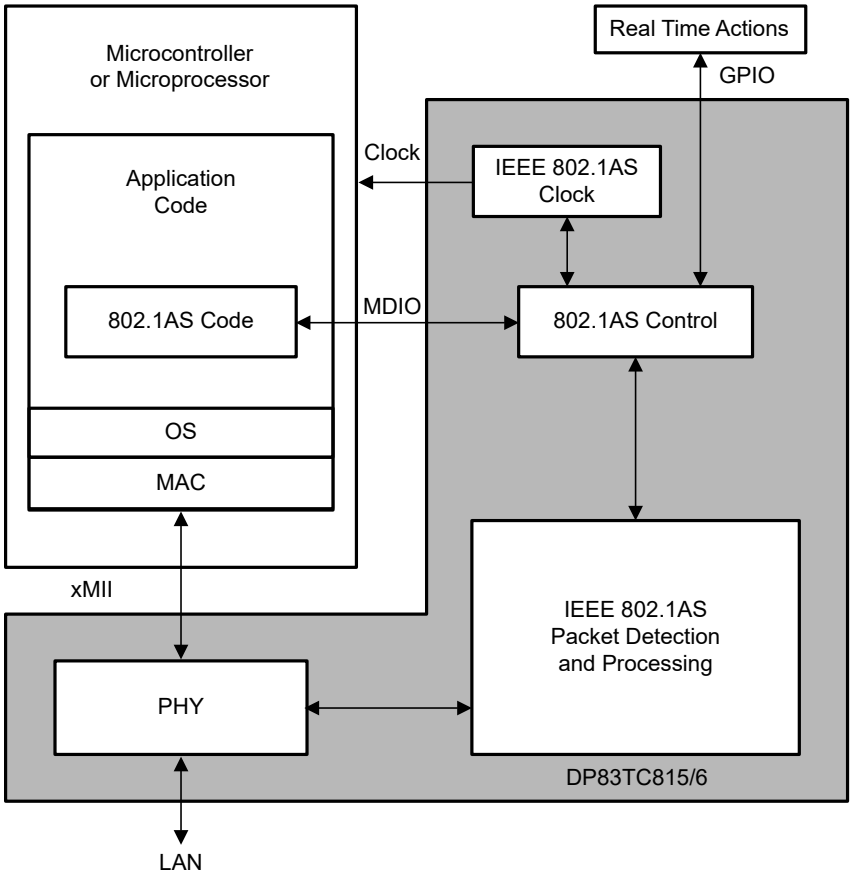


図 7-1. DP83TC815-Q1 PTP システム アプリケーション例

PTP の実装は、次の主要なファンクション ブロックで構成されています。

- IEEE802.1AS クロック:このブロックは、すべての PTP タイムスタンプ関連機能のタイムソースとして使用される調整可能なクロックを提供します。
- IEEE802.1AS PTP タイムスタンプ:このブロックは、タイムスタンプ機能とパケット変更機能を提供します。
- IEEE802.1AS クロックイベントと GPIO:このブロックは、入力イベントのタイムスタンプ機能を有効化し、クロック比較に基づく出力 / 割り込みステータスを出力するためのクロックイベントと GPIO 機能を備えています。
- IEEE802.1AS 割り込み:このブロックは、割り込み生成、マスキング、ステータス表示機能を備えています。
- IEEE802.1AS レジスタ:このブロックには、すべての構成、制御、およびステータス レジスタ関連の情報が含まれています。

Copyright © 2025 Texas Instruments Incorporated

IEEE802.1AS PTP の実装に使用されるレジスタ アドレスの範囲を以下に示します。

表 7-1. IEEE802.1AS PTP レジスタ アドレス

アドレス
0x0D00～0x0D0A
0x0D10～0x0D1D
0x0D20～0x0D2B
0x0D30～0x0D3F
0x0D40～0x0D4F
0x0D50～0x0D54
0x0DE0、0x0DF0

注

PTP を 0x0D00 レジスタで有効化する前、または PTP 関連のレジスタにアクセスする前に、レジスタ 0x05B7 のビット 5 を 0→1→0 の順にトグルする必要があります。さらに、復元された 200M または 100M クロックを PTP のリファレンスとして使用する場合は、レジスタ 0x05B7[5] を 1 に設定します。

IEEE802.1AS は、イーサネット ネットワーク上で時間を同期する時間同期プロトコルを提供します。これは、高精度時間プロトコル (PTP) と呼ばれることもしばしばあります。DP83TC815-Q1 は、3 つのタイムクリティカルな要素のハードウェアサポートにより、IEEE802.1AS 対応イーサネットアプリケーションをサポートします。

- IEEE802.1AS 同期クロック生成
- クロック同期用のパケット タイムスタンプ
- GPIO によるイベント トリガとタイムスタンプ

7.3.1.1 PTP クロックの構成

7.3.1.1.1 PTP 基準クロック

IEEE802.1AS クロックは、レジスタ 0xD27 で選択可能な以下の異なるリファレンス クロックで実行できます

1. PLL からの 250MHz / 125MHz
2. MDI データからの 200MHz / 100MHz 復元クロック
3. 外部基準クロック
4. 分数 (Frac) PLL (PTP_PLL) からのクロック出力

PTP アプリケーションでは、IEEE802.1AS タイマを 250 MHz の PLL クロックまたは 200MHz の回復クロックで動作させることが推奨されています。Frac PLL からのクロック出力は、GPIO 上で IEEE802.1AS に同期したクロック出力が必要な場合にのみ使用することが推奨されています。

7.3.1.1.2 PTP 同期クロック (ウォール クロック)

DP83TC815-Q1 の PTP 時間クロックは、すべての IEEE802.1AS PTP 関連機能の読み取り可能または書き込み可能なタイムソースです。PTP クロックは、高精度の発振器と、時間を秒およびナノ秒単位で表すカウンタです。

クロックは秒 (32 ビット フィールド) とナノ秒 (30 ビット フィールド) で構成されます。ナノ秒カウンタが 1 x 10^9 に達すると、ナノ秒カウンタは 0 に戻り、秒カウンタは 1 だけインクリメントします。さらに、時間調整用の単位の分数秒 (2^{-32} ns 未満) カウンタが利用できます。PTP_RATE_DIR は、デバイスがリファレンス クロックより高い周波数で動作するか、低い周波数で動作するかを制御します。クロック カウンタのサイクルごとのインクリメント値は、使用される基準クロックによって異なり、PTP リファレンスクロックに対応する周期 (ns 単位) に等しくなります。Frac PLL は、非整数の同期クロック出力を生成するために使用されます。Frac PLL を使用すると、外部 VCXO が不要になります。

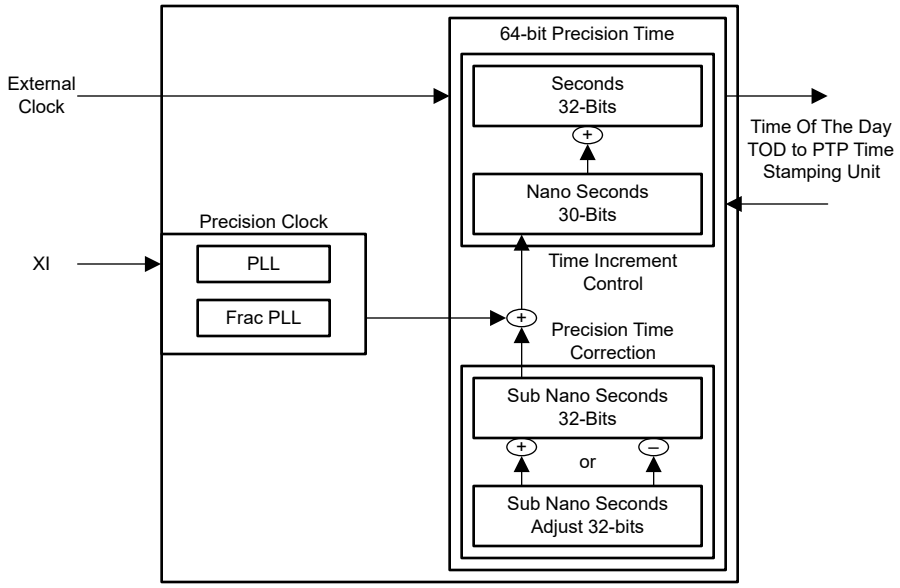


図 7-2. PTP タイムスタンプ - クロック

クロックは負の時刻値をサポートしていません。システムで負の時刻値が必要な場合は、ホスト ソフトウェア側で PHY クロック時刻を実際の時刻に変換する処理を行う必要があります。

また、このクロックは仕様で定義されている秒フィールドの上位 16 ビットをサポートしていません (バージョン 2 では秒フィールドが 48 ビットと定義されています)。上位 16 ビットの値は 0 より大きい必要がある場合は、ホスト ソフトウェアで処理する必要があります。秒フィールドのロールオーバーは約 136 年に一度しか発生しないため、ホスト ソフトウェアへの負担は最小限に抑えられます。

7.3.1.1.2.1 PTP 時間の読み取りまたは書き込み

PTP 時間の読み取りまたは書き込みは、同じレジスタ PTP_TDR を使用して行われます。時間値は 62 ビットなので、レジスタを 4 回読み出し / 書き込みして、時間値全体にアクセスする必要があります。PTP タイム データ レジスタを介して設定を行う場合、4 つの時間フィールドすべてを PTP_TDR に書き込んだ後、PTP コントロール レジスタを介して「PTP クロック読み取り」コマンドを発行します。PTP コントロール レジスタで 「PTP クロック読み取り」コマンド を設定した後、PTP_TDR レジスタから 4 つの時間フィールドを順に読み取ることで、時刻値を取得することもできます。

時刻値を書き込むには、次の手順を同じ順序で行う必要があります
1. Clock_time_ns[15:0] を PTP_TDR に書き込みます
2. Clock_time_ns[31:16] を PTP_TDR に書き込みます
3. Clock_time_sec[15:0] を PTP_TDR に書き込みます
4. Clock_time_sec[31:16] を PTP_TDR に書き込みます
5. 「PTP クロックを読み取り」ビットをセットして PTP _CTL に書き込みます

時間値を読み取るには、次の手順を同じ順序で実行する必要があります
1. 「PTP クロックの読み取り」ビットをセットして、PTP _CTL に書き込みます
2. Clock_time_ns[15:0] を PTP_TDR から読み取ります
3. Clock_time_ns[31:16] を PTP_TDR から読み取ります
4. Clock_time_sec[15:0] を PTP_TDR から読み取ります
5. Clock_time_sec[31:16] を PTP_TDR から読み取ります

7.3.1.1.2.2 PTP クロック初期化

デバイスの電源投入時のソフトウェア初期化中に、リーダー クロックと同期する準備として PTP クロックを初期化します。IEEE802.1AS 機能をイネーブルにして正常な動作を可能にする前に、PTP_CLKSRC レジスタを構成する必要があります

Copyright © 2025 Texas Instruments Incorporated

す。初回の同期試行時には、システム タイム クロックが PTP リーダー クロックから多少ずれている可能性があるため、クロックを実際の時刻に近づけるにはステップタイム調整が必要になることが多いです。その後、システム タイムクロックがリーダー クロックにほぼ同期している場合は、連続時間調整方式または一時的時間調整方式を使用するのが最適オプションです。

7.3.1.1.2.3 PTP クロック調整

このセクションでは、クロック時間の値を更新するために使用可能なオプションについて説明します。DP83TC815-Q1 には、同期プロトコルの結果に基づいて、IEEE802.1AS クロックを更新するためのいくつかのメカニズムがあります:

- 直接読み取り / 書き込み可能 (時刻を直接設定または読み取り)
- 加算 / 減算による調整 (ステップ時間調整)
- 周波数スケーリング可能 (連続時間調整)
- 一時的な周波数制御 (一時的な時間調整)

直接読み取り / 書き込み可能 - システムの時間クロックを直接値に設定するには、クロック レジスタ (PTP_TDR) に新しい時間を設定します。クロック / タイマの初期設定では、時刻値を直接書き込む必要があります。

加算 / 減算によって調整可能- 時間は、現在の時間値に値を加算 / 減算することによって調整することもできます。値を加算するには、PTP_TDR レジスタに値を書き込む必要があります。値を減算する場合は、秒フィールドおよびナノ秒フィールドの両方に 32 ビットの 2 の補数表現を使用して、PTP_TDR レジスタに書き込むことができます。以下のレジスタを加算 / 減算するには、同じ順序で書き込む必要があります

1. Clock_time_ns[15:0] を PTP_TDR に書き込みます
2. Clock_time_ns[31:16] を PTP_TDR に書き込みます
3. Clock_time_sec[15:0] を PTP_TDR に書き込みます
4. Clock_time_sec[31:16] を PTP_TDR に書き込みます
5. 「ステップ PTP クロック」ビットをセットして PTP _CTL に書き込みます

周波数スケーラブル - IEEE802.1AS PTP クロックに対して連続時間調整を実行するようにシステムを設定できます。リーダーの周波数と一致するように、レジスタ制御を使用して周波数 (クロック / タイマ レート) を調整できます。これは、**恒久的なレート調整とも呼ばれます。**レート調整値をプログラムすることで、調整された周波数値で動作するようにクロックをプログラムできます。レート調整により、基準クロック サイクルごとに 2^{-32} ns のオーダーで補正できます。

- **レート調整** - レート調整値をプログラミングすることで、調整された周波数値で動作するようにクロックをプログラムできます。レート調整により、基準クロック サイクルごとに 2^{-32} ns のオーダーで補正できます。周波数調整により、クロックは時間値を段階的に変更するのではなく、経時的にオフセットを補正できるため、ステップ調整によって生じる可能性のある副作用を回避できます。

一時的な周波数 (時間) 制御: 修正された周波数で一定時間実行することにより、時間補正を可能にします。これは、**テンポラリ レート調整**とも呼ばれます。クロックは、レート調整値とその継続時間を設定することで、一時的に調整された周波数で動作するようにプログラムできます。レート調整により、基準クロック サイクルごとに 2^{-32} ns のオーダーで補正できます。周波数調整により、クロックは時間値を段階的に変更するのではなく、経時的にオフセットを補正できるため、ステップ調整によって生じる可能性のある副作用を回避できます。クロックは、レート調整の継続時間を指定することで、一時的に調整された周波数で動作するようにプログラムすることもできます。

同期プロトコルの結果に基づいて、PHY の IEEE802.1AS クロックを更新するために、いくつかのメカニズムを使用できます。クロック値の更新方法は、時間値の差によって異なる場合があります。たとえば、初回の同期試行時にはクロックの差が非常に大きい場合があり、その場合はステップ調整または直接時刻設定が必要になります。その後、クロックの差がごく小さい場合は、一時的なレート調整方式を使用するのが最適です。

7.3.1.1.2.4 PTP クロック出力

DP83TC815-Q1 には、外部デバイスで使用するための同期クロック出力信号があります。出力クロック信号には、基準クロックを n で分周した任意の周波数を使用できます (n は 2 ～ 255 の範囲の整数です)。これにより、使用する基準クロックが 250MHz の場合、125MHz から 980.4kHz までの公称周波数が提供されます。

同期クロック出力は、使用される PTP 基準クロックが PTP_PLL の場合にのみサポートされます。PTP PLL の周波数はプログラム可能です。

クロック出力信号の周波数は、PTP_COC レジスタによって制御されます。出力 GPIO は、CLKOUT_MUX_CTL レジスタによって制御されます。出力クロック信号は、PTP_RATEH および PTP_RATEL レジスタ内のレート情報を使用して生成されるため、デバイスの IEEE802.1AS クロック時刻に対して高い周波数精度を持ちます。IEEE802.1AS クロック時間のステップ調整は、802.1AS クロック出力信号に正確に表現することはできないことに注意してください。

7.3.1.1.2.4.1 1 秒あたり 1 パルス (PPS) 出力

このデバイスは、周期モードのトリガ機能を使用して PPS 信号を出力するように設定できます。50% のデューティ サイクルが許容可能な場合は、いずれかのトリガを使用できます。PPS 信号が他のデューティ サイクル (たとえば 200ms の High 時間) を必要とする場合は、Trigger0 または Trigger1 を使用する必要があります。トリガの使用方法については、以降のセクションで詳しく説明します。

7.3.1.1.3 PTP 時間レジスタ

表 7-2. PTP 制御および時間レジスタ

レジスタ名	レジスタ アドレス
PTP 制御レジスタ (PTP_CTL)	0x0D00
PTP 時間データ レジスタ (PTP_TDR)	0x0D01
PTP クロック ソース レジスタ (PTP_CLKSRC)	0x0D27
PTP デバッグ選択 (PTP_DEBUG_SEL)	0x0DF0

表 7-3. PTP 時間調整およびクロック出力制御レジスタ

レジスタ名	レジスタ アドレス
PTP 一時レート持続時間 Low レジスタ (PTP_TRDL)	0x0D1A
PTP 一時レート期間 High レジスタ (PTP_TRDH)	0x0D1B
PTP レート Low レジスタ (PTP_RATEL)	0x0D04
PTP レート High レジスタ (PTP_RATEH)	0x0D05
ベース周波数制御 (FREQ_CTL_1)	0x0D35
ベース周波数制御 (FREQ_CTL_2)	0x0D36
スケジューラ制御 (SCH_CTL_1)	0x0D33
スケジューラ制御 (SCH_CTL_2)	0x0D34
PTP クロック出力制御レジスタ (PTP_COC)	0x0D20
CLKOUT 多重化制御 (CLKOUT_MUX_CTL)	0x0DA8

7.3.1.2 パケットのタイムスタンプ

このセクションでは、以下の内容について説明します:

- クロック オプションと動作モードの同期を使用可能
- IEEE802.1AS 送信パケット パーサーおよびタイムスタンプ ユニット
- IEEE802.1AS 受信パケット パーサーおよびタイムスタンプ ユニット

7.3.1.2.1 送信 (出力) パケット パーサーおよびタイムスタンプ

IEEE802.1AS PTP 送信パーサーは、送信パケット データを監視して IEEE802.1AS イベント メッセージを検出します。送信パーサーは、レイヤ 2 イーサネット パケットまたは PTP VLAN パケットで直接転送される PTP イベント メッセージを検出できます。PTP イベント メッセージが検出されると、デバイスは送信タイムスタンプをキャプチャし、処理のためのタイムスタンプをホスト (MAC) に提供します。PTP イベント ベースのフィルタリングに加えて、特定のドメイン番号を持つ PTP イベント フレームをフィルタリングおよびタイムスタンプするオプションもあります。

Copyright © 2025 Texas Instruments Incorporated

ホスト (MAC) はパケット転送の順序を認識するため、タイムスタンプだけが記録されます (シーケンス番号やその他の情報を記録する必要はありません)。必要に応じて、このデバイスは PTP イベント メッセージのオクテット 20～29 に対して 16 ビットの SequenceId、4 ビットの messageType フィールドを記録し、さらに 12 ビットのハッシュ値を生成するオプションを備えています。このデバイスは、4 つのタイムスタンプをバッファできます。

有効化されている場合、送信タイムスタンプ準備完了時に割り込みを生成できます。

ワンステップ動作:

場合によっては、トランスミッタをワンステップ モードで動作するように設定できます。同期メッセージに対して、ワンステップ デバイスは送信パケット内にタイムスタンプ情報を自動的に挿入できます。これにより、ホスト (MAC) がタイムスタンプを読み取ってフォローアップ メッセージを送信する必要がなくなります。

7.3.1.2.2 受信 (入力) パケット パーサーおよびタイムスタンプ

IEEE802.1AS/1588v2 受信パーサーは、受信パケット データを監視し、IEEE1588 バージョン 1 およびバージョン 2 イベント メッセージを検出します。受信パーサーは、イーサネット パケットで直接転送される PTP イベント メッセージを検出できます。PTP イベントメッセージを検出すると、デバイスは受信タイムスタンプを取得し、その値をホスト (MAC) に提供します。タイム スタンプに加えて、デバイスは PTP イベント メッセージのオクテット 20～29 に対して 16 ビットの SequenceId、4 ビットの messageType フィールドを記録し、12 ビットのハッシュ値を生成します。このデバイスは、4 つのタイムスタンプをバッファできます。

有効化されている場合、受信タイムスタンプ準備完了時に割り込みが生成されます。

受信タイムスタンプの挿入:

DP83TC815-Q1 は、受信パケットにタイムスタンプを挿入することで、ホスト (MAC) にタイムスタンプを送信できます。これにより、タイムスタンプを正しいパケットに一致させることなく、簡単な方法でパケットをソフトウェアに配信できます。また、シリアル マネージメント インターフェイスから受信タイムスタンプを読み取る必要もありません。

7.3.1.2.3 PTP 送信および受信タイムスタンプ レジスタ

表 7-4. PTP 送信および受信タイムスタンプ レジスタ

レジスタ名	レジスタ アドレス
PTP 送信構成レジスタ 0 (PTP_TXCFG0)	0x0D12
PTP 送信構成レジスタ 1 (PTP_TXCFG1)	0x0D13
PTP 受信構成レジスタ 0 (PTP_RXCFG0)	0x0D15
受信構成レジスタ #1 (PTP_RXCFG1)	0x0D16
PTP 受信構成レジスタ 2 (PTP_RXCFG2)	0x0D17
PTP 受信構成レジスタ 3 (PTP_RXCFG3)	0x0D18
PTP 受信構成レジスタ 4 (PTP_RXCFG4)	0x0D19
イベント タイムスタンプ保存構成 (PTP_EVNT_TSU_CFG)	0x0D1C
PTP 送信タイムスタンプ レジスタ (PTP_TXTS)	0x0D08
PTP 受信タイムスタンプ レジスタ (PTP_RXTS)	0x0D09
PTP オフセット レジスタ (PTP_OFF)	0x0D29
PTP 受信ハッシュ レジスタ (PTP_RXHASH)	0x0D2B
PTP イーサネット タイプ レジスタ (PTP_ETR)	0x0D28
PHY ステータス フレーム構成レジスタ 0 (PSF_CFG0)	0x0D14
PHY ステータス フレーム構成レジスタ 1 (PSF_CFG1)	0x0D21
PHY ステータス フレーム構成レジスタ 2 (PSF_CFG2)	0x0D22
PHY ステータス フレーム構成レジスタ 3 (PSF_CFG3)	0x0D23
PHY ステータス フレーム構成レジスタ 4 (PTP_PKTSTS4)	0x0D24
PTP ONESTEP オフセット レジスタ (PTP ONESTEP_OFF)	0x0D40

表 7-4. PTP 送信および受信タイムスタンプ レジスタ (続き)

レジスタ名	レジスタ アドレス
PTP ドメイン フィルタ制御	0x0D49

7.3.1.3 イベント トリガとタイムスタンプ

このセクションでは、IEEE 802.1AS PTP のイベント トリガおよびイベント キャプチャ構成を実装するために使用される入出力機能について説明します。

7.3.1.3.1 イベント トリガ (出力)

DP83TC815-Q1 は、IEEE802.1AS 時間値に基づいて出力ピンとして構成された GPIO でトリガ信号を生成するようにプログラムできます。各トリガは、プログラム可能な幅の 1 つのパルスであるワンタイムの立ち上がりエッジまたは立ち下がりエッジを生成するように設定できます。DP83TC815-Q1 は、周期的な出力信号の生成にも使用できます。

各トリガに対して、ホスト (MAC) は目的の GPIO とトリガ発生時間を指定します。内部 PTP クロックが、プログラムされたトリガ起動時間と一致したときに生成されます。

このデバイスは、いずれかの GPIO 信号ピンに出力できる、最大 8 つのトリガ信号をサポートしています。1 つの GPIO に複数のトリガを割り当てることで、より複雑な波形 (つまり、可変幅のパルスシーケンス) を生成できます。トリガ信号は OR 結合されて、結合された信号を形成します。トリガは、PTP トリガ構成レジスタを使用して設定され、PTP 制御レジスタによって有効になります。トリガ時間と幅の設定は、PTP 制御および時間データ レジスタにより制御されます。各トリガは、完了時またはエラー時にステータスを生成するようにプログラムできます。

DP83TC815-Q1 は、トリガ機能を使用してパルス / 秒 (PPS) 信号を出力するようにプログラムできます。

7.3.1.3.1.1 初期化をトリガ

トリガを初期化するには、適切な PTP トリガ構成レジスタを使用してトリガ構成を設定できます。トリガーを設定するには、次の手順を実行します

1. トリガの「トリガ選択」設定とともに、PTP 制御レジスタ (PTP_CTL) の「トリガ読み込み」ビットを設定します。これにより、トリガが以前に有効になっていた場合、トリガが無効になります。
2. PTP_TDR への書き込み: Start_time_ns[15:0]
3. PTP_TDR への書き込み:初期状態、ロールオーバ待機、Start_time_ns[29:16] (初期状態とは、トリガが開始される前の GPIO の状態を指します) (ロールオーバ待機ビットが設定されている場合、このビットは、クロックタイムの秒フィールドが 0xFFFF_FFFF から 0 にロールオーバするまでトリガが有効化されないことを示します。)
4. PTP_TDR への書き込み: Start_time_sec[15:0]
5. PTP_TDR への書き込み:Start_time_sec[31:16]
6. PTP_TDR への書き込み: Pulsewidth[15:0]
7. PTP_TDR への書き込み:Pulsewidth[31:16]
8. PTP_TDR への書き込み:Pulsewidth2[15:0]
9. PTP_TDR への書き込み:Pulsewidth2[31:16]
10. PTP_CTL レジスタの「トリガ イネーブル」ビットと、トリガの「トリガ選択」設定を設定します

エッジ型信号の場合、Pulsewidth2 は 16 ビット秒フィールドとして解釈され、Pulsewidth1 は 30 ビット ナノ秒フィールドです。

トリガ 0 および 1 を単発または周期パルス信号として使用する場合、Pulsewidth が最初のパルス幅を制御し、Pulsewidth2 の値が次のパルス幅を制御します (全周期は Pulsewidth + Pulsewidth2 となります)。Pulsewidth および Pulsewidth2 では、ビット [31:30] が秒フィールド、ビット [29:0] がナノ秒フィールドを表します。

周期モードでの他のすべてのトリガでは、High パルス幅と Low パルス幅が同じ (周期はパルス幅の 2 倍) であり、Pulsewidth2 は使用されません。Pulsewidth では、ビット [31:30] が秒フィールド、ビット [29:0] がナノ秒フィールドを表します。

Copyright © 2025 Texas Instruments Incorporated

適切なフィールドがすべて書き込まれている場合は、手順 10 は必要ありません。フィールドが前の設定と変更されない場合、PTP_TDR レジスタへの後者の書き込みはスキップでき、手順 10 を除外できます。

トリガ制御設定の読み取りは、これらの値を書き込むプロセスと同様です。

1. トリガの「トリガ選択」設定とともに、PTP 制御レジスタ (PTP_CTL) の「トリガ読み取り」ビットを設定します。
2. PTP_TDR から、上記に書き込んだ順序でフィールドを読み取ります。

周期信号の場合、読み出される時刻値は開始トリガ時刻ではなく、次に設定されたトリガ時刻である点に注意してください (両者が同じ値である場合もあれば、異なる場合もあります)。この機能は、診断の目的にのみ不可欠です。

7.3.1.3.2 イベント タイムスタンプ (入力)

DP83TC815-Q1 は、入力信号を監視することで、イベントをタイムスタンプするようにプログラムできます。このイベントは、立ち上がりエッジ、立ち下がりエッジ、またはいずれかを監視できます。イベント タイムスタンプ ユニットは、最大 8 つのイベントを監視でき、いずれかの GPIO 信号ピンに設定できます。PTP イベント タイムスタンプはキューに格納され、最大 8 つのタイムスタンプを保存できます。イベント タイムスタンプが利用可能な場合、デバイスは PTP ステータス レジスタの「イベント準備完了」ビットを設定します。

PTP_ESTS は、利用可能なイベント タイムスタンプに関する詳細情報を提供します。これには、イベント番号、立ち上がり / 立ち下がりの方向、さらにデバイスのイベント キューのオーバーフローによって見逃されたイベントの有無などが含まれます。入力経路および同期遅延を補償するため、イベント タイムスタンプ値は **14ns だけ補正** (IEEE802.1AS リファレンス クロック 250MHz の周期の 3 倍 + 2ns) する必要があります。補償される時間値は、IEEE802.1AS 基準クロック周波数によって異なります。調整時間は、プログラムされたリファレンス周波数によって異なり、ホストが選択したクロックに基づいて調整する必要があります。イベント タイムスタンプ ユニットは、PTP イベント構成レジスタ (PTP_EVNT) によって設定されます。GPIO ピン上の外部イベント入力は、4ns (または 8ns) の分解能で監視およびタイムスタンプ記録が可能です。PTP ステータス レジスタでイベント割り込みがイネーブルになっている場合、イベントが検出されると割り込みが生成されます。

各イベントモニタは、シングル イベント キャプチャ モードに設定できます。このモードでは、イベント モニタは単一のイベント タイムスタンプをキャプチャします。

7.3.1.3.2.1 タイムスタンプの保存と読み取り

PTP イベント タイムスタンプはキューに格納され、最大 8 つのタイムスタンプを保存できます。タイムスタンプ値は、ホストが PTP イベント データ レジスタ (PTP_EDATA) を介して読み取ることができます。イベント タイムスタンプを読み取るプロセスは次のとおりです:

1. PTP_ESTS を読み取り、イベント タイムスタンプが使用可能かどうかを確認します。
2. PTP_EDATA からの読み取り:拡張イベント ステータス [15:0] (このフィールドは、PTP_ESTS の “Multiple Events Detected” ビットが 1 の場合にのみ使用可能です)
3. PTP_EDATA からの読み取り: Timestamp_ns[15:0]
4. PTP_EDATA からの読み取り:Timestamp_ns[29:16] (上位 2 ビットは常に 0)
5. PTP_EDATA からの読み取り: Timestamp_sec[15:0]
6. PTP_EDATA からの読み取り:Timestamp_sec[31:16]
7. PTP_ESTS = 0 になるまで、手順 1 ～ 6 を繰り返します

必要に応じて、ソフトウェアは「PTP_ESTS: Event Timestamp Change Length」フィールドの値に基づいて、タイムスタンプのすべてまたは一部の読み取りをスキップできます。

7.3.1.3.3 イベント キャプチャおよび出力トリガ レジスタ

表 7-5. イベント キャプチャおよび出力トリガ レジスタ

レジスタ名	レジスタ アドレス
PTP トリガ構成レジスタ (PTP_TRIG)	0x0D10

表 7-5. イベント キャプチャおよび出力トリガ レジスタ (続き)

レジスタ名	レジスタ アドレス
PTP イベント構成レジスタ (PTP_EVNT)	0x0D11
PTP トリガ ステータス レジスタ (PTP_TSTS)	0x0D03
PTP イベント GPIO の選択 (PTP_EVENT_GPIO_SEL)	0x0D30
PTP イベント ステータス レジスタ (PTP_ESTS)	0x0D0A
PTP イベント データ レジスタ (PTP_EDATA):拡張イベント ステータスの場合	0x0D0B
PTP イベント データ レジスタ (PTP_EDATA):タイムスタンプのタイミング	0x0D0B
PTP ステータス レジスタ (PTP_STS)	0x0D02

7.3.1.4 PTP 割り込み

PTP モジュールは、デバイスの INT_N ピンを使用してシステムに割り込みを加えることができ、PHY からの他の割り込みと共有されます。代替手段として、GPIO (PTP_INTCTL) ピンを使用して、その他の PHY 割り込みとは別々に PTP 割り込みを生成するようにデバイスをプログラムすることもできます。

共有割り込みピンを使用:

ホスト (MAC) は INT_N ピンを使用でき、PTP ステータス レジスタ (PTP_STS) の割り込みイネーブルを使用して、どの PTP 機能が割り込みを生成するかを構成する必要があります。

GPIO ピンを使用:

割り込みに GPIO ピンを使用するには、ホスト (MAC) は割り込みに使用するため、GPIO ピンで PTP _INTCTL レジスタをプログラムする必要があります。この割り込みはアクティブ High 信号で、オープン ドレイン機能 (外部プルアップ抵抗を介して Low に駆動、High にプルアップ) として実装されています。また、ソフトウェアは、PTP ステータス レジスタ (PTP_STS) の割り込みイネーブルを使用して、どの PTP 機能が割り込みを生成するかを構成する必要もあります。このメカニズムでは、MISR の割り込みをチェックする必要がないため、PTP 割り込みをわずかに簡単に処理できます。

7.3.1.5 PTP I/O 構成

DP83TC815-Q1 には、一連の汎用入出力 (GPIO) ピンがあり、各種のアプリケーションのニーズを満たすように構成可能です。これらの GPIO ピンは、入力イベントの監視、出力パルスの生成、、または固有のシリアル ビット ストリームの出力に使用できます。

PTP アプリケーション用に構成した場合、GPIO は IEEE802.1AS PTP と緊密に連携して、高精度の時間クロックに同期した高精度のタイミング信号を生成および監視します。GPIO 出力ピンは、オンボードの高精度時間クロックによって保持される、特定の時間が発生したときに出力を開始するように構成できます。同様に、入力イベントの到着時刻を高精度タイムクロックに対して基準を取って取得および記録することができます。

PTP パケットのタイムスタンプ処理に加えて、GPIO 入力に基づいて IEEE802.1AS クロック値をクロック キャプチャ レジスタ群に保存することもできます。GPIO 出力ピンは、特定の時間構成が発生したときに出力を開始するように構成できます。LED ピンを GPIO として使用する場合、GPIO 機能を設定する前に LED 機能を無効化する必要があります。

注:IEEE802.1AS モジュールは最大 7 つの GPIO 信号をサポートし、詳細を以下の表にまとめます:

表 7-6. DP83TC815-Q1 IEEE802.1AS PTP 機能マッピング

フィールド	ピン	50 / 25MHz PTP 入力	PTP 同期クロック	PTP 割り込み	イベント トリガ	イベント キャプチャ
LED_0 / GPIO_0	35	あり		あり	あり	あり
LED_1 / GPIO_1	6			あり	あり	あり
CLKOUT/GPIO_2	16		あり	あり	あり	あり
GPIO_3	18		あり	あり	あり	あり

Copyright © 2025 Texas Instruments Incorporated

表 7-6. DP83TC815-Q1 IEEE802.1AS PTP 機能マッピング (続き)

フィールド	ピン	50 / 25MHz PTP 入力	PTP 同期クロック	PTP 割り込み	イベント トリガ	イベント キャプチャ
GPIO_4	19		あり	あり	あり	あり
GPIO_5	20	あり		あり	あり	あり
RX_ER/GPIO_6	14			あり	あり	あり

7.3.2 TC10 スリープ ウェークアップ

DP83TC815-Q1 は、TC-10 省電力機能を備えた 100BASE-T1 イーサネット PHY であり、以下の特長を備えています。

- Open Alliance TC10 準拠
- 7µA (標準値、27°C)、18µA (最大値、125°C) のスリープ電流
- イーサネット ネットワーク ウェークアップのウェークアップ転送機能
- 高速ウェークアップ
- Open Alliance TC1 の相互運用性と EMC に適合

このブロック図は、TC10 スリープ / ウェークアップ機能をサポートするために、DP83TC815-Q1 をシステム レベルで統合していることを示しています。

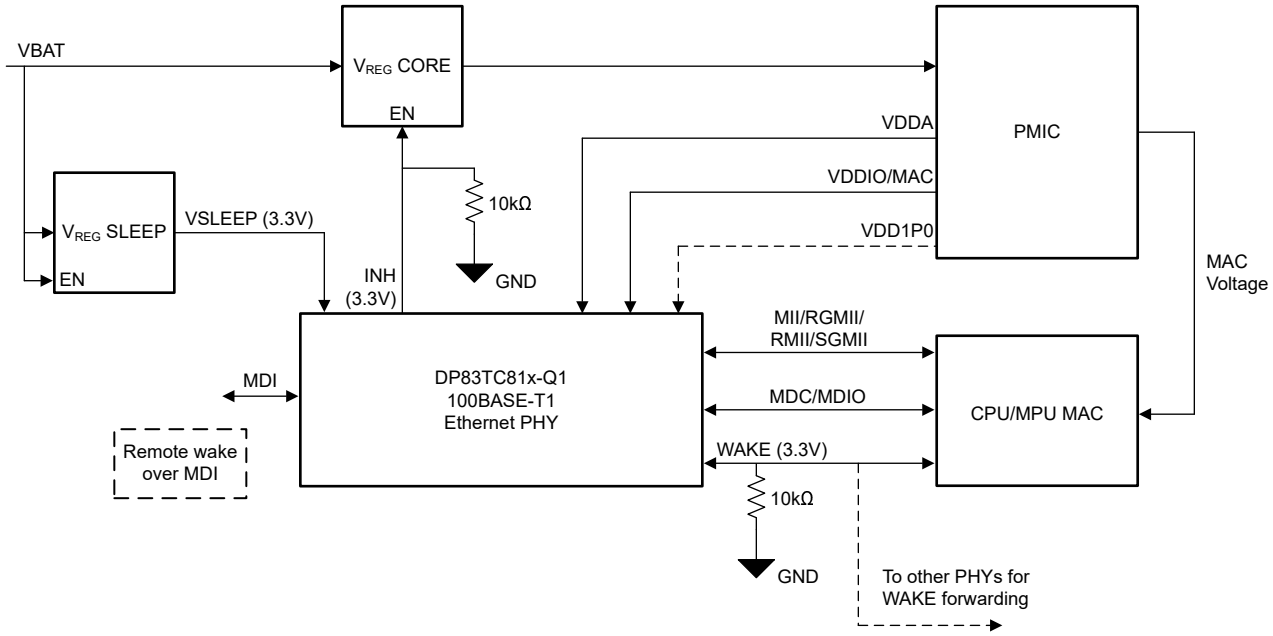


図 7-3. システム ブロック図

7.3.2.1 TC10 サポート用 PHY の機能

以下のセクションでは、TC10 をサポートする際のイーサネット PHY (DP83TC815-Q1) の主な機能について詳しく説明します。

7.3.2.1.1 スリープ モードからウェークアップ モードへの遷移

7.3.2.1.1.1 ローカル ウェーク検出

PHY をローカルでウェークアップ (ローカル ウェーク) するには、WAKE ピンに 40µs 以上の幅を持つパルスを印加する必要があります。WAKE ピンの PHY 内部の検出回路は、10µs より低い幅のすべてのパルスを除去し、40µs を超えるパ

ルスを確実に検出します。ローカル ウェークを検出するための PHY には、コア電源 (VDD1P0、VDDA、VDDIO/VDDMAC) は必要ありません。

ウェークアップ後、PHY はスリープ状態からウェークアップ モードへ移行し、INH 信号を High に引き上げます。

ローカル ウェークアップの場合、システムの一部はすでにアクティブであり、PHY は TC10 スリープ状態であると仮定します。たとえば、システムには、PHY の WAKE ピンを制御するマイコンをアクティブ モードに搭載できます。マイコンが TC10 スリープから PHY をウェークアップする場合、MCU は WAKE ピンを 3.3V に上げて WAKE パルスを送信します。

7.3.2.1.1.2 WUP の送受信

リンク パートナーをリモートでウェークアップするには、PHY は PAM3 シンボルの定義されたシーケンスを 1ms+/–0.3ms で送信する必要があります。デバイスが自動モードにストラップされており、RESET ピンがアサートされていない場合、ローカル ウェークアップ後に手動操作なしで WUP の送信が行われます。デバイスが管理モードにストラップされている場合、またはデバイスがリセット状態の場合、本デバイスが通常モードに遷移した後にのみ WUP が送信されます。

スリープ モードの間、PHY をスリープからウェークアップするために、リモート リンク パートナーは WUP を送信します。PHY は WUP を検出し、スリープ モードから機能モードに遷移します。WUP 検出のための PHY には、コア電源 (VDDA、VDDIO/VDDMAC、VDD1P0) は必要ありません。受信 WUP 信号は、IEEE802.3 で定義されている 100Base-T1 PMA 信号 PSD マスクに準拠している必要があります。

7.3.2.1.2 ウェーク転送

ウェーク転送とは、同じ WAKE ラインに接続された他の PHY を、いずれかの PHY がリモートでウェークアップした際に起こすための仕組みです。PHY が WUP (リモート ウェークアップ) を受信してスリープから復帰すると、同じウェーク ラインに接続された他の PHY を手動操作なしでウェークアップさせるために、WAKE ライン上に 40µs 以上の幅を持つパルスを送信します。

ウェークアップ転送は、特別な WUR シンボルを受信したときのアクティブ リンク中に PHY によって行うこともできます。***reg<0x018C> = 0x0080*** を書き込むことにより、1 つの PHY で WUR を開始できます。リンク パートナー PHY は、これらの WUR シンボルを受信すると、幅 40µs のウェーク パルスを転送します。

> **注**
> リンクアップなしで ***0x018C = 0x0080*** を書き込むと、リンクがアップした直後に PHY は WUR を開始します。

7.3.2.1.3 スリープ間ネゴシエーションへ移行

スリープ ネゴシエーションは、リンクアップを介して接続された 2 つの PHY のいずれかから開始できます。開始後、これらの PHY は両方ともネゴシエーションを実行し、スリープ状態にスムーズに移行します。

スリープ ネゴシエーションを開始するには、いずれかの PHY で ***reg<0x018C> = 0x0002*** を書き込みます (local sleep req)。

> **注**
> スリープは、PHY の間にアクティブなリンクが存在する場合にのみ開始できます。リンクアップなしで ***0x018C = 0x0002*** を設定すると、リンクがアップした直後に PHY はスリープを開始します。

ネゴシエーションで PHY が処理する状態について、以下で詳しく説明します。

Copyright © 2025 Texas Instruments Incorporated

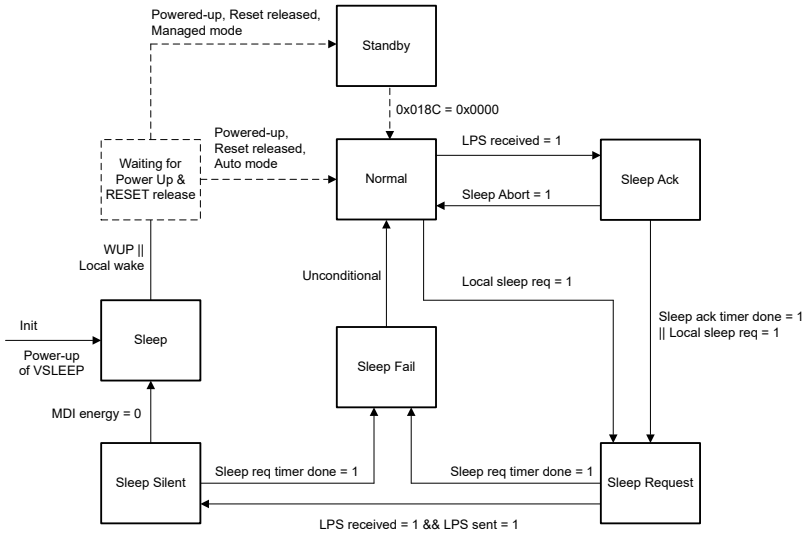


図 7-4. スリープ状態図

MAC/ コントローラの介入は、スリープを開始してスリープを中止するためにのみ必要です。その他のすべての状態遷移は、両方の PHY 間の相互動作によって行われ、外部からの操作は不要です。以下の説明は参考情報として示されています。

7.3.2.1.3.1 スリープ確認

PHY がリンク パートナーから LPS シンボルを受信すると、PHY は NORMAL 状態 (リンクアップ状態) からスリープ ACK 状態に遷移します。

この遷移中に、8ms (sleep_ack_timer) のタイマーが初期化され、割り込みが発生して、リンク パートナーがスリープを要求している MAC を示します。割り込み (LPS_int) はデフォルトでイネーブルになっています (***reg<0x0018>[0]= 1***)。

MAC は、以下によるスリープの中止を選択できます

- ***reg<0x001B> = 0x0001*** の書き込み (または)
- スリープを中止するために LED_1 の High パルスを駆動します (この機能はデフォルトでディスエーブルされており、***reg<0x001B> = 0x0002*** を設定することで、スリープ ネゴシエーションの前にイネーブルする必要があります)

MAC がスリープを中止すると、PHY は NORMAL 状態に戻ります。sleep_ack_timer が終了する前に MAC がスリープを中止しないように選択した場合、PHY はスリープ要求状態に遷移します。

7.3.2.1.3.2 スリープ要求

スリープを開始した PHY (ローカルで開始) は、NORMAL 状態からスリープ要求状態に遷移します。PHY がスリープ要求に遷移すると、16ms のタイマ (sleep_req_timer) が初期化され、LPS シンボルが送信されます (64 ビット以上)。その後、PHY はリンクパートナーが LPS シンボルを送り返すのを待ちます。リンク パートナーから LPS シンボルを送り返した後、PHY はスリープ サイレント状態に遷移します。sleep_req_timer が終了する前に LPS シンボルが受信されない場合、PHY はスリープ フェイル状態に遷移します。

スリープがリモートで開始される PHY は、スリープを中止しないように MAC が選択した場合、PHY は通常動作からスリープ ACK に遷移します。PHY がスリープ要求に遷移すると、16ms のタイマ (sleep_req_timer) が初期化され、LPS シンボルが送信されます (64 ビット以上)。LPS シンボルが送信された後、PHY はスリープ サイレント状態に遷移します。

7.3.2.1.3.3 スリープ サイレント

PHY はスリープ リクエスト状態からスリープ サイレント状態へ移行し、回線がサイレントになるのを待ちます。ラインがサイレントになると、PHY はスリープ サイレントからスリープ状態に遷移します。sleep_req_timer が停止する前に PHY がサイレントにならない場合 (PHY がスリープ要求状態に移行したときに 16ms タイマを初期化)。

7.3.2.1.3.4 スリープ失敗

PHY は、sleep_req_timer が経過する前に LPS シンボルを受信できない場合、または sleep_req_timer が経過する前にラインがサイレントでない場合、スリープ失敗状態に遷移します。つまり、PHY はスリープ要求条件が満たされなかったときにスリープ失敗に移行します。PHY がこの状態を実行すると、スリープ失敗割り込みフラグ (0x0018[13]) が設定されます。INT_N ピンでのこのフラグの表示は、0x0018[5] によって有効化できます。

この遷移後、PHY は無条件で通常状態に遷移します。

7.3.2.1.3.5 スリープ

ネゴシエーションが成功すると、PHY はスリープ状態に遷移します。スリープ モードでは、INH は High から Low に遷移します。最小限の消費電力を実現するため、コア電源 (VDD1P0、VDDA、VDDIO/VDDMAC) を遮断できます。単一電源モードでは、VDD1P0 は PHY の内部で遮断され、外部電源スイッチは不要です。

このスリープ状態では、PHY はローカル ウェイクまたはリモート ウェイクを待ち、最終的に通常状態に移行します。

初回の電源投入後、PHY は WAKE ピンまたは MDI ラインでアクティビティが検出されるまでスリープ状態で起動します。

注

このスリープ状態では、MAC/ コントローラによって制御されるすべてのピンを駆動せず、Hi-Z 状態のままにしておくことを TI は推奨しています。コア電源がカットオフされる前に、これらのピンを Hi-Z にする必要があります。スリープ モードでは、PHY に対して XI ピンの 25MHz クロックは不要であり、MAC/ コントローラから駆動しないように TI は推奨しています。PHY 内部の XI、XO ピンに接続された水晶発振器も、スリープ モード中は無効化されます。

7.3.2.1.3.6 強制スリープ

reg<0x0444> = 0x000C をプログラミングすることで、スリープ ネゴシエーションをバイパスすることで、PHY をスリープに設定できます。

この強制スリープを機能させるには、WAKE 信号を Low にし、MDI ラインをサイレント状態にする必要があります。MDI ラインをサイレントにするには、***0x523 = 0x0001*** を書き込みます。それ以外の場合、スリープが強制された直後に PHY は機能状態に遷移します。

7.3.2.2 スリープ アプリケーション用電源ネットワーク

DP83TC815-Q1 は、VDD1P0、VSLEEP、VDDA、VDDIO/VDDMAC の電源シーケンスに制限はありません。VLSEEP 電源ランプが完了した直後に、PHY のスリープ機能はアクティブになります。PHY のコア機能は、最後のコア電源の立ち上がりが完了してから 10ms 後、またはデバイスがスリープ状態から動作状態へ移行した後のいずれか遅い方の時点で有効になります。

コア電源は、スリープ モードで消費電流を最小限に抑える必要があるシステム内で遮断できます。単一電源モードでは、VDD1P0 は PHY の内部で遮断され、外部スイッチは不要です。

以下の図は、電源ネットワークのいくつかの構成例を示しています。

Copyright © 2025 Texas Instruments Incorporated

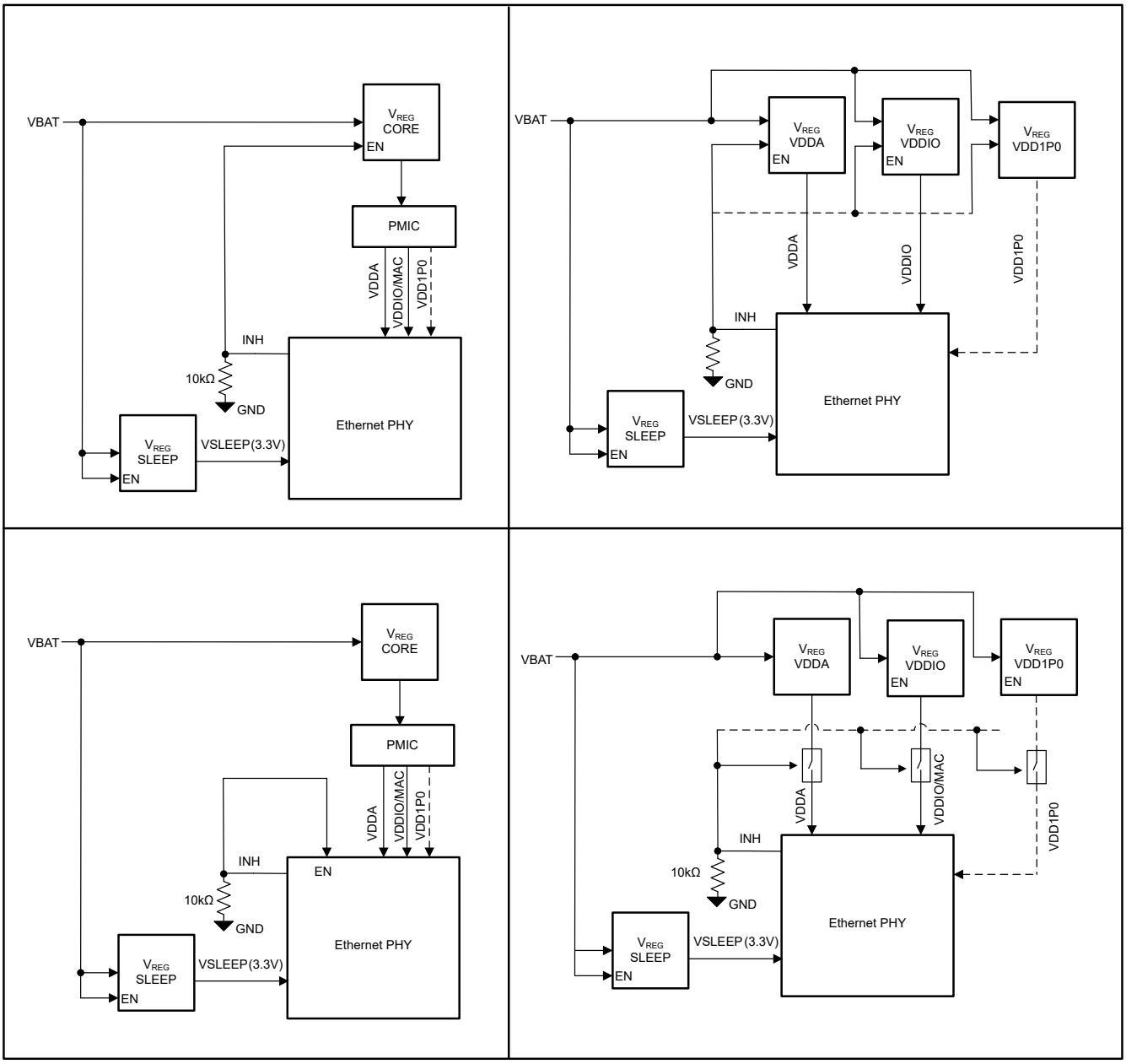


図 7-5. コア電源ネットワーク

電源が遮断されていないとしても、PHY は誤動作しません。ただし、コア電源からの PHY の消費電流は大きくなります。以下の表に、電源が遮断されたときと電源が損傷しているときのスリープ モードでの電流の比較を示します。

表 7-7. 消費電流の比較

S.NO	電源	単位	消費電流 (最大値)	
			電源の遮断	電源正常
1	VSLEEP	mA	0.018	0.018
2	VDDA	mA	0	50
3	VDDIO/VDDMAC (3.3V)	mA	0	23
4	合計電流	mA	0.018	73

多くの電源ネットワークでは、同一の PCB 上にある複数の PHY 間で PMIC を共有し、部品点数および基板面積を削減しています。

この場合、複数の PHY の INH ピンを相互に接続することができ、INH のオープン ドレイン構成により、この信号は無線 OR として機能します。電源は、すべての PHY がスリープ モードになった後にのみ遮断されます。そのため、PHY の 1 つまたは一部がスリープ状態にあるとしても、電源から大きな消費電流が発生します。この場合、スリープ状態の PHY の機能は影響を受けます。上記のケースで最小の消費電力を達成するには、両方の PHY について PMIC を分離する必要があります。

次の図は、2 つの PHY が同じ PMIC を共有する電源ネットワークの例の 1 つを示しています。

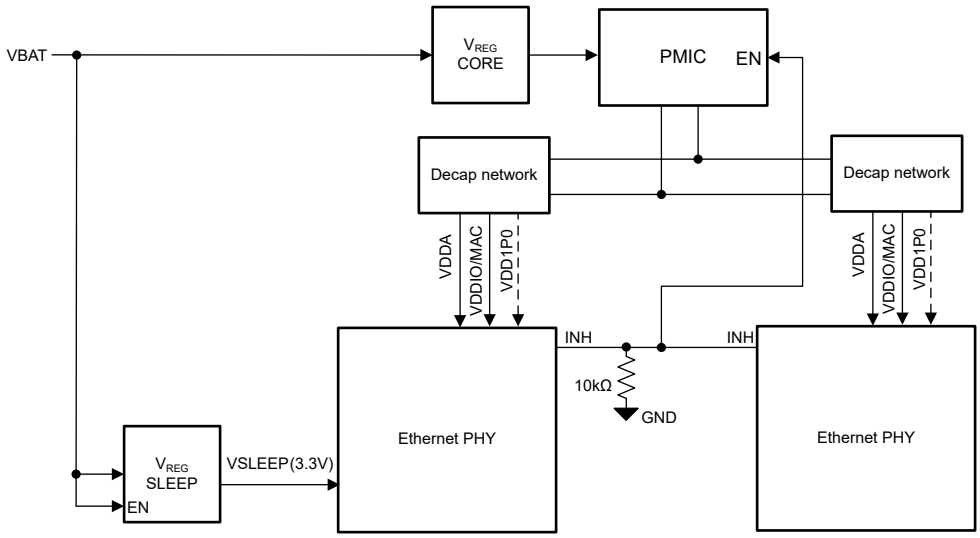


図 7-6. 共有コア電源を使用する電源ネットワーク

7.3.2.3 TC10 以外のアプリケーションの設定

TC10 スリープ / ウェークアップ機能を必要としないアプリケーションでは、DP83TC815-Q1 に次の構成を推奨します。

ハードウェアの構成

TC10 ディスエーブル ストラップを使用する場合でも、以下のハードウェア構成に従う必要があります。

- VSLEEP ピンは VDDA (または任意の 3.3V 電源) に接続できます。
- WAKE ピンは、対応する VSLEEP 電源接続に直接、または 10kΩ 未満の抵抗を介してプルアップする必要があります。WAKE ピンを VDDIO/VDDMAC 電源にプルアップすることはできません。
- INH はフローティングのままにしてもかまいません。

ソフトウェアの設定

TC10 機能を無効化するには、その他の初期化設定とともに ***reg<0x018B>[8] = 1*** を追加設定する必要があります。TC10 を無効にするために *TC10 ディスエーブル* ストラップが適切に取り付けられている場合は、この追加設定は不要です。

7.3.2.4 その他のスリープ機能

WAKE ピンによる WUR の開始

*ウェーク転送*セクションで説明したように、WUR はレジスタ書き込みから開始できます。レジスタ設定による方法のほかに、PHY の WAKE ピンに 40µs を超えるパルスを印加することで、PHY から WUR を開始することもできます。この機能を有効にするには、レジスタ <0x017F>[15] に 1 を設定する必要があります。

Copyright © 2025 Texas Instruments Incorporated

プログラム可能なウェークフォワード パルス幅

PHY が WUR を受信したときに WAKE ピンに転送されるパルスの幅はプログラマブルです。表 7-8 に、使用可能な各パルス幅オプションに必要なレジスタ書き込みを示します。

表 7-8. WUR ウェーク パルス幅

S. NO	パルス幅	レジスタ書き込み
1	50µs	0x0184[3:2] = 2'b00
2	500µs	0x0184[3:2] = 2'b01
3	2ms	0x0184[3:2] = 2'b10
4	20ms	0x0184[3:2] = 2'b11

デバイスが WUP を介してスリープからウェークアップする際に転送されるウェーク パルスはプログラム可能ではありません。

7.3.2.5 高速ウェークアップ

ECU の標準的なスリープウェーク サイクルでは、ウェークアップ後、SoC/ ホストはブートアップに長い時間を要します。リンクアップにレジスタをプログラムする必要がある PHY は、SoC がブートアップ フェーズを完了するまで、リンクアップ プロセスを開始しません。リンクが通信準備を完了するまでに、イーサネット PHY のリンクアップ プロセスは 100ms を要します。これにより、遅延は最大で加算されます。

DP83TC815-Q1 はカスタム高速ウェークアップ機能をサポートしており、ウェークアップから通信準備完了までの遅延時間を短縮します。下の図に、高速ウェークアップ機能ありとなしのタイミング差を示します。

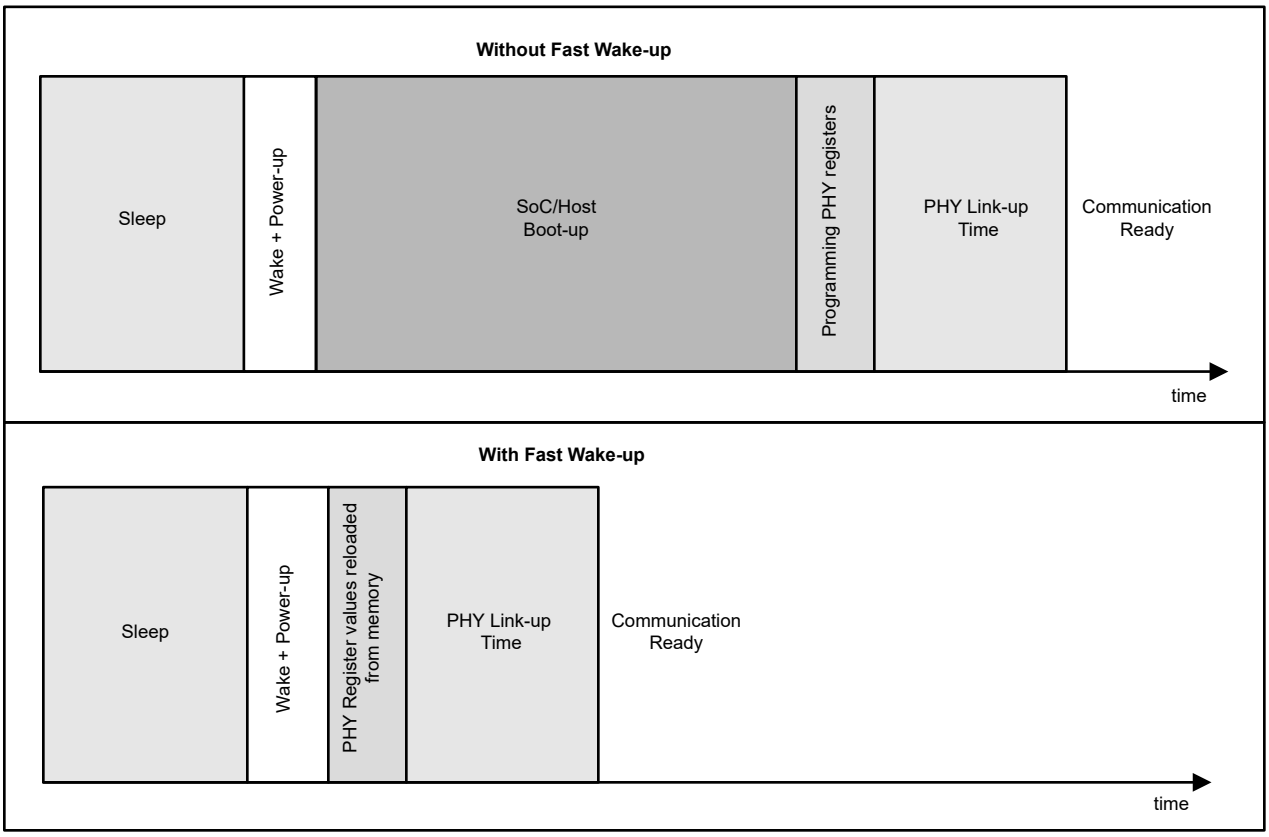


図 7-7. 高速ウェークアップのタイミング ブロック図

DP83TC815-Q1 には、スリープとウェーク サイクルの間でレジスタ情報を保存するために必要な、低消費電力のメモリが内蔵されています。メモリに保存されたレジスタ値は、PHY のウェークアップおよびコアのパワーアップ後に自動的にロードされます。SoC/ ホストはレジスタのプログラミングに必要ないため、PHY は独立して通信準備完了を可能にし、ウェークアップから通信準備完了までの遅延を大幅に短縮できます。

VSLEEP ドメインに内蔵されたメモリにより、スリープ状態の間にコア電源 (VDDA、VDD1P0、VDDMAC/VDDIO) がオフになっても情報がそのまま保たれます。このメモリは揮発性であり、VSLEEP 電源がオフになると消去されます。

注

レジスタ メモリは、ピン RESET のアサートでクリアされます。レジスタ メモリをクリアする意図がない限り、スリープウェイク サイクル中は RESET_N をアサートしないでください。

メモリに保存するレジスタ値は、コア電源がオンになったときに、少なくとも 1 回プログラムする必要があります。つまり、遅延の低減は 2 回目のスリープウェイク サイクルからのみ確認できるということです。以下の状態遷移図は、その動作を示しています。

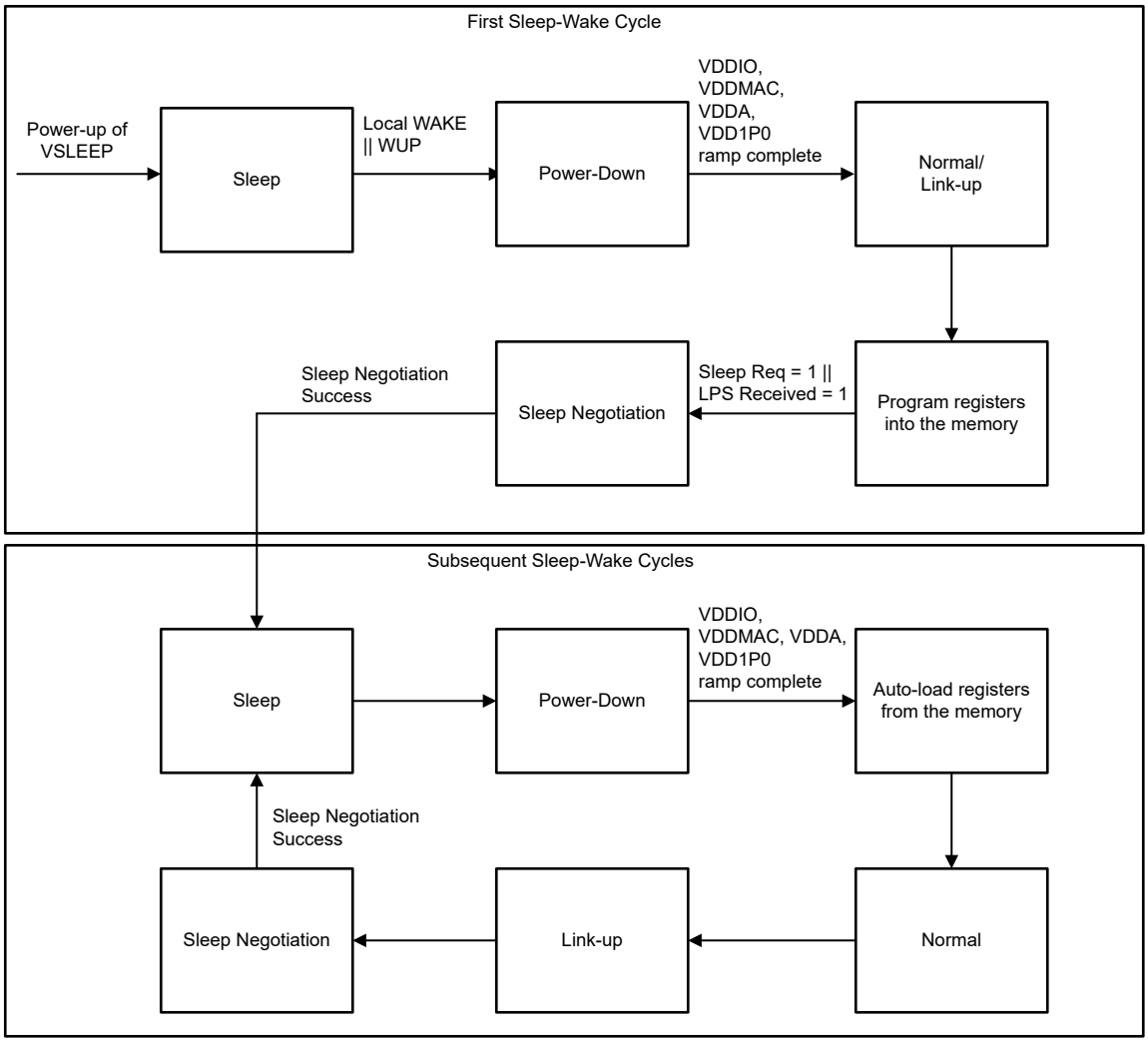


図 7-8. 高速ウェークアップ ステート マシン

レジスタをメモリに書き込む操作は、リンクアップ中、スタンバイモード中、通常動作中、または通信中など、次のスリープネゴシエーションが行われる前であればいつでも実行できます。メモリへのレジスタのプログラミングは、それ以降のスリープウェイク サイクル中でも実行できます。

Copyright © 2025 Texas Instruments Incorporated

メモリをプログラムする手順：

- 電源投入時の VSLEEP。PHY はスリープ状態に移行します。
- ローカルまたはリモート ウェイクアップを使用して、PHY をスリープからウェークアップさせます。
- パワーアップ コア電源 (VDDIO、VDDMAC、VDDA、VDD1P0)
- SoC を起動させます。
- PHY のプログラム レジスタと、PHY をリンクアップさせることができます。
- 以下のシーケンスに従って、メモリにレジスタをプログラムします (リンクアップまたは通信中の任意の時間)
  - 高速ウェークアップをイネーブルにするため、以下のレジスタを同じ順序でプログラムします
    - 0x523 = 0x0001
    - 0x01D2 = 0x0004
    - 0x01D2 = 0x0014
    - 0x01D2 = 0x0004
    - 少なくとも 200 µs 待機
    - 0x01BE = 0x0560
  - 保存する各レジスタ値に対して、次のシーケンスを実行します
    - 0x01BC = <格納するレジスタ アドレス>
    - 0x01BD = <格納するレジスタ データ>
    - 0x01BE = 0x0760
    - 少なくとも 200 µs 待機
- メモリが読み込まれ、次回のウェイク サイクルからレジスタ値が自動的に読み込まれます。

メモリを任意のタイミングでクリアするには、リセット ピンをアサートする (RESET_N = LOW) か、レジスタ 0x01BE に 0x0060 を書き込みます。

7.3.3 PPM モニタ

DP83TC815-Q1 には、任意の 2 つの内部クロックソース間、または外部クロック ソースと任意の内部クロック ソースの間の周波数オフセットを計算するための PPM モニタが内蔵されています。PPM モニタは連続監視を行う装置で、2 つのクロック源間の周波数オフセットをリアルタイムで提供します。

PPM モニタは基準クロックを取り込み、周波数オフセットをモニタ クロックと比較します。基準クロックとモニタ クロックの両方を次のオプションから選択できます。

- 25MHz XI クロック入力
- 200MHz の内部リーダ送信クロック
- 200MHz の MDI 復元クロック
- GPIO の外部クロック入力 (LED_0、GPIO_5)
- PTP トリガ 0 出力
- SGMII 回復クロック
- 250Mhz の PLL クロック

注

比較に使用される 2 つのクロック ソースのうち、周波数が高い方をモニタ クロックとして選択する必要があります。モニタ クロック周波数と基準クロック周波数の間の最大比は 5 にできます (比が小さいほど、精度が高くなります)。モニタ CLK の最小許容周波数は 12.5Mhz です。

次のソフトウェア シーケンスを使用して、周波数オフセットを読み取ることができます

- ステップ 1：0x01AF[13]= 0 に設定し、以下のステップで設定を構成する前に PPM モニタを無効にします
- ステップ 2：レジスタ フィールド 0x01AF[12:9]、0x01AF[8:5]、および 0x01AF[15:14] を設定して、基準クロックとモニタ クロックを選択します
- ステップ 3：ppm モニタのリフレッシュ期間 (1ms、10ms、100ms など) を選択します。モニタの精度は、リフレッシュ時間に応じて向上します。リフレッシュ期間は、モニタ クロック周期および基準クロック周期の倍数である必要があります。

- ステップ - 4：モニタ クロック カウントおよびリファレンス クロック カウントを設定
  - {0x01A4, 0x01A3} = リフレッシュ期間 / モニタ クロック周期
  - {0x01A6, 0x01A5} = リフレッシュ期間 / 基準クロック周期
- ステップ - 5：0x01AF[13] = 1 を設定して PPM モニタをイネーブル
- ステップ - 6：少なくとも 1 回のリフレッシュ期間が完了するまで待機し、0x01AF[4] に 1 を書き込んで ppm モニタ値をラッチします。その後、ステータスレジスタ {0x01AE, 0x01AD} を読み取ります
  - 0x01AE[15] = 0 の場合、ppm オフセットは負の値であり、0x01AE[15] = 1 の場合、ppm オフセットは正の値です。
  - モニタ クロックの PPM オフセット ={0x01AE[14:0]、0x01AD[15:0]}/ {0x01A4, 0x01A3}

例 - PPM モニタの設定：

12.5MHz 外部クロック (GPIO5 上)、25MHz の XI 入力クロック間の PPM オフセットの計算 (10ms のリフレッシュ期間)

表 7-9. PPM モニタを設定するためのシーケンスの例

ステップ	説明	プログラミング	注
1	PPM モニタをディスエーブル	0x01AF = 0x0000	
2	基準クロック (GPIO5 入力) およびモニタ クロック (XI クロック入力) の選択	0x01AF = 0xC800	PPM モニタとクロック選択を有効にするには、同じレジスタを使用します。レジスタの他のフィールドを上書きしないように注意する必要があります
3	リフレッシュ期間 = 10ms を選択します	-	
4	モニタ クロック カウントおよびリファレンス クロック カウントを設定	0x01A4 = 0x0003 0x01A3 = 0xD090 0x01A6 = 0x0001 0x01A5 = 0xE848	リフレッシュ期間 10ms の場合は、以下をカウントします • 25MHz は 250000 • 12.5MHz は 125000
5	PPM モニタをイネーブル	0x01AF = 0xE800	PPM モニタとクロック選択を有効にするには、同じレジスタを使用します。レジスタの他のフィールドを上書きしないように注意してください
6	1 回以上のリフレッシュ期間後に PPM 値をラッチします	0x01AF = 0xE810	PPM 値をラッチしてレジスタを読み取ります。
7	PPM オフセット値レジスタを読み取ります	Read 0x01AE、0x01AD を読み取り	12.5MHz + 0ppm の外部クロック、25MHz + 100ppm の XI 入力の場合、読み取り値は 0x01AE = 0x8000、0x01AD = 0x0019 です
8	PPM オフセットを計算し	-	PPM オフセット = 0x0019/0x0003D090 = 1e-4 (100ppm)

PPM モニタ ロック解除の割り込みの構成：

PPM モニタは、モニタ クロックの PPM が設定されたスレッショルドを超えた場合に、アンロック割り込みを発生させるためにも使用できます。

以下のソフトウェア シーケンスを使用して割り込みスレッショルドを設定できます

- ステップ 1：0x01AF[13]= 0 に設定し、以下のステップで設定を構成する前に PPM モニタを無効にします
- ステップ 2：割り込みを超える PPM スレッショルドを選択する必要があります
- ステップ 3：カウンタ レジスタ スレッショルドを計算
  - スレッショルド = クロック カウントを監視 (レジスタ 0x01A4、0x01A3 にロードされる値) * PPM スレッショルド
- ステップ - 4：値をレジスタに書き込み
  - 正の PPM スレッショルドをレジスタ {0x01A8, 0x01A7} に設定 = この値はモニタ クロック カウント × 割り込みが発生するスレッショルドを超える正の PPM

Copyright © 2025 Texas Instruments Incorporated

  – 負の PPM スレッショルドをレジスタ {0x01AA, 0x01A9} に設定 = この値はモニタ クロック カウント − (モニタ クロック カウント × 割り込みが発生するスレッショルドを超える負の PPM)
- ステップ - 5:(オプション) 0x0017 = 0x0008 を設定することにより INT_N ピンでの割り込み表示をイネーブルにします。ステータスは、INT_N での表示が有効になっているかどうかにかかわらず、レジスタ 0x0017 のビット 11 で利用できます
- ステップ - 6:0x01AF[13] = 1 を設定して PPM モニタをイネーブル
- ステップ - 7:少なくとも 1 つのリフレッシュ期間の間待機し、ステータスを 0x0017[11] から読み取ります

例 - PPM モニタ割り込みの設定：

表 7-9 の前の例で割り込みをイネーブルにし、PPM スレッショルドを 200ppm に選択

表 7-10. PPM モニタ割り込みを設定するためのシーケンス例

ステップ	説明	プログラミング	注
1	PPM モニタをディスエーブル	0x01AF[13] = 0	
2	PPM スレッショルドを選択	-	この例では 200ppm を選択
3	カウンタ レジスタ スレッショルドを計算	-	カウンタ レジスタ スレッショルド = 200*10^{-6}* 250000 = 50
4	プログラム クロック カウンタ レジスタのスレッショルド	0x01A8 = 0x0000 0x01A7 = 0x0032 0x01AA = 0x0003 0x01A9 = 0xD090	カウンタ スレッショルドをレジスタ {0x01A8, 0x01A7} および {0x01AA, 0x01A9} に設定
5	INT_N ピンの PPM 割り込み表示をイネーブル	0x0017 = 0x0008	
6	PPM モニタをイネーブル	0x01AF[13] =1	
7	少なくとも 1 つのリフレッシュ期間を待ち、ステータスを読み取ります	0x0017[11] を読み取り	

7.3.4 クロック ディザリング

クロックおよびデータ スイッチングからの放射を低減するため、DP83TC815-Q1 は内部システム クロックおよび MAC インターフェイス クロック、データ ピンでのクロック ディザリングをサポートしています。信号エネルギーを拡散し、放射を低減するために、クロックの周波数は時間とともに変調されます。図 7-9 に、三角波とのこぎり波のプロファイルを使用した、ディザリング クロック周波数の例と時間を示します。

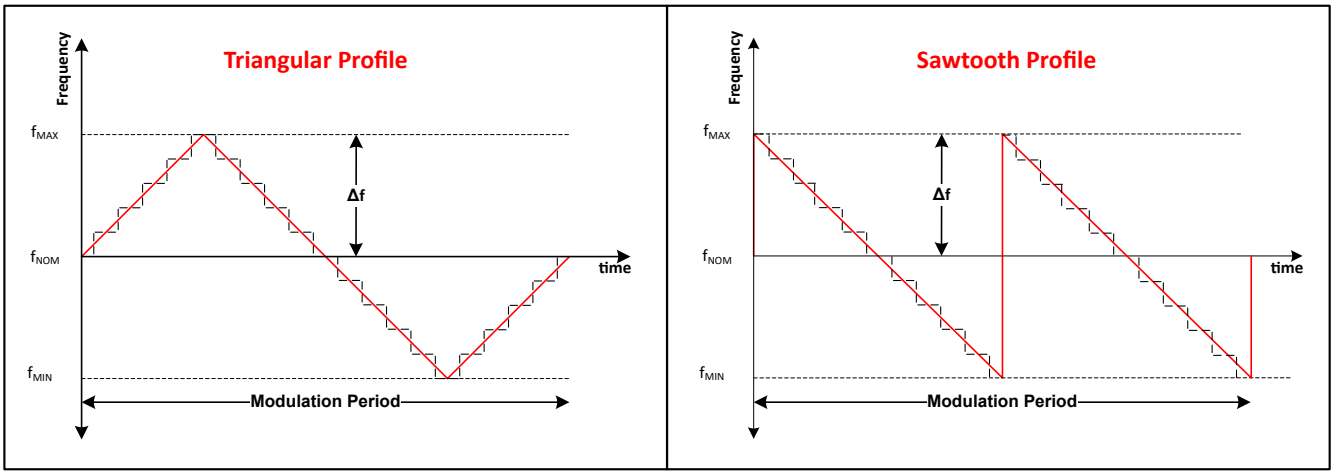


図 7-9. クロック ディザリング周波数プロファイル

ディザリングは、レジスタ 0x05A8 を使用して有効または無効にできます。独立したオプションで、内部コア クロックと MAC インターフェイスのディザリングをイネーブルすることができます。

注

注：MAC インターフェイス ディザリングは、MII、RMII、RGMII インターフェイスでのみ使用できます。SGMII MAC インターフェイス出力はディザリングできません。

EMC 性能を調整するには、DP83TC815-Q1 で以下のディザリング オプションを利用できます

- **ディザリング プロファイル：**
  - 三角形プロファイルとのこぎりプロファイルが使用できます
- **ディザリング変調周期：**平均 Δ(f) が 0 のサイクル時間。
  - 変調周期の増加に伴い、EMC の性能は改善が進んでいます。
- **ディザリング最大周波数オフセット (Δ(f))：**クロックの平均周波数に関して、最大周波数オフセット比率を設定します
  - Δ(f) が高いことで EMC 性能が向上します

上記のオプションは、レジスタ 0x05A1 および 0x05A8 を使用したプログラミングで利用できます

ディザリング MAC インターフェイスの影響：

クロックのディザリングにより、変調期間全体にわたって MAC インターフェイス信号のクロック周期が縮小および伸長します。これにより、パケット間のパケット間ギャップが縮小または拡大されます。MAC インターフェイスの基準クロックの出力クロック周期も、縮小または伸長します。表 7-11 に、パケット間ギャップと RGMII MAC インターフェイス周期の比較を示します。

表 7-11. ディザリングによる IPG およびクロック周期の変動

S.NO	Δf/f	ディザリング変調時間	25MHz サイクル スリップ	IPG の変化	25MHz クロック周期の変動
のこぎり波 / 三角波					
1	1%	8.33us	±1	±0.5 バイト	±0.4ns
2	2%	8.33us	±2	±1 バイト	±0.8ns
3	2%	16.66us	±4	±2 バイト	±0.8ns

MAC インターフェイス ディザリングをイネーブルにする場合は、イーサネット MAC から IPG の縮小およびクロック周期の変動に確実に準拠する必要があります。

7.3.5 出力スルーレ制御

DP83TC815-Q1 には、MAC インターフェイス出力ピンと GPIO のスルーレートを制御するオプションがあります。次の表に、これらの各出力ピンで利用可能なオプションを示します。

表 7-12. 出力スルー制御オプション

S.NO	ピン	スルーレート オプション	制御レジスタ
1	RX_CLK RX_D0 RX_D1 RX_D2 RX_D3 RX_CTRL RX_ER	スルーモード – 1 (最低速) スルーモード –2 スルーモード – 3 スルーモード –4 スルーモード – 5 スルーモード – 6 スルーモード – 7 (最高速)	0x0456[9:5]
2	TX_CLK		0x0456[4:0]
3	CLKOUT		0x0460[12:8]
4	GPIO_3		0x0461[4:0]
5	GPIO_4		0x0461[12:8]
6	LED_1		0x0460[4:0]

Copyright © 2025 Texas Instruments Incorporated

表 7-12. 出力スルー制御オプション (続き)

S.NO	ピン	スルーレート オプション	制御レジスタ
7	LED_0 GPIO_5	ファースト モード スロー モード	0x455[13:9]

表 7-13- 表 7-15 に、スルーモード、CLOAD、および VDDIO の変化に対する標準的な立ち上がり / 立ち下がり時間の変化を示します。

表 7-13. CLOAD = 5pF、VDDIO = 3.3V の場合の立ち上がり / 立ち下がり時間とスルー モードとの関係

スルー モード	立ち上がり / 立ち下がり時間
1	4.1ns
2	3.5ns
3	3.0ns
4	2.7ns
5	2.4ns
6	2.0ns
7	1.6ns

表 7-14. CLOAD = 5pF、スルー モード = 4 での立ち上がり / 立ち下がり時間と CLOAD との関係

CLOAD	立ち上がり / 立ち下がり時間
5pF	2.7ns
15pF	3.4ns
25pF	4.2ns

表 7-15. CLOAD = 5pF、スルー モード = 4 での立ち上がり / 立ち下がり時間と VDDIO との関係

VDDIO	立ち上がり / 立ち下がり時間
3.3V	2.7ns
2.5V	2.4ns
1.8V	2.2ns

7.3.6 診断ツール キット

DP83TC815-Q1 の診断ツール キットは、通常動作の監視、デバイス レベル デバッグ、システム レベル デバッグ、故障検出、準拠性テストのための機能を備えています。このツール キットには、PRBS データによる内蔵セルフ テスト、各種ループバック モード、信号品質インジケータ (SQI)、時間領域反射計測 (TDR)、過熱モニタ、温度モニタ、静電放電モニタ、IEEE 802.3bw テスト モードが含まれています。

7.3.6.1 信号品質インジケータ

DP83TC815-Q1 が動作している場合、信号品質インジケータを使用して、本デバイスによる SNR 測定値に基づいてリンクの品質を判定できます。SQI は 8 レベルの表示として示されています。信号品質表示は、レジスタ 0x871 からアクセスできます。リアルタイムのリンク信号品質ステータスを確保できるように、PHY は SQI を継続的に監視します。

レジスタ 0x871 のビット [3:1] には現在の SQI 値が格納され、ビット [7:5] には前回の読み取り以降で観測された最悪の SQI 値が格納されます。レジスタ 0x871[SQI] で報告される値は、3:1 アライアンスで必要とされる SQI レベルに直接マップされます。

表 7-16. 信号品質インジケータ

REG 0x871[3:1]	OPEN ALLIANCE SQI レベル	リンクの品質
0x0	0 (最悪)	弱い / リンクなし
0x1	1	
0x2	2	
0x3	3	
0x4	4	良好 / 優れたリンク
0x5	5	
0x6	6	
0x7	7 (最高)	

7.3.6.2 静電気放電 (ESD) 検出

静電気放電は電子回路にとって重要な問題であり、適切に緩和しない場合、短期的な問題 (シグナル インテグリティ、リンク ドロップ、パケット喪失) だけでなく、長期的な信頼性に関する不具合を引き起こす可能性があります。DP83TC815-Q1 は堅牢な ESD 保護回路を内蔵しており、ESD 検出アーキテクチャを備えています。さらなる分析とデバッグのため、ESD イベントを MDI ピンで独立して検出できます。

さらに、DP83TC815-Q1 には割り込みステータス フラグがあり、ESD イベントがログに記録されると*レジスタ 0x12[11]* が設定されます。この割り込みは、同じレジスタのビット [3] を使用して INT_N ピンに接続できます。*レジスタ 0x442[14:9]* には、電源投入以降に発生した ESD イベントの回数が格納されます。保証されていないクリア動作を防止するため、ESDS レジスタはハードウェアおよびソフトウェア リセットを無視します。

7.3.6.3 時間領域反射計測

時間領域反射計測は、ケーブル上の開放および短絡故障の推定に加えて、ケーブル、コネクタ、終端の品質の判定に役立ちます。DP83TC815-Q1 は、接続されたツイスト ペア ケーブルからテスト パルスを送信します。送信されたパルスはケーブルを伝わり、欠陥や故障などの不完全な箇所で反射します。これにより、デバイスは反射が戻ってくるまでの時間と、すべての反射の強度 (振幅) を測定できます。この手法により、DP83TC815-Q1 はケーブルの開放と短絡を識別できます。

TDR は、レジスタ 0x1E の bit[15] を設定することで有効化されます。手順については、表 7-17 に概要を示します。PHY に接続されているリンク パートナーはサイレントである必要があります。TDR 実行中、リンクはダウンしています。

表 7-17. TDR の実行手順

シーケンス	説明	レジスタの読み取り/書き込み
ステップ 1: DP83TC815-Q1 をマスタとして使用	レジスタを書き込んでリンクダウンを強制的に行い、リンク パートナーがサイレントになるようにします。有効な開放または短絡のケーブル故障の場合でも、TDR はステップ 1 を実行しなくても正常に動作します。良好なケーブル ケースを得るため、TDR レジスタ 0x001E では、このステップをバイパスすると *故障*と表示される場合があります。	リーダーをサイレントにするには、Reg[0x1834]= 0x8001 を書き込みます。
ステップ 1: DP83TC815-Q1 をスレーブとして使用	レジスタを書き込んでリンクダウンを強制的に行い、リンク パートナーがサイレントになるようにします。有効なオープンおよび短絡ケーブルフォルトが発生した場合でも、TDR はステップ 1 なしでも正常に動作します。良好なケーブル ケースを得るため、TDR レジスタ 0x001E では、このステップをバイパスすると *故障*と表示される場合があります。	DP83TC815-Q1 がリンク パートナーの場合、リンク パートナーに reg[0x1834] = 0x8001 を書き込み、サイレントにします。他の PHY を使用する場合は、ベンダにレジスタ書き込みを問い合わせてリンク パートナーをサイレントにします

Copyright © 2025 Texas Instruments Incorporated

表 7-17. TDR の実行手順 (続き)

シーケンス	説明	レジスタの読み取り/書き込み	
ステップ 2	TDR の構成:プレラン	Reg[0x0523] = 0x0001 Reg[0x04DF] = 0x0003 Reg[0x0827] = 0x3800 Reg[0x0301] = 0x1700 Reg[0x0302] = 0x0045 Reg[0x0303] = 0x042D Reg[0x0304] = 0x0026 Reg[0x0305] = 0x0015 Reg[0x001F] = 0x4000 Reg[0x0523] = 0x0000 Reg[0x001F] = 0x0000 Reg[0x001E]= 0x8000	
ステップ 3	Start TDR	Reg[0x001E(15)] = 1	
ステップ 4	100ms 待ちます (TDR が最大ケーブル長に収束するのに十分なはずです)		
ステップ 5	0x001E[1:0] = [TDR 完了:TDR フェイル]。値は [1,0] にする必要があります。故障タイプと位置は、この正しい値が読み出された場合にのみ有効です。[1,0] 以外の値は、回線上にノイズが発生して TDR が失敗していることを意味します。		
ステップ 6	障害の種類と場所が読み取られます。	フォルト ステータスとフォルト タイプについては、レジスタ 0x0310 を読み出します。障害タイプの場合:	
		TDR_TC-1 Reg 0x0310[7] = peak_detect	
		0b	フォルトが検出されない
		1b	故障検出
		TDR_TC-1 Reg 0x0310[6] = peak_sign	
		0b	短絡
		1b	オープン
		**peak_sign ケーブルで故障が検出された場合にのみ有効です。有効な故障が検出された場合、レジスタ 0x0310[5:0] の値が故障位置を示します。	

7.3.6.4 電圧検出

電圧検出手順のまとめ

DP83TC815-Q1 には、電源ピンで電圧を監視するためのセンサが搭載されています。DP83TC815-Q1 では、低電圧監視はデフォルトで常にアクティブです。低電圧状態が検出された場合、レジスタ 0x0013 に割り込みステータス フラグがセットされます。これらの割り込みは、同じレジスタを使用して INT ピンに配線することもできます。

- ステップ 1:レジスタ [0x0469] = 0x8324 をプログラム (モニタの初期設定)
- ステップ 2:レジスタ 0x046A = 0x0096 を書き込み、その後 0x46A = 0x0093 を書き込みます。これにより、モニタが有効化およびリフレッシュされます
- ステップ 3:レジスタ 0x0013 に 0x00C0 を書き込み、過電圧および低電圧の割り込みを有効にします
- ステップ 4:必要なセンサを選択するため、レジスタ 0x0468 を対応する設定で構成します。

表 7-18. 電圧センサ レジスタの選択

センサ	**0x0468** レジスタの設定
VDDA	0x0920
VSLEEP	0x1920
VDDMAC	0x2920
VDDIO	0x3920

表 7-18. 電圧センサ レジスタの選択 (続き)

センサ	0x0468 レジスタの設定
VDD1P0	0x5920

- ステップ 5:レジスタ 0x047B[14:7] を読み取り、その出力コードを 10 進数に変換します。
- ステップ 6:次の式にこの出力コードを代入して、センサの絶対値を求めます。対応するセンサの定数値については、表 7-19 表を参照してください。
  - vdda_value = 3.3 + (vdda_output_code – vdda_output_mean_code)*slope_vdda_sensor
  - vsleep_value = 3.3 + (vsleep_output_code – vsleep_output_mean_code)*slope_vsleep_sensor
  - vddmac_value = 3.3 + (vddmac_output_code – vddmac_output_mean_code)*slope_vddmac_sensor
  - vddio_value = 3.3 + (vddio_output_code – vddio_output_mean_code)*slope_vddio_sensor
  - vdd1p0_value = 1.0 + (vdd1_output_code – vdd1_output_mean_code)*slope_vdd1_sensor

表 7-19. 電圧センサ定数値

センサ	定数	値
VDDA/VSLEEP	vdda_output_mean_code	125.13
	slope_vdda_sensor	0.00869
VDDMAC/VDDIO	vddio_output_mean_code	201.62
	slope_vddio_sensor	0.015387
VDD1P0	vdd1_output_mean_code	125.17
	slope_vdd1_sensor	0.00263

過電圧と低電圧のスレッショルド

過電圧スレッショルドは *over_up_th* および *over_low_th* の 2 つがあります。モニタ読み取り値が *over_up_th* を上回ると、割り込みは High にアサートされます。割り込みが High にアサートされた後、モニタ読み出し値が *over_low_th* を下回る場合のみ、割り込みが Low にアサートされます。

低電圧スレッショルドには、*under_up_th* と under_low_th の 2 つがあります。モニタ読み出し値が *under_low_th* を下回ると、割り込みは High にアサートされます。割り込みが High にアサートされた後、モニタ読み出し値が *under_up_th* を上回った場合にのみ、割り込みが Low にアサートされます

表 7-20. 過電圧レジスタのスレッショルド

モニタ	over_up_th	over_low_th	under_up_th	under_low_th
VDD1P0	0x057A<7:0>	0x057A<15:8>	0x057B<7:0>	0x057B<15:8>
VDDMAC 1.8V	0x0483<7:0>	0x0483<15:8>	0x0484<7:0>	0x0484<15:8>
VDDMAC 2.5V	0x0481<7:0>	0x0481<15:8>	0x0482<7:0>	0x0482<15:8>
VDDMAC 3.3V	0x046F<7:0>	0x046F<15:8>	0x0470<7:0>	0x0470<15:8>
VDDIO 1.8V	0x047F<7:0>	0x047F<15:8>	0x0480<7:0>	0x0480<15:8>
VDDIO 2.5V	0x047D<7:0>	0x047D<15:8>	0x047E<7:0>	0x047E<15:8>
VDDIO 3.3V	0x0471<7:0>	0x0471<15:8>	0x0472<7:0>	0x0472<15:8>
VSLEEP	0x046D<7:0>	0x046D<15:8>	0x046E<7:0>	0x046E<15:8>
VDDA	0x046B<7:0>	0x046B<15:8>	0x046C<7:0>	0x046C<15:8>

Copyright © 2025 Texas Instruments Incorporated

7.3.6.5 温度検出

温度センシング ステップの概要

DP83TC815-Q1 には、電源ピンの温度を監視するためのセンサが搭載されています。DP83TC815-Q1 では、デフォルトで過熱監視は常にアクティブです。過熱状態が検出された場合、レジスタ 0x0013 に割り込みステータス フラグがセットされます。これらの割り込みは、同じレジスタを使用して INT ピンに配線することもできます。

- ステップ 1:レジスタ 0x469 に 0x8324 を書き込みます。これにより、モニタの初期設定が行われます。
- ステップ 2:レジスタ 0x046A = 0x0096、0x046A = 0x0093 を書き込み、モニタを有効化します
- ステップ 3:過温度割り込み設定を構成します。詳細については、「過温度割り込みスレッショルド」セクションを参照してください。(オプション)
- ステップ 4:レジスタ 0x0013 = 0x008 を書き込みます。過熱割り込みを有効化 します (オプション)
- ステップ 5:レジスタ 0x468 = 0x4920 を設定して、温度センサを選択します。
- ステップ 6:レジスタ 0x047B[14:7] を読み取り、その出力コードを 10 進数に変換します。
- ステップ 7:次の式にこの出力コードを代入して、センサの絶対値を求めます:

  temp_value = 25 + (temp_output_code – temp_output_mean_code) × slope_temp_sensor

表 7-21. 温度センサの一定の値

センサ	定数	値
温度	temp_output_mean_code	90
	slope_temp_sensor	1.0839

  – 過熱を検出するには、割り込みレジスタの 0x13[11] を継続的に読み取ります。
  – レジスタ 0x11 により、ピン 2 を割り込みピンとして構成することもできます。正しく設定されている場合、過温度状態が発生するとピン 2 が LOW にアサートされます (対応ビットは 0x13[11])。

過温度スレッショルド レジスタ

過熱スレッショルド レジスタには、*over_up_th* および *over_low_th* の 2 つのフィールドがあります。モニタ読み取り値が *over_up_th* を上回ると、割り込みは High にアサートされます。割り込みが High にアサートされた後、モニタ読み出し値が *over_low_th* を下回る場合のみ、割り込みが Low にアサートされます。

表 7-22. 過温度レジスタ スレッショルド

モニタ	over_up_th	over_low_th
温度	0x0473<7:0>	0x0473<15:8>

過温度スレッショルドの設定例

- ステップ 1:*over_up_th* と *over_low_th* の温度を決定します。
- over_up temperature:130°C
- over_low temperature:140°C
- ステップ 2:温度値を式に代入し、temp_output_code を求めます。
  – temp_value = 25 + (temp_output_code – temp_output_mean_code) × slope_temp_sensor
  – 130ºC = 25 + (temp_output_code_130 – 81.26) × 1.0839
  – 140ºC = 25 + (temp_output_code _140 – 81.26) × 1.0839
  – temp_output_code_130 = 187
  – temp_output_code_140 = 178
- ステップ 3:レジスタ ビット *over_up_th* を 187 に、*over_low_th* を 178 に設定します。

注

DP83TC815-Q1 はハードウェア キャリブレーションを行いません。温度センサの精度は、部品の場合は約 ±25°C、部品の場合は ±11°C です。

7.3.7 BIST およびループバック モード

DP83TC815-Q1 は、PHY レベルとシステム レベルのデータ パスをチェックするため、データ パスの内蔵セルフ テスト (BIST) を内蔵しています。BIST は、MAC にも外部データ ジェネレータ ハードウェア / ソフトウェアにも頼らずに、システム レベルのデータ転送テスト (スループットなど) と診断を可能にする以下の内蔵機能を備えています。

DP83TC815-Q1 では以下の機能を利用できます。これらの機能を使用して、容易な評価を行えます。

1. ループバック モード
2. データ ジェネレータ
   a. カスタマイズ可能な MAC パケット ジェネレータ
   b. 送信済みパケット カウンタ
   c. PRBS ストリーム ジェネレータ
3. データ チェッカ
   a. 受信済み MAC パケット エラー チェッカ
   b. 受信済みパケット カウンタ:受信済みパケットの総数とエラーが含まれる受信済みパケット数をカウントします
   c. PRBS ロックおよび PRBS エラー チェッカ

7.3.7.1 データ ジェネレータおよびチェッカ

DP83TC815-Q1 は、ループバック モードと組み合わせてデータ パスを検証できる、内蔵の疑似ランダム データ ジェネレータおよびチェッカをサポートしています。データ ジェネレータは、ユーザー定義の MAC パケットと PRBS ストリームのどちらかを生成するようにプログラムできます。

生成される MAC パケットの以下のパラメータを設定できます (必要な構成については、レジスタ <0x061B>、レジスタ <0x061A>、レジスタ <0x0624> を参照):

- パケット長
- パケット間隔
- 定義済みの送信パケット数または連続送信
- パケットの日付タイプ:インクリメンタル / 固定 / PRBS
- パケットあたりの有効バイト数

7.3.7.2 xMII ループバック

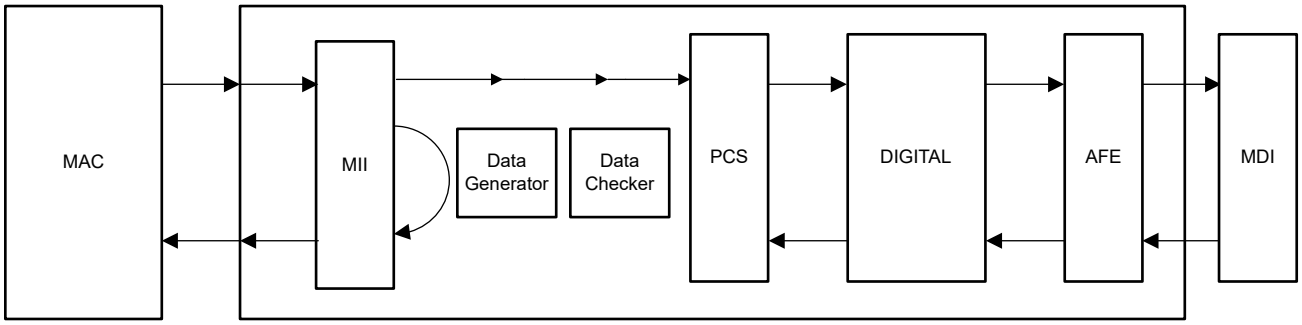


図 7-10. データ ジェネレータなしの xMII ループバック

xMII ループバックは、PHY を介した最も浅いループです。MAC と PHY の間の通信を検証するには、便利なテスト モードです。xMII ループバック モードでは、接続された MAC から TX パスで送信されたデータが DP83TC815-Q1 内部で

Copyright © 2025 Texas Instruments Incorporated

ループバックされ、RX ピンに戻されます。これにより、MAC 側でデータを確認できます。xMII ループバックでは、リンク表示は行われません。

ループバックをイネーブル

レジスタ 0x0000 = 0x6100 を書き込みます

MAC 側のデータ ジェネレータ / チェッカをイネーブル

データは MAC の TX ピン上で外部的に生成されます。

MAC インターフェイス モードに応じてチェッカを有効にするには、次のレジスタ設定を使用します。

- RGMII の場合、レジスタ 0x0619 = 0x1004 を書き込みます
- SGMII の場合、レジスタ 0x0619 = 0x1114 を書き込みます
- RMII の場合、レジスタ 0x0619 = 0x1224 を書き込みます
- MII の場合、レジスタ 0x0619 = 0x1334 を書き込みます

MAC 側からの受信データを確認

データは MAC インターフェイスの RX ピンで確認できます。

データは、レジスタ 0x063C、0x063D、0x063E を読み取ることで内部的にも確認できます

ケーブル側のデータ ジェネレータ / チェッカをイネーブル

該当しません。データは MAC インターフェイスの TX ピン上で外部的に生成されるため、この項目は適用されません。

ケーブル側のデータを確認

該当しません。PRBS ストリーム チェッカは内部 PRBS ジェネレータでのみ動作します。

その他のシステム要件

生成されたデータはケーブル側に送られます。

7.3.7.3 PCS のループバック

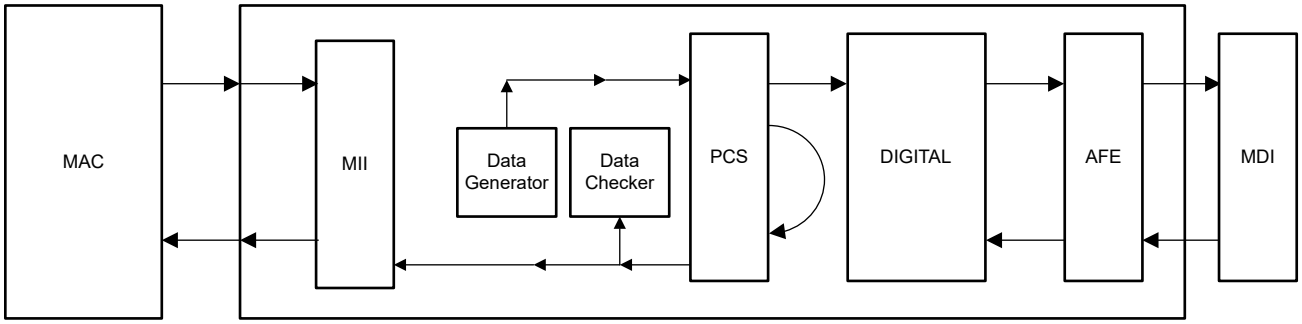


図 7-11. データ ジェネレータありの PCS ループバック

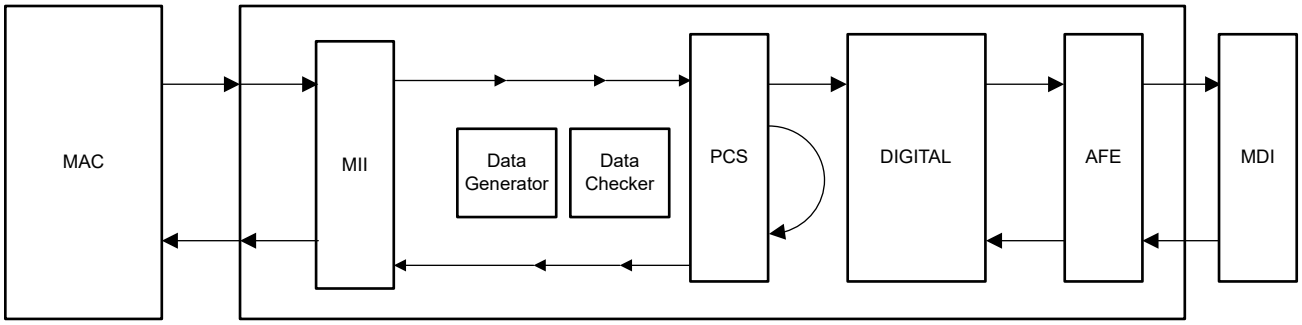


図 7-12. データ ジェネレータなしの PCS ループバック

PCS ループバックは、データが PCS から出て PMA に入る前に、データをループバックします。送信パスで MAC から受信したデータは、PHY 内のデジタル ブロックを通過し、その後受信パスを介して再び MAC へ戻されます。DP83TC815-Q1 受信 PMA 回路は、競合を防止するために絶縁を行うように構成されています。

ループバックをイネーブル

レジスタ 0x0552 = 0x0000 を書き込みます

レジスタ 0x0016 = 0x0102 を書き込みます

MAC 側のデータ ジェネレータ / チェッカをイネーブル

レジスタ 0x0619 = 0x1555 を書き込みます

レジスタ 0x0624 = 0x55BF を書き込みます

MAC 側からの受信データを確認

データは、レジスタ 0x063C、0x063D、0x063E を読み取ることで内部的にも確認できます

ケーブル側のデータ ジェネレータ / チェッカをイネーブル

レジスタ 0x0619 = 0x0557 を書き込みます

レジスタ 0x0624 = 0x55BF を書き込みます

ケーブル側のデータを確認

1. レジスタ 0x0620[1] = 1'b1 を書き込み
2. レジスタ 0x620 を読み出す
   a. ビット [7:0] = 受信したエラー バイト数
   b. ビット [8] = 受信データに対する PRBS チェッカのロック状態 (1’b1 はロック状態を示します)

受信データ ストリームのエラー ステータスを継続的にチェックするには、手順 1 と 2 を繰り返します。

その他のシステム要件

内部 PRBS によって生成されたデータは、MDI および MAC インターフェイスを介して送信されます。

Copyright © 2025 Texas Instruments Incorporated

7.3.7.4 デジタル ループバック

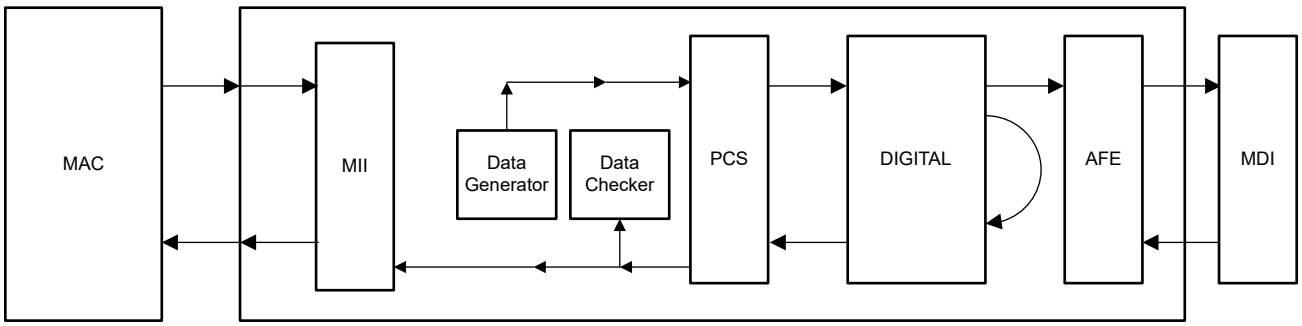


図 7-13. データ ジェネレータありのデジタル ループバック

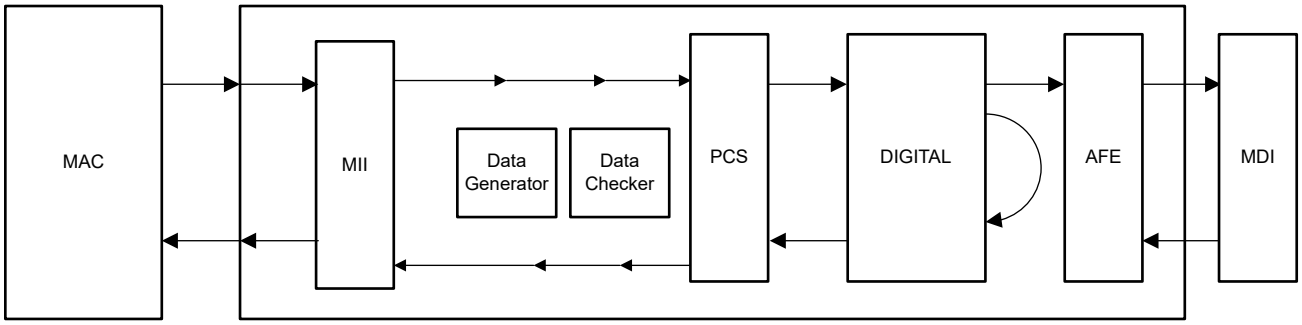


図 7-14. データ ジェネレータなしのデジタル ループバック

デジタル ループバックは、デジタル部を出て AFE に入る前の段階でデータをループバックします。送信パスで MAC から受信したデータは、PHY 内のデジタル ブロックを通過し、その後受信パスを介して再び MAC へ戻されます。DP83TC815-Q1 受信アナログ回路は、競合を防止するために絶縁を行うように構成されています。

ループバックをイネーブル

レジスタ 0x0868 = 0x085A を書き込みます

レジスタ 0x04DF = 0x0006 を書き込みます

レジスタ 0x0016 = 0x0104 を書き込みます

MAC 側のデータ ジェネレータ / チェッカをイネーブル

レジスタ 0x0619 = 0x1555 を書き込みます

レジスタ 0x0624 = 0x55BF を書き込みます

MAC 側からの受信データを確認

データは、レジスタ 0x063C、0x063D、0x063E を読み取ることで内部的にも確認できます

ケーブル側のデータ ジェネレータ / チェッカをイネーブル

レジスタ 0x0619 = 0x0557 を書き込みます

レジスタ 0x0624 = 0x55BF を書き込みます

ケーブル側のデータを確認

1. レジスタ 0x0620[1] = 1'b1 を書き込み
2. レジスタ 0x620 を読み出す
   a. ビット [7:0] = 受信したエラー バイト数
   b. ビット [8] = 受信データに対する PRBS チェッカのロック状態 (1'b1 はロック状態を示します)

受信データ ストリームのエラー ステータスを継続的にチェックするには、手順 1 と 2 を繰り返します。

その他のシステム要件

内部 PRBS によって生成されたデータは、MDI および MAC インターフェイスを介して送信されます。

7.3.7.5 アナログ ループバック

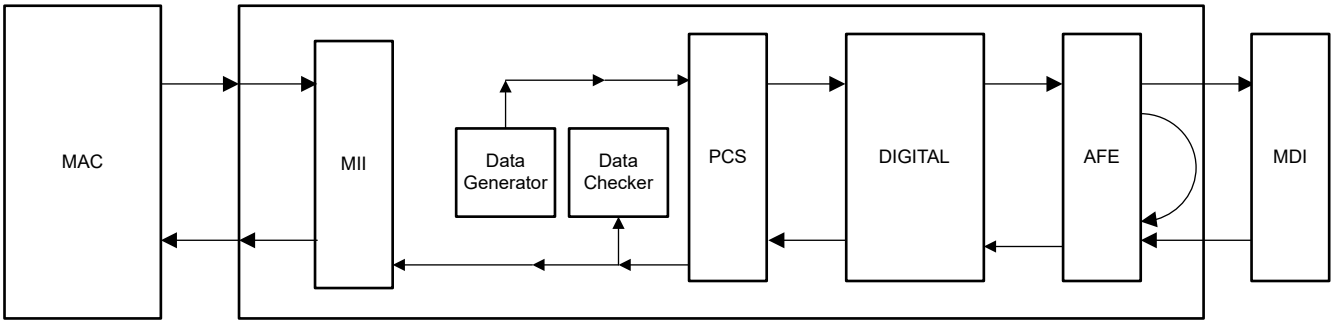


図 7-15. データ ジェネレータによるアナログ ループバック

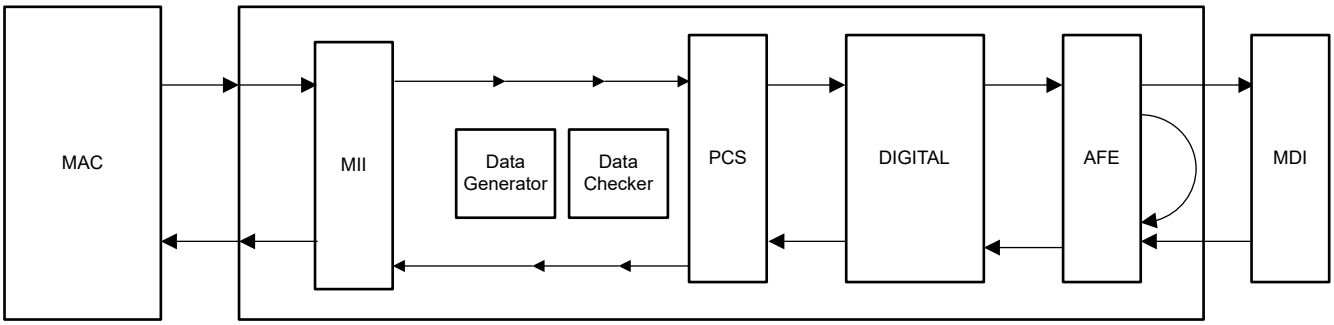


図 7-16. データ ジェネレータなしのアナログ ループバック

アナログ ループバックは、終端されていない MDI から反射された信号を利用し、ハイブリッド回路でそれらの信号をデコードしてデータを MAC に戻します。

ループバックをイネーブル

書き込みレジスタ:

- 0x0868 = 0x085A
- 0x04DF = 0x0006
- 0x0016 = 0x0108
- 0x0802 = 0x4A47
- 0x001F = 0x4000

MAC 側のデータ ジェネレータ / チェッカをイネーブル

書き込みレジスタ:

Copyright © 2025 Texas Instruments Incorporated

- 0x0619 = 0x1555
- 0x0624 = 0x55BF

MAC 側からの受信データを確認

データは、レジスタ 0x063C、0x063D、0x063E を読み取ることで内部的にも確認できます

ケーブル側のデータ ジェネレータ / チェッカをイネーブル

書き込みレジスタ:

- 0x0619 = 0x0557
- 0x0624 = 0x55BF

ケーブル側のデータを確認

1. レジスタ 0x0620[1] = 1'b1 を書き込み
2. レジスタ 0x620 を読み出す
   a. ビット [7:0] = 受信したエラー バイト数
   b. ビット [8] = 受信データに対する PRBS チェッカのロック状態 (1'b1 はロック状態を示します)

受信データ ストリームのエラー ステータスを継続的にチェックするには、手順 1 と 2 を繰り返します。

その他のシステム要件

内部 PRBS によって生成されたデータは、MDI および MAC インターフェイスを介して送信されます。

7.3.7.6 リバース ループバック

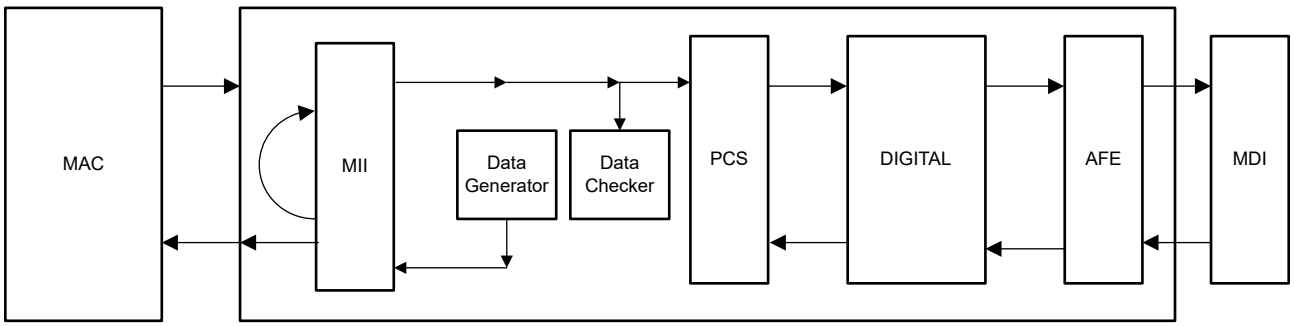


図 7-17. データ ジェネレータありのリバース ループバック

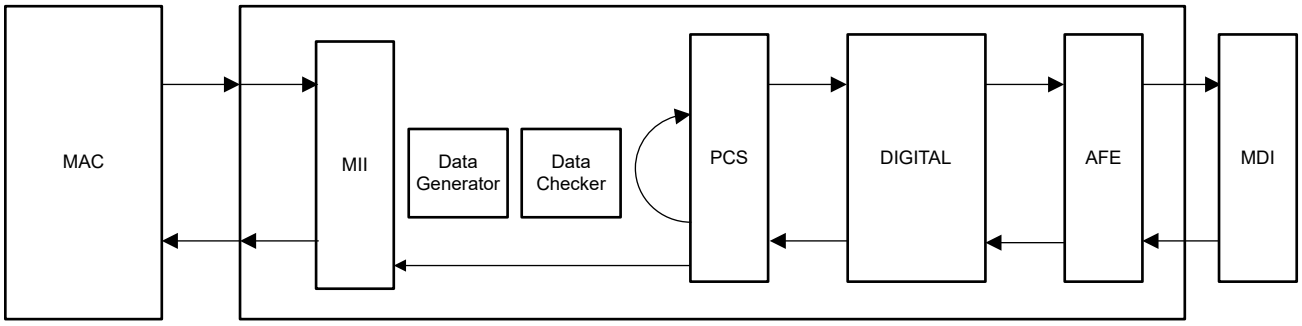


図 7-18. データ ジェネレータなしのリバース ループバック

リバース ループバックでは、MDI で受信したデータが受信ブロック全体を通過し、その後 PCS レイヤー内で送信ブロックにループバックされます。データは MDI 経由で接続されたリンク パートナーに送信されます。競合を回避するために、MAC 送信パスは分離されます。

ループバックをイネーブル

レジスタ 0x0016 = 0x0110 を書き込みます

MAC 側のデータ ジェネレータ / チェッカをイネーブル

MAC インターフェイス モードに応じてチェッカを有効にするには、次のレジスタ設定を使用します。

- RGMII の場合、レジスタ 0x0619 = 0x1004 を書き込みます
- SGMII の場合、レジスタ 0x0619 = 0x1114 を書き込みます
- RMII の場合、レジスタ 0x0619 = 0x1224 を書き込みます
- MII の場合、レジスタ 0x0619 = 0x1334 を書き込みます

レジスタ 0x0624 = 0x55BF を書き込みます

MAC 側からの受信データを確認

データは、レジスタ 0x063C、0x063D、0x063E を読み取ることで内部的にも確認できます

ケーブル側のデータ ジェネレータ / チェッカをイネーブル

レジスタ 0x0619 = 0x0557 を書き込みます

レジスタ 0x0624 = 0x55BF を書き込みます

ケーブル側のデータを確認

1. レジスタ 0x0620[1] = 1'b1 を書き込み
2. レジスタ 0x620 を読み出す
   a. ビット [7:0] = 受信したエラー バイト数
   b. ビット [8] = 受信データに対する PRBS チェッカのロック状態 (1’b1 はロック状態を示します)

受信データ ストリームのエラー ステータスを継続的にチェックするには、手順 1 と 2 を繰り返します。

その他のシステム要件

内部 PRBS によって生成されたデータは、MDI および MAC インターフェイスを介して送信されます。

7.3.8 準拠性テスト モード

注

所望の OA コンプライアンス性能を達成するには、TI アプリケーション ノート SDAA127 に記載されているレジスタ設定を使用する必要があります。アプリケーション ノートを入手する方法については、TI にお問い合わせください。

IEEE 802.3bw (96.5.2 項) には 4 つの PMA 準拠テスト モードが必要であり、これらはすべて DP83TC815-Q1 でサポートされています。これらのコンプライアンス テスト モードには、送信波形の電力スペクトル密度 (PSD) マスク、振幅、歪み、100BASE-T1 リーダー ジッタ、100BASE-T1 フォロワ ジッタ、ドループ、送信周波数、周波数の許容誤差、帰還損失、およびモード変換が含まれます。

Copyright © 2025 Texas Instruments Incorporated

TX_TCLK は、100BASE-T1 フォロワ ジッタ測定のために CLKOUT/LED_1 ピンに接続できます。これは、レジスタ 0x45F によりイネーブルにできます。デバイスをフォロワ モードに設定する必要があります。

7.3.8.1 テスト モード 1

テスト モード 1 は、トランスミッタのドループを評価します。テストモード 1 では、DP83TC815-Q1 は最小 600ns の間「+1」シンボルを送信し、その後に「–1」シンボルが最低 600ns 送信されます。このパターンは、テスト モードが無効になるまで連続的に繰り返されます。

テスト モード 1 は、MMD1_PMA_TEST_MODE_CTRL レジスタ (0x1836) のビット [15:13] を 0b001 に設定することで有効になります。

7.3.8.2 テスト モード 2

テスト モード 2 は、トランスミッタの 100BASE-T1 リーダー モードにおけるジッタを評価します。テストモード 2 では、DP83TC815-Q1 は {+1,-1} データ シンボル シーケンスを送信します。トランスミッタは、ローカル基準クロックから送信されたシンボルを同期します。

テスト モード 2 は、MMD1_PMA_TEST_MODE_CTRL レジスタ (0x1836) のビット [15:13] を 0b010 に設定することで有効になります。

7.3.8.3 テスト モード 4

テスト モード 4 は、トランスミッタの歪みを評価します。テスト モード 4 では、DP83TC815-Q1 は式 1 によって生成された一連のシンボルを送信します:

$$g(x) = 1 + x^9 + x^{11} \quad (1)$$

ビット列 x0n および x1n は、スクランブラの組み合わせに基づき、式 2 および 式 3 に従って生成されます:

$$'x0_n = Scr_n[0] \quad (2)$$

$$x1_n = Scr_n[1] \wedge Scr_n[4] \quad (3)$$

表 7-23 に、3 ビット ニブルのストリームの例を示します。

表 7-23. トランスミッタのテスト モード 4 のシンボルの割り当て

x1n	x0n	PAM3 SYMBOL
0	0	0
0	1	+1
1	0	0
1	1	-1

テスト モード 4 は、MMD1_PMA_TEST_MODE_CTRL レジスタ (0x1836) のビット [15:13] を 0b100 に設定することで有効になります。

7.3.8.4 テスト モード 5

テスト モード 5 では、トランスミッタの PSD マスクを評価します。テストモード 5 では DP83TC815-Q1 は疑似ランダムな PAM3 シンボル列を送信します。

テスト モード 5 は、MMD1_PMA_TEST_MODE_CTRL レジスタ (0x1836) のビット [15:13] を 0b101 に設定することで有効になります。

7.4 デバイスの機能モード

7.4.1 電力モード

DP83TC815-Q1 は、スタンバイモード、TC10 スリープ、IEEE パワーダウンなどの機能モードと低消費電力モードを含むさまざまな電力モードをサポートしています。次の図に、これらの電力モード間の状態遷移図を示します。

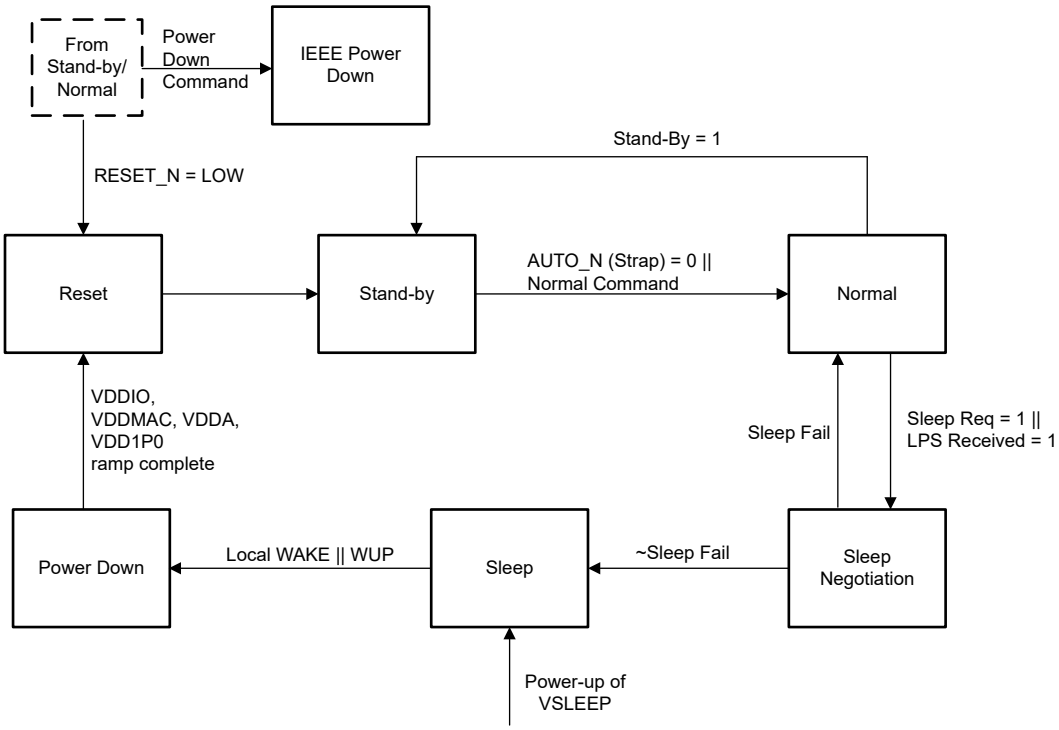


図 7-19. 電源状態図

7.4.1.1 パワーダウン

いずれかの電源レールが POR スレッショルドを下回ると、PHY はパワーダウン状態になります。すべてのデジタル IO は高インピーダンス状態に維持され、アナログ ブロックは無効化されます。パワーダウン時には、PMA 終端は存在しません。

表 7-24. POR スレッショルド

電源	POR スレッショルド
VDDA/VDDMAC/VDDIO/VSLEEP	0.6V
VDD1P0	0.25V

7.4.1.2 リセット

リセットは、電源投入時、$\overline{\text{RESET}}$ が LOW にプルされたとき (最小リセット パルス時間以上)、またはレジスタ 0x1F のビット [15] を設定してハードウェア リセットが開始された場合にアクティブになります。すべてのデジタル回路は、リセット時にレジスタ設定とともにクリアされます。リセットが完了すると、デバイスのブートストラップが再サンプリングされ、それに応じて関連するブートストラップ レジスタが設定されます。リセット中は PMA 終端が有効になっていません。

7.4.1.3 スタンバイ

このデバイス (100BASE-T1 リーダー モード時のみ) は、すべての電源 (VSLEEP を含む) が供給され、かつマネージド動作用にブートストラップ設定されている場合、電源投入およびリセット後に自動的にスタンバイ モードに入ります。

Copyright © 2025 Texas Instruments Incorporated

スタンバイでは、PCS および PMA ブロックを除くすべての PHY 機能が動作します。PMA 終端も存在しません。スタンバイではリンクの確立は不可能であり、データは送信も受信もできません。SMI 機能は使用可能であり、レジスタ設定は維持されています。

デバイスがブートストラップ設定によって自動動作に構成されている場合、PHY は POR 完了後に自動的に通常動作モードへ移行します。

7.4.1.4 正常

通常モードには、自律動作と管理動作のどちらからでも入ることができます。自動動作モードでは、PHY は電源投入リセット (POR) 完了後、自動的に有効なリンク パートナーとのリンク確立を試みます。

管理動作では、本デバイスがスタンバイを終了するのに SMI アクセスが必要です。SMI によって発行されたコマンドにより、本デバイスはスタンバイを終了し、PCS ブロックと PMA ブロックの両方を有効化できます。通常モードでは、すべてのデバイス機能が利用できます。

自動動作は、レジスタ 0x18B[6] を「1」に設定することで、SMI アクセス経由で有効化できます。このビットは、リンクアップ後に自動的にクリアされることに注意してください。

7.4.1.5 スリープ

一度スリープ モードに入ると、エネルギー検出を除くすべての PHY ブロックは無効化されます。スリープ モードでは、すべてのレジスタ設定は失われます。スリープ モードでは、リンクは確立できず、データは送信も受信もできず、SMI アクセスは利用できません。

消費電力を最小限に抑えるため、スリープモード時には VSLEEP を除くすべての電源を切断することを推奨します。

7.4.2 MDI (Media Dependent Interface)

7.4.2.1 100BASE-T1 リーダーおよび 100BASE-T1 フォロワ構成

100BASE-T1 リーダーおよび 100BASE-T1 フォロワは、ハードウェア ブートストラップまたはレジスタ アクセスのいずれかによって設定されます。

LED_0 は、100BASE-T1 リーダーおよび 100BASE-T1 フォロワのブートストラップ構成を制御します。LED_0 ピンに内部プルダウン抵抗があるため、デフォルトでは 100BASE-T1 フォロワ モードに設定されています。ハードウェア ブートストラップによって 100BASE-T1 リーダー モードを構成する場合は、外部プルアップ抵抗が必要です。

また、MMD1_PMA_CTRL_2 レジスタ (アドレス 0x1834) のビット [14] は、100BASE-T1 リーダーと 100BASE-T1 フォロワの構成を制御します。このビットを設定すると、100BASE-T1 リーダー モードが有効になります。

7.4.2.2 自動極性検出および訂正

リンクトレーニング処理中、DP83TC815-Q1 100BASE-T1 フォロワ デバイスは極性反転を検出し、自動的に誤りを補正します。極性反転が検出されると、100BASE-T1 フォロワは自らの送信信号を反転させ、誤りを補正して 100BASE-T1 リーダーとの互換性を確保します。極性の検出と補正はすべて 100BASE-T1 フォロワ側で処理されるため、100BASE-T1 リーダー側では常に極性が正しい状態として認識されます。

自動極性訂正は、不要な場合は無効にできます。自動極性訂正を無効化するには、レジスタ 0x0553 を使用します。

7.4.2.3 ジャバー検出

ジャバー機能は、rcv_max_timer 以内にエンド オブ ストリーム デリミタ (ESD1、ESD2) が検出 (受信) されない場合に PCS 受信ステート マシンが DATA 状態に閉じ込められないようにします。最大受信 DATA 状態タイマが満了すると、PCS 受信ステート マシンはリセットされ、IDLE 状態に遷移します。IEEE 802.3bw は、ジャバー タイムアウトを 1.08ms±54 µs に設定することを規定しています。デフォルトでは、DP83TC815-Q1 のジャバーのタイムアウトは 1.1ms に設定されています。このタイマは、レジスタ 0x496[10:0] で設定可能です。

7.4.2.4 インターリーブ検出

インターリーブ機能により、DP83TC815-Q1 は接続されたリンクパートナーからのシリアル ストリームを検出し、デインターリーブすることができます。三元記号のインターリーブ シーケンスには、次の 2 つのものがあります：(TA_n、TB_n) または (TB_n。TA_n)。

7.4.3 MAC インターフェイス

7.4.3.1 メディア独立インターフェイス

メディア独立インターフェース (MII) は、PHY を MAC に接続する同期 4 ビット幅ニブル データ インターフェイスです。MII は IEEE 802.3-2015 条項 22 に完全準拠しています。PHY が MII モードで動作している場合、TX_CLK 出力を含む MII 出力ピンには、PHY 内部に直列終端抵抗が組み込まれています。このモードでは、MII-TX ピンをフローティングにしないか、ハイインピーダンスのままにしないことを推奨します。

表 7-25 に、MII 信号のまとめを示します。

表 7-25. MII 信号

機能	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
制御信号	TX_EN、TX_ER
	RX_DV、RX_ER
クロック信号	TX_CLK
	RX_CLK

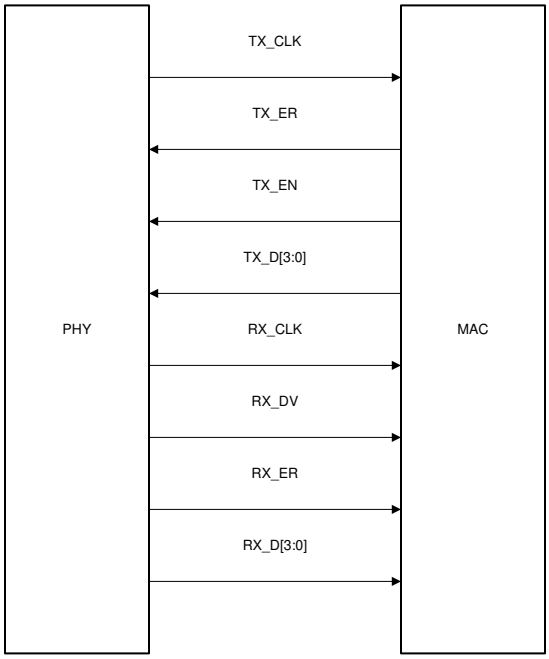


図 7-20. MII シグナリング

表 7-26. MII の送信エンコード

TX_EN	TX_ER	TX_D[3:0]	説明
0	0	0000～1111	通常のフレーム間
0	1	0000～1111	予約済み
1	0	0000～1111	通常のデータの送信

Copyright © 2025 Texas Instruments Incorporated

表 7-26. MII の送信エンコード (続き)

TX_EN	TX_ER	TX_D[3:0]	説明
1	1	0000～1111	送信エラーの伝搬

表 7-27. MII の受信エンコード

RX_DV	RX_ER	RX_D[3:0]	説明
0	0	0000～1111	通常のフレーム間
0	1	0000	通常のフレーム間
0	1	0001～1101	予約済み
0	1	1110	誤キャリアの表示
0	1	1111	予約済み
1	0	0000～1111	通常のデータの受信
1	1	0000～1111	エラーを含むデータの受信

7.4.3.2 簡易メディア独立インターフェイス

DP83TC815-Q1 は RMII コンソーシアムの RMII リビジョン 1.2 および 1.0 で定義された 簡易メディア独立インターフェイス (RMII) を実装しています。このインターフェイスの目的は、条項 22 で規定されている IEEE 802.3u の MII の代替として、ピン数を削減することです。アーキテクチャとしては、RMII 仕様は MII の両側に追加の整合レイヤを提供しますが、MII がない場合に実装できます。

DP83TC815-Q1 には、次の 2 種類の RMII 動作があります：RMII フォロワ と RMII リーダー。RMII フォロワ モードでは、DP83TC815-Q1 は 50MHz CMOS レベル発振器で動作し、MAC から供給されるか、MAC 基準クロックと同期します。RMII リーダー動作では、DP83TC815-Q1 は XI ピンに接続された 25MHz CMOS レベル発振器、または XI ピンと XO ピン間に接続された 25MHz 水晶振動子のいずれかで動作します。RMII リーダーモードにブートストラップすると、RX_D3 で 50MHz 出力クロックが自動的にイネーブルになります。この 50MHz 出力クロックは、MAC に配線する必要があります。

RMII リーダー モードは、ストラップにより、またはレジスタ 0x0648 をプログラミングすることで設定できます。RMII フォロワ モードは、RX_D[2:0] ピンのストラップを使用してのみ構成できます。RMII フォロワ モードの場合、適切なストラップ抵抗を配置すること以外にも、レジスタ 0x0432 を値 0x0004 にも書き込みます。

RMII 仕様には、次の特性があります。

- MAC と PHY の間で共有される単一のクロック基準
- 独立した 2 ビット幅の送受信データ パスを提供

このモードでは、送信パスと受信パスの両方に 50MHz リファレンス クロックを使用して、クロック サイクルごとに 2 ビットのデータ転送が行われます。

表 7-28 に、RMII 信号のまとめを示します。

表 7-28. RMII 信号

機能	ピン
データ信号	TX_D[1:0]
	RX_D[1:0]
制御信号	TX_EN
	CRS_DV

Copyright © 2025 Texas Instruments Incorporated

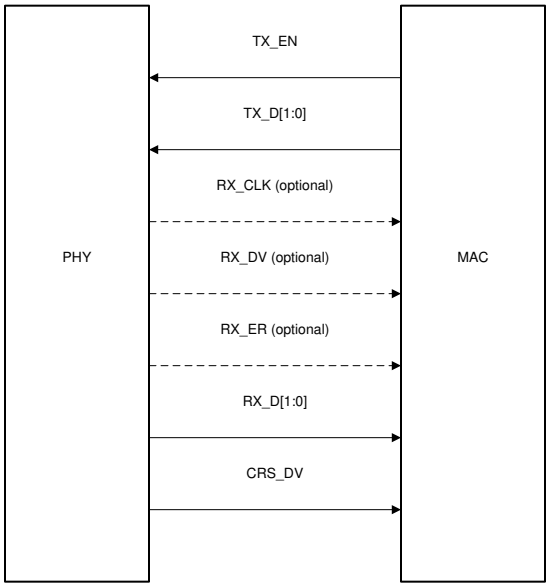


図 7-21. RMII シグナリング

表 7-29. RMII の送信エンコード

TX_EN	TX_D[1:0]	説明
0	00～11	通常のフレーム間
1	00～11	通常のデータの送信

表 7-30. RMII の受信エンコード

CRS_DV	RX_ER	RX_D[1:0]	説明
0	0	00～11	通常のフレーム間
0	1	00	通常のフレーム間
0	1	01～11	予約済み
1	0	00～11	通常のデータの受信
1	1	00～11	エラーを含むデータの受信

RMII フォロワ：TX_D[1:0] のデータは、XI ピンのリファレンス クロック立ち上がりエッジを基準として PHY 内でラッチされます。データは、XI ピンでの同じ立ち上がりクロック エッジを基準として、RX_D[1:0] に示されます。

RMII リーダー：TX_D[1:0] のデータは、RX_D3 ピンのリファレンスクロックの立ち上がりエッジを基準として PHY 内でラッチされます。RX_D[1:0] のデータは、RX_D3 ピンにおける同じ立ち上がりクロック エッジを基準に出力されます。

DP83TC815-Q1 は RX_DV 信号を供給するため、CRS_DV 通知から RX_DV を分離する必要なく、受信データを回復するより簡単な方法を提供します。RX_ER は、RMII 仕様では必須ではないものの、サポートされています。

RMII には、リファレンス クロックと回復クロックの周波数差を補正するためのプログラマブル FIFO が組み込まれています。プログラマブル FIFO はレジスタ 0x0011[9:8] および 0x0648[9:7] にあり、想定される最大パケット サイズとクロック精度に基づいて内部伝搬遅延を最小化します。

表 7-31. XI クロック PPM = ±100ppm

Reg 0x0011 <9:8>	Reg 0x0648 <9:7>	PHY レイテンシの増加	エラーなしの最大パケット長
01	010	デフォルト	2250
10	100	80ns	7250

7.4.3.3 RGMII (Reduced Gigabit Media Independent Interface)

DP83TC815-Q1 は、LVCMOS による RGMII バージョン 2.0 で規定された簡略型ギガビット メディア非依存インターフェイス (RGMII) にも対応しています。RGMII は、MAC と PHY の接続に必要なピン数が少なくなるように設計されています。この目標を達成するため、制御信号が多重化されています。送信パスと受信パスの制御信号ピンをサンプリングするためにクロックの立ち上がりエッジと立ち下がりエッジの両方が使用されます。データはクロックの立ち上がりエッジでのみサンプリングされます。100Mbps 動作の場合、RX_CLK と TX_CLK は 25MHz で動作します。

表 7-32 に、RGMII 信号のまとめを示します。

表 7-32. RGMII 信号

機能	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
制御信号	TX_CTRL
	RX_CTRL
クロック信号	TX_CLK
	RX_CLK

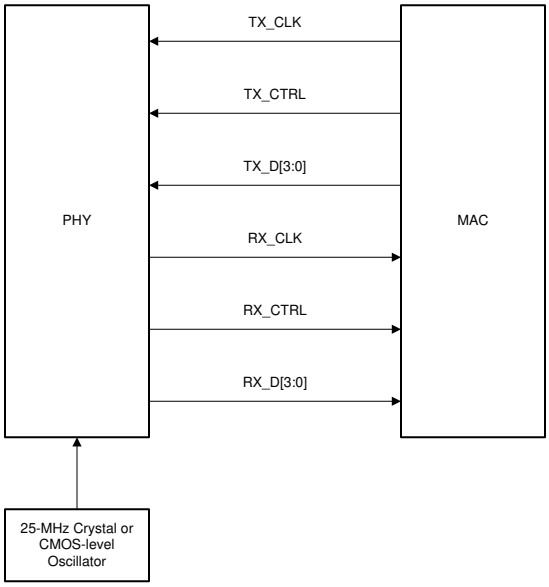


図 7-22. RGMII の接続

表 7-33. RGMII の送信エンコード

TX_CTRL (立ち上がりエッジ)	TX_CTRL (立ち下がりエッジ)	TX_D[3:0]	説明
0	0	0000～1111	通常のフレーム間
0	1	0000～1111	予約済み
1	0	0000～1111	通常のデータの送信
1	1	0000～1111	送信エラーの伝搬

Copyright © 2025 Texas Instruments Incorporated

表 7-34. RGMII の受信エンコード

RX_CTRL (立ち上がりエッジ)	RX_CTRL (立ち下がりエッジ)	RX_D[3:0]	説明
0	0	0000～1111	通常のフレーム間
0	1	0000～1101	予約済み
0	1	1110	誤キャリアの表示
0	1	1111	予約済み
1	0	0000～1111	通常のデータの受信
1	1	0000～1111	エラーを含むデータの受信

パケット受信中、内部のフリーラン クロックから復元クロック (データ同期クロック) への切り替えを行うために、RX_CLK は正パルスまたは負パルスのいずれかでストレッチされる場合があります。DP83TC815-Q1 は 1Gbps 動作をサポートしていないため、データ レートがダブル データ レート (DDR) である必要はなく、クロックの立ち下がりエッジでデータが複製される場合があります。

DP83TC815-Q1 は、リンク状態の検出を簡素化するために、インバンド ステータス表示機能をサポートしています。表 7-35 に、RX_D[3:0] ピンのフレーム間信号を示します。

表 7-35. RGMII インバンド ステータス

RX_CTRL	RX_D3	RX_D[2:1]	RX_D0
00 **注:** インバンド ステータスは、RX_CTRL が Low のときのみ有効です。	**二重モードのステータス:** 0 = 半二重 1 = 全二重	**RX_CLK クロック速度:** 00 = 2.5MHz 01 = 25MHz 10 = 125MHz 11 = 予約済み	**リンク ステータス:** 0 = リンクが確立されていない 1 = 有効なリンクが確立されている

7.4.3.4 SGMII (Serial Gigabit Media Independent Interface)

シリアル ギガビット メディア独立インターフェイス (SGMII) は、MII (14 ピン)、RMII (7 ピン)、RGMII (12 ピン) に比べて大幅に少ない 4 本の信号ピンで MAC と PHY 間のデータ転送を可能にします。SGMII は、放射を低減し、信号品質を向上させるため、LVDS (低電圧差動信号) を使用しています。

DP83TC815-Q1 の SGMII は 4 線式で動作できます。SGMII は、ハードウェア ブートストラップによって構成できます。4 線式動作では、データの送受信に 2 つの差動ペアを使います。クロック / データ リカバリは、MAC と PHY で実行されます。

DP83TC815-Q1 は 100Mbps で動作するため、SGMII の 1.25Gbps のレートが過剰です。SGMII 仕様では、1 フレーム内で各バイトを 10 回複製することで、100Mbps の動作が可能になっています。フレームの伸長は IEEE 802.3 PCS 層の上で行われ、フレームの開始区切り文字が複数回表示されないようにします。

DP83TC815-Q1 は 100Mbps の速度のみをサポートするため、*レジスタ 0x608* のビット [0]= 0b0 を設定すると、SGMII 自動ネゴシエーションを無効化できます。

表 7-36 に、SGMII 信号のまとめを示します。

表 7-36. SGMII 信号

機能	ピン
データ信号	TX_M、TX_P
	RX_M、RX_P

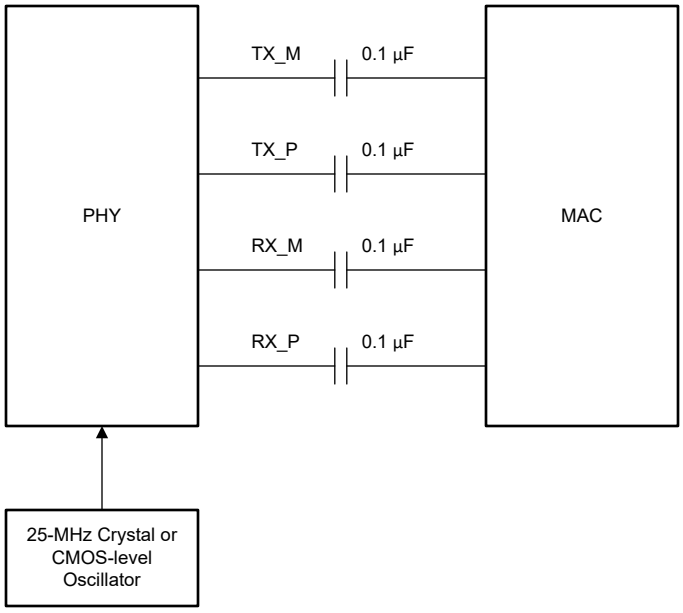


図 7-23. SGMII の接続

7.4.4 シリアル マネージメント インターフェイス

シリアル マネージメント インターフェイス (SMI) を使うことで、ステータス情報と構成のために使われている DP83TC815-Q1 の内部レジスタ空間にアクセスできます。SMI フレームおよびベース レジスタは、IEEE 802.3 22 項に準拠しています。実装されているレジスタ セットは、IEEE 802.3 に必要なレジスタと、DP83TC815-Q1 の可視性と制御性を高めるためのその他のレジスタで構成されています。さらに、DP83TC815-Q1 には、IEEE 802.3bw で定義されているように、45 項に追加された制御およびステータス レジスタが含まれています。45 項のレジスタ フィールドへのアクセスは、22 項のアクセスを使用して行われます。

SMI には、管理クロック (MDC) と、管理入力および出力データ ピン (MDIO) が含まれます。MDC は、ステーション (STA) とも呼ばれる外部管理エンティティから供給され、最大 24MHz クロック レートで実行できます。MDC は連続的である必要はなく、バスがアイドル状態の場合、外部管理エンティティがオフにすることもできます。

MDIO の信号は外部管理エンティティと PHY から供給されます。MDIO ピンのデータは、MDC の立ち上がりエッジでラッチされます。MDIO ピンにはプルアップ抵抗 (2.2KΩ) が必要であり、それによってアイドル時およびターンアラウンド時に MDIO は High にプルされます。

最大 9 つの DP83TC815-Q1 PHY が共通の SMI バスを共有できます。PHY を区別するため、4 ビット アドレスを使います。パワーアップのリセット中に、DP83TC815-Q1 は、自身のアドレスを決定するために PHYAD[3:0] 構成ピンをラッチします。

管理エンティティは、電源投入時のリセットの後の最初のサイクルで SMI トランザクションを開始してはなりません。有効な動作を維持するため、ハード リセットがデアサートされた後、少なくとも 1 MDC サイクルの間、SMI バスは非アクティブのままである必要があります。通常の MDIO トランザクションでは、管理フレームのレジスタ アドレス フィールドからレジスタ アドレスが直接取り込まれるため、32 の 16 ビット レジスタ (IEEE 802.3 で定義されたレジスタとベンダ固有のレジスタを含む) に直接アクセスできます。データ フィールドは、読み出しと書き込みの両方に使用されます。スタート コードは <01> パターンで示されます。このパターンにより、MDIO ラインはデフォルトのアイドル ライン状態から必ず遷移します。ターンアラウンドは、レジスタ アドレス フィールドとデータ フィールドの間に挿入されたアイドル ビット期間として定義されます。読み出しトランザクション中の競合を避けるため、ターンアラウンドの先頭ビットの間、デバイスは MDIO 信号をアクティブに駆動できません。アドレス指定された DP83TC815-Q1 は、2 番目のビットのターンアラウンドの間 MDIO を 0 で駆動し、その後に必要なデータを送信します。

Copyright © 2025 Texas Instruments Incorporated

書き込みトランザクションの場合、ステーション管理エンティティはアドレス指定された DP83TC815-Q1 にデータを書き込みます。そのため、MDIO ターンアラウンドは不要です。ターンアラウンド期間には、管理エンティティによって <10> が挿入されます。

表 7-37. SMI プロトコルの構成

SMI プロトコル	<アイドル> <スタート> <オペ コード> <デバイス アドレス> <レジスタ アドレス> <ターンアラウンド> <データ> <アイドル>
読み出し動作	<アイドル><01><10><AAAAA><RRRRR><Z0><XXXX XXXX XXXX XXXX><アイドル>
書き込み動作	<アイドル><01><01><AAAAA><RRRRR><10><XXXX XXXX XXXX XXXX><アイドル>

7.4.4.1 拡張レジスタ スペース アクセス

DP83TC815-Q1 の SMI 機能は、REGCR (0x0D) および ADDAR (0x0E) レジスタを使用し、IEEE 802.3ah Draft の Clause 22 で定義された MDIO 管理デバイス (MMD) の間接アクセス方式によって、45 項の拡張レジスタ セットへの読み取りおよび書き込みアクセスをサポートしています。

注

0x001F を超えるアドレスのレジスタは、間接アクセスを必要とします。間接アクセスの場合、レジスタ書き込みのシーケンスに従う必要があります。MMD 値は、レジスタ セットのデバイス アドレス (DEVAD) を定義します。間接アクセスのためには、DEVAD をレジスタ 0x000D (REGCR) ビット[4:0] に設定する必要があります

DP83TC815-Q1 は、3 つの MMD デバイス アドレスをサポートしています:

1. MMD1F (ベンダ固有のレジスタ):DEVAD [4:0] = ‘11111’
2. MMD1 (IEEE 802.3az 定義レジスタ):DEVAD [4:0] = ‘00001’
3. MMD3 (IEEE 802.3az 定義レジスタ):DEVAD [4:0] = ‘00011’

表 7-38. MMD レジスタ空間の区分

MMD レジスタ空間	レジスタ アドレス設定
MMD1F	0x000～0x0DF0
MMD1	0x1000～0x1836
MMD3	0x3000～0x3001

以下のセクションでは、レジスタ REGCR および ADDAR を使って拡張レジスタ セットを操作する方法について説明します。これらの説明は、MMD1F レジスタ アクセス (DEVAD[4:0] = 11111) のデバイス アドレスを使用します。

7.4.4.2 書き込み動作 (ポスト インクリメントなし)

拡張レジスタ セット内のレジスタを書き込むには、次の手順に従います。

手順	例:レジスタ 0x0170 = 0C50 に設定する
1.レジスタ REGCR (0x0D) に値 0x001F (アドレス機能フィールド= 00、DEVAD = 31) を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR (0x0E) に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。	値 0x401F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セット レジスタの内容を書き込む。	値 0x0C50 にレジスタ 0x0E を書き込む

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、そのアドレス レジスタの値によって選択されたレジスタが引き続き書き換えられます。

注

アドレス レジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

7.4.4.3 読み出し動作 (ポスト インクリメントなし)

拡張レジスタ セットのレジスタを読み出すには、次の手順に従います。

手順	例:0x0170 を読み出します
1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。	値 0x401F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セット レジスタの内容を読みだす。	レジスタ 0x0E を読み出す

それ以降、レジスタ ADDAR (ステップ 4) から読み出すと、アドレス レジスタの値によって選択されたレジスタが引き続き読み出されます。

注

アドレス レジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

7.4.4.4 書き込み動作 (ポスト インクリメントあり)

拡張レジスタ セットのレジスタを書き込み、書き込み動作後にアドレス レジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

手順	例:レジスタ 0x0170 = 0C50 かつレジスタ 0x0171 = 0x0011 を設定しする
1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR からレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.値 0x801F (データ、読み取りおよび書き込み機能フィールドのポスト インクリメント = 10、DEVAD = 31) または値 0xC01F (データ、書き込み機能フィールドのポスト インクリメント = 11.DEVAD = 31) をレジスタ REGCR に書き込む。	値 0x801F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セット レジスタの内容を書き込む。	値 0x0C50 にレジスタ 0x0E を書き込む
5.それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、アドレス レジスタの値によって選択されたすぐ上のアドレスのデータ レジスタが引き続き書き込まれます (アドレス レジスタは各アクセスの後にインクリメントされます)。	値 0x0011 にレジスタ 0x0E を書き込む

ステップ 4 ではレジスタ 0x0170 を 0x0C50 に書き込み、ポスト インクリメントが有効になっているため、ステップ 5 ではレジスタ 0x0171 を 0x0011 に書き込みます。

7.4.4.5 読み出し動作 (ポスト インクリメントあり)

拡張レジスタ セットのレジスタを読み出し、読み取り動作後にアドレス レジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

Copyright © 2025 Texas Instruments Incorporated

手順	例：読み取りレジスタ 0x0170 および 0x0171
1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。	値 0x001F にレジスタ 0x0D を書き込む
2.レジスタ ADDAR に目的のレジスタ アドレスを書き込む。	値 0x0170 にレジスタ 0x0E を書き込む
3.値 0x801F (データ、読み取りおよび書き込み時の増分後機能フィールド = 10、DEVAD = 31) をレジスタ REGCR に書き込む。	値 0x801F にレジスタ 0x0D を書き込む
4.レジスタ ADDAR に目的の拡張レジスタ セット レジスタの内容を読みだす。	レジスタ 0x0E を読み出す
5.それ以降、レジスタ ADDAR (ステップ 4) を読み出すと、アドレス レジスタの値によって選択されたすぐ上のアドレスのデータ レジスタが引き続き読み出されます (アドレス レジスタは各アクセスの後にインクリメントされます)。	レジスタ 0x0E を読み出す

ステップ 4 ではレジスタ 0x0170 を読み出し、ポスト インクリメントが有効になっているため、ステップ 5 ではレジスタ 0x0171 を読み出します。

7.5 プログラミング

7.5.1 ストラップ構成

DP83TC815-Q1 は、デバイスを特定の動作モードに設定するために、機能ピンをストラップ オプションとして使用します。これらのピンの値は、電源投入およびハードウェア リセット時に ($\overline{\text{RESET}}$ ピンまたはレジスタ アクセスのどちらかによって) サンプリングされます。一部のストラップ ピンは 3 段階のレベルを、また一部のストラップ ピンは 2 段階のレベルをサポートしており、その詳細は以下で説明します。PHY アドレス ストラップである RX_DV/RX_CTRL および RX_ER は 3 段階ストラップであり、その他のストラップはすべて 2 段階ストラップです。デバイスの設定は、ストラップ設定またはシリアル管理インターフェイスを介して行うことができます。

注

ストラップピンは、リセットが解除された後は機能ピンとして使用されるため、VDDIO、VDDMAC、または GND に直接接続してはいけません。適切に動作させるには、プルアップ抵抗、プルダウン抵抗のいずれか、または両方が必要です。

注

VDDMAC と VDDIO を個別に使用する場合は、ストラップ抵抗を適切な電圧レールに接続することが重要です。各ピン電圧ドメインを以下の表に示します。

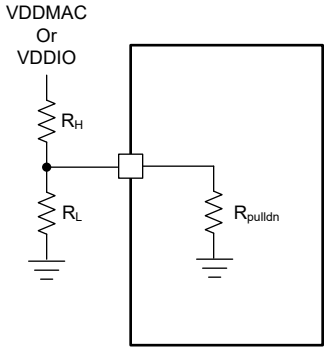


図 7-24. ストラップ回路

R_{pulldn} の値は、データシートの「電気的特性」表に記載されています。

表 7-39. PHY アドレスの推奨 3 レベル ストラップ抵抗比

MODE [3]	理想的な RH (kΩ) (VDDIO = 3.3V) [1]	理想的な RH (kΩ) (VDDIO = 2.5V) [2]	理想的な RH (kΩ) (VDDIO = 1.8V) [1]
1	オープン	オープン	オープン
2	13	12	4
3	4.5	2	0.8

1. 許容誤差 10% のストラップ抵抗。
2. 許容誤差 1% のストラップ抵抗。
3. RL はオプションであり、ブート ストラップ ピンの電圧を調整する必要がある場合に追加できます。

表 7-40. 2 レベル ストラップの推奨抵抗

モード	理想的な RH (kΩ) [1, 2]
1	オープン
2	2.49

1. 許容誤差が最大 10% のストラップ抵抗を使用できます。

Copyright © 2025 Texas Instruments Incorporated

2. 1.8V の VDDIO を使用する顧客アプリケーションでマージンを確保するために、2.1kΩ ±10% のプルアップ抵抗を使用するか、2.49kΩ 抵抗の精度を 1% に制限することができます。

次の表に、PHY 構成ブートストラップを示します:

表 7-41. ブートストラップ

ピン名	ピン番号	ドメイン	デフォルトモード	ストラップ機能			説明
RX_DV/ RX_CTRL	15	VDDMAC	1	モード	**PHY_AD[0]**	**PHY_AD[2]**	PHY_AD:PHY アドレス ID
				1	0	0	
				2	0	1	
				3	1	1	
RX_ER	14	VDDMAC	1	モード	**PHY_AD[1]**	**PHY_AD[3]**	PHY_AD:PHY アドレス ID
				1	0	0	
				2	0	1	
				3	1	1	
CLKOUT	16	VDDMAC	1	モード	**$\overline{\text{AUTO}}$**		$\overline{\text{AUTO}}$:自動動作無効化。これは LED_1 の重複ストラップです。CLKOUT ピンが LED_1 ピンとして構成されている場合、$\overline{\text{AUTO}}$ ストラップ機能は CLKOUT ピンにも移行します。
				1	0		
				2	1		
RX_D0	26	VDDMAC	1	モード	**MAC[0]**		MAC:MAC インターフェイスの選択
				1	0		
				2	1		
RX_D1	25	VDDMAC	1	モード	**MAC[1]**		MAC:MAC インターフェイスの選択
				1	0		
				2	1		
RX_D2	24	VDDMAC	1	モード	**MAC[2]**		MAC:MAC インターフェイスの選択
				1	0		
				2	1		
RX_D3	23	VDDMAC	1	モード	**CLKOUT_PIN**		CLKOUT_PIN:このストラップによって、出力クロックにどのピンを使用するかが決定されます。
				1	0		
				2	1		
LED_0	35	VDDIO	1	モード	**MS**		MS:100BASE-T1 リーダーおよび 100BASE-T1 フォロワ選択
				1	0		
				2	1		
LED_1	6	VDDIO	1	モード	**$\overline{\text{AUTO}}$**		$\overline{\text{AUTO}}$:自動動作無効化 $\overline{\text{AUTO}}$ 機能を制御するデフォルトのストラップピンです。このピンが CLKOUT として構成されている場合、$\overline{\text{AUTO}}$ 機能はピン 16 に移行します。
				1	0		
				2	1		
GPIO_4	19	VDDMAC	1	モード	予約済み		予約済み。未接続のままにします。
				1	0		
				2	1		
RX_CLK	27	VDDMAC	1	モード	**$\overline{\text{TC10}}$**		TC10 無効:このピン ストラップにより、TC10 を有効化するか無効化するかを決定します
				1	0		
				2	1		

注

コンプライアンス テスト用のレジスタ設定を示した Open Alliance のアプリケーション ノートを参照してください。準拠性試験時と同じ性能を得るには、これらのレジスタ設定を使用する必要があります。エラッタに基づくソフトウェア設定の実行中にリンクアップ処理が開始されるのを防ぐため、マネージド モードのストラップ オプションを使用することが推奨されています。ソフトウェア構成が完了したら、ビット 0x018B[6] を「1」に設定することで、PHY を管理モードから削除できます。このビットは、リンクアップ後に自動的にクリアされます

RX_D3 ストラップ ピンには、CLKOUT (ピン 16) および LED_1 (ピン 6) の出力ステータスを制御する特別な機能があります。以下の表 7-42 表は、RX_D3 ストラップの状態によってピン 16 およびピン 6 がどのように影響を受けるかを示しています。RX_D3 オプションはピンの機能のみを変更し、電圧ドメインは変更しないことに注意してください。ピン 16 は常に VDDMAC ドメインにあり、ピン 6 は常に VDDIO ドメインにあります。VDDIO と VDDMAC が別々の電圧レベルにある場合、ピン 16 とピン 6 がそれぞれの電圧ドメインにストラップされるようにする必要があります。

クロック出力デイジーチェーンアプリケーションでは、VDDMAC と VDDIO の電圧が異なる場合、クロック出力はピン 6 にルーティングする必要があります。DP83TC815-Q1 の内部発振器は VDDIO ドメインで動作するため、VDDIO ドメインのピン、つまりピン 6 にもクロック出力を使用する必要があります。VDDMAC と VDDIO が同じクロック出力デイジーチェーン アプリケーションでは、この要件は無視できます。クロック出力が使用されていないアプリケーションでは、この要件は無視できます。

表 7-42. クロック出力ピンの選択

CLKOUT_PIN	説明
0	ピン 16 はクロック出力、ピン 6 は LED_1 ピンです。ピン 6 のストラップにより $\overline{\text{AUTO}}$ 制御されます。
1	ピン 6 はクロック出力、ピン 16 は LED_1 ピンです。ピン 16 のストラップにより $\overline{\text{AUTO}}$ 制御されます。

表 7-43. 100BASE-T1 リーダー / 100BASE-T1 フォロワー選択ブートストラップ

MS	説明
0	100BASE-T1 フォロワの構成
1	100BASE-T1 リーダー構成

表 7-44. 自動動作モードのブートストラップ

$\overline{\text{AUTO}}$	説明
0	自動動作モード、起動後に PHY がリンクを確立可能
1	管理モード。レジスタ書き込みに基づいて、電源投入後に PHY がリンクを確立できる必要があります

表 7-45. TC10 ディスエーブル ブートストラップ

$\overline{\text{TC10}}$	説明
0	TC10 はイネーブル
1	TC10 はディスエーブル。このストラップは、PHY がスリープ モードに移行するのを防ぎます。

表 7-46. MAC インターフェイス選択ブートストラップ

MAC[2]	MAC[1]	MAC[0]	説明
0	0	0	SGMII (4 線式) (1)
0	0	1	MII
0	1	0	RMII フォロワー (2)
0	1	1	RMII リーダー
1	0	0	RGMII (整列モード)
1	0	1	RGMII (TX 内部遅延モード)
1	1	0	RGMII (TX および RX 内部遅延モード)
1	1	1	RGMII (RX 内部遅延モード)

(1) SGMII ストラップモードは、「S」タイプのデバイスバリアントでのみ利用可能です。「R」タイプのデバイス バリアントでは、このストラップモードは予約されています

Copyright © 2025 Texas Instruments Incorporated

(2) RMII フォロワ モードは、ストラップによってのみ設定できます。ストラップを設定し、レジスタ 0x0432 = 0x0004 を書き込みます。

表 7-47. PHY アドレスのブートストラップ

PHY_AD[3:0]	RX_CTRL ストラップ モード	RX_ER ストラップモード	説明 セクション 7.5.1
0000	1	1	PHY アドレス:b0000 (0x0)
0001	-	-	該当なし
0010	-	-	該当なし
0011	-	-	該当なし
0100	2	1	PHY アドレス:b0100 (0x4)
0101	3	1	PHY アドレス:b0101 (0x5)
0110	-	-	該当なし
0111	-	-	該当なし
1000	1	2	PHY アドレス:b1000 (0x8)
1001	-	-	該当なし
1010	1	3	PHY アドレス:b1010 (0xA)
1011	-	-	該当なし
1100	2	2	PHY アドレス:b1010 (0xC)
1101	3	2	PHY アドレス:b1011 (0xD)
1110	2	3	PHY アドレス:b1110 (0xE)
1111	3	3	PHY アドレス:b1111 (0xF)

7.5.1.1 LED の構成

DP83TC815-Q1 は、最大で 3 つの設定可能な発光ダイオード (LED) ピンをサポートしています:LED_0、LED_1、LED_2 (CLKOUT)) をサポートしています。各種動作モードのために複数の機能を LED に多重化できます。LED の動作は、レジスタ 0x0450 を使用して選択します。

LED 出力ピンはストラップ ピンとしても使用されるため、ストラップに必要な外付け部品と、競合を避けるための LED の使い方とを考慮する必要があります。特に、LED 出力を使って LED を直接駆動する場合、各出力ドライバのアクティブ状態は、電源投入時またはハードウェア リセット時に、対応する入力によってサンプリングされたロジック レベルで決まります。

図 7-25 に、LED を DP83TC815-Q1 に直接接続する 2 つの適切な方法を示します。

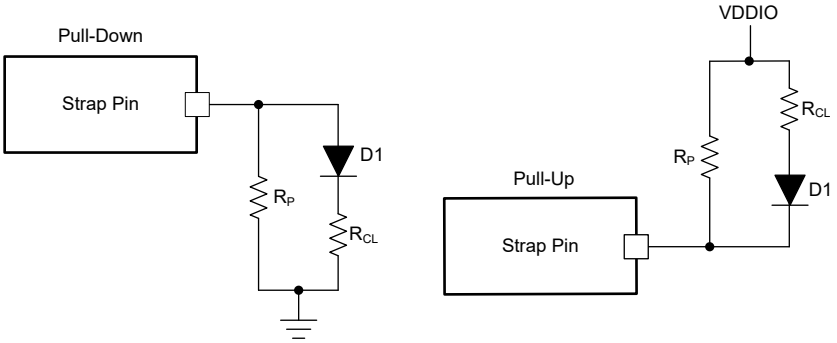


図 7-25. ストラップ接続の例

8 レジスタ マップ

8.1 レジスタ アクセスの概要

フィールド内のレジスタにアクセスする方法は 2 つあります。直接アクセス方式は、最初の 32 のレジスタ (0x0 ～ 0x1F) に対してのみ許可されます。0x1F を超えるレジスタは、間接方式 (拡張レジスタ空間、セクション 7.4.4.1 を参照) を用いてアクセスする必要があります。

表 8-1. MMD レジスタ空間の区分

MMD レジスタ空間	レジスタ アドレス範囲
MMD1F	0x0000～0x0DF0
MMD1	0x1000～0x1836
MMD3	0x3000～0x3001

注

MMD1 と MMD3 では、レジスタ アドレスの最上位ニブルは、それぞれの MMD 空間を示すために使用されます。実際のレジスタ アクセス動作中は、このニブルは無視する必要があります。たとえば、レジスタ 0x1836 にアクセスするには、MMD インジケータとして 0x1 を用い、レジスタ アドレスは 0x0836 を使用します。

表 8-2. レジスタ アクセスの概要

レジスタ フィールド	レジスタ アクセス方式
0x0～0x1F	直接アクセス
	間接アクセス、MMD1F = '11111' 例：MMD1F フィールドのレジスタ 0x17 をポスト インクリメントなしで読み出すには、 ステップ 1) レジスタ 0xD に 0x1F を書き込む ステップ 2) レジスタ 0xE に 0x17 を書き込む ステップ 3) レジスタ 0xD に 0x401F を書き込む ステップ 4) レジスタ 0xE を読み出す
MMD1F フィールド 0x20～0xFFF	間接アクセス、MMD1F = '11111' 例：MMD1F フィールドのレジスタ 0x462 をポスト インクリメントなしで読み出すには、 ステップ 1) レジスタ 0xD に 0x1F を書き込む ステップ 2) レジスタ 0xE に 0x462 を書き込む ステップ 3) レジスタ 0xD に 0x401F を書き込む ステップ 4) レジスタ 0xE を読み出す
MMD1 フィールド 0x0～0xFFF	間接アクセス、MMD1 = '00001' 例：MMD1 フィールド (レジスタ 0x1007) のレジスタ 0x7 をポスト インクリメントなしで読み出すには、 ステップ 1) レジスタ 0xD に 0x1 を書き込む ステップ 2) レジスタ 0xE に 0x7 を書き込む ステップ 3) レジスタ 0xD に 0x4001 を書き込む ステップ 4) レジスタ 0xE を読み出す

Copyright © 2025 Texas Instruments Incorporated

8.2 DP83TC815 のレジスタ

DP83TC815 レジスタのメモリマップされたレジスタを、表 8-3 に示します。表 8-3 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 8-3. DP83TC815 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	BMCR	IEEE 制御レジスタ	セクション 8.2.1
1h	BMSR	IEEE ステータス レジスタ	セクション 8.2.2
2h	PHYIDR1	PHY 識別レジスタ 1	セクション 8.2.3
3h	PHYIDR2	PHY 識別レジスタ 2	セクション 8.2.4
10h	PHYSTS	PHY ステータス レジスタ	セクション 8.2.5
11h	PHYSCR	ソフトウェア制御レジスタ	セクション 8.2.6
12h	MISR1	割り込みレジスタ 1	セクション 8.2.7
13h	MISR2	割り込みレジスタ 2	セクション 8.2.8
15h	RECR	RX エラー カウント レジスタ	セクション 8.2.9
16h	BISCR	BIST 制御レジスタ	セクション 8.2.10
17h	MISR4	割り込みレジスタ 4	セクション 8.2.11
18h	MISR3	割り込みレジスタ 3	セクション 8.2.12
19h	REG_19	PHY アドレス ステータス レジスタ	セクション 8.2.13
1Ah	REG_1A	受信シンボル ステータス レジスタ	セクション 8.2.14
1Bh	TC10_ABORT_REG	TC10 アボート レジスタ	セクション 8.2.15
1Eh	CDCR	TDR 実行ステータス レジスタ	セクション 8.2.16
1Fh	PHYRCR	リセット制御レジスタ	セクション 8.2.17
3Eh	Register_3E	Register_3E	セクション 8.2.18
133h	Register_133	CNS ステータス レジスタ	セクション 8.2.19
17Fh	Register_17F	WUR WUP 構成レジスタ	セクション 8.2.20
181h	Register_181	LPS 受信カウント レジスタ	セクション 8.2.21
182h	Register_182	WUR 受信カウント レジスタ	セクション 8.2.22
184h	LPS_CFG	低消費電力構成レジスタ – 0	セクション 8.2.23
18Bh	LPS_CFG2	低消費電力構成レジスタ – 2	セクション 8.2.24
18Ch	LPS_CFG3	低消費電力構成レジスタ – 3	セクション 8.2.25
18Dh	LINK_FAIL_CNT	リンク失敗カウント レジスタ	セクション 8.2.26
18Eh	LPS_STATUS	低消費電力ステータス レジスタ	セクション 8.2.27
1A0h	PCF	PHY 制御フレーム構成レジスタ	セクション 8.2.28
1A2h	MISC1	SA DA 構成レジスタ	セクション 8.2.29
1A3h	PPM0	PPM モニタ構成レジスタ - 0	セクション 8.2.30
1A4h	PPM1	PPM モニタ構成レジスタ - 1	セクション 8.2.31
1A5h	PPM2	PPM モニタ構成レジスタ - 2	セクション 8.2.32
1A6h	PPM3	PPM モニタ構成レジスタ - 3	セクション 8.2.33
1A7h	PPM4	PPM モニタ構成レジスタ - 4	セクション 8.2.34
1A8h	PPM5	PPM モニタ構成レジスタ - 5	セクション 8.2.35
1A9h	PPM6	PPM モニタ構成レジスタ - 6	セクション 8.2.36
1AAh	PPM7	PPM モニタ構成レジスタ - 7	セクション 8.2.37
1ADh	PPM10	PPM モニタ構成レジスタ - 10	セクション 8.2.38
1AEh	PPM11	PPM モニタ構成レジスタ - 11	セクション 8.2.39

Copyright © 2025 Texas Instruments Incorporated

表 8-3. DP83TC815 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
1AFh	PPM12	PPM モニタ構成レジスタ - 12	セクション 8.2.40
1BEh	fwu_reg_3	高速ウェークアップ レジスタ - 3	セクション 8.2.41
1D2h	spare_reg_tc10	高速ウェークアップ スペア レジスタ	セクション 8.2.42
310h	TDR_TC1	TDR ステータス レジスタ	セクション 8.2.43
402h	ANA_LD_CTRL_3	VDDIO レベル ステータス レジスタ	セクション 8.2.44
430h	A2D_REG_48	RGMII ID 制御レジスタ	セクション 8.2.45
440h	A2D_REG_64	ESD イベント カウント レジスタ - 0	セクション 8.2.46
442h	A2D_REG_66	ESD イベント カウント レジスタ - 1	セクション 8.2.47
444h	A2D_REG_68	TC10 強制制御レジスタ	セクション 8.2.48
450h	LEDS_CFG_1	LED 構成レジスタ - 1	セクション 8.2.49
451h	LEDS_CFG_2	LED 構成レジスタ - 2	セクション 8.2.50
452h	IO_MUX_CFG_1	IO マルチプレクシング レジスタ - 1	セクション 8.2.51
453h	IO_MUX_CFG_2	IO マルチプレクシング レジスタ - 2	セクション 8.2.52
455h	IO_CONTROL_2	IO 制御レジスタ - 2	セクション 8.2.53
456h	IO_MUX_CFG	xMII インピーダンス制御レジスタ	セクション 8.2.54
45Dh	CHIP_SOR_1	ストラップ ステータス レジスタ	セクション 8.2.55
45Fh	LED1_CLKOUT_ANA_CTRL	CLKOUT および LED_1 制御レジスタ	セクション 8.2.56
460h	IMPEDANCE_CTRL_0	インピーダンス制御レジスタ - 0	セクション 8.2.57
461h	IMPEDANCE_CTRL_1	インピーダンス制御レジスタ - 1	セクション 8.2.58
4DFh	RX_FIFO_CONFIG	RX_FIFO_CONFIG	セクション 8.2.59
4EEh	LINKUP_TIMER_1	リンクアップ タイマ レジスタ - 1	セクション 8.2.60
4EFh	LINKUP_TIMER_2	リンクアップ タイマ レジスタ - 2	セクション 8.2.61
523h	TX_PR_FILT_CTRL	MDI 送信強制レジスタ	セクション 8.2.62
551h	PG_REG_1	CRS_DV 制御レジスタ	セクション 8.2.63
552h	PG_REG_3	PG_REG_3	セクション 8.2.64
553h	PG_REG_4	自動極性補正制御レジスタ	セクション 8.2.65
561h	TC1_LINK_FAIL_LOSS	TC1 リンク失敗カウント レジスタ	セクション 8.2.66
562h	TC1_LINK_TRAINING_TIME	TC1 リンク トレーニング時間レジスタ	セクション 8.2.67
563h	NO_LINK_TH	リンク未確立割り込み時間スレッショルド レジスタ	セクション 8.2.68
5A0h	DITH_CTRL_0	ディザリング制御レジスタ - 0	セクション 8.2.69
5A1h	DITH_CTRL_1	ディザリング制御レジスタ - 1	セクション 8.2.70
5A8h	DITH_RFI_EN_CTRL	ディザリング有効レジスタ	セクション 8.2.71
5B2h	CFG_PCF_DMAC_ADDR	PCF DMAC の下位 2 バイトを構成可能	セクション 8.2.72
5B7h	SPARE_IN_FROM_DIG_SL_1	アナログ用の構成可能ビットを持つレジスタ	セクション 8.2.73
5B8h	CONTROL_REG_1	ディザリング無効制御	セクション 8.2.74
600h	RGMII_CTRL	RGMII 制御レジスタ	セクション 8.2.75
601h	RGMII_FIFO_STATUS	RGMII FIFO ステータス レジスタ	セクション 8.2.76
602h	RGMII_CLK_SHIFT_CTRL	RGMII シフト制御レジスタ	セクション 8.2.77
608h	SGMII_CTRL_1	SGMII 制御レジスタ - 1	セクション 8.2.78
60Ah	SGMII_STATUS	SGMII ステータス レジスタ	セクション 8.2.79
60Ch	SGMII_CTRL_2	SGMII 制御レジスタ - 2	セクション 8.2.80
60Dh	SGMII_FIFO_STATUS	SGMII FIFO ステータス レジスタ	セクション 8.2.81

Copyright © 2025 Texas Instruments Incorporated

表 8-3. DP83TC815 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
618h	PRBS_STATUS_1	PRBS ステータス レジスタ - 1	セクション 8.2.82
619h	PRBS_CTRL_1	PRBS 制御レジスタ - 1	セクション 8.2.83
61Ah	PRBS_CTRL_2	PRBS 制御レジスタ - 2	セクション 8.2.84
61Bh	PRBS_CTRL_3	PRBS 制御レジスタ - 3	セクション 8.2.85
61Ch	PRBS_STATUS_2	PRBS ステータス レジスタ - 2	セクション 8.2.86
61Dh	PRBS_STATUS_3	PRBS ステータス レジスタ - 3	セクション 8.2.87
61Eh	PRBS_STATUS_4	PRBS ステータス レジスタ - 4	セクション 8.2.88
620h	PRBS_STATUS_5	PRBS ステータス レジスタ - 5	セクション 8.2.89
622h	PRBS_STATUS_6	PRBS ステータス レジスタ - 6	セクション 8.2.90
623h	PRBS_STATUS_7	PRBS ステータス レジスタ - 7	セクション 8.2.91
624h	PRBS_CTRL_4	PRBS 制御レジスタ - 4	セクション 8.2.92
625h	PATTERN_CTRL_1	BIST パターン制御レジスタ - 1	セクション 8.2.93
626h	PATTERN_CTRL_2	BIST パターン制御レジスタ - 2	セクション 8.2.94
627h	PATTERN_CTRL_3	BIST パターン制御レジスタ - 3	セクション 8.2.95
628h	PMATCH_CTRL_1	BIST 一致判定制御レジスタ - 1	セクション 8.2.96
629h	PMATCH_CTRL_2	BIST 一致判定制御レジスタ - 2	セクション 8.2.97
62Ah	PMATCH_CTRL_3	BIST 一致判定制御レジスタ - 3	セクション 8.2.98
638h	PKT_CRC_STAT	BIST CRC ステータス レジスタ	セクション 8.2.99
639h	TX_PKT_CNT_1	xMII TX パケット カウント レジスタ - 1	セクション 8.2.100
63Ah	TX_PKT_CNT_2	xMII TX パケット カウント レジスタ - 2	セクション 8.2.101
63Bh	TX_PKT_CNT_3	xMII TX パケット カウント レジスタ - 3	セクション 8.2.102
63Ch	RX_PKT_CNT_1	xMII RX パケット カウント レジスタ - 1	セクション 8.2.103
63Dh	RX_PKT_CNT_2	xMII RX パケット カウント レジスタ - 2	セクション 8.2.104
63Eh	RX_PKT_CNT_3	xMII RX パケット カウント レジスタ - 3	セクション 8.2.105
648h	RMII_CTRL_1	RMII 制御レジスタ	セクション 8.2.106
649h	RMII_STATUS_1	RMII FIFO ステータス レジスタ	セクション 8.2.107
D00h	PTP_CTL	PTP 制御レジスタ	セクション 8.2.108
D01h	PTP_TDR	PTP 時刻データ レジスタ	セクション 8.2.109
D02h	PTP_STS	PTP ステータス レジスタ	セクション 8.2.110
D03h	PTP_TSTS	PTP トリガ ステータス レジスタ	セクション 8.2.111
D04h	PTP_RATEL	PTP レート下位レジスタ	セクション 8.2.112
D05h	PTP_RATEH	PTP レート上位レジスタ	セクション 8.2.113
D08h	PTP_TXTS	PTP 送信タイムスタンプ レジスタ	セクション 8.2.114
D09h	PTP_RXTS	PTP 受信タイムスタンプ レジスタ	セクション 8.2.115
D0Ah	PTP_ESTS	PTP イベント ステータス レジスタ	セクション 8.2.116
D10h	PTP_TRIG	PTP トリガ構成レジスタ	セクション 8.2.117
D11h	PTP_EVNT	PTP イベント構成レジスタ	セクション 8.2.118
D12h	PTP_TXCFG0	PTP 送信構成レジスタ 0	セクション 8.2.119
D13h	PTP_TXCFG1	PTP 送信構成レジスタ 1	セクション 8.2.120
D14h	PSF_CFG0	PHY ステータス フレーム構成レジスタ 0	セクション 8.2.121
D15h	PTP_RXCFG0	PTP 受診構成レジスタ 0	セクション 8.2.122
D16h	PTP_RXCFG1	PTP 受診構成レジスタ 1	セクション 8.2.123

表 8-3. DP83TC815 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
D17h	PTP_RXCFG2	PTP 受診構成レジスタ 2	セクション 8.2.124
D18h	PTP_RXCFG3	PTP 受診構成レジスタ 3	セクション 8.2.125
D19h	PTP_RXCFG4	PTP 受診構成レジスタ 4	セクション 8.2.126
D1Ah	PTP_TRDL	PTP 一時レート期間下位レジスタ	セクション 8.2.127
D1Bh	PTP_TRDH	PTP 一時レート期間上位レジスタ	セクション 8.2.128
D1Ch	PTP_EVNT_TSU_CFG	イベント タイムスタンプ格納構成	セクション 8.2.129
D1Dh	PSF_TRIG_TS_EN	トリガ タイムスタンプ PHY ステータス フレーム有効	セクション 8.2.130
D20h	PTP_COC	PTP クロック出力制御レジスタ	セクション 8.2.131
D21h	PSF_CFG1	PHY ステータス フレーム構成レジスタ 1	セクション 8.2.132
D22h	PSF_CFG2	PHY ステータス フレーム構成レジスタ 2	セクション 8.2.133
D23h	PSF_CFG3	PHY ステータス フレーム構成レジスタ 3	セクション 8.2.134
D24h	PSF_CFG4	PHY ステータス フレーム構成レジスタ 4	セクション 8.2.135
D26h	PTP_INTCTL	PTP 割り込み制御レジスタ	セクション 8.2.136
D27h	PTP_CLKSRC	PTP クロックソース レジスタ	セクション 8.2.137
D28h	PTP_ETYPE	PTP イーサネット タイプ レジスタ	セクション 8.2.138
D29h	PTP_OFF	PTP オフセット レジスタ	セクション 8.2.139
D2Bh	PTP_RXHASH	PTP 受信ハッシュ レジスタ	セクション 8.2.140
D30h	PTP_EVENT_GPIO_SEL	PTP イベント GPIO 選択レジスタ	セクション 8.2.141
D32h	TX_SMD_GPIO_CTL	TX パスの SMD 検出 および GPIO 制御レジスタ	セクション 8.2.142
D33h	SCH_CTL_1	スケジューラ制御 1	セクション 8.2.143
D34h	SCH_CTL_2	スケジューラ制御 2	セクション 8.2.144
D35h	FREQ_CTL_1	基準周波数制御 1	セクション 8.2.145
D36h	FREQ_CTL_2	基準周波数制御 2	セクション 8.2.146
D37h	PTP_RATEL_ACC_ONLY	PTP レート ACC LSB 専用レジスタ	セクション 8.2.147
D38h	PTP_RATEH_ACC_ONLY	PTP レート ACC MSB 専用レジスタおよび有効ビット	セクション 8.2.148
D39h	PTP_PLL_CTL	PTP_PLL 制御レジスタ	セクション 8.2.149
D3Ah	PTP_PLL_RD_1	PTP タイムスタンプ読み取りレジスタ 1	セクション 8.2.150
D3Bh	PTP_PLL_RD_2	PTP タイムスタンプ読み取りレジスタ 2	セクション 8.2.151
D3Ch	PTP_PLL_RD_3	PTP タイムスタンプ読み取りレジスタ 3	セクション 8.2.152
D3Dh	PTP_PLL_RD_4	PTP タイムスタンプ読み取りレジスタ 4	セクション 8.2.153
D3Eh	PTP_PLL_RD_5	PTP タイムスタンプ読み取りレジスタ 5	セクション 8.2.154
D3Fh	PTP_PLL_RD_6	PTP タイムスタンプ読み取りレジスタ 6	セクション 8.2.155
D40h	PTP_ONESTEP_OFF	PTP ワンステップ オフセット レジスタ	セクション 8.2.156
D45h	PTP_PSF_VLAN_CFG_1	PSF VLAN 構成 1	セクション 8.2.157
D46h	PTP_PSF_VLAN_CFG_2	PSF VLAN 構成 2	セクション 8.2.158
D47h	PTP_PSF_VLAN_CFG_3	PSF VLAN 構成 3	セクション 8.2.159
D48h	MAX_IPV4_LENGTH	PSF IPv4 パケット長	セクション 8.2.160
D49h	PTP_TXCFG_2	PTP ドメイン フィルタ制御	セクション 8.2.161
D4Ah	PSF_DMAC_1	PSF DMAC アドレス 1	セクション 8.2.162
D4Bh	PSF_DMAC_2	PSF DMAC アドレス 2	セクション 8.2.163
D4Ch	PSF_DMAC_3	PSF DMAC アドレス 3	セクション 8.2.164
D4Dh	PSF_SMAC_1	PSF SMAC アドレス 1	セクション 8.2.165

Copyright © 2025 Texas Instruments Incorporated

表 8-3. DP83TC815 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
D4Eh	PSF_SMAC_2	PSF SMAC アドレス 2	セクション 8.2.166
D4Fh	PSF_SMAC_3	PSF SMAC アドレス 3	セクション 8.2.167
D50h	PSF_ETYPE	PSF イーサタイプ	セクション 8.2.168
D51h	IPV4_DA_1	PSF 宛先アドレス 1	セクション 8.2.169
D52h	IPV4_DA_2	PSF 宛先アドレス 2	セクション 8.2.170
D53h	PSF_SOURCE_UDP_PORT	PSF UDP 送信元ポート アドレス	セクション 8.2.171
D54h	PSF_DESTINATION_UDP_PORT	PSF UDP 宛先ポート アドレス	セクション 8.2.172
DE0h	PTP_LAT_COMP_CTRL	PTP レイテンシ補償制御	セクション 8.2.173
DF0h	PTP_DEBUG_SEL	PTP デバッグ選択	セクション 8.2.174
1000h	MMD1_PMA_CTRL_1	PMA 制御 1	セクション 8.2.175
1001h	MMD1_PMA_STATUS_1	PMA ステータス 1	セクション 8.2.176
1007h	MMD1_PMA_STAUS_2	PMA ステータス 2	セクション 8.2.177
100Bh	MMD1_PMA_EXT_ABILITY_1	PMA 拡張 1	セクション 8.2.178
1012h	MMD1_PMA_EXT_ABILITY_2	PMA 拡張 2	セクション 8.2.179
1834h	MMD1_PMA_CTRL_2	PMA 制御 2	セクション 8.2.180
1836h	MMD1_PMA_TEST_MODE_CTRL	PMA テスト	セクション 8.2.181
3000h	MMD3_PCS_CTRL_1	PCS 制御	セクション 8.2.182
3001h	MMD3_PCS_Status_1	PCS のステータス	セクション 8.2.183

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-4. DP83TC815 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
RC	R C	読み出し後 クリア
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
W1S	W 1S	1 を書き込むことで セット
WSC	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.2.1 BMCR レジスタ (オフセット = 0h) [リセット = 2100h]

BMCR を表 8-5 に示します。

概略表に戻ります。

表 8-5. BMCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	MII のリセット	R-0/W1S	0h	1b = デジタル入力をリセット、全 MII レジスタ (0x0 ～ 0xF) をデフォルト値にリセット 0b = リセットなし このビットは自動クリアされます
14	MII ループバック有効化	R/W	0h	1b = MII ループバック有効化 0b = MII ループバック無効化 xMII ループバック モードが有効な場合、xMII TXD に示される送信データは内部的に xMII RXD にループバックされます。 xMII ループバックを有効にしている間は、LINK インジケータは生成されません。
13	速度選択	R	1h	1b = 1000Mb/s 0b = 予約済み
12	オートネゴシエーション イネーブル	R	0h	オートネゴシエーション：本デバイスは非対応
11	IEEE パワーダウン ピン有効化	R/W	0h	このビットは、IEEE パワーダウン モードへの移行および終了を行うようにプログラムできます このビットは、INT_N をパワーダウン ピンとして使用する場合のステータスを提供します 1b = パワーダウン モード 0b = 通常モード
10	MAC 分離有効化	R/W	0h	1b = 分離モード (PHY から MAC への出力なし) 0b = 通常モード
9	予約済み	R	0h	予約済み
8	デュプレックス モード選択	R	1h	1b = 全二重 0b = 半二重
7	予約済み	R	0h	予約済み
6-0	予約済み	R	0h	予約済み

8.2.2 BMSR レジスタ (オフセット = 1h) [リセット = 0061h]

BMSR を表 8-6 に示します。

概略表に戻ります。

表 8-6. BMSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	100Base-T4 対応	R	0h	0b = PHY は 100BASE-T4 に対応しません
14	100Base-X 全二重対応	R	0h	0b = PHY は 100Base-X 全二重に対応しません
13	100Base-X 半二重対応	R	0h	0b = PHY は 100Base-X 半二重に対応しません
12	10 Mbps 全二重対応	R	0h	0b = PHY は 10 Mb/s の全二重モードに対応しません
11	10 Mbps 半二重対応	R	0h	0b = PHY は 10Mb/s の半二重モードに対応しません
10-7	予約済み	R	0h	予約済み
6	SMI プリアンブル抑制	R	1h	1b = PHY がプリアンブルが抑制された管理フレームを受け入れる 0b = PHY はプリアンブルが抑制された管理フレームを受け入れない
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	オートネゴシエーション機能	R	0h	0b = PHY はオートネゴシエーションを実行しません
2	リンク ステータス (ラッチ Low)	RH	0h	1b = リンクはアップ 0b = 少なくとも一度リンクダウンが発生
1	ジャバー検出	RC	0h	1b = ジャバー状態を検出 0b = ジャバー状態は未検出

Copyright © 2025 Texas Instruments Incorporated

表 8-6. BMSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	拡張レジスタ機能	R	1h	1b = 拡張レジスタ対応 0b = 基本レジスタ セットのみ対応

8.2.3 PHYIDR1 レジスタ (オフセット = 2h) [リセット = 2000h]

PHYIDR1 を表 8-7 に示します。

概略表に戻ります。

表 8-7. PHYIDR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	組織固有識別子 1	R	2000h	部品固有識別子

8.2.4 PHYIDR2 レジスタ (オフセット = 3h) [リセット = A2E0h]

PHYIDR2 を表 8-8 に示します。

概略表に戻ります。

表 8-8. PHYIDR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	固有識別子 2	R	28h	部品固有識別子
9-4	モデル番号	R	2Eh	部品固有識別子
3-0	リビジョン番号	R	0h	部品固有識別子

8.2.5 PHYSTS レジスタ (オフセット = 10h) [リセット = 0004h]

PHYSTS を表 8-9 に示します。

概略表に戻ります。

表 8-9. PHYSTS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	デスクランブラ ロックのステータス (ラッチ Low)	RH	0h	1b = デスクランブラはロック中 0b = デスクランブラは少なくとも 1 回ロック外れを検出
8	予約済み	R	0h	予約済み
7	割り込みピン ステータス	R	0h	割り込みピンのステータス、0x12 を読み取るとクリア 1b = 割り込みピンが未アサート 0b = 割り込みピンがアサート済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み

表 8-9. PHYSTS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	MII ループバック ステータス	R	0h	1b = MII ループバック有効 0b = MII ループバック無効
2	二重モード ステータス	R	1h	1b = 全二重 0b = 半二重
1	予約済み	R	0h	予約済み
0	リンク ステータス (ラッチ Low) 読み取りでクリアされない	R	0h	読み取りでクリアなしのラッチ Low リンク ステータス 1b = リンクアップ 0b = 少なくとも一度リンクダウンを検出 ステータスはレジスタ 0x1 を読み取るとクリアされます

8.2.6 PHYSCR レジスタ (オフセット = 11h) [リセット = 010Bh]

PHYSCR を表 8-10 に示します。

概略表に戻ります。

表 8-10. PHYSCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13-12	予約済み	R	0h	予約済み
11	SGMII ソフトリセット	R/WSC	0h	SGMII デジタル リセット このビットは自動クリアされます
10	PHY_ADDR 0x00 の MAC 分離	R/W	0h	MAC 分離は、PHY アドレスが 0x00 の場合にのみ有効になります レジスタ 0x0[10] は、0x00 を含むすべての PHY アドレスで動作します 1b = 分離モード (PHY から MAC への出力なし) 0b = 通常モード
9-8	RMII TX FIFO 深さ	R/W	1h	00b = 4 ニブル 01b = 5 ニブル 10b = 6 ニブル 11b = 8 ニブル
7	予約済み	R	0h	予約済み
6-4	予約済み	R	0h	予約済み
3	割り込み極性	R/W	1h	1b =アクティブ Low 0b = アクティブ High
2	強制割り込み	R/W	0h	1b = 割り込みピンを強制する
1	割り込み有効	R/W	1h	1b = 割り込み有効 0b =割り込み無効
0	割り込みピン構成	R/W	1h	1b = INT_N ピンを割り込み出力ピンとして構成 0b = INT_N ピンをパワーダウン入力ピンとして構成

8.2.7 MISR1 レジスタ (オフセット = 12h) [リセット = 0000h]

MISR1 を表 8-11 に示します。

概略表に戻ります。

表 8-11. MISR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

表 8-11. MISR1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	エネルギー検出変化ステータス	RC	0h	MDI エネルギー検出出力に変化があると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
13	リンク ステータス変化ステータス	RC	0h	リンク ステータスに変化があると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
12	ウェーク オン LAN ステータス	RC	0h	WOL イベントを検出すると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
11	ESD フォルト検出ステータス	RC	0h	ESD フォルトが検出されると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
10	トレーニング完了ステータス	RC	0h	トレーニングが完了すると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
9	予約済み	R	0h	予約済み
8	RX エラーカウンタ半分到達ステータス	RC	0h	0x15 の RX エラーカウンタが半分まで満たされると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
7	予約済み	R	0h	予約済み
6	エネルギー検出変化通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
5	リンク ステータス変化通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
4	ウェーク オン LAN 通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
3	ESD フォルト検出通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
2	トレーニング完了通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
1	予約済み	R	0h	予約済み
0	RX エラーカウンタ半分到達通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします

8.2.8 MISR2 レジスタ (オフセット = 13h) [リセット = 0000h]

MISR2 を表 8-12 に示します。

概略表に戻ります。

表 8-12. MISR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	低電圧ステータス	RC	0h	低電圧が検出されると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
14	過電圧ステータス	RC	0h	過電圧が検出されると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	過熱ステータス	RC	0h	過熱が検出されると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
10	予約済み	R	0h	予約済み

表 8-12. MISR2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	データ極性変化ステータス	RC	0h	MDI ラインの極性変化を検出すると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
8	ジャバー検出ステータス	RC	0h	ジャバーが検出されると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
7	低電圧通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
6	過電圧通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	データ極性変化通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
0	ジャバー検出通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします

8.2.9 RECR レジスタ (オフセット = 15h) [リセット = 0000h]

RECR を表 8-13 に示します。

概略表に戻ります。

表 8-13. RECR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RX エラー カウント	RC	0h	RX_ER カウンタ: 有効なキャリアが存在し (RX_DV が設定されている間のみ)、無効なデータ シンボルが少なくとも 1 回発生すると、この 16 ビット カウンタは、検出された受信エラーごとにインクリメントします。xMII ループバック モードでは、RX_ER カウンタはカウントされません。カウンタは最大カウント値 (0xFFFF) に達すると停止します。 カウンタがハーフフル (0x7FFF) を超えると、割り込みが生成されます。 このレジスタは、読み取り時にクリアされます。

8.2.10 BISCR レジスタ (オフセット = 16h) [リセット = 0100h]

BISCR を表 8-14 に示します。

概略表に戻ります。

表 8-14. BISCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

表 8-14. BISCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	xMII ループバックにおける MDI へのデータ転送	R/W	0h	0b = xMII ループバック中は MDI へのデータ送出を抑制 1b = xMII ループバック中も MDI へデータを送信
5-2	ループバック モード	R/W	0h	PCS ループバック以外のループバックを有効化します。0x16[1] は 0 に設定すること 0001b = デジタル ループバック 0010b = アナログ ループバック 0100b = リバース ループバック 1000b = 外部ループバック
1	PCS ループバック有効化	R/W	0h	0b = PCS ループバックを無効化 1b = PCS ループバックを有効化
0	予約済み	R	0h	予約済み

8.2.11 MISR4 レジスタ (オフセット = 17h) [リセット = 0000h]

MISR4 を表 8-15 に示します。

概略表に戻ります。

表 8-15. MISR4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	PPM モニタ ロック外れステータス	R	0h	PPM モニタがロック外れを起こすと、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
10-7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	PPM モニタ ロック外れ通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
2-0	予約済み	R	0h	予約済み

8.2.12 MISR3 レジスタ (オフセット = 18h) [リセット = 0035h]

MISR3 を表 8-16 に示します。

概略表に戻ります。

表 8-16. MISR3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	リンク未確立ステータス	RC	0h	トレーニング開始後、0x562 に設定した時間内にリンクが観測されない場合、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
13	スリープ失敗ステータス	RC	0h	スリープ ネゴシエーションが失敗すると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます

表 8-16. MISR3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	パワーオン リセット完了ステータス	RC	0h	電源立ち上がり後にパワーオン リセットが完了すると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
11	フレーム未検出ステータス	RC	0h	一定時間フレームが検出されない場合、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
10	WUR 受信ステータス	RC	0h	リンク相手から WUR コマンドを受信すると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
9	リモート ウェークアップ通知	RC	0h	電源投入後、デバイスがリモートでウェークアップされている場合、このステータスは 1 になります このレジスタの読み取りでステータスはクリアされます
8	LPS 受信ステータス	RC	0h	リンク相手から LPS コマンドを受信すると、ステータスは 1 に遷移します このレジスタの読み取りでステータスはクリアされます
7	予約済み	R	0h	予約済み
6	リンク未確立通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
5	スリープ失敗通知	R/W	1h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
4	パワーオン リセット完了通知	R/W	1h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
3	フレーム未検出通知	R/W	0h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
2	WUR 受信通知	R/W	1h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします
1	予約済み	R	0h	予約済み
0	LPS 受信通知	R/W	1h	1b = 対応する割り込みステータスが設定されている場合は INT_N ピンで通知を有効にします 0b = 通知を無効にします

8.2.13 REG_19 レジスタ (オフセット = 19h) [リセット = 0800h]

REG_19 を表 8-17 に示します。

概略表に戻ります。

表 8-17. REG_19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9-5	予約済み	R	0h	予約済み
4-0	PHY アドレス	R	0h	ストラップからラッチされた PHY アドレス

Copyright © 2025 Texas Instruments Incorporated

8.2.14 REG_1A レジスタ (オフセット = 1Ah) [リセット = 0000h]

REG_1A を表 8-18 に示します。

概略表に戻ります。

表 8-18. REG_1A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0h	予約済み
4	データ極性ステータス	R	0h	0b = 通常極性 1b = 反転極性
3-1	予約済み	R	0h	予約済み
0	ジャバー検出無効化	R/W	0h	0b = ジャバー検出有効 1b = ジャバー検出無効

8.2.15 TC10_ABORT_REG レジスタ (オフセット = 1Bh) [リセット = 0000h]

TC10_ABORT_REG を表 8-19 に示します。

概略表に戻ります。

表 8-19. TC10_ABORT_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	GPIO によるスリープ中止	R/W	0h	GPIO を High に駆動することでスリープを中止できます 1b = スリープ中止に LED_1/CLKOUT を使用 (どの GPIO が LED_1 として構成されているかに依存) 0b = GPIO はスリープ中止に使用されません
0	スリープ中止	R/W	0h	このビットを 1 に設定するとスリープを中止します 通常モードへ遷移するとクリアされます

8.2.16 CDCR レジスタ (オフセット = 1Eh) [リセット = 0000h]

CDCR を表 8-20 に示します。

概略表に戻ります。

表 8-20. CDCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	TDR 開始	RH/W1S	0h	1b = TDR 開始 このビットは TDR の実行完了後にクリアされます
14	TDR 自動実行有効化	R/W	0h	1b = リンク ダウン時に TDR を自動開始 0b = 0x1E[15] を用いて手動で TDR を開始
13-2	予約済み	R	0h	予約済み
1	TDR 完了ステータス	R	0h	1b = TDR 完了 0b = TDR 実行中または未開始
0	TDR 失敗ステータス	R	0h	TDR 完了ステータスが 1 のとき、このビットは TDR 実行の成否を示します 1b = TDR 実行失敗 0b = TDR 実行成功

8.2.17 PHYRCR レジスタ (オフセット = 1Fh) [リセット = 0000h]

PHYRCR を表 8-21 に示します。

概略表に戻ります。

表 8-21. PHYRCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	ハード リセット	R-0/W1S	0h	デジタル コアとレジスタ ファイルをリセットします このビットはセルフクリアです
14	ソフト リセット	R-0/W1S	0h	デジタル コアをリセットしますが、レジスタ ファイルはリセットされません このビットはセルフクリアです
13	ソフト リセット 2	R-0/W1S	0h	レジスタ ファイルをリセットします このビットはセルフクリアです
12	予約済み	R	0h	予約済み
11-7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4-0	予約済み	R	0h	予約済み

8.2.18 レジスタ_3E (オフセット = 3Eh) [リセット = 0000h]

Register_3E を表 8-22 に示します。

概略表に戻ります。

表 8-22. Register_3E のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-6	予約済み	R	0h	予約済み
5	cfg_leader_scr_rst_on_dsp_fail	R/W	0h	PHY がリーダー構成のとき、DSP フォールバック時のスクランブラ リセットを有効にします
4	cfg_follower_scr_rst_on_dsp_fail	R/W	0h	PHY がフォロワー構成のとき、DSP フォールバック時のスクランブラ リセットを有効にします
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

8.2.19 レジスタ_133 (オフセット = 133h) [リセット = 0000h]

Register_133 を表 8-23 に示します。

概略表に戻ります。

表 8-23. Register_133 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	リンクアップ ステータス	R	0h	CnS で定義されたリンクアップ ステータス
13	送信データ モードの PHY 制御	R	0h	送信データ ステータスの PHY 制御
12	リンク ステータス	R	0h	リンク モニタによって設定されたリンク ステータス
11-8	予約済み	R	0h	予約済み
7	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

表 8-23. Register_133 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	デスクランブラ ロックのステータス	R	0h	デスクランブラ ロックのステータス
1	ローカル レシーバのステータス	R	0h	ローカル レシーバのステータス
0	リモート レシーバ ステータス	R	0h	リモート レシーバのステータス

8.2.20 レジスタ_17F (オフセット = 17Fh) [リセット = 4028h]

Register_17F を表 8-24 に示します。

概略表に戻ります。

表 8-24. Register_17F のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15	WAKE ピンからの WUR	R/W	0h	WAKE ピンにパルスが送信されたときに WUR 送信を有効化します 1b = WUR 送信を有効化 WAKE パルス幅スレッショルドは、0x17F[7:0] で設定可能
14	WUP イネーブル	R/W	1h	ローカル ウェークアップ後の WUP 送信を有効化します 1b = WUP 送信有効 0b = WUP 送信無効 ストラップにより PHY がスタンバイ モードで起動する構成では、このオプションを有効にすると効果的です
13-8	予約済み	R	0h	予約済み
7-0	Wake パルス スレッショルド	R/W	28h	アクティブリンク中に WUR を開始するために必要な WAKE パルス幅 (マイクロ秒)

8.2.21 レジスタ_181 (オフセット = 181h) [リセット = 0000h]

Register_181 を表 8-25 に示します。

概略表に戻ります。

表 8-25. Register_181 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-0	RX LPS カウント	R	0h	受信した LPS コード数を示します

8.2.22 レジスタ_182 (オフセット = 182h) [リセット = 0000h]

Register_182 を表 8-26 に示します。

概略表に戻ります。

表 8-26. Register_182 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み

表 8-26. Register_182 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-0	RX WUR カウント	R	0h	受信した WUR コード数を示します

8.2.23 LPS_CFG レジスタ (オフセット = 184h) [リセット = 0203h]

表 8-27 に、LPS_CFG を示します。

概略表に戻ります。

表 8-27. LPS_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11-10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8-7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	ウェーク フォワード強制	R/W	0h	1b = WAKE ピンにパルスを強制出力 パルス幅は [3:2] ビットで構成可能 このビットはセルフクリアです
3-2	ウェーク フォワード パルス幅	R/W	0h	ウェーク フォワードの WAKE ピンのパルス幅を構成します 00b = 50us 01b = 500us 10b = 2ms 11b = 20ms
1	ウェーク フォワード有効化	R/W	1h	WUR コマンド受信時に、WAKE ピンでのウェーク フォワードを有効化します 0b = ウェーク フォワードを有効化 1b = ウェーク フォワードを無効化
0	予約済み	R	0h	予約済み

8.2.24 LPS_CFG2 レジスタ (オフセット = 18Bh) [リセット = 1C4Bh]

LPS_CFG2 を表 8-28 に示します。

概略表に戻ります。

表 8-28. LPS_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	リンク ダウン時のスリープ ネゴシエーション停止	R/W	1h	1b = ネゴシエーション中にリンクがダウンすると、スリープ ネゴシエーションを停止します
11	アクティビティ検出時スリープ ネゴシエーション停止	R/W	1h	1b = SLEEP_ACK 状態で MAC からの動作が検出された場合、スリープ ネゴシエーションを停止します
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

表 8-28. LPS_CFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	TC10 無効化	R/W	0h	0b = TC10 を有効化 1b = TC10 を無効化 デフォルト値は RX_CLK ストラップで決定されます
7	予約済み	R	0h	予約済み
6	自律モード	R/W	1h	1b = 電源投入時に PHY は通常モードに入ります 0b = 電源投入時に PHY はスタンバイ モードに入ります デフォルト値は LED_1 ストラップで決定されます このビットはリンクアップ後にクリアされます。
5	スタンバイへの遷移	R/W	0h	1b = 過熱、過電圧、低電圧発生時の通常モードからスタンドバイへの遷移を有効化します 0b = 過熱、過電圧、低電圧での通常モードからスタンバイへの遷移を無効化
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

8.2.25 LPS_CFG3 レジスタ (オフセット = 18Ch) [リセット = 0000h]

LPS_CFG3 を表 8-29 に示します。

概略表に戻ります。

表 8-29. LPS_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	予約済み	R	0h	予約済み
8-0	電源状態エントリ	RH/W1S	0h	00000001b = 通常コマンド 00000010b = スリープ要求 00010000b = スタンバ イコマンド 10000000b = WUR コマンド

8.2.26 LINK_FAIL_CNT レジスタ (オフセット = 18Dh) [リセット = 0000h]

表 8-30 に、LINK_FAIL_CNT を示します。

概略表に戻ります。

表 8-30. LINK_FAIL_CNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	リンクロス回数	R	0h	TI カスタムのリンクロス カウンタ: カウントはリンク ステータス の立ち下りエッジでインクリメントされます このレジスタの読み取りでカウントはクリアされます

8.2.27 LPS_STATUS レジスタ (オフセット = 18Eh) [リセット = 0000h]

表 8-31 に、LPS_STATUS を示します。

概略表に戻ります。

表 8-31. LPS_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6-0	電源状態ステータス	R	0h	00000001b = スリープ モード 00000010b = スタンバイ モード 00000100b = 通常モード 00001000b = スリープ アクノリッジ 00010000b = スリープ要求 00100000b = スリープ失敗 01000000b = スリープ サイレント

8.2.28 PCF レジスタ (オフセット = 1A0h) [リセット = 0000h]

PCF を表 8-32 に示します。

概略表に戻ります。

表 8-32. PCF レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	PHY 制御フレーム エラー ステータス	R	0h	このレジスタが最後に読み取りされてから現在までの間に、PCF フレーム内でエラーが検出されたことを示します。このビットは、レジスタを読み取るとクリアされます。
13	PHY 制御フレーム正常ステータス	R	0h	このレジスタが最後に読み取りされてから現在までの間に、PCF フレームがエラーなく完了したことを示します。このビットは、レジスタを読み取るとクリアされます。
12-9	予約済み	R	0h	予約済み
8	PHY 制御フレーム宛先アドレス	R/W	0h	PHY 制御フレームの MAC 宛先アドレスを選択: 0:Mac アドレス [08 00 17 0B 6B 0F] を使用 1:Mac アドレス [08 00 17 00 00 00] を使用 また、本デバイスは、本デバイスは、上記アドレスについてマルチキャストビットがセットされたパケット (すなわち、09 00 17 で始まるアドレス) も認識します
7-6	PHY 制御フレーム割り込み	R/W	0h	PCF 割り込みの制御およびステータス: ビット 7 — PCF フレーム エラー ステータスを INT_N ピンに出力することを有効化します ビット 6 — PCF フレーム OK ステータスを INT_N ピンに出力することを有効化します これらのステータスは、レジスタ 0x1A0[14:13] でも読み取り可能です
5	PHY 制御フレーム ブロードキャスト無効化	R/W	0h	デフォルトでは、本デバイスは Phy アドレス フィールドが 0x1F のブロードキャスト Phy 制御フレームを受信します。このビットが 1 に設定されている場合、Phy 制御フレームの Phy アドレス フィールドは、デバイスの PHY アドレスと完全に一致している必要があります。
4-1	PHY 制御フレーム バッファサイズ	R/W	0h	Phy 制御フレームを検出できるようにするための、送信側バッファサイズを設定します。すべてのパケットは、このバッファを通過する際に遅延されます。0 に設定されている場合、パケットは遅延されず、Phy 制御フレームは宛先アドレス フィールドの後で切り詰められます
0	PHY 制御フレーム有効	R/W	0h	Phy 制御フレームを用いたレジスタ書き込みを有効にします

8.2.29 MISC1 レジスタ (オフセット = 1A2h) [リセット = 0002h]

MISC1 を表 8-33 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-33. MISC1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6	DA SA の入れ替え	R/W	0h	1b = デバッグ用として、パケットの宛先アドレス フィールドと送信元アドレス フィールドを入れ替えます
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3-0	予約済み	R	0h	予約済み

8.2.30 PPM0 レジスタ (オフセット = 1A3h) [リセット = F423h]

PPM0 を表 8-34 に示します。

概略表に戻ります。

表 8-34. PPM0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	モニタ クロック カウント [15:0]	R/W	F423h	PPM モニタ内のモニタ クロック カウンタの下位 16 ビット モニタ クロック カウント = リフレッシュ期間÷モニタ クロック周期 リフレッシュ期間は、モニタ クロック周期と基準クロック周期の公倍数であれば任意に設定可能です

8.2.31 PPM1 レジスタ (オフセット = 1A4h) [リセット = 0000h]

PPM1 を表 8-35 に示します。

概略表に戻ります。

表 8-35. PPM1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	モニタ クロック カウント [31:16]	R/W	0h	PPM モニタ内のモニタ クロック カウンタの上位 16 ビット モニタ クロック カウント = リフレッシュ期間÷モニタ クロック周期 リフレッシュ期間は、モニタ クロック周期と基準クロック周期の公倍数であれば任意に設定可能です

8.2.32 PPM2 レジスタ (オフセット = 1A5h) [リセット = 30D3h]

PPM2 を表 8-36 に示します。

概略表に戻ります。

表 8-36. PPM2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	基準クロック カウント [15:0]	R/W	30D3h	PPM モニタ内のモニタ クロック カウンタの下位 16 ビット 基準クロック カウント = リフレッシュ期間÷基準クロック周期 リフレッシュ期間は、モニタ クロック周期と基準クロック周期の公倍数であれば任意に設定可能です

8.2.33 PPM3 レジスタ (オフセット = 1A6h) [リセット = 0000h]

PPM3 を表 8-37 に示します。

概略表に戻ります。

表 8-37. PPM3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	基準クロック カウント [31:16]	R/W	0h	PPM モニタ内のモニタ クロック カウンタの上位 16 ビット モニタ クロック カウント = リフレッシュ期間÷基準クロック周期 リフレッシュ期間は、モニタ クロック周期と基準クロック周期の公倍数であれば任意に設定可能です

8.2.34 PPM4 レジスタ (オフセット = 1A7h) [リセット = 0000h]

PPM4 を表 8-38 に示します。

概略表に戻ります。

表 8-38. PPM4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PPM モニタ割り込みスレッショルド カウント - 1 [15:0]	R/W	0h	PPM モニタ割り込みスレッショルド カウントの下位 16 ビット - 1: PPM モニタ割り込みスレッショルド カウント - 1 は モニタ クロック カウントで表される PPM のスレッショルドです PPM がこのスレッショルドを超えると割り込みフラグが設定される必要があります

8.2.35 PPM5 レジスタ (オフセット = 1A8h) [リセット = 0000h]

PPM5 を表 8-39 に示します。

概略表に戻ります。

表 8-39. PPM5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PPM モニタ割り込みスレッショルド カウント - 1 [31:16]	R/W	0h	PPM モニタ割り込みスレッショルド カウントの上位 16 ビット - 1: PPM モニタ割り込みスレッショルド カウント - 1 は モニタ クロック カウントで表される PPM のスレッショルドです PPM がこのスレッショルドを超えると割り込みフラグが設定される必要があります

8.2.36 PPM6 レジスタ (オフセット = 1A9h) [リセット = 0000h]

PPM6 を表 8-40 に示します。

概略表に戻ります。

表 8-40. PPM6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PPM モニタ割り込みスレッショルド カウント - 2 [15:0]	R/W	0h	PPM モニタ割り込みスレッショルド カウントの下位 16 ビット - 2: PPM モニタ割り込みスレッショルド カウント - 2 は モニタ クロック カウントで表される負の PPM のスレッショルドで PPM がこのスレッショルドを超えると割り込みフラグが設定される必要があります

8.2.37 PPM7 レジスタ (オフセット = 1AAh) [リセット = 0000h]

PPM7 を表 8-41 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-41. PPM7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PPM モニタ割り込みスレッショルド カウント - 2 [31:16]	R/W	0h	PPM モニタ割り込みスレッショルド カウントの上位 16 ビット - 2: PPM モニタ割り込みスレッショルド カウント - 2 は モニタ クロック カウントで表される負の PPM のスレッショルドで PPM がこのスレッショルドを超えると割り込みフラグが設定される必要があります

8.2.38 PPM10 レジスタ (オフセット = 1ADh) [リセット = 0000h]

PPM10 を表 8-42 に示します。

概略表に戻ります。

表 8-42. PPM10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PPM モニタ出力 [15:0]	R/W	0h	PPM モニタ出力 0x01AE[15] = 0 の場合、PPM オフセットは負、0x01AE[15]= 1 の場合、PPM オフセットは正となります モニタ クロックの PPM オフセット = {0x01AE[14:0],0x01AD[15:0]}/{0x01A4, 0x01A3}

8.2.39 PPM11 レジスタ (オフセット = 1AEh) [リセット = 0000h]

PPM11 を表 8-43 に示します。

概略表に戻ります。

表 8-43. PPM11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PPM モニタ出力 [31:16]	R/W	0h	PPM モニタ出力 0x01AE[15] = 0 の場合、PPM オフセットは負、0x01AE[15]= 1 の場合、PPM オフセットは正となります モニタ クロックの PPM オフセット = {0x01AE[14:0],0x01AD[15:0]}/{0x01A4, 0x01A3}

8.2.40 PPM12 レジスタ (オフセット = 1AFh) [リセット = 0000h]

PPM12 を表 8-44 に示します。

概略表に戻ります。

表 8-44. PPM12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	PPM モニタ外部クロック選択	R/W	0h	PPM モニタの外部クロック入力に使用する GPIO ピンを選択: 2h = LED_0 3h = GPIO5
13	PPM モニタ有効化	R/W	0h	PPM モニタ有効化: 0h = PPM モニタ無効化 1h = PPM モニタ有効化

表 8-44. PPM12 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12-9	PPM モニタの基準クロック選択	R/W	0h	PPM モニタの基準クロックを選択します 0h = XI 入力 1h = 200MHz 復元クロック 2h = 250MHz の PLL CLK 3h = PTP PLL 4h = 外部クロック入力 5h = 200MHz リーダー送信クロック 6h = SGMII 復元クロック 7h = PTP トリガ 0
8-5	PPM モニタのモニタ クロック選択	R/W	0h	PPM モニタで使用するモニタ クロックを選択します 0h = XI 入力 1h = 200MHz 復元クロック 2h = 250MHz の PLL CLK 3h = PTP PLL 4h = 外部クロック入力 5h = 200MHz リーダー送信クロック 6h = SGMII 復元クロック 7h = PTP トリガ 0
4	PPM モニタ値ラッチ	R/W	0h	ppm モニタ値をシャドウ レジスタにラッチします 0h = PPM ステータスの読み取りを無効化 1h = PPM ステータス読み取りを有効化
3-2	予約済み	R	0h	予約済み
1-0	予約済み	R	0h	予約済み

8.2.41 fwu_reg_3 レジスタ (オフセット = 1BEh) [リセット = 0158h]

fwu_reg_3 を表 8-45 に示します。

概略表に戻ります。

表 8-45. fwu_reg_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	高速ウェークアップ メモリロード有効	R/W	0h	レジスタ アドレスとデータをメモリにロードできるようにするには、このビットを 1 に設定します
9	高速ウェークアップ ロード トリガ	R/W	0h	レジスタアドレスおよびデータを 0x1BC と 0x1BD に設定した後、このビットを 1 に設定します このビットは自動でクリアされます
8	高速ウェークアップ メモリリセット	R/W	1h	0h = メモリをリセット
7-2	予約済み	R	0h	予約済み
1-0	予約済み	R	0h	予約済み

8.2.42 spare_reg_tc10 レジスタ (オフセット = 1D2h) [リセット = 0000h]

spare_reg_tc10 を表 8-46 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-46. spare_reg_tc10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	高速ウェークアップ構成	R/W	0h	高速ウェークアップメモリの有効化 0x01D2 = 0x0004 0x01D2 = 0x0014 0x01D2 = 0x0004

8.2.43 TDR_TC1 レジスタ (オフセット = 310h) [リセット = 0000h]

TDR_TC1 を表 8-47 に示します。

概略表に戻ります。

表 8-47. TDR_TC1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7	フォルト検出ステータス	R	0h	1b = ケーブルにフォルトが検出されます 0b = ケーブルにフォルトは検出されません
6	フォルト タイプ	R	0h	0b = GND、電源、または MDI ピン間へ短絡 1b = オープン。1 線式と 2 線式の両方のオープン フォルトに適用されます
5-0	TDR フォルト位置	R	0h	フォルト位置をメートル単位で示します (フォルト検出ステータス = 1 の場合のみ有効)

8.2.44 ANA_LD_CTRL_3 レジスタ (オフセット = 402h) [リセット = 0000h]

ANA_LD_CTRL_3 を表 8-48 に示します。

概略表に戻ります。

表 8-48. ANA_LD_CTRL_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	VDDIO 電源レベル	R	0h	PHY によって検出された VDDIO レベル: 00b = 1.8V VDDIO 01b = 2.5V VDDIO 11b = 3.3V VDDIO
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11-10	VDDMAC 電源レベル	R	0h	PHY によって検出された VDDIO レベル: 00b = 1.8V VDDMAC 01b = 2.5V VDDMAC 11b = 3.3V VDDMAC
9-8	予約済み	R	0h	予約済み
7-4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	予約済み	R	0h	予約済み

8.2.45 A2D_REG_48 レジスタ (オフセット = 430h) [リセット = 0AA0h]

A2D_REG_48 を表 8-49 に示します。

概略表に戻ります。

表 8-49. A2D_REG_48 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11-8	RGMII TX シフト遅延	R/W	Ah	RGMII モードにおける内部遅延を、312.5ps ステップで制御します 遅延 = (ビット [7:4] の 10 進値+1)×312.5 ps
7-4	RGMII RX のシフト遅延	R/W	Ah	RGMII モードにおける内部遅延を、312.5ps ステップで制御します 遅延 = (ビット [7:4] の 10 進値+1)×312.5 ps
3-0	予約済み	R	0h	予約済み

8.2.46 A2D_REG_64 レジスタ (オフセット = 440h) [リセット = 0001h]

A2D_REG_64 を表 8-50 に示します。

概略表に戻ります。

表 8-50. A2D_REG_64 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	ESD イベント カウンタ無効	R/W	1h	1b = ESD カウンタを無効化 0b = ESD カウンタを有効化 ESD カウンタをクリアするには、このビットをトグルします

8.2.47 A2D_REG_66 レジスタ (オフセット = 442h) [リセット = 0000h]

A2D_REG_66 を表 8-51 に示します。

概略表に戻ります。

表 8-51. A2D_REG_66 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-9	ESD イベント カウント	R	0h	銅線チャネル上で発生した ESD イベントの回数を示します
8	予約済み	R	0h	予約済み
7-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3-0	予約済み	R	0h	予約済み

8.2.48 A2D_REG_68 レジスタ (オフセット = 444h) [リセット = 0000h]

A2D_REG_68 を表 8-52 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-52. A2D_REG_68 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	予約済み	R	0h	予約済み
3	スリープ強制値	R/W	0h	1b = スリープ強制有効が 1 に設定されているときスリープを強制します
2	スリープ強制有効	R/W	0h	1b = スリープ強制を有効 (スリープ強制値を設定する必要があります)
1	WAKE ピン強制値	R/W	0h	WAKE ピン強制有効が設定されているときの WAKE ピンに強制する値 1b = High 0b = Low
0	WAKE ピン強制有効	R/W	0h	1b = WAKE ピンの強制制御を有効

8.2.49 LEDS_CFG_1 レジスタ (オフセット = 450h) [リセット = 2610h]

LEDS_CFG_1 を表 8-53 に示します。

概略表に戻ります。

表 8-53. LEDS_CFG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	LED ストレッチ無効	R/W	0h	0b =「LED 点滅レート」フィールドの点滅レートに従って LED パルスがストレッチされます 1b = LED パルスは、RX_DV (RX アクティビティの場合) および TX_CTRL (TX アクティビティの場合) に直接接続されます
13-12	LED の点滅レート	R/W	2h	アクティビティ用に構成されている場合の LED の点滅レート 00b = 20Hz (50ms) 01b = 10Hz (100ms) 10b = 5Hz (200ms) 11b = 2Hz (500ms)
11-8	LED_2 オプション	R/W	6h	0x0:リンク OK 0x1:リンク OK+TX/RX アクティビティ時に点滅 0x2:リンク OK+TX アクティビティ時に点滅 0x3:リンク OK+RX アクティビティ時に点滅 0x4:リンク OK+ 100Base-T1 リーダー 0x5:リンク OK+100Base-T1 フォロワ 0x6:ストレッチオプション付き TX/RX アクティビティ 0x7:予約済み (0x8):予約済み (0x9):リンク喪失 (レジスタ 0x1 が読み取りされるまで点灯したまま) 0xB:ストレッチオプション付き xMII TX/RX エラー
7-4	LED_1 オプション	R/W	1h	0x0:リンク OK 0x1:リンク OK+TX/RX アクティビティ時に点滅 0x2:リンク OK+TX アクティビティ時に点滅 0x3:リンク OK+RX アクティビティ時に点滅 0x4:リンク OK+ 100Base-T1 リーダー 0x5:リンク OK+100Base-T1 フォロワ 0x6:ストレッチオプション付き TX/RX アクティビティ 0x7:予約済み (0x8):予約済み (0x9):リンク喪失 (レジスタ 0x1 が読み取りされるまで点灯したまま) 0xB:ストレッチオプション付き xMII TX/RX エラー

表 8-53. LEDS_CFG_1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	LED_0 オプション	R/W	0h	0x0:リンク OK 0x1:リンク OK+TX/RX アクティビティ時に点滅 0x2:リンク OK+TX アクティビティ時に点滅 0x3:リンク OK+RX アクティビティ時に点滅 0x4:リンク OK+ 100Base-T1 リーダー 0x5:リンク OK+100Base-T1 フォロワ 0x6:ストレッチオプション付き TX/RX アクティビティ 0x7:予約済み (0x8):予約済み (0x9):リンク喪失 (レジスタ 0x1 が読み取りされるまで点灯したまま) 0xB:ストレッチオプション付き xMII TX/RX エラー

8.2.50 LEDS_CFG_2 レジスタ (オフセット = 451h) [リセット = 0009h]

LEDS_CFG_2 を表 8-54 に示します。

概略表に戻ります。

表 8-54. LEDS_CFG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12-9	予約済み	R	0h	予約済み
8	LED_2 強制有効	R/W	0h	1b = CLKOUT ピンに「LED_2 強制値」を強制します (CLKOUT が LED_2 に構成されている場合)
7	LED_2 強制値	R/W	0h	LED_2 強制有効が設定されている場合、このビットは LED_2 の出力を決定します 0b = Low 1b = High
6	LED_2 極性	R/W	0h	LED_2 極性:(CLKOUT を LED_2 として使用する場合) 0b = アクティブ "Low" 極性 1b = アクティブ "High" 極性
5	LED_1 強制有効	R/W	0h	1b = LED_1 ピンに「LED_1 強制値」を強制します
4	LED_1 強制値	R/W	0h	LED_1 強制有効が設定されている場合、このビットは LED_1 の出力を決定します 0b = Low 1b = High
3	LED_1 極性	R/W	1h	LED_1 極性: 0b = アクティブ "Low" 極性 1b = アクティブ "High" 極性 のデフォルト値は LED_1 のストラップによって決まります。ストラップが電源側に接続されている場合、LED_1 極性は 0、それ以外の場合、LED_1 極性は 1 となります。
2	LED_0 強制有効	R/W	0h	1b = LED_0 ピンに「LED_0 強制値」を強制します
1	LED_0 強制値	R/W	0h	LED_0 強制有効が設定されている場合、このビットは LED_0 の出力を決定します 0b = Low 1b = High

Copyright © 2025 Texas Instruments Incorporated

表 8-54. LEDS_CFG_2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	LED_0 極性	R/W	1h	LED_0 極性: 0b = アクティブ "Low" 極性 1b = アクティブ "High" 極性 のデフォルト値は LED_0 のストラップによって決まります。ストラップが電源側に接続されている場合、LED_0 極性は 0、それ以外の場合、LED_0 極性は 1 となります

8.2.51 IO_MUX_CFG_1 レジスタ (オフセット = 452h) [リセット = 0000h]

IO_MUX_CFG_1 を表 8-55 に示します。

概略表に戻ります。

表 8-55. IO_MUX_CFG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14-12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10-8	LED_1 構成	R/W	0h	000b = (デフォルト:リンク) 010b = WoL 011b = 低電圧表示 110b = ESD 111b = 割り込み
7	予約済み	R	0h	予約済み
6-4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	LED_0 構成	R/W	0h	000b = (デフォルト:リンク) 010b = WoL 011b = 低電圧表示 110b = ESD 111b = 割り込み

8.2.52 IO_MUX_CFG_2 レジスタ (オフセット = 453h) [リセット = 0001h]

IO_MUX_CFG_2 を表 8-56 に示します。

概略表に戻ります。

表 8-56. IO_MUX_CFG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	LED_1 への TX_ER 有効	R/W	0h	LED_1 ピンを TX_ER に構成します
14-9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7-4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2-0	CLKOUT の構成	R/W	1h	000b = (デフォルト:リンク) 010b = WoL 011b = 低電圧表示 110b = ESD 111b = 割り込み

8.2.53 IO_CONTROL_2 レジスタ (オフセット = 455h) [リセット = 0000h]

IO_CONTROL_2 を表 8-57 に示します。

概略表に戻ります。

表 8-57. IO_CONTROL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13-9	インピーダンス制御 - LED_0、GPIO_5	R/W	0h	00000b - ファースト モード (デフォルト) 00001b - スロー モード
8-7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4-2	予約済み	R	0h	予約済み
1-0	予約済み	R	0h	予約済み

8.2.54 IO_MUX_CFG レジスタ (オフセット = 456h) [リセット = 0021h]

表 8-58 に、IO_MUX_CFG を示します。

概略表に戻ります。

表 8-58. IO_MUX_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12-11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9-5	インピーダンス制御 - RX ピン	R/W	1h	RX_CLK、RX_D[3:0]、RX_CTRL、RX_ER のインピーダンス制御 1h = スルー モード –1 2h = スルー モード –2 3h = スルー モード –3 4h = スルー モード –4 5h = スルー モード –5 6h = スルー モード -6 7h = スルー モード –7
4-0	インピーダンス制御 - TX_CLK	R/W	1h	1h = スルー モード –1 2h = スルー モード –2 3h = スルー モード –3 4h = スルー モード –4 5h = スルー モード –5 6h = スルー モード –6 7h = スルー モード –7

8.2.55 CHIP_SOR_1 レジスタ (オフセット = 45Dh) [リセット = 0000h]

CHIP_SOR_1 を表 8-59 に示します。

概略表に戻ります。

表 8-59. CHIP_SOR_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	GPIO_4 ストラップ	R	0h	GPIO_4 ストラップは電源投入時またはリセット時にサンプリングされます
14	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

表 8-59. CHIP_SOR_1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	LED_1 ストラップ	R	0h	LED_1 ストラップは電源投入時にサンプリングされます
12	RX_D3 ストラップ	R	0h	RX_D3 ストラップは電源投入時にサンプリングされます
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	LED0 ストラップ	R	0h	LED_0 ストラップは電源投入時またはリセット時にサンプリングされます
8	RXD3 ストラップ	R	0h	RX_D3 ストラップはリセット時にサンプリングされます
7	RXD2 ストラップ	R	0h	RX_D2 ストラップは電源投入時またはリセット時にサンプリングされます
6	RXD1 ストラップ	R	0h	RX_D1 ストラップは電源投入時またはリセット時にサンプリングされます
5	RXD0 ストラップ	R	0h	RX_D0 ストラップは電源投入時またはリセット時にサンプリングされます
4	RXCLK ストラップ	R	0h	RX_CLK ストラップは電源投入時またはリセット時にサンプリングされます
3-2	RXER ストラップ	R	0h	RX_ER ストラップは電源投入時またはリセット時にサンプリングされます
1-0	RXDV ストラップ	R	0h	RX_DV ストラップは電源投入時またはリセット時にサンプリングされます

8.2.56 LED1_CLKOUT_ANA_CTRL レジスタ (オフセット = 45Fh) [リセット = 000Ch]

LED1_CLKOUT_ANA_CTRL を表 8-60 に示します。

概略表に戻ります。

表 8-60. LED1_CLKOUT_ANA_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3-2	LED_1 マルチプレクサ制御	R/W	3h	00b = デイジーチェーン用 25MHz XI クロック 01b = テストモード用 TX_TCLK 11b = CLKOUT 構成で選択された信号
1-0	CLKOUT マルチプレクサ制御	R/W	0h	00b = デイジーチェーン用 25MHz XI クロック 01b = テストモード用 TX_TCLK 11b = CLKOUT 構成で選択された信号

8.2.57 IMPEDANCE_CTRL_0 レジスタ (オフセット = 460h) [リセット = 0101h]

IMPEDANCE_CTRL_0 を表 8-61 に示します。

概略表に戻ります。

表 8-61. IMPEDANCE_CTRL_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12-8	インピーダンス制御 - CLK_OUT	R/W	1h	1h = スルー モード –1 2h = スルー モード –2 3h = スルー モード –3 4h = スルー モード –4 5h = スルー モード –5 6h = スルー モード –6 7h = スルー モード –7
7-5	予約済み	R	0h	予約済み

表 8-61. IMPEDANCE_CTRL_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	インピーダンス制御 - LED_1	R/W	1h	1h = スルー モード –1 2h = スルー モード –2 3h = スルー モード –3 4h = スルー モード –4 5h = スルー モード –5 6h = スルー モード –6 7h = スルー モード –7

8.2.58 IMPEDANCE_CTRL_1 レジスタ (オフセット = 461h) [リセット = 0101h]

IMPEDANCE_CTRL_1 を表 8-62 に示します。

概略表に戻ります。

表 8-62. IMPEDANCE_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12-8	インピーダンス制御 - GPIO_4	R/W	1h	1h = スルー モード –1 2h = スルー モード –2 3h = スルー モード –3 4h = スルー モード –4 5h = スルー モード –5 6h = スルー モード –6 7h = スルー モード –7
7-5	予約済み	R	0h	予約済み
4-0	インピーダンス制御 - GPIO_3	R/W	1h	1h = スルー モード –1 2h = スルー モード –2 3h = スルー モード –3 4h = スルー モード –4 5h = スルー モード –5 6h = スルー モード –6 7h = スルー モード –7

8.2.59 RX_FIFO_CONFIG レジスタ (オフセット = 4DFh) [リセット値 = 0003h]

表 8-63 に、RX_FIFO_CONFIG を示します。

概略表に戻ります。

表 8-63. RX_FIFO_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	予約済み	R	0h	予約済み
3-0	cfg_sync_fifo_wr_cnt_rst_val	R/W	3h	

8.2.60 LINKUP_TIMER_1 レジスタ (オフセット = 4EEh) [リセット = 0000h]

LINKUP_TIMER_1 を表 8-64 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-64. LINKUP_TIMER_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	リンクアップ タイマ [15:0]	R	0h	電源投入、ソフトリセット、またはリンクダウンのうち、最も遅いイベント以降から計算されるリンクアップタイマです リンクアップ時間 (ns) = リンクアップ タイマ [31:0]x40

8.2.61 LINKUP_TIMER_2 レジスタ (オフセット = 4EFh) [リセット = 0000h]

LINKUP_TIMER_2 を表 8-65 に示します。

概略表に戻ります。

表 8-65. LINKUP_TIMER_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	リンクアップ タイマ [31:16]	R	0h	電源投入、ソフトリセット、またはリンクダウンのうち、最も遅いイベント以降から計算されるリンクアップタイマです リンクアップ時間 (ns) = リンクアップ タイマ [31:0]x40

8.2.62 TX_PR_FILT_CTRL レジスタ (オフセット = 523h) [リセット = 0000h]

表 8-66 に、TX_PR_FILT_CTRL を示します。

概略表に戻ります。

表 8-66. TX_PR_FILT_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	MDI 極性反転	R/W	0h	1b = MDI 送信側の極性を反転
0	MDI 送信無効	R/W	0h	1b = MDI の送信を無効化 0b = MDI の送信を有効化

8.2.63 PG_REG_1 レジスタ (オフセット = 551h) [リセット = 0010h]

PG_REG_1 を表 8-67 に示します。

概略表に戻ります。

表 8-67. PG_REG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0h	予約済み
4	RMII CRS_DV 構成	R/W	1h	ピン 15 を RX_DV または CRS_DV として構成: 1b = ピン 15 は CRS_DV 0b = ピン 15 は RX_DV
3-0	予約済み	R	0h	予約済み

8.2.64 PG_REG_3 レジスタ (オフセット = 552h) [リセット = 0008h]

PG_REG_3 を表 8-68 に示します。

概略表に戻ります。

表 8-68. PG_REG_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	予約済み	R	0h	予約済み

8.2.65 PG_REG_4 レジスタ (オフセット = 553h) [リセット = 0000h]

PG_REG_4 を表 8-69 に示します。

概略表に戻ります。

表 8-69. PG_REG_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	受信極性強制有効	R/W	0h	0x0553[13:12] = 2'b10 : 自動極性補正を無効化し、極性反転なしを強制します 0x0553[13:12] = 2'b11 : 自動極性補正を無効にし、極性反転を強制します
12	受信極性強制値	R/W	0h	0x0553[13:12] = 2'b10 : 自動極性補正を無効化し、極性反転なしを強制します 0x0553[13:12] = 2'b11 : 自動極性補正を無効にし、極性反転を強制します
11-0	予約済み	R	0h	予約済み

8.2.66 TC1_LINK_FAIL_LOSS レジスタ (オフセット = 561h) [リセット = 0000h]

TC1_LINK_FAIL_LOSS を表 8-70 に示します。

概略表に戻ります。

表 8-70. TC1_LINK_FAIL_LOSS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	リンクロス	R	0h	最後の電源投入以降に発生した、TC1 で定義されるリンクロスの回数
9-0	リンク障害	R	0h	TC1 で定義されるリンク障害の回数 リンクダウンを引き起こさないリンク障害 (RX エラー、Bad SSD、ESD 不良、SQI 不良を含む) の回数

8.2.67 TC1_LINK_TRAINING_TIME レジスタ (オフセット = 562h) [リセット = 0000h]

TC1_LINK_TRAINING_TIME を表 8-71 に示します。

概略表に戻ります。

表 8-71. TC1_LINK_TRAINING_TIME レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	通信準備完了	R	0h	TC1 で定義される通信準備完了 1b = PHY は通信準備が完了しています
14-8	予約済み	R	0h	予約済み
7-0	リンクトレーニング時間	R	0h	ソフトリセットからのリンクトレーニング時間をミリ秒単位で示します

8.2.68 NO_LINK_TH レジスタ (オフセット = 563h) [リセット = 0096h]

表 8-72 に、NO_LINK_TH を示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

表 8-72. NO_LINK_TH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	リンクなしタイマ スレッショルド	R/W	96h	リンクなし割り込み用の時間しきい値 (ミリ秒単位) です

8.2.69 DITH_CTRL_0 レジスタ (オフセット = 5A0h) [リセット = 3042h]

DITH_CTRL_0 を表 8-73 に示します。

概略表に戻ります。

表 8-73. DITH_CTRL_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	ディザリング方向	R/W	0h	のこぎり波プロファイルの種類を選択します 0h = 逆のこぎり波プロファイル 1h = 増加のこぎり波プロファイル
7-4	予約済み	R	0h	予約済み
3-0	予約済み	R	0h	予約済み

8.2.70 DITH_CTRL_1 レジスタ (オフセット = 5A1h) [リセット = 640Dh]

DITH_CTRL_1 を表 8-74 に示します。

概略表に戻ります。

表 8-74. DITH_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	ディザリング周波数ステップ	R/W	64h	ディザリング用の最大周波数オフセットを構成します 0x05A1[15:8] = (必要な (delta(f)/f) *2^{17})/(0x5A1[7:0]) デフォルトの delta(f)/f = 1% delta(f)/f は 2% 以下に制限してください
7-0	ディザリング変調周期	R/W	Dh	ディザリングの変調期間を構成します 0x5A1[7:0] = ディザリング変調周期/640ns) デフォルトの変調周期 = 13x640ns = 8.34µs

8.2.71 DITH_RFI_EN_CTRL レジスタ (オフセット = 5A8h) [リセット = 0D07h]

表 8-75 に、DITH_RFI_EN_CTRL を示します。

概略表に戻ります。

表 8-75. DITH_RFI_EN_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	ディザリング プロファイル	R/W	0h	ディザリング周波数プロファイルを選択します 0h = のこぎり波 1h = 三角波
13	予約済み	R	0h	予約済み
12	ディザリング有効	R/W	0h	1b = クロック ディザリング エンジンを有効化
11	MAC インターフェイス ディザリング有効	R/W	1h	1b = RMII、RGMII、MII MAC インタフェース出力のディザリングを有効化
10	コア クロック ディザリング有効	R/W	1h	1b = 内部デジタル クロックのディザリングを有効化
9-0	予約済み	R	0h	予約済み

8.2.72 CFG_PCF_DMAC_ADDR レジスタ (オフセット = 5B2h) [リセット = 0F6Bh]

表 8-76 に、CFG_PCF_DMAC_ADDR を示します。

概略表に戻ります。

表 8-76. CFG_PCF_DMAC_ADDR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	cfg_pcf_dmac_addr	R/W	F6Bh	PCF DMAC の下位 2 バイトを構成可能

8.2.73 SPARE_IN_FROM_DIG_SL_1 レジスタ (オフセット = 5B7h) [リセット = 0043h]

SPARE_IN_FROM_DIG_SL_1 を表 8-77 に示します。

概略表に戻ります。

表 8-77. SPARE_IN_FROM_DIG_SL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	0 が読み取られます
11-0	spare_in_fromdig_sl_1	R/W	43h	アナログ用の構成可能ビットを持つレジスタ

8.2.74 CONTROL_REG_1 レジスタ (オフセット = 5B8h) [リセット = 0001h]

CONTROL_REG_1 を表 8-78 に示します。

概略表に戻ります。

表 8-78. CONTROL_REG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	予約済み	R	0h	予約済み
5	cfg_dith_dis_till_linkup	R/W	0h	1b = リンクアップまでディザリングを無効化 0b = リンクアップの前のディザリングを有効化
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

8.2.75 RGMII_CTRL レジスタ (オフセット = 600h) [リセット = 002Xh]

表 8-79 に、RGMII_CTRL を示します。

概略表に戻ります。

表 8-79. RGMII_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6-4	RGMII TX FIFO ハーフ フル スレッショルド	R/W	2h	RGMII TX 同期 FIFO ハーフ フル スレッショルド
3	RGMII イネーブル	R/W	0h	1b = RGMII を有効 0b = RGMII を無効 デフォルト値はストラップからラッチされます
2	RGMII TX データライン反転	R/W	0h	1b = RGMII TXD[3:0] を反転します TX_D3 を TX_D0 に TX_D2 を TX_D1 に TX_D1 を TX_D2 に TX_D0 を TX_D3 にします
1	RGMII RX データライン反転	R/W	0h	1b = RGMII RXD[3:0] を反転します RX_D3 を RX_D0 に RX_D2 を RX_D1 に RX_D1 を RX_D2 に RX_D0 を RX_D3 にします
0	予約済み	R	0h	予約済み

8.2.76 RGMII_FIFO_STATUS レジスタ (オフセット = 601h) [リセット = 0000h]

表 8-80 に、RGMII_FIFO_STATUS を示します。

概略表に戻ります。

表 8-80. RGMII_FIFO_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	RGMII TX FIFO フル エラー	R	0h	1b = RGMII TX フルエラーが示されています 0b = エンプティ fifo エラーはありません このビットはデバイスリセット時にのみクリアされます
0	RGMII TX FIFO のエンプティ エラー	R	0h	1b = RGMII TX エンプティエラーが示されています 0b = エンプティ fifo エラーはありません このビットはデバイスリセット時にのみクリアされます

8.2.77 RGMII_CLK_SHIFT_CTRL レジスタ (オフセット = 602h) [リセット = 000Xh]

表 8-81 に、RGMII_CLK_SHIFT_CTRL を示します。

概略表に戻ります。

表 8-81. RGMII_CLK_SHIFT_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	RGMII RX シフト	R/W	0h	0b = クロックとデータが揃っています 1b = クロックは、DLL RX シフト遅延に設定された値だけ内部的に遅延されます

表 8-81. RGMII_CLK_SHIFT_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RGMII TX シフト	R/W	0h	0b = クロックとデータが揃っています 1b = クロックは、DLL TX シフト遅延に設定された値だけ内部的に遅延されます

8.2.78 SGMII_CTRL_1 レジスタ (オフセット = 608h) [リセット = 0X7Bh]

SGMII_CTRL_1 を表 8-82 に示します。

概略表に戻ります。

表 8-82. SGMII_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	SGMII TX エラー無効	R/W	0h	1b = SGMII TX エラー表示を無効 0b = SGMII TX エラー表示を有効
14	予約済み	R	0h	予約済み
13-10	予約済み	R	0h	予約済み
9	SGMII イネーブル	R/W	0h	1b = SGMII を有効 0b = SGMII を無効 デフォルト値はストラップからラッチされます SGMII と RGMII の両方が有効な場合、SGMII が優先されます
8	SGMII TX 極性反転	R/W	0h	1b = SGMII RX_D[3:2] の極性を反転します
7	SGMII TX 極性反転	R/W	0h	1b = SGMII TX_D[1:0] の極性を反転します
6-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2-1	予約済み	R	0h	予約済み
0	SGMII 自動ネゴシエーション有効	R/W	1h	1b = SGMII 自動ネゴシエーションを有効 0b = SGMII 自動ネゴシエーションを無効

8.2.79 SGMII_STATUS レジスタ (オフセット = 60Ah) [リセット = 0000h]

表 8-83 に、SGMII_STATUS を示します。

概略表に戻ります。

表 8-83. SGMII_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	SGMII ページ受信	R	0h	1b = 新しい自動ネゴシエーションページが受信されました 0b = 新しい自動ネゴシエーションページが受信されていません
11	SGMII リンク ステータス	R	0h	1b = SGMII リンクアップ 0b = SGMII リンクダウン
10	SGMII 自動ネゴシエーション ステータス	R	0h	1b = SGMII 自動ネゴシエーション完了
9	ワード境界整列表示	R	0h	1b = 整列済み
8	ワード境界同期ステータス	R	0h	1b = 同期達成 0b = 同期未達成
7-4	予約済み	R	0h	予約済み
3-0	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

8.2.80 SGMII_CTRL_2 レジスタ (オフセット = 60Ch) [リセット = 0044h]

SGMII_CTRL_2 を表 8-84 に示します。

概略表に戻ります。

表 8-84. SGMII_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9	予約済み	R	0h	予約済み
8	予約済み	R	0h	予約済み
7-4	SGMII TX FIFO ハーフ フル スレッショルド	R/W	4h	SGMII TX 同期 FIFO ハーフ フル スレッショルド
3-0	SGMII RX FIFO ハーフ フル スレッショルド	R/W	4h	SGMII RX 同期 FIFO ハーフ フル スレッショルド

8.2.81 SGMII_FIFO_STATUS レジスタ (オフセット = 60Dh) [リセット = 0000h]

表 8-85 に、SGMII_FIFO_STATUS を示します。

概略表に戻ります。

表 8-85. SGMII_FIFO_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	予約済み	R	0h	予約済み
3	SGMII RX FIFO フル エラー	RC	0h	1b = SGMII RX fifo フルエラーが表示されています 0b = エラー表示はありません
2	SGMII RX FIFO エンプティ エラー	RC	0h	1b = SGMII RX fifo エンプティエラーが表示されています 0b = エラー表示はありません
1	SGMII TX FIFO のフル エラー	RC	0h	1b = SGMII TX FIFO フルエラーが表示されています 0b = エラー表示はありません
0	SGMII TX FIFO エンプティ エラー	RC	0h	1b = SGMII TX FIFO エンプティエラーが表示されています 0b = エラー表示はありません

8.2.82 PRBS_STATUS_1 レジスタ (オフセット = 618h) [リセット = 0000h]

PRBS_STATUS_1 を表 8-86 に示します。

概略表に戻ります。

表 8-86. PRBS_STATUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	PRBS エラー オーバーフロー カウンタ	R	0h	PRBS チェッカが受信したエラー カウンタ オーバーフロー カウンタを保持します。 レジスタ prbs_status_6 のビット [0] またはビット [1] に書き込みが行われると、このレジスタの値はロックされます。カウンタは 0xFF で停止します。 注記：PRBS カウンタがシングルモードで動作している場合、オーバーフロー カウンタはアクティブではありません。

8.2.83 PRBS_CTRL_1 レジスタ (オフセット = 619h) [リセット = 0574h]

PRBS_CTRL_1 を表 8-87 に示します。

概略表に戻ります。

表 8-87. PRBS_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	0h	予約済み
13	予約済み	R	0h	予約済み
12	パケット送信	R-0/W1S	0h	固定またはインクリメンタルデータと CRC 付きの MAC パケット生成を有効にします (0x619[0] を設定し、0x619[1] をクリアしておく必要があります) pkt_done がセットされると自動的にクリアされます 1b = CRC 付き MAC パケットを送信 0b = MAC パケットを停止
11	予約済み	R	0h	予約済み
10-8	PRBS チェック選択	R/W	5h	PRBS チェッカの受信方向を選択します 000b = チェッカは RGMII TX から受信 001b = チェッカは SGMII TX から受信 101b = チェッカは MDI RX から受信
7	予約済み	R	0h	予約済み
6-4	PRBS 送信選択	R/W	7h	PRBS 送信方向を選択します 000b = PRBS は RGMII RX へ送信 001b = PRBS は SGMII RX へ送信 101b = PRBS は MDI TX へ送信
3	PRBS カウント モード	R/W	0h	1b = 連続モード。いずれかの PRBS カウンタが最大値に達するとパルスが生成され、カウンタは再び 0 からカウントを開始します 0b = シングル モード。いずれかの PRBS カウンタが最大値に達すると、PRBS チェッカはカウントを停止します。
2	PRBS チェッカ有効化	R/W	1h	データ受信用の PRBS チェッカを有効にします レジスタ 0x63C、0x63D、0x63E のカウンタを動作させるには、このビットを有効にする必要があります 1b = PRBS チェッカを有効
1	PRBS 生成有効	R/W	0h	0x619[0] が設定されている場合、 1b = PRBS パケットを送信 0b = 非 PRBS パケットを送信 (この場合、PRBS チェッカも無効になります)
0	PRBS またはパケット生成有効化	R/W	0h	1b = パケットまたは PRBS ジェネレータを有効化 0b = パケットまたは PRBS ジェネレータを無効化

8.2.84 PRBS_CTRL_2 レジスタ (オフセット = 61Ah) [リセット = 05DCh]

PRBS_CTRL_2 を表 8-88 に示します。

概略表に戻ります。

表 8-88. PRBS_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	パケット長	R/W	5DCh	生成される PRBS パケットまたは非 PRBS パケットのパケット長 (バイト単位) を設定します

8.2.85 PRBS_CTRL_3 レジスタ (オフセット = 61Bh) [リセット = 007Dh]

PRBS_CTRL_3 を表 8-89 に示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

表 8-89. PRBS_CTRL_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	PRBS IPG	R/W	7Dh	生成される PRBS パケットまたは非 PRBS パケット間の IPG (バイト単位) を設定します

8.2.86 PRBS_STATUS_2 レジスタ (オフセット = 61Ch) [リセット = 0000h]

PRBS_STATUS_2 を表 8-90 に示します。

概略表に戻ります。

表 8-90. PRBS_STATUS_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS チェッカ バイト カウント	R	0h	PRBS チェッカが受信した総バイト数を保持します レジスタの値は、0x620[0] または 0x620[1] が書き込みされるとロックされます PRBS カウントモードが 0 に設定されている場合、カウントは 0xFFFF で停止します このカウンタは、0x620[1] = 1 を設定した後、このカウンタを読み取るとクリアされます

8.2.87 PRBS_STATUS_3 レジスタ (オフセット = 61Dh) [リセット = 0000h]

PRBS_STATUS_3 を表 8-91 に示します。

概略表に戻ります。

表 8-91. PRBS_STATUS_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS チェッカ パケット カウント –1	R	0h	PRBS チェッカが受信した総パケット数のビット [15:0] を保持します レジスタの値は、0x620[0] または 0x620[1] が書き込みされるとロックされます PRBS カウントモードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します このカウンタは、0x620[1] = 1 を設定した後、0x61D、0x61E を同じ順序で読み取るとクリアされます

8.2.88 PRBS_STATUS_4 レジスタ (オフセット = 61Eh) [リセット = 0000h]

PRBS_STATUS_4 を表 8-92 に示します。

概略表に戻ります。

表 8-92. PRBS_STATUS_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS チェッカ パケット カウント -2	R	0h	PRBS チェッカが受信した総パケット数のビット [31:16] を保持します レジスタの値は、0x620[0] または 0x620[1] が書き込みされるとロックされます PRBS カウントモードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します このカウンタは、0x620[1] = 1 を設定した後、0x61D、0x61E を同じ順序で読み取るとクリアされます

8.2.89 PRBS_STATUS_5 レジスタ (オフセット = 620h) [リセット = 0000h]

PRBS_STATUS_5 を表 8-93 に示します。

概略表に戻ります。

表 8-93. PRBS_STATUS_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	MAC パケット生成完了	R	0h	すべての CRC 付き MAC パケットの送信が完了したときに設定されます 1b = MAC パケット送信完了 0b = MAC パケット送信中
11	MAC パケット生成動作中	R	0h	1b = パケットジェネレータが動作中 0b = パケットジェネレータは動作していません
10	PRBS チェッカ パケット カウントオーバーフロー ステータス	R	0h	PRBS チェッカ パケット カウントがオーバフローした場合、このステータスビットが 1 にセットされます このオーバフロー ステータスは、0x620[1] を使用して PRBS バイトカウンタをクリアするとクリアされます
9	PRBS チェッカ バイト カウント オーバフロー ステータス	R	0h	PRBS チェッカバイトカウントがオーバフローした場合、このステータスビットが 1 にセットされます このオーバフローステータスは、0x620[1] を使用して PRBS バイトカウンタをクリアするとクリアされます
8	PRBS ロック	R	0h	1b = PRBS チェッカが受信ストリームにロックし、同期しています
7-0	PRBS エラー カウント	R	0h	ビット 0 に 1 を書き込むと、すべての PRBS カウンタがロックされます ビット 1 に 1 を書き込むと、すべての PRBS カウンタがロックされ、さらに該当するレジスタを読み取ったときにカウンタがクリアされます ビット [1:0] は書き込み後に自動的にクリアされます ビット 0 またはビット 1 に書き込んだ後にビット [7:0] を読み取ると、PRBS チェッカが受信したエラービット数が読み出されます PRBS カウントモードが 0 に設定されている場合、カウントは 0xFF で停止します

8.2.90 PRBS_STATUS_6 レジスタ (オフセット = 622h) [リセット = 0000h]

PRBS_STATUS_6 を表 8-94 に示します。

概略表に戻ります。

表 8-94. PRBS_STATUS_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS パケット エラー カウント –1	R	0h	PRBS チェッカがエラー付きで受信した総パケット数のビット [15:0] を保持します レジスタの値は、0x620[0] または 0x620[1] が書き込みされるとロックされます PRBS カウントモードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します このカウンタは、0x620[1] = 1 を設定した後、0x622、0x623 を同じ順序で読み取るとクリアされます

8.2.91 PRBS_STATUS_7 レジスタ (オフセット = 623h) [リセット = 0000h]

PRBS_STATUS_7 を表 8-95 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-95. PRBS_STATUS_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PRBS パケット エラー カウント –2	R	0h	PRBS チェッカがエラー付きで受信した総パケット数のビット [31:16] を保持します レジスタの値は、0x620[0] または 0x620[1] が書き込みされるとロックされます PRBS カウントモードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します このカウンタは、0x620[1] = 1 を設定した後、0x622、0x623 を同じ順序で読み取るとクリアされます

8.2.92 PRBS_CTRL_4 レジスタ (オフセット = 624h) [リセット = 5511h]

PRBS_CTRL_4 を表 8-96 に示します。

概略表に戻ります。

表 8-96. PRBS_CTRL_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	MAC パケット データ	R/W	55h	MAC パケットモードが 固定モードに設定された場合に送信される固定データです
7-6	MAC パケット モード	R/W	0h	00b = インクリメンタル 01b = 固定 10b = PRBS 11b = PRBS
5-3	MAC パケット内パターン長	R/W	2h	MAC パケットは、宛先アドレス、送信元アドレス、プログラム済みパターン、PRBS/固定 / インクリメンタル データを含みます。 プログラム済みパターンの長さは、このレジスタで構成できます。パターンは 0x625、0x626、0x627 を通じてプログラムできます 000b = 6 バイト 001b = 1 バイト 010b = 2 バイト 011b = 3 バイト 100b = 4 バイト 101b = 5 バイト 110b = 6 バイト 111b = 6 バイト
2-0	MAC パケットモードのパケット数	R/W	1h	000b = 1 パケット 001b = 10 パケット 010b = 100 パケット 011b = 1000 パケット 100b = 10000 パケット 101b = 100000 パケット 110b = 1000000 パケット 111b = 連続パケット

8.2.93 PATTERN_CTRL_1 レジスタ (オフセット = 625h) [リセット = 0000h]

PATTERN_CTRL_1 を表 8-97 に示します。

概略表に戻ります。

表 8-97. PATTERN_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット内パターン [15:0]	R/W	0h	MAC パケット内のプログラマブル パターンのバイト 0、1

8.2.94 PATTERN_CTRL_2 レジスタ (オフセット = 626h) [リセット = 0000h]

PATTERN_CTRL_2 を表 8-98 に示します。

概略表に戻ります。

表 8-98. PATTERN_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット内パターン [31:16]	R/W	0h	MAC パケット内のプログラマブル パターンのバイト 2、3

8.2.95 PATTERN_CTRL_3 レジスタ (オフセット = 627h) [リセット = 0000h]

PATTERN_CTRL_3 を表 8-99 に示します。

概略表に戻ります。

表 8-99. PATTERN_CTRL_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット内パターン [47:32]	R/W	0h	MAC パケット内のプログラマブル パターンのバイト 4、5

8.2.96 PMATCH_CTRL_1 レジスタ (オフセット = 628h) [リセット = 0000h]

PMATCH_CTRL_1 を表 8-100 に示します。

概略表に戻ります。

表 8-100. PMATCH_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット内宛先アドレス [15:0]	R/W	0h	生成される MAC パケットの宛先アドレス フィールドです

8.2.97 PMATCH_CTRL_2 レジスタ (オフセット = 629h) [リセット = 0000h]

PMATCH_CTRL_2 を表 8-101 に示します。

概略表に戻ります。

表 8-101. PMATCH_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット内宛先アドレス [31:16]	R/W	0h	生成される MAC パケットの宛先アドレス フィールドです

8.2.98 PMATCH_CTRL_3 レジスタ (オフセット = 62Ah) [リセット = 0000h]

PMATCH_CTRL_3 を表 8-102 に示します。

概略表に戻ります。

表 8-102. PMATCH_CTRL_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MAC パケット内宛先アドレス [47:32]	R/W	0h	生成される MAC パケットの宛先アドレス フィールドです

Copyright © 2025 Texas Instruments Incorporated

8.2.99 PKT_CRC_STAT レジスタ (オフセット = 638h) [リセット = 0000h]

表 8-103 に、PKT_CRC_STAT を示します。

概略表に戻ります。

表 8-103. PKT_CRC_STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	RX CRC 不良	R	0h	1b = MDI レシーバから受信したパケットで CRC エラーが検出されました
0	TX CRC 不良	R	0h	1b = MDI トランスミッタで送信されたパケットで CRC エラーが検出されました

8.2.100 TX_PKT_CNT_1 レジスタ (オフセット = 639h) [リセット = 0000h]

TX_PKT_CNT_1 を表 8-104 に示します。

概略表に戻ります。

表 8-104. TX_PKT_CNT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TX パケット カウント [15:0]	R	0h	MAC カウンタによる TX パケット数の下位 16 ビットです 注:0x639、0x63A、0x63B をこの順番で読み取ると、このレジスタはクリアされます

8.2.101 TX_PKT_CNT_2 レジスタ (オフセット = 63Ah) [リセット = 0000h]

TX_PKT_CNT_2 を表 8-105 に示します。

概略表に戻ります。

表 8-105. TX_PKT_CNT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TX パケット カウント [31:16]	R	0h	MAC カウンタによる TX パケット数の上位 16 ビットです 注:0x639、0x63A、0x63B をこの順番で読み取ると、このレジスタはクリアされます

8.2.102 TX_PKT_CNT_3 レジスタ (オフセット = 63Bh) [リセット = 0000h]

TX_PKT_CNT_3 を表 8-106 に示します。

概略表に戻ります。

表 8-106. TX_PKT_CNT_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TX エラー パケット カウント	R	0h	CRC エラーを持つ MAC からの TX パケット数カウンタです 注:0x639、0x63A、0x63B をこの順番で読み取ると、このレジスタはクリアされます

8.2.103 RX_PKT_CNT_1 レジスタ (オフセット = 63Ch) [リセット = 0000h]

RX_PKT_CNT_1 を表 8-107 に示します。

概略表に戻ります。

表 8-107. RX_PKT_CNT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RX パケット カウント [15:0]	R	0h	MDI から受信した RX パケット数の下位 16 ビットです 注:0x63C、0x63D、0x63E をこの順番で読み取ると、このレジスタはクリアされます

8.2.104 RX_PKT_CNT_2 レジスタ (オフセット = 63Dh) [リセット = 0000h]

RX_PKT_CNT_2 を表 8-108 に示します。

概略表に戻ります。

表 8-108. RX_PKT_CNT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RX パケット カウント [31:16]	R	0h	MDI から受信した RX パケット数の上位 16 ビットです 注:0x63C、0x63D、0x63E をこの順番で読み取ると、このレジスタはクリアされます

8.2.105 RX_PKT_CNT_3 レジスタ (オフセット = 63Eh) [リセット = 0000h]

RX_PKT_CNT_3 を表 8-109 に示します。

概略表に戻ります。

表 8-109. RX_PKT_CNT_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	RX エラー パケット カウント	R	0h	エラー (CRC エラー) を持つ Rx パケット数カウンタです 注:0x63C、0x63D、0x63E がシーケンス内で読み出すと、レジスタはクリアされます

8.2.106 RMII_CTRL_1 レジスタ (オフセット = 648h) [リセット = 01X0h]

RMII_CTRL_1 を表 8-110 に示します。

概略表に戻ります。

表 8-110. RMII_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	予約済み	R	0h	予約済み
10	予約済み	R	0h	予約済み
9-7	RMII ハーフ フル スレッショルド	R/W	2h	RMII Rx FIFO の FIFO ハーフ フル スレッショルドをニブル単位で設定します
6	RMII 有効	R/W	0h	1b = RMII を有効化
5	予約済み	R	0h	予約済み
4	RMII フォロワ有効	R/W	0h	1b = RMII フォロワモードを有効にします このビットを設定することは推奨されません。ステータス ビットとして使用できます
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	RMII Rev1.0 有効	R/W	0h	1b = RMII rev1.0 を有効にします
0	RMII 拡張モード有効	R/W	0h	1b = RMII 拡張モードを有効にします

Copyright © 2025 Texas Instruments Incorporated

8.2.107 RMII_STATUS_1 レジスタ (オフセット = 649h) [リセット = 0000h]

RMII_STATUS_1 を表 8-111 に示します。

概略表に戻ります。

表 8-111. RMII_STATUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	RMII FIFO エンプティ エラー	R	0h	読み取りでクリアされるビットです RMII fifo アンダーフロー エラー ステータスを示します
0	RMII FIFO フル エラー	R	0h	読み取りでクリアされるビットです RMII fifo オーバーフロー ステータスを示します

8.2.108 PTP_CTL レジスタ (オフセット = D00h) [リセット = 0000h]

表 8-112 に、PTP_CTL を示します。

概略表に戻ります。

このレジスタは、PTP 802.1AS 動作の基本的な制御を提供します

表 8-112. PTP_CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12-10	トリガ選択	R/W	0h	PTP トリガ選択: このフィールドでは、制御情報のロード、またはトリガを有効にするトリガを選択します。 000b = トリガ 0 001b = トリガ 1 010b = トリガ 2 011b = トリガ 3 100b = トリガ 4 101b = トリガ 5 110b = トリガ 6 111b = トリガ 7
9	トリガ無効	R/W	0h	PTP トリガの無効化: このビットを設定すると、選択されたトリガを無効にします。このビットは、トリガの無効状態を示しません。トリガのステータスを確認するには、PTP トリガ ステータス レジスタを使用します。このビットは自動クリアされ、リードバックすると常に 0 です。 トリガを無効にしても、GPIO ピンからトリガを切り離しません。トリガが GPIO に割り当てられている場合、トリガ値は引き続き GPIO に出力されます。
8	トリガ有効	R/W	0h	PTP トリガの有効化: このビットをセットすると、選択されたトリガを有効にします。このビットは、トリガの有効状態を示しません。トリガのステータスを確認するには、PTP トリガ ステータス レジスタを使用します。このビットは自動クリアされ、リードバックすると常に 0 です。
7	トリガ読み取り	R/W	0h	PTP トリガ読み取り: このビットを設定すると、トリガ読み取りプロセスが開始されます。対象トリガは、このレジスタ内の「トリガ選択」ビットの設定に基づいて選択されます。このビットを設定すると、その後の PTP_TDR レジスタの読み取りで、トリガ制御値が返されます。 このビットは自動クリアされ、リードバックすると常に 0 です。

表 8-112. PTP_CTL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	トリガ ロード	R/W	0h	PTP トリガ ロード: このビットを設定すると、選択されたトリガを無効にし、トリガ ロードのプロセスを開始します。対象トリガは、このレジスタ内の「トリガ選択」ビットの設定に基づいて選択されます。このビットを設定すると、その後の PTP_TDR への書き込みによって、選択されたトリガのトリガ制御フィールドが設定されます。 すべてのフィールドが書き込みされるか、このレジスタの「トリガ有効」ビットが設定されると、トリガ ロードが完了します。このビットは自動クリアされ、すべてのトリガ制御フィールドを書き込むか、トリガ有効を設定してトリガ ロードが完了すると 0 としてリードバックされます。
5	PTP クロック読み取り	WSC	0h	PTP クロックの読み取り: このビットをセットすると、デバイスは PTP クロックの時刻値をサンプリングします。サンプリングされた時刻値は、PTP_TDR レジスタから読み取ることができます。 このビットは自動クリアされ、リードバックすると常に 0 です。
4	PTP クロック ロード	WSC	0h	PTP クロック ロード: このビットを設定すると、デバイスは事前に PTP_TDR レジスタに書き込まれたデータから PTP クロックの時刻値をロードします。 このビットは自動クリアされ、リードバックすると常に 0 です。
3	PTP クロック ステップ	R/W	0h	PTP クロック ステップ: このビットを設定すると、デバイスは PTP クロックに値を加算します。加算される値は、事前に PTP_TDR レジスタに書き込まれた値です。 このビットは自動クリアされ、リードバックすると常に 0 です。
2	PTP 有効	R/W	0h	PTP クロック有効化: このビットを設定すると、PTP クロックが有効になります。このビットを読み取ると、現在の有効状態が返されます。 このビットに 0 を書き込んでも効果はありません。
1	PTP 無効	R/W	0h	PTP クロック無効化: このビットを設定すると、PTP クロックが無効になります。このビットに 0 を書き込んでも効果はありません。このビットは自動クリアされ、リードバックすると常に 0 です。
0	PTP リセット	R/W	0h	PTP クロック リセット: このビットを設定すると、PTP クロックおよび関連ロジックがリセットされます。さらに、PTP_COC および PTP_CLKSRC レジスタを除いて、802.1AS レジスタもリセットされます。 このビットは、このレジスタ内の他のビットとは異なり、自動クリアではなく、ロックおよびロジックをリセット状態から解除するには 0 を書き込む必要があります。

8.2.109 PTP_TDR レジスタ (オフセット = D01h) [リセット = 0000h]

表 8-113 に、PTP_TDR を示します。

概略表に戻ります。

このレジスタは、802.1AS 時刻およびトリガ制御値の読み取りおよび書き込みの手段を提供します。このレジスタの機能は、PTP コントロールレジスタ内の制御によって決まります

Copyright © 2025 Texas Instruments Incorporated

表 8-113. PTP_TDR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	タイム データ	R/W	0h	タイム データ: 読み取り時には、PTP 制御レジスタの制御によって選択されたクロック時刻またはトリガ制御情報の 16 ビット値を順次返します。使用可能なフィールド数を超えてさらに読み取りを行った場合は、常に 0 を返します。 書き込み時に、PTP 制御レジスタの制御によって選択されたクロック時刻またはトリガ制御情報の 16 ビット値を順次格納します。

8.2.110 PTP_STS レジスタ (オフセット = D02h) [リセット = 0000h]

表 8-114 に、PTP_STS を示します。

概略表に戻ります。

このレジスタは、802.1AS PTP 動作の基本的なステータスおよび割り込み制御を提供します。

表 8-114. PTP_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	TX タイムスタンプ準備完了	R	0h	送信タイムスタンプ準備完了: 送信タイムスタンプは、送信 PTP メッセージで使用できます。 他のタイムスタンプの準備ができていない場合、このビットは送信タイムスタンプを読み取るとクリアされます。
10	RX タイムスタンプ準備完了	R	0h	受信タイムスタンプ準備完了: 受信タイムスタンプは、受信 PTP メッセージで使用できます。 他のタイムスタンプの準備ができていない場合、このビットは受信タイムスタンプを読み取るとクリアされます。
9	トリガ完了	R	0h	PTP トリガ完了: PTP トリガが発生したことを示します。このビットは、読み出すとクリアされます。このビットは、トリガ構成レジスタでトリガ通知が有効にされているトリガに対してのみ設定されます。 周期トリガが設定されている場合、プログラムされたトリガが異常な条件を引き起こした場合でなければ、この割り込みはアサートされません。 TRIG_IF_LATE ビットが設定されている場合、異常な条件であっても割り込みは発生しません
8	イベント準備完了	R	0h	PTP イベント タイムスタンプ準備完了: PTP イベント タイムスタンプが利用可能です。 他のイベント タイムスタンプの準備ができていない場合、このビットは PTP イベント タイムスタンプを読み取るとクリアされます。
7-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	TX タイムスタンプ準備完了割り込み有効	R/W	0h	送信タイムスタンプ割り込み有効化: 送信タイムスタンプ準備完了に対する割り込みを有効にします。
2	RX タイムスタンプ準備完了割り込み有効	R/W	0h	受信タイムスタンプ割り込の有効化: 受信タイムスタンプ準備完了に対する割り込みを有効にします。
1	トリガ完了割り込み有効	R/W	0h	トリガ割り込み有効化: トリガ完了に対する割り込みを有効にします。
0	イベント準備完了有効	R/W	0h	イベント割り込み有効化: イベント タイムスタンプ準備完了に対する割り込みを有効にします。

8.2.111 PTP_TSTS レジスタ (オフセット = D03h) [リセット = 0000h]

表 8-115 に、PTP_TSTS を示します。

概略表に戻ります。

このレジスタは、802.1AS PTP トリガのステータスを示します。このレジスタのビットは、各トリガ モジュールの現在のステータスを示します。エラービットは、PTP トリガ設定レジスタ内で対応する通知有効 (TRIG_NOTIFY) が設定されている場合に設定されます

表 8-115. PTP_TSTS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	トリガ 7 エラーの通知	R	0h	このビットは、トリガが現在時刻より前の時刻でトリガされるように不適切に設定されていたことを示します。このビットは、トリガが無効化またはリセットされると、クリアされます。
14	トリガ 7 のアクティブ ステータス	R	0h	このビットは、トリガが有効であり、まだ完了していないことを示します。
13	トリガ 6 のエラー通知	R	0h	このビットは、トリガが現在時刻より前の時刻でトリガされるように不適切に設定されていたことを示します。このビットは、トリガが無効化またはリセットされると、クリアされます。
12	トリガ 6 のアクティブ ステータス	R	0h	このビットは、トリガが有効であり、まだ完了していないことを示します。
11	トリガ 5 の エラー通知	R	0h	このビットは、トリガが現在時刻より前の時刻でトリガされるように不適切に設定されていたことを示します。このビットは、トリガが無効化またはリセットされると、クリアされます。
10	トリガ 5 のアクティブステータス	R	0h	このビットは、トリガが有効であり、まだ完了していないことを示します。
9	トリガ 4 のエラー通知	R	0h	このビットは、トリガが現在時刻より前の時刻でトリガされるように不適切に設定されていたことを示します。このビットは、トリガが無効化またはリセットされると、クリアされます。
8	トリガ 4 のアクティブ ステータス	R	0h	このビットは、トリガが有効であり、まだ完了していないことを示します。
7	トリガ 3 のエラー通知	R	0h	このビットは、トリガが現在時刻より前の時刻でトリガされるように不適切に設定されていたことを示します。このビットは、トリガが無効化またはリセットされると、クリアされます。
6	トリガ 3 のアクティブ ステータス	R	0h	このビットは、トリガが有効であり、まだ完了していないことを示します。
5	トリガ 2 のエラー通知	R	0h	このビットは、トリガが現在時刻より前の時刻でトリガされるように不適切に設定されていたことを示します。このビットは、トリガが無効化またはリセットされると、クリアされます。
4	トリガ 2 のアクティブ ステータス	R	0h	このビットは、トリガが有効であり、まだ完了していないことを示します。
3	トリガ 1 のエラー通知	R	0h	このビットは、トリガが現在時刻より前の時刻でトリガされるように不適切に設定されていたことを示します。このビットは、トリガが無効化またはリセットされると、クリアされます。
2	トリガ 1 のアクティブステータス	R	0h	このビットは、トリガが有効であり、まだ完了していないことを示します。
1	トリガ 0 のエラー通知	R	0h	このビットは、トリガが現在時刻より前の時刻でトリガされるように不適切に設定されていたことを示します。このビットは、トリガが無効化またはリセットされると、クリアされます。
0	トリガ 0 のアクティブステータス	R	0h	このビットは、トリガが有効であり、まだ完了していないことを示します。

8.2.112 PTP_RATEL レジスタ (オフセット = D04h) [リセット = 0000h]

表 8-116 に、PTP_RATEL を示します。

概略表に戻ります。

このレジスタは、PTP レート制御の下位 16 ビットが格納されます。PTP レート制御は、基準クロック周期に対する正または負の調整量を、2^{-32}ns 単位で示します。各基準クロック サイクルごとに、PTP クロックは ref_clk_period ± PTP_Rate

Copyright © 2025 Texas Instruments Incorporated

を加算することで調整されます。PTP レートは、PTP_RATEH に続いて PTP_RATEL の順に書き込みます。このレートは、PTP_RATEL レジスタへの書き込み時に有効になります

表 8-116. PTP_RATEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP レート制御下位	R/W	0h	PTP レート制御下位 16 ビット: このレジスタへの書き込みにより、レート制御値の下位 16 ビットが設定されます。レート制御値は 2^{-32}ns 単位です。このレジスタに書き込むと、レート制御値全体がデバイスにロードされます。

8.2.113 PTP_RATEH レジスタ (オフセット = D05h) [リセット = 0000h]

表 8-117 に、PTP_RATEH を示します。

概略表に戻ります。

このレジスタには、26 ビットの PTP レート制御の上位 10 ビットが格納されます。さらに、デバイスが基準クロック周波数より高速で動作しているか低速で動作しているかを示す方向制御ビットも含まれます。PTP レートを設定する場合は、まずこのレジスタに書き込み、その後 PTP_RATEL レジスタに書き込みます。このレートは、PTP_RATEL レジスタへの書き込み時に有効になります。

表 8-117. PTP_RATEH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PTP レート方向	R/W	0h	このビットの設定により、デバイスが基準クロックより高い周波数で動作するか、低い周波数で動作するかを制御します。 0h = PTP RATE の値を各クロック サイクルでクロックに加算し、低い周波数を示します 1h = PTP RATE の値を各クロック サイクルでクロックから減算し、高い周波数を示します
14	一時レート有効	R/W	0h	PTP 一時レート: このビットを設定すると、PTP 一時レート期間レジスタ (PTP_TRD) で設定された期間の間、レートがクロックに適用されます。 0h = 通常レート 1h = 一時レート
13-10	予約済み	R	0h	予約済み
9-0	PTP レート制御上位	R/W	0h	PTP レート制御上位 10 ビット: このレジスタへの書き込みにより、レート制御値の上位 10 ビットが設定されます。レート制御値は 2^{-32}ns 単位です。

8.2.114 PTP_TXTS レジスタ (オフセット = D08h) [リセット = 0000h]

表 8-118 に、PTP_TXTS を示します。

概略表に戻ります。

このレジスタは、送信スタンプを読み取るための手段を提供します。フィールドは次の順序で読み取られます:
Timestamp_ns [15:0]、
Overflow_cnt[1:0]、Timestamp_ns[29:16]、
Timestamp_sec[15:0]、
Timestamp_sec[31:16]
。
Overflow_cnt の値は、送信タイムスタンプ キューがオーバーフローしたことによりタイムスタンプがドロップされたかどうかを示します。オーバーフロー カウンタは、追加のタイムスタンプが見落とされた場合でも値 3 のまま保持されます。
注記:

各送信タイムスタンプ情報は 4 回の読み取りから構成されます。次に利用可能な送信タイムスタンプ情報にアクセスするには、TXTS_RDY ステータス (0xD02、ビット–11) を読み取る必要があります。

表 8-118. PTP_TXTS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP TX タイムスタンプ	R	0h	PTP 送信タイムスタンプ： このレジスタを読み取ると、送信タイムスタンプが 16 ビット単位で 4 回の連続読み取りとして返されます。

8.2.115 PTP_RXTS レジスタ (オフセット = D09h) [リセット = 0000h]

表 8-119 に、PTP_RXTS を示します。

概略表に戻ります。

このレジスタは、受信タイムスタンプおよび識別情報を読み取るための手段を提供します。フィールドは次の順序で読み取られます：
Timestamp_ns [15:0]
Overflow_cnt[1:0]、Timestamp_ns[29:16]
Timestamp_sec[15:0]
Timestamp_sec[31:16]
sequenceId[15:0]
messageType[3:0]、source_hash[11:0]
Overflow_cnt の値は、送信タイムスタンプ キューがオーバーフローしたことによりタイムスタンプがドロップされたかどうかを示します。オーバーフロー カウンタは、追加のタイムスタンプが見落とされた場合でも値 3 のまま保持されます。
注記：
各受信タイムスタンプ情報は、6 回の読み取りから構成されます。次に利用可能な送信タイムスタンプ情報にアクセスするには、RXTS_RDY ステータス (0xD02, ビット [12]) を読み取る必要があります。

表 8-119. PTP_RXTS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP RX タイムスタンプ	R	0h	PTP 受信タイムスタンプ： このレジスタを読み取ると、受信タイムスタンプおよび識別情報が 16 ビット単位の連続読み取りとして返されます。

8.2.116 PTP_ESTS レジスタ (オフセット = D0Ah) [リセット = 0000h]

表 8-120 に、PTP_ESTS を示します。

概略表に戻ります。

このレジスタは、イベント タイムスタンプ ユニットのステータスを提供します。このレジスタを読み取ると、イベント データ レジスタ内に格納された次のイベント タイムスタンプに対するステータスが得られます。このレジスタが 0 の場合、イベント データ レジスタ内に有効なイベント タイムスタンプは存在しません。このレジスタを読み取ると、自動的にキュー内の次のイベントに移動します。

表 8-120. PTP_ESTS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	0h	予約済み
10-8	イベント欠落カウンタ	R	0h	イベント欠落数： EVNT_NUM で示されるイベントに対して、このタイムスタンプより前に見落とされたイベントの数を示します。7 を超えるイベントが見落とされた場合、このカウント値は 7 のまま保持されます。

Copyright © 2025 Texas Instruments Incorporated

表 8-120. PTP_ESTS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-6	イベント タイムスタンプ更新の長さ	R	0h	イベント タイムスタンプの長さ: タイムスタンプ フィールドの長さを、16 ビットワードから 1 を引いた値で示します。すべてのフィールドが取得可能ですが、このフィールドは、前回のイベント タイムスタンプからどの程度のフィールドが新しい値に更新されているかを示します。これにより、ソフトウェアは、前回から値が変化していない上位側フィールドの読み取りを省略できます。このフィールドは、単一イベントと複数イベントの両方で有効です。 各設定値ごとに、新しいデータを持つ最下位フィールド数は次のとおりです 0h = 1 個の 16 ビットフィールドが新しい (Timestamp_ns[15:0]) 1h = 2 個の 16 ビットフィールドが新しい 2h = 3 個の 16 ビットフィールドが新しい 3h = 4 個すべての 16 ビットフィールドが新しい
5	イベントエッジ検出	R	0h	イベントエッジ設定: イベントが立ち上がりイベントか立ち下がりイベントかを示します。「複数イベント検出」ビットが 1 に設定されている場合、このビットは EVNT_NUM で示されるイベントの立ち上がり / 立ち下がりの方向を示します。 0h = 立ち下がりエッジ検出 1h = 立ち上がりエッジ検出
4-2	イベント番号検出	R	0h	イベント番号: イベントを検出したイベント タイムスタンプ ユニットを示します。「複数イベント検出」ビットが 1 の場合、キャプチャされた最小のイベント番号を示します。このタイムスタンプよりも前にイベントが見落とされている場合、少なくとも 1 回は見落としが発生した、キャプチャされたイベントの最小番号を示します。
1	複数イベント検出	R	0h	複数イベント検出: 複数のイベントが同時に検出されたことを示します。複数のイベントが検出された場合、拡張イベント ステータス フィールドが、イベント データ レジスタからの最初のデータ読み取りとして利用可能になります。 0h = 単一イベントを検出 1h = 複数イベントを検出
0	PTP イベント検出	R	0h	いずれかのイベント タイムスタンプ ユニットによってイベントが検出されたことを示します

8.2.117 PTP_TRIG レジスタ (オフセット = D10h) [リセット = 0000h]

PTP_TRIG を表 8-121 に示します。

概略表に戻ります。

このレジスタは、IEEE 802.1AS トリガの基本的な構成を提供します。トリガに構成を書き込むには、TRIG_SEL とその他の制御情報を設定したうえで、TRIG_WR ビットをセットします。トリガから構成を読み取るには、TRIG_SEL エンコーディングをトリガにセットし、TRIG_WR ビットを 0 に設定します。その後に PTP_TRIG レジスタを読み取ると、構成情報が返されます。
注記:
Ttrig_if_late 条件でトグル トリガを設定した場合、パルスが検出されます。
trig_if_late 条件では、パルス トリガは設定されたパルス幅のパルスを出力しません。

表 8-121. PTP_TRIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	トリガ パルス選択	R/W	0h	トリガ パルス: このビットをセットすると、トリガは単一の立ち上がりまたは立ち下がりエッジではなく、パルスを生成します。

表 8-121. PTP_TRIG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	トリガ周期有効	R/W	0h	トリガ周期: このビットを設定すると、トリガは周期信号を生成します。このビットが 0 の場合、トリガはトリガ制御設定に応じて単一のパルスまたはエッジを生成します。
13	遅延トリガ	R/W	0h	Trigger-IF-Late (トリガ時) 制御: このビットをセットすると、トリガ時刻が現在時刻よりも過去 (小さい値) に設定された場合、即座にトリガを使用できます。これにより、直ちにトリガを生成したり、周期信号の生成を直ちに開始したりすることができます。周期信号では、このビットがセットされていて遅延トリガが発生した場合には、通知は生成されません。この関数は、トリガ 0 またはトリガ 1 にのみ使用します。 このビットは、トリガ (タイムスタンプ) をロードする前に設定しておく必要があります。
12	トリガ通知有効	R/W	0h	トリガ通知有効化: このビットをセットすると、トリガ完了時、または遅延トリガによるエラー検出時に、トリガ ステータスが報告されます。トリガ割り込みが有効な場合、この通知によって割り込みも生成されます。
11-8	トリガ GPIO 選択	R/W	0h	GPIO トリガ出力構成: このフィールドを 0 以外の値に設定すると、トリガが対応する GPIO ピンに接続されます。 0h = GPIO は選択されていません 1h = LED_0 2h = LED_1 3h = RX_ER 4h = CLKOUT 5h = GPIO_3 6h = GPIO_4 7h = GPIO_5
7	トリガ トグル モード	R/W	0h	トリガ トグル モード有効: このビットをセットすると、トリガはトグルモードになります。トグルモードでは、初期値は無視され、トリガ出力はトリガ時刻ごとに反転します。
6-4	予約済み	R	0h	予約済み
3-1	トリガ選択	R/W	0h	トリガ構成の選択: このフィールドで、構成の読み取りまたは書き込み対象となるトリガを選択します。
0	トリガ構成書き込み	R/W	0h	トリガ構成書き込み: このビットをセットすると、選択されたトリガに対して構成書き込みが行われます。このビットは自動クリアされ、リードバックすると常に 0 です。

8.2.118 PTP_EVNT レジスタ (オフセット = D11h) [リセット = 0000h]

表 8-122 に、PTP_EVNT を示します。

概略表に戻ります。

このレジスタは、IEEE 802.1AS イベントの基本的な構成を提供します。イベント タイムスタンプ ユニットに構成を書き込むには、EVNT_SEL とその他の制御情報を設定したうえで EVNT_WR ビットを設定します。イベント タイムスタンプ ユニットから構成を読み取るには、EVNT_SEL を目的のイベントに設定し、EVNT_WR ビットを 0 にします。その後の PTP_EVNT レジスタを読み出すと、構成情報が返されます。

表 8-122. PTP_EVNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	イベント立ち上がり検出有効	R/W	0h	イベント立ち上がり検出有効化: 選択したイベント入力の立ち上がりエッジ遷移の検出を有効にします。

Copyright © 2025 Texas Instruments Incorporated

表 8-122. PTP_EVNT レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	イベント立ち下がり検出有効	R/W	0h	イベント立ち下がり検出有効化: 選択したイベント入力の立ち下がりエッジ遷移の検出を有効にします。
12	単一イベント キャプチャ	R/W	0h	単一イベント キャプチャ: このビットを 1 に設定すると、単一イベント キャプチャ動作が有効になります。有効なイベント タイムスタンプがキャプチャされると、EVNT_RISE と EVNT_FALL はクリアされます。
11-8	イベント GPIO 選択	R/W	0h	GPIO イベント キャプチャ構成: このフィールドに 0 以外の値を設定すると、イベントが対応する GPIO ピンに接続されます。また、このフィールドを使用して、トリガ出力や AVB クロック出力に基づいてイベントをキャプチャすることもできます 0h = GPIO は選択されていません 1h = LED_0 2h = LED_1 3h = RX_ER 4h = CLKOUT 5h = GPIO_3 6h = GPIO_4 7h = GPIO_5 8h = メディア クロック 9h = コーデック クロック Ah = ビット クロック Bh = トリガ 0 Ch = トリガ 1
7-4	予約済み	R	0h	予約済み
3-1	イベント選択	R/W	0h	イベント選択: このフィールドは、構成の読み取りまたは書き込み対象となるイベント タイムスタンプ ユニットを選択します。 000b = イベント 0 001b = イベント 1 010b = イベント 2 011b = イベント 3 100b = イベント 4 101b = イベント 5 110b = イベント 6 111b = イベント 7
0	イベント構成書き込み	R/W	0h	イベント構成書き込み: このビットをセットすると、選択されたイベント タイムスタンプ ユニットに対して構成書き込みが行われます。

8.2.119 PTP_TXCFG0 レジスタ (オフセット = D12h) [リセット = 0000h]

PTP_TXCFG0 を表 8-123 に示します。

概略表に戻ります。

このレジスタは、IEEE 802.1AS 送信タイムスタンプ動作の設定を行います。

表 8-123. PTP_TXCFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	同期メッセージ ワンステップ有効	R/W	0h	同期メッセージ ワンステップ有効化: 送信同期メッセージへのタイムスタンプの自動挿入を有効にします。デバイスは同期メッセージを自動解析し、タイムスタンプを正しい場所に挿入します。 UDP チェックサムおよび CRC フィールドが再生成されます。
14	TX タイムスタンプ情報有効	R/W	0h	送信イベント パケットに対して、タイムスタンプとともにメッセージ タイプ、ハッシュ値、シーケンス ID をラッチし、これらのフィールドを PSF 経由で送出する機能を有効にします

表 8-123. PTP_TXCFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	遅延要求の挿入	R/W	0h	Delay_Resp への Delay_Req タイムスタンプ挿入: このビットを 1 に設定すると、デバイスは送信された Delay_Req メッセージのタイムスタンプを、受信した Delay_Resp メッセージ内に挿入します。いずれの受信 Delay_Resp メッセージに対しても、最新のタイムスタンプが使用されます。受信タイムスタンプ挿入ロジックは、PTP 受信構成レジスタを使用して有効化されている必要があります。
12	NTP タイムスタンプの有効	R/W	0h	NTP パケットのタイムスタンプを有効にします: このビットが 0 に設定されている場合、デバイスは UDP プロトコル フィールドに PTP イベント メッセージ (値 319) が指定されているかをチェックします。 このビットが 1 に設定されている場合、デバイスは UDP プロトコル フィールドに NTP メッセージ (値 123) が指定されているかをチェックします。この設定は、送信および受信パケットの解析エンジンに適用されます。
11	ツーステップ フラグ無視	R/W	0h	ワンステップ動作時の Two_Step フラグを無視: このビットが 0 に設定されている場合、PTP ヘッダのフラグ フィールドで Two_Step ビットが設定されていると、デバイスはタイムスタンプを挿入しません。 このビットが 1 に設定されている場合、デバイスは Two_Step フラグの設定に関わらず、タイムスタンプを挿入します。
10	CRC ワンステップ無効	R/W	0h	ワンステップ動作時の CRC チェックを無効化: このビットが 0 に設定されている場合、入力フレームに CRC エラーがあると、デバイスはワンステップ動作の CRC エラーを強制します。 このビットが 1 に設定されている場合、入力 CRC が不正であっても、デバイスは有効な CRC を持つワンステップ フレームを送信します。
9	ワンステップ チェックサム補正	R/W	0h	ワンステップ動作時の UDP チェックサム補正を有効化: タイムスタンプを挿入するメッセージに対して、UDP チェックサムの補正を有効にします。チェックサムは、UDP データの最後の 2 バイトを修正することで補正されます。 最後の 2 バイトは、MAC により 0 として送信されている必要があります。IPv6/UDP ワンステップ動作を正しく行うには、この制御を設定する必要があります。この制御は、レイヤ 2 イーサネット メッセージには影響しません。
8	IP アドレス フィルタ	R/W	0h	IEEE 802.1AS で定義される IP アドレス フィルタを有効にします: IANA に割り当てられた IP 宛先アドレスを用いて、UDP/IP イベント メッセージのフィルタリングを有効にします。 このビットが 1 に設定されている場合、IANA 割り当てアドレスと一致しない IP 宛先アドレスを持つパケットにはタイムスタンプが付加されません。このフィールドは、IPv4 と IPv6 の両方の動作に影響します。このフィールドが 0 に設定されている場合、IP 宛先アドレスは無視されます。
7	レイヤ 2 タイムスタンプ有効	R/W	0h	レイヤ 2 タイムスタンプを有効化: IEEE 802.3/ イーサネット カプセル化された PTP イベント メッセージの検出を有効にします。
6	IPv6 タイムスタンプ有効	R/W	0h	IPv6 タイムスタンプを有効化: UDP/IPv6 でカプセル化された PTP イベントメッセージの検出を有効にします。
5	IPv4 タイムスタンプ有効	R/W	0h	IPv4 タイムスタンプを有効化: UDP/IPv4 でカプセル化された PTP イベントメッセージの検出を有効にします。
4-1	PTP バージョン	R/W	0h	PTP バージョン: 特定バージョンの IEEE 802.1AS 仕様に対してタイムスタンプのキャプチャを有効にします。このフィールドには 1 ～ 15 の任意の値に設定でき、IEEE 802.1AS 仕様の将来のバージョンをサポートできます。値を 0 にすると、バージョン チェックが無効になります (推奨されません)。
0	送信タイムスタンプ有効	R/W	0h	送信タイムスタンプを有効化: 送信に対するタイムスタンプのキャプチャを有効にします。

Copyright © 2025 Texas Instruments Incorporated

8.2.120 PTP_TXCFG1 レジスタ (オフセット = D13h) [リセット = 0000h]

PTP_TXCFG1 を表 8-124 に示します。

概略表に戻ります。

このレジスタは、PTP メッセージ内の最初の 1 バイトをフィルタするためのデータおよびマスク フィールドを提供します。すべてのマスクビットが 0 に設定されている場合、この機能は無効になります。

表 8-124. PTP_TXCFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	送信バイト 0 マスク	R/W	0h	バイト 0 マスク: PTP メッセージのバイト 0 と一致させるために使用されるビット マスクです。任意のビットに 1 を含めると、対応するデータ ビットについてマッチングを有効にします。マッチングが不要な場合は、マスクの全ビットを 0 に設定します
7-0	送信バイト 0 データ	R/W	0h	バイト 0 データ: PTP メッセージのバイト 0 と一致させるために使用されるデータです。

8.2.121 PSF_CFG0 レジスタ (オフセット = D14h) [リセット = 4700h]

PSF_CFG0 を表 8-125 に示します。

概略表に戻ります。

このレジスタは、Phy ステータス フレーム機能の設定を提供します。

表 8-125. PSF_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	PSF 終端フィールド追加有効	R/W	1h	1b = PSF パケットに終端フィールドの追加を有効にします
13	予約済み	R	0h	予約済み
12-11	PSF MAC 送信元アドレス	R/W	0h	PHY ステータス フレームの MAC 送信元アドレス: 0h = Mac アドレス [08 00 17 0B 6B 0F] を使用 1h = Mac アドレス [08 00 17 00 00 00] を使用 2h = Mac マルチキャスト宛先アドレスを使用 3h = Mac アドレス [00 00 00 00 00 00] を使用
10-8	PSF 最小プリアンブル	R/W	7h	Phy ステータスフレームの最小プリアンブル: MII インターフェイスでパケットを送信するために必要な最小プリアンブル バイト数を決定します。TI では、この値を MAC が許容する最小値に設定することを推奨しています。
7	PSF エンディアン制御	R/W	0h	Phy ステータス フレームのエンディアン制御: ステータス メッセージ内の各 16 ビット フィールドのデータは、通常ネットワーク バイト順序 (最上位バイトが先) で表示されます。 このビットが 1 に設定されている場合、バイトのデータフィールドは反転され、最下位バイトが先になります。
6	PSF パケット タイプ	R/W	0h	このビットは、Phy ステータス フレームに使用されるパケットのタイプを制御します: 0h = レイヤ 2 イーサネット パケット 1h = IPv4 パケット。
5	PSF デリバリ有効	R/W	0h	Phy 制御フレーム読み取りの Phy ステータス フレームを有効化: Phy 制御フレームで読み取ったデータを、Phy ステータス フレームで転送する機能を有効にします。Phy 制御フレームを通じて読み取られたデータは、Phy ステータス フレームとして返されます。

表 8-125. PSF_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	PSF エラー デリバリ有効	R/W	0h	PSF エラー Phy ステータス フレームを有効化: Phy ステータス フレーム エラーを、Phy ステータス フレームで転送する機能を有効にします。このビット単独では Phy ステータス フレーム動作を有効にはしません。Phy ステータス フレームを生成するには、他のいずれかの有効化ビットも設定されている必要があります。
3	PSF TX タイムスタンプ有効	R/W	0h	送信タイムスタンプ Phy ステータス フレームを有効化: 送信タイムスタンプの Phy ステータス フレームで転送する機能を有効にします。
2	PSF RX タイムスタンプ有効	R/W	0h	受信タイムスタンプ Phy ステータス フレームの有効化: 受信タイムスタンプを Phy ステータス フレームで転送する機能を有効にします。
1	PSF トリガ有効	R/W	0h	トリガ Phy ステータス フレームの有効化: トリガ ステータスを Phy ステータス フレームで転送する機能を有効にします。
0	PSF イベント有効	R/W	0h	イベント Phy ステータス フレームの有効化: イベント タイムスタンプを Phy ステータス フレームで転送する機能を有効にします。

8.2.122 PTP_RXCFG0 レジスタ (オフセット = D15h) [リセット = 0000h]

PTP_RXCFG0 を表 8-126 に示します。

概略表に戻ります。

このレジスタは、IEEE 802.1AS 受信タイムスタンプ動作の設定を行います。

表 8-126. PTP_RXCFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	ドメイン一致有効	R/W	0h	ドメイン一致の有効化: 1 に設定されている場合、受信タイムスタンプ ユニットでは、PTP ヘッダのドメイン番号フィールド (オクテット 4) が、PTP_RXCFG3 レジスタの PTP_DOMAIN フィールドに設定された値と一致する必要があります。 0 に設定されている場合、受信タイムスタンプは PTP_DOMAIN フィールドを無視します。
14	代替リーダー タイムスタンプ有効	R/W	0h	代替リーダー タイムスタンプの無効化: Alternate_Leader フラグが設定されている場合、タイムスタンプ生成を無効にします。 0h = Alternate_Leader フラグを無視 1h = Alternate_Leader が 1 の場合、タイムスタンプを生成しません
13	IP アドレス データ選択	R/W	0h	IP アドレス データ選択: PTP_RXCFG2 レジスタでアクセス可能な IP アドレスの部分を選択します。 0h = 最上位 2 オクテット 1h = 最下位 2 オクテット
12	ユーザー設定 IP アドレス フィルタ有効	R/W	0h	ユーザー設定 IP アドレス フィルタの有効化: プログラマブル IP アドレスを使用した UDP/IP イベント メッセージの検出を有効にします。IP アドレスは、PTP_RXCFG2 レジスタで設定します。
11	PTP 受信フォロワ専用	R/W	0h	受信フォロワー専用: デフォルトでは、受信タイムスタンプ ユニットは、その他の条件を満たすイベント メッセージに対してタイムスタンプを生成します。このビットを 1 に設定すると、コントロールフィールド (PTP メッセージのオフセット 32) が 1 以外の値であることを要求することで、Delay_Req メッセージにはタイムスタンプを付加しないようにします。

Copyright © 2025 Texas Instruments Incorporated

表 8-126. PTP_RXCFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10-8	IP アドレス フィルタ有効	R/W	0h	IEEE 802.1AS で定義された IP アドレスフィルタを有効にします: IANA に割り当てられた IP 宛先アドレスを用いて UDP/IP イベントメッセージの検出を有効にします。このフィールドは、IPv4 と IPv6 の両方の動作に影響します。 IP 宛先アドレスが以下と一致する PTP メッセージに対してタイムスタンプがキャプチャされます: bxx1:宛先 IP アドレスが 224.0.1.129 bx1x:宛先 IP アドレスが 224.0.1.130 ～ 132 b1xx:宛先 IP アドレスが 224.0.0.107
7	L2 タイムスタンプ有効	R/W	0h	レイヤ 2 タイムスタンプを有効化: IEEE 802.3/イーサネット カプセル化された PTP イベント メッセージの検出を有効にします。
6	IPv6 タイムスタンプを有効化:	R/W	0h	IPv6 タイムスタンプを有効化: UDP/IPv6 でカプセル化された PTP イベントメッセージの検出を有効にします。
5	IPv4 タイムスタンプを有効化:	R/W	0h	IPv4 タイムスタンプを有効化: UDP/IPv4 でカプセル化された PTP イベントメッセージの検出を有効にします。
4-1	RX PTP バージョン	R/W	0h	PTP バージョン: 特定バージョンの IEEE 802.1AS 仕様に対してタイムスタンプのキャプチャを有効にします。このフィールドには 1 ～ 15 の任意の値に設定でき、IEEE 802.1AS 仕様の将来のバージョンをサポートできます。値を 0 にすると、バージョン チェックが無効になります (推奨されません)。
0	受信タイムスタンプ有効	R/W	0h	受信タイムスタンプを有効化: 受信に対するタイムスタンプのキャプチャを有効にします。

8.2.123 PTP_RXCFG1 レジスタ (オフセット = D16h) [リセット = 0000h]

PTP_RXCFG1 を表 8-127 に示します。

概略表に戻ります。

このレジスタは、PTP メッセージ内の最初の 1 バイトをフィルタするためのデータおよびマスク フィールドを提供します。すべてのマスクビットが 0 に設定されている場合、この機能は無効になります。

表 8-127. PTP_RXCFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	受信バイト 0 マスク	R/W	0h	バイト 0 マスク: 受信 PTP メッセージのバイト 0 と一致させるために使用されるビットマスクです。任意のビットに 1 を含めると、対応するデータ ビットについてマッチングを有効にします。マッチングが不要な場合は、マスクの全ビットを 0 に設定します。
7-0	受信バイト 0 データ	R/W	0h	バイト 0 データ: 受信 PTP メッセージのバイト 0 と一致させるために使用されるデータです。

8.2.124 PTP_RXCFG2 レジスタ (オフセット = D17h) [リセット = 0000h]

PTP_RXCFG2 を表 8-128 に示します。

概略表に戻ります。

このレジスタは、PTP イベント メッセージを検出するためにパケットをフィルタリングする際に使用する IP アドレスを設定するためのレジスタです。IPv4 アドレスは 32 ビットであるため、IP アドレスを書き込むには、ソフトウェアは 2 つの 16 ビッ

ト値を書き込む必要があります。PTP_RXCFG0 レジスタの USER_IP_SEL ビットが、このレジスタを通じてアクセスされる IP アドレスのどのオクテットを選択するかを制御します。
例えば、IP アドレス 224.0.1.129 を書き込むには、ソフトウェアは次の操作を行います:
1.PTP_RXCFG0 レジスタの USER_IP_SEL ビットを 0 に設定します
2.PTP_RXCFG2 に 0xE000 (224.00) を書き込みます
3.PTP_RXCFG0 レジスタの USER_IP_SEL ビットを 1 に設定します
4.PTP_RXCFG2 に 0x0181 (01.129) を書き込みます
このレジスタを読み取ると、USER_IP_SEL で選択されている IP アドレスフィールドが返されます。

表 8-128. PTP_RXCFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	受信 IP アドレス データ	R/W	0h	受信 IP アドレス データ: 読み取りまたは書き込み対象となる IP アドレスフィールドの 16 ビット値です。PTP_RXCFG0 レジスタの「IP アドレス データ選択」ビットが、IP アドレスのどの部分を読み書きするかを選択します。 - RX_CFG0 の「IP アドレス データ選択」ビット = 0 の場合:IPv4/IPv6 アドレスの MSB 2 バイトを、通常のバイト フォーマットで PTP_RXCFG2 レジスタに設定します。 - RX_CFG0 の「IP アドレス データ選択」ビット = 1 の場合:IPv4/IPv6 アドレスの LSB 2 バイトを、通常のバイト フォーマットで PTP_RXCFG2 レジスタに設定します。 IPv4 の場合は ip アドレス全体を設定できます。IPv6 の場合は、16 バイト アドレスのうち MSB 2 バイトと LSB 2 バイトのみが比較に使用されます。

8.2.125 PTP_RXCFG3 レジスタ (オフセット = D18h) [リセット = C000h]

PTP_RXCFG3 を表 8-129 に示します。

概略表に戻ります。

このレジスタは、IEEE 802.1AS 受信タイムスタンプ動作に関する拡張構成を行います。

表 8-129. PTP_RXCFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	タイムスタンプ後の RX 最小 IFG	R/W	Ch	最小インタフレーム ギャップ: PTP メッセージにタイムスタンプを追加すると、パケットの長さが延長される場合があります。これにより、パケット間のインタフレーム ギャップ (IFG) を最大 8 バイト時間 (10MB で 6400ns、100MB で 640ns、1GB で 64ns) 短くなる可能性があります。このフィールドは、パケット間の IFG の最小値をバイト時間数で設定します。IFG を実際の IFG より大きく設定した場合、後続パケットのプリアンブル バイトがドロップされます。この値は、接続されている MAC がサポートできる最小値に設定してください。
11	チェックサム エラー時タイムスタンプ	R/W	0h	UDP チェックサム エラー時のタイムスタンプ記録: デフォルトでは、UDP チェックサム エラーを持つパケットのタイムスタンプは破棄されます。このビットが設定されている場合、タイムスタンプは通常どおり有効となり、利用可能になります。
10	CRC エラー時タイムスタンプ	R/W	0h	CRC エラー時のタイムスタンプ記録: デフォルトでは、CRC エラーを持つパケットのタイムスタンプは破棄されます。このビットが設定されている場合、タイムスタンプは通常どおり有効となり、利用可能になります。
9	予約済み	R	0h	予約済み
8	タイムスタンプ挿入	R/W	0h	タイムスタンプ挿入の有効化: PTP イベント メッセージを含むパケットへのタイムスタンプの挿入を有効にします。このビットが設定されている場合、タイムスタンプは PTP 受信タイムスタンプ レジスタからは取得できません。

Copyright © 2025 Texas Instruments Incorporated

表 8-129. PTP_RXCFG3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	PTP ドメイン一致値	R/W	0h	PTP ドメイン値: PTP メッセージの domainNumber フィールドの値です。PTP_RXCFG0 の DOMAIN_EN ビットが 1 に設定されている場合、受信タイムスタンプ ユニットは、受信 PTP メッセージの domainNumber がこのフィールドの値と一致する場合にのみタイムスタンプをキャプチャします。 DOMAIN_EN ビットが 0 に設定されている場合、domainNumber フィールドは無視されます。

8.2.126 PTP_RXCFG4 レジスタ (オフセット = D19h) [リセット = 0000h]

PTP_RXCFG4 を表 8-130 に示します。

概略表に戻ります。

このレジスタは、IEEE 802.1AS 受信タイムスタンプ動作に関する拡張構成を行います。このレジスタ内のいずれかのフィールドを変更する前に、必ず PTP_RXCFG3[8] を使用して タイムスタンプ挿入を無効にしてください。

表 8-130. PTP_RXCFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	IPv4 UDP チェックサム修正	R/W	0h	IPv4 UDP 修正の有効化: タイムスタンプ挿入が有効な場合、このビットは IPv4 PTP イベント メッセージに対する UDP チェックサムの扱いを制御します。 0 に設定すると、デバイスは UDP チェックサムをクリアします。UDP チェックサム エラーが検出されると、デバイスは CRC エラーを強制します。 1 に設定すると、デバイスは UDP チェックサムをクリアしません。代わりに、UDP チェックサムを修正する 2 バイトの値を生成し、PTP メッセージの直後に付加します。 受信したパケットに UDP チェックサム エラーが検出された場合、デバイスは修正後フィールドに対して UDP チェックサム エラーを発生させます。この機能は、PTP メッセージに続く 2 バイトの余分な UDP データが含まれている場合のみ使用します。IEEE 802.1AS 仕様バージョン 1 を使用するシステムでは、この機能を有効にしないでください。
14	秒タイムスタンプ有効	R/W	0h	秒フィールド タイムスタンプの有効化: このビットを 1 に設定すると、タイムスタンプの挿入が有効なときに、タイムスタンプの秒フィールドも挿入されます。0 に設定すると、パケット内に挿入されるのはタイムスタンプのナノ秒部分のみです。 「タイムスタンプ挿入」が 0 の場合、このビットは無視されます。 このビットは、タイムスタンプを PTP に挿入することに適用できます。
13-12	秒タイムスタンプの長さ	R/W	0h	挿入されるタイムスタンプ秒フィールドの長さ: PTP メッセージの場合、このフィールドには、PTP メッセージに挿入される秒フィールドの長さを示します。「タイムスタンプを挿入」が 0 の場合、または TS_SEC_EN が 0 の場合、このフィールドは無視されます。 0h = 秒フィールドの最下位 1 バイトのみ 1h = 秒フィールドの最下位 2 バイト 2h = 秒フィールドの最下位 3 バイト 3h = 秒フィールドの 4 バイトすべて
11-6	RX タイムスタンプ ナノ秒フィールド オフセット	R/W	0h	受信タイムスタンプ ナノ秒オフセット: このフィールドには、受信した PTP メッセージにタイムスタンプを挿入するときのナノ秒フィールドのオフセットを指定します。オフセットは、PTP メッセージの先頭からのバイト オフセットです。「タイムスタンプ挿入」が 0 の場合、このフィールドは無視されます。
5-0	RX タイムスタンプ 秒フィールド オフセット	R/W	0h	受信タイムスタンプ 秒オフセット: このフィールドは、受信した PTP メッセージにタイムスタンプを挿入する際の、秒フィールドのオフセットを指定します。オフセットは、PTP メッセージの先頭からのバイト オフセットです。「タイムスタンプ挿入」が 0 の場合、このフィールドは無視されます。

8.2.127 PTP_TRDL レジスタ (オフセット = D1Ah) [リセット = 0000h]

表 8-131 に、PTP_TRDL を示します。

概略表に戻ります。

このレジスタには、PTP_RATEH および PTP_RATEL レジスタで設定された一時レートを使用する期間のうち、下位 16 ビットのクロック サイクル数が格納されます。一時レートは PTP_RATEL レジスタへの書き込み時に有効になるため、一時レートを設定する前に、このレジスタを先に設定してください。このレジスタは、一時レートレジスタを使用するたびに再設定する必要はありません。

表 8-131. PTP_TRDL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	一時レート期間 [15:10]	R/W	0h	PTP 一時レート期間下位 16 ビット: このレジスタは、一時レートを適用する期間を、クロック サイクル数で設定します。実際の時間の長さは、一時レートの設定値に依存します。

8.2.128 PTP_TRDH レジスタ (オフセット = D1Bh) [リセット = 0000h]

表 8-132 に、PTP_TRDH を示します。

概略表に戻ります。

このレジスタには、PTP_RATEH および PTP_RATEL レジスタで設定された一時レートを使用する期間のうち、上位 10 ビットのクロック サイクル数が格納されます。一時レートは PTP_RATEL レジスタへの書き込み時に有効になるため、一時レートを設定する前に、このレジスタを先に設定してください。このレジスタは、一時レートレジスタを使用するたびに再設定する必要はありません。

表 8-132. PTP_TRDH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-0	一時レート期間 [25:16]	R/W	0h	PTP 一時レート期間上位 10 ビット: このレジスタは、一時レートを適用する期間を、クロック サイクル数で設定します。実際の時間の長さは、一時レートの設定値に依存します。

8.2.129 PTP_EVNT_TSU_CFG レジスタ (オフセット = D1Ch) [リセット = 0002h]

表 8-133 に、PTP_EVNT_TSU_CFG を示します。

概略表に戻ります。

このレジスタは、イベント タイムスタンプのストレージおよび PSF を用いたホストへの送信に関する構成を行います

表 8-133. PTP_EVNT_TSU_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	フル トリガ タイムスタンプ ストレージ有効	R/W	1h	1b = 直前のイベントタイムスタンプからの変化に関わらず、トリガに対してフル タイムスタンプを保存することを有効にします
0	フル イベント タイムスタンプ ストレージ有効	R/W	0h	1b = 直前のイベントタイムスタンプからの変化に関わらず、イベントに対してフル タイムスタンプを保存することを有効にします

8.2.130 PSF_TRIG_TS_EN レジスタ (オフセット = D1Dh) [リセット = 0000h]

表 8-134 に、PSF_TRIG_TS_EN を示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

このレジスタは、生成されたトリガのエッジに対応するタイムスタンプ PHY ステータス フレームで転送する機能を有効にします。

表 8-134. PSF_TRIG_TS_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	トリガ タイムスタンプ PHY ステータス フレーム有効	R/W	0h	これにより、生成されたトリガのエッジに対応するタイムスタンプを PHY ステータスフレームで転送する機能を有効にします。各ビットは次のように 1 つのトリガ ユニットに対応し、有効化します: 8'b00000001: トリガ 0 エッジ タイムスタンプについて PSF 転送を有効にします 8'b00000010:トリガ 1 のエッジ タイムスタンプについて PSF 転送を有効にします 8'b00000100:トリガ 2 のエッジ タイムスタンプについて PSF 転送を有効にします 8'b00001000:トリガ 3 のエッジ タイムスタンプについて PSF 転送を有効にします 8'b00010000:トリガ 4 のエッジ タイムスタンプについて PSF 転送を有効にします 8'b00100000:トリガ 5 のエッジ タイムスタンプについて PSF 転送を有効にします 8'b01000000:トリガ 6 のエッジ タイムスタンプについて PSF 転送を有効にします 8'b10000000:トリガ 7 のエッジ タイムスタンプについて PSF 転送を有効にします

8.2.131 PTP_COC レジスタ (オフセット = D20h) [リセット = 000Ah]

表 8-135 に、PTP_COC を示します。

概略表に戻ります。

このレジスタを使用すると、PTP クロック同期した出力の N 分周クロックの構成を行います。

表 8-135. PTP_COC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-0	PTP クロック出力分周値	R/W	Ah	PTP クロック出力分周値: このフィールドは、802.1AS 同期出力クロックの分周値を設定します。802.1AS 同期クロック出力は、PTP_PLL の出力クロックを分周することで生成されます。有効な値の範囲は 2 ～ 255 (0x02 ～ 0xFF) で、名目上の出力周波数範囲は 125 MHz ～ 980.4 kHz となります。分周値が 0 または 1 の場合は無効であり、出力クロックは停止します。

8.2.132 PSF_CFG1 レジスタ (オフセット = D21h) [リセット = 0000h]

PSF_CFG1 を表 8-136 に示します。

概略表に戻ります。

このレジスタは、Phy ステータス フレーム機能の設定を提供します。特に、このレジスタの 16 ビット値は、Phy ステータス フレームの PTP ヘッダ データ先頭 16 ビット として使用されます。

表 8-136. PSF_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	PTP v2 予約済みフィールド: このフィールドには、ステータス パケット内で Phy からローカル MAC へ送信される、MII 受信データ インタフェイス経由の 4 ビットの予約済みフィールド (オフセット 1) が含まれます。
11-8	PTP バージョン フィールド	R/W	0h	PTP v2 versionPTP フィールド: このフィールドには、MII 受信データ インターフェイスを使用して Phy からローカル MAC へ送信されるステータスパケット内の versionPTP フィールドが含まれます。
7-4	PTP TransportSpecific フィールド	R/W	0h	PTP v2 ヘッダ transportSpecific フィールド: このフィールドには、MII 受信データ インターフェイスを使用して Phy からローカル MAC へ送信されるステータスパケット内の transportSpecific フィールドが含まれます。
3-0	PTP メッセージ タイプ フィールド	R/W	0h	PTP v2 messageType フィールド: このフィールドには、MII 受信データ インターフェイスを使用して Phy からローカル MAC へ送信されるステータスパケット内の messageType フィールドが含まれます。

8.2.133 PSF_CFG2 レジスタ (オフセット = D22h) [リセット = 0000h]

PSF_CFG2 を表 8-137 に示します。

概略表に戻ります。

このレジスタは、Phy ステータス フレーム機能の設定を提供します。特に、このレジスタの 16 ビット値は、IPv4 Phy ステータス フレームにおける IP 送信元アドレス先頭 16 ビット として使用されます。

表 8-137. PSF_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	IP 送信元アドレス 1	R/W	0h	IP 送信元アドレス第 2 バイト: このフィールドには、IP 送信元アドレスの 2 バイト目が含まれます。
7-0	IP 送信元アドレス 0	R/W	0h	IP 送信元アドレス第 1 バイト: このフィールドには、IP 送信元アドレスの最上位バイトが含まれます。

8.2.134 PSF_CFG3 レジスタ (オフセット = D23h) [リセット = 0000h]

PSF_CFG3 を表 8-138 に示します。

概略表に戻ります。

このレジスタは、Phy ステータス フレーム機能の設定を提供します。特に、このレジスタの 16 ビット値は、IPv4 Phy ステータス フレームにおける IP 送信元アドレス 2 番目の 16 ビット として使用されます。

表 8-138. PSF_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	IP 送信元アドレス 3	R/W	0h	IP 送信元アドレス第 4 バイト: このフィールドには、IP 送信元アドレスの 4 バイト目が含まれます。
7-0	IP 送信元アドレス 2	R/W	0h	IP 送信元アドレス第 3 バイト: このフィールドには、IP 送信元アドレスの 3 バイト目が含まれます。

8.2.135 PSF_CFG4 レジスタ (オフセット = D24h) [リセット = 0000h]

PSF_CFG4 を表 8-139 に示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

このレジスタは、Phy ステータス フレーム機能の設定を提供します。特に、このレジスタの 16 ビット値は、IPv4 Phy ステータス フレームにおける IP チェックサムの計算を補助するために使用されます。

表 8-139. PSF_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	IP チェックサム	R/W	0h	IP チェックサム: このフィールドには、IP ヘッダ内の固定値すべてに対する 1 の補数加算の事前計算値が含まれます。デバイスは、全長フィールドと識別子フィールドの値を追加して、最終的なチェックサムを生成します。

8.2.136 PTP_INTCTL レジスタ (オフセット = D26h) [リセット = 0000h]

表 8-140 に、PTP_INTCTL を示します。

概略表に戻ります。

このレジスタは IEEE 802.1AS の割り込み機能の構成を行い、PTP 割り込みを任意の GPIO ピンに割り当てることを可能にします。

表 8-140. PTP_INTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	予約済み	R	0h	予約済み
3-0	PTP 割り込み GPIO 選択	R/W	0h	PTP 割り込み GPIO 選択: GPIO ピンで割り込みを有効化するには、このフィールドを目的の GPIO に設定します。 0h = INT_N 1h = LED_0 2h = LED_1 3h = RX_ER 4h = CLKOUT 5h = GPIO_3 6h = GPIO_4 7h = GPIO_5

8.2.137 PTP_CLKSRC レジスタ (オフセット = D27h) [リセット = 0084h]

表 8-141 に、PTP_CLKSRC を示します。

概略表に戻ります。

このレジスタは、IEEE 802.1AS ハードウェア ロジックを駆動する基準クロックソースの構成を行います。ソースクロック周期は、802.1AS ナノ秒クロック加算器が、基準クロック サイクルごとに適切な値を加算する際にも使用されます。

表 8-141. PTP_CLKSRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	PTP クロック基準選択 1	R/W	0h	PTP クロック ソースの選択: PTP 基準クロックの候補ソースを選択します {PTP クロック基準選択 1、PTP クロック基準選択 2} の組み合わせによるマッピングは次のとおりです: b1000:LED_0 からの外部基準電圧 b1010:GPIO_5 からの外部基準電圧 b0000:PLL 250M b0100:PLL 125M b0010:PTP PLL からのクロック b0001:回復 200M b0101:回復 100M

表 8-141. PTP_CLKSRC レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	PTP 基準クロック分周有効	R/W	0h	クロック分周有効: 1 に設定すると、PTP 基準クロックを CLK_DIV_VAL で指定された値で分周する機能を有効にします。
12-11	PTP クロック基準選択 2	R/W	0h	PTP クロック ソースの選択: PTP 基準クロックの候補ソースを選択します {PTP クロック基準選択 1、PTP クロック基準選択 2} の組み合わせによるマッピングは次のとおりです: b1000:LED_0 からの外部基準電圧 b1010:GPIO_5 からの外部基準電圧 b0000:PLL 250M b0100:PLL 125M b0010:PTP PLL からのクロック b0001:回復 200M b0101:回復 100M
10-7	PTP 基準クロック分周値	R/W	1h	クロック分周値: クロックソース選択として分周が選択され、かつ「PTP 基準クロック分周有効」が設定されている場合、このビットフィールドが N の値として使用されます。
6-0	PTP クロック ソース周期	R/W	4h	PTP クロックソース周期: このフィールドは、PTP クロック ソースの周期をナノ秒単位で設定します。クロック ソース周期は 2 より大きい値 を設定してください

8.2.138 PTP_ETYPE レジスタ (オフセット = D28h) [リセット = F788h]

表 8-142 に、PTP_ETYPE を示します。

概略表に戻ります。

このレジスタは、イーサネット (レイヤ 2) 上で PTP を伝送する際に使用されるイーサネット タイプ (Ethertype) フィールドを設定します。

表 8-142. PTP_ETYPE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP EtherType	R/W	F788h	PTP EtherType: このフィールドには、イーサネット レイヤ 2 で伝送される PTP メッセージを検出するために使用されるイーサネット タイプ フィールドが含まれます。このレジスタはバイト順を反転した形式で設定します。例えば、PTP パケットで想定されるイーサタイプは 0x88F7 であるため、デフォルト値として 0xF788 が設定されています。

8.2.139 PTP_OFF レジスタ (オフセット = D29h) [リセット = 0000h]

表 8-143 に、PTP_OFF を示します。

概略表に戻ります。

このレジスタは、レイヤ 2 イーサネット フレーム内での PTP メッセージまでのバイト オフセットを指定します。

表 8-143. PTP_OFF レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

表 8-143. PTP_OFF レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	PTP メッセージ フィールド オフセット	R/W	0h	PTP メッセージ オフセット: このフィールドには、直前のヘッダから PTP メッセージまでのオフセットをバイト単位が含まれます。レイヤ 2 の場合は、イーサネット タイプ フィールドからのオフセットです。UDP/IP の場合は、UDP ヘッダの終端からのオフセットです。

8.2.140 PTP_RXHASH レジスタ (オフセット = D2Bh) [リセット = 0000h]

表 8-144 に、PTP_RXHASH を示します。

概略表に戻ります。

このレジスタは、PTP 受信パケット パーサにおけるソース ID ハッシュ フィルタの設定を行います。このフィルタが有効な場合、受信パース ロジックは、10 オクテットの sourcePortIdentity フィールドに対するハッシュ関数の結果がプログラムされた値と一致したときにのみ受信タイムスタンプを出力します。ソース ID ハッシュ フィルタは、タイムスタンプの挿入には影響しません。

表 8-144. PTP_RXHASH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	0h	予約済み
12	受信ハッシュ有効	R/W	0h	受信ハッシュの有効化: 10 オクテット sourcePortIdentity フィールドに対するハッシュ関数に基づいて PTP メッセージをフィルタリングする機能を有効にします。
11-0	受信ハッシュ	R/W	0h	受信ハッシュ: このフィールドには、受信 PTP イベント メッセージに対して期待されるソース ID ハッシュ値が含まれます。

8.2.141 PTP_EVENT_GPIO_SEL レジスタ (オフセット = D30h) [リセット = 0000h]

表 8-145 に、PTP_EVENT_GPIO_SEL を示します。

概略表に戻ります。

このレジスタは、どの IO を入力としてイベント タイムスタンプ取得に使用するかを設定します。

表 8-145. PTP_EVENT_GPIO_SEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	0h	予約済み
4-0	GPIO イベント有効	R/W	0h	PTP イベント タイムスタンプの GPIO 有効化: このレジスタのこれらのビットに書き込むことにより、対応する GPIO が入力に設定され、イベントのタイムスタンプ取得に使用できるようになります ビット [0] = 1:LED_0 を入力に設定 ビット [1] = 1:LED_1 を入力に設定 ビット [2] = 1:RX_ER を入力に設定 ビット [3] = 1:CLKOUT を入力に設定 ビット [4] = 1:GPIO_3 を入力に設定 ビット [5] = 1:GPIO_4 を入力に設定 ビット [6] = 1:GPIO_5 を入力に設定

8.2.142 TX_SMD_GPIO_CTL レジスタ (オフセット = D32h) [リセット = 001Fh]

表 8-146 に、TX_SMD_GPIO_CTL を示します。

概略表に戻ります。

このレジスタは、デュアル VLAN タグ付き PTP フレームの解析を制御します。

表 8-146. TX_SMD_GPIO_CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	デュアル VLAN タグ解析有効	R/W	0h	1b = デュアル VLAN タグ付きで受信したパケットの解析を有効にします
14	予約済み	R	0h	予約済み
13-9	予約済み	R	0h	予約済み
8-5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3-0	予約済み	R	0h	予約済み

8.2.143 SCH_CTL_1 レジスタ (オフセット = D33h) [リセット = 0000h]

SCH_CTL_1 を表 8-147 に示します。

概略表に戻ります。

スケジューラが大きな PPM 調整をスケジューリングする際に使用するステップレートの、LSB 16 ビットが含まれています。

表 8-147. SCH_CTL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	スケジューラ ステップ レート [15:0]	R/W	0h	大きな PPM 調整のスケジューリングに使用されるスケジューラ ステップ レートの下位 16 ビット: スケジューラで使用される 24 ビットレートステップのビット [15:0] です (永続レート変更時にのみ適用され、かつ微小ステップでのレート変更にマイクロ スケジューラが使用される場合)、分解能は 2^{-32}ns です。 mr_base_freq[31:0] からクロック周期を計算し、希望するステップ レート値 (ppm) を用いてステップ レートを ns 単位で計算します。その値を 2^{-32} でスケーリングして、mr_step_rate に書き込む値とします。

8.2.144 SCH_CTL_2 レジスタ (オフセット = D34h) [リセット = 0300h]

SCH_CTL_2 を表 8-148 に示します。

概略表に戻ります。

このレジスタには、スケジューラが大きな PPM 調整をスケジューリングする際に使用するステップ レートの MSB 8 ビットが含まれるほか、PTP_PLL およびタイマ用のスケジューラ バイパス オプションが含まれます。

表 8-148. SCH_CTL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9	PTP PLL のバイパス スケジューラ	R/W	1h	PTP_PLL のバイパス スケジューラ: PTP_PLL に入力されるスケジューラ制御レートをバイパスします (永続的なレート変更時にのみ適用可能)。このビットがセットされており、ビット 8 がセットされていない場合、スケジューラ制御レートによる調整はタイマに適用され、PTP_PLL には PTP レート調整の全量が適用されます。このビットとビット [8] の両方が設定されている場合、スケジューラ ベースの調整はバイパスされます。

Copyright © 2025 Texas Instruments Incorporated

表 8-148. SCH_CTL_2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	タイマーのスケジューラ バイパス	R/W	1h	タイマのスケジューラ バイパス: タイマに入力されるスケジューラ制御レートをバイパスします (永続的なレート変更時にのみ適用可能)。このビットがセットされており、ビット 9 がセットされていない場合、スケジューラ制御レートによる調整は PTP_PLL に適用され、タイマには PTP レート調整の全量が適用されます。このビットとビット [9] の両方が設定されている場合、スケジューラ ベースの調整はバイパスされます。
7-0	スケジューラ ステップ レート [23:16]	R/W	0h	大きな PPM 調整のスケジューリングに使用されるスケジューラ ステップ レートの MSB 8 ビット: スケジューラで使用される 24 ビットレートステップのビット [23:16] です (永続レート変更時にのみ適用され、かつ小さなステップでレート変更を行う際にマイクロスケジューラが使用されます)、分解能は 2^{-32} ns です。 mr_base_freq[31:0] からクロック周期を計算します。希望するステップ レート値 (ppm) を使用して、ステップレートを ns で計算します。その値を 2^{-32} でスケーリングして、mr_step_rate に書き込む値とします。

8.2.145 FREQ_CTL_1 レジスタ (オフセット = D35h) [リセット = CCCDh]

FREQ_CTL_1 を表 8-149 に示します。

概略表に戻ります。

PTP_PLL 用にプログラマブルな基準周波数の LSB 16 ビット が含まれています。

表 8-149. FREQ_CTL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP_PLL 基準周波数 [15:0]	R/W	CCCDh	PTP PLL LSB ワードにプログラマブルな基準周波数: PTP_PLL によって生成される、32 ビット プログラマブルな基準周波数のビット [15:0] です。1 LSB は 0.07275957614Hz を表します。 0xD35 と 0xD36 がこの順番に書き込んだ場合のみ、周波数値は変更されることに注意します。この構成により、PTP_PLL のデフォルト クロック周波数が決まります。

8.2.146 FREQ_CTL_2 レジスタ (オフセット = D36h) [リセット = CCCCh]

FREQ_CTL_2 を表 8-150 に示します。

概略表に戻ります。

PTP_PLL 用にプログラマブルな基準周波数の MSB 16 ビット が含まれています。

表 8-150. FREQ_CTL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP_PLL 基準周波数 [31:16]	R/W	CCCCh	PTP PLL MSB ワードにプログラマブルな基準周波数: PTP_PLL によって生成される、32 ビット プログラマブルな基準周波数のビット [31:16] です。1 LSB は 0.07275957614Hz を表します。 注記:0xD35 と 0xD36 がこの順番に書き込んだ場合のみ、周波数値が変更されます。この構成により、PTP_PLL のデフォルト クロック周波数が決まります。

8.2.147 PTP_RATEL_ACC_ONLY レジスタ (オフセット = D37h) [リセット = 0000h]

表 8-151 に、PTP_RATEL_ACC_ONLY を示します。

概略表に戻ります。

アキュームレータのみのレート調整値の LSB 16 ビットが含まれます。

表 8-151. PTP_RATEL_ACC_ONLY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP アキュームレータ レート制御 [15:0]	R/W	0h	PTP アキュームレータのレート制御値: 0xD38[14] が設定されている場合、このレジスタへの書き込みにより、PTP アキュムレータのレート制御値のビット [15:0] が設定されます。レート制御値は 2^{-32}ns 単位です。このレート調整は、PTP_PLL には適用されません。PTP PLL レート調整は、引き続きレジスタ 0xD04 および 0xD05 から制御できます。

8.2.148 PTP_RATEH_ACC_ONLY レジスタ (オフセット = D38h) [リセット = 0000h]

表 8-152 に、PTP_RATEH_ACC_ONLY を示します。

概略表に戻ります。

アキュームレータのみのレート調整値の MSB 10 ビットが含まれます。また、アキュームレータのみにおけるレート調整の有効化および方向も含まれています。

表 8-152. PTP_RATEH_ACC_ONLY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PTP アキュームレータ方向	R/W	0h	PTP レート ACC のみの方向: このビットの設定により、デバイスが基準クロックより高い周波数で動作するか、低い周波数で動作するかを制御します。この方向指定は、0xD38[14] が設定されている場合のみ、0xD37 および 0xD38[9:0] とともに適用されます。 0:高い周波数。各クロック サイクルごとに、「PTP アキュームレータのレート制御値」がクロックに加算されます 1:低い周波数。各クロック サイクルごとに、「PTP アキュームレータのレート制御値」がクロックから減算されます
14	PTP アキュームレータ モード有効	R/W	0h	PTP アキュームレータ モード: このビットをセットすると、PTP アキュームレータは各クロック サイクルごとに、レジスタ 0xD37 および 0xD38[9:0] に従ってクロック サイクルごとにインクリメントされます。 0h = 0xD04、0xD05 からの累積値 1h = 0xD37, 0xD38[9:0] からの累積値
13	PTP アキュームレータ一時レート有効	R/W	0h	アキュムレータモードでの PTP 一時レート有効化: このビットを設定すると、PTP_PLL に対して行われる一時レート調整を PTP アキュームレータにも適用します 0h =アキュームレータ モード有効時でも、一時レート調整は PTP アキュームレータには適用されません 1h =アキュームレータ モード有効時に、一時レート調整が PTP アキュームレータにも適用されます
12-10	予約済み	R	0h	予約済み
9-0	PTP アキュームレータ レート制御 [25:16]	R/W	0h	PTP レート ACC のみ 上位 10 ビット: 0xD38[14] が設定されている場合、このレジスタへの書き込みにより、PTP アキュムレータのレート制御値のビット [25:16] が設定されます。レート制御値は 2^{-32}ns 単位です。このレート調整は、PTP_PLL には適用されません。PTP PLL レート調整は、引き続きレジスタ 0xD04 および 0xD05 から制御されます。

8.2.149 PTP_PLL_CTL レジスタ (オフセット = D39h) [リセット = 0025h]

表 8-153 に、PTP_PLL_CTL を示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

PTP_PLL セトリング タイムを設定し、PTP タイムスタンプの保存を有効にするレジスタです。

表 8-153. PTP_PLL_CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9	ハーフ レート有効	R	0h	PTP PLL ハーフ レート設定: 基準クロックモードが PLL_125M のとき、NCO をハーフ レートに設定します。
8	PTP PLL 位相ワード [32]	R	0h	PTP_PLL 位相ワード ビット 32: PTP_PLL 位相ワードの ビット 32
7	PTP 時刻キャプチャ	R/W	0h	PTP 時刻および PTP _PLL ワードのキャプチャ: 現在の 33 ビット PTP_PLL ワードと 64 ビット PTP 時刻を同時にキャプチャするために使用します。このトリガを設定すると、PTP クロック タイムスタンプ (32 ビット秒アキュームレータ、32 ビットナノ秒アキュームレータ) と 33 ビット PTP PLL ワードが同時に格納され、0xD39 ～ 0xD3F から読み取ることができます。このビットは自動クリアです。
6-0	PTP スケジューラ セトリング タイマ	R/W	25h	PTP PLL スケジューラ セトリング タイマ: レート変更に対して、PTP_PLL がジッタのない出力を提供するまでに要するサイクル数であり、PTP_PLL へのレート変更が反映される際のレイテンシを示します。PTP_PLL の値が変更されるたびにスケジューラでこの値が使用されます。

8.2.150 PTP_PLL_RD_1 レジスタ (オフセット = D3Ah) [リセット = 0000h]

PTP_PLL_RD_1 を表 8-154 に示します。

概略表に戻ります。

PTP タイマのナノ秒カウンタの読み取り値です。

表 8-154. PTP_PLL_RD_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP タイムスタンプ [15:0]	R	0h	PTP 時刻ナノ秒 LSB ワード: PTP タイマ ナノ秒カウンタのビット [15:0]。

8.2.151 PTP_PLL_RD_2 レジスタ (オフセット = D3Bh) [リセット = 0000h]

PTP_PLL_RD_2 を表 8-155 に示します。

概略表に戻ります。

PTP タイマのナノ秒カウンタの読み取り値です。

表 8-155. PTP_PLL_RD_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP タイムスタンプ [31:16]	R	0h	PTP 時刻ナノ秒 MSB ワード: PTP タイマ ナノ秒カウンタのビット [31:16]。

8.2.152 PTP_PLL_RD_3 レジスタ (オフセット = D3Ch) [リセット = 0000h]

PTP_PLL_RD_3 を表 8-156 に示します。

概略表に戻ります。

PTP タイマの秒カウンタの読み取り値です。

表 8-156. PTP_PLL_RD_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP タイムスタンプ [47:32]	R	0h	PTP 時刻 秒 LSB ワード: PTP タイマ 秒カウンタのビット [15:0]。

8.2.153 PTP_PLL_RD_4 レジスタ (オフセット = D3Dh) [リセット = 0000h]

PTP_PLL_RD_4 を表 8-157 に示します。

概略表に戻ります。

PTP タイマの秒カウンタの読み取り値です。

表 8-157. PTP_PLL_RD_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP タイムスタンプ [63:48]	R	0h	PTP 時刻 秒 MSB ワード: PTP タイマ 秒カウンタのビット [31:16]。

8.2.154 PTP_PLL_RD_5 レジスタ (オフセット = D3Eh) [リセット = 0000h]

PTP_PLL_RD_5 を表 8-158 に示します。

概略表に戻ります。

PTP_PLL 位相ワードの読み取り値です。

表 8-158. PTP_PLL_RD_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP タイムスタンプ [79:64]	R	0h	PTP PLL 位相 LSB ワード: PTP_PLL 位相ワードのビット [15:0]。

8.2.155 PTP_PLL_RD_6 レジスタ (オフセット = D3Fh) [リセット = 0000h]

PTP_PLL_RD_6 を表 8-159 に示します。

概略表に戻ります。

PTP_PLL 位相ワードの読み取り値です。

表 8-159. PTP_PLL_RD_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PTP タイムスタンプ [95:80]	R	0h	PTP PLL 位相 MSB ワード: PTP_PLL 位相ワードのビット [31:16]。

8.2.156 PTP_ONESTEP_OFF レジスタ (オフセット = D40h) [リセット = 0000h]

表 8-160 に、PTP_ONESTEP_OFF を示します。

概略表に戻ります。

PTP パケットに挿入されるワンステップ タイムスタンプのオフセット値を制御します。

Copyright © 2025 Texas Instruments Incorporated

表 8-160. PTP_ONESTEP_OFF レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	PTP アキュームレータ レート制御 [31:26]	R/W	0h	PTP アキュームレータ レート制御値: このレジスタに書き込むと、0xD38[14] が設定されている場合のみ、PTP アキュームレータのレート制御値のビット [31:26] が設定されます。 レート制御値は 2^{-32}ns 単位です。このレート調整は、PTP_PLL には適用されません。PTP PLL レート調整は、引き続きレジスタ 0xD04 および 0xD05 から制御されます。
9	PTP ワンステップ タイムスタンプ オフセット加算有効	R/W	0h	PTP ワンステップ タイムスタンプ オフセット加算の有効化: このビットをセットすると、ワンステップ タイムスタンプ挿入時に、0xD40[8:0] にロードされたオフセットを、PTP パケットに挿入されるタイムスタンプに加算することを有効にします
8-0	PTP ワンステップ タイムスタンプ オフセット	R/W	0h	PTP ワンステップ タイムスタンプ オフセット: 0xD40[9] が有効化な場合、ワンステップ動作中に挿入されるタイムスタンプに対して、このオフセット値が加算されます。

8.2.157 PTP_PSF_VLAN_CFG_1 レジスタ (オフセット = D45h) [リセット = 0000h]

PTP_PSF_VLAN_CFG_1 を表 8-161 に示します。

概略表に戻ります。

PSF パケット VLAN タグの構成

表 8-161. PTP_PSF_VLAN_CFG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	PSF デュアル VLAN タグ有効	R/W	0h	1b = PSF パケットにデュアル VLAN タグを付加することを有効にします
0	PSF VLAN タグ有効	R/W	0h	1b = PSF パケットに VLAN タグを付加することを有効にします

8.2.158 PTP_PSF_VLAN_CFG_2 レジスタ (オフセット = D46h) [リセット = 0000h]

PTP_PSF_VLAN_CFG_2 を表 8-162 に示します。

概略表に戻ります。

PSF パケット VLAN タグの構成

表 8-162. PTP_PSF_VLAN_CFG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PSF の VLAN タグ 1	R/W	0h	0x0D45[0] = 1 のとき、PSF パケットに追加される VLAN タグ 1

8.2.159 PTP_PSF_VLAN_CFG_3 レジスタ (オフセット = D47h) [リセット = 0000h]

PTP_PSF_VLAN_CFG_3 を表 8-163 に示します。

概略表に戻ります。

PSF パケット VLAN タグの構成

表 8-163. PTP_PSF_VLAN_CFG_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PSF の VLAN タグ 2	R/W	0h	0x0D45[1] = 1 のとき、PSF パケットに追加される VLAN タグ 2

8.2.160 MAX_IPV4_LENGTH レジスタ (オフセット = D48h) [リセット = 0724h]

MAX_IPV4_LENGTH を表 8-164 に示します。

概略表に戻ります。

表 8-164. MAX_IPV4_LENGTH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11-6	mr_ipv4_length_2	R/W	1Ch	PSF IPv4 に対する最大パケット長を設定します。IPv4 パケット長の最大値は 0x3E です
5-0	mr_ipv4_length_1	R/W	24h	PSF IPv4 に対する最大パケット長を設定します。IPv4 パケット長の最大値は 0x3E です

8.2.161 PTP_TXCFG_2 レジスタ (オフセット = D49h) [リセット = 0000h]

PTP_TXCFG_2 を表 8-165 に示します。

概略表に戻ります。

表 8-165. PTP_TXCFG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	0h	予約済み
9-2	mr_ptp_domain_tx	R/W	0h	Tx パケットの ptp ドメイン フィルタリングを設定
1	mr_pkt_cfg_en	R/W	0h	PSF の DMAC/SMAC で構成可能を有効にするかどうかを設定します
0	tx_domain_en	R/W	0h	1b = PTP TX でのドメイン フィルタリングを有効化 0b = PTP TX でのドメイン フィルタリングを無効化

8.2.162 PSF_DMAC_1 レジスタ (オフセット = D4Ah) [リセット = 1B01h]

PSF_DMAC_1 を表 8-166 に示します。

概略表に戻ります。

表 8-166. PSF_DMAC_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_ipv4_dmac	R/W	1B01h	PSF DMAC byte_1 および byte_2 (バイト順は反転で、byte_2、byte_1)

8.2.163 PSF_DMAC_2 レジスタ (オフセット = D4Bh) [リセット = 0019h]

PSF_DMAC_2 を表 8-167 に示します。

概略表に戻ります。

表 8-167. PSF_DMAC_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_ipv4_dmac	R/W	19h	PSF DMAC byte_3 および byte_4 (バイト順は反転で、byte_4、byte_3)

8.2.164 PSF_DMAC_3 レジスタ (オフセット = D4Ch) [リセット = 0000h]

PSF_DMAC_3 を表 8-168 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-168. PSF_DMAC_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_ipv4_dmac	R/W	0h	PSF DMAC byte_5 および byte_6 (バイト順は反転で、byte_6、byte_5)

8.2.165 PSF_SMAC_1 レジスタ (オフセット = D4Dh) [リセット = 0008h]

PSF_SMAC_1 を表 8-169 に示します。

概略表に戻ります。

表 8-169. PSF_SMAC_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_ipv4_smac	R/W	8h	PSF SMAC byte_1 および byte_2 (バイト順は反転で、byte_2、byte_1)

8.2.166 PSF_SMAC_2 レジスタ (オフセット = D4Eh) [リセット = 0B17h]

PSF_SMAC_2 を表 8-170 に示します。

概略表に戻ります。

表 8-170. PSF_SMAC_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_ipv4_smac	R/W	B17h	PSF SMAC byte_3 および byte_4 (バイト順は反転で、byte_4、byte_3)

8.2.167 PSF_SMAC_3 レジスタ (オフセット = D4Fh) [リセット = 0F6Bh]

PSF_SMAC_3 を表 8-171 に示します。

概略表に戻ります。

表 8-171. PSF_SMAC_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_ipv4_smac	R/W	F6Bh	PSF SMAC byte_5 および byte_6 (バイト順は反転で、byte_6、byte_5)

8.2.168 PSF_ETYPE レジスタ (オフセット = D50h) [リセット = F788h]

表 8-172 に、PSF_ETYPE を示します。

概略表に戻ります。

表 8-172. PSF_ETYPE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_ipv4_etype	R/W	F788h	L2 パケットの PSF イーサタイプ byte_1 および byte_2 (バイト順は反転で、byte_2、byte1)

8.2.169 IPV4_DA_1 レジスタ (オフセット = D51h) [リセット = 00E0h]

IPV4_DA_1 を表 8-173 に示します。

概略表に戻ります。

表 8-173. IPV4_DA_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_ipv4_da	R/W	E0h	PSF DA byte_1 および byte_2 (バイト順は反転で、byte_2、byte_1)

8.2.170 IPV4_DA_2 レジスタ (オフセット = D52h) [リセット = 8101h]

IPV4_DA_2 を表 8-174 に示します。

概略表に戻ります。

表 8-174. IPV4_DA_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_ipv4_da	R/W	8101h	PSF DA byte_3 および byte_4 (バイト順は反転で、byte_4、byte_3)

8.2.171 PSF_SOURCE_UDP_PORT レジスタ (オフセット = D53h) [リセット = 3F01h]

表 8-175 に、PSF_SOURCE_UDP_PORT を示します。

概略表に戻ります。

表 8-175. PSF_SOURCE_UDP_PORT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_udp_s_port	R/W	3F01h	PSF S_PORT byte_1 および byte_2 (バイト順は反転で、byte2、byte1)

8.2.172 PSF_DESTINATION_UDP_PORT レジスタ (オフセット = D54h) [リセット = 3F01h]

表 8-176 に、PSF_DESTINATION_UDP_PORT を示します。

概略表に戻ります。

表 8-176. PSF_DESTINATION_UDP_PORT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	mr_pkt_sts_udp_d_port	R/W	3F01h	PSF D_PORT byte_1 および byte_2 (バイト順は反転で、byte2、byte1)

8.2.173 PTP_LAT_COMP_CTRL レジスタ (オフセット = DE0h) [リセット = C000h]

表 8-177 に、PTP_LAT_COMP_CTRL を示します。

概略表に戻ります。

表 8-177. PTP_LAT_COMP_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	0h	予約済み
7-6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	ディザリング レイテンシ補償有効 - 受信パス	R/W	0h	ディザリングが有効な場合、Rx 側で固定レイテンシ補償を有効にして、2 ステップ PTP タイムスタンプを有効にします
2	ディザリング レイテンシ補償有効 - 送信パス	R/W	0h	ディザリングが有効な場合、Tx 側で固定レイテンシ補償を有効にして、2 ステップ PTP タイムスタンプを有効にします
1	レイテンシ補償有効 - 受信パス	R/W	0h	2 ステップ PTP タイムスタンプのための Rx 側の固定レイテンシ補償を有効にします

Copyright © 2025 Texas Instruments Incorporated

表 8-177. PTP_LAT_COMP_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	レイテンシ補償有効 - 送信パス	R/W	0h	2 ステップ PTP タイムスタンプのための Tx 側の固定レイテンシ補償を有効にします

8.2.174 PTP_DEBUG_SEL レジスタ (オフセット = DF0h) [リセット = 0000h]

表 8-178 に、PTP_DEBUG_SEL を示します。

概略表に戻ります。

表 8-178. PTP_DEBUG_SEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	0h	予約済み
1	予約済み	R	0h	予約済み
0	PTP 外部リファレンス サポート有効	R/W	0h	PTP 外部リファレンス クロック モードでは、デフォルトで最小周波数は 35MHz を超える値です。このビットを設定すると、より低い周波数 (最大 25MHz まで) をサポートします

8.2.175 MMD1_PMA_CTRL_1 レジスタ (オフセット = 1000h) [リセット = 0000h]

MMD1_PMA_CTRL_1 を表 8-179 に示します。

概略表に戻ります。

表 8-179. MMD1_PMA_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PMA のリセット	R/W	0h	1b = PMA をリセット
14-1	予約済み	R	0h	予約済み
0	PMA のループバック	R/W	0h	1b = PMA ループバック設定

8.2.176 MMD1_PMA_STATUS_1 レジスタ (オフセット = 1001h) [リセット = 0000h]

MMD1_PMA_STATUS_1 を表 8-180 に示します。

概略表に戻ります。

表 8-180. MMD1_PMA_STATUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	R	0h	予約済み
2	リンク ステータス	R	0h	1b = リンクは確立
1-0	予約済み	R	0h	予約済み

8.2.177 MMD1_PMA_STAUS_2 レジスタ (オフセット = 1007h) [リセット = 003Dh]

MMD1_PMA_STAUS_2 を表 8-181 に示します。

概略表に戻ります。

表 8-181. MMD1_PMA_STAUS_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	予約済み	R	0h	予約済み

表 8-181. MMD1_PMA_STAUS_2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PMA PMD タイプ選択	R	3Dh	PMA または PMD タイプ選択フィールド 111101b = 100BASE-T1 PMA または PMD

8.2.178 MMD1_PMA_EXT_ABILITY_1 レジスタ (オフセット = 100Bh) [リセット = 0800h]

MMD1_PMA_EXT_ABILITY_1 を表 8-182 に示します。

概略表に戻ります。

表 8-182. MMD1_PMA_EXT_ABILITY_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	拡張機能	R	1h	1b = PMA/PMD が BASE-T1 拡張機能を持ちます 0b = PMA/PMD が BASE-T1 拡張機能を持ちません
10-0	予約済み	R	0h	予約済み

8.2.179 MMD1_PMA_EXT_ABILITY_2 レジスタ (オフセット = 1012h) [リセット = 0001h]

MMD1_PMA_EXT_ABILITY_2 を表 8-183 に示します。

概略表に戻ります。

表 8-183. MMD1_PMA_EXT_ABILITY_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-1	予約済み	R	0h	予約済み
0	100BASE-T1 機能	R	1h	1b = PMA/PMD が 100BASE-T1 をサポートします 0b = PMA/PMD が 100BASE-T1 をサポートしません

8.2.180 MMD1_PMA_CTRL_2 レジスタ (オフセット = 1834h) [リセット = X000h]

MMD1_PMA_CTRL_2 を表 8-184 に示します。

概略表に戻ります。

表 8-184. MMD1_PMA_CTRL_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	予約済み
14	リーダーフォロワ構成	R/W	0h	1b = PHY をリーダーとして構成 0b = PHY をフォロワとして構成
13-4	予約済み	R	0h	予約済み
3-0	タイプ選択	R	0h	タイプ選択フィールド 0000b=100Base-T1

8.2.181 MMD1_PMA_TEST_MODE_CTRL レジスタ (オフセット = 1836h) [リセット = 0000h]

MMD1_PMA_TEST_MODE_CTRL を表 8-185 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-185. MMD1_PMA_TEST_MODE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	コンプライアンス テスト モード	R/W	0h	100BASE-T1 テストモード制御 000b = 通常動作モード 001b = テスト モード 1 010b = テスト モード 2 011b = 予約済み 100b = テスト モード 4 101b = テスト モード 5 110b = 予約済み 111b = 予約済み
12-0	予約済み	R	0h	予約済み

8.2.182 MMD3_PCS_CTRL_1 レジスタ (オフセット = 3000h) [リセット = 0000h]

MMD3_PCS_CTRL_1 を表 8-186 に示します。

概略表に戻ります。

表 8-186. MMD3_PCS_CTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PCS のリセット	R/W	0h	リセット ビット、自動クリアです。 このビットに 1 を書き込むと以下をリセットします: 1. MMD3/MMD7 のレジスタ (ベンダー固有でないもの) をリセットします。 2.brk_top をリセットします 注記:このレジスタは WSC (書き込みセルフクリア) で、読み取り専用ではありません。
14	PCS のループバック	R/W	0h	PCS_Reset によってクリアされます
13-11	予約済み	R	0h	予約済み
10	RX クロック停止可能	R/W	0h	RW リセット値は 1 です。 1= PHY は LPI 中に受信クロックを停止できます 0 = クロックは停止できません 注記:このフロップはグルー ロジックで実装されています
9-0	予約済み	R	0h	予約済み

8.2.183 MMD3_PCS_Status_1 レジスタ (オフセット = 3001h) [リセット = 0000h]

MMD3_PCS_Status_1 を表 8-187 に示します。

概略表に戻ります。

表 8-187. MMD3_PCS_Status_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み
11	TX LPI 受信済み	RC	0h	1= Tx PCS が LPI を受信済みです 0 = LPI を受信していません
10	RX LPI 受信済み	RC	0h	1= Rx PCS が LPI を受信済みです 0 = LPI を受信していません
9	TX LPI インジケーション	R	0h	1= TX PCS が現在 LPI を受信しています 0 = PCS は現在 LPI を受信していません
8	RX LPI インジケーション	R	0h	1= RX PCS が現在 LPI を受信しています 0 = PCS は現在 LPI を受信していません
7	予約済み	R	0h	予約済み

表 8-187. MMD3_PCS_Status_1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	TX クロック停止可能	R	0h	1= MAC は LPI 中にクロックを停止できます 0 = クロックは停止できません
5-0	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DP83TC815-Q1 はシングル ポートの 100Mbps 車載用イーサネット PHY です。本デバイスは IEEE 802.3bw をサポートしており、MII、RMII、RGMII または SGMII を使ってイーサネット MAC に接続できます。イーサネット アプリケーションで本デバイスを使用する場合、通常動作のための一定の要件を満たす必要があります。以下のサブセクションは、適切な部品選択と必要な接続に役立つことを目的としています。

注

所望の OA コンプライアンス性能を達成するには、TI アプリケーション ノート SDAA127 に記載されているレジスタ設定を使用する必要があります。アプリケーション ノートを入手する方法については、TI にお問い合わせください。

9.2 代表的なアプリケーション

図 9-1～図 9-5 に、DP83TC815-Q1 の代表的なアプリケーションをいくつか示します。

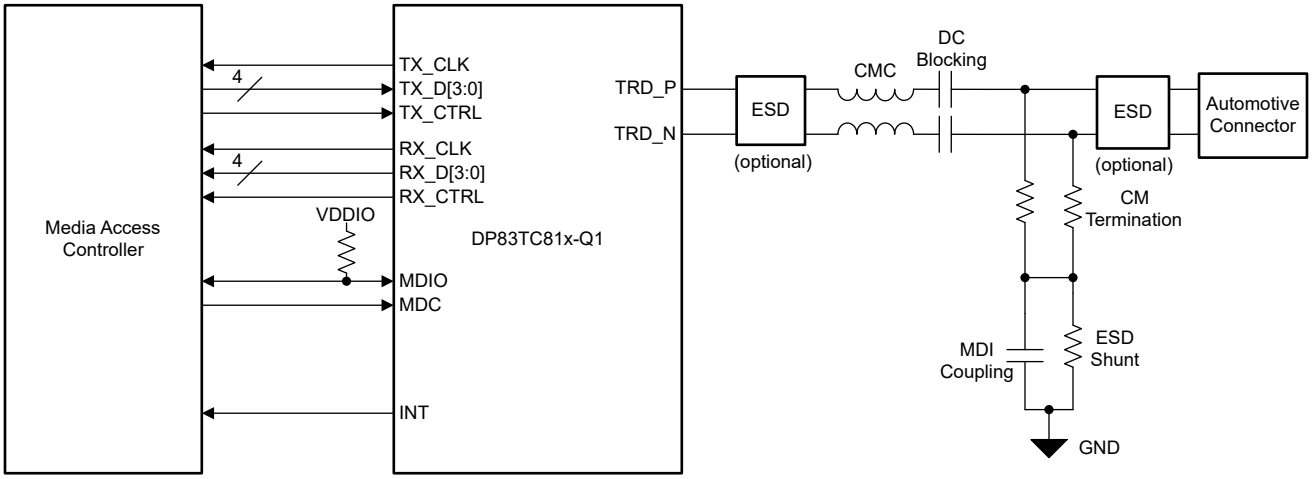


図 9-1. 代表的なアプリケーション (MII)

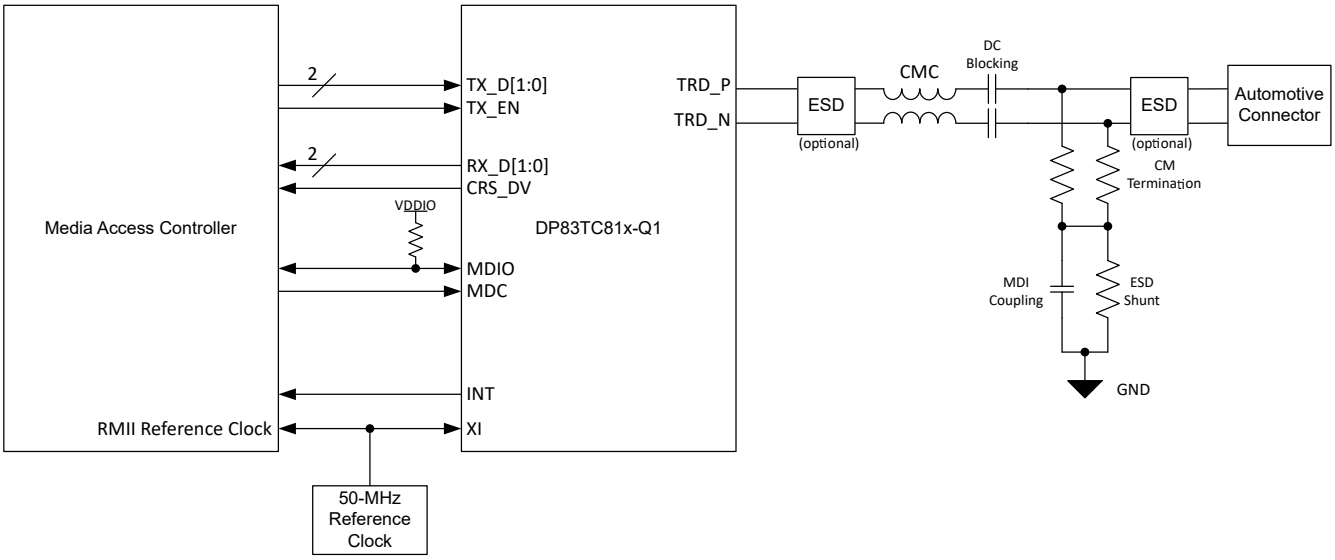


図 9-2. 代表的なアプリケーション (RMII フォロワ)

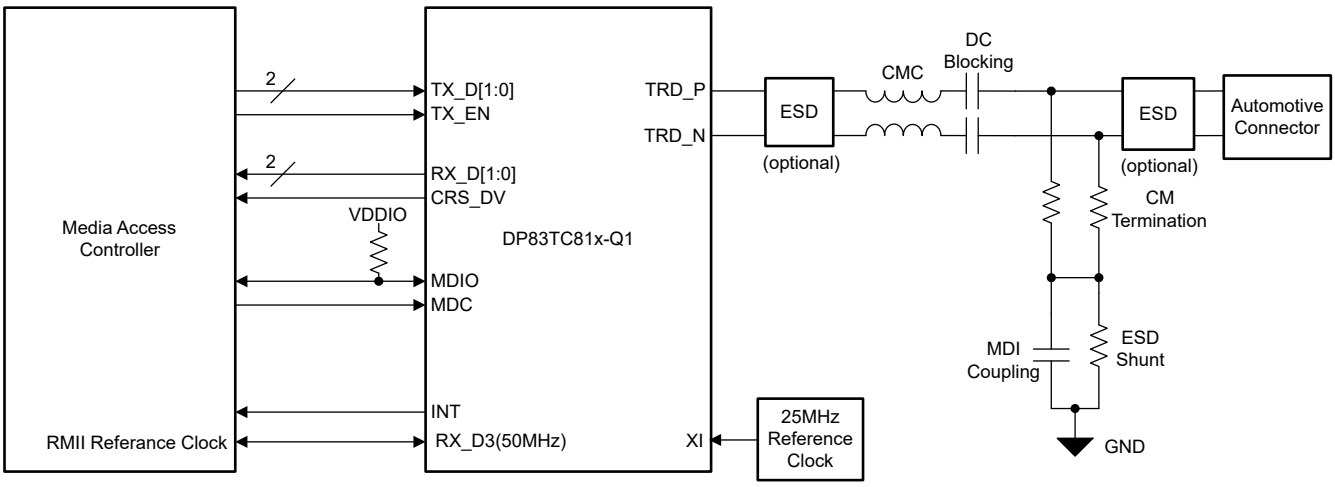


図 9-3. 代表的なアプリケーション (RMII リーダー)

Copyright © 2025 Texas Instruments Incorporated

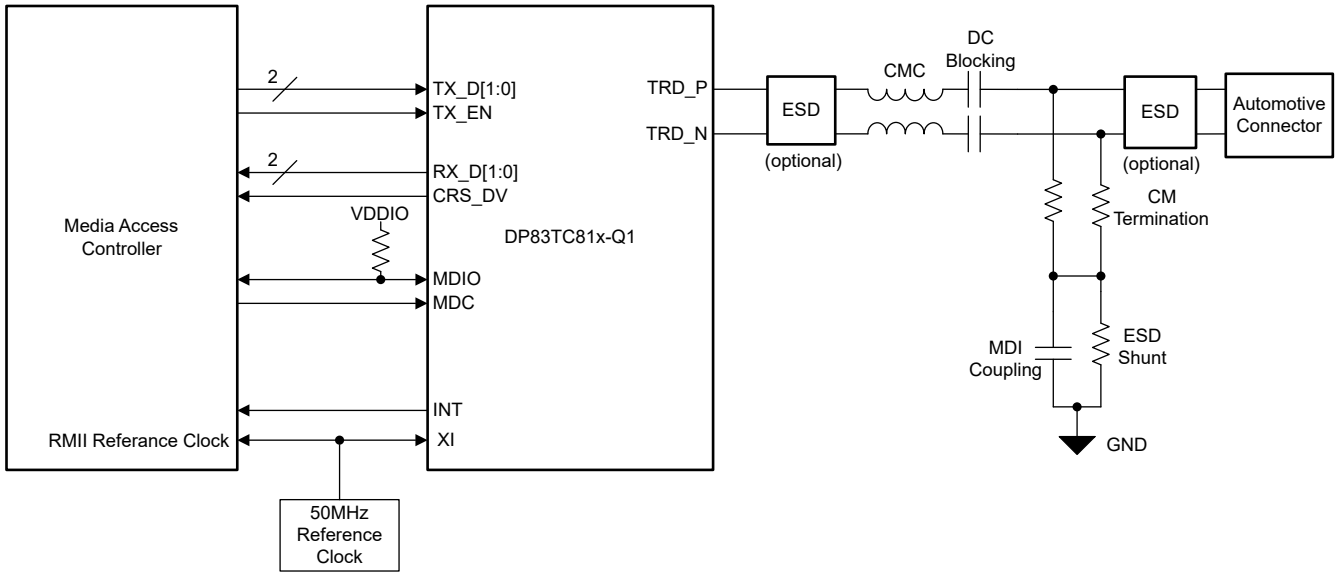


図 9-4. 代表的なアプリケーション (RGMII)

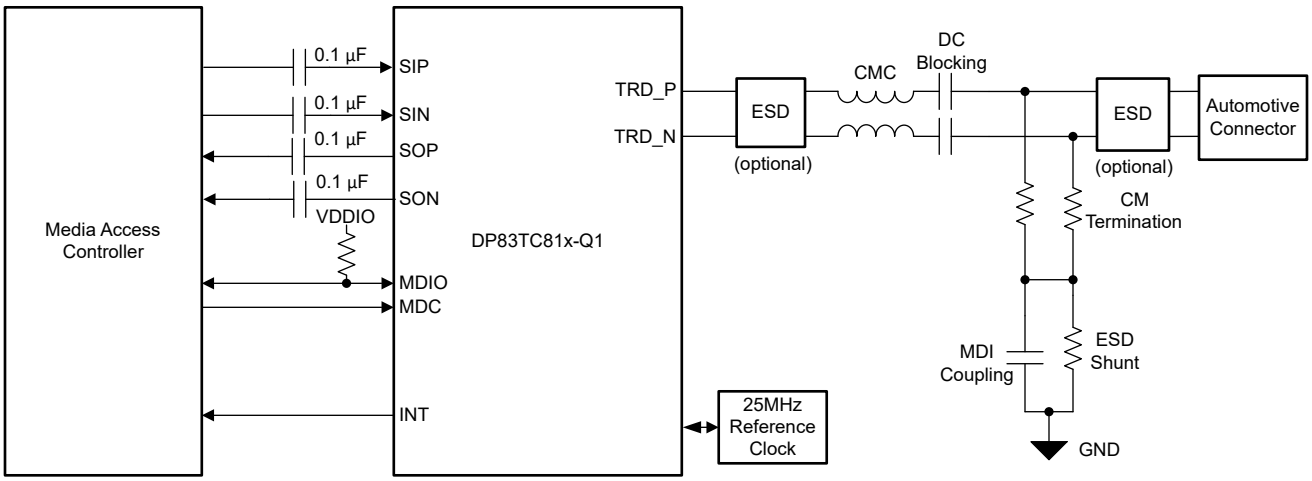


図 9-5. 代表的なアプリケーション (SGMII)

9.2.1 設計要件

これらの一般的なアプリケーションでは、以下の表に示す値を設計パラメータとして使用してください。詳細な接続図については、セクション 9.3 セクションを参照してください。

表 9-1. 設計パラメータ

設計パラメータ	数値の例
V_{DDIO}	1.8V、2.5V、または 3.3V
V_{DDMAC}	1.8V、2.5V、または 3.3V
V_{DDA}	3.3V
V_{SLEEP}	3.3V
(オプション) V_{DD1P0}	1.0V
デカップリング コンデンサ V_{DDIO} (2) (3)	0.01µF
(オプション)V_{DDIO} 用フェライト ビーズ(3)	100MHz 時に 1kΩ (BLM18KG601SH1D)
デカップリング コンデンサ V_{DDMAC} (2)	0.01µF、0.47µF

表 9-1. 設計パラメータ (続き)

設計パラメータ	数値の例
V_{DDMAC} 用フェライト ビーズ	100MHz 時に 1kΩ (BLM18KG601SH1D)
デカップリング コンデンサ V_{DDA} (2)	0.01µF、0.47µF
(オプション)V_{DDA} 用フェライト ビーズ	100MHz 時に 1kΩ (BLM18KG601SH1D)
デカップリング コンデンサ V_{SLEEP}	0.1µF
デカップリング コンデンサ V_{DD1P0} (2)	0.1µF、2.2µF
(オプション)V_{DD1P0} 用フェライト ビーズ	100MHz 時に 1kΩ (BLM18KG601SH1D)
DC ブロッキング コンデンサ (2)	0.1µF
コモン モード チョーク	200µH
コモン モード終端抵抗(1)	1kΩ
MDI カップリング コンデンサ(2)	4.7nF
ESD シャント(2)	100kΩ
リファレンス クロック	25MHz

(1) 許容誤差 1% の部品を推奨します。
(2) 許容誤差 10% の部品を推奨します。
(3) VDDIO が VDDMAC と分離している場合、VDDIO には追加でフェライト ビーズと 0.47µF のコンデンサが必要です。

9.2.1.1 物理メディアの接続

コモン モード チョークの下には金属を配置できません。CMC はその下にある金属にノイズを注入する可能性があり、システムの放射と耐性の性能に影響を及ぼす可能性があります。DP83TC815-Q1 は電圧モードのライン ドライバであるため、外付けの終端抵抗は不要です。グランドに対して ESD シャントと MDI カップリング コンデンサを接続する必要があります。差動カップリングを改善するため、コモン モード終端抵抗の許容誤差は 1% 以下とします。

9.2.1.1.1 コモン モード チョークに関する推奨事項

DP83TC815-Q1 と組み合わせて使用するには、以下の CMC を推奨します:

表 9-2. 推奨 CMC

製造元	部品番号
Pulse Electronics	AE2002
Murata (村田製作所)	DLW43MH201XK2L
Murata (村田製作所)	DLW32MH201XK2
TDK	ACT1210L-201

表 9-3. CMC の電気的仕様

パラメータ	標準値	単位	条件
挿入損失	-0.5	dB	1 ～ 30MHz
	-1.0	dB	30 ～ 60MHz
リターン ロス	-26	dB	1 ～ 30MHz
	-20	dB	30 ～ 60MHz
同相信号除去	-24	dB	1MHz
	-42	dB	10 ～ 100MHz
	-25	dB	400MHz
差動同相信号除去	-70	dB	1 ～ 10MHz
	-50	dB	100MHz
	-24	dB	1000MHz

Copyright © 2025 Texas Instruments Incorporated

9.2.2 詳細な設計手順

イーサネット PHY を使って新しくシステムを設計する場合、この図に示す手順に従います。

1. 表 表 7-41 で、目的の PHY ハードウェア構成を選択します。
2. 外部ブート ストラップ抵抗を正しく選定するために、電気的特性表、表表 7-39、および表表 7-40 を使用してください。
3. LED を使用する場合、適切な外部回路を必ず利用します (図 7-25 を参照)。
4. 電気的特性表に記載されている CMOS レベルの発振器または水晶振動子の要件に従う、適切なクロック ソースを選択します。
5. CMC を選択します。推奨 CMC の一覧を表 9-2 に示します。
6. 表 9-1 に示すコモン モード終端、DC ブロッキング コンデンサ、MDI カップリング コンデンサ、ESD シャントを追加します。
7. VDDIO および VDDA の電源ピンに十分な電源デカップリングがあることを確認します。
8. MDIO ラインに外付けプルアップ抵抗 (VDDIO に接続) を追加します。
9. SGMII で動作させる場合、MAC ピンと PHY SGMII ピンの間に 0.1µF DC ブロッキング コンデンサを配置します。
10. スリープ モードを使用しない場合、WAKE ピンは VSLEEP に直接、または外部プルアップ抵抗を介して接続する必要があります。

以下のレイアウト手順に従います:

1. 短い MDI トレースを目的のコネクタに配線できるように、基板の端の近くに PHY を配置します。
2. MDI の外付け部品 (CMC、DC ブロッキング コンデンサ、CM 終端、MDI カップリング コンデンサ、ESD シャント) を配置します。
3. トップ層およびその直下の少なくとも 1 層において、CMC の下にはメタル ポア禁止エリアを設けます。
4. MDI TRD_M および TRD_P トレースが 100Ω 差動になるように配線します。
5. クロック源を XI および XO ピンの近くに配置します。
6. MII、RMII、RGMII 動作用に構成する場合、xMII ピンを 50Ω で配線し、グランドを基準としたシングルエンドとします。
7. セットアップおよびホールド タイミングが PHY 要件に違反しないように、送信パスの xMII ピンを配線します。
8. セットアップおよびホールド タイミングが MAC 要件に違反しないように、受信パスの xMII ピンを配線します。
9. SGMII 動作用に構成する場合、xMII RX_P、RX_M、TX_P、TX_M ピンを 100Ω 差動で配線します。
10. PHY の近くに MDIO プルアップを配置します。

9.2.3 アプリケーション曲線

以下の特性曲線は、標準条件下で PHY 評価基板を使用して取得したものです。

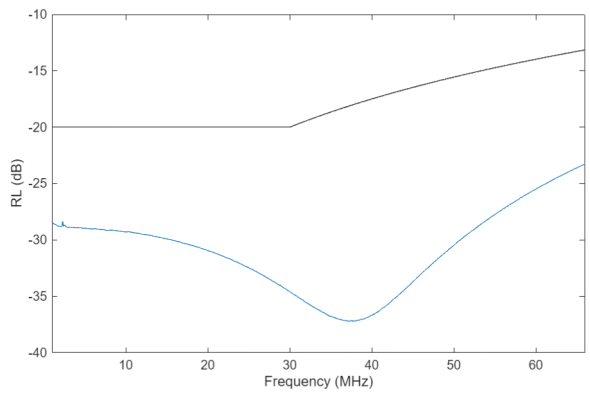


図 9-6. MDI のリターン ロス

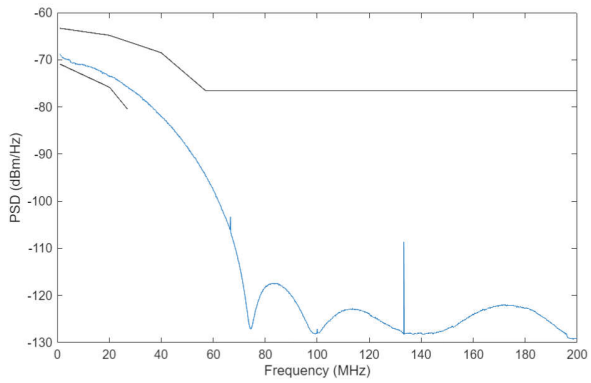


図 9-7. MDI PSD

9.3 電源に関する推奨事項

DP83TC815-Q1 は、単一電源モードとデュアル電源モードの 2 つの電源モードをサポートしています。

単一電源モードでは、VDD1P0 に DP83TC815-Q1 内部の LDO から電力を供給できます。LDO_OUT (ピン 9) を、2.2μF および 0.1μF のデカップリングネットワークを介して VDD1P0 (ピン 21) に接続します。単一電源モードでは、VDD1P0 のフェライト ビーズはサポートされていません。

デュアル電源モードでは、VDD1P0 に外部電圧レギュレータから供給できます。この電源レールには、フェライト ビーズ、2.2μF、および 0.1μF を備える必要があります。

他の電源に関する推奨事項は、シングル電源モードとデュアル電源モードで同じです。

DP83TC815-Q1 は、広い IO 電源電圧範囲 (3.3V、2.5V、1.8V) で動作できます。電源シーケンス制御は不要です。推奨される電源デカップリング ネットワークを以下の図に示します。伝導型電磁波を改善するため、電源と PHY デカップリング ネットワークの間にオプションのフェライト ビーズを配置することもできます。

代表的な TC –10 アプリケーションのブロック図と、電源およびペリフェラルを以下に示します。TPS7B81-Q1 は、VSLEEP レールの 3.3V LDO として使用することを推奨される部品番号です。この LDO の低静止電流は、TC-10 アプリケーション向けに設計されています。TC10 アプリケーション用の電源分配ネットワークの例については、セクション 7.3.2 を参照してください。

VDDIO と VDDMAC が分離している場合、両方の電圧レールにフェライト ビーズ、0.47μF、0.01μF コンデンサの専用ネットワークを配置する必要があります。TC10 以外のアプリケーションでは、VSLEEP を VDDA に接続することもでき、この構成では 0.1μF コンデンサを保持する必要があります。

Copyright © 2025 Texas Instruments Incorporated

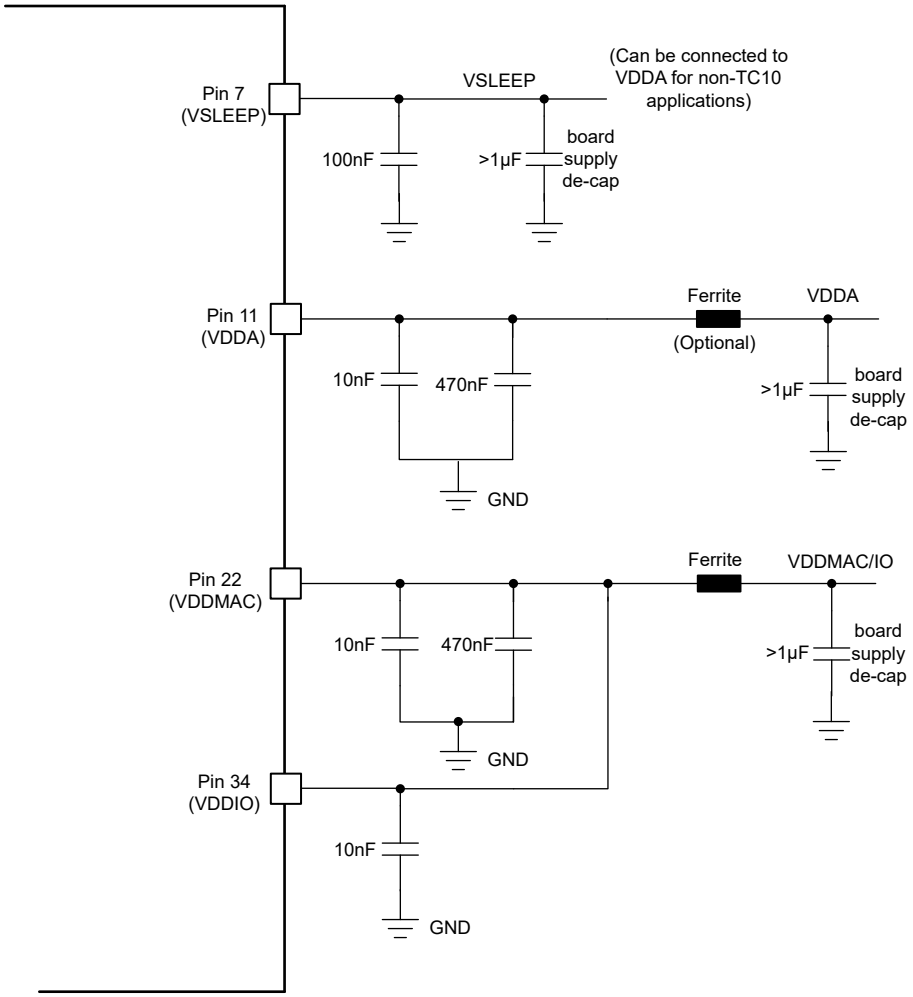


図 9-8. デカップリング ネットワーク - VDDA、VDDMAC、VDDIO、VSLEEP

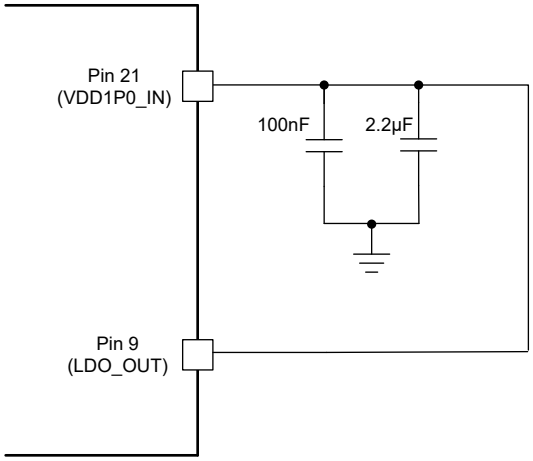


図 9-9. デカップリング ネットワーク - VDD1P0 (単一電源モード)

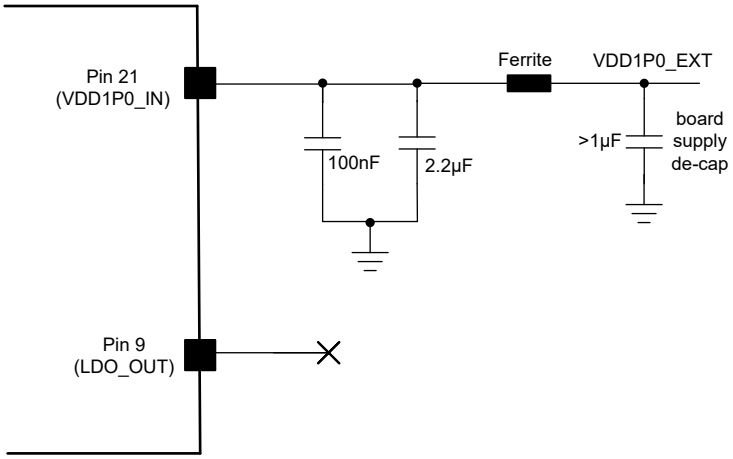


図 9-10. デカップリング ネットワーク - VDD1P0 (デュアル電源モード)

Copyright © 2025 Texas Instruments Incorporated

9.4 レイアウト

9.4.1 レイアウトのガイドライン

9.4.1.1 信号トレース

PCB トレースは損失が大きいため、長いトレースが信号品質を低下させる可能性があります。トレースはできるだけ短くする必要があります。特に記述のない限り、すべての信号トレースは 50Ω のシングルエンド インピーダンスでなくてはなりません。差動トレースは、50Ω シングルエンドおよび 100Ω 差動でなくてはなりません。初めから終わりまでインピーダンスが制御されるように注意します。インピーダンスの不連続性は反射を引き起こし、放射とシグナル インテグリティの問題につながります。スタブは、すべての信号トレース (特に差動信号ペア) で回避しなければなりません。

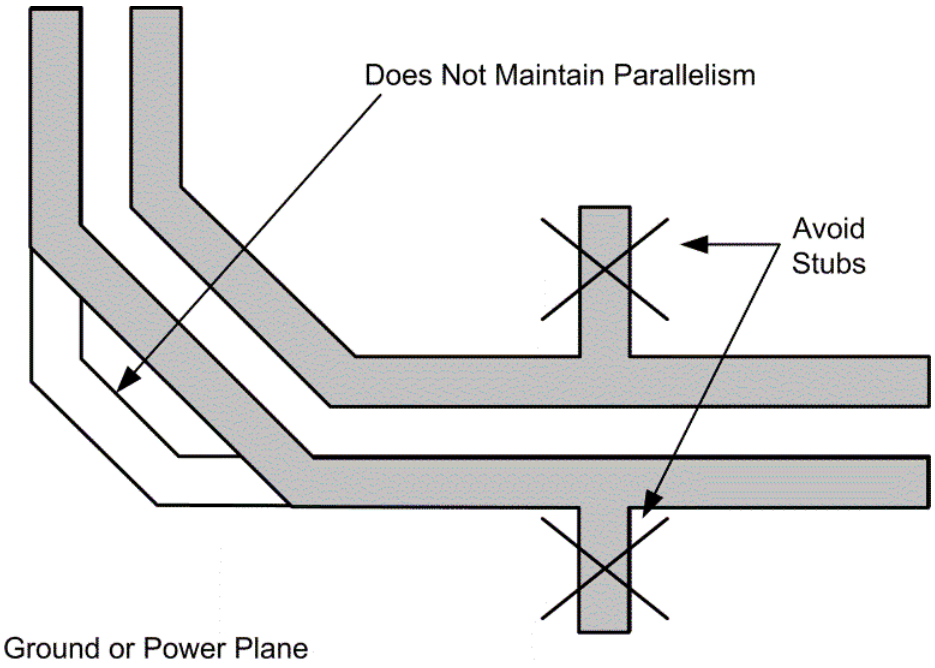


図 9-11. 差動信号トレースの配線

差動ペア内では、トレースを互いに並行させ、長さを一致させる必要があります。長さを一致させることで遅延の差が最小化され、同相ノイズと放射の増加を防止できます。MAC インターフェイス接続でも、長さを一致させることは重要です。すべての送信信号トレースは互いに同じ長さ、すべての受信信号トレースは互いに同じ長さでなくてはなりません。SGMII 差動トレースの場合、スキュー不一致を 20ps 未満に抑えることを推奨します。

理想的には、信号路のトレースでクロスオーバを生じさせないようにします。高速信号トレースは内部層で配線し、EMC 特性の向上を図ります。ビアにはインピーダンスの不連続性を生じさせるため、できるだけ少なくする必要があります。トレース ペアは同じ層に配線します。異なる層の信号は、それらの間に少なくとも 1 つの復帰パス プレーンがない限り、互いに交差させてはなりません。差動ペアは、それらの間の結合距離を常に一定に保つ必要があります。利便性と効率性を高めるため、重要な信号 (例：MDI 差動ペア、基準クロック、MAC IF トレース) を最初に配線することを推奨します。

9.4.1.2 復帰パス

一般に最も良い方法は、すべての信号トレースの下にベタの復帰パスを設けることです。この復帰パスは、連続的なグランドまたは DC 電源プレーンであってもかまいません。復帰パスの幅を狭くすると、信号トレースのインピーダンスに影響を及ぼす可能性があります。この影響は、復帰パスの幅が信号トレースの幅と同等である場合、より顕著になります。信号トレースの間の復帰パスの断線は、絶対に避ける必要があります。分割されたプレーンをまたぐ信号は、予測不可能な復帰パス電流を引き起こし、信号の品質に影響を及ぼし、放射の問題を引き起こす可能性があります。

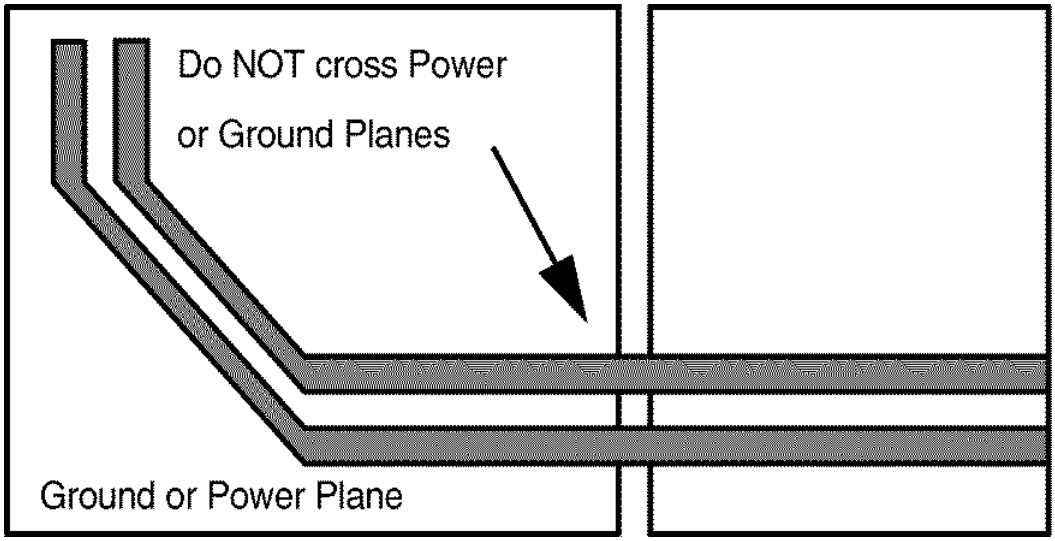


図 9-12. 電源およびグランド プレーンの割れ目

9.4.1.3 金属注入

信号でも電源でもないすべての金属注入領域は、グランドに接続する必要があります。システム内に浮動の金属が存在していないことと、差動パターン間に金属が存在していないことが必要です。

9.4.1.4 PCB 層スタッキング

シグナル インテグリティと性能の要件を満たすには、4 層以上の PCB が推奨されます。ただし、可能であれば 6 層以上の PCB を使用してください。

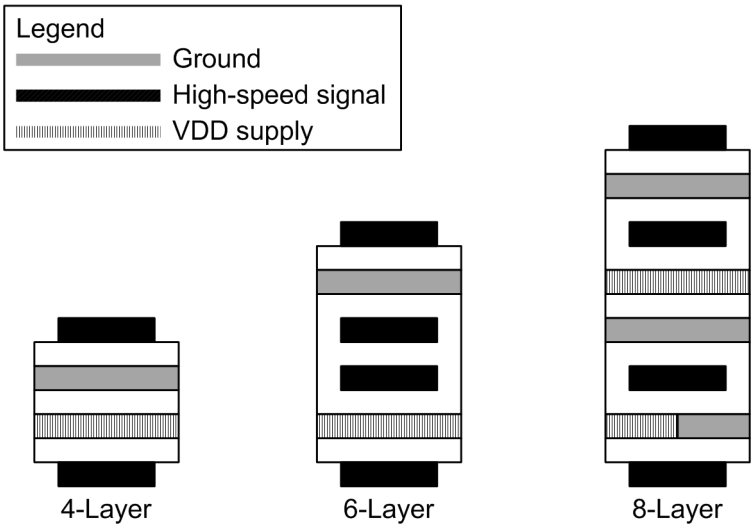


図 9-13. 推奨される PCB 層構成

Copyright © 2025 Texas Instruments Incorporated

9.4.2 レイアウト例

DP83TC815-Q1 が使用できる評価ボードがあります。DP83TC815EVM-MC は、相互運用性とビット エラー レートのテストに使用できるメディア コンバータ ボードです。

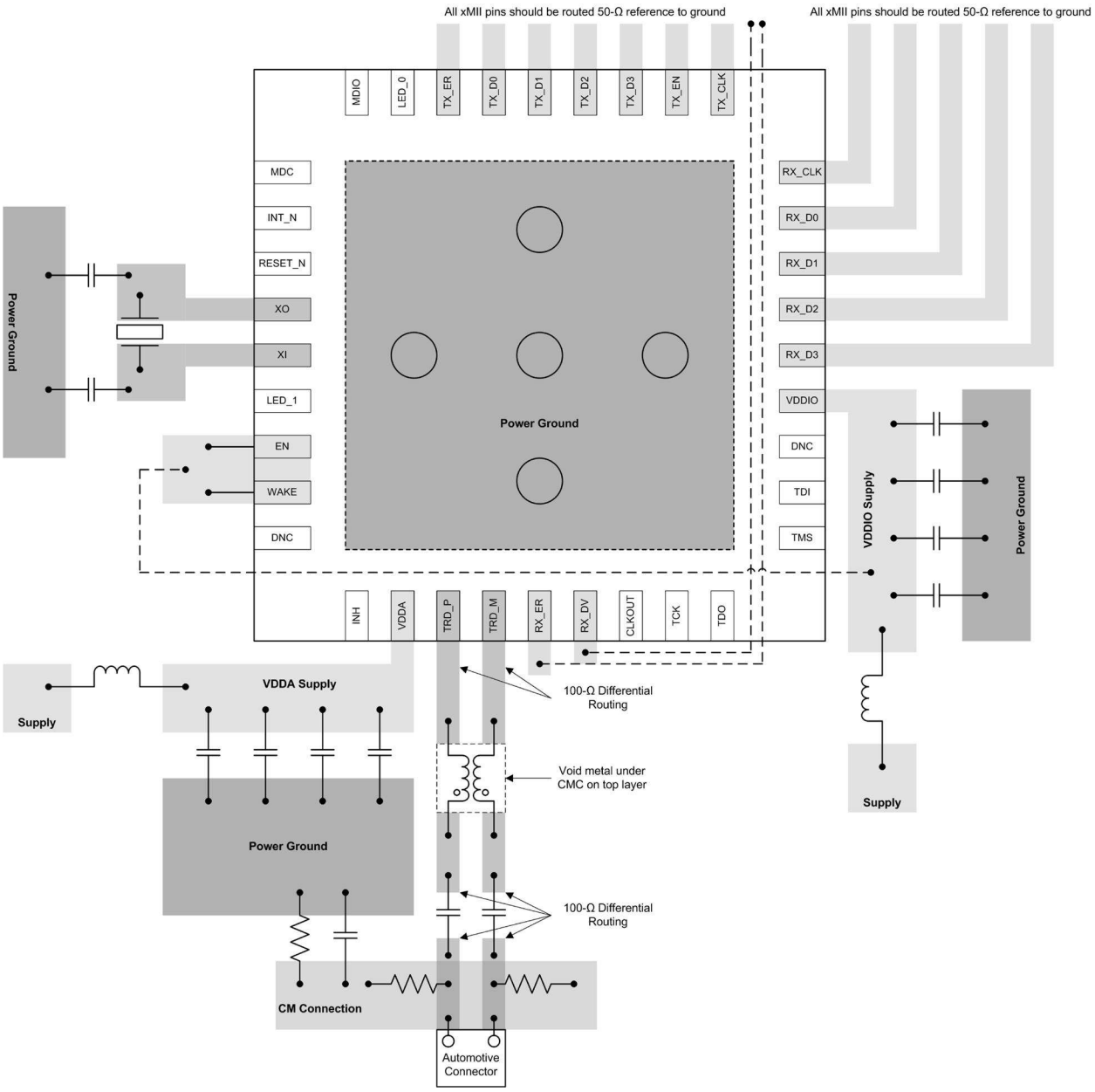


図 9-14. DP83TC815-Q1 MII/RMII/RGMII のレイアウトに関する推奨事項

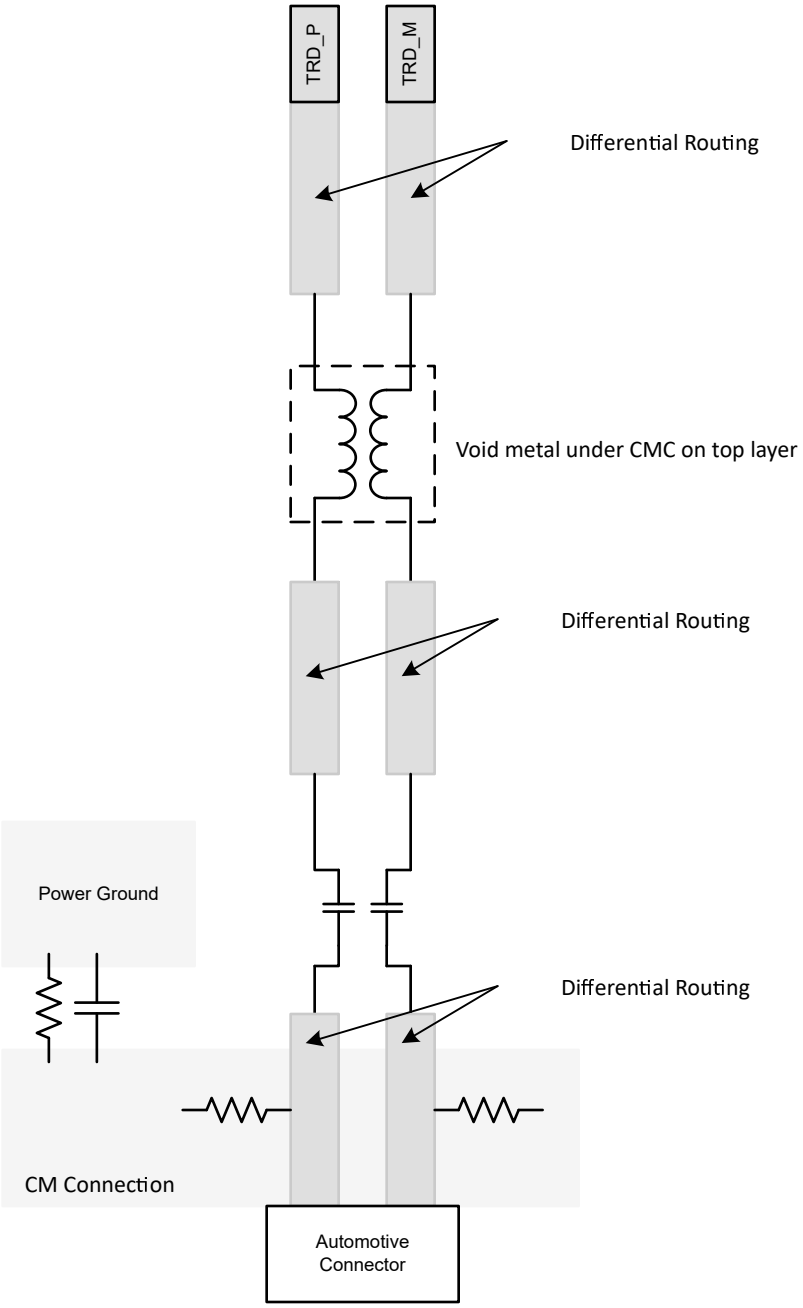


図 9-15. MDI ローパス フィルタのレイアウトに関する推奨事項

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (July 2025) to Revision A (November 2025) **Page**

- データシート全体の最初の公開リリース..... 1
- ドキュメントのステータスを「事前情報」から「量産データ」に変更..... 1
- 文書全体で旧用語をすべて更新し、「リーダー」と「フォロワ」に置き換え..... 1
- ドキュメント全体を通して精度、詳細、スタイルを更新..... 1
- 製品のシリコンを反映するように、ドキュメント全体にわたって電気的パラメータを更新..... 1
- 「代表的特性」セクションを追加 31
- *レジスタ マップ*セクションを更新..... 84
- *アプリケーション曲線*セクションを追加..... 167
- *レイアウト例*セクションを更新..... 173

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83TC815RHARQ1	Active	Production	VQFN (RHA) | 36	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	815
PDP83TC815RHARQ1	Active	Preproduction	VQFN (RHA) | 36	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

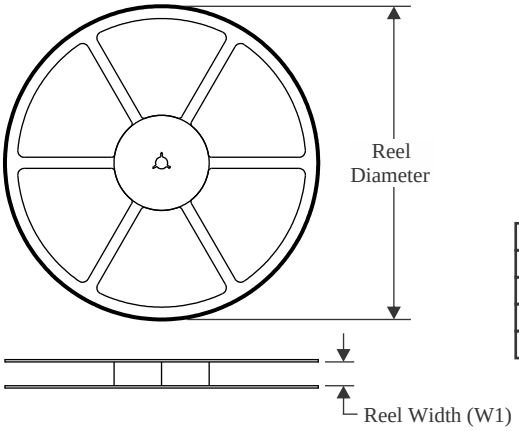
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

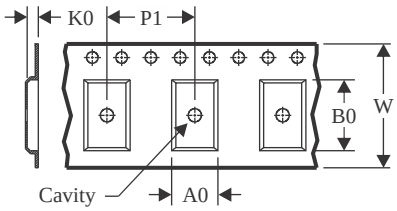
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

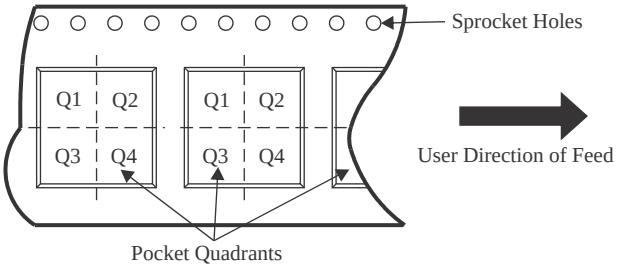


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

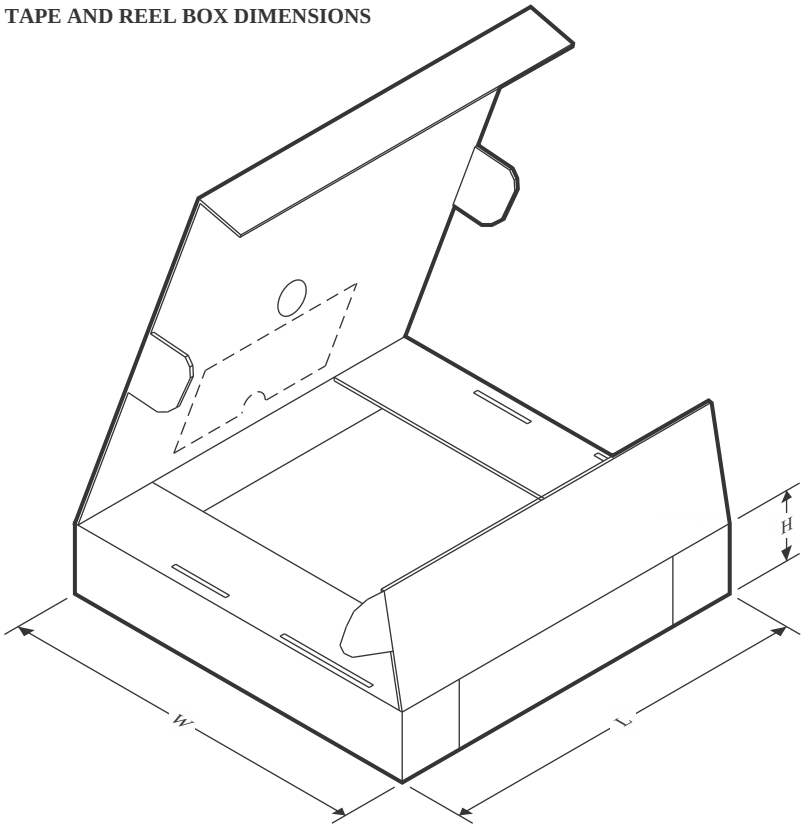
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83TC815RHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83TC815RHARQ1	VQFN	RHA	36	2500	360.0	360.0	36.0

GENERIC PACKAGE VIEW

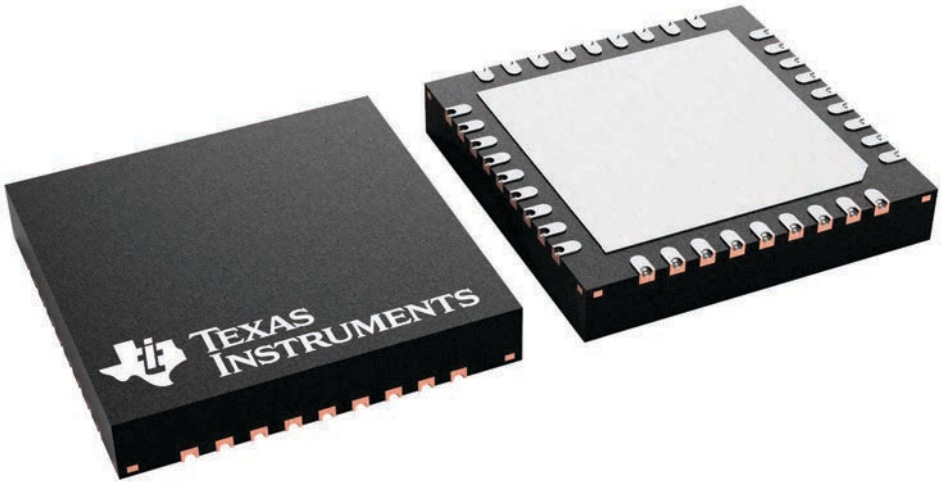
RHA 36

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



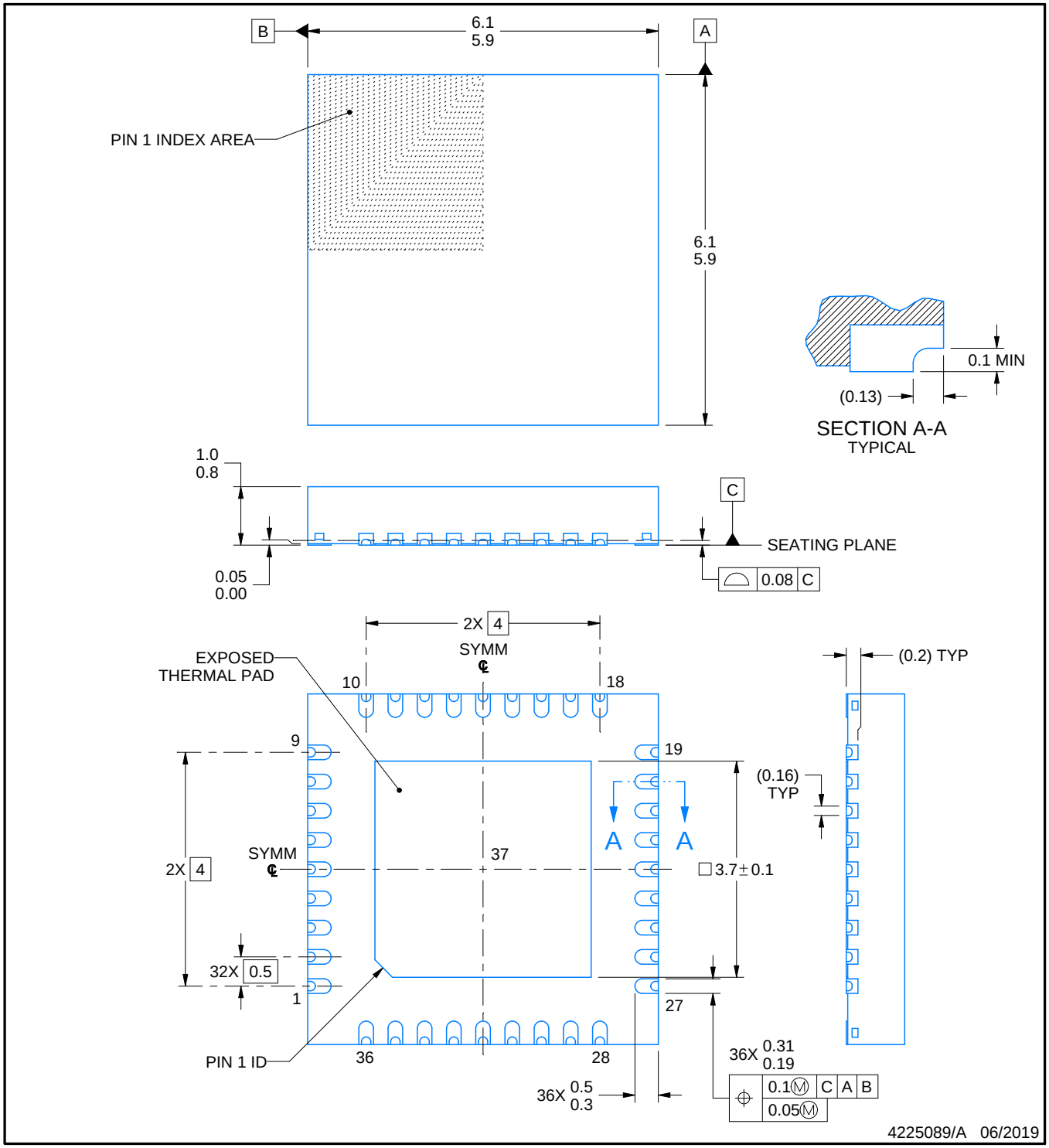
4228438/A

PACKAGE OUTLINE

RHA0036A

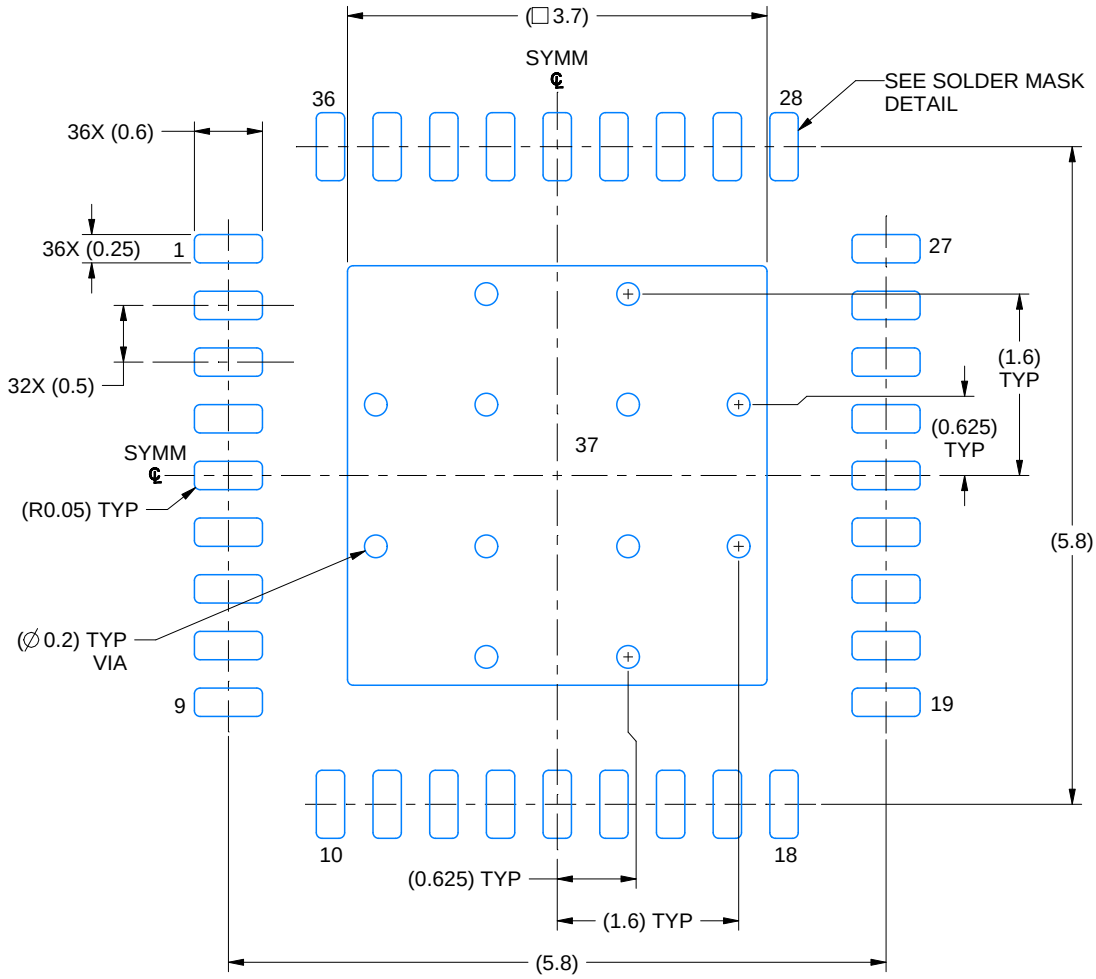
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

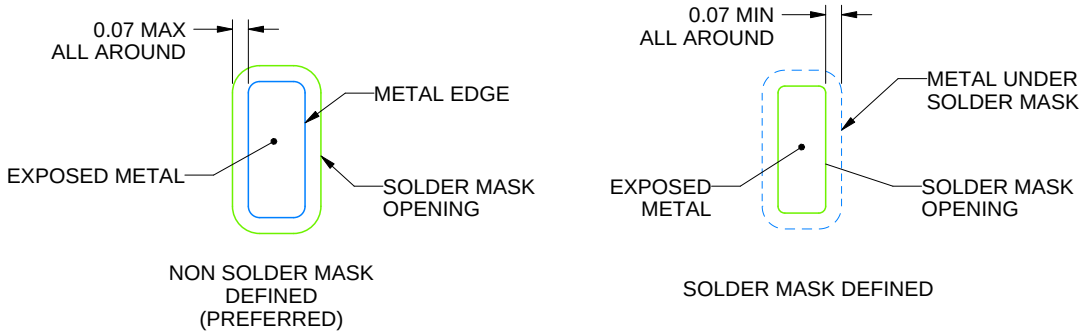


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

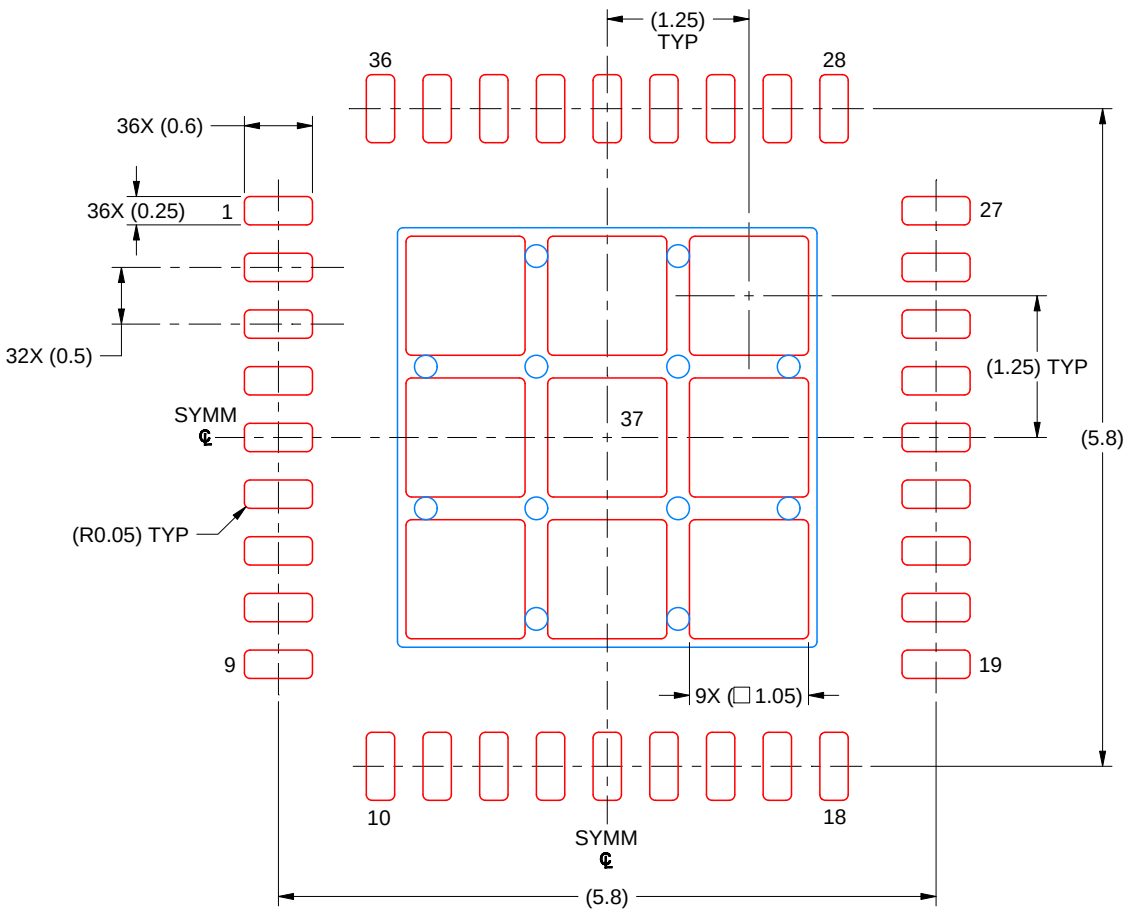


SOLDER MASK DETAILS

4225089/A 06/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 37
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225089/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月