

## DP83TG720R-Q1 1000BASE-T1 車載用イーサネット PHY

### 1 特長

- IEEE802.3bp 1000BASE-T1 準拠
- Open Alliance TC12 の相互運用性と EMC に適合
  - OA/IEEE 準拠 PHY との相互運用性テスト済み
  - EMC 耐性、クラス IV 準拠 (UTP:シールドなしツイストペア)
- MDI ピンに LPF を内蔵
- MAC インターフェイス: RGMII
- 対応する I/O 電圧: 3.3V, 2.5V, 1.8V
- テキサス・インスツルメンツの 100BASE-T1 PHY とピン互換
  - 必要な BOM を変更することで、100BASE-T1 と 1000BASE-T1 に対応するシングル・ボード設計
- パワー・セービング機能:
  - スタンバイ、スリープ
  - ローカルおよびリモート・ウェークアップ
- 診断ツール・キット
  - 高精度の温度モニタ
  - 電圧モニタ
  - ESD イベント・モニタ
  - データ・スループット・カリキュレータ: 内蔵 MAC パケット・ジェネレータ、カウンタ、エラー・チェッカ
  - リンク品質監視
  - ケーブル開放および短絡フォルト検出
  - ループバック・モード
- 25MHz クロック出力源
- VQFN、ウェットプル・フランク・パッケージ
- AEC-Q100 認定済み
  - 内蔵 ESD 保護: IEC61000-4-2 ESD: ±8kV 接触放電
  - デバイス温度グレード 1: -40°C ~ +125°C の動作時周囲温度範囲

### 2 アプリケーション

- テレマティクス制御ユニット (TCU、TBOX)
- ゲートウェイとボディ・コントロール・モジュール (BCM)
- ADAS: LIDAR、レーダー、フロント・カメラ

### 3 概要

DP83TG720R-Q1 デバイスは、IEEE 802.3bp と Open Alliance に準拠した車載用イーサネット物理層トランシーバです。シールドなし / シールド付きの単一ツイストペア・ケーブル上でデータを送受信するために必要なすべての物理層機能が搭載されています。本デバイスは、MAC とインターフェイスするために RGMII をサポートしています。

DP83TG720 は Open Alliance EMC および相互運用性仕様 (シールドなしツイスト・ケーブル) に準拠しています。DP83TG720 は テキサス・インスツルメンツの 100BASE-T1 PHY とフットプリント互換であるため、1 枚のボードで両方の速度に対応する、拡張性に優れた設計を実現できます。このデバイスでは、リアルタイム監視ツール、デバッグ・ツール、テスト・モードを豊富に備えた診断ツール・キットを提供しています。ツール・キットには、初めて内蔵された静電放電 (ESD) 監視ツールが含まれています。このツールは xMII と MDI の両方で ESD イベントをカウントでき、プログラム可能な割り込みを使用してリアルタイム監視も行えます。また、DP83TG720R-Q1 は、カスタマイズ可能な MAC パケットの生成と受信パケットのエラー・チェックを行うため、データ・ジェネレータおよびチェッカ・ツールを内蔵しています。これにより、MAC に頼らずに、データをシステム・レベルでテスト / 最適化できます。

#### 製品情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ (公称)
DP83TG720R-Q1	VQFN (36)	6.00mm × 6.00mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

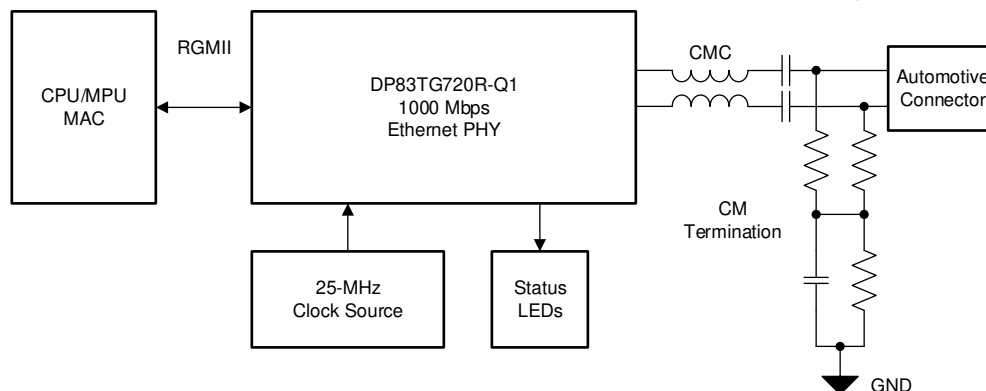


図 3-1. 概略回路図



## 目次

1 特長.....	1	8.2 機能ブロック図.....	23
2 アプリケーション.....	1	8.3 機能説明.....	24
3 概要.....	1	8.4 デバイスの機能モード.....	37
4 改訂履歴.....	2	8.5 プログラミング.....	51
5 デバイス比較表.....	3	8.6 レジスタ・マップ.....	55
6 ピン構成および機能.....	3	9 アプリケーションと実装.....	199
ピン機能.....	4	9.1 アプリケーション情報.....	199
6.1 ピンの状態.....	6	9.2 代表的なアプリケーション.....	199
6.2 ピンの電源ドメイン.....	8	10 電源に関する推奨事項.....	201
7 仕様.....	9	11 テキサス・インスツルメンツの 100BT1 PHY との互換性.....	204
7.1 絶対最大定格.....	9	12 レイアウト.....	205
7.2 ESD 定格.....	9	12.1 レイアウトのガイドライン.....	205
7.3 推奨動作条件.....	9	13 デバイスおよびドキュメントのサポート.....	207
7.4 熱に関する情報.....	10	13.1 ドキュメントの更新通知を受け取る方法.....	207
7.5 電気的特性.....	10	13.2 サポート・リソース.....	207
7.6 タイミング要件.....	13	13.3 商標.....	207
7.7 タイミング図.....	17	13.4 静電気放電に関する注意事項.....	207
7.8 LED の駆動特性.....	21	13.5 用語集.....	207
8 詳細説明.....	22	14 メカニカル、パッケージ、および注文情報.....	208
8.1 概要.....	22	14.1 付録: パッケージ・オプション.....	208

## 4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (March 2021) to Revision C (November 2022)	Page
• strap_1 の「ピンの状態」を入力のみを更新.....	4
• ピンの状態の表で、パワー / リセットの INH ピンを PMOS、OD、O に編集。略語を更新.....	6
• 「ピン電源ドメイン表」を追加.....	8
• 計算方法を更新することで SQI レベル数を増やしたことを示すために SQI セクションを更新.....	24
• TDR のアプリケーション・ノートのリンクを更新.....	24
• ローカルとリモートによるスリープへの移行のステップを更新.....	40
• CM 抵抗の推奨パッケージ (0805).....	199

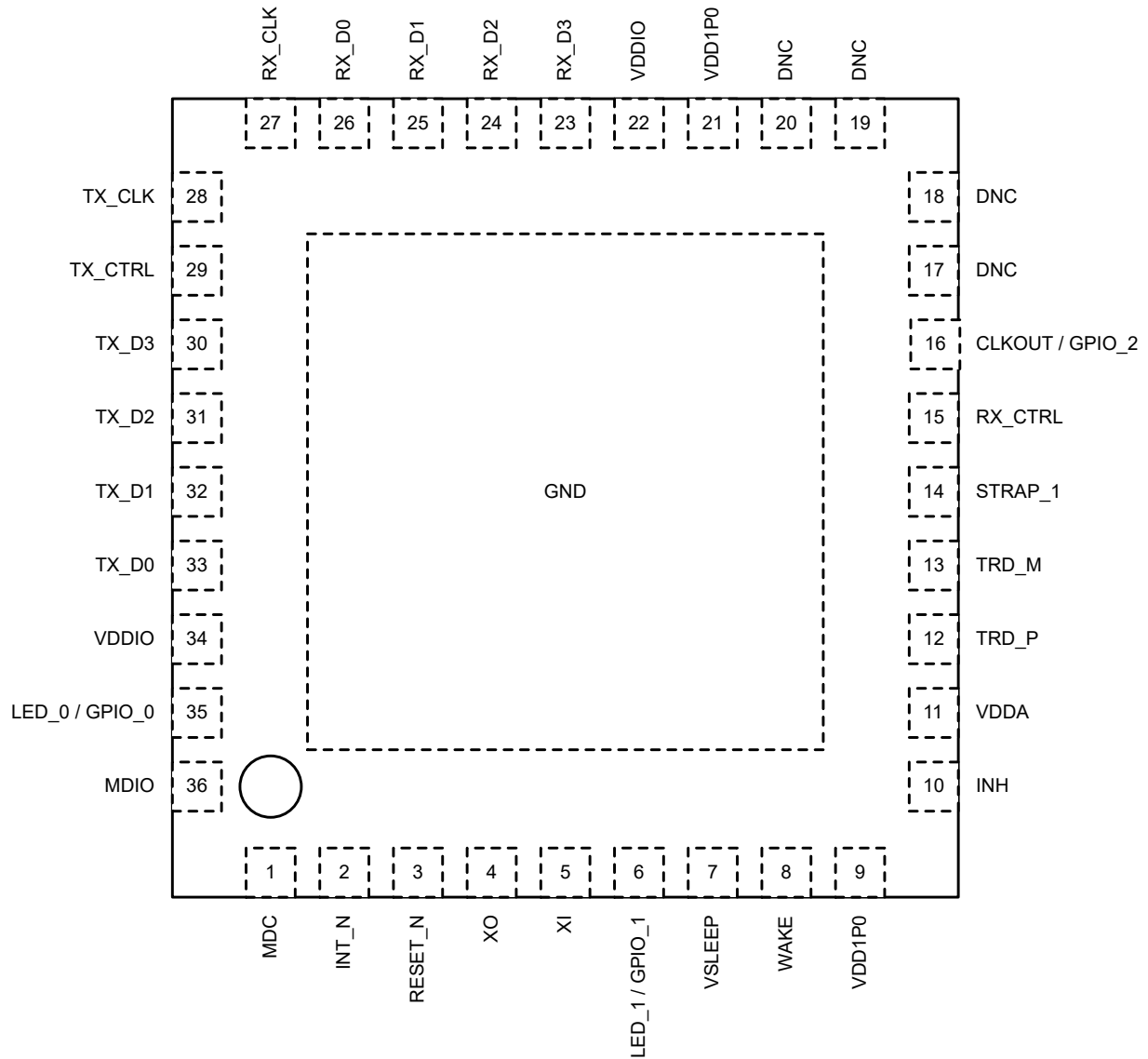
Changes from Revision A (February 2021) to Revision B (March 2021)	Page
• 顧客アプリケーションのマージンを増やすため、IOZ、2 レベル・ブート・ストラップのモード 2 スレッショルド、Rpull-down の最小 / 最大のデータシート制限値を更新.....	9
• RGMII DLL_TX_DELAY の最小値 / 最大値、スリープ・モードのタイミング・パラメータ、レイテンシ・パラメータ、リセット・モード電力、スタンバイ・モード電力、スリープ・モード電力を追加.....	9
• 内蔵プルダウン抵抗値を 4.5kΩ から 4.725kΩ に変更.....	9
• リモート・スリープ終了手順に詳細を追加.....	40
• 1.8V 2 レベル・ストラップのマージン拡大の注を追加.....	51
• 「電源に関する推奨事項」の注を更新.....	201

Changes from Revision * (December 2020) to Revision A (February 2021)	Page
• 「ピンの状態」の表の rx_cntrl ピンと strp_1 ピンのプルダウン抵抗値を更新。「仕様」セクションの値に合わせて 6K から 6.3K に変更.....	4
• OA 要件を満たすように SQI セクションを更新.....	24
• ストラップ回路図を更新 (外付けプルダウンを削除).....	51

## 5 デバイス比較表

部品番号	RGMI のサポート	SGMII のサポート	動作 温度
DP83TG720R-Q1	あり	なし	-40°C~125°C
DP83TG720S-Q1	あり	あり	-40°C~125°C

## 6 ピン構成および機能



**図 6-1. RHA パッケージ  
36 ピン VQFN  
上面図**

## ピン機能

表 6-1. ピン機能

ピン		状態 <sup>(1)</sup>	説明 <sup>(2)</sup>
名称	番号		
<b>MAC インターフェイス</b>			
RX_D3	23	S, PD, O	<b>受信データ:</b> ケーブルで受信されたシンボルはデコードされ、RX_CLK の立ち上がりエッジに同期してこれらのピンから送信されます。RX_DV (RX_CTL からデコード) がアサートされている場合、これらには有効なデータが含まれます。RGMII モードではニブル (RX_D[3:0]) が送信されます。
RX_D2	24		
RX_D1	25		
RX_D0	26		
RX_CLK	27	O	<b>受信クロック:</b> RGMII モードでは、PHY はこの 125MHz クロックを MAC に供給します。
RX_CTRL	15	S, PD, O	<b>RGMII 受信制御:</b> 受信制御は、受信データ有効表示と受信エラー表示を 1 つの信号に統合したものです。RX_DV は RX_CLK の立ち上がりエッジに示され、RX_ER は RX_CLK の立ち下がりエッジに示されます。
TX_CLK	28	I	<b>送信クロック:</b> RGMII モードでは、MAC はこの 125MHz クロックを PHY に供給します。
TX_CTRL	29	I	<b>RGMII 送信制御:</b> 送信制御は、送信イネブルと送信エラー表示を 1 つの信号に統合したものです。TX_EN は TX_CLK の立ち上がりエッジの前に示され、TX_ER は TX_CLK の立ち下がりエッジに示されます。
TX_D3	30	I	<b>送信データ:</b> RGMII モードでは、送信データ・ニブル (TX_D[3:0]) が MAC から受信されます。
TX_D2	31		
TX_D1	32		
TX_D0	33		
<b>シリアル・マネージメント・インターフェイス</b>			
MDC	1	I	<b>管理データ・クロック:</b> MDIO シリアル・マネージメント入力および出力データに同期したクロック。
MDIO	36	OD, IO	<b>管理データ入出力 (Management Data Input/Output):</b> 管理ステーションまたは PHY から出力される可能性がある双方向管理データ信号。このピンには外付けプルアップ抵抗 (推奨値 = 2.2kΩ) が必要です。
<b>制御インターフェイス</b>			
INT	2	PU, OD, O	<b>割り込み:</b> アクティブ Low 出力。割り込み条件が発生すると、Low にアサートされます。このピンは弱いプルアップを内蔵しています。各種割り込みトリガを有効化するには、レジスタ・アクセスが必要です。割り込みイベント・フラグが一度セットされると、このピンの割り込みイベントをクリアするには、レジスタ・アクセスが必要です。レジスタ [0x0011] を使うことで、このピンをアクティブ High 出力として構成できます。割り込みソースを確実にキャプチャするため、int_n ピンで割り込みがアサートされた後に、割り込みレジスタ x12, x13, x18 からステータスを読み出すことを推奨します。
RESET	3	PU, I	<b>RESET:</b> DP83TG720R-Q1 を初期化または再初期化するアクティブ Low 入力。このピンを 10μs 以上 Low にアサートすると、リセット・プロセスが強制的に開始されます。すべての内部レジスタは、「レジスタ・マップ」セクションで各ビットに対して指定されたデフォルト状態に再初期化されます。リセットのデアサート時に、すべてのブートストラップ・ピンが再サンプリングされます。
INH	10	PMOS OD	<b>INH:</b> アクティブ High の PMOS オープン・ドレイン出力。PHY がスリープ状態に移行すると、外付けプルダウン抵抗 (推奨値 = 10kΩ) がラインをグラウンドにプルダウンできるように、PHY は INH ピンを解放します。その他の状態では、INH ピンは VSLEEP レールに High 状態を駆動します。
WAKE	8	PD, I	<b>WAKE:</b> ウェークアップ・ピンのアクティブ High (このピンは VSENSE ドメインで動作します) パルスにより、PHY はスリープ状態から復帰します。パルス幅については、タイミングのセクションを参照してください。スリープ状態を使わない場合、このピンを VSLEEP レールに直接接続できます。または浮動にできます。
STRP_1	14	I	<b>ストラップ 1:</b> このピンは、PHY_AD ビットをストラップするためのものです。
<b>クロック・インターフェイス</b>			
XI	5	I	<b>基準クロック入力:</b> 基準クロックの 25MHz ±100ppm 許容誤差の水晶振動子または発振器入力。本デバイスは、外付け水晶振動子 (ピン XI とピン XO の間に接続) と外付け CMOS レベル発振器 (ピン XI のみに接続、XO は浮動) のどちらにも対応しています。

**表 6-1. ピン機能 (continued)**

ピン		状態 (1)	説明 (2)
名称	番号		
XO	4	O	<b>基準クロック出力:</b> XO ピンは水晶振動子の場合にのみ使用されます。CMOS レベル発振器を XI に接続する場合、このピンを浮動にする必要があります。
<b>LED/GPIO インターフェイス</b>			
LED_0/ GPIO_0	35	S, PD, IO	<b>LED_0:</b> リンク・ステータス
LED_1/ GPIO_1	6	S, PD, IO	<b>LED_1:</b> TX/RX 動作のリンク・ステータスと点滅
CLKOUT/ GPIO_2	16	IO	<b>クロック出力:</b> デフォルトでは 25MHz の基準クロック (XI のバッファリング済みレプリカ)。使用しない場合、レジスタ 0x0453 = 0x0006 を書き込むことで、クロック出力を無効化できます。
<b>メディア依存インターフェイス</b>			
TRD_M	13	IO	<b>差動送信および受信:</b> 1000BASE-T1 動作用に構成された双方向差動信号。IEEE 802.3bp 準拠。
TRD_P	12		
<b>電源およびグランド接続</b>			
VDDA3P3	11	電源	<b>コア電源:</b> 3.3V。デカップリング・ネットワークについては、「電源に関する推奨事項」を参照してください。
VDDIO	22, 34	電源	<b>IO 電源:</b> 1.8V, 2.5V, 3.3V。デカップリング・ネットワークについては、「電源に関する推奨事項」を参照してください。
VDD1P0	9, 21	電源	<b>コア電源:</b> 1.0V。デカップリング・ネットワークについては、「電源に関する推奨事項」を参照してください。
VSLEEP	7	電源	<b>スリープ電源:</b> 3.3V。デカップリング・ネットワークについては、「電源に関する推奨事項」を参照してください。スリープ機能を使用しない場合、このピンを VDDA3P3 に接続する必要があります。
GROUND	DAP	グランド	<b>グランド</b>
<b>接続禁止</b>			
DNC	17, 18, 19, 20	DNC	<b>DNC:</b> 接続しないでください (テスト構造がこれらのピンに接続されており、PHY の損傷または誤モードへの移行を防止するために浮動状態に保つ必要があります)。

(1) 種類: I = 入力

O = 出力

IO = 入出力

OD = オープン・ドレイン

PD = 内部プルダウン

PU = 内部プルアップ

S = ストラップ: 構成ピン (すべての構成ピンは、弱い内部プルアップまたはプルダウンを備えています)。

(2) ピンを使用しない場合は、上記の表に示す推奨接続要件に従ってください。ピンに必要な終端がない場合、それらのピンを浮動にできます。

## 6.1 ピンの状態

表 6-2. ピンの状態 - RGMII

ピン名	起動/リセット			通常動作 - RGMII		
	ピンの状態 (1)	プル・タイプ	プル値 (kΩ)	ピンの状態 (1)	プル・タイプ	プル値 (kΩ)
MDC	I	なし	-	I	なし	-
INT_N	I	PU	9	OD	PU	9
RESET_N	I	PU	9	I	PU	9
XO	O	なし	-	O	なし	-
XI	I	なし	-	I	なし	-
LED_1	I	PD	9	O	なし	-
WAKE	I	PD	50	I	PD	50
STRP_1	I	PD	6.3	I	なし	-
INH	PMOS、OD、O	なし	-	PMOS、OD、O	なし	-
RX_CTRL	I	PD	6.3	O	なし	-
CLKOUT/GPIO_2	O	なし	-	O	なし	-
RX_D3	I	PD	9	O	なし	-
RX_D2	I	PD	9	O	なし	-
RX_D1	I	PD	9	O	なし	-
RX_D0	I	PD	9	O	なし	-
RX_CLK	I	PD	9	O	なし	-
TX_CLK	I	なし	-	I	なし	-
TX_CTRL	I	なし	-	I	なし	-
TX_D3	I	なし	-	I	なし	-
TX_D2	I	なし	-	I	なし	-
TX_D1	I	なし	-	I	なし	-
TX_D0	I	なし	-	I	なし	-
LED_0	I	PD	9	O	なし	-
MDIO	I	なし	-	IO	なし	-

- (1) 種類:I = 入力  
O = 出力  
IO = 入出力  
OD = オープン・ドレイン  
PD = 内部プルダウン  
PU = 内部プルアップ

**表 6-3. ピンの状態 - スリープおよび分離**

ピン名	MAC 分離			スリープ		
	ピンの状態 (1)	プル・タイプ	プル値 (kΩ)	ピンの状態 (1)	プル・タイプ	プル値 (kΩ)
MDC	I	なし	-	浮動	なし	-
INT_N	O	PU	9	浮動	なし	-
RESET_N	I	PU	9	浮動	なし	-
XO	O	なし	-	浮動	なし	-
XI	I	なし	-	浮動	なし	-
LED_1	O	なし	-	浮動	なし	-
WAKE	I	PD	50	I	なし	50
STRP_1	I	なし	-	浮動	なし	-
INH	PMOS、OD、O	なし	-	PMOS、OD、O	なし	-
RX_CTRL	I	PD	6.3	浮動	なし	-
CLKOUT/GPIO_2	O	なし	-	浮動	なし	-
RX_D3	I	PD / なし (2)	9	浮動	なし	-
RX_D2	I	PD / なし (2)	9	浮動	なし	-
RX_D1	I	PD	9	浮動	なし	-
RX_D0	I	PD	9	浮動	なし	-
RX_CLK	I	PD	9	浮動	なし	-
TX_CLK	I	なし	-	浮動	なし	-
TX_CTRL	I	なし	-	浮動	なし	-
TX_D3	I	なし	-	浮動	なし	-
TX_D2	I	なし	-	浮動	なし	-
TX_D1	I	なし	-	浮動	なし	-
TX_D0	I	なし	-	浮動	なし	-
LED_0	O	なし	-	浮動	なし	-
MDIO	IO	なし	-	浮動	なし	-

- (1) 種類: I = 入力  
 O = 出力  
 IO = 入出力  
 OD = オープン・ドレイン  
 PD = 内部プルダウン  
 PU = 内部プルアップ  
 Hi-Z = 高インピーダンス  
 浮動 = IO に電力が供給されていないため、ピンは PHY によってバイアス印加されていません。
- (2) PD は、RGMII の分離モード専用です。

**注**

スリープ・モードに入る場合、VDDA、VDDIO、VDD1P0 はパワーダウンするものとします。詳細については、「スリープ・モードに必要な実装」の図を参照してください。

## 6.2 ピンの電源ドメイン

表 6-4. ピン電源ドメイン表

ピン	RGMII モード	SGMII モード
MDC	VDDIO	VDDIO
INT_N	VDDIO	VDDIO
RESET_N	VDDIO	VDDIO
XI	VDDA	VDDA
XO	VDDA	VDDA
LED_1	VDDIO	VDDIO
WAKE	VSLEEP	VSLEEP
STRP_1	VDDIO	VDDIO
INH	VSLEEP	VSLEEP
RX_CTRL	VDDIO	VDDIO
CLKOUT/GPIO_2	VDDIO	VDDIO
RX_D3	VDDIO	VDDA
RX_D2	VDDIO	VDDA
RX_D1	VDDIO	VDDIO
RX_D0	VDDIO	VDDIO
RX_CLK	VDDIO	VDDIO
TX_CLK	VDDIO	VDDIO
TX_CTRL	VDDIO	VDDIO
TX_D3	VDDIO	VDDIO
TX_D2	VDDIO	VDDIO
TX_D1	VDDIO	VDDA
TX_D0	VDDIO	VDDA
LED_0	VDDIO	VDDIO
MDIO	VDDIO	VDDIO
TRD_P	VDDA	VDDA
TRD_M	VDDA	VDDA



## 7 仕様

### 7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	代表値	最大値	単位
電源電圧	VDDA3P3	-0.5		4	V
電源電圧	VDD1P0	-0.5		1.4	V
電源電圧	VDDIO (3.3V)	-0.5		4	V
電源電圧	VDDIO (2.5V)	-0.5		2.9	V
電源電圧	VDDIO (1.8V)	-0.5		2.2	V
電源電圧	V <sub>SLEEP</sub>	-0.5		4	V
MDI ピン	TRD_M, TRD_P	-0.5		4	V
LVC MOS/ LV TTL 入力電 圧	MDC, $\overline{\text{RESET}}$ , XI, LED_1, STRP_1, RX_CTRL, CLKOUT, RX_D[3:0], TX_CLK, TX_CTRL, TX_D[3:0], LED_0, MDIO	-0.5		VDDIO + 0.3	V
LVC MOS/ LV TTL 入力電 圧	WAKE	-0.5		V <sub>SLEEP</sub> + 0.3	V
LVC MOS/ LV TTL 出力電 圧	$\overline{\text{INT}}$ , LED_1, RX_CTRL, CLKOUT, RX_D[3:0], RX_CLK, LED_0, MDIO	-0.5		VDDIO + 0.3	V
LVC MOS/ LV TTL 出力電 圧	INH	-0.5		V <sub>SLEEP</sub> + 0.3	V
T <sub>J</sub>	接合部温度			150	°C
T <sub>stg</sub>	保存温度	-65		150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、本製品に永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

### 7.2 ESD 定格

				値	単位
V <sub>(ESD)</sub>	静電気放電	人体モデル (HBM)、AEC Q100-002 準拠 <sup>(1)</sup>	すべてのピン	±2000	V
V <sub>(ESD)</sub>	静電気放電	人体モデル (HBM)、AEC Q100-002 準拠 <sup>(1)</sup>	TRD_M, TRD_P	±8000	V
V <sub>(ESD)</sub>	静電気放電	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	V
V <sub>(ESD)</sub>	静電気放電	IEC 61000-4-2 接触放電	TRD_M, TRD_P	±8000	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDDIO	IO 電源電圧、1.8V 動作	1.62	1.8	1.98	V
	IO 電源電圧、2.5V 動作	2.25	2.5	2.75	
	IO 電源電圧、3.3V 動作	2.97	3.3	3.63	
VDDA3P3	コア電源電圧、3.3V	2.97	3.3	3.63	V
VDD1P0	コア電源電圧、1.0V	0.95	1	1.1	V

### 7.3 推奨動作条件 (continued)

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V <sub>SLEEP</sub>	スリープ電源電圧、3.3V	2.97	3.3	3.63	V
T <sub>A</sub>	周囲温度	-40		125	°C

### 7.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		DP83TG720	単位
		RHA (VQFN)	
		36ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	32.5	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	22.2	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	13.3	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	0.3	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	13.3	°C/W
R <sub>θJC(bot)</sub>	接合部からケース (底面) への熱抵抗	3.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

### 7.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

パラメータ		テスト条件	最小値	代表値	最大値	単位
DC 特性						
XI						
V <sub>IH</sub>	High レベル入力電圧		1.3			V
V <sub>IL</sub>	Low レベル入力電圧				0.5	V
WAKE ピン	WAKE ピン	WAKE ピン	WAKE ピン	WAKE ピン	WAKE ピン	WAKE ピン
V <sub>IH</sub>	High レベル入力電圧	V <sub>SLEEP</sub> = 3.3V ± 10%	2			V
V <sub>IL</sub>	Low レベル入力電圧	V <sub>SLEEP</sub> = 3.3V ± 10%			0.8	V
INH ピン	INH ピン	INH ピン	INH ピン	INH ピン	INH ピン	INH ピン
V <sub>OH</sub>	High レベル出力電圧	I <sub>OH</sub> = -2mA, V <sub>SLEEP</sub> = 3.3V ± 10%	2.4			V
3.3V VDDIO <sup>(2)</sup>						
V <sub>OH</sub>	High レベル出力電圧	I <sub>OH</sub> = -2mA, VDDIO = 3.3V ± 10%	2.4			V
V <sub>OL</sub>	Low レベル出力電圧	I <sub>OL</sub> = 2mA, VDDIO = 3.3V ± 10%			0.4	V
V <sub>IH</sub>	High レベル入力電圧	VDDIO = 3.3V ± 10%	2			V
V <sub>IL</sub>	Low レベル入力電圧	VDDIO = 3.3V ± 10%			0.8	V
2.5V VDDIO <sup>(2)</sup>						
V <sub>OH</sub>	High レベル出力電圧	I <sub>OH</sub> = -2mA, VDDIO = 2.5V ± 10%	2			V
V <sub>OL</sub>	Low レベル出力電圧	I <sub>OL</sub> = 2mA, VDDIO = 2.5V ± 10%			0.4	V
V <sub>IH</sub>	High レベル入力電圧	VDDIO = 2.5V ± 10%	1.7			V
V <sub>IL</sub>	Low レベル入力電圧	VDDIO = 2.5V ± 10%			0.7	V
1.8V VDDIO <sup>(2)</sup>						
V <sub>OH</sub>	High レベル出力電圧	I <sub>OH</sub> = -2mA, VDDIO = 1.8V ± 10%	VDDIO - 0.45			V
V <sub>OL</sub>	Low レベル出力電圧	I <sub>OL</sub> = 2mA, VDDIO = 1.8V ± 10%			0.45	V

## 7.5 電気的特性 (continued)

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

パラメータ		テスト条件	最小値	代表値	最大値	単位
V <sub>IH</sub>	High レベル入力電圧	VDDIO = 1.8V ± 10%	0.7 * VDDIO			V
V <sub>IL</sub>	Low レベル入力電圧	VDDIO = 1.8V ± 10%	0.3 * VDDIO			V
I <sub>IH</sub>	入力 High 電流 (MDIO)	VIN = VCC、-40°C ~ 125°C	-5		5	µA
I <sub>IH</sub>	入力 High 電流 (RGMII 入力ピン、MDC)	VIN = VCC、-40°C ~ 125°C	-20		20	µA
I <sub>OZ</sub>	入力 High 電流 (MDIO)	VIN の掃引範囲は 0V ~ VCC、-40°C ~ 125°C	-40		40	µA
I <sub>IL</sub>	入力 Low 電流 (RGMII 入力ピン、MDC、MDIO)	VIN = GND、-40°C ~ 125°C	-40		5	µA
I <sub>OZL</sub>		INH			6	µA
I <sub>OZ</sub>	トライステート出力電流 <sup>(5)</sup>	VIN の掃引範囲は 0V ~ VCC、-40°C ~ 125°C	-40		10	µA
I <sub>OZ</sub>	トライステート出力電流 <sup>(6)</sup>	VIN の掃引範囲は 0V ~ VCC、-40°C ~ 125°C	-60		60	µA
C <sub>IN</sub>	入力容量	LVCOS/LVTTL ピン <sup>(3)</sup>			2	pF
C <sub>IN</sub>	入力容量	LVCOS/LVTTL ピン <sup>(4)</sup>			4	pF
		XI			1	pF
C <sub>OUT</sub>	出力容量	LVCOS/LVTTL ピン <sup>(3)</sup>			2	pF
C <sub>OUT</sub>	出力容量	LVCOS/LVTTL ピン <sup>(4)</sup>			4	pF
		XO			1	pF
R <sub>pull-up</sub>	内蔵プルアップ抵抗値	INT、RESET	6.5	9	12.5	kΩ
R <sub>pull-down</sub>	内蔵プルダウン抵抗値	STRP_1、RX_CTRL	4.725	6.3	7.875	kΩ
R <sub>pull-down</sub>	内蔵プルダウン抵抗値	LED_1、RX_D[3:0]、RX_CLK、LED_0	7.3	9	13	kΩ
		WAKE	35	50	62.5	kΩ
R <sub>pull-down</sub>	内蔵プルアップ抵抗値 (アクティブ時)	INH		106		Ω
R <sub>series</sub>	内蔵 MAC 直列終端抵抗値 (デフォルト)	RX_D[3:0]、RX_CTRL、RX_CLK	24	42	52	Ω
R <sub>series</sub>	内蔵 MAC 直列終端抵抗値 (レジスタ <0x0456> = 0x0148)	RX_D[3:0]、RX_CTRL、RX_CLK	30	52	65	Ω
R <sub>series</sub>	内蔵 MAC 直列終端抵抗値 (レジスタ <0x0456> = 0x0168)	RX_D[3:0]、RX_CTRL、RX_CLK	40	70	84	Ω
消費電流、スリープ・モード						
I <sub>SLEEP</sub>	スリープ時の消費電流	V <sub>SLEEP</sub>		485	840	µA
消費電流、リセットのアサート時						
I <sub>DDIO</sub>	IO 電源電流、VDDIO = 1.8V	VDDIO		4	9	mA
I <sub>DDIO</sub>	IO 電源電流、VDDIO = 2.5V	VDDIO		5	12	mA
I <sub>DDIO</sub>	IO 電源電流、VDDIO = 3.3V	VDDIO		6.5	15	mA
I <sub>DDA3P3</sub>	コア消費電流、3.3V	VDDA3P3		5	8	mA
I <sub>DD1P0</sub>	コア消費電流、1.0V	VDD1P0		30	110	mA
消費電流、スタンバイ						
I <sub>DDIO</sub>	IO 電源電流、VDDIO = 1.8V	VDDIO		4	11	mA
I <sub>DDIO</sub>	IO 電源電流、VDDIO = 2.5V	VDDIO		6	13	mA
I <sub>DDIO</sub>	IO 電源電流、VDDIO = 3.3V	VDDIO		8	15	mA
I <sub>DDA3P3</sub>	コア消費電流、3.3V	VDDA3P3		16	18	mA
I <sub>DD1P0</sub>	コア消費電流、1.0V	VDD1P0		33	112	mA

## 7.5 電気的特性 (continued)

 自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

パラメータ		テスト条件	最小値	代表値	最大値	単位
消費電流、アクティブ・モード、電圧:±10%、トラフィック:100%、パケット・サイズ:1518、コンテンツ:ランダム						
I <sub>DDIO</sub>	IO 電源電流、VDDIO = 1.8V	RGMII		20	25	mA
I <sub>DDIO</sub>	IO 電源電流、VDDIO = 2.5V	RGMII		26	30	mA
I <sub>DDIO</sub>	IO 電源電流、VDDIO = 3.3V	RGMII		33	40	mA
I <sub>DDA3P3</sub>	コア消費電流、3.3V	RGMII		85	89	mA
I <sub>DD1P0</sub>	コア消費電流、1.0V	RGMII		177	250	mA
I <sub>SLEEP</sub>	スリープ時の消費電流	V <sub>SLEEP</sub> = 3.3V ±10%		1000	1500	µA
MDI の特性						
V <sub>OD-MDI</sub>	出力差動電圧	R <sub>L(diff)</sub> = 100Ω			1.3	V
R <sub>MDI-DIFF</sub>	内蔵差動 MDI 終端 (アクティブ状態)	TRD_P、TRD_M		100		Ω
R <sub>MDI-DIFF</sub>	内蔵差動 MDI 終端 (スリープ状態)	TRD_P、TRD_M		100		Ω
ブートストラップの DC 特性						
2 レベル のストラップ						
V <sub>bsl_1v8</sub>	ブートストラップのスレッシュホールド	モード 1、VDDIO = 1.8V ± 10%、2 レベル	0		0.35 * VDDIO	V
V <sub>bsh_1v8</sub>	ブートストラップのスレッシュホールド	モード 2、VDDIO = 1.8V ± 10%、2 レベル	1.175		VDDIO	V
V <sub>bsl_2v5</sub>	ブートストラップのスレッシュホールド	モード 1、VDDIO = 2.5V ± 10%、2 レベル	0		0.7	V
V <sub>bsh_2v5</sub>	ブートストラップのスレッシュホールド	モード 2、VDDIO = 2.5V ± 10%、2 レベル	1.175		VDDIO	V
V <sub>bsl_3v3</sub>	ブートストラップのスレッシュホールド	モード 1、VDDIO = 3.3V ± 10%、2 レベル	0		0.7	V
V <sub>bsh_3v3</sub>	ブートストラップのスレッシュホールド	モード 2、VDDIO = 3.3V ± 10%、2 レベル	1.175		VDDIO	V
3 レベル のストラップ						
V <sub>bs1_1v8</sub>	ブートストラップのスレッシュホールド	モード 1、VDDIO = 1.8V ± 10%、3 レベル	0		0.35 * VDDIO	V
V <sub>bs2_1v8</sub>	ブートストラップのスレッシュホールド	モード 2、VDDIO = 1.8V ± 10%、3 レベル	0.40 * VDDIO		0.75 * VDDIO	V
V <sub>bs3_1v8</sub>	ブートストラップのスレッシュホールド	モード 3、VDDIO = 1.8V ± 10%、3 レベル	0.84 * VDDIO		VDDIO	V
V <sub>bs1_2v5</sub>	ブートストラップのスレッシュホールド	モード 1、VDDIO = 2.5V ± 10%、3 レベル	0		0.19 * VDDIO	V
V <sub>bs2_2v5</sub>	ブートストラップのスレッシュホールド	モード 2、VDDIO = 2.5V ± 10%、3 レベル	0.27 * VDDIO		0.41 * VDDIO	V
V <sub>bs3_2v5</sub>	ブートストラップのスレッシュホールド	モード 3、VDDIO = 2.5V ± 10%、3 レベル	0.58 * VDDIO		VDDIO	V
V <sub>bs1_3v3</sub>	ブートストラップのスレッシュホールド	モード 1、VDDIO = 3.3V ± 10%、3 レベル	0		0.18 * VDDIO	V
V <sub>bs2_3v3</sub>	ブートストラップのスレッシュホールド	モード 2、VDDIO = 3.3V ± 10%、3 レベル	0.22 * VDDIO		0.42 * VDDIO	V
V <sub>bs3_3v3</sub>	ブートストラップのスレッシュホールド	モード 3、VDDIO = 3.3V ± 10%、3 レベル	0.46 * VDDIO		VDDIO	V
温度センサ						
	温度センサの分解能 (LSB)	-40°C ~ 125°C		1.5		°C

## 7.5 電気的特性 (continued)

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件	最小値	代表値	最大値	単位
	温度センサの精度 (1つの部品での電圧と温度による変動)	-40°C ~ 125°C	-7.5		7.5	°C
	温度センサの精度 (電圧と温度による変動、部品間のばらつきを含む)	-40°C ~ 125°C	-21.5		20	°C
	温度センサの範囲		-40		140	°C
電圧センサ						
	VDDA3P3 センサの範囲		2.66	3.3	3.96	V
	VDDA3P3 センサの分解能 (LSB)	-40°C ~ 125°C		8.6		mV
	VDDA3P3 センサの精度 (電圧と温度による変動)	-40°C ~ 125°C		8.6		mV
	VDDA3P3 センサの精度 (部品間のばらつきを含む)	-40°C ~ 125°C	-68.8		68.8	mV
	VDD1P0 センサの範囲		0.8		1.2	V
	VDD1P0 センサの分解能 (LSB)	-40°C ~ 125°C		2.8		mV
	VDD1P0 センサの精度 (電圧と温度による変動)	-40°C ~ 125°C		2.8		mV
	VDD1P0 センサの精度 (部品間のばらつきを含む)	-40°C ~ 125°C	-22.4		22.4	mV
	VDDIO センサの範囲		1.44		3.8	V
	VDDIO センサの分解能 (LSB)	-40°C ~ 125°C		15.4		mV
	VDDIO センサの精度 (電圧と温度による変動)	-40°C ~ 125°C		15.4		mV
	VDDIO センサの精度 (部品間のばらつきを含む)	-40°C ~ 125°C	-78		78	mV

- (1) 製造試験、特性評価、設計によって保証  
(2) 対象ピン: LED\_1, STRP\_1, RX\_CTRL, CLKOUT, RX\_D[3:0], RX\_CLK, LED\_0  
(3) 対象ピン: MDC, INT, RESET, LED\_1, STRP\_1, RX\_CTRL, CLKOUT, RX\_D0, RX\_D1, RX\_CLK, TX\_CLK, TX\_CTRL, TX\_D2, TX\_D3, LED\_0, MDIO  
(4) 対象ピン: TX\_D0, TX\_D1, RX\_D2, RX\_D3  
(5) 対象ピン: LED\_1, RX\_D[3:0], RX\_CLK, LED\_0  
(6) 対象ピン: STRP\_1, RX\_CTRL

## 7.6 タイミング要件

(1)

パラメータ		テスト条件	最小値	公称値	最大値	単位
電源投入タイミング						
T5.1	VDDA3P3 期間 (2)	0% ~ 100% (VDDA3P3 の ±10% まで)	0.5		40	ms
T5.2	VDD1P0 期間 (2)	0% ~ 100% (VDD1P0 の ±10% まで)	0.1		40	ms
T5.2	VDDIO 期間 (2)	VDDIO = 1.8V	0.1		40	ms
T5.2	VDDIO 期間 (2)	VDDIO = 2.5V	0.1		40	ms
T5.2	VDDIO 期間 (2)	VDDIO = 3.3V	0.1		40	ms
T5.2	V <sub>SLEEP</sub> 期間 (2)	0% ~ 100% (V <sub>SLEEP</sub> の ±10% まで)	0.1		40	ms

**7.6 タイミング要件 (continued)**

(1)

パラメータ		テスト条件	最小値	公称値	最大値	単位
T5.3	電源投入後の水晶振動子の安定化時間 (最後の電源レールが 100% まで立ち上がってから)			1500		μs
T5.4	電源投入後の水晶振動子の安定化時間 (最後の電源レールが 100% まで立ち上がってから) <sup>(3)</sup>				20	ms
T5.5	レジスタ・アクセスの MDC プリアンプルまでの、電源投入後安定化時間		65			ms
T5.6	ハードウェア構成: 電源投入からストラップ・ラッチインまでの時間				60	ms
T5.7	ハードウェア構成: ストラップ・ラッチイン完了からピンが機能モードに移行するまでの時間				110	ns
T5.8	電源投入からの PAM3 アイドル・ストリーム (マスタ・モード)				60	ms
<b>リセット・タイミング (RESET_N)</b>						
T6.1	リセット・パルス幅		5			μs
T6.2	レジスタ・アクセスの MDC プリアンプルまでの、リセット後安定化時間		1			ms
T6.3	ハードウェア構成: リセットからラッチインまでの時間				2	μs
T6.4	ハードウェア構成: ラッチイン完了からピンが機能モードに移行するまでの時間				1.5	μs
T6.5	リセットからの PAM3 アイドル・ストリーム (マスタ・モード)				1500	μs
<b>SMI タイミング</b>						
T4.1	MDC - MDIO (出力) 遅延時間 (25pF 負荷)		0	6	10	ns
T4.2	MDIO (入力) - MDC セットアップ時間		10			ns
T4.3	MDIO (入力) - MDC ホールド時間		10			ns
	MDC 周波数 (25pF 負荷)			2.5	20	MHz
<b>受信レイテンシ・タイミング</b>						
	MDI の SSD シンボルから RGMII の RX_CLK の立ち上がりエッジ (RX_CTRL アサート時) まで				8	μs
	MDI の SSD シンボルから RGMII の RX_CLK の立ち上がりエッジ (RX_CTRL アサート時) まで (RS-FEC バイパス・モード)				400	ns
<b>送信レイテンシ・タイミング</b>						
	RGMII の TX_CLK の立ち上がりエッジ (TX_CTRL アサート時) から MDI の SSD シンボルまで				0.8	μs
	RGMII の TX_CLK の立ち上がりエッジ (TX_CTRL アサート時) から MDI の SSD シンボルまで (RS-FEC バイパス・モード)				600	ns
<b>25MHz 発振器の要件</b>						
	周波数 (X1)			25		MHz
	温度と経時変化に対する周波数の許容誤差と安定性		-100		100	ppm
	立ち上がり / 立ち下がり時間 (10% - 90%) <sup>(6)</sup>				8	ns
	ジッタ (RMS)	5MHz まで積分			1	ps
	デューティ・サイクル		40	50	60	%
<b>RGMII タイミング</b>						
T <sub>setupR</sub>	TX_D[3:0], TX_CLK までの TX_CTRL のセットアップ時間	PHY ピン上	1	2		ns
T <sub>holdR</sub>	TX_D[3:0], TX_CLK からの TX_CTRL のホールド時間 <sup>(5)</sup>	PHY ピン上	1	2		ns
T <sub>skewT</sub>	RX_D[3:0], RX_CLK からの RX_CTRL の遅延時間 (整列モード有効)	PHY ピン上	-500	0	500	ps
T <sub>skewT</sub> (Shift)	RX_D[3:0], RX_CLK からの RX_CTRL の遅延時間 (シフト・モード有効、デフォルト) <sup>(4)</sup>	PHY ピン上	2.190	2.650	2.970	ns

## 7.6 タイミング要件 (continued)

(1)

パラメータ		テスト条件	最小値	公称値	最大値	単位
T <sub>cyc</sub>	クロック周期	RX_CLK	7.2	8	8.8	ns
T <sub>cyc</sub>	クロック周期	TX_CLK	7.2	8	8.8	ns
Duty_G	デューティ・サイクル	RX_CLK	45	50	55	%
Duty_G	デューティ・サイクル	TX_CLK	45	50	55	%
Tr	立ち上がり時間 (20% - 80%)	C <sub>L</sub> = Ctrace = 5pF			0.75	ns
Tf	立ち下がり時間 (20% - 80%)	C <sub>L</sub> = Ctrace = 5pF			0.75	ns
RGMII RX のシ フト・モー ド遅延	DLL DLL_RX_DELAY_CTRL_SL = 0 <sup>(4)</sup>		0.330	0.650	0.970	ns
	DLL DLL_RX_DELAY_CTRL_SL = 1 <sup>(4)</sup>		0.580	0.900	1.220	ns
	DLL DLL_RX_DELAY_CTRL_SL = 2 <sup>(4)</sup>		0.830	1.150	1.470	ns
	DLL DLL_RX_DELAY_CTRL_SL = 3 <sup>(4)</sup>		1.000	1.400	1.720	ns
	DLL DLL_RX_DELAY_CTRL_SL = 4 <sup>(4)</sup>		1.230	1.650	1.970	ns
	DLL DLL_RX_DELAY_CTRL_SL = 5 <sup>(4)</sup>		1.490	1.990	2.220	ns
	DLL DLL_RX_DELAY_CTRL_SL = 6 <sup>(4)</sup>		1.690	2.150	2.470	ns
	DLL DLL_RX_DELAY_CTRL_SL = 7 <sup>(4)</sup>		1.960	2.400	2.730	ns
	DLL DLL_RX_DELAY_CTRL_SL = 8 <sup>(4)</sup>		2.180	2.650	2.970	ns
DLL DLL_RX_DELAY_CTRL_SL = 9 <sup>(4)</sup>		2.490	2.900	3.220	ns	
RGMII シ フト TX モ ード遅延						
	DLL DLL_TX_DELAY_CTRL_SL = 1 <sup>(4) (7)</sup>		0.08	0.25	0.38	ns
	DLL DLL_TX_DELAY_CTRL_SL = 2 <sup>(4) (7)</sup>		0.27	0.49	0.67	ns
	DLL DLL_TX_DELAY_CTRL_SL = 3 <sup>(4) (7)</sup>		0.51	0.73	0.91	ns
	DLL DLL_TX_DELAY_CTRL_SL = 4 <sup>(4) (7)</sup>		0.75	0.97	1.15	ns
	DLL DLL_TX_DELAY_CTRL_SL = 5 <sup>(4) (7)</sup>		0.94	1.21	1.44	ns
	DLL DLL_TX_DELAY_CTRL_SL = 6 <sup>(4) (7)</sup>		1.18	1.45	1.68	ns
	DLL DLL_TX_DELAY_CTRL_SL = 7 <sup>(4) (7)</sup>		1.37	1.69	1.98	ns
	DLL DLL_TX_DELAY_CTRL_SL = 8 <sup>(4) (7)</sup>		1.61	1.93	2.22	ns
	DLL DLL_TX_DELAY_CTRL_SL = 9 <sup>(4) (7)</sup>		1.85	2.17	2.46	ns
	DLL DLL_TX_DELAY_CTRL_SL = 10 <sup>(4) (7)</sup>		2.04	2.42	2.75	ns
	DLL DLL_TX_DELAY_CTRL_SL = 11 <sup>(4) (7)</sup>		2.28	2.65	2.99	ns
	DLL DLL_TX_DELAY_CTRL_SL = 12 <sup>(4) (7)</sup>		2.52	2.9	3.23	ns
<b>25MHz 水晶振動子の要件</b>						
	周波数			25		MHz
	温度と経時変化に対する周波数の許容誤差と安定性		-100		100	ppm
	等価直列抵抗				100	Ω
<b>出力クロック・タイミング (CLKOUT)</b>						
	周波数			25		MHz
	デューティ・サイクル (水晶振動子を接続した場合)		45		55	%
	立ち上がり / 立ち下がり時間 (10% - 90%)				2.5	ns
	ジッタ (RMS) (スレーブ・モード、MAC インターフェイス:SGMII)				5	ps
	ジッタ (RMS) (マスタ・モード、MAC インターフェイス:SGMII)				2.4	ps
	ジッタ (RMS) (スレーブ・モード、MAC インターフェイス:RGMII)				11	ps

## 7.6 タイミング要件 (continued)

(1)

パラメータ	テスト条件	最小値	公称値	最大値	単位
ジッタ (RMS) (マスタ・モード、MAC インターフェイス:RGMII)				15	ps
<b>スリープへの移行とウェークアップ</b>					
WAKE Low からスリープに入るまで、INH が Low に遷移	通常モード、 MDI_Energy = FALSE sleep_en = TRUE		64	85	μs
sleep_en = True からスリープに入るまで、INH が Low に遷移 (マスタ・モード)	通常モード、WAKE = Low、MDI_Energy = FALSE		5	85	μs
sleep_en = TRUE からスリープに入るまで、INH が Low に遷移 (スレーブ・モード)	通常モード、WAKE = Low、MDI_Energy = FALSE			5000	μs
MDI のエネルギー喪失からスリープに入るまで、INH が Low に遷移	通常モード、WAKE = Low、sleep_en = TRUE			5	ms
ローカル・ウェークアップ・パルス幅 (WAKE ピン)	スリープ・モード、 WAKE ピン	80			μs
MDI からのウェークアップのための Send-S/Send-T パターンの継続時間	スリープ・モード、スレーブ	1.25			ms
ローカル・ウェークアップ、INH が High に遷移	スリープ・モード、 WAKE ピンの立ち上 がりエッジから INH の立ち上がりエッジま で			85	μs
PHY がスリープ・モードにとどまる上で MDI で許容される差動ノイズ・レベル	スリープ・モード			200	mV pk-pk
有効なウェークアップのためのリンク・パートナーの VOD (5m ケーブルの場合)	スリープ・モード	840			mV pk-pk

- (1) 製造試験、特性評価、設計によって保証されています。
- (2) 電源レール間の電源シーケンスの制約はありません。
- (3) OSC クロックが遅れた場合、OSC クロックの安定化後に追加のリセットが必要です。
- (4) RX および TX 遅延コードのプログラマビリティについては、レジスタ [0x0430] を参照してください。
- (5) PHY は、最大 2ns のスキューを追加するため、TX\_CLK から TX\_D[3:0] を内部的に遅延させます。プログラマビリティについては、レジスタ [0x0430] を参照してください。
- (6) 40%~55% のデューティ・サイクルの場合、最大 8ns の立ち上がり / 立ち下がり時間をサポートしています。40%~60% のデューティ・サイクルの場合、立ち上がり / 立ち下がり時間は最大 6ns です。
- (7) 1.8V VDDIO のデータです。



### 7.7 タイミング図

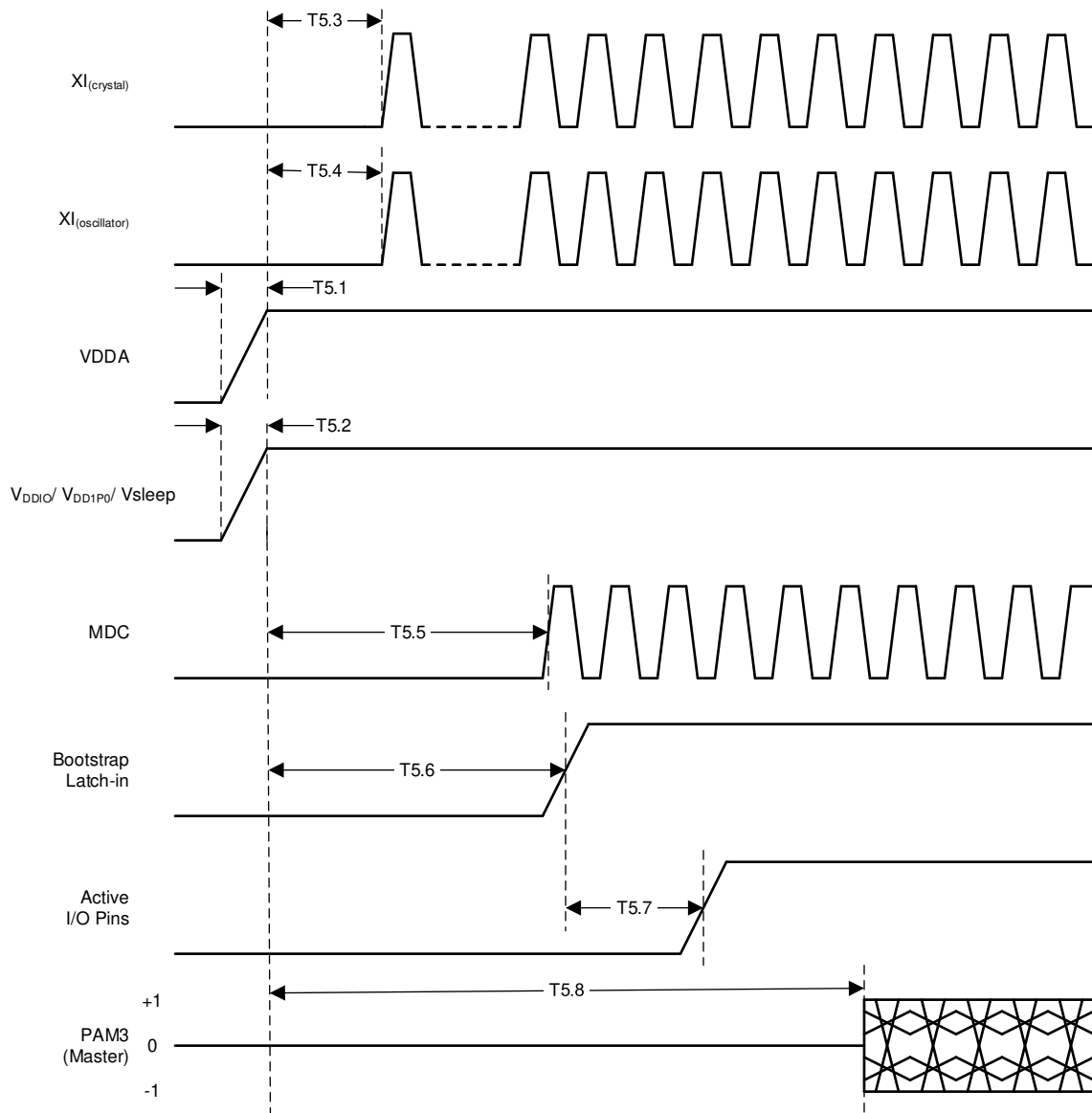


図 7-1. 電源投入タイミング

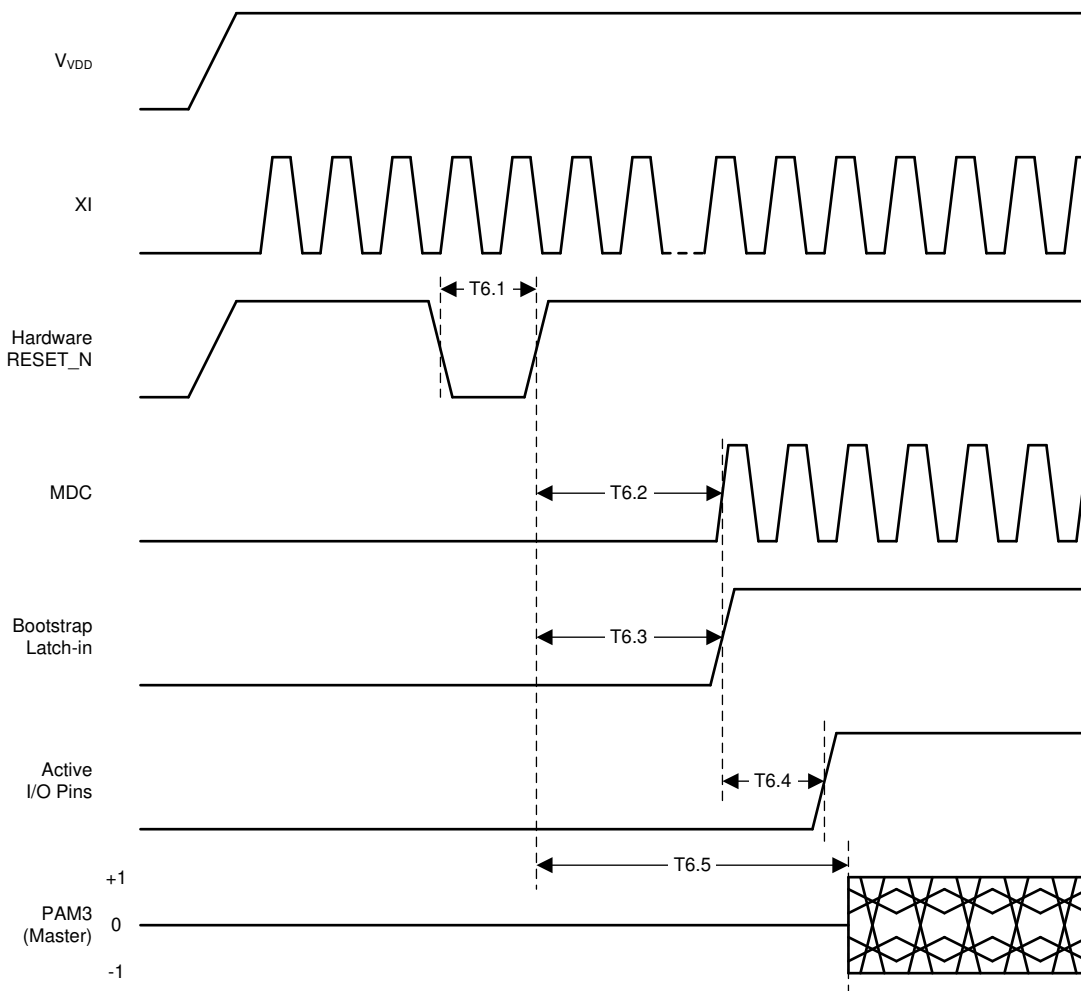


図 7-2. リセット・タイミング

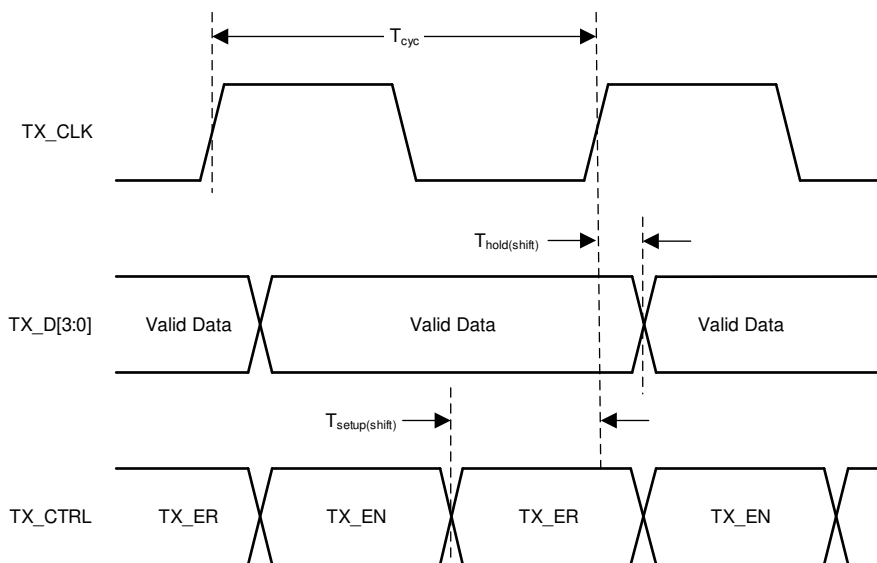


図 7-3. RGMII の送信タイミング (内部遅延有効化)

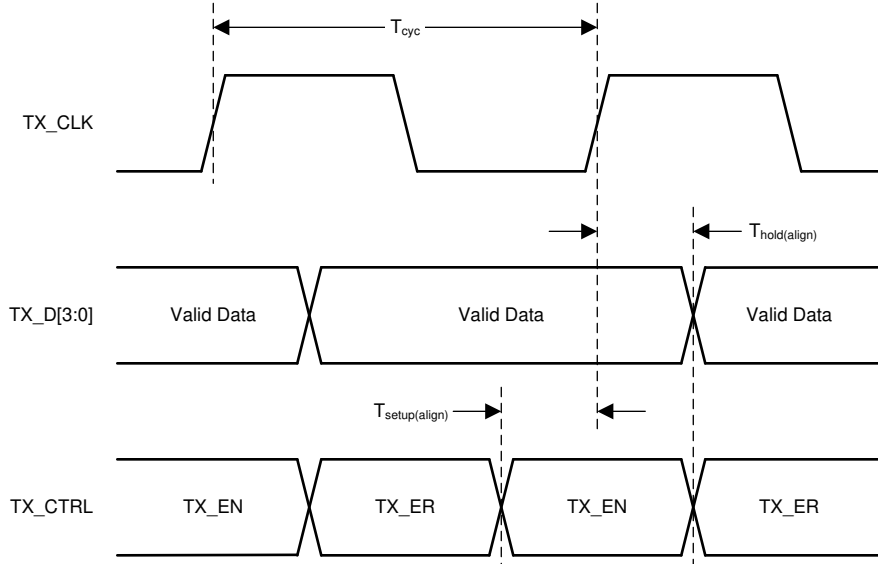


図 7-4. RGMII の送信タイミング (内部遅延無効化)

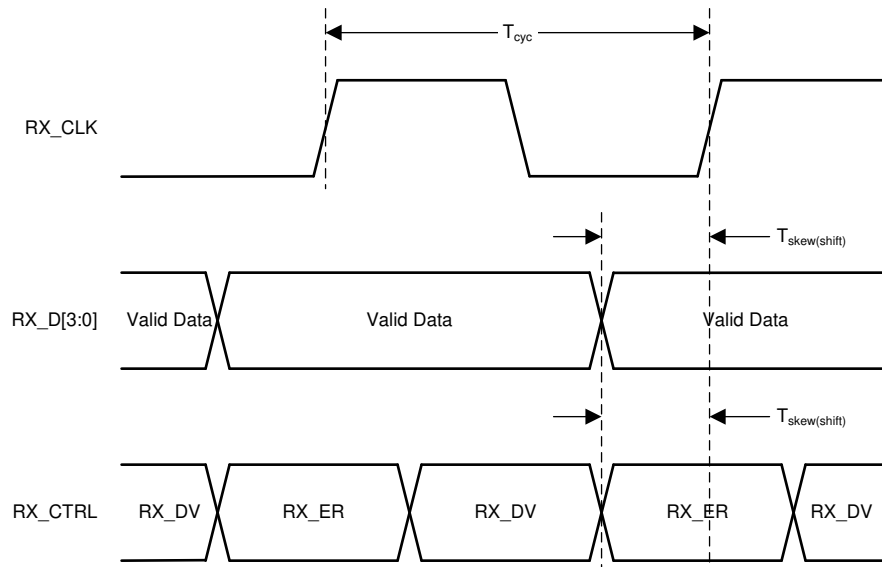


図 7-5. RGMII の受信タイミング (内部遅延有効化)

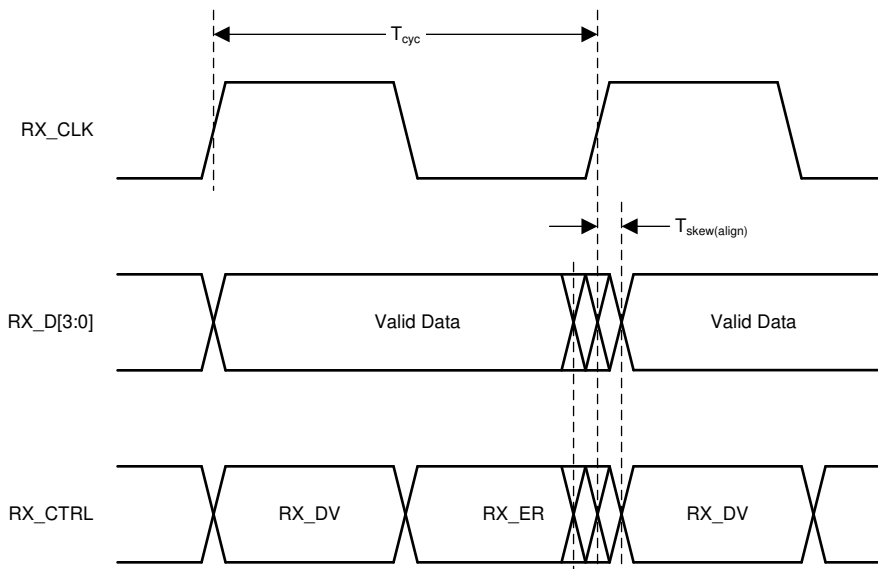


図 7-6. RGMII の受信タイミング (内部遅延無効化)

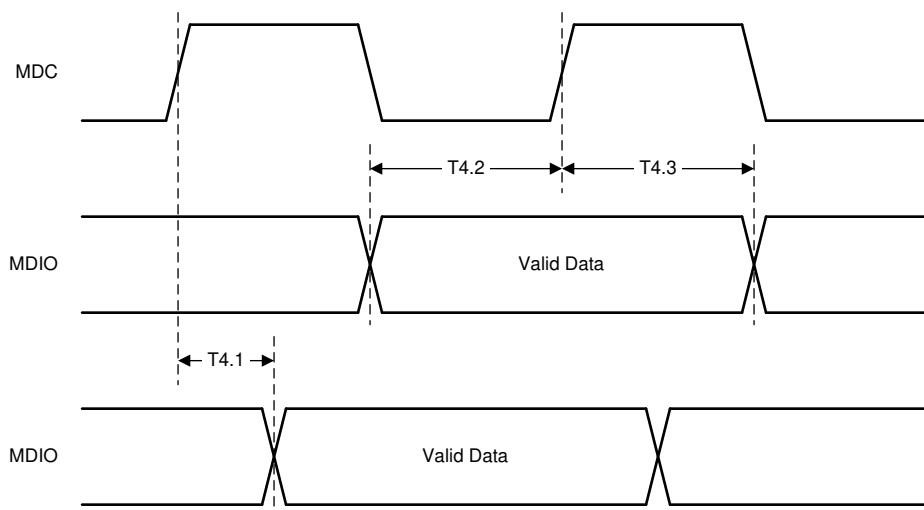


図 7-7. シリアル・マネージメントのタイミング

## 7.8 LED の駆動特性

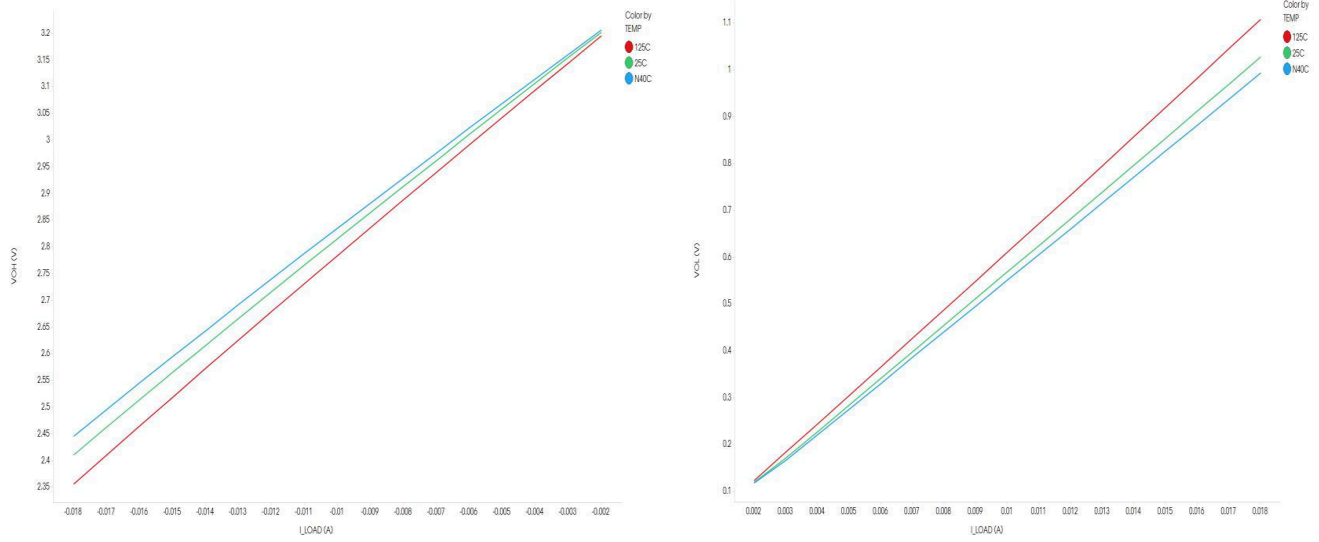


図 7-8. LED の V と I との関係 (VDDIO = 3.3V)

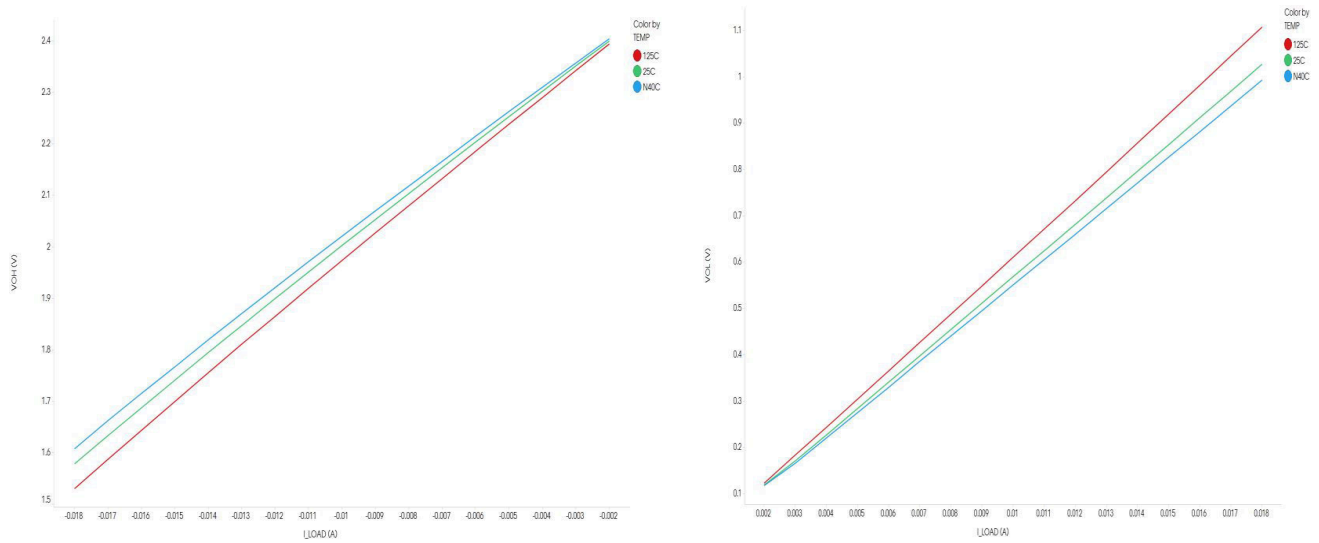


図 7-9. LED の V と I との関係 (VDDIO = 2.5V)

## 8 詳細説明

### 8.1 概要

DP83TG720R-Q1 は車載用 1000BASE-T1 イーサネット物理層トランシーバです。本デバイスは IEEE 802.3bp に準拠しており、車載アプリケーション向けに AEC-Q100 認定済みです。

このデバイスは、厳格な車載 EMC 要件を満たしながら、1Gbps の速度で動作するように特に設計されています。DP83TG720R-Q1 は、シールドなし/シールド付きの 1 対のツイストペア・ケーブルを通して 750MBd で PAM3 3 値シンボルを送信します。36 ピン VQFN ウェットアブル・フラング・パッケージを採用した本デバイスは、単独で RGMII をサポートするように設計されています。

## 8.2 機能ブロック図

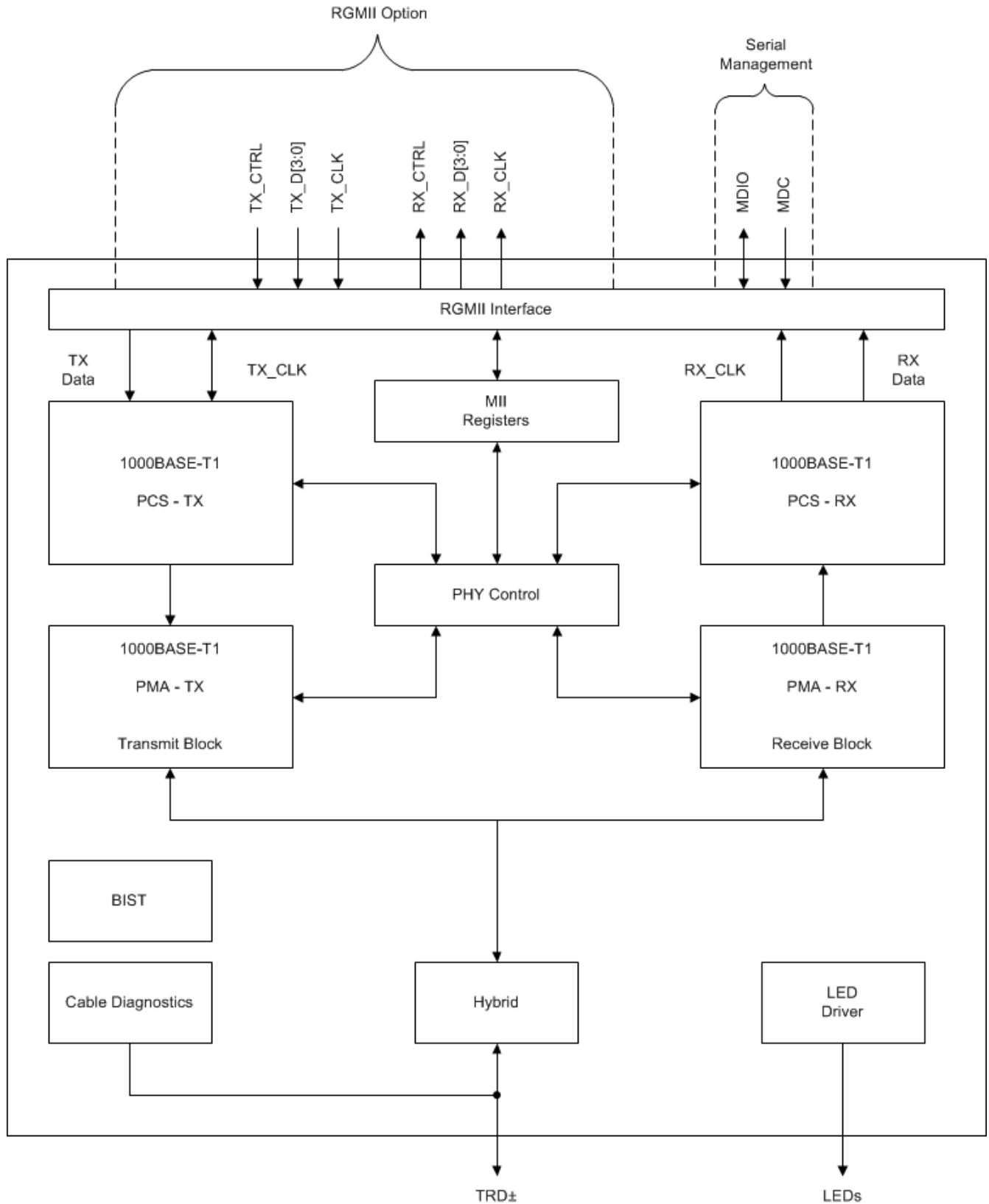


図 8-1. DP83TG720R-Q1 の機能ブロック図

## 8.3 機能説明

### 8.3.1 診断ツール・キット

DP83TG720R-Q1 の診断ツール・キットは、通常動作の監視、デバイス・レベル・デバッグ、システム・レベル・デバッグ、フォルト検出、準拠性テストのための機能を備えています。このツール・キットには、PRBS データによる内蔵セルフ・テスト、各種ループバック・モード、信号品質インジケータ (SQI)、時間領域反射計測 (TDR)、電圧モニタ、温度モニタ、静電気放電モニタ、IEEE 802.3bp テスト・モードが含まれています。

#### 8.3.1.1 信号品質インジケータ

DP83TG720R-Q1 が動作している場合、信号品質インジケータ (SQI) を使用して、本デバイスによる SNR 測定値に基づいてリンクの品質を判定できます。

SQI は、SNR の計算値に基づいて導かれ、8 レベルの指標として示されます。ここで、レベル 5 は  $10^{-10}$  よりも良好な BER を保証します。

#### 注

**DP83TG720:** Open Alliance TC12 SQI テストに SQI レジスタを使用する方法の詳細については、『[Open Alliance 仕様準拠のための構成](#)』アプリケーション・ノートを参照してください。

#### 8.3.1.2 時間領域反射計測

時間領域反射計測は、ケーブル上の開路および短絡フォルトの位置の検出と推定に役立ちます。

TDR は、レジスタ [0x001E] のビット [15] = 'b1 を設定することで起動します。TDR 診断プロセスが正常に完了すると、レジスタ [0x001E] のビット [1:0] が 'b10 になります。このステータス変更後、TDR の結果は次の表のレジスタで読み出すことができます。

表 8-1. TDR 結果レジスタ : 0x030F

レジスタ・ビット	説明
[1:0]	<ul style="list-style-type: none"> <li>01 = TDR の起動</li> <li>10 = TDR オン (動作中)</li> <li>00, 11 = TDR は使用できない</li> </ul>
[3:2]	予約済み
[7:4]	<ul style="list-style-type: none"> <li>0011 = ショート</li> <li>0110 = オープン</li> <li>0101 = ノイズ</li> <li>0111 = ケーブル OK</li> <li>1000 = テスト中、TDR オンでの初期値</li> <li>1101 = テスト不可能 (ノイズ、リンク作動中など)</li> <li>その他の値は無効です。</li> </ul>
[13:8]	<ul style="list-style-type: none"> <li>フォルトの距離 = [13:8] の 10 進値</li> <li>'b111111 = 分解能が不可能 / 測定範囲外</li> </ul>
[15:14]	予約済み

#### 注

リンクがすでに作動している場合、TDR を実行しないでください。作動中のラインで TDR を実行すると、TDR が失敗する可能性があり、リンクが切れる可能性もあります。

**DP83TG720:** TDR の実行手順の詳細については、『[Open Alliance 仕様準拠のための構成](#)』アプリケーション・ノートを参照してください。



### 8.3.1.3 データバス用内蔵セルフ・テスト

DP83TG720R-Q1 は、PHY レベルとシステム・レベルのデータ・パスをチェックするため、データ・パスの内蔵セルフ・テスト (BIST) を内蔵しています。BIST は、MAC にも外部データ・ジェネレータ・ハードウェア / ソフトウェアにも頼らずに、システム・レベルのデータ転送テスト (スループットなど) と診断を可能にする以下の内蔵機能を備えています。

1. ループバック・モード
2. データ・ジェネレータ
  - a. カスタマイズ可能な MAC パケット・ジェネレータ
  - b. 送信済みパケット・カウンタ
  - c. PRBS ストリーム・ジェネレータ
3. データ・チェッカ
  - a. 受信済み MAC パケット・エラー・チェッカ
  - b. 受信済みパケット・カウンタ: 受信済みパケットの総数とエラーが含まれる受信済みパケット数をカウントします。
  - c. PRBS ロックおよび PRBS エラー・チェッカ

#### 8.3.1.3.1 ループバック・モード

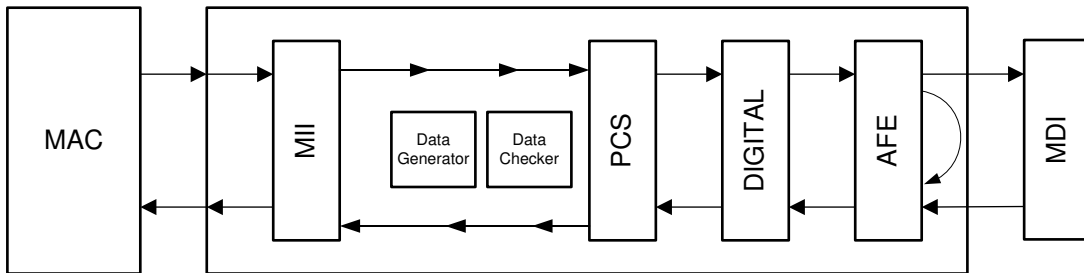


図 8-2. すべてのループバック

DP83TG720R-Q1 には、複数のループバック方法があります。各種ループバック・モードを有効化することで、システム検証要件に応じて各種データ・パスを有効化 / バイパスできます。以下のデータ生成方法と共に、各種ループバックを有効化できます。

- a. 内蔵データ・ジェネレータ
- b. 外部データ・ジェネレータ (イーサネット・ケーブルまたは MAC 側に接続)

下図に、各種ループバック方法でのデータの流れを示します。

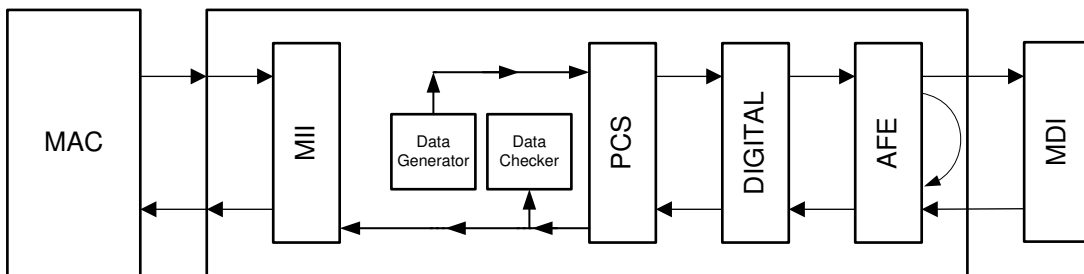


図 8-3. 内蔵データ・ジェネレータによるアナログ・ループバック

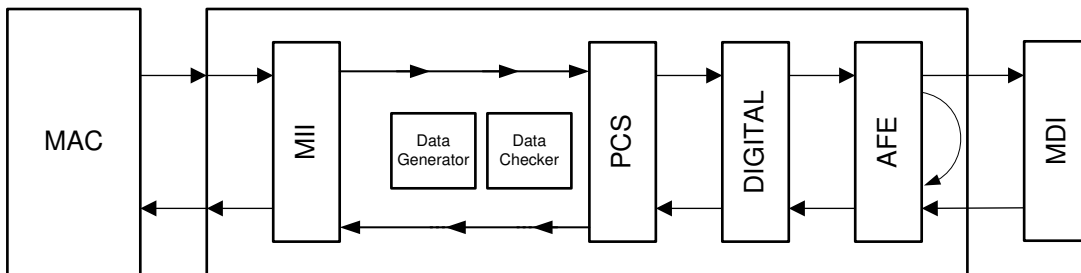


図 8-4. 外部データ・ジェネレータによるアナログ・ループバック

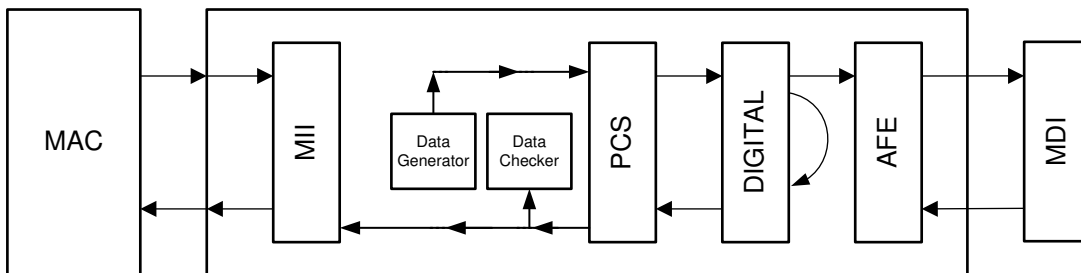


図 8-5. 内蔵データ・ジェネレータによるデジタル・ループバック

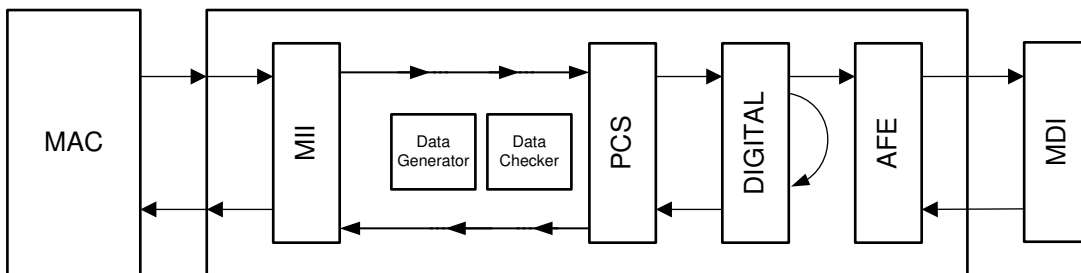


図 8-6. 外部データ・ジェネレータによるデジタル・ループバック

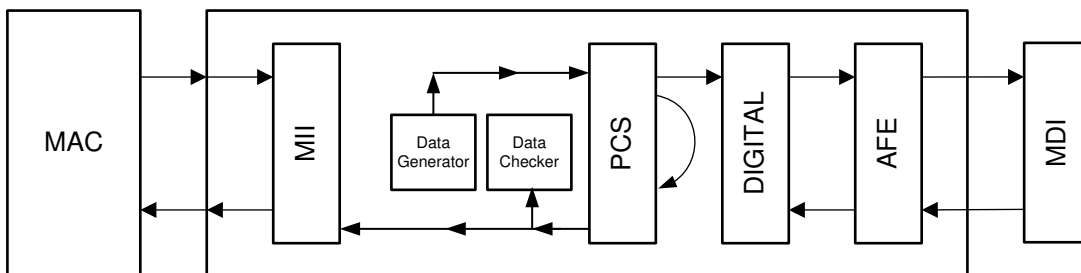


図 8-7. 内蔵データ・ジェネレータによる PCS ループバック

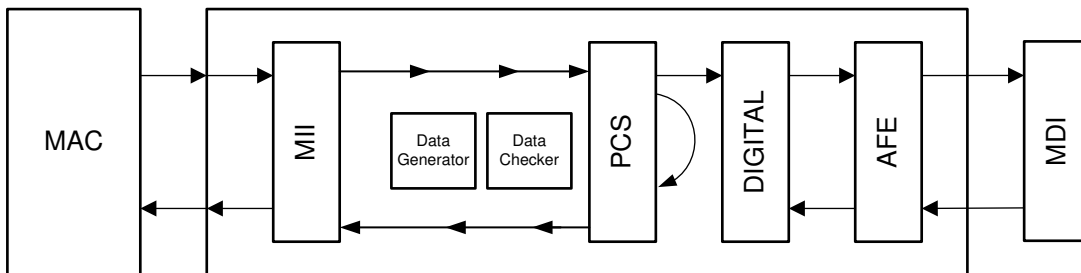


図 8-8. 外部データ・ジェネレータによる PCS ループバック

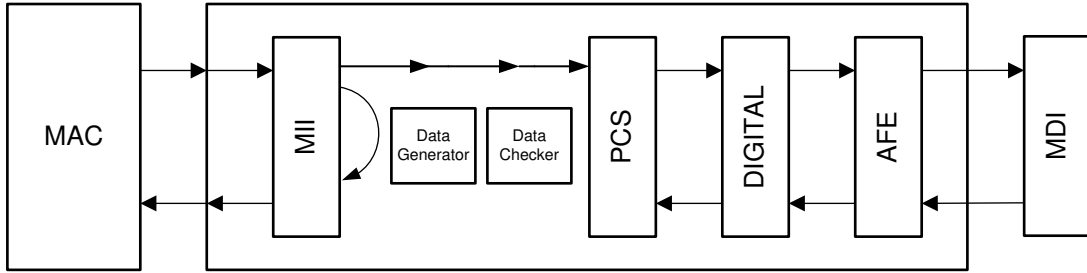


図 8-9. 外部データ・ジェネレータによる xMII ループバック

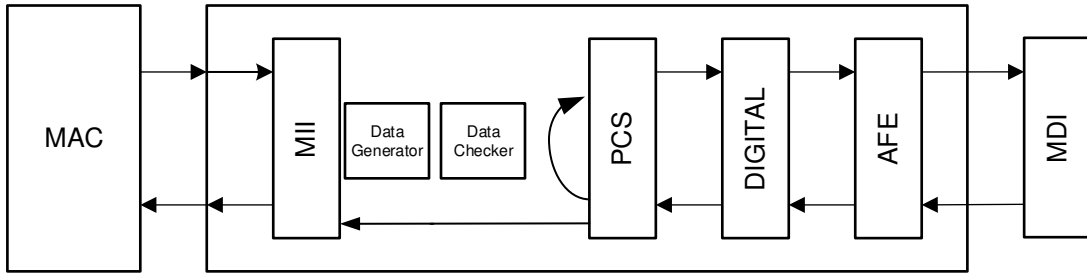


図 8-10. 外部データ・ジェネレータによる xMII 逆ループバック

### 8.3.1.3.2 データ・ジェネレータ

データ・ジェネレータは、ユーザー定義の MAC パケットと PRBS ストリームのどちらかを生成するようにプログラムできます。

生成される MAC パケットの以下のパラメータを設定できます (必要な構成については、レジスタ <0x061B>、レジスタ <0x061A>、レジスタ <0x0624> を参照)。

- パケット長
- パケット間隔
- 定義済みの送信パケット数または連続送信
- パケットの日付タイプ: インクリメンタル / 固定 / PRBS
- パケットあたりの有効バイト数

### 8.3.1.3.3 データバスの BIST のプログラミング

以下のレジスタ設定を使用すると、各種のループバック、データ生成、データ・チェッカ手順を実行できます。

表 8-2. データバスの BIST のプログラミング

	ループバック・モード	ループバック・モードの有効化	データ・ジェネレータおよびチェッカの有効化: MAC パケット	受信 MAC パケット・ステータスのチェック	データ・ジェネレータおよびチェッカの有効化: PRBS ストリーム	受信 PRBS ステータスのチェック PRBS ストリーム	その他の注意事項
1	アナログ・ループバック	書き込み: reg[0x0016] = 0x0108 書き込み: reg[0x0405] = 0x2800	書き込み: reg[0x0619] = 0x1555 書き込み: reg[0x0624] = 0x55BF	読み出し: reg[0x063C] = 受信パケットの総数の (15:0) 読み出し: reg[0x063D] = 受信パケットの総数の (31:16) 読み出し: reg[0x063E] = CRC エラーを含む受信パケット数	書き込み: reg[0x0619] = 0x0557 書き込み: reg[0x0624] = 0x55BF	ステップ 1: 書き込み: reg[0x0620](1) = 1'b1 ステップ 2: 読み出し: reg[0x0620](7:0) = 受信されたエラー・バイト数。 読み出し: reg[0x0620](8) (1 は PRBS データを受信中であり、チェッカがロックされていることを示します。)	ケーブル / リンク・パートナーを切り離します。 生成されたデータは MAC 側に送られます。MAC 側を無効化するには以下を行います。 書き込み: reg[0x0000] = 0x0540
2	デジタル・ループバック	書き込み: reg[0x0016] = 0x0104 書き込み: reg[0x0800][11] = 1	書き込み: reg[0x0619] = 0x1555 書き込み: reg[0x0624] = 0x55BF	読み出し: reg[0x063C] = 受信パケットの総数の [15:0]。 読み出し: reg[0x063D] = 受信パケットの総数の [31:16]。 読み出し: reg[0x063E] = CRC エラーを含む受信パケット数	書き込み: reg[0x0619] = 0x0557 書き込み: reg[0x0624] = 0x55BF	ステップ 1: 書き込み: reg[0x0620][1] = 1'b1 ステップ 2: 読み出し: reg[0x0620][7:0] = 受信されたエラー・バイト数。 読み出し: reg[0x0620][8] (1 は PRBS データを受信中であり、チェッカがロックされていることを示します。)	生成されたデータは銅ケーブル側に送られます。この送信を無効化するには以下を行います。 書き込み: reg[0x041F] = 0x1000 生成されたデータは MAC 側に送られます。MAC 側を無効化するには以下を行います。 書き込み: reg[0x0000] = 0x0540

表 8-2. データバスの BIST のプログラミング (continued)

	ループバック・モード	ループバック・モードの有効化	データ・ジェネレータおよびチェッカの有効化: MAC パケット	受信 MAC パケット・ステータスのチェック	データ・ジェネレータおよびチェッカの有効化: PRBS ストリーム	受信 PRBS ステータスのチェック PRBS ストリーム	その他の注意事項
3	PCS ループバック	書き込み: reg[0x0016] = 0x0101	書き込み: reg[0x0619] = 0x1555 書き込み: reg[0x0624] = 0x55BF	読み出し: reg[0x063C] = 総受信パケットの総数の [15:0]。 読み出し: reg[0x063D] = 受信パケットの総数の [31:16]。 読み出し: reg[0x063E] = CRC エラーを含む受信パケット数	書き込み: reg[0x0619] = 0x0557 書き込み: reg[0x0624] = 0x55BF	ステップ 1: 書き込み: reg[0x0620][1] = 1'b1 ステップ 2: 読み出し: reg[0x0620][7:0] = 受信されたエラー・バイト数。 読み出し: reg[0x0620][8] (1 は PRBS データを受信中であり、チェッカがロックされていることを示します。)	生成されたデータは銅ケーブル側に送られます。この送信を無効化するには以下を行います。 書き込み: reg[0x041F] = 0x1000 生成されたデータは MAC 側に送られます。MAC 側を無効化するには以下を行います。 書き込み: reg[0x0000] = 0x0540
4	RGMII ループバック	書き込み: reg[0x0000] = 0x4140	データは RGMII TX ピンで外部的に生成されます。 書き込み: reg[0x0619] = 0x1004	データは RGMII RX ピンで検証できます。パケット・エラーは、以下の方法でさらに内部的にチェックできます。 読み出し: reg[0x063C] = 受信パケットの総数の [15:0]。 読み出し: reg[0x063D] = 受信パケットの総数の [31:16]。 読み出し: reg[0x063E] = CRC エラーを含む受信パケット数	データは RGMII TX ピンで外部的に生成されます。	外部データであるため該当しません。PRBS ストリーム・チェッカは、内部データ・ジェネレータでのみ機能します。	生成されたデータは銅ケーブル側に送られます。この送信を無効化するには以下を行います。 書き込み: reg[0x041F] = 0x1000

表 8-2. データバスの BIST のプログラミング (continued)

	ループバック・モード	ループバック・モードの有効化	データ・ジェネレータおよびチェッカの有効化: MAC パケット	受信 MAC パケット・ステータスのチェック	データ・ジェネレータおよびチェッカの有効化: PRBS ストリーム	受信 PRBS ステータスのチェック PRBS ストリーム	その他の注意事項
5	SGMII ループバック	書き込み: reg[0x0000] = 0x4140	データは SGMII TX ピンで外部的に生成されません。 書き込み: reg[0x0619] = 0x1114	データは SGMII RX ピンで検証できます。パケット・エラーは、以下の方法でさらに内部的にチェックできます。 読み出し: reg[0x063C] = 受信パケットの総数の [15:0]。 読み出し: reg[0x063D] = 受信パケットの総数の [31:16]。 読み出し: reg[0x063E] = CRC エラーを含む受信パケット数	データは SGMII TX ピンで外部的に生成されます。	外部データであるため該当しません。PRBS ストリーム・チェッカは、内部データ・ジェネレータでのみ機能します。	生成されたデータは銅ケーブル側に送られません。この送信を無効化するには以下を行います。 書き込み: reg[0x041F] = 0x1000
6	RGMII 逆ループバック	書き込み: reg[0x0016] = 0x0010	書き込み: reg[0x0619] = 0x1005 書き込み: reg[0x0624] = 0x55BF	読み出し: reg[0x063C] = 受信パケットの総数の [15:0] 読み出し: reg[0x063D] = 受信パケットの総数の [31:16]。 読み出し: reg[0x063E] = CRC エラーを含む受信パケット数	書き込み: reg[0x0619] = 0x0557 書き込み: reg[0x0624] = 0x55BF	ステップ 1: 書き込み: reg[0x0620][1] = 1'b1 ステップ 2: 読み出し: reg[0x0620][7:0] = 受信されたエラー・バイト数。 読み出し: reg[0x0620][8] (1 は PRBS データを受信中であり、チェッカがロックされていることを示します。)	生成されたデータは銅ケーブル側に送られます。この送信を無効化するには以下を行います。 書き込み: reg[0x041F] = 0x1000
7	SGMII 逆ループバック	書き込み: reg[0x042C] = 0x0010	書き込み: reg[0x0619] = 0x1115 書き込み: reg[0x0624] = 0x55BF	読み出し: reg[0x063C] = 受信パケットの総数の [15:0]。 読み出し: reg[0x063D] = 受信パケットの総数の [31:16]。 読み出し: reg[0x063E] = CRC エラーを含む受信パケット数	書き込み: reg[0x0619] = 0x0557 書き込み: reg[0x0624] = 0x55BF	ステップ 1: 書き込み: reg[0x0620][1] = 1'b1 ステップ 2: 読み出し: reg[0x0620][7:0] = 受信されたエラー・バイト数。 読み出し: reg[0x0620][8] (1 は PRBS データを受信中であり、チェッカがロックされていることを示します。)	生成されたデータは銅ケーブル側に送られます。この送信を無効化するには以下を行います。 書き込み: reg[0x041F] = 0x1000

---

注

レジスタ [0x061B] とレジスタ [0x0624] を使用して、各種 MAC パケット・パラメータをさらに詳細に設定できます。

---



### 8.3.1.4 温度および電圧センシング

PHY の温度センサは、システムの温度を表示するために使用でき、温度センサの出力レジスタを読み出すことで、即座に測定値を得ることができます。

電圧センサは、すべての電源ピンの電圧 (VDDA、VDDIO、VDD1P0) を検出します。各ピンの作動電圧は、対応する電圧センサ出力レジスタを読み出すことで測定できます。

すべてのセンサは常に機能しており、監視用ステート・マシンは各センサの値を定期的にポーリングします。MONITOR\_CTRL\_3 レジスタを使用することで、監視用ステート・マシンのさらに詳細に設定し、あるセンサにその他のセンサよりも高い優先順位 / サンプルング時間を与えることもできます。

以下のソフトウェア・シーケンスを使って、任意のセンサの出力を読み出すことができます。

- ステップ 1: レジスタ [0x0467] = 0x6004 を書き込む (モニタの初期設定)
- ステップ 2: レジスタ [0x046A] = 0x00A6 を書き込み、次にレジスタ [0x046A] = 0x00A3 を更新 (モニタのリフレッシュ)
- ステップ 3: ポーリング対象のセンサを選択するためにレジスタ [0x0468] を書き込み、選択されたセンサの出力コードとしてレジスタ [0x047B] [14:7] を読み出す。
- ステップ 4: 読み出されたセンサの出力コードの値 (10 進数) を以下の式に代入し、そのセンサの出力値 (10 進数) を得る。式で使うために必要な定数値については、[センサ選択表](#)を参照してください。
  - $vdda\_value = 3.3 + (vdda\_output\_code - vdda\_output\_mean\_code) * slope\_vdda\_sensor$
  - $vdd1p0\_value = 1.0 + (vdd1p0\_output\_code - vdd1p0\_output\_mean\_code) * slope\_vdd1p0\_sensor$
  - $vddio\_calculated = 3.3 + (vddio\_output\_code - vddio\_output\_mean\_code) * slope\_vddio\_sensor$
  - $temperature\_calculated = 25 + (temperature\_output\_code - temperature\_output\_mean\_code) * slope\_temperature\_sensor$

表 8-3. センサ選択表

レジスタ [0x0468]	読み出し用に選択されるセンサ
0x1920	VDDA 電圧センサ
0x2920	VDD1P0 電圧センサ
0x3920	VDDIO 電圧センサ
0x4920	温度センサ

表 8-4. センサの定数値

定数	値 (10 進数)
vdda_output_mean_code	128
slope_vdda3p3_sensor	8.63014e-3
vdd1p0_output_mean_code	93
slope_vdd1p0_sensor	2.85714e-3
vddio_output_mean_code	224
slope_vddio_sensor	15.686e-3
temperature_output_mean_code	161
slope_temperature_sensor	1.5

注

25°C で「temperature\_output\_code」をサンプルングし、それを「temperature\_output\_mean\_code」として使える場合、温度センサの精度を最大限に高めることができます (7.5°C)。

### 8.3.1.5 静電気放電 (ESD) 検出

静電気放電は電子回路にとって重要な問題であり、適切に緩和しない場合、短期的な問題 (シグナル・インテグリティ、リンク・ドロップ、パケット喪失) だけでなく、長期的な信頼性に関する不具合を引き起こす可能性があります。DP83TG720R-Q1 は、堅牢な ESD 回路を内蔵しており、ESD 検出アーキテクチャを採用しています。さらなる分析とデバッグのため、ESD イベントを MDI ピンで検出できます。

ESD 検出ツールは試作と最終アプリケーションの両方に役立ちます。また、DP83TG720R-Q1 は割り込みステータス・フラグ (ESD イベントがレジスタ <0x0442> に記録された際に立ちます) を備えています。保証されていないクリア動作を防止するため、ESDS レジスタはハードウェアおよびソフトウェア・リセットを無視します。

**表 8-5. ESD 検出 : 割り込みの設定とカウントの読み出し**

機能	必要な読み出し / 書き込み
割り込みイネーブル	<ul style="list-style-type: none"> <li>レジスタ &lt;0x0012&gt;[3] = 1 を書き込み</li> </ul>
ESD イベント・カウンタ	<ul style="list-style-type: none"> <li>レジスタ &lt;0x0442&gt;[14:9] を読み出し</li> <li>10 進数の値は、起動後の ESD 衝撃の回数を示します。</li> </ul>

### 8.3.2 準拠性テスト・モード

DP83TG720R-Q1 の 6 つのテスト・モードは IEEE 802.3bp、97.5.2 項に準拠しています。サポートされているテスト・モードを使うと、トランスミッタ波形の電力スペクトル密度 (PSD) マスク、歪み、MDI マスタ・ジッタ、MDI スレーブ・ジッタ、ドループ、トランスミッタ周波数、周波数許容誤差、BER 監視、リターン・ロス、モード変換をテストできます。3 つの GPIO のいずれかを使用して、MDI スレーブのジッタ測定のための TX\_TCLK を出力できます。

#### 8.3.2.1 テスト・モード 1

テスト・モード 1 では、パートナーとリンクしている場合のトランスミッタのクロック・ジッタをテストします。テスト・モード 1 では、DP83TG720R-Q1 PHY は、IEEE 802.3bp のセクション 97.6 で定義されたリンク・セグメントを介して接続されます。TX\_TCLK125 は、TX\_TCLK から得られた 1/6 分周クロックです。

#### 8.3.2.2 テスト・モード 2

テスト・モード 2 では、トランスミッタの MDI マスタ・モードのジッタをテストします。テスト・モード 2 では、DP83TG720R-Q1 は 3 つの {+1} シンボルの連続パターン、その後 3 つの {-1} シンボルを送信します。送信されたシンボルは 750MHz の信号源と同期しているため、125MHz の信号が得られます。

#### 8.3.2.3 テスト・モード 4

テスト・モード 4 は、トランスミッタの歪みをテストします。テスト・モード 4 では、DP83TG720R-Q1 は式 1 によって生成された一連のシンボルを送信します。

$$g(x) = 1 + x^9 + x^{11} \quad (1)$$

ビット・シーケンス (x0n, x1n) は、以下の式に従ってスクランブラの組み合わせから生成されます。:

$$x0_n = \text{Scr}_n[0] \quad (2)$$

$$x1_n = \text{Scr}_n[1] \wedge \text{Scr}_n[4] \quad (3)$$

$$x2_n = \text{Scr}_n[1] \wedge \text{Scr}_n[5] \quad (4)$$

表 8-6 に、3 ビット・ニブルのストリームの例を示します。

表 8-6. トランスミッタのテスト・モード 4 のシンボルの割り当て

x2n	x1n	x0n	T1n	T0n
0	0	0	-1	-1
0	0	1	0	-1
0	1	0	-1	0
0	1	1	-1	+1
1	0	0	+1	0
1	0	1	+1	-1
1	1	0	+1	+1
1	1	1	0	+1

#### 8.3.2.4 テスト・モード 5

テスト・モード 5 では、トランスミッタの PSD マスクをテストします。テスト・モード 5 では、DP83TG720R-Q1 は通常のフレーム間アイドル PAM3 シンボルを送信します。

#### 8.3.2.5 テスト・モード 6

テスト・モード 6 では、トランスミッタ・ドループをテストします。テスト・モード 6 では、DP83TG720R-Q1 は 15 の {+1} シンボル、その後 15 の {-1} シンボルを送信します (シンボルは 750MHz で送信)。この 25MHz のパターンは、テスト・モードが無効化されるまで連続的に繰り返されます。

### 8.3.2.6 テスト・モード7

テスト・モード 7 では、リンク・セグメントのビット・エラー・レート測定が有効化されます。このモードでは、MDI でゼロ・データ・パターンを使い、ゼロ・データ・パターンの期待値をゼロ以外のすべての受信ビットと比較することで BER をチェックします。エラー・チェックは、FEC と 80B/81B デコードの後に実行されます。

表 8-7. テスト・モードのレジスタ設定

MMD	レジスタ	値	テスト・モード
MMD1	0x0904	0x2000	テスト・モード 1: Tx_Tclk 125MHz は CLKOUT ピンに接続されます。
MMD1	0x0904	0x4000	テスト・モード 2
MMD1	0x0904	0x8000	テスト・モード 4: Tx_Tclk 125MHz は CLKOUT ピンに接続されます。
MMD1F	0x0453	0x0019	
MMD1	0x0904	0xA000	テスト・モード 5
MMD1	0x0904	0xC000	テスト・モード 6
MMD1	0x0904	0xE000	テスト・モード 7

## 8.4 デバイスの機能モード

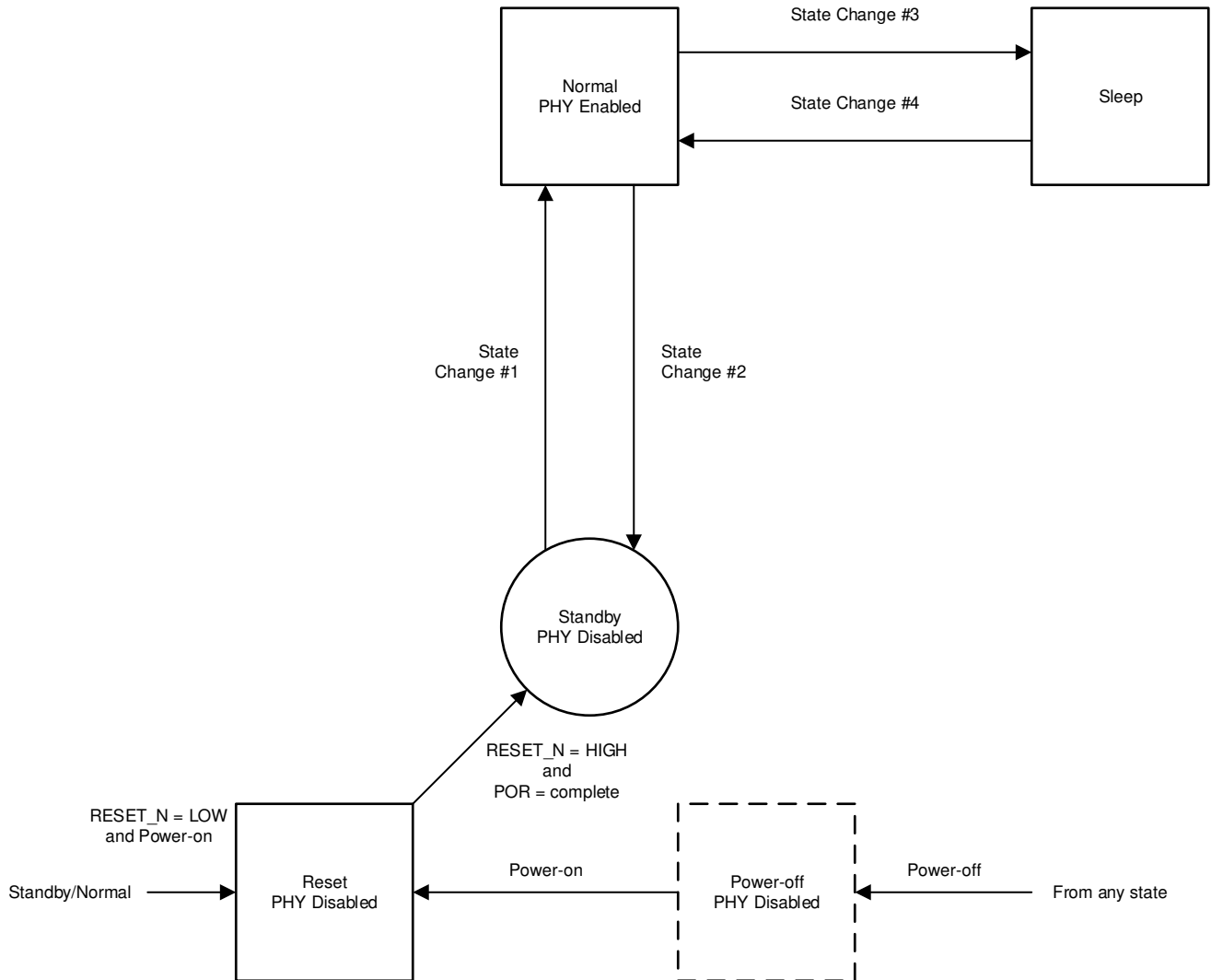


図 8-11. PHY の動作の状態図

### 8.4.1 パワーダウン

VDDA3P3、VDDIO、VDD1P0 が POR スレッシュホールドを下回ると、DP83TG720R-Q1 はパワーダウン状態に入ります。すべてのデジタル IO は高インピーダンス状態に維持され、アナログ・ブロックは無効化されます。パワーダウン時には、PMA 終端は存在しません。

### 8.4.2 リセット

リセットは、電源投入時に RESET\_N が Low に (最小リセット・パルス時間の間) プルされたとき、またはレジスタ [0x001F] のビット [15] をセットすることでハードウェア・リセットが起動されたときに作動します。

- リセットの後、デジタル・ステート・マシンが再起動し、すべてのレジスタ設定がブートアップ状態にクリアされます。
- リセット状態の間も、CLKOUT ピンの 25MHz クロックは作動し続けます。
- リセット状態の間、MDI/PMA は終端されていません。

#### 注

ストラップはピン・リセットでのみ再ラッチされ、レジスタ (レジスタ [0x001F] = x8000) によるハードウェア・リセットではストラップはラッチされません。

### 8.4.3 スタンバイ

本デバイス (MDI マスタ・モードまたは MDI スレーブ・モード) は、本デバイスが管理動作にブートストラップ設定されている限り、電源投入時のリセットの後、自動的にスタンバイに移行します。

スタンバイでは、PCS および PMA ブロックを除くすべての PHY 機能が動作します。スタンバイではリンクの確立は不可能であり、データは送信も受信もできません。SMI 機能は使用可能であり、レジスタ設定は維持されています。

ブートストラップ設定によって本デバイスが自律動作に構成されている場合、電源投入およびリセットが完了した時点で PHY は自動的に通常動作に切り替わります。

### 8.4.4 通常

通常モードには、自律動作と管理動作のどちらからでも入ることができます。自律動作にある場合、電源を投入すると、PHY は自動的に有効なリンク・パートナーとのリンクを確立しようと試みます。

管理動作では、本デバイスがスタンバイを終了するのに SMI アクセスが必要です。SMI によって発行されたコマンドにより、本デバイスはスタンバイを終了し、PCS ブロックと PMA ブロックの両方を有効化できます。通常モードでは、すべてのデバイス機能が利用できます。

レジスタ 0x18B のビット [6] をセットすることで、SMI アクセスにより自律動作を有効化できます。

### 8.4.5 スリープ

一度スリープ・モードに入ると、エネルギー検出を除くすべての PHY ブロックは無効化されます。スリープ・モードでは、すべてのレジスタ設定は失われます。スリープ・モードでは、リンクは確立できず、データは送信も受信もできず、SMI アクセスは利用できません。

PHY のスリープ・モードを使うには、次の図の強調された実装を参照してください。

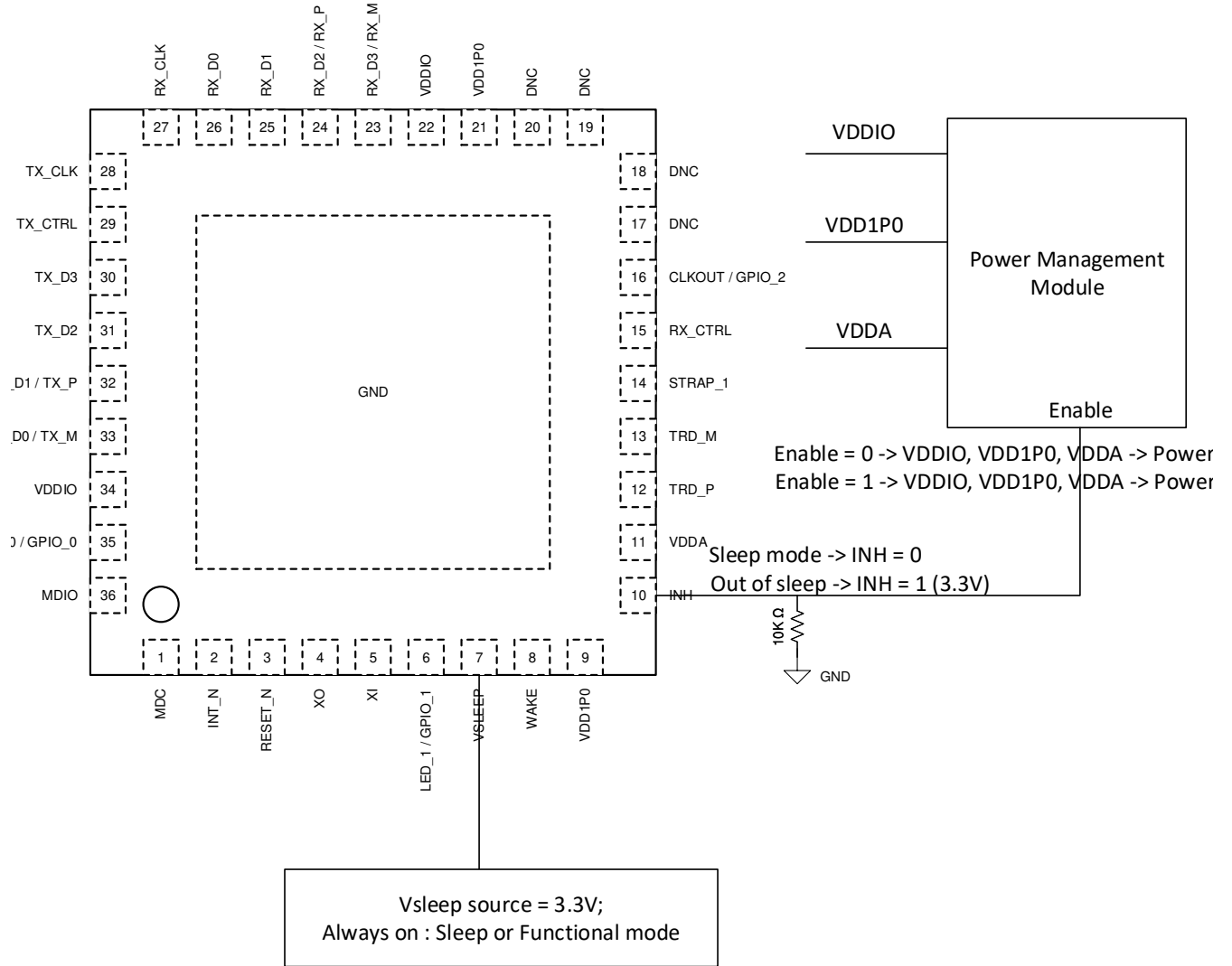


図 8-12. スリープ・モードに必要な実装

注

上図のように、電源が無効化されない限り、PHY はスリープ・モードに移行しません。

## 8.4.6 状態遷移

### 8.4.6.1 状態遷移 #1 - スタンバイから通常動作へ

自律動作: POR が完了すると、PHY は自動的に通常動作状態に移行します。

管理動作: レジスタ <0x018C> = 0x001 を書き込んだ後のみ、PHY はスタンバイから通常動作状態に遷移します。

### 8.4.6.2 状態遷移 #2 - 通常動作からスタンバイへ

通常動作状態にある場合、レジスタ <0x018C> = 0x0010 を書き込むと、PHY を強制的にスタンバイに戻すことができます。

### 8.4.6.3 状態遷移 #3 - 通常動作からスリープへ

スリープ状態には、ローカル (ピン / レジスタ書き込み) に、またはリモート・リンク・パートナーによって入ることができます。

マスタ・モード PHY のスリープへの移行 (ローカル起因):

- ステップ 1: 「ビット [7] = レジスタ [0x018B] の 'b1」を書き込む。
- ステップ 2: 「レジスタ [0x042F] = 0x0007、レジスタ [0x041E] = 0x0100」を書き込む。
- ステップ 3: WAKE ピンを Low にして保持することで、スリープ・モードに入ります。

スリープ・モード PHY のスリープへの移行 (ローカル起因):

- ステップ 1: 「ビット [8] = レジスタ [0x018B] の 'b0」を書き込む。
- ステップ 2: 「ビット [7] = レジスタ [0x018B] レジスタの 'b1」を書き込む。
- ステップ 3: 「レジスタ [0x042F] = 0x0007、レジスタ [0x041E] = 0x0100」を書き込む。
- ステップ 4: WAKE ピンを Low にして保持することで、スリープ・モードに入ります。

マスタ・モード PHY のスリープへの移行 (リモート起因):

- 本デバイスがリンク・パートナーとすでにリンクを確立している場合、以下の手順に従うことで、スリープ PHY はリモートでマスタをスリープ状態に入れることができます。
- ステップ 1: 「ビット [8] = レジスタ [0x018B] の 'b1、ビット [7] = レジスタ [0x018B] の 'b1」を書き込む。
- ステップ 2: WAKE ピンを Low にする。
- ステップ 3: PHY はラインの駆動を停止し、スリープ・モードに移行する

スリープ・モード PHY のスリープへの移行 (リモート起因):

- ステップ 1: 「ビット [7] = レジスタ [0x018B] レジスタの 'b1」を書き込む。
- ステップ 2: WAKE ピンを Low にする。
- ステップ 3: PHY はラインの駆動を停止し (マスタはデータも符号も送信しません)、スリープ・モードに移行する。これは、リンク・パートナーを管理モードに移行させることで実現できます (管理モードでは、デバイスはリンクアップ・シーケンスを開始できません)。

#### 注

PHY がスリープ・モードに移行するのは、INH 信号を使用して電源が切り離された場合のみです (「スリープ・モードに必要な実装」の図を参照)。

### 8.4.6.4 状態遷移 #4 - スリープから通常動作へ

スリープ状態からは、ローカル (ピン / レジスタ書き込み) に、またはリモート・リンク・パートナーによって出ることができます。

#### ローカル起因のスリープ終了

マスタ・モード PHY のスリープの終了 (ローカル起因):

- WAKE ピンを High (3.3V) にする。



スリープ・モード PHY のスリープの終了 (ローカル起因):

- WAKE ピンを High (3.3V) にする。

### リモート起因のスリープ終了

次のいずれかにより、リンク・パートナーは本デバイスのスリープ・モードを終了させることができます。

1. リンク・パートナーからの **Send-S** シンボルを使用したリモート起因のスリープ終了。
2. リンク・パートナーからの **Send-T** シンボルを使用したリモート起因のスリープ終了

これらの手順の詳細を次の表に示します。

**表 8-8. リモート起因のスリープ終了の手順**

方法	デバイス・モード	手順	リンク・パートナーに要求される機能
Send-S の使用	マスタ	<p>ステップ 1: IEEE によって定義された、リンク・パートナーからの <b>Send-S</b> パターンを開始する (継続時間: 1.25ms 以上)。</p> <p>ステップ 2: リンクアップを開始するため、リンク・パートナーを通常モードに移行させる。</p> <p>注: VOD が小さいリンク・パートナーは、リモート・ウェークアップを行うケーブル長を 5m 以下に制限できます。</p>	<p>リンク・パートナーは、スリープ・モード入っ ていても、要求に応じて <b>Send-S</b> パターン を送信するモードを備えている必要があり ます。</p> <p>1 つの方法を次に示します。</p> <p>ステップ 1: リンク・パートナーを 1.25ms 以上の間マスタ・モードに移行させる。</p> <p>ステップ 2: リンクアップを開始するため、リ ンク・パートナーを通常モードに移行させ る。</p>
	スリープ	<p>ステップ 1: IEEE によって定義された、リンク・パートナーからの <b>Send-S</b> パターンを開始する (継続時間: 1.25ms 以上)。</p> <p>ステップ 2: リンクアップを開始するため、リンク・パートナーを通常モードに移行させる。</p> <p>注: VOD が小さいリンク・パートナーは、リモート・ウェークアップを行うケーブル長を 5m 以下に制限できます。</p> <p>注: スリープ・モードの DP83TG720 をスリープ・モードに維持するため、リンク・パートナーを管理モードに移行させることができます (管理モードでは、デバイスはリンクアップ・シーケンスを開始できません)。</p>	<p>マスタ・モード・リンク・パートナーはリンク・ アップを開始するために <b>Send-S</b> 信号を 送信することになっているため、すべての IEEE 準拠リンク・パートナーは機能するは ずです。</p>

表 8-8. リモート起因のスリープ終了の手順 (continued)

方法	デバイス・モード	手順	リンク・パートナーに要求される機能
Send-T の使用	マスタ	<p>ステップ 1: リンク・パートナーでの Send-T パターンを 1.25ms 以上の間有効化する。</p> <p>ステップ 2: リンクアップを開始するため、リンク・パートナーを通常モードに移行させる。</p>	<p>リンク・パートナーは、要求に応じて Send-T パターンを送信するモードを備えている必要があります。</p> <p>15m のケーブルを介したリモート・ウェークアップの場合、リンク・パートナーの Send-T モード中のピンでの信号振幅は 0.92V より大きくなります。VOD が小さいリンク・パートナーの場合、リモート・ウェークアップできるケーブル長が 5m 以下に制限される場合があります。</p> <p>DP83T720 をリンク・パートナーとして使用する場合、次の手順に必要な処理を実行できます。</p> <p>ステップ 1: DP83TG720 リンク・パートナーでの Send-T パターンを有効化する (「レジスタ [0x0405] = 0x7400、レジスタ [0x0509] = 0x4007、レジスタ [0x0576] = 0x0500」を書き込む)。</p> <p>ステップ 2: 100ms 後、DP83TG720 リンク・パートナーでの Send-T パターンを無効化する (「レジスタ [0x0405] = x5800、レジスタ [0x0509] = 0x4005、レジスタ [0x0576] = 0x0000」を書き込む)。</p>
	スレーブ	<p>ステップ 1: リンク・パートナーでの Send-T パターンを 1.25ms 以上の間有効化する。</p> <p>ステップ 2: リンクアップを開始するため、リンク・パートナーを通常モードに移行させる。</p>	<p>リンク・パートナーは、要求に応じて Send-T パターンを送信するモードを備えている必要があります。</p> <p>15m のケーブルを介したリモート・ウェークアップの場合、リンク・パートナーの Send-T モード中のピンでの信号振幅は 0.92V より大きくなります。VOD が小さいリンク・パートナーの場合、リモート・ウェークアップできるケーブル長が 5m 以下に制限される場合があります。</p> <p>DP83T720 をリンク・パートナーとして使用する場合、次の手順に必要な処理を実行できます。</p> <p>ステップ 1: DP83TG720 リンク・パートナーでの Send-T パターンを有効化する (「レジスタ [0x0405] = 0x7400、レジスタ [0x0509] = 0x4007、レジスタ [0x0576] = 0x0500」を書き込む)。</p> <p>ステップ 2: 100ms 後、DP83TG720 リンク・パートナーでの Send-T パターンを無効化する (「レジスタ [0x0405] = x5800、レジスタ [0x0509] = 0x4005、レジスタ [0x0576] = 0x0000」を書き込む)。</p>

## 8.4.7 MDI (Media Dependent Interface)

### 8.4.7.1 MDI マスタと MDI スレーブの構成

MDI マスタと MDI スレーブは、ハードウェア・ブートストラップを使って、またはレジスタ・アクセスによって構成されます。

LED\_0 は、MDI マスタと MDI スレーブのブートストラップ構成を制御します。LED\_0 ピンに内部プルダウン抵抗があるため、デフォルトでは MDI スレーブ・モードが構成されます。ハードウェア・ブートストラップによる MDI マスタ・モード構成を選択する場合、外部プルアップ抵抗が必要です。

また、PMA\_CTRL2 レジスタのビット [14] は、MDI マスタと MDI スレーブの構成を制御します。このビットをセットすると、MDI マスタ・モードが有効化されます。

### 8.4.7.2 自動極性検出および訂正

リンク・トレーニング・プロセス中、MDI レシーバとして DP83TG720R-Q1 は極性の反転を検出し、エラーを自動的に訂正できます。マスタとスレーブの両方での検出により、レシーバ極性を必要に応じて訂正できます。

アプリケーションの要求に応じて PHY トランスミッタの極性を制御するには、レジスタ 0x055B を参照します。トランスミッタの極性は、レシーバの極性とは無関係に制御できます。

## 8.4.8 MAC インターフェイス

### 8.4.8.1 RGMII (Reduced Gigabit Media Independent Interface)

DP83TG720R-Q1 は、RGMII バージョン 2.0 で規定された RGMII (Reduced Gigabit Media Independent Interface) もサポートしています。RGMII は、MAC と PHY の接続に必要なピン数が少なくなるように設計されています。この目標を達成するため、制御信号が多重化されています。送信パスと受信パスの制御信号ピンをサンプリングするためにクロックの立ち上がりエッジと立ち下がりエッジの両方が使用されます。1Gbps 動作の場合、RX\_CLK と TX\_CLK は 125MHz で動作します。

表 8-9 に、RGMII 信号のまとめを示します。

表 8-9. RGMII 信号

機能	ピン数
データ信号	TX_D[3:0]
	RX_D[3:0]
制御信号	TX_CTRL
	RX_CTRL
クロック信号	TX_CLK
	RX_CLK

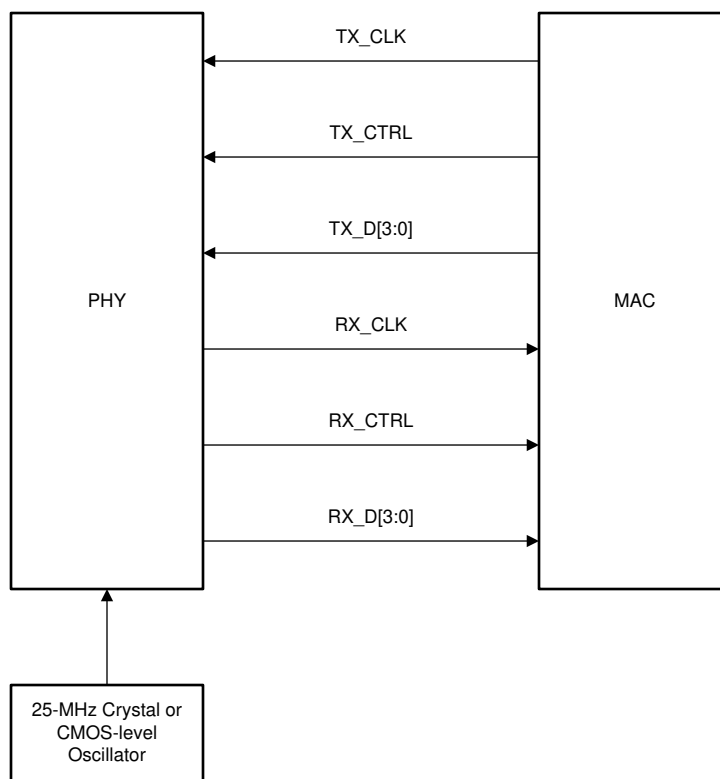


図 8-13. RGMII の接続

表 8-10. RGMII の送信エンコード

TX_CTRL (立ち上がりエッジ)	TX_CTRL (立ち下がりエッジ)	TX_D[3:0]	説明
0	0	0000~1111	通常のフレーム間
0	1	0000~1111	予約済み
1	0	0000~1111	通常のデータの送信
1	1	0000~1111	送信エラーの伝搬

表 8-11. RGMII の受信エンコード

RX_CTRL (立ち上がりエッジ)	RX_CTRL (立ち下がりエッジ)	RX_D[3:0]	説明
0	0	0000~1111	通常のフレーム間
0	1	0000~1101	予約済み
0	1	1110	誤キャリアの表示
0	1	1111	予約済み
1	0	0000~1111	通常のデータの受信
1	1	0000~1111	エラーを含むデータの受信

DP83TG720R-Q1 は、リンク・ステータス検出の簡素化に役立つように、インバンド・ステータス表示をサポートしています。表 8-12 に、RX\_D[3:0] ピンのフレーム間信号を示します。

表 8-12. RGMII インバンド・ステータス

RX_CTRL	RX_D3	RX_D[2:1]	RX_D0
0 注: インバンド・ステータスは、 RX_CTRL が Low のときのみ有効 です。	二重モードのステータス: 0 = 半二重 1 = 全二重	RX_CLK クロック速度: 00 = 2.5MHz 01 = 25MHz 10 = 125MHz 11 = 予約済み	リンク・ステータス: 0 = リンクが確立されていない 1 = 有効なリンクが確立されている

ギガビット・イーサネットのための RGMII MAC インターフェイスには、システム・レベルの性能を満たすための厳格なタイミング要件があります。これらのタイミング要件を満たし、RGMII 上の各種の MAC で動作させるには、PCB を設計する際に以下の要件を考慮することを推奨します。DP83TG720 の IBIS モデルを使って、ボード・レベルのシグナル・インテグリティをチェックすることも推奨します。

#### RGMII-TX の要件

- RGMII TX 信号は、 $50\Omega \pm 15\%$  に制御されたインピーダンスで基板配線を行うものとします。
- シグナル・インテグリティ性能を向上させるため、最大配線長を 5 インチに制限するものとします。
- 図 8-14 に、TX\* 信号の RGMII インターフェイス要件を示します。MAC RGMII ドライバの出力インピーダンスは  $50\Omega \pm 20\%$  とします。
- TP2 (図 8-14) でのすべての RGMII TX 信号のスキューは  $\pm 500\text{ps}$  未満とします。
- TP1 と TP2 (図 8-14) でのシグナル・インテグリティについては、IBIS モデル・シミュレーションで検証を行い、以下の要件に準拠していることを確認するものとします。
  - TP2 では、信号は 1ns の立ち上がり / 立ち下がり時間 (信号振幅の 20% と 80% の間) を満たすものとします。
  - 立ち上がり / 立ち下がり時間は、TP2 での VIH/VIL レベル間で単調であるものとします。

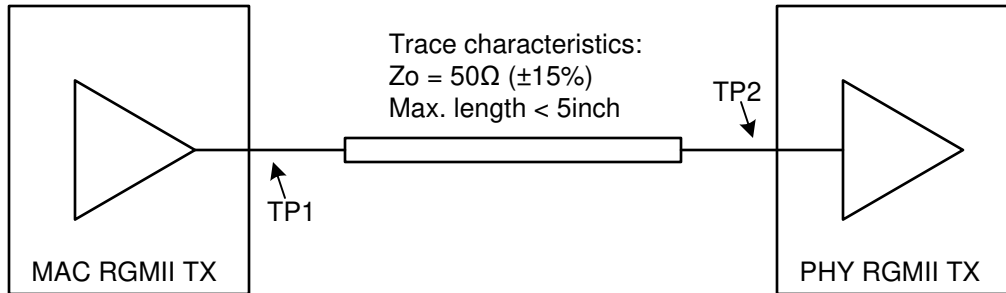


図 8-14. RGMII TX の要件

## RGMII-RX の要件

- RGMII RX 信号は、 $50\Omega \pm 15\%$  に制御されたインピーダンスで基板配線を行うものとしします。
- シグナル・インテグリティ性能を向上させるため、最大配線長を 5 インチに制限するものとしします。
- TP3/TP4 にダンピング抵抗 (図 8-15) を追加しないでください。RX 信号のシグナル・インテグリティに影響を及ぼすためです。
- 図 8-15 に、RX\* 信号の RGMII インターフェイス要件を示します。MAC RGMII ドライバの出力インピーダンスは  $50\Omega \pm 20\%$  とするものとしします。
- TP3 と TP4 (図 8-15) でのシグナル・インテグリティについては、IBIS モデル・シミュレーションで検証を行い、以下の要件に準拠していることを確認するものとしします。
  - TP4 では、信号は 1ns の立ち上がり / 立ち下がり時間 (信号振幅の 20% と 80% の間) を満たすものとしします。
  - 立ち上がり / 立ち下がり時間は、TP4 での VIH/VIL レベル間で単調であるものとしします。

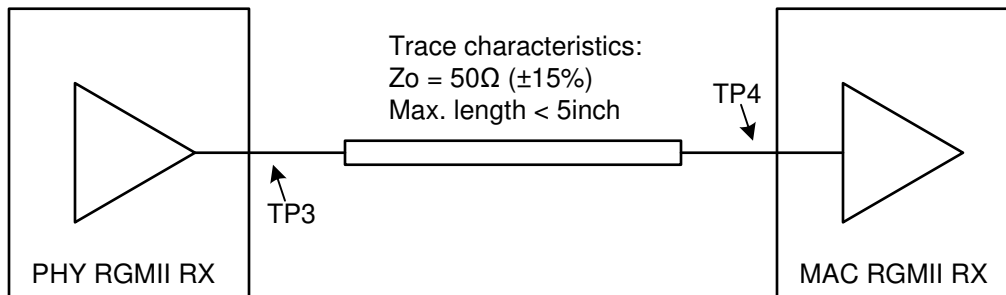


図 8-15. RGMII RX の要件

## 注

1. EMC 放射を最小限に抑えるため、埋め込み配線で RGMII を配線することを推奨します。
2. 埋め込み配線は、PHY と MAC にできるだけ近付けたビアを使って接続するものとしします。

### 8.4.9 シリアル・マネージメント・インターフェイス

シリアル・マネージメント・インターフェイスを使うことで、ステータス情報と構成のために使われている DP83TG720R-Q1 の内部レジスタ空間にアクセスできます。SMI は IEEE 802.3 の 22 項に適合しています。実装されているレジスタ・セットは、IEEE 802.3 に必要なレジスタと、DP83TG720R-Q1 の可視性と制御性を高めるためのその他のレジスタで構成されています。

SMI には、管理クロック (MDC) と、管理入力および出力データ・ピン (MDIO) が含まれます。MDC は、ステーション (STA) とも呼ばれる外部管理エンティティによって供給されます。MDC は連続的である必要はなく、バスがアイドル状態の場合、外部管理エンティティがオフにすることもできます。

MDIO の信号は外部管理エンティティと PHY から供給されます。MDIO ピンのデータは、MDC の立ち上がりエッジでラッチされます。MDIO ピンにはプルアップ抵抗 (2.2kΩ) が必要であり、それによってアイドルおよびターンアラウンド時に MDIO は High にプルされます。

最大 9 つの DP83TG720R-Q1 PHY が共通の SMI バスを共有できます。PHY を区別するため、3 ビット・アドレスを使います。電源投入時のリセット中に、DP83TG720R-Q1 はそのアドレスを判断するため PHY\_AD 構成ピンをラッチします。

管理エンティティは、電源投入時のリセットの後の最初のサイクルで SMI トランザクションを開始してはなりません。有効な動作を維持するため、ハード・リセットがデアサートされた後、少なくとも 1 MDC サイクルの間、SMI バスは非アクティブのままである必要があります。通常の MDIO トランザクションでは、管理フレームのレジスタ・アドレス・フィールドからレジスタ・アドレスが直接取り込まれるため、32 の 16 ビット・レジスタ (IEEE 802.3 で定義されたレジスタとベンダ固有のレジスタを含む) に直接アクセスできます。データ・フィールドは、読み出しと書き込みの両方に使用されます。スタート・コードは <01> パターンで示されます。このパターンにより、MDIO ラインはデフォルトのアイドル・ライン状態から必ず遷移します。ターンアラウンドは、レジスタ・アドレス・フィールドとデータ・フィールドの間に挿入されたアイドル・ビット期間として定義されます。読み出しトランザクション中の競合を避けるため、ターンアラウンドの先頭ビットの間、デバイスは MDIO 信号をアクティブに駆動できません。アドレス指定された DP83TG720R-Q1 は、2 番目のビットのターンアラウンドの間 MDIO を 0 で駆動し、その後に必要なデータを送信します。

書き込みトランザクションの場合、ステーション管理エンティティはアドレス指定された DP83TG720R-Q1 にデータを書き込みます。そのため、MDIO ターンアラウンドは不要です。ターンアラウンド期間には、管理エンティティによって <10> が挿入されます。

表 8-13. SMI プロトコルの構成

SMI プロトコル	<アイドル> <スタート> <オペ・コード> <デバイス・アドレス> <レジスタ・アドレス> <ターンアラウンド> <データ> <アイドル>
読み出し動作	<アイドル><01><10><AAAA><RRRRR><Z0><XXXX XXXX XXXX XXXX><アイドル>
書き込み動作	<アイドル><01><01><AAAA><RRRRR><10><XXXX XXXX XXXX XXXX><アイドル>

### 8.4.10 ダイレクト・レジスタ・アクセス

ダイレクト・レジスタ・アクセスは先頭の 31 のレジスタ (0x0h~0x1Fh) に対して使えます。

### 8.4.11 拡張レジスタ・スペース・アクセス

DP83TG720R-Q1 の SMI 機能は、レジスタ REGCR (0x000Dh) および ADDAR (0x000Eh) と MMD (MDIO Manageable Device) 間接方式 (IEEE 802.3ah Draft, 22 項「アクセス」、45 項「拡張レジスタセット」で定義) を使った拡張レジスタ・セットへの読み出しおよび書き込みアクセスをサポートしています。

REGCR (0x000Dh) は MMD アクセス制御です。一般に、レジスタ REGCR[4:0] は、ADDAR (0x000Eh) レジスタのすべてのアクセスを適切な MMD に向かわせるデバイス・アドレス DEVAD です。

DP83TG720R-Q1 は 4 つの MMD デバイス・アドレスをサポートしています。4 つの MMD レジスタ空間は次のとおりです。

1. DEVAD[4:0] = 1111 (0x1F) は、IEEE で定義されたレジスタ (0x00~0x1F) とベンダ固有のレジスタに使用されません。このレジスタ空間を MMD1F と呼びます。

2. DEVAD[4:0] = 00001 (0x01) は 1000BASE-T1 PMA MMD レジスタ・アクセスに使用されます。このレジスタ空間を MMD1 と呼びます。
3. DEVAD[4:0] = 00011 (0x03) はベンダ固有のレジスタに使用されます。このレジスタ空間を MMD3 と呼びます。
4. DEVAD[4:0] = 00111 (0x07) はベンダ固有のレジスタに使用されます。このレジスタ空間を MMD7 と呼びます。

表 8-14. MMD レジスタ空間の区分

MMD レジスタ空間	レジスタ・アドレス範囲
MMD1F	0x000~0x0EFD
MMD1	0x1000~0x1904
MMD3	0x3000~0x390D
MMD7	0x7000~0x7200

## 注

MMD1/3/7 の場合、レジスタ・アドレスの最上位ニブルは、それぞれの MMD 空間を示すために使用されます。実際のレジスタ・アクセス動作中は、これを無視する必要があります。たとえば、レジスタ 0x1904 にアクセスするには、レジスタ・アドレスとして 0x0904 を、MMD として x01 を使います。

レジスタ REGCR および ADDAR によるすべてのアクセスでは、適切な DEVAD を使用する必要があります。その他の DEVAD を使ったトランザクションは無視されます。REGCR[15:14] はアクセス機能 (アドレス (00)、ポスト・インクリメントなしのデータ (01)、読み出し / 書き込み時ポスト・インクリメントありのデータ (10)、書き込み時ポスト・インクリメントありのデータ (11)) を保持します。

- ADDAR は、アドレスおよびデータ MMD レジスタです。ADDAR を REGCR と組み合わせて使用することで、拡張レジスタ・セットにアクセスできます。レジスタ REGCR[15:14] が (00) の場合、ADDAR は拡張アドレス空間レジスタのアドレスを保持します。それ以外の場合、ADDAR は、アドレス・レジスタの内容に応じたデータを保持します。REGCR[15:14] が (00) に設定されている場合、レジスタ ADDAR にアクセスすると、拡張レジスタ・セットのアドレス・レジスタが変更されます。拡張レジスタ・セット内のいずれのレジスタにアクセスするにも、このアドレス・レジスタを必ず初期化する必要があります。
- REGCR[15:14] が (01) に設定されている場合、レジスタ ADDAR にアクセスすると、アドレス・レジスタの値によって選択された拡張レジスタ・セット内のレジスタがアクセスされます。
- REGCR[15:14] が (10) に設定されている場合、レジスタ ADDAR にアクセスすると、アドレス・レジスタの値によって選択された拡張レジスタ・セット内のレジスタがアクセスされます。そのアクセスが完了した後、読み出しの場合も書き込みの場合も、アドレス・レジスタの値がインクリメントされます。
- REGCR[15:14] が (11) に設定されている場合、レジスタ ADDAR にアクセスすると、アドレス・レジスタの値によって選択された拡張レジスタ・セット内のレジスタがアクセスされます。このアクセスが完了した後、書き込みアクセスの場合のみ、アドレス・レジスタの値がインクリメントされます。読み出しアクセスの場合、アドレス・レジスタの値は変更されません。

以下のセクションでは、レジスタ REGCR および ADDAR を使って拡張レジスタ・セットを操作する方法について説明します。

## 8.4.12 書き込みアドレス動作

アドレス・レジスタを設定するには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド = 00 (アドレス)、DEVAD = '11111') を書き込む。
2. レジスタ ADDAR にレジスタ・アドレスを書き込む。

それ以降、レジスタ ADDAR (ステップ 2) に書き込むと、そのアドレス・レジスタが引き続き書き込まれます。

## 8.4.12.1 書き込みアドレス動作の例

MMD1 フィールド内にレジスタ・アドレスを書き込むには、次の手順に従います。

1. レジスタ REGCR に値 0x0001 (機能フィールド = 00 (アドレス)、DEVAD = '00001') を書き込む。
2. レジスタ ADDAR にレジスタ・アドレスを書き込む。



### 8.4.13 読み出しアドレス動作

アドレス・レジスタを読み出すには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド = 00 (アドレス)、DEVAD = '11111') を書き込む。
2. レジスタ ADDAR からレジスタ・アドレスを読み出す。

それ以降、レジスタ ADDAR (ステップ 2) を読み出すと、そのアドレス・レジスタが引き続き読み出されます。

#### 8.4.13.1 読み出しアドレス動作の例

MMD1 フィールド内のレジスタ・アドレスを読み出すには、次の手順に従います。

1. レジスタ REGCR に値 0x0001 (機能フィールド = 00 (アドレス)、DEVAD = '00001') を書き込む。
2. レジスタ ADDAR からレジスタ・アドレスを読み出す。

### 8.4.14 書き込み動作 (ポスト・インクリメントなし)

拡張レジスタ・セット内のレジスタを書き込むには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド = 00 (アドレス)、DEVAD = '11111') を書き込む。
2. レジスタ ADDAR に目的のレジスタ・アドレスを書き込む。
3. レジスタ REGCR に値 0x401F (機能フィールド = 01 (データ、ポスト・インクリメントなし)、DEVAD = '11111') を書き込む。
4. レジスタ ADDAR に目的の拡張レジスタ・セットの内容を書き込む。

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、そのアドレス・レジスタの値によって選択されたレジスタが引き続き書き換えられます。

---

#### 注

アドレス・レジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

---

#### 8.4.14.1 書き込み動作の例 (ポスト・インクリメントなし)

MMD1 拡張レジスタ・セットのレジスタを書き込むには、次の手順に従います。

1. レジスタ REGCR に値 0x0001 (機能フィールド = 00 (アドレス)、DEVAD = '00001') を書き込む。
2. レジスタ ADDAR に目的のレジスタ・アドレスを書き込む。
3. レジスタ REGCR に値 0x4001 (機能フィールド = 01 (データ、ポスト・インクリメントなし)、DEVAD = '00001') を書き込む。
4. レジスタ ADDAR に目的の拡張レジスタ・セットの内容を書き込む。

### 8.4.15 読み出し動作 (ポスト・インクリメントなし)

拡張レジスタ・セットのレジスタを読み出すには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド = 00 (アドレス)、DEVAD = '11111') を書き込む。
2. レジスタ ADDAR に目的のレジスタ・アドレスを書き込む。
3. レジスタ REGCR に値 0x401F (機能フィールド = 01 (データ、ポスト・インクリメントなし)、DEVAD = '11111') を書き込む。
4. レジスタ ADDAR の目的の拡張レジスタ・セットの内容を読み出す。

それ以降、レジスタ ADDAR (ステップ 4) を読み出すと、アドレス・レジスタの値によって選択されたレジスタが引き続き読み出されます。

---

#### 注

アドレス・レジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

---

#### 8.4.15.1 読み出し動作の例 (ポスト・インクリメントなし)

MMD1 拡張レジスタ・セットのレジスタを読み出すには、次の手順に従います。

1. レジスタ REGCR に値 0x0001 (機能フィールド = 00 (アドレス)、DEVAD = '00001') を書き込む。
2. レジスタ ADDAR に目的のレジスタ・アドレスを書き込む。
3. レジスタ REGCR に値 0x4001 (機能フィールド = 01 (データ、ポスト・インクリメントなし)、DEVAD = '00001') を書き込む。
4. レジスタ ADDAR の目的の拡張レジスタ・セットの内容を読み出す。

#### 8.4.16 書き込み動作 (ポスト・インクリメントあり)

拡張レジスタ・セット内のレジスタを、ポスト・インクリメントありで書き込むには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド = 00 (アドレス)、DEVAD = '11111') を書き込む。
2. レジスタ ADDAR に目的のレジスタ・アドレスを書き込む。
3. レジスタ REGCR に値 0x801F (機能フィールド = 10 (データ、ポスト・インクリメントあり)、DEVAD = '11111') または値 0xC01F (機能フィールド = 11 (データ、書き込み時ポスト・インクリメントあり)、DEVAD = '11111') を書き込む。
4. レジスタ ADDAR に目的の拡張レジスタ・セットの内容を書き込む。

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、アドレス・レジスタの値によって選択されたすぐ上のアドレスのデータ・レジスタが引き続き書き込まれます (アドレス・レジスタは各アクセスの後にインクリメントされます)。

##### 8.4.16.1 書き込み動作の例 (ポスト・インクリメントあり)

MMD1 拡張レジスタ・セットのレジスタを、ポスト・インクリメントありで書き込むには、次の手順に従います。

1. レジスタ REGCR に値 0x0001 (機能フィールド = 00 (アドレス)、DEVAD = '00001') を書き込む。
2. レジスタ ADDAR に目的のレジスタ・アドレスを書き込む。
3. レジスタ REGCR に値 0x8001 (機能フィールド = 10 (データ、ポスト・インクリメントあり)、DEVAD = '00001') または値 0xC001 (機能フィールド = 11 (データ、書き込み時にポスト・インクリメントあり)、DEVAD = '00001') を書き込む。
4. レジスタ ADDAR に目的の拡張レジスタ・セットの内容を書き込む。

#### 8.4.17 読み出し動作 (ポスト・インクリメントあり)

拡張レジスタ・セットのレジスタを読み出し、書き込み動作後にアドレス・レジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

1. レジスタ REGCR に値 0x001F (機能フィールド = 00 (アドレス)、DEVAD = '11111') を書き込む。
2. レジスタ ADDAR に目的のレジスタ・アドレスを書き込む。
3. レジスタ REGCR に値 0x801F (機能フィールド = 10 (データ、ポスト・インクリメントあり)、DEVAD = '11111') を書き込む。
4. レジスタ ADDAR の目的の拡張レジスタ・セットの内容を読み出す。

それ以降、レジスタ ADDAR (ステップ 4) を読み出すと、アドレス・レジスタの値によって選択されたすぐ上のアドレスのデータ・レジスタが引き続き読み出されます (アドレス・レジスタは各アクセスの後にインクリメントされます)。

##### 8.4.17.1 読み出し動作の例 (ポスト・インクリメントあり)

MMD1 拡張レジスタ・セットのレジスタを読み出し、書き込み動作後にアドレス・レジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

1. レジスタ REGCR に値 0x0001 (機能フィールド = 00 (アドレス)、DEVAD = '00001') を書き込む。
2. レジスタ ADDAR に目的のレジスタ・アドレスを書き込む。
3. レジスタ REGCR に値 0x8001 (機能フィールド = 10 (データ、ポスト・インクリメントあり)、DEVAD = '00001') を書き込む。
4. レジスタ ADDAR の目的の拡張レジスタ・セットの内容を読み出す。

## 8.5 プログラミング

### 8.5.1 ストラップ構成

DP83TG720R-Q1 は、デバイスを特定の動作モードに設定するために、機能ピンをストラップ・オプションとして使用しています。これらのピンの値は、電源投入およびハードウェア・リセット時に (RESET\_N ピンまたはレジスタ・アクセスのどちらかによって) サンプルングされます。ストラップ・ピンは 2 レベルと 3 レベルをサポートしており、以下で詳細に説明します。デバイスの構成は、ストラップ設定またはシリアル・マネージメント・インターフェイスを使用して行うことができます。

#### 注

- リセットがデアサートされた後、ストラップ・ピンは機能ピンになるため、VCC にも GND にも直接接続することはできません。
- 各種ストラップ・モードに入るには、プルアップ・ストラップ抵抗で十分です。
- プルダウン・ストラップ抵抗は、LED ピンのストラップとして使用できます。「LED の構成」セクションを参照してください。

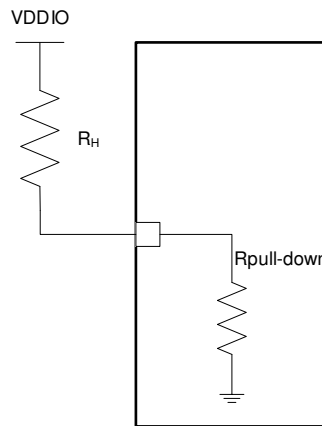


図 8-16. ストラップ回路

表 8-15. 3 レベル・ストラップの推奨抵抗比

モード	理想的な RH (kΩ) <sup>1</sup> (VDDIO = 3.3V)	理想的な RH (kΩ) <sup>2</sup> (VDDIO = 2.5V)	理想的な RH (kΩ) <sup>1</sup> (VDDIO = 1.8V)
1	オープン	オープン	オープン
2	13	12	4
3	4.5	2	0.8

- 抵抗精度 10%
- 抵抗精度 1%

表 8-16. 2 レベル・ストラップの推奨抵抗

モード	理想的な RH (kΩ) <sup>12</sup>
1	オープン
2	2.49

- 抵抗精度 10%
- 1.8V VDDIO のユーザー・アプリケーションでマージンを拡大するには、2.1k ±10% のプルアップ抵抗を使用する方法と、2.49k の抵抗精度を 1% に制限する方法があります。

次の表で、DP83TG720R-Q1 の構成ブートストラップについて説明します。

**表 8-17. 2 レベル・ブートストラップ**

ピン名	ピン番号	ストラップ・モード	ストラップ機能	説明
RX_D0	26	1 (デフォルト)	MAC[0] = 0	MAC インターフェイスの選択 [0]。詳細は表 8-18 を参照。
		2	MAC[0] = 1	
RX_D1	25	1 (デフォルト)	MAC[1] = 0	MAC インターフェイスの選択 [1]。詳細は表 8-18 を参照。
		2	MAC[1] = 1	
RX_D2	24	1 (デフォルト)	MAC[2] = 0	MAC インターフェイスの選択 [2]。詳細は表 8-18 を参照。
		2	MAC[2] = 1	
LED_0	1	1 (デフォルト)	MS = 0	MDI マスタ・スレーブ選択。 MS = 0 スレーブ MS = 1 マスタ
		2	MS = 1	
LED_1	6	1 (デフォルト)	AUTO = 0	自律の無効化 AUTO = 0 自律 AUTO = 1 管理
		2	AUTO = 1	

**表 8-18. MAC インターフェイス選択ブートストラップ**

MAC[2]	MAC[1]	MAC[0]	説明
0	0	0	予約済み
0	0	1	予約済み
0	1	0	予約済み
0	1	1	予約済み
1	0	0	RGMI (整列モード)
1	0	1	RGMI (TX シフト・モード)
1	1	0	RGMI (TX および RX シフト・モード)
1	1	1	RGMI (RX シフト・モード)

**表 8-19. 3 レベルのブートストラップ : PHY アドレス**

PHY_AD[3:0]	RX_CTRL ストラップ・モード	STRP_1 ストラップ・モード	説明
0000	1	1	PHY アドレス: 0x0000 (0)
0001	-	-	予約済み
0010	-	-	予約済み
0011	-	-	予約済み
0100	2	1	PHY アドレス: 0x0004 (4)
0101	3	1	PHY アドレス: 0x0005 (5)
0110	-	-	予約済み
0111	-	-	予約済み
1000	1	2	PHY アドレス: 0x0008 (8)
1001	-	-	予約済み
1010	1	3	PHY アドレス: 0x000A (10)
1011	-	-	予約済み
1100	2	2	PHY アドレス: 0x000C (12)
1101	3	2	PHY アドレス: 0x000D (13)
1110	2	3	PHY アドレス: 0x000E (14)
1111	3	3	PHY アドレス: 0x000F (15)

## 8.5.2 LED の構成

DP83TG720R-Q1 は、最大 3 つの構成可能な発光ダイオード (LED) ピン (LED\_0、LED\_1、LED\_2 (CLKOUT)) をサポートしています。各種動作モードのために複数の機能を LED に多重化できます。LED の動作は、レジスタ 0x0450 および 0x0451 を使って選択されます。

### 注

CLKOUT には、デフォルトで 25MHz クロックが出力されます。このピンは、必要に応じて、レジスタ 0x0453 を使って LED2 に構成できます。

LED 出力ピンはストラップ・ピンとしても使用されるため、ストラップに必要な外付け部品と、競合を避けるための LED の使い方とを考慮する必要があります。特に、LED 出力を使って LED を直接駆動する場合、各出力ドライバのアクティブ状態は、電源投入時またはハードウェア・リセット時に、対応する入力によってサンプリングされたロジック・レベルで決まります。

図 8-17 に、LED を DP83TG720R-Q1 に直接接続する 2 つの適切な方法を示します。

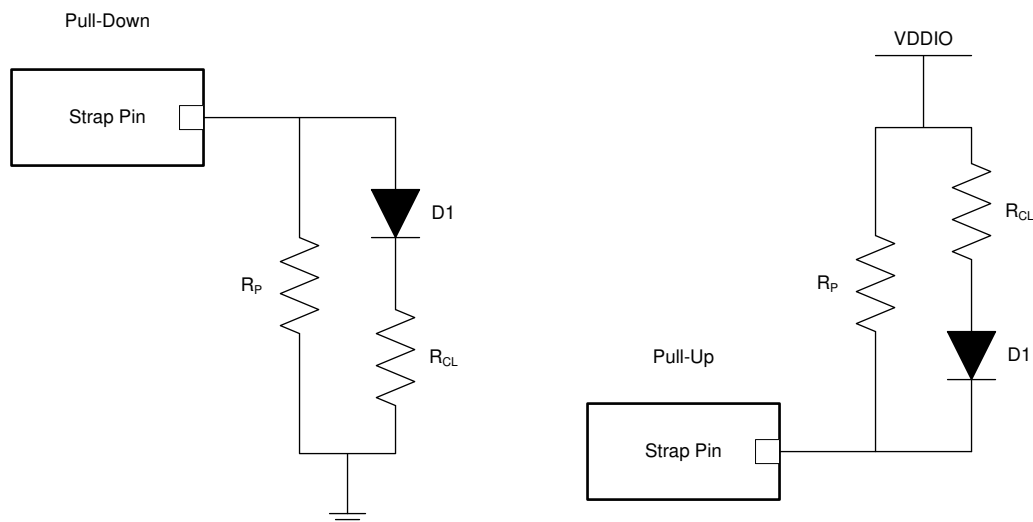


図 8-17. ストラップ接続の例

## 8.5.3 PHY アドレスの設定

DP83TG720R-Q1 は、9 つの可能な PHY アドレスのいずれかに応答するように、ブートストラップ・ピンを使って設定できます。その PHY アドレスは、電源投入時またはハードウェア・リセット時に本デバイスにラッチされます。システム内のシリアル・マネージメント・バス上の各 DP83TG720R-Q1 またはポート共有している PHY は、一意の PHY アドレスを持っている必要があります。DP83TG720R-Q1 は、表 8-19 に示す PHY アドレスをサポートしています。

デフォルトでは、DP83TG720R-Q1 には PHY アドレス 0 ([0000]) がラッチされます。このアドレスは、ブートストラップ・ピン (表 8-17 を参照) にプルアップ抵抗を追加することで変更できます。

## 8.6 レジスタ・マップ

### 8.6.1 レジスタ・アクセスの概要

フィールド内のレジスタにアクセスする方法は 2 つあります。ダイレクト・レジスタ・アクセス方式は、MMD1F レジスタ空間の最初の 31 のレジスタ (0x0h~0x1Fh) に対してのみ使えます。0x1Fh を超えるレジスタをアクセスするには、間接方式 (拡張レジスタ空間、[セクション 8.4.11](#) を参照) を使う必要があります。

**表 8-20. MMD レジスタ空間の区分**

MMD レジスタ空間	レジスタ・アドレス範囲
MMD1F	0x000~0x0EFD
MMD1	0x1000~0x1904
MMD3	0x3000~0x390D
MMD7	0x7000~0x7200

**表 8-21. レジスタ・アクセスの概要**

レジスタ・フィールド	レジスタ・アクセス方式
0x0h~0x1Fh	直接アクセス 間接アクセス、MMD1F = '11111' <b>例:</b> MMD1F フィールドのレジスタ 0x17h をポスト・インクリメントなしで読み出すには、 ステップ 1) レジスタ 0xDh に 0x1Fh を書き込む ステップ 2) レジスタ 0xEh に 0x17h を書き込む ステップ 3) レジスタ 0xDh に 0x401Fh を書き込む ステップ 4) レジスタ 0xEh を読み出す
MMD1F フィールド 0x20h~0xFFh	間接アクセス、MMD1F = '11111' <b>例:</b> MMD1F フィールドのレジスタ 0x462h をポスト・インクリメントなしで読み出すには、 ステップ 1) レジスタ 0xDh に 0x1Fh を書き込む ステップ 2) レジスタ 0xEh に 0x462h を書き込む ステップ 3) レジスタ 0xDh に 0x401Fh を書き込む ステップ 4) レジスタ 0xEh を読み出す
MMD1 フィールド 0x0000h~0xFFFFh	間接アクセス、MMD1 = '00001' <b>例:</b> MMD1 フィールドのレジスタ 0x7h をポスト・インクリメントなしで読み出すには、 ステップ 1) レジスタ 0xDh に 0x1h を書き込む ステップ 2) レジスタ 0xEh に 0x7h を書き込む ステップ 3) レジスタ 0xDh に 0x4001h を書き込む ステップ 4) レジスタ 0xEh を読み出す

## 8.6.2 DP83TG720 Registers

表 8-22 lists the memory-mapped registers for the DP83TG720 registers. All register offset addresses not listed in 表 8-22 should be considered as reserved locations and the register contents should not be modified.

**表 8-22. DP83TG720 Registers**

Offset	Acronym	Register Name	Section
0h	BMCR		<a href="#">セクション 8.6.2.1</a>
1h	BMSR		<a href="#">セクション 8.6.2.2</a>
2h	PHYID1		<a href="#">セクション 8.6.2.3</a>
3h	PHYID2		<a href="#">セクション 8.6.2.4</a>
Dh	REGCR		<a href="#">セクション 8.6.2.5</a>
Eh	ADDAR		<a href="#">セクション 8.6.2.6</a>
10h	MII_REG_10		<a href="#">セクション 8.6.2.7</a>
11h	MII_REG_11		<a href="#">セクション 8.6.2.8</a>
12h	MII_REG_12		<a href="#">セクション 8.6.2.9</a>
13h	MII_REG_13		<a href="#">セクション 8.6.2.10</a>
16h	MII_REG_16		<a href="#">セクション 8.6.2.11</a>
18h	MII_REG_18		<a href="#">セクション 8.6.2.12</a>
19h	MII_REG_19		<a href="#">セクション 8.6.2.13</a>
1Eh	MII_REG_1E		<a href="#">セクション 8.6.2.14</a>
1Fh	MII_REG_1F		<a href="#">セクション 8.6.2.15</a>
180h	LSR		<a href="#">セクション 8.6.2.16</a>
18Bh	LPS_CFG2		<a href="#">セクション 8.6.2.17</a>
18Ch	LPS_CFG3		<a href="#">セクション 8.6.2.18</a>
309h	TDR_STATUS0		<a href="#">セクション 8.6.2.19</a>
30Ah	TDR_STATUS1		<a href="#">セクション 8.6.2.20</a>
30Bh	TDR_STATUS2		<a href="#">セクション 8.6.2.21</a>
30Eh	TDR_STATUS5		<a href="#">セクション 8.6.2.22</a>
30Fh	TDR_TC12		<a href="#">セクション 8.6.2.23</a>
405h	A2D_REG_05		<a href="#">セクション 8.6.2.24</a>
41Eh	A2D_REG_30		<a href="#">セクション 8.6.2.25</a>
41Fh	A2D_REG_31		<a href="#">セクション 8.6.2.26</a>
428h	A2D_REG_40		<a href="#">セクション 8.6.2.27</a>
429h	A2D_REG_41		<a href="#">セクション 8.6.2.28</a>
42Bh	A2D_REG_43		<a href="#">セクション 8.6.2.29</a>
42Ch	A2D_REG_44		<a href="#">セクション 8.6.2.30</a>
42Eh	A2D_REG_46		<a href="#">セクション 8.6.2.31</a>
42Fh	A2D_REG_47		<a href="#">セクション 8.6.2.32</a>
430h	A2D_REG_48		<a href="#">セクション 8.6.2.33</a>
442h	A2D_REG_66		<a href="#">セクション 8.6.2.34</a>
450h	LEDS_CFG_1		<a href="#">セクション 8.6.2.35</a>
451h	LEDS_CFG_2		<a href="#">セクション 8.6.2.36</a>
452h	IO_MUX_CFG_1		<a href="#">セクション 8.6.2.37</a>
453h	IO_MUX_CFG_2		<a href="#">セクション 8.6.2.38</a>
454h	IO_CONTROL_1		<a href="#">セクション 8.6.2.39</a>



**表 8-22. DP83TG720 Registers (continued)**

Offset	Acronym	Register Name	Section
455h	IO_CONTROL_2		<a href="#">セクション 8.6.2.40</a>
456h	IO_CONTROL_3		<a href="#">セクション 8.6.2.41</a>
457h	IO_STATUS_1		<a href="#">セクション 8.6.2.42</a>
458h	IO_STATUS_2		<a href="#">セクション 8.6.2.43</a>
459h	IO_CONTROL_4		<a href="#">セクション 8.6.2.44</a>
45Ah	IO_CONTROL_5		<a href="#">セクション 8.6.2.45</a>
45Dh	SOR_VECTOR_1		<a href="#">セクション 8.6.2.46</a>
45Eh	SOR_VECTOR_2		<a href="#">セクション 8.6.2.47</a>
467h	MONITOR_CTRL1		<a href="#">セクション 8.6.2.48</a>
468h	MONITOR_CTRL2		<a href="#">セクション 8.6.2.49</a>
46Ah	MONITOR_CTRL4		<a href="#">セクション 8.6.2.50</a>
47Bh	MONITOR_STAT1		<a href="#">セクション 8.6.2.51</a>
50Ah	BREAK_LINK_TIMER		<a href="#">セクション 8.6.2.52</a>
510h	RS_DECODER		<a href="#">セクション 8.6.2.53</a>
514h	LPS_CONTROL_1		<a href="#">セクション 8.6.2.54</a>
515h	LPS_CONTROL_2		<a href="#">セクション 8.6.2.55</a>
518h	MAXWAIT_TIMER		<a href="#">セクション 8.6.2.56</a>
519h	PHY_CTRL_1G		<a href="#">セクション 8.6.2.57</a>
531h	TEST_MODE		<a href="#">セクション 8.6.2.58</a>
543h	LINK_QUAL_1		<a href="#">セクション 8.6.2.59</a>
544h	LINK_QUAL_2		<a href="#">セクション 8.6.2.60</a>
545h	LINK_DOWN_LATCH_STAT		<a href="#">セクション 8.6.2.61</a>
547h	LINK_QUAL_3		<a href="#">セクション 8.6.2.62</a>
548h	LINK_QUAL_4		<a href="#">セクション 8.6.2.63</a>
552h	RS_DECODER_FRAME_STAT_2		<a href="#">セクション 8.6.2.64</a>
559h	PMA_WATCHDOG		<a href="#">セクション 8.6.2.65</a>
55Bh	SYMB_POL_CFG		<a href="#">セクション 8.6.2.66</a>
55Ch	OAM_CFG		<a href="#">セクション 8.6.2.67</a>
561h	TEST_MEM_CFG		<a href="#">セクション 8.6.2.68</a>
573h	FORCE_CTRL1		<a href="#">セクション 8.6.2.69</a>
600h	RGMI_CTRL		<a href="#">セクション 8.6.2.70</a>
601h	RGMI_FIFO_STATUS		<a href="#">セクション 8.6.2.71</a>
602h	RGMI_DELAY_CTRL		<a href="#">セクション 8.6.2.72</a>
608h	SGMI_CTRL_1		<a href="#">セクション 8.6.2.73</a>
60Ah	SGMI_STATUS		<a href="#">セクション 8.6.2.74</a>
60Ch	SGMI_CTRL_2		<a href="#">セクション 8.6.2.75</a>
60Dh	SGMI_FIFO_STATUS		<a href="#">セクション 8.6.2.76</a>
618h	PRBS_STATUS_1		<a href="#">セクション 8.6.2.77</a>
619h	PRBS_CTRL_1		<a href="#">セクション 8.6.2.78</a>
61Ah	PRBS_CTRL_2		<a href="#">セクション 8.6.2.79</a>
61Bh	PRBS_CTRL_3		<a href="#">セクション 8.6.2.80</a>
61Ch	PRBS_STATUS_2		<a href="#">セクション 8.6.2.81</a>
61Dh	PRBS_STATUS_3		<a href="#">セクション 8.6.2.82</a>

表 8-22. DP83TG720 Registers (continued)

Offset	Acronym	Register Name	Section
61Eh	PRBS_STATUS_4		<a href="#">セクション 8.6.2.83</a>
620h	PRBS_STATUS_6		<a href="#">セクション 8.6.2.84</a>
622h	PRBS_STATUS_8		<a href="#">セクション 8.6.2.85</a>
623h	PRBS_STATUS_9		<a href="#">セクション 8.6.2.86</a>
624h	PRBS_CTRL_4		<a href="#">セクション 8.6.2.87</a>
625h	PRBS_CTRL_5		<a href="#">セクション 8.6.2.88</a>
626h	PRBS_CTRL_6		<a href="#">セクション 8.6.2.89</a>
627h	PRBS_CTRL_7		<a href="#">セクション 8.6.2.90</a>
628h	PRBS_CTRL_8		<a href="#">セクション 8.6.2.91</a>
629h	PRBS_CTRL_9		<a href="#">セクション 8.6.2.92</a>
62Ah	PRBS_CTRL_10		<a href="#">セクション 8.6.2.93</a>
638h	CRC_STATUS		<a href="#">セクション 8.6.2.94</a>
639h	PKT_STAT_1		<a href="#">セクション 8.6.2.95</a>
63Ah	PKT_STAT_2		<a href="#">セクション 8.6.2.96</a>
63Bh	PKT_STAT_3		<a href="#">セクション 8.6.2.97</a>
63Ch	PKT_STAT_4		<a href="#">セクション 8.6.2.98</a>
63Dh	PKT_STAT_5		<a href="#">セクション 8.6.2.99</a>
63Eh	PKT_STAT_6		<a href="#">セクション 8.6.2.100</a>
871h	SQI_REG_1		<a href="#">セクション 8.6.2.101</a>
875h	DSP_REG_75		<a href="#">セクション 8.6.2.102</a>
8ADh	SQI_1		<a href="#">セクション 8.6.2.103</a>
1000h	PMA_PMD_CONTROL_1	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.104</a>
1007h	PMA_PMD_CONTROL_2	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.105</a>
1009h	PMA_PMD_TRANSMIT_DISABLE	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.106</a>
100Bh	PMA_PMD_EXTENDED_ABILITY2	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.107</a>
1012h	PMA_PMD_EXTENDED_ABILITY	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.108</a>
1834h	PMA_PMD_CONTROL	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.109</a>
1900h	PMA_CONTROL	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.110</a>
1901h	PMA_STATUS	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.111</a>
1902h	TRAINING	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.112</a>

**表 8-22. DP83TG720 Registers (continued)**

Offset	Acronym	Register Name	Section
1903h	LP_TRAINING	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.113</a>
1904h	TEST_MODE_CONTROL	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.114</a>
3000h	PCS_CONTROL_COPY	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.115</a>
3900h	PCS_CONTROL	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.116</a>
3901h	PCS_STATUS	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.117</a>
3902h	PCS_STATUS_2	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.118</a>
3904h	OAM_TRANSMIT	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.119</a>
3905h	OAM_TX_MESSAGE_1	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.120</a>
3906h	OAM_TX_MESSAGE_2	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.121</a>
3907h	OAM_TX_MESSAGE_3	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.122</a>
3908h	OAM_TX_MESSAGE_4	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.123</a>
3909h	OAM_RECEIVE	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.124</a>
390Ah	OAM_RX_MESSAGE_1	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.125</a>
390Bh	OAM_RX_MESSAGE_2	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.126</a>
390Ch	OAM_RX_MESSAGE_3	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.127</a>
390Dh	OAM_RX_MESSAGE_4	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.128</a>
7200h	AN_CFG	First nibble (0x7) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	<a href="#">セクション 8.6.2.129</a>

### 8.6.2.1 BMCR Register (Offset = 0h) [Reset = 0140h]

BMCR is shown in [图 8-18](#) and described in [表 8-23](#).

Return to the [表 8-22](#).

**图 8-18. BMCR Register**

15	14	13	12	11	10	9	8	
mii_reset	loopback	RESERVED	RESERVED	power_down	isolate	RESERVED	RESERVED	
R/WMC-0h	R/W-0h	R-0h	R-0h	R/W-0h	R/W-0h	R-0h	R-1h	
7	6	5	4	3	2	1	0	
RESERVED	speed_sel_msb	RESERVED	RESERVED					
R-0h	R-1h	R-0h	R-0h					

**表 8-23. BMCR Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	mii_reset	R/WMC	0h	1b = Digital in reset and all MII regs (0x0 - 0xF) reset to default 0b = No reset
14	loopback	R/W	0h	1b = MII loopback 0b = No MII loopback
13	RESERVED	R	0h	Reserved
12	RESERVED	R	0h	Reserved
11	power_down	R/W	0h	1b = Power down via register or pin 0b = Normal mode
10	isolate	R/W	0h	1b = MAC isolate mode (No output to MAC from the PHY) 0b = Normal Mode
9	RESERVED	R	0h	Reserved
8	RESERVED	R	1h	Reserved
7	RESERVED	R	0h	Reserved
6	speed_sel_msb	R	1h	0b= Reserved 1b= 1000 Mb/s
5	RESERVED	R	0h	Reserved
4-0	RESERVED	R	0h	Reserved

### 8.6.2.2 BMSR Register (Offset = 1h) [Reset = 0141h]

BMSR is shown in [Figure 8-19](#) and described in [Table 8-24](#).

Return to the [Table 8-22](#).

**Figure 8-19. BMSR Register**

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	extended_status
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-1h
7	6	5	4	3	2	1	0
unidirectional_ability	preamble_suppression	aneg_complete	remote_fault	aneg_ability	link_status	jabber_detect	extended_capability
R-0h	R-1h	R-0h	R/W0C-0h	R-0h	R/W0S-0h	R/W0C-0h	R-1h

**Table 8-24. BMSR Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R	0h	Reserved
14	RESERVED	R	0h	Reserved
13	RESERVED	R	0h	Reserved
12	RESERVED	R	0h	Reserved
11	RESERVED	R	0h	Reserved
10	RESERVED	R	0h	Reserved
9	RESERVED	R	0h	Reserved
8	extended_status	R	1h	1b = Extended status information in Register 15 0b = No extended status information in Register 15
7	unidirectional_ability	R	0h	Reserved
6	preamble_suppression	R	1h	1b = PHY will accept management frames with preamble suppressed. 0b = PHY will not accept management frames with preamble suppressed
5	aneg_complete	R	0h	Reserved
4	remote_fault	R/W0C	0h	Reserved
3	aneg_ability	R	0h	Reserved
2	link_status	R/W0S	0h	1b = link is up 0b = link down
1	jabber_detect	R/W0C	0h	Reserved
0	extended_capability	R	1h	1b = extended register capabilities 0b = basic register set capabilities only

**8.6.2.3 PHYID1 Register (Offset = 2h) [Reset = 2000h]**

PHYID1 is shown in [图 8-20](#) and described in [表 8-25](#).

Return to the [表 8-22](#).

**图 8-20. PHYID1 Register**

15	14	13	12	11	10	9	8
oui_21_16							
R-2000h							
7	6	5	4	3	2	1	0
oui_21_16							
R-2000h							

**表 8-25. PHYID1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	oui_21_16	R	2000h	Unique identifier for the part

### 8.6.2.4 PHYID2 Register (Offset = 3h) [Reset = A284h]

PHYID2 is shown in [图 8-21](#) and described in [表 8-26](#).

Return to the [表 8-22](#).

**图 8-21. PHYID2 Register**

15	14	13	12	11	10	9	8
oui_5_0						model_number	
R-28h						R-28h	
7	6	5	4	3	2	1	0
model_number				rev_number			
R-28h				R-4h			

**表 8-26. PHYID2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-10	oui_5_0	R	28h	Unique identifier for the part
9-4	model_number	R	28h	Unique identifier for the part
3-0	rev_number	R	4h	Unique identifier for the part

**8.6.2.5 REGCR Register (Offset = Dh) [Reset = 0000h]**

REGCR is shown in [图 8-22](#) and described in [表 8-27](#).

Return to the [表 8-22](#).

**图 8-22. REGCR Register**

15	14	13	12	11	10	9	8
Extended Register Command		RESERVED					
R/W-0h				R/W-0h			
7	6	5	4	3	2	1	0
RESERVED			DEVAD				
R/W-0h				R/W-0h			

**表 8-27. REGCR Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-14	Extended Register Command	R/W	0h	00b = Address 01b = Data, no post increment 10b = Data, post increment on read and write 11b = Data, post increment on write only
13-5	RESERVED	R/W	0h	Reserved
4-0	DEVAD	R/W	0h	RESERVED



### 8.6.2.6 ADDAR Register (Offset = Eh) [Reset = 0000h]

ADDAR is shown in [图 8-23](#) and described in [表 8-28](#).

Return to the [表 8-22](#).

**图 8-23. ADDAR Register**

15	14	13	12	11	10	9	8
Address/Data							
R/W-0h							
7	6	5	4	3	2	1	0
Address/Data							
R/W-0h							

**表 8-28. ADDAR Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	Address/Data	R/W	0h	

### 8.6.2.7 MII\_REG\_10 Register (Offset = 10h) [Reset = 0004h]

MII\_REG\_10 is shown in [Figure 8-24](#) and described in [Table 8-29](#).

Return to the [Table 8-22](#).

**Figure 8-24. MII\_REG\_10 Register**

15	14	13	12	11	10	9	8
RESERVED					signal_detect	descr_lock_bit	RESERVED
R-0h					R/W0S-0h	R/W0S-0h	R-0h
7	6	5	4	3	2	1	0
mii_int_bit	RESERVED			mii_loopback	duplex_mode_env	RESERVED	link_status_bit
0h	R-0h			R-0h	R-1h	R-0h	R-0h

**Table 8-29. MII\_REG\_10 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10	signal_detect	R/W0S	0h	1b = Channel ok is set 0b = Channel ok had been reset
9	descr_lock_bit	R/W0S	0h	1b = Descrambler is locked 0b = Descrambler had been locked
8	RESERVED	R	0h	Reserved
7	mii_int_bit		0h	1b = Interrupt pin had been set 0b = Interrupts pin not set
6-4	RESERVED	R	0h	Reserved
3	mii_loopback	R	0h	1b = MII loopback 0b = No MII loopback
2	duplex_mode_env	R	1h	1b = Full duplex 0b = Half duplex
1	RESERVED	R	0h	Reserved
0	link_status_bit	R	0h	1b = link is up 0b = link had been down

### 8.6.2.8 MII\_REG\_11 Register (Offset = 11h) [Reset = 000Bh]

MI\_REG\_11 is shown in [图 8-25](#) and described in [表 8-30](#).

Return to the [表 8-22](#).

**图 8-25. MII\_REG\_11 Register**

15		14		13		12		11		10		9		8	
RESERVED	RESERVED	RESERVED		RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/WSC-0h		R/W-0h		R/W-0h		R/W-0h	
7		6		5		4		3		2		1		0	
RESERVED	RESERVED	RESERVED		RESERVED		RESERVED		int_polarity	force_interrupt	int_en		RESERVED		RESERVED	
R-0h		R/W-0h		R/W-0h		R/W-0h		R/W-1h		R/W-0h		R/W-1h		R/W-1h	

**表 8-30. MII\_REG\_11 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R/W	0h	Reserved
14	RESERVED	R/W	0h	Reserved
13-12	RESERVED	R/W	0h	Reserved
11	RESERVED	R/WSC	0h	Reserved
10	RESERVED	R/W	0h	Reserved
9	RESERVED	R/W	0h	Reserved
8	RESERVED	R/W	0h	Reserved
7	RESERVED	R	0h	Reserved
6	RESERVED	R/W	0h	Reserved
5-4	RESERVED	R/W	0h	Reserved
3	int_polarity	R/W	1h	1b = Active low 0b = Active high
2	force_interrupt	R/W	0h	1b = Force interrupt pin 0b = Do not force interrupt pin
1	int_en	R/W	1h	1b = Enable interrupts 0b = Disable interrupts
0	RESERVED	R/W	1h	Reserved

### 8.6.2.9 MII\_REG\_12 Register (Offset = 12h) [Reset = 0000h]

MI\_REG\_12 is shown in [Figure 8-26](#) and described in [Table 8-31](#).

Return to the [Table 8-22](#).

**Figure 8-26. MII\_REG\_12 Register**

15		14		13		12		11		10		9		8	
link_qual_int		energy_det_int		link_int		RESERVED		esd_int		ms_train_done_int		RESERVED		RESERVED	
R-0h		R-0h		R-0h		R-0h		R-0h		R-0h		R-0h		R-0h	
7		6		5		4		3		2		1		0	
link_qual_int_en		energy_det_int_en		link_int_en		unused_int_3		esd_int_en		ms_train_done_int_en		unused_int_2		unused_int_1	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	

**Table 8-31. MII\_REG\_12 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	link_qual_int	R	0h	Link quality bad interrupt status
14	energy_det_int	R	0h	Energy det change interrupt status
13	link_int	R	0h	Link status change interrupt status
12	RESERVED	R	0h	Reserved
11	esd_int	R	0h	ESD fault detected interrupt status
10	ms_train_done_int	R	0h	Training done interrupt status
9	RESERVED	R	0h	Reserved
8	RESERVED	R	0h	Reserved
7	link_qual_int_en	R/W	0h	Link quality bad interrupt enable
6	energy_det_int_en	R/W	0h	Energy det change interrupt enable
5	link_int_en	R/W	0h	Link status change interrupt enable
4	unused_int_3	R/W	0h	Reserved
3	esd_int_en	R/W	0h	ESD fault detected interrupt enable
2	ms_train_done_int_en	R/W	0h	Training done interrupt enable
1	unused_int_2	R/W	0h	Reserved
0	unused_int_1	R/W	0h	Reserved

### 8.6.2.10 MII\_REG\_13 Register (Offset = 13h) [Reset = 0000h]

MI\_REG\_13 is shown in [Figure 8-27](#) and described in [Table 8-32](#).

Return to the [Table 8-22](#).

**Figure 8-27. MII\_REG\_13 Register**

15		14		13		12		11		10		9		8	
under_volt_int	over_volt_int	RESERVED	RESERVED	over_temp_int	sleep_int	pol_change_int	not_one_hot_int								
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h								
7		6		5		4		3		2		1		0	
under_volt_int_en	over_volt_int_en	unused_int_6	unused_int_5	over_temp_int_en	sleep_int_en	pol_change_int_en	not_one_hot_int_en								
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h								

**Table 8-32. MII\_REG\_13 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	under_volt_int	R	0h	Under volt interrupt status
14	over_volt_int	R	0h	Over volt interrupt status
13	RESERVED	R	0h	Reserved
12	RESERVED	R	0h	Reserved
11	over_temp_int	R	0h	Over temp interrupt status
10	sleep_int	R	0h	Sleep mode change interrupt status
9	pol_change_int	R	0h	Data polarity change interrupt status
8	not_one_hot_int	R	0h	Not one hot interrupt status
7	under_volt_int_en	R/W	0h	Under volt interrupt enable
6	over_volt_int_en	R/W	0h	Over volt interrupt enable
5	unused_int_6	R/W	0h	Reserved
4	unused_int_5	R/W	0h	Reserved
3	over_temp_int_en	R/W	0h	Over temp interrupt enable
2	sleep_int_en	R/W	0h	Sleep mode change interrupt enable
1	pol_change_int_en	R/W	0h	Data Polarity change interrupt enable
0	not_one_hot_int_en	R/W	0h	Not one hot interrupt enable

**8.6.2.11 MII\_REG\_16 Register (Offset = 16h) [Reset = 0000h]**

 MII\_REG\_16 is shown in [Figure 8-28](#) and described in [Table 8-33](#).

 Return to the [Table 8-22](#).

**Figure 8-28. MII\_REG\_16 Register**

15	14	13	12	11	10	9	8
RESERVED					prbs_sync_loss	RESERVED	core_pwr_mode
R-0h					R/W0C-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
cfg_dig_pcs_loo pback	loopback_mode						
R/W-0h				R/W-0h			

**Table 8-33. MII\_REG\_16 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10	prbs_sync_loss	R/W0C	0h	1b = Prbs lock had been lost 0b = Prbs lock never lost
9	RESERVED	R	0h	Reserved
8	core_pwr_mode	R	0h	1b = Core is in normal power mode 0b = Core is in power down or sleep mode
7	cfg_dig_pcs_loopback	R/W	0h	PCS digital loopback
6-0	loopback_mode	R/W	0h	000001b = PCS loop 000010b = RS loop 000100b = Digital loop 001000B = Analog loop 010000b = Reverse loop

### 8.6.2.12 MII\_REG\_18 Register (Offset = 18h) [Reset = 0008h]

MI\_REG\_18 is shown in [图 8-29](#) and described in [表 8-34](#).

Return to the [表 8-22](#).

**图 8-29. MII\_REG\_18 Register**

15		14		13		12		11		10		9		8	
ack_received_int		tx_valid_clr_int		RESERVED		RESERVED		por_done_int		no_frame_int		wake_req_int		lps_int	
R-0h		R-0h		R-0h		R-0h		R-0h		R-0h		R-0h		R-0h	
7		6		5		4		3		2		1		0	
ack_received_int_en		tx_valid_clr_int_en		RESERVED		RESERVED		por_done_int_en		no_frame_int_en		wake_req_int_en		lps_int_en	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-1h		R/W-0h		R/W-0h		R/W-0h	

**表 8-34. MII\_REG\_18 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	ack_received_int	R	0h	Ack received interrupt status (OAM)
14	tx_valid_clr_int	R	0h	mr_tx_valid clear interrupt status (OAM)
13	RESERVED	R	0h	Reserved
12	RESERVED	R	0h	Reserved
11	por_done_int	R	0h	POR done interrupt status
10	no_frame_int	R	0h	No frame detect interrupt status
9	wake_req_int	R	0h	Wake request interrupt status
8	lps_int	R	0h	LPS interrupt status
7	ack_received_int_en	R/W	0h	Ack received interrupt enable (OAM)
6	tx_valid_clr_int_en	R/W	0h	mr_tx_valid clear interrupt enable (OAM)
5	RESERVED	R/W	0h	Reserved
4	RESERVED	R/W	0h	Reserved
3	por_done_int_en	R/W	1h	POR done interrupt enable
2	no_frame_int_en	R/W	0h	No frame detect interrupt enable
1	wake_req_int_en	R/W	0h	Wake request interrupt enable
0	lps_int_en	R/W	0h	LPS interrupt enable

**8.6.2.13 MII\_REG\_19 Register (Offset = 19h) [Reset = X]**

 MII\_REG\_19 is shown in [Figure 8-30](#) and described in [Table 8-35](#).

 Return to the [Table 8-22](#).

**Figure 8-30. MII\_REG\_19 Register**

15	14	13	12	11	10	9	8
RESERVED					RESERVED	RESERVED	
R-0h					R-0h	R-0h	
7	6	5	4	3	2	1	0
RESERVED			SOR_PHYADDR				
R-0h			R-X				

**Table 8-35. MII\_REG\_19 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10	RESERVED	R	0h	Reserved
9-5	RESERVED	R	0h	Reserved
4-0	SOR_PHYADDR	R	X	PHY ADDRESS latched from strap



### 8.6.2.14 MII\_REG\_1E Register (Offset = 1Eh) [Reset = 0000h]

MI\_REG\_1E is shown in [图 8-31](#) and described in [表 8-36](#).

Return to the [表 8-22](#).

**图 8-31. MII\_REG\_1E Register**

15		14		13		12		11		10		9		8	
tdr_start		cfg_tdr_auto_run		RESERVED											
R/WMC-0h		R/W-0h		R-0h											
7		6		5		4		3		2		1		0	
RESERVED												tdr_done		tdr_fail	
R-0h												R-0h		R-0h	

**表 8-36. MII\_REG\_1E Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	tdr_start	R/WMC	0h	1b = TDR start 0b = No TDR
14	cfg_tdr_auto_run	R/W	0h	1b = TDR start automatically on link down 0b = TDR start manually
13-2	RESERVED	R	0h	Reserved
1	tdr_done	R	0h	TDR done status
0	tdr_fail	R	0h	TDR fail status

**8.6.2.15 MII\_REG\_1F Register (Offset = 1Fh) [Reset = 0000h]**

 MII\_REG\_1F is shown in [Figure 8-32](#) and described in [Table 8-37](#).

 Return to the [Table 8-22](#).

**Figure 8-32. MII\_REG\_1F Register**

15	14	13	12	11	10	9	8
sw_global_reset	digital_reset	RESERVED	RESERVED				
R/WMC-0h	R/WMC-0h	R/W-0h	R/W-0h				
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED				
R/W-0h	R/W-0h	R-0h	R/W-0h				

**Table 8-37. MII\_REG\_1F Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	sw_global_reset	R/WMC	0h	Hardware reset - Reset digital + register file
14	digital_reset	R/WMC	0h	Soft reset - Reset only digital core
13	RESERVED	R/W	0h	Reserved
12-8	RESERVED	R/W	0h	Reserved
7	RESERVED	R/W	0h	Reserved
6	RESERVED	R/W	0h	Reserved
5	RESERVED	R	0h	Reserved
4-0	RESERVED	R/W	0h	Reserved

### 8.6.2.16 LSR Register (Offset = 180h) [Reset = 0000h]

LSR is shown in [图 8-33](#) and described in [表 8-38](#).

Return to the [表 8-22](#).

**图 8-33. LSR Register**

15		14		13		12		11		10		9		8	
link_up		link_down		phy_ctrl_send_data		link_status		RESERVED							
R-0h		R-0h		R-0h		R-0h		R-0h							
7		6		5		4		3		2		1		0	
RESERVED		RESERVED		RESERVED		RESERVED		RESERVED		descr_sync		loc_rcvr_status		rem_rcvr_status	
R-0h		R-0h		R-0h		R-0h		R-0h		R-0h		R-0h		R-0h	

**表 8-38. LSR Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	link_up	R	0h	Link up defined by CnS
14	link_down	R	0h	Link down as defined by CnS
13	phy_ctrl_send_data	R	0h	Phy control in send data status
12	link_status	R	0h	Link status
11-8	RESERVED	R	0h	Reserved
7	RESERVED	R	0h	Reserved
6	RESERVED	R	0h	Reserved
5	RESERVED	R	0h	Reserved
4	RESERVED	R	0h	Reserved
3	RESERVED	R	0h	Reserved
2	descr_sync	R	0h	Descrambler lock status
1	loc_rcvr_status	R	0h	Local receiver status
0	rem_rcvr_status	R	0h	Remote receiver status

**8.6.2.17 LPS\_CFG2 Register (Offset = 18Bh) [Reset = 0000h]**

 LPS\_CFG2 is shown in [Figure 8-34](#) and described in [Table 8-39](#).

 Return to the [Table 8-22](#).

**Figure 8-34. LPS\_CFG2 Register**

15	14	13	12	11	10	9	8
RESERVED							ed_en
R-0h							R/W-0h
7	6	5	4	3	2	1	0
sleep_en	cfg_auto_mode_en_strap	cfg_lps_mon_en_strap	cfg_lps_sleep_auto	cfg_lps_slp_confirm	cfg_lps_auto_pwrdn	cfg_lps_sleep_en	cfg_lps_sm_en
R/W-0h	R/WMC,1-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

**Table 8-39. LPS\_CFG2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	Reserved
8	ed_en	R/W	0h	1b = Enable energy detection on MDI 0b = Disable energy detection on MDI
7	sleep_en	R/W	0h	1b = Allow PHY to enter sleep 0b = Do not allow PHY to enter sleep
6	cfg_auto_mode_en_strap	R/WMC,1	0h	LPS autonomous mode enable 1b = PHY enters normal mode on power up 0b = PHY enters standby mode on power up
5	cfg_lps_mon_en_strap	R/W	0h	
4	cfg_lps_sleep_auto	R/W	0h	Reserved
3	cfg_lps_slp_confirm	R/W	0h	Reserved
2	cfg_lps_auto_pwrdn	R/W	0h	Reserved
1	cfg_lps_sleep_en	R/W	0h	Reserved
0	cfg_lps_sm_en	R/W	0h	Reserved

### 8.6.2.18 LPS\_CFG3 Register (Offset = 18Ch) [Reset = 0000h]

LPS\_CFG3 is shown in [Figure 8-35](#) and described in [Table 8-40](#).

Return to the [Table 8-22](#).

**Figure 8-35. LPS\_CFG3 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
cfg_lps_pwr_mode_7	cfg_lps_pwr_mode_6	cfg_lps_pwr_mode_5	cfg_lps_pwr_mode_4	cfg_lps_pwr_mode_3	cfg_lps_pwr_mode_2	cfg_lps_pwr_mode_1	cfg_lps_pwr_mode_0
R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h

**Table 8-40. LPS\_CFG3 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	RESERVED	R	0h	Reserved
7	cfg_lps_pwr_mode_7	R/WMC,0	0h	Reserved
6	cfg_lps_pwr_mode_6	R/WMC,0	0h	Reserved
5	cfg_lps_pwr_mode_5	R/WMC,0	0h	Reserved
4	cfg_lps_pwr_mode_4	R/WMC,0	0h	Set to enter standby mode
3	cfg_lps_pwr_mode_3	R/WMC,0	0h	Reserved
2	cfg_lps_pwr_mode_2	R/WMC,0	0h	Reserved
1	cfg_lps_pwr_mode_1	R/WMC,0	0h	Reserved
0	cfg_lps_pwr_mode_0	R/WMC,0	0h	Set to enter normal mode

### 8.6.2.19 TDR\_STATUS0 Register (Offset = 309h) [Reset = 0000h]

TDR\_STATUS0 is shown in [Figure 8-36](#) and described in [Table 8-41](#).

Return to the [Table 8-22](#).

**Figure 8-36. TDR\_STATUS0 Register**

15	14	13	12	11	10	9	8
peak1_loc							
R-0h							
7	6	5	4	3	2	1	0
peak0_loc							
R-0h							

**Table 8-41. TDR\_STATUS0 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	peak1_loc	R	0h	Peak 1 location in tap index
7-0	peak0_loc	R	0h	Peak 0 location in tap index

### 8.6.2.20 TDR\_STATUS1 Register (Offset = 30Ah) [Reset = 0000h]

TDR\_STATUS1 is shown in [图 8-37](#) and described in [表 8-42](#).

Return to the [表 8-22](#).

**图 8-37. TDR\_STATUS1 Register**

15	14	13	12	11	10	9	8
peak3_loc							
R-0h							
7	6	5	4	3	2	1	0
peak2_loc							
R-0h							

**表 8-42. TDR\_STATUS1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	peak3_loc	R	0h	Peak 3 location in tap index
7-0	peak2_loc	R	0h	Peak 2 location in tap index

**8.6.2.21 TDR\_STATUS2 Register (Offset = 30Bh) [Reset = 0000h]**

TDR\_STATUS2 is shown in [图 8-38](#) and described in [表 8-43](#).

Return to the [表 8-22](#).

**图 8-38. TDR\_STATUS2 Register**

15	14	13	12	11	10	9	8
peak0_amp							
R-0h							
7	6	5	4	3	2	1	0
peak4_loc							
R-0h							

**表 8-43. TDR\_STATUS2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	peak0_amp	R	0h	Peak 0 amplitude in echo coeff
7-0	peak4_loc	R	0h	Peak 4 location in tap index



### 8.6.2.22 TDR\_STATUS5 Register (Offset = 30Eh) [Reset = 0000h]

TDR\_STATUS5 is shown in [图 8-39](#) and described in [表 8-44](#).

Return to the [表 8-22](#).

**图 8-39. TDR\_STATUS5 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED			peak4_sign	peak3_sign	peak2_sign	peak1_sign	peak0_sign
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h

**表 8-44. TDR\_STATUS5 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-5	RESERVED	R	0h	Reserved
4	peak4_sign	R	0h	Peak 4 sign
3	peak3_sign	R	0h	Peak 3 sign
2	peak2_sign	R	0h	Peak 2 sign
1	peak1_sign	R	0h	Peak 1 sign
0	peak0_sign	R	0h	Peak 0 sign

**8.6.2.23 TDR\_TC12 Register (Offset = 30Fh) [Reset = 0000h]**

TDR\_TC12 is shown in [图 8-40](#) and described in [表 8-45](#).

Return to the [表 8-22](#).

**图 8-40. TDR\_TC12 Register**

15	14	13	12	11	10	9	8
RESERVED		fault_loc					
R-0h		R-0h					
7	6	5	4	3	2	1	0
tdr_state			RESERVED			tdr_activation	
R-0h			R-0h			R-0h	

**表 8-45. TDR\_TC12 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-14	RESERVED	R	0h	Reserved
13-8	fault_loc	R	0h	See TC12
7-4	tdr_state	R	0h	See TC12
3-2	RESERVED	R	0h	Reserved
1-0	tdr_activation	R	0h	See TC12

### 8.6.2.24 A2D\_REG\_05 Register (Offset = 405h) [Reset = 6400h]

A2D\_REG\_05 is shown in [Figure 8-41](#) and described in [Table 8-46](#).

Return to the [Table 8-22](#).

**Figure 8-41. A2D\_REG\_05 Register**

15	14	13	12	11	10	9	8
Id_bias_1p0v_sl						RESERVED	
R/W-19h						R/W-0h	
7	6	5	4	3	2	1	0
RESERVED							
R/W-0h							

**Table 8-46. A2D\_REG\_05 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-10	Id_bias_1p0v_sl	R/W	19h	Bits to control the DAC current of LD and hence the swing. 001010b = 400 mV 001011b = 440 mV 001100b = 480 mV 001101b = 520 mV 001110b = 560 mV 001111b = 600 mV 010000b = 640 mV 010001b = 680 mV 010010b = 720 mV 010011b = 760 mV 010100b = 800 mV 010101b = 840 mV 010110b = 880 mV 010111b = 920 mV 011000b = 960 mV 011001b = 1000 mV 011010b = 1040 mV 011011b = 1080 mV 011100b = 1120 mV 011101b = 1160 mV 011110b = 1200 mV
9-0	RESERVED	R/W	0h	Reserved

**8.6.2.25 A2D\_REG\_30 Register (Offset = 41Eh) [Reset = 0000h]**

 A2D\_REG\_30 is shown in [Figure 8-42](#) and described in [Table 8-47](#).

 Return to the [Table 8-22](#).

**Figure 8-42. A2D\_REG\_30 Register**

15	14	13	12	11	10	9	8
RESERVED							spare_in_2_fromdig_sl_force_en
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED			
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			

**Table 8-47. A2D\_REG\_30 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	Reserved
8	spare_in_2_fromdig_sl_force_en	R/W	0h	Force control enable for Reg0x042F
7	RESERVED	R/W	0h	Reserved
6	RESERVED	R/W	0h	Reserved
5	RESERVED	R/W	0h	Reserved
4	RESERVED	R/W	0h	Reserved
3-0	RESERVED	R/W	0h	Reserved

### 8.6.2.26 A2D\_REG\_31 Register (Offset = 41Fh) [Reset = 0000h]

A2D\_REG\_31 is shown in [Figure 8-43](#) and described in [Table 8-48](#).

Return to the [Table 8-22](#).

**Figure 8-43. A2D\_REG\_31 Register**

15		14		13		12		11		10		9		8	
RESERVED		RESERVED		RESERVED		RESERVED		RESERVED		RESERVED					
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h					
7		6		5		4		3		2		1		0	
RESERVED		RESERVED						RESERVED		RESERVED		RESERVED			
R/W-0h		R/W-0h						R/W-0h		R/W-0h		R/W-0h			

**Table 8-48. A2D\_REG\_31 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R/W	0h	Reserved
14	RESERVED	R/W	0h	Reserved
13	RESERVED	R/W	0h	Reserved
12	RESERVED	R/W	0h	Reserved
11	RESERVED	R/W	0h	Reserved
10-7	RESERVED	R/W	0h	Reserved
6-3	RESERVED	R/W	0h	Reserved
2	RESERVED	R/W	0h	Reserved
1	RESERVED	R/W	0h	Reserved
0	RESERVED	R/W	0h	Reserved

**8.6.2.27 A2D\_REG\_40 Register (Offset = 428h) [Reset = 6002h]**

 A2D\_REG\_40 is shown in [Figure 8-44](#) and described in [Table 8-49](#).

 Return to the [Table 8-22](#).

**Figure 8-44. A2D\_REG\_40 Register**

15	14	13	12	11	10	9	8
RESERVED	SGMII_TESTMODE		RESERVED	SGMII_SOP_SON_SLEW_CTRL	RESERVED	RESERVED	
R/W-0h	R/W-3h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	
7	6	5	4	3	2	1	0
RESERVED	RESERVED						RESERVED
R/W-0h	R/W-1h						R/W-0h

**Table 8-49. A2D\_REG\_40 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R/W	0h	Reserved
14-13	SGMII_TESTMODE	R/W	3h	00b = 1000mV Sgmii output swing 01b = 1260mV Sgmii output swing 10b = 900mV Sgmii output swing 11b = 720mV Sgmii output swing
12	RESERVED	R/W	0h	Reserved
11	SGMII_SOP_SON_SLEW_CTRL	R/W	0h	0b = Default output rise/fall time 1b = Slow output rise/fall time
10	RESERVED	R/W	0h	Reserved
9-8	RESERVED	R/W	0h	Reserved
7	RESERVED	R/W	0h	Reserved
6-1	RESERVED	R/W	1h	Reserved
0	RESERVED	R/W	0h	Reserved

### 8.6.2.28 A2D\_REG\_41 Register (Offset = 429h) [Reset = 0030h]

A2D\_REG\_41 is shown in [Figure 8-45](#) and described in [Table 8-50](#).

Return to the [Table 8-22](#).

**Figure 8-45. A2D\_REG\_41 Register**

15	14	13	12	11	10	9	8
RESERVED				RESERVED	RESERVED	RESERVED	RESERVED
R/W-0h				R/W-0h		R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED					SGMII_IO_LOOPBACK_EN		RESERVED
R/W-Ch						R/W-0h	R/W-0h

**Table 8-50. A2D\_REG\_41 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-11	RESERVED	R/W	0h	Reserved
10	RESERVED	R/W	0h	Reserved
9	RESERVED	R/W	0h	Reserved
8	RESERVED	R/W	0h	Reserved
7-2	RESERVED	R/W	Ch	Reserved
1	SGMII_IO_LOOPBACK_EN	R/W	0h	1b = Connects RX and TX signals internally to provide internal loopback option without external components.
0	RESERVED	R/W	0h	Reserved

**8.6.2.29 A2D\_REG\_43 Register (Offset = 42Bh) [Reset = 0000h]**

A2D\_REG\_43 is shown in [图 8-46](#) and described in [表 8-51](#).

Return to the [表 8-22](#).

**图 8-46. A2D\_REG\_43 Register**

15	14	13	12	11	10	9	8
SGMII_CDR_TESTMODE_1							
R/W-0h							
7	6	5	4	3	2	1	0
SGMII_CDR_TESTMODE_1							
R/W-0h							

**表 8-51. A2D\_REG\_43 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	SGMII_CDR_TESTMODE_1	R/W	0h	SGMII RX CDR test mode



### 8.6.2.30 A2D\_REG\_44 Register (Offset = 42Ch) [Reset = 0000h]

A2D\_REG\_44 is shown in [Figure 8-47](#) and described in [Table 8-52](#).

Return to the [Table 8-22](#).

**Figure 8-47. A2D\_REG\_44 Register**

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	SGMII_DIG_LO OPBACK_EN	RESERVED			RESERVED
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			R/W-0h

**Table 8-52. A2D\_REG\_44 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R/W	0h	Reserved
14	RESERVED	R/W	0h	Reserved
13	RESERVED	R/W	0h	Reserved
12	RESERVED	R/W	0h	Reserved
11	RESERVED	R/W	0h	Reserved
10	RESERVED	R/W	0h	Reserved
9	RESERVED	R/W	0h	Reserved
8	RESERVED	R/W	0h	Reserved
7	RESERVED	R/W	0h	Reserved
6	RESERVED	R/W	0h	Reserved
5	RESERVED	R/W	0h	Reserved
4	SGMII_DIG_LOOPBACK_EN	R/W	0h	1b = Loops back TX data to RX before the IO
3-1	RESERVED	R/W	0h	Reserved
0	RESERVED	R/W	0h	Reserved

**8.6.2.31 A2D\_REG\_46 Register (Offset = 42Eh) [Reset = 0000h]**

 A2D\_REG\_46 is shown in [Figure 8-48](#) and described in [Table 8-53](#).

 Return to the [Table 8-22](#).

**Figure 8-48. A2D\_REG\_46 Register**

15	14	13	12	11	10	9	8
RESERVED				sgmii_calib_wat chdog_dis	sgmii_calib_watchdog_val	sgmii_calib_avg	
R-0h				R/W-0h	R/W-0h	R/W-0h	
7	6	5	4	3	2	1	0
sgmii_calib_avg	sgmii_do_calib	SGMII_CDR_L OCK_SL	SGMII_MODE_f orce_en	SGMII_INPUT_ TERM_EN_forc e_en	SGMII_OUTPU T_EN_force_en	SGMII_COMP_ OFFSET_TUNE _force_en	SGMII_DATA_S YNC_SL
R/W-0h	R/WSC-0h	R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h

**Table 8-53. A2D\_REG\_46 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11	sgmii_calib_watchdog_dis	R/W	0h	By default, SGMII calibration process has a watchdog timer. If calibration is not ended till timer expires, then it is disabled and default value is taken. If this bit is set, then the calibration watchdog timer is disabled.
10-9	sgmii_calib_watchdog_val	R/W	0h	Watchdog timer configuration for SGMII calibration sequence: 00 - If not ended, calibration stops after 32us 01 - If not ended, calibration stops after 48us 10 - If not ended, calibration stops after 64us 11 - If not ended, calibration stops after 128us
8-7	sgmii_calib_avg	R/W	0h	Number of repetitions of COMP_OFFSET_TUNE calibration (the repetitions are for averaging): 00 - a single repetition 01 - 2 repetitions 10 - 4 repetitions 11 - 8 repetitions
6	sgmii_do_calib	R/WSC	0h	SGMII start calibration command (mainly for debug) Please notice: This register is WSC (write-self-clear) and not read-only!
5	SGMII_CDR_LOCK_SL	R	0h	Indicates Sgmii's CDR lock status
4	SGMII_MODE_force_en	R/W	0h	
3	SGMII_INPUT_TERM_EN_force_en	R/W	0h	
2	SGMII_OUTPUT_EN_force_en	R/W	0h	
1	SGMII_COMP_OFFSET_TUNE_force_en	R/W	0h	
0	SGMII_DATA_SYNC_SL	R	0h	

### 8.6.2.32 A2D\_REG\_47 Register (Offset = 42Fh) [Reset = 0000h]

A2D\_REG\_47 is shown in [Figure 8-49](#) and described in [Table 8-54](#).

Return to the [Table 8-22](#).

**Figure 8-49. A2D\_REG\_47 Register**

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED				RESERVED	spare_in_2_fro mdig_sl_2	spare_in_2_fro mdig_sl_1	spare_in_2_fro mdig_sl_0
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

**Table 8-54. A2D\_REG\_47 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-4	RESERVED	R/W	0h	Reserved
3	RESERVED	R/W	0h	Reserved
2	spare_in_2_fromdig_sl_2	R/W	0h	energy lost indication force control value
1	spare_in_2_fromdig_sl_1	R/W	0h	energy lost detector enable force control value
0	spare_in_2_fromdig_sl_0	R/W	0h	[0] - sleep enable force control value Force control enable is controlled by reg0x041E[8]

**8.6.2.33 A2D\_REG\_48 Register (Offset = 430h) [Reset = 0960h]**

A2D\_REG\_48 is shown in [Figure 8-50](#) and described in [Table 8-55](#).

Return to the [Table 8-22](#).

**Figure 8-50. A2D\_REG\_48 Register**

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	DLL_EN	DLL_TX_DELAY_CTRL_SL			
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-9h			
7	6	5	4	3	2	1	0
DLL_RX_DELAY_CTRL_SL				RESERVED			
R/W-6h				R/W-0h			

**Table 8-55. A2D\_REG\_48 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R	0h	Reserved
14	RESERVED	R/W	0h	Reserved
13	RESERVED	R/W	0h	Reserved
12	DLL_EN	R/W	0h	
11-8	DLL_TX_DELAY_CTRL_SL	R/W	9h	Refer to electrical specification for delay vs code information.
7-4	DLL_RX_DELAY_CTRL_SL	R/W	6h	Refer to electrical specification for delay vs code information.
3-0	RESERVED	R/W	0h	Reserved

### 8.6.2.34 A2D\_REG\_66 Register (Offset = 442h) [Reset = 0000h]

A2D\_REG\_66 is shown in [图 8-51](#) and described in [表 8-56](#).

Return to the [表 8-22](#).

**图 8-51. A2D\_REG\_66 Register**

15	14	13	12	11	10	9	8
RESERVED	esd_event_count						RESERVED
R/W-0h	R-0h						R/W-0h
7	6	5	4	3	2	1	0
RESERVED			RESERVED	RESERVED			
R/W-0h			R/W-0h	R/W-0h			

**表 8-56. A2D\_REG\_66 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R/W	0h	Reserved
14-9	esd_event_count	R	0h	Number gives the number of esd events on the copper channel
8	RESERVED	R/W	0h	Reserved
7-5	RESERVED	R/W	0h	Reserved
4	RESERVED	R/W	0h	Reserved
3-0	RESERVED	R/W	0h	Reserved

**8.6.2.35 LEDS\_CFG\_1 Register (Offset = 450h) [Reset = 2610h]**

LEDS\_CFG\_1 is shown in [Figure 8-52](#) and described in [Table 8-57](#).

Return to the [Table 8-22](#).

**Figure 8-52. LEDS\_CFG\_1 Register**

15	14	13	12	11	10	9	8
RESERVED	leds_bypass_str etching	leds_blink_rate		led_2_option			
R-0h	R/W-0h	R/W-2h		R/W-6h			
7	6	5	4	3	2	1	0
led_1_option				led_0_option			
R/W-1h				R/W-0h			

**Table 8-57. LEDS\_CFG\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R	0h	
14	leds_bypass_stretching	R/W	0h	LED Signal Stretch
13-12	leds_blink_rate	R/W	2h	Blink Rate for the LED - 00b = 20Hz (50mSec) 01b = 10Hz (100mSec) 10b = 5Hz (200mSec) 11b = 2Hz (500mSec)
11-8	led_2_option	R/W	6h	0000b = link OK 0001b = link OK + blink on TX/RX activity 0010b = link OK + blink on TX activity 0011b = link OK + blink on RX activity 0100b = link OK + 100Base-T1 Master 0101b = link OK + 100Base-T1 Slave 0110b = TX/RX activity with stretch option 0111b = Reserved 1000b = Reserved 1001b = Link lost (remains on until register 0x1 is read) 1010b = PRBS error latch until cleared by 0x620(1) 1011b = XMIII TX/RX Error with stretch option
7-4	led_1_option	R/W	1h	0000b = link OK 0001b = link OK + blink on TX/RX activity 0010b = link OK + blink on TX activity 0011b = link OK + blink on RX activity 0100b = link OK + 100Base-T1 Master 0101b = link OK + 100Base-T1 Slave 0110b = TX/RX activity with stretch option 0111b = Reserved 1000b = Reserved 1001b = Link lost (remains on until register 0x1 is read) 1010b = PRBS error (latch until cleared by 0x620(1)) 1011b = XMIII TX/RX Error with stretch option
3-0	led_0_option	R/W	0h	0000b = link OK 0001b = link OK + blink on TX/RX activity 0010b = link OK + blink on TX activity 0011b = link OK + blink on RX activity 0100b = link OK + 100Base-T1 Master 0101b = link OK + 100Base-T1 Slave 0110b = TX/RX activity with stretch option 0111b = Reserved 1000b = Reserved 1001b = Link lost (remains on until register 0x1 is read) 1010b = PRBS error (latch until cleared by 0x620(1)) 1011b = XMIII TX/RX Error with stretch option

### 8.6.2.36 LEDS\_CFG\_2 Register (Offset = 451h) [Reset = 0000h]

LEDS\_CFG\_2 is shown in [Figure 8-53](#) and described in [Table 8-58](#).

Return to the [Table 8-22](#).

**Figure 8-53. LEDS\_CFG\_2 Register**

15		14		13		12		11		10		9		8	
RESERVED				RESERVED						XXXX		led_2_drv_en			
R-0h				R-0h						R/W-0h					
7		6		5		4		3		2		1		0	
led_2_drv_val		led_2_polarity		led_1_drv_en		led_1_drv_val		led_1_polarity		led_0_drv_en		led_0_drv_val		led_0_polarity	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	

**Table 8-58. LEDS\_CFG\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-14	RESERVED	R	0h	Reserved
13-10	RESERVED	R	0h	Reserved
11-9	cfg_ieee_compl_sel	R/W	0h	Observe IEEE Compliance signals in LED_0_GPIO_0, when LED_0_GPIO_CTRL= 'h5 as follows - 000b = loc_rcvr_status 001b = rem_rcvr_status 010b = loc_snr_margin 011b = rem_phy_ready 100b = pma_watchdog_status 101b = link_sync_link_control
8	led_2_drv_en	R/W	0h	LED_2 Drive Enable, When set, drives the value as per LED_2_DRV_VAL
7	led_2_drv_val	R/W	0h	LED_2 Drive Value, when LED_2_DRV_EN is set
6	led_2_polarity	R/W	0h	LED_2 polarity
5	led_1_drv_en	R/W	0h	LED_1 Drive Enable, When set, drives the value as per LED_1_DRV_VAL
4	led_1_drv_val	R/W	0h	LED_1 Drive Value, when LED_1_DRV_EN is set
3	led_1_polarity	R/W	0h	LED_1 polarity
2	led_0_drv_en	R/W	0h	LED_0 Drive Enable, When set, drives the value as per LED_0_DRV_VAL
1	led_0_drv_val	R/W	0h	LED_0 Drive Value, when LED_0_DRV_EN is set
0	led_0_polarity	R/W	0h	LED_0 polarity

**8.6.2.37 IO\_MUX\_CFG\_1 Register (Offset = 452h) [Reset = 0000h]**

IO\_MUX\_CFG\_1 is shown in [Figure 8-54](#) and described in [Table 8-59](#).

Return to the [Table 8-22](#).

**Figure 8-54. IO\_MUX\_CFG\_1 Register**

15	14	13	12	11	10	9	8
RESERVED		RESERVED			led_1_gpio_ctrl		
R-0h		R/W-0h			R/W-0h		
7	6	5	4	3	2	1	0
RESERVED		RESERVED			led_0_gpio_ctrl		
R-0h		R/W-0h			R/W-0h		

**Table 8-59. IO\_MUX\_CFG\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-14	RESERVED	R	0h	Reserved
13-11	RESERVED	R/W	0h	Reserved
10-8	led_1_gpio_ctrl	R/W	0h	Controls the output of LED_1 IO - 000b = LED_1 (default: link OK + blink on TX/RX activity) 001b = Reserved 010b = RGMII data match indication 011b = Under-Voltage indication 100b = Interrupt 101b = IEEE compliance signals 110b = constant 0 111b = constant 1
7-6	RESERVED	R	0h	Reserved
5-3	RESERVED	R/W	0h	Reserved
2-0	led_0_gpio_ctrl	R/W	0h	Controls the output of LED_0 IO: 000b = LED_0 (default: LINK) 001b = Reserved 010b = RGMII data match indication 011b = Under-Voltage indication 100b = Interrupt 101b = IEEE compliance signals (see 0x451[11:9]) 110b = constant 0 111b = constant 1



### 8.6.2.38 IO\_MUX\_CFG\_2 Register (Offset = 453h) [Reset = 0001h]

IO\_MUX\_CFG\_2 is shown in [Figure 8-55](#) and described in [Table 8-60](#).

Return to the [Table 8-22](#).

**Figure 8-55. IO\_MUX\_CFG\_2 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		clk_o_clk_source			clk_o_gpio_ctrl		
R-0h		R/W-0h			R/W-1h		

**Table 8-60. IO\_MUX\_CFG\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-6	RESERVED	R	0h	Reserved
5-3	clk_o_clk_source	R/W	0h	Clock Observable in CLK_O pin - 000b = xi_osc_25m_1p0v_d1 (25MHz crystal output - from analog) 001b = Reserved 010b = Reserved 011b = 125MHz clock 100b = 125MHz clock 101b = Reserved 110b = Reserved 111b = Reserved
2-0	clk_o_gpio_ctrl	R/W	1h	Controls the output of CLK_O IO - 000b = LED_2 (default: TX/RX activity with stretch option(LED_2_OPTION=0x6) 001b = Clock out (see 0x453[5:3]) 010b = RGMII data match indication 011b = Under-Voltage indication 100b = constant 0 101b = constant 0 110b = constant 0 111b = constant 1

**8.6.2.39 IO\_CONTROL\_1 Register (Offset = 454h) [Reset = 0000h]**

 IO\_CONTROL\_1 is shown in [Figure 8-56](#) and described in [Table 8-61](#).

 Return to the [Table 8-22](#).

**Figure 8-56. IO\_CONTROL\_1 Register**

15	14	13	12	11	10	9	8
io_control_1							
R/W-0h							
7	6	5	4	3	2	1	0
io_control_1							
R/W-0h							

**Table 8-61. IO\_CONTROL\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	io_control_1	R/W	0h	IO_CONTROL_1 : IO reflects the value written on this register when enabled IO_OE_N_FORCE_CTRL=1 and IO_OE_N_VALUE=0 If 0 is written, IO will be forced to output LOW. If 1 is written, IO will be forced to output HIGH. The following is the bit position for pads. 0=LED_0_GPIO_0; 1=LED_1_GPIO_1; 2=CLKOUT_GPIO_2; 3=INT_N; 4=RESERVED; 5=RESERVED; 6=INH; 7=TX_CLK; 8=TX_CTRL; 9=TX_D0; 10=TX_D1; 11=TX_D2; 12=TX_D3; 13=RX_CLK; 14=RX_CTRL; 15=RX_D0;

### 8.6.2.40 IO\_CONTROL\_2 Register (Offset = 455h) [Reset = 0000h]

IO\_CONTROL\_2 is shown in [Figure 8-57](#) and described in [Table 8-62](#).

Return to the [Table 8-22](#).

**Figure 8-57. IO\_CONTROL\_2 Register**

15	14	13	12	11	10	9	8
RESERVED		cfg_other_impedance					pupd_value
R-0h		R/W-0h					R/W-0h
7	6	5	4	3	2	1	0
pupd_value	pupd_force_cntl	io_oe_n_value	io_oe_n_force_ctrl	io_control_2			
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			

**Table 8-62. IO\_CONTROL\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-14	RESERVED	R	0h	Reserved
13-9	cfg_other_impedance	R/W	0h	Slew Rate Control for CLKOUT - 00000b = Default rise/fall time 00001b = Slower rise/fall time 00010b = Faster rise/fall time
8-7	pupd_value	R/W	0h	IO Test mode - pullup/pull down : 00b = No pull (HiZ) 01b = PullUP 10b = PullDown 11b = PullUp/PullDown (Both Enabled)
6	pupd_force_cntl	R/W	0h	IO Test mode pull up/down override functional pull.
5	io_oe_n_value	R/W	0h	IO Test mode direction, related to IO_OE_N_FORCE_CTRL
4	io_oe_n_force_ctrl	R/W	0h	IO Test mode (alternate to BSR). The IO direction is set by IO_OE_N_VALUE and value is set by IO_CONTROL_1/2
3-0	io_control_2	R/W	0h	IO_CONTROL_2 : IO reflects the value written on this register when enabled IO_OE_N_FORCE_CTRL=1 and IO_OE_N_VALUE=0 If 0 is written, IO will be forced to output LOW. If 1 is written, IO will be forced to output HIGH. The following is the bit position for pads. 0=RX_D1; 1=RX_D2; 2=RX_D3; 3=STRP_1;

**8.6.2.41 IO\_CONTROL\_3 Register (Offset = 456h) [Reset = 0108h]**

IO\_CONTROL\_3 is shown in [Figure 8-58](#) and described in [Table 8-63](#).

Return to the [Table 8-22](#).

**Figure 8-58. IO\_CONTROL\_3 Register**

15	14	13	12	11	10	9	8
RESERVED						cfg_mac_rx_impedance	
R-0h						R/W-8h	
7	6	5	4	3	2	1	0
cfg_mac_rx_impedance			RESERVED				
R/W-8h			R/W-8h				

**Table 8-63. IO\_CONTROL\_3 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-10	RESERVED	R	0h	Reserved
9-5	cfg_mac_rx_impedance	R/W	8h	Slew Rate Control for RGMII pads - 01010b = Medium Slew (OA tr/ff compliant, max tr/ff = 1ns) 01011b = Slowest Slew (For low emissions, max tr/ff = 1.2ns) 01000b = Default mode (rgmii tr/ff compliant, max tr/ff=750ps)
4-0	RESERVED	R/W	8h	Reserved

### 8.6.2.42 IO\_STATUS\_1 Register (Offset = 457h) [Reset = 0000h]

IO\_STATUS\_1 is shown in [图 8-59](#) and described in [表 8-64](#).

Return to the [表 8-22](#).

**图 8-59. IO\_STATUS\_1 Register**

15	14	13	12	11	10	9	8
io_status_1							
R-0h							
7	6	5	4	3	2	1	0
io_status_1							
R-0h							

**表 8-64. IO\_STATUS\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	io_status_1	R	0h	<p>IO_STATUS_1 : Register reflects the IO value, when enabled IO_OE_N_FORCE_CTRL=1 and IO_OE_N_VALUE=1 If 0 is read, IO is connected LOW at pin. If 1 is read, IO is connected HIGH at pin. The following is the bit position for each pad.</p> <p>0=LED_0_GPIO_0; 1=LED_1_GPIO_1; 2=CLKOUT_GPIO_2; 3=INT_N; 4=RESERVED; 5=RESERVED; 6=INH; 7=TX_CLK; 8=TX_CTRL; 9=TX_D0; 10=TX_D1; 11=TX_D2; 12=TX_D3; 13=RX_CLK; 14=RX_CTRL; 15=RX_D0;</p>

**8.6.2.43 IO\_STATUS\_2 Register (Offset = 458h) [Reset = 0000h]**

 IO\_STATUS\_2 is shown in [图 8-60](#) and described in [表 8-65](#).

 Return to the [表 8-22](#).

**图 8-60. IO\_STATUS\_2 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				io_status_2			
R-0h				R-0h			

**表 8-65. IO\_STATUS\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-4	RESERVED	R	0h	
3-0	io_status_2	R	0h	IO_STATUS_2 : Register reflects the IO value, when enabled IO_OE_N_FORCE_CTRL=1 and IO_OE_N_VALUE=1 If 0 is read, IO is connected LOW at pin. If 1 is read, IO is connected HIGH at pin. The following is the bit position for each pad. 0=RX_D1; 1=RX_D2; 2=RX_D3; 3=STRP_1;

### 8.6.2.44 IO\_CONTROL\_4 Register (Offset = 459h) [Reset = 0000h]

IO\_CONTROL\_4 is shown in [Figure 8-61](#) and described in [Table 8-66](#).

Return to the [Table 8-22](#).

**Figure 8-61. IO\_CONTROL\_4 Register**

15	14	13	12	11	10	9	8
io_input_mode							
R/W-0h							
7	6	5	4	3	2	1	0
io_input_mode							
R/W-0h							

**Table 8-66. IO\_CONTROL\_4 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	io_input_mode	R/W	0h	Each bit configures one pin into input mode as per mapping below - 0=LED_0_GPIO_0; 1=LED_1_GPIO_1; 2=CLKOUT_GPIO_2; 3=INT_N; 4=TX_CLK; 5=TX_CTRL; 6=TX_D0; 7=TX_D1; 8=TX_D2; 9=TX_D3; 10=RX_CLK; 11=RX_CTRL; 12=RX_D0; 13=RX_D1; 14=RX_D2; 15=RX_D3

**8.6.2.45 IO\_CONTROL\_5 Register (Offset = 45Ah) [Reset = 0000h]**

 IO\_CONTROL\_5 is shown in [Figure 8-62](#) and described in [Table 8-67](#).

 Return to the [Table 8-22](#).

**Figure 8-62. IO\_CONTROL\_5 Register**

15	14	13	12	11	10	9	8
io_output_mode							
R/W-0h							
7	6	5	4	3	2	1	0
io_output_mode							
R/W-0h							

**Table 8-67. IO\_CONTROL\_5 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	io_output_mode	R/W	0h	Each bit configures one pin into output mode as per mapping below - 0=LED_0_GPIO_0; 1=LED_1_GPIO_1; 2=CLKOUT_GPIO_2; 3=INT_N; 4=TX_CLK; 5=TX_CTRL; 6=TX_D0; 7=TX_D1; 8=TX_D2; 9=TX_D3; 10=RX_CLK; 11=RX_CTRL; 12=RX_D0; 13=RX_D1; 14=RX_D2; 15=RX_D3



### 8.6.2.46 SOR\_VECTOR\_1 Register (Offset = 45Dh) [Reset = 0000h]

SOR\_VECTOR\_1 is shown in [图 8-63](#) and described in [表 8-68](#).

Return to the [表 8-22](#).

**图 8-63. SOR\_VECTOR\_1 Register**

15	14	13	12	11	10	9	8
RGMII_TX_SHIFT	RGMII_RX_SHIFT	SGMII_EN	RGMII_EN	TEST_MODE		MAC_MODE	
R-0h	R-0h	R-0h	R-0h	R-0h		R-0h	
7	6	5	4	3	2	1	0
MAC_MODE		MAS/SLV	PHY_AD				
R-0h		R-0h	R-0h				

**表 8-68. SOR\_VECTOR\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RGMII_TX_SHIFT	R	0h	0x0 = TX shift disabled 0x1 = TX shift enabled
14	RGMII_RX_SHIFT	R	0h	0x0 = RX shift disabled 0x1 = RX shift enabled
13	SGMII_EN	R	0h	0x0 = SGMII disabled 0x1 = SGMII enabled
12	RGMII_EN	R	0h	0x0 = RGMII disabled 0x1 = RGMII enabled
11-9	TEST_MODE	R	0h	
8-6	MAC_MODE	R	0h	0x0 = SGMII 0x1 = Reserved 0x2 = Reserved 0x3 = Reserved 0x4 = RGMII align 0x5 = RGMII TX shift 0x6 = RGMII TX and RX shift 0x7 = RGMII RX shift
5	MAS/SLV	R	0h	0x0 = Slave 0x1 = Master
4-0	PHY_AD	R	0h	0x0 = PHY address 0 0x4 = PHY address 4 0x5 = PHY address 5 0x8 = PHY address 8 0xA = PHY address A 0xC = PHY address C 0xD = PHY address D 0xE = PHY address E 0xF = PHY address F

**8.6.2.47 SOR\_VECTOR\_2 Register (Offset = 45Eh) [Reset = 0000h]**

SOR\_VECTOR\_2 is shown in [图 8-64](#) and described in [表 8-69](#).

Return to the [表 8-22](#).

**图 8-64. SOR\_VECTOR\_2 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							AUTO/ MANAGED
R-0h							R-0h

**表 8-69. SOR\_VECTOR\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-1	RESERVED	R	0h	Reserved
0	AUTO/MANAGED	R	0h	0x0 = Autonomous mode enabled 0x1 = Managed mode enabled

### 8.6.2.48 MONITOR\_CTRL1 Register (Offset = 467h) [Reset = 0012h]

MONITOR\_CTRL1 is shown in [图 8-65](#) and described in [表 8-70](#).

Return to the [表 8-22](#).

**图 8-65. MONITOR\_CTRL1 Register**

15	14	13	12	11	10	9	8
cfg_dc_offset_2c							
R/W-0h							
7	6	5	4	3	2	1	0
cfg_cic_gain12_arith		cfg_cic_gain2			cfg_cic_gain1		
R/W-0h		R/W-2h			R/W-2h		

**表 8-70. MONITOR\_CTRL1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	cfg_dc_offset_2c	R/W	0h	Analog control
7-6	cfg_cic_gain12_arith	R/W	0h	Analog control
5-3	cfg_cic_gain2	R/W	2h	Analog control
2-0	cfg_cic_gain1	R/W	2h	Analog control

**8.6.2.49 MONITOR\_CTRL2 Register (Offset = 468h) [Reset = 0920h]**

 MONITOR\_CTRL2 is shown in [图 8-66](#) and described in [表 8-71](#).

 Return to the [表 8-22](#).

**图 8-66. MONITOR\_CTRL2 Register**

15	14	13	12	11	10	9	8
cfg_bypass_res et_sensor_val	cfg_rd_data			cfg_dec_factor_sensors			cfg_dec_factor_ gain_calib
R/W-0h	R/W-0h			R/W-4h			R/W-4h
7	6	5	4	3	2	1	0
cfg_dec_factor_gain_calib		cfg_dec_factor_dc_calib			cfg_bypass_sel_num		
R/W-4h		R/W-4h			R/W-0h		

**表 8-71. MONITOR\_CTRL2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	cfg_bypass_reset_sensor_val	R/W	0h	When cfg_bypass_fsm is 1, use this register to keep sensor in reset
14-12	cfg_rd_data	R/W	0h	To read out monitor adc output through MDIO for debug
11-9	cfg_dec_factor_sensors	R/W	4h	Analog control
8-6	cfg_dec_factor_gain_calib	R/W	4h	Analog control
5-3	cfg_dec_factor_dc_calib	R/W	4h	Analog control
2-0	cfg_bypass_sel_num	R/W	0h	When cfg_bypass_fsm is 1, use this register to select the sensor

### 8.6.2.50 MONITOR\_CTRL4 Register (Offset = 46Ah) [Reset = 0094h]

MONITOR\_CTRL4 is shown in [图 8-67](#) and described in [表 8-72](#).

Return to the [表 8-22](#).

**图 8-67. MONITOR\_CTRL4 Register**

15	14	13	12	11	10	9	8
RESERVED							cfg_hist_clr
R-0h							R/W-0h
7	6	5	4	3	2	1	0
cfg_discard_sam ple_num	cfg_avg_sampl e_num	cfg_adc_clk_div		cfg_force_start	cfg_reset	periodic	start
R/W-1h	R/W-0h	R/W-1h		R/W-0h	R/W-1h	R/W-0h	R/WSC-0h

**表 8-72. MONITOR\_CTRL4 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	RESERVED
8	cfg_hist_clr	R/W	0h	CFG_HIST_CLR
7	cfg_discard_sample_num	R/W	1h	Number of samples to be discarded before starting averaging - 0b = 2 samples 1b = 4 samples
6	cfg_avg_sample_num	R/W	0h	Number of samples for calculating the average before storing in history - 0b = 2 samples 1b = 4 samples
5-4	cfg_adc_clk_div	R/W	1h	Config options to select frequency of monitor adc clock - 00b = 12.5MHz 01b = 6.25MHz 10b = 3.125MHz 11b = Reserved
3	cfg_force_start	R/W	0h	Set to force start sensor monitor FSM even if link is not established
2	cfg_reset	R/W	1h	0b = Enable the monitor 1b = Monitor is held in reset state At any point of time, if the signal is changed to 1, the module abruptly goes to reset state
1	periodic	R/W	0h	0b = Monitor is enabled only when start is set for one iteration 1b = Monitor is enabled for periodic iteration
0	start	R/WSC	0h	Start indication for sensor monitor FSM, self clearing

**8.6.2.51 MONITOR\_STAT1 Register (Offset = 47Bh) [Reset = 0000h]**

MONITOR\_STAT1 is shown in [图 8-68](#) and described in [表 8-73](#).

Return to the [表 8-22](#).

**图 8-68. MONITOR\_STAT1 Register**

15	14	13	12	11	10	9	8
stat_rd_data							
R-0h							
7	6	5	4	3	2	1	0
stat_rd_data							
R-0h							

**表 8-73. MONITOR\_STAT1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	stat_rd_data	R	0h	STAT_RD_DATA

### 8.6.2.52 BREAK\_LINK\_TIMER Register (Offset = 50Ah) [Reset = 112Eh]

BREAK\_LINK\_TIMER is shown in [图 8-69](#) and described in [表 8-74](#).

Return to the [表 8-22](#).

**图 8-69. BREAK\_LINK\_TIMER Register**

15	14	13	12	11	10	9	8
RESERVED		RESERVED	cfg_fifo_reset_in_break_link	cfg_slave_send_s_32_mode	RESERVED		
R/W-0h		R/W-0h	R/W-1h	R/W-0h	R/W-12Eh		
7	6	5	4	3	2	1	0
RESERVED							
R/W-12Eh							

**表 8-74. BREAK\_LINK\_TIMER Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-14	RESERVED	R/W	0h	Reserved
13	RESERVED	R/W	0h	Reserved
12	cfg_fifo_reset_in_break_link	R/W	1h	Allow ADC FIFO to be in reset during break link timer
11	cfg_slave_send_s_32_mode	R/W	0h	Enable mode where Slave PHY sends SEND_S signalling for a fixed 32 times once it has detected SEND_S Note : Should be enabled only if 0x509[10] is not set 0h = Follow IEEE state machine 1h = Enable slave to send SEND_S 32 times
10-0	RESERVED	R/W	12Eh	Reserved

**8.6.2.53 RS\_DECODER Register (Offset = 510h) [Reset = 2D50h]**

 RS\_DECODER is shown in [Figure 8-70](#) and described in [Table 8-75](#).

 Return to the [Table 8-22](#).

**Figure 8-70. RS\_DECODER Register**

15	14	13	12	11	10	9	8
cfg_rs_decoder_bypass	RESERVED	RESERVED					
R/W-0h	R/W-0h	R/W-2Dh					
7	6	5	4	3	2	1	0
RESERVED							RESERVED
R/W-28h							R/W-0h

**Table 8-75. RS\_DECODER Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	cfg_rs_decoder_bypass	R/W	0h	Bypass RS decoder 0h = RS decoder in use 1h = Bypass RS decoder
14	RESERVED	R/W	0h	Reserved
13-8	RESERVED	R/W	2Dh	Reserved
7-1	RESERVED	R/W	28h	Reserved
0	RESERVED	R/W	0h	Reserved



### 8.6.2.54 LPS\_CONTROL\_1 Register (Offset = 514h) [Reset = 08E3h]

LPS\_CONTROL\_1 is shown in [图 8-71](#) and described in [表 8-76](#).

Return to the [表 8-22](#).

**图 8-71. LPS\_CONTROL\_1 Register**

15	14	13	12	11	10	9	8
RESERVED				cfg_tx_wake_cg			cfg_tx_sleep_cg
R-0h				R/W-4h			R/W-3h
7	6	5	4	3	2	1	0
cfg_tx_sleep_cg		cfg_rx_wake_cg			cfg_rx_sleep_cg		
R/W-3h		R/W-4h			R/W-3h		

**表 8-76. LPS\_CONTROL\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11-9	cfg_tx_wake_cg	R/W	4h	Control code to send on Tx for wake indication
8-6	cfg_tx_sleep_cg	R/W	3h	Control code to send on Tx for sleep indication
5-3	cfg_rx_wake_cg	R/W	4h	Control code to expect on Rx for wake indication
2-0	cfg_rx_sleep_cg	R/W	3h	Control code to expect on Rx for sleep indication

**8.6.2.55 LPS\_CONTROL\_2 Register (Offset = 515h) [Reset = 0808h]**

LPS\_CONTROL\_2 is shown in [图 8-72](#) and described in [表 8-77](#).

Return to the [表 8-22](#).

**图 8-72. LPS\_CONTROL\_2 Register**

15	14	13	12	11	10	9	8
RESERVED	cfg_wake_cg_cnt_th						
R-0h				R/W-8h			
7	6	5	4	3	2	1	0
RESERVED	cfg_sleep_cg_cnt_th						
R-0h				R/W-8h			

**表 8-77. LPS\_CONTROL\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R	0h	Reserved
14-8	cfg_wake_cg_cnt_th	R/W	8h	Number of continuous expected wake code groups required to acknowledge and set LPS wake command received.
7	RESERVED	R	0h	Reserved
6-0	cfg_sleep_cg_cnt_th	R/W	8h	Number of continuous expected sleep code groups required to acknowledge and set LPS sleep command received.

### 8.6.2.56 MAXWAIT\_TIMER Register (Offset = 518h) [Reset = 17CEh]

MAXWAIT\_TIMER is shown in [图 8-73](#) and described in [表 8-78](#).

Return to the [表 8-22](#).

**图 8-73. MAXWAIT\_TIMER Register**

15	14	13	12	11	10	9	8
cfg_maxwait_timer_init							
R/W-17CEh							
7	6	5	4	3	2	1	0
cfg_maxwait_timer_init							
R/W-17CEh							

**表 8-78. MAXWAIT\_TIMER Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	cfg_maxwait_timer_init	R/W	17CEh	Maxwait timer (used during link-up) : value in us = decimal value multiplied by 16

**8.6.2.57 PHY\_CTRL\_1G Register (Offset = 519h) [Reset = 003Dh]**

 PHY\_CTRL\_1G is shown in [图 8-74](#) and described in [表 8-79](#).

 Return to the [表 8-22](#).

**图 8-74. PHY\_CTRL\_1G Register**

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	cfg_force_link_s tat_val	cfg_force_link_s tat	RESERVED	RESERVED
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
cfg_minwait_timer_init							
R/W-3Dh							

**表 8-79. PHY\_CTRL\_1G Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R	0h	Reserved
14	RESERVED	R/W	0h	Reserved
13	RESERVED	R/W	0h	Reserved
12	RESERVED	R/W	0h	Reserved
11	cfg_force_link_stat_val	R/W	0h	Forced link status value Valid only if 0x519[10] is set
10	cfg_force_link_stat	R/W	0h	Enable forcing link status value
9	RESERVED	R/W	0h	Reserved
8	RESERVED	R/W	0h	Reserved
7-0	cfg_minwait_timer_init	R/W	3Dh	Minwait timer (used during link-up) : value in us = decimal value multiplied by 16

### 8.6.2.58 TEST\_MODE Register (Offset = 531h) [Reset = 0000h]

TEST\_MODE is shown in [图 8-75](#) and described in [表 8-80](#).

Return to the [表 8-22](#).

**图 8-75. TEST\_MODE Register**

15	14	13	12	11	10	9	8
RESERVED							cfg_test_mode4_tx_order
R-0h							R/W-0h
7	6	5	4	3	2	1	0
cfg_test_mode_7_data							
R/W-0h							

**表 8-80. TEST\_MODE Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	Reserved
8	cfg_test_mode4_tx_order	R/W	0h	Order of symbols to be transmitted in Test mode 4 0h = T1 followed by T2 1h = T2 followed by T1
7-0	cfg_test_mode_7_data	R/W	0h	GMII data to transmit in Test mode 7

**8.6.2.59 LINK\_QUAL\_1 Register (Offset = 543h) [Reset = 0000h]**

LINK\_QUAL\_1 is shown in [图 8-76](#) and described in [表 8-81](#).

Return to the [表 8-22](#).

**图 8-76. LINK\_QUAL\_1 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
link_training_time							
R-0h							

**表 8-81. LINK\_QUAL\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	RESERVED	R	0h	Reserved
7-0	link_training_time	R	0h	Link training time in ms (TC12)

### 8.6.2.60 LINK\_QUAL\_2 Register (Offset = 544h) [Reset = 0000h]

LINK\_QUAL\_2 is shown in [图 8-77](#) and described in [表 8-82](#).

Return to the [表 8-22](#).

**图 8-77. LINK\_QUAL\_2 Register**

15	14	13	12	11	10	9	8
remote_receiver_time							
R-0h							
7	6	5	4	3	2	1	0
local_receiver_time							
R-0h							

**表 8-82. LINK\_QUAL\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	remote_receiver_time	R	0h	Remote receiver time in ms (TC12)
7-0	local_receiver_time	R	0h	Local receiver time in ms (TC12)

**8.6.2.61 LINK\_DOWN\_LATCH\_STAT Register (Offset = 545h) [Reset = 0000h]**

 LINK\_DOWN\_LATCH\_STAT is shown in [图 8-78](#) and described in [表 8-83](#).

 Return to the [表 8-22](#).

**图 8-78. LINK\_DOWN\_LATCH\_STAT Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		channel_ok_ll	link_fail_inhibit_lh	send_s_sigdet_lh	hi_rfer_lh	block_lock_ll	pma_watchdog_ll
R-0h		R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0S-0h	R/W0S-0h

**表 8-83. LINK\_DOWN\_LATCH\_STAT Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-6	RESERVED	R	0h	Reserved
5	channel_ok_ll	R/W0C	0h	1b = Channel ok was never de-asserted 0b = Channel ok was de-asserted
4	link_fail_inhibit_lh	R/W0C	0h	1b = Link fail inhibit assertion was reported 0b = Link fail inhibit assertion was never reported
3	send_s_sigdet_lh	R/W0C	0h	1b = Send s sigdet assertion was reported 0b = Send s sigdet assertion was never reported
2	hi_rfer_lh	R/W0C	0h	1b = High ri rfer assertion was reported 0b = High ri rfer assertion was never reported
1	block_lock_ll	R/W0S	0h	1b = Block lock de-assertion was never reported 0b = Block lock de-assertion was never reported
0	pma_watchdog_ll	R/W0S	0h	1b = Low pma watchdog was never reported 0b = Low pma watchdof was reported



### 8.6.2.62 LINK\_QUAL\_3 Register (Offset = 547h) [Reset = 0000h]

LINK\_QUAL\_3 is shown in [图 8-79](#) and described in [表 8-84](#).

Return to the [表 8-22](#).

**图 8-79. LINK\_QUAL\_3 Register**

15	14	13	12	11	10	9	8
link_loss_cnt						link_fail_cnt	
R-0h						R-0h	
7	6	5	4	3	2	1	0
link_fail_cnt							
R-0h							

**表 8-84. LINK\_QUAL\_3 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-10	link_loss_cnt	R	0h	Link loss count since last power cycle (TC12)
9-0	link_fail_cnt	R	0h	Link fail without link loss count since last power cycle (TC12)

**8.6.2.63 LINK\_QUAL\_4 Register (Offset = 548h) [Reset = 0000h]**

 LINK\_QUAL\_4 is shown in [图 8-80](#) and described in [表 8-85](#).

 Return to the [表 8-22](#).

**图 8-80. LINK\_QUAL\_4 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							comm_ready
R-0h							R-0h

**表 8-85. LINK\_QUAL\_4 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-1	RESERVED	R	0h	Reserved
0	comm_ready	R	0h	Communication ready status (TC12)

### 8.6.2.64 RS\_DECODER\_FRAME\_STAT\_2 Register (Offset = 552h) [Reset = 0000h]

RS\_DECODER\_FRAME\_STAT\_2 is shown in [图 8-81](#) and described in [表 8-86](#).

Return to the [表 8-22](#).

**图 8-81. RS\_DECODER\_FRAME\_STAT\_2 Register**

15	14	13	12	11	10	9	8
rs_dec_uncorr_frame_cnt							
0h							
7	6	5	4	3	2	1	0
rs_dec_uncorr_frame_cnt							
0h							

**表 8-86. RS\_DECODER\_FRAME\_STAT\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	rs_dec_uncorr_frame_cnt		0h	No of uncorrectable RS frames received at RS decoder, clear on read, saturates

**8.6.2.65 PMA\_WATCHDOG Register (Offset = 559h) [Reset = 0051h]**

 PMA\_WATCHDOG is shown in [图 8-82](#) and described in [表 8-87](#).

 Return to the [表 8-22](#).

**图 8-82. PMA\_WATCHDOG Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED	cfg_pma_watchdog_force_val	cfg_pma_watchdog_force_en	cfg_ieee_watchdog_en	cfg_watchdog_cnt_clr_th			
R-0h	R/W-1h	R/W-0h	R/W-1h	R/W-1h			

**表 8-87. PMA\_WATCHDOG Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-7	RESERVED	R	0h	Reserved
6	cfg_pma_watchdog_force_val	R/W	1h	Force value for pma watchdog
5	cfg_pma_watchdog_force_en	R/W	0h	Enable forcing pma watchdog
4	cfg_ieee_watchdog_en	R/W	1h	1 : watchdog counters are started after link up 0: TBD
3-0	cfg_watchdog_cnt_clr_th	R/W	1h	Number of 0, +1, -1 symbols to be seen in their respective watchdog counter window to prevent them for asserting pma_watchdog_status

### 8.6.2.66 SYMB\_POL\_CFG Register (Offset = 55Bh) [Reset = 0000h]

SYMB\_POL\_CFG is shown in [Figure 8-83](#) and described in [Table 8-88](#).

Return to the [Table 8-22](#).

**Figure 8-83. SYMB\_POL\_CFG Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED			cfg_slave_auto_pol_correction_en	cfg_rx_symb_order_inv	cfg_rx_symb_pol_inv	cfg_tx_symb_order_inv	cfg_tx_symb_pol_inv
R-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

**Table 8-88. SYMB\_POL\_CFG Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-5	RESERVED	R	0h	Reserved
4	cfg_slave_auto_pol_correction_en	R/W	0h	Correct tx polarity for slave based on received polarity 0h = Slave tx polarity independent of slave rx polarity 1h = Slave tx polarity to match received polarity
3	cfg_rx_symb_order_inv	R/W	0h	Order of received symbols S0 to S6 reversed to S6 to S0 Valid only if LPs 0x55B[1] is set (TI-TI link) 0h = Order of received symbols S0 to S6 unchanged 1h = Order of received symbols S0 to S6 reversed to S6 to S0
2	cfg_rx_symb_pol_inv	R/W	0h	Invert polarity of received symbols 0h = Unchanged polarity of received symbols 1h = Invert polarity of received symbols
1	cfg_tx_symb_order_inv	R/W	0h	Order of transmit symbols S0 to S6 reversed to S6 to S0 Valid only if LPs 0x55B[3] is set (TI-TI link) 0h = Order of transmit symbols S0 to S6 unchanged 1h = Order of transmit symbols S0 to S6 reversed to S6 to S0
0	cfg_tx_symb_pol_inv	R/W	0h	Invert polarity of transmit symbols 0h = Unchanged polarity of transmit symbols 1h = Invert polarity of transmit symbols

**8.6.2.67 OAM\_CFG Register (Offset = 55Ch) [Reset = 0000h]**

 OAM\_CFG is shown in [图 8-84](#) and described in [表 8-89](#).

 Return to the [表 8-22](#).

**图 8-84. OAM\_CFG Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						cfg_rx_oam_crc_data_in_order	cfg_tx_oam_crc_data_in_order
R-0h						R/W-0h	R/W-0h

**表 8-89. OAM\_CFG Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-2	RESERVED	R	0h	Reserved
1	cfg_rx_oam_crc_data_in_order	R/W	0h	Reverse order of data input to CRC checker in rx oam to MSB first 0h = Order of data input to CRC checker in rx oam is LSB first 1h = Order of data input to CRC checker in rx oam is MSB first
0	cfg_tx_oam_crc_data_in_order	R/W	0h	Reverse order of data input to CRC calculator in tx oam to MSB first 0h = Order of data input to CRC calculator in tx oam is LSB first 1h = Order of data input to CRC calculator in tx oam is MSB first

### 8.6.2.68 TEST\_MEM\_CFG Register (Offset = 561h) [Reset = 17A0h]

TEST\_MEM\_CFG is shown in [Figure 8-85](#) and described in [Table 8-90](#).

Return to the [Table 8-22](#).

**Figure 8-85. TEST\_MEM\_CFG Register**

15	14	13	12	11	10	9	8
RESERVED			cfg_wait_time_xcorr_wen				
R-0h			R/W-5Eh				
7	6	5	4	3	2	1	0
cfg_wait_time_xcorr_wen	cfg_xcorr_dbg_sel	cfg_send_s_infinite_loop	cfg_xcorr_dbg_test_mem	cfg_ecc_en	cfg_test_mem_sigdet_debug	cfg_pcs_test_mem_mode	
R/W-5Eh	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

**Table 8-90. TEST\_MEM\_CFG Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-13	RESERVED	R	0h	Reserved
12-6	cfg_wait_time_xcorr_wen	R/W	5Eh	Wait timer after TX_SEND_S after which testmem is written on energy fall Note : Valid only if 0x561[3] is set
5	cfg_xcorr_dbg_sel	R/W	1h	0b = Select xcorr from aligned detector to write to test mem 1b = Select xcorr from shifted detector to write to test mem Note : Valid only if 0x561[3] is set
4	cfg_send_s_infinite_loop	R/W	0h	enable transmitting infinite send_s sequence. For send_s debug. Valid only in master and when 0x56A[15] is set. 0h = disable infinite send_s mode 1h = enable infinite send_s mode
3	cfg_xcorr_dbg_test_mem	R/W	0h	enabled xcorr debug for send_s. Valid only if 0x561[0] is 1b0 0h = Normal send_s debug. Refer to 0x561[1] 1h = Enabled xcorr debug
2	cfg_ecc_en	R/W	0h	Enable ECC logic for RS decoder memory 0h = ECC encoding/decoding is disabled 1h = ECC encoding/decoding is enabled
1	cfg_test_mem_sigdet_debug	R/W	0h	Enable sigdet debug mode in test mem send s mode Valid only if 0x561[0] is 1b0 0h = Test mem written in send s mode only on state transition 1h = Enable sigdet debug mode in test mem send s mode
0	cfg_pcs_test_mem_mode	R/W	0h	Choose send s or train rx test mem mode 0h = Send s info on test mem 1h = Train rx info on test mem

**8.6.2.69 FORCE\_CTRL1 Register (Offset = 573h) [Reset = 0000h]**

 FORCE\_CTRL1 is shown in [图 8-86](#) and described in [表 8-91](#).

 Return to the [表 8-22](#).

**图 8-86. FORCE\_CTRL1 Register**

15	14	13	12	11	10	9	8
RESERVED							cfg_force_link_s ync_state_en
R-0h							R/W-0h
7	6	5	4	3	2	1	0
cfg_force_link_sync_state_val							
R/W-0h							

**表 8-91. FORCE\_CTRL1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	Reserved
8	cfg_force_link_sync_state_en	R/W	0h	Force link sync state enable
7-0	cfg_force_link_sync_state_val	R/W	0h	Force link sync state value



### 8.6.2.70 RGMII\_CTRL Register (Offset = 600h) [Reset = 0120h]

RGMII\_CTRL is shown in [图 8-87](#) and described in [表 8-92](#).

Return to the [表 8-22](#).

**图 8-87. RGMII\_CTRL Register**

15	14	13	12	11	10	9	8
RESERVED						rgmii_rx_half_full_th	
R-0h						R/W-2h	
7	6	5	4	3	2	1	0
rgmii_rx_half_full_th	rgmii_tx_half_full_th			rgmii_tx_if_en	invert_rgmii_txd	invert_rgmii_rxd	sup_tx_err_fd
R/W-2h	R/W-2h			R/W-0h	R/W-0h	R/W-0h	R/W-0h

**表 8-92. RGMII\_CTRL Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-10	RESERVED	R	0h	Reserved
9-7	rgmii_rx_half_full_th	R/W	2h	RGMII RX sync FIFO half full threshold
6-4	rgmii_tx_half_full_th	R/W	2h	RGMII TX sync FIFO half full threshold
3	rgmii_tx_if_en	R/W	0h	RGMII enable bit Default from strap 0h = RGMII disable 1h = RGMII enable
2	invert_rgmii_txd	R/W	0h	Invert RGMII Tx wire order - full swap [3:0] to [0:3] 0h = Keep RGMII Tx wire order same - [3: 1h = Invert RGMII Tx wire order - [3:
1	invert_rgmii_rxd	R/W	0h	Invert RGMII Rx wire order - full swap [3:0] to [0:3] 0h = Keep RGMII Rx wire order same - [3: 1h = Invert RGMII Rx wire order - [3:
0	sup_tx_err_fd	R/W	0h	1: suppress tx_err in full duplex mode when tx_en set to zero 0: allow tx_err assertion to PHY when tx_en set to zero (this bit can disable the TX_ERR indication input)

**8.6.2.71 RGMII\_FIFO\_STATUS Register (Offset = 601h) [Reset = 0000h]**

RGMII\_FIFO\_STATUS is shown in [图 8-88](#) and described in [表 8-93](#).

Return to the [表 8-22](#).

**图 8-88. RGMII\_FIFO\_STATUS Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				rgmii_rx_af_full_err	rgmii_rx_af_empty_err	rgmii_tx_af_full_err	rgmii_tx_af_empty_err
R-0h				R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h

**表 8-93. RGMII\_FIFO\_STATUS Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-4	RESERVED	R	0h	Reserved
3	rgmii_rx_af_full_err	R/W0C	0h	RGMII RX fifo full error 0h = No empty fifo error 1h = RGMII TX full error has been indicated
2	rgmii_rx_af_empty_err	R/W0C	0h	RGMII RX fifo empty error 0h = No empty fifo error 1h = RGMII RX empty error has been indicated
1	rgmii_tx_af_full_err	R/W0C	0h	RGMII TX fifo full error 0h = No empty fifo error 1h = RGMII TX full error has been indicated
0	rgmii_tx_af_empty_err	R/W0C	0h	RGMII TX fifo empty error 0h = No empty fifo error 1h = RGMII TX empty error has been indicated

### 8.6.2.72 RGMII\_DELAY\_CTRL Register (Offset = 602h) [Reset = 0000h]

RGMII\_DELAY\_CTRL is shown in [图 8-89](#) and described in [表 8-94](#).

Return to the [表 8-22](#).

**图 8-89. RGMII\_DELAY\_CTRL Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						rx_clk_sel	tx_clk_sel
R-0h						R/W-0h	R/W-0h

**表 8-94. RGMII\_DELAY\_CTRL Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-2	RESERVED	R	0h	Reserved
1	rx_clk_sel	R/W	0h	In RGMII mode, Enable or disable the internal delay for RXD wrt RX_CLK (use this mode when RGMII_RX_CLK and RGMII_RXD are aligned). The delay magnitude can be configured by programming register 0x430[7:4] 0h = clock and data are aligned 1h = clock on PIN is delayed by 90 degrees relative to RGMII_RX data
0	tx_clk_sel	R/W	0h	In RGMII mode, Enable or disable the internal delay for TXD wrt TX_CLK (use this mode when RGMII_TX_CLK and RGMII_TXD are aligned). The delay magnitude can be configured by programming register 0x430[11:8] 0h = clock and data are aligned 1h = clock is internally delayed by 90 degrees

**8.6.2.73 SGMII\_CTRL\_1 Register (Offset = 608h) [Reset = 007Bh]**

SGMII\_CTRL\_1 is shown in [Figure 8-90](#) and described in [Table 8-95](#).

Return to the [Table 8-22](#).

**Figure 8-90. SGMII\_CTRL\_1 Register**

15	14	13	12	11	10	9	8
sgmii_tx_err_dis	cfg_align_idx_force	cfg_align_idx_value				cfg_sgmi_en	cfg_sgmi_rx_pol_invert
R/W-0h	R/W-0h	R/W-0h				R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
cfg_sgmi_tx_pol_invert	RESERVED		RESERVED	RESERVED	sgmii_autoneg_timer		mr_an_enable
R/W-0h	R/W-3h		R/W-1h	R/W-1h	R/W-1h		R/W-1h

**Table 8-95. SGMII\_CTRL\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	sgmii_tx_err_dis	R/W	0h	1 = Disable SGMII TX Error indication 0 = Enable SGMII TX Error indication
14	cfg_align_idx_force	R/W	0h	Force word boundray index selection
13-10	cfg_align_idx_value	R/W	0h	when cfg_align_idx_force = 1 This value set the iword boundray index
9	cfg_sgmi_en	R/W	0h	SGMII enable bit Default from strap 0h = SGMII disable 1h = SGMII enable
8	cfg_sgmi_rx_pol_invert	R/W	0h	SGMII RX bus invert polarity 0h = Polarity not inverted 1h = SGMII RX bus invert polarity
7	cfg_sgmi_tx_pol_invert	R/W	0h	SGMII TX bus invert polarity 0h = Polarity not inverted 1h = SGMII TX bus invert polarity
6-5	RESERVED	R/W	3h	Reserved
4	RESERVED	R/W	1h	Reserved
3	RESERVED	R/W	1h	Reserved
2-1	sgmii_autoneg_timer	R/W	1h	Selects duration of SGMII Auto-Negotiation timer: 00: 1.6ms 01: 2us 10: 800us 11: 11ms
0	mr_an_enable	R/W	1h	1 = Enable SGMII Auto-Negotiation 0 = Disable SGMII Auto-Negotiation

### 8.6.2.74 SGMII\_STATUS Register (Offset = 60Ah) [Reset = 0000h]

SGMII\_STATUS is shown in [图 8-91](#) and described in [表 8-96](#).

Return to the [表 8-22](#).

**图 8-91. SGMII\_STATUS Register**

15	14	13	12	11	10	9	8
RESERVED			sgmii_page_rece ived	link_status_100 0bx	mr_an_complet e	cfg_align_en	cfg_sync_status
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
cfg_align_idx				cfg_state			
R-0h				R-0h			

**表 8-96. SGMII\_STATUS Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-13	RESERVED	R	0h	Reserved
12	sgmii_page_received	R	0h	Indicates that a new auto neg page was received 0h = No new auto neg page received 1h = A new auto neg page received
11	link_status_1000bx	R	0h	sgmii link status 0h = SGMII link down 1h = SGMII link up
10	mr_an_complete	R	0h	sgmii autoneg complete indication 0h = SGMII autoneg not completed 1h = SGMII autoneg completed
9	cfg_align_en	R	0h	word boundary FSM - align indication
8	cfg_sync_status	R	0h	word boundary FSM - sync status indication 0h = sync not achieved 1h = sync achieved
7-4	cfg_align_idx	R	0h	word boundary index selection
3-0	cfg_state	R	0h	word boundary FSM state

**8.6.2.75 SGMII\_CTRL\_2 Register (Offset = 60Ch) [Reset = 001Bh]**

 SGMII\_CTRL\_2 is shown in [Figure 8-92](#) and described in [Table 8-97](#).

 Return to the [Table 8-22](#).

**Figure 8-92. SGMII\_CTRL\_2 Register**

15	14	13	12	11	10	9	8
RESERVED							sgmii_signal_detect_force_val
R-0h							R/W-0h
7	6	5	4	3	2	1	0
sgmii_signal_detect_force_en	mr_restart_an	tx_half_full_th			rx_half_full_th		
R/W-0h	R/WSC,0-0h	R/W-3h			R/W-3h		

**Table 8-97. SGMII\_CTRL\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	Reserved
8	sgmii_signal_detect_force_val	R/W	0h	SGMII cdr lock force value
7	sgmii_signal_detect_force_en	R/W	0h	SGMII cdr lock force enable
6	mr_restart_an	R/WSC,0	0h	Restart sgmii autonegotiation
5-3	tx_half_full_th	R/W	3h	SGMII TX sync FIFO half full threshold
2-0	rx_half_full_th	R/W	3h	SGMII RX sync FIFO half full threshold

### 8.6.2.76 SGMII\_FIFO\_STATUS Register (Offset = 60Dh) [Reset = 0000h]

SGMII\_FIFO\_STATUS is shown in [Figure 8-93](#) and described in [Table 8-98](#).

Return to the [Table 8-22](#).

**Figure 8-93. SGMII\_FIFO\_STATUS Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				sgmii_rx_af_full_err	sgmii_rx_af_empty_err	sgmii_tx_af_full_err	sgmii_tx_af_empty_err
R-0h				R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h

**Table 8-98. SGMII\_FIFO\_STATUS Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-4	RESERVED	R	0h	Reserved
3	sgmii_rx_af_full_err	R/W0C	0h	SGMII RX fifo full error 0h = No error indication 1h = SGMII RX fifo full error has been indicated
2	sgmii_rx_af_empty_err	R/W0C	0h	SGMII RX fifo empty error 0h = No error indication 1h = SGMII RX fifo empty error has been indicated
1	sgmii_tx_af_full_err	R/W0C	0h	SGMII TX fifo full error 0h = No error indication 1h = SGMII TX fifo full error has been indicated
0	sgmii_tx_af_empty_err	R/W0C	0h	SGMII TX fifo empty error 0h = No error indication 1h = SGMII TX fifo empty error has been indicated

**8.6.2.77 PRBS\_STATUS\_1 Register (Offset = 618h) [Reset = 0000h]**

 PRBS\_STATUS\_1 is shown in [Figure 8-94](#) and described in [Table 8-99](#).

 Return to the [Table 8-22](#).

**Figure 8-94. PRBS\_STATUS\_1 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
prbs_err_ov_cnt							
R-0h							

**Table 8-99. PRBS\_STATUS\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	RESERVED	R	0h	Reserved
7-0	prbs_err_ov_cnt	R	0h	Holds number of error counter overflow that received by the PRBS checker. Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. Counter stops on 0xFF. Note: when PRBS counters work in single mode, overflow counter is not active



### 8.6.2.78 PRBS\_CTRL\_1 Register (Offset = 619h) [Reset = 0574h]

PRBS\_CTRL\_1 is shown in [Figure 8-95](#) and described in [Table 8-100](#).

Return to the [Table 8-22](#).

**Figure 8-95. PRBS\_CTRL\_1 Register**

15	14	13	12	11	10	9	8
RESERVED		cfg_pkt_gen_64	send_pkt	RESERVED	cfg_prbs_chk_sel		
R-0h		R/W-0h	R/WMC,0-0h	R-0h	R/W-5h		
7	6	5	4	3	2	1	0
RESERVED	cfg_prbs_gen_sel			cfg_prbs_cnt_mode	cfg_prbs_chk_enable	cfg_pkt_gen_prbs	pkt_gen_en
R-0h	R/W-7h			R/W-0h	R/W-1h	R/W-0h	R/W-0h

**Table 8-100. PRBS\_CTRL\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-14	RESERVED	R	0h	Reserved
13	cfg_pkt_gen_64	R/W	0h	Reserved
12	send_pkt	R/WMC,0	0h	Enables generating MAC packet with fix/incremental data w CRC (pkt_gen_en has to be set and cfg_pkt_gen_prbs has to be clear) Cleared automatically when pkt_done is set 0h = Stop MAC packet 1h = Transmit MAC packet w CRC
11	RESERVED	R	0h	Reserved
10-8	cfg_prbs_chk_sel	R/W	5h	000 : Checker receives from RGMII TX 001 : Checker receives SGMII TX 101 : Checker receives from Cu RX
7	RESERVED	R	0h	Reserved
6-4	cfg_prbs_gen_sel	R/W	7h	000 : PRBS transmits to RGMII RX 001 : PRBS transmits to SGMII RX 101 : PRBS transmits to Cu TX
3	cfg_prbs_cnt_mode	R/W	0h	1 = Continuous mode, when one of the PRBS counters reaches max value, pulse is generated and counter starts counting from zero again 0 = Single mode, When one of the PRBS counters reaches max value, PRBS checker stops counting.
2	cfg_prbs_chk_enable	R/W	1h	Enable PRBS checker xbar (to receive data) To be enabled for counters in 0x63C, 0x63D, 0x63E to work 0h = Disable PRBS checker 1h = Enable PRBS checker
1	cfg_pkt_gen_prbs	R/W	0h	If set: (1) When pkt_gen_en is set, PRBS packets are generated continuously (3) When pkt_gen_en is cleared, PRBS RX checker is still enabled If cleared: (1) When pkt_gen_en is set, non - PRBS packet is generated (3) When pkt_gen_en is cleared, PRBS RX checker is disabled as well 0h = Stop PRBS packet 1h = Transmit PRBS packet
0	pkt_gen_en	R/W	0h	1 = Enable packet/PRBS generator 0 = Disable packet/PRBS generator

**8.6.2.79 PRBS\_CTRL\_2 Register (Offset = 61Ah) [Reset = 05DCh]**

 PRBS\_CTRL\_2 is shown in [图 8-96](#) and described in [表 8-101](#).

 Return to the [表 8-22](#).

**图 8-96. PRBS\_CTRL\_2 Register**

15	14	13	12	11	10	9	8
cfg_pkt_len_prbs							
R/W-5DCh							
7	6	5	4	3	2	1	0
cfg_pkt_len_prbs							
R/W-5DCh							

**表 8-101. PRBS\_CTRL\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	cfg_pkt_len_prbs	R/W	5DCh	Length (in bytes) of PRBS packets and MAC packets w CRC

### 8.6.2.80 PRBS\_CTRL\_3 Register (Offset = 61Bh) [Reset = 007Dh]

PRBS\_CTRL\_3 is shown in [Figure 8-97](#) and described in [Table 8-102](#).

Return to the [Table 8-22](#).

**Figure 8-97. PRBS\_CTRL\_3 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
cfg_ipg_len							
R/W-7Dh							

**Table 8-102. PRBS\_CTRL\_3 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	RESERVED	R	0h	Reserved
7-0	cfg_ipg_len	R/W	7Dh	Inter-packet gap (in bytes) between packets

**8.6.2.81 PRBS\_STATUS\_2 Register (Offset = 61Ch) [Reset = 0000h]**

PRBS\_STATUS\_2 is shown in [图 8-98](#) and described in [表 8-103](#).

Return to the [表 8-22](#).

**图 8-98. PRBS\_STATUS\_2 Register**

15	14	13	12	11	10	9	8
prbs_byte_cnt							
R-0h							
7	6	5	4	3	2	1	0
prbs_byte_cnt							
R-0h							

**表 8-103. PRBS\_STATUS\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	prbs_byte_cnt	R	0h	Holds number of total bytes that received by the PRBS checker. Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. When PRBS Count Mode set to zero, count stops on 0xFFFF

### 8.6.2.82 PRBS\_STATUS\_3 Register (Offset = 61Dh) [Reset = 0000h]

PRBS\_STATUS\_3 is shown in [图 8-99](#) and described in [表 8-104](#).

Return to the [表 8-22](#).

**图 8-99. PRBS\_STATUS\_3 Register**

15	14	13	12	11	10	9	8
prbs_pkt_cnt_15_0							
R-0h							
7	6	5	4	3	2	1	0
prbs_pkt_cnt_15_0							
R-0h							

**表 8-104. PRBS\_STATUS\_3 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	prbs_pkt_cnt_15_0	R	0h	Bits [15:0] of number of total packets received by the PRBS checker Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. When PRBS Count Mode set to zero, count stops on 0xFFFFFFFF

**8.6.2.83 PRBS\_STATUS\_4 Register (Offset = 61Eh) [Reset = 0000h]**

PRBS\_STATUS\_4 is shown in [图 8-100](#) and described in [表 8-105](#).

Return to the [表 8-22](#).

**图 8-100. PRBS\_STATUS\_4 Register**

15	14	13	12	11	10	9	8
prbs_pkt_cnt_31_16							
R-0h							
7	6	5	4	3	2	1	0
prbs_pkt_cnt_31_16							
R-0h							

**表 8-105. PRBS\_STATUS\_4 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	prbs_pkt_cnt_31_16	R	0h	Bits [31:16] of number of total packets received by the PRBS checker Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. When PRBS Count Mode set to zero, count stops on 0xFFFFFFFF

### 8.6.2.84 PRBS\_STATUS\_6 Register (Offset = 620h) [Reset = 0000h]

PRBS\_STATUS\_6 is shown in [图 8-101](#) and described in [表 8-106](#).

Return to the [表 8-22](#).

**图 8-101. PRBS\_STATUS\_6 Register**

15	14	13	12	11	10	9	8
RESERVED			pkt_done	pkt_gen_busy	prbs_pkt_ov	prbs_byte_ov	prbs_lock
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
prbs_err_cnt							
R-0h							

**表 8-106. PRBS\_STATUS\_6 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-13	RESERVED	R	0h	Reserved
12	pkt_done	R	0h	Set when all MAC packets w CRC are transmitted 0h = MAC packet transmission in progress 1h = MAC packets transmission completed
11	pkt_gen_busy	R	0h	1 = Packet generator is in process 0 = Packet generator is not in process
10	prbs_pkt_ov	R	0h	If set, packet counter reached overflow Overflow is cleared when PRBS counters are cleared - done by setting bit #1 of prbs_status_6 0h = No overflow 1h = Packet counter overflow
9	prbs_byte_ov	R	0h	If set, bytes counter reached overflow Overflow is cleared when PRBS counters are cleared - done by setting bit #1 of prbs_status_6 0h = No overflow 1h = byte counter overflow
8	prbs_lock	R	0h	1 = PRBS checker is locked sync) on received byte stream 0 = PRBS checker is not locked 0h = PRBS checker is not locked 1h = PRBS checker is locked sync) on received byte stream
7-0	prbs_err_cnt	R	0h	Holds number of errored bits received by the PRBS checker Value in this register is locked when write is done to bit[0] or bit[1] When PRBS Count Mode set to zero, count stops on 0xFF Notes: Writing bit 0 generates a lock signal for the PRBS counters. Writing bit 1 generates a lock and clear signal for the PRBS counters

**8.6.2.85 PRBS\_STATUS\_8 Register (Offset = 622h) [Reset = 0000h]**

 PRBS\_STATUS\_8 is shown in [图 8-102](#) and described in [表 8-107](#).

 Return to the [表 8-22](#).

**图 8-102. PRBS\_STATUS\_8 Register**

15	14	13	12	11	10	9	8
pkt_err_cnt_15_0							
R-0h							
7	6	5	4	3	2	1	0
pkt_err_cnt_15_0							
R-0h							

**表 8-107. PRBS\_STATUS\_8 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	pkt_err_cnt_15_0	R	0h	Bits [15:0] of number of total packets with error received by the PRBS checker Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. When PRBS Count Mode set to zero, count stops on 0xFFFFFFFF



### 8.6.2.86 PRBS\_STATUS\_9 Register (Offset = 623h) [Reset = 0000h]

PRBS\_STATUS\_9 is shown in [图 8-103](#) and described in [表 8-108](#).

Return to the [表 8-22](#).

**图 8-103. PRBS\_STATUS\_9 Register**

15	14	13	12	11	10	9	8
pkt_err_cnt_31_16							
R-0h							
7	6	5	4	3	2	1	0
pkt_err_cnt_31_16							
R-0h							

**表 8-108. PRBS\_STATUS\_9 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	pkt_err_cnt_31_16	R	0h	Bits [31:16] of number of total packets with error received by the PRBS checker Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. When PRBS Count Mode set to zero, count stops on 0xFFFFFFFF

**8.6.2.87 PRBS\_CTRL\_4 Register (Offset = 624h) [Reset = 5511h]**

 PRBS\_CTRL\_4 is shown in [图 8-104](#) and described in [表 8-109](#).

 Return to the [表 8-22](#).

**图 8-104. PRBS\_CTRL\_4 Register**

15	14	13	12	11	10	9	8
cfg_pkt_data							
R/W-55h							
7	6	5	4	3	2	1	0
cfg_pkt_mode		cfg_pattern_vld_bytes			cfg_pkt_cnt		
R/W-0h		R/W-2h			R/W-1h		

**表 8-109. PRBS\_CTRL\_4 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	cfg_pkt_data	R/W	55h	Fixed data to be sent in Fix data mode
7-6	cfg_pkt_mode	R/W	0h	2b00 - Incremental 2b01 - Fixed 2b1x - PRBS 0h = Incremental 1h = Fixed
5-3	cfg_pattern_vld_bytes	R/W	2h	Number of bytes of valid pattern in packet (Max - 6) 0h = 0 bytes 1h = 1 bytes 2h = 2 bytes 3h = 3 bytes 4h = 4 bytes 5h = 5 bytes 6h = 6 bytes 7h = 6 bytes
2-0	cfg_pkt_cnt	R/W	1h	000b = 1 packet 001b = 10 packets 010b = 100 packets 011b = 1000 packets 100b = 10000 packets 101b = 100000 packets 110b = 1000000 packets 111b = Continuous packets 0h = 1 packet 1h = 10 packets 2h = 100 packets 3h = 1000 packets 4h = 10000 packets 5h = 100000 packets 6h = 1000000 packets 7h = Continuous packets

### 8.6.2.88 PRBS\_CTRL\_5 Register (Offset = 625h) [Reset = 0000h]

PRBS\_CTRL\_5 is shown in [图 8-105](#) and described in [表 8-110](#).

Return to the [表 8-22](#).

**图 8-105. PRBS\_CTRL\_5 Register**

15	14	13	12	11	10	9	8
pattern_15_0							
R/W-0h							
7	6	5	4	3	2	1	0
pattern_15_0							
R/W-0h							

**表 8-110. PRBS\_CTRL\_5 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	pattern_15_0	R/W	0h	Bits 15:0 of pattern

**8.6.2.89 PRBS\_CTRL\_6 Register (Offset = 626h) [Reset = 0000h]**

PRBS\_CTRL\_6 is shown in [图 8-106](#) and described in [表 8-111](#).

Return to the [表 8-22](#).

**图 8-106. PRBS\_CTRL\_6 Register**

15	14	13	12	11	10	9	8
pattern_31_16							
R/W-0h							
7	6	5	4	3	2	1	0
pattern_31_16							
R/W-0h							

**表 8-111. PRBS\_CTRL\_6 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	pattern_31_16	R/W	0h	Bits 31:16 of pattern

### 8.6.2.90 PRBS\_CTRL\_7 Register (Offset = 627h) [Reset = 0000h]

PRBS\_CTRL\_7 is shown in [图 8-107](#) and described in [表 8-112](#).

Return to the [表 8-22](#).

**图 8-107. PRBS\_CTRL\_7 Register**

15	14	13	12	11	10	9	8
pattern_47_32							
R/W-0h							
7	6	5	4	3	2	1	0
pattern_47_32							
R/W-0h							

**表 8-112. PRBS\_CTRL\_7 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	pattern_47_32	R/W	0h	Bits 47:32 of pattern

**8.6.2.91 PRBS\_CTRL\_8 Register (Offset = 628h) [Reset = 0000h]**

 PRBS\_CTRL\_8 is shown in [Figure 8-108](#) and described in [Table 8-113](#).

 Return to the [Table 8-22](#).

**Figure 8-108. PRBS\_CTRL\_8 Register**

15	14	13	12	11	10	9	8
pmatch_data_15_0							
R/W-0h							
7	6	5	4	3	2	1	0
pmatch_data_15_0							
R/W-0h							

**Table 8-113. PRBS\_CTRL\_8 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	pmatch_data_15_0	R/W	0h	Bits 15:0 of Perfect Match Data - used for DA (destination address) match

### 8.6.2.92 PRBS\_CTRL\_9 Register (Offset = 629h) [Reset = 0000h]

PRBS\_CTRL\_9 is shown in [图 8-109](#) and described in [表 8-114](#).

Return to the [表 8-22](#).

**图 8-109. PRBS\_CTRL\_9 Register**

15	14	13	12	11	10	9	8
pmatch_data_31_16							
R/W-0h							
7	6	5	4	3	2	1	0
pmatch_data_31_16							
R/W-0h							

**表 8-114. PRBS\_CTRL\_9 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	pmatch_data_31_16	R/W	0h	Bits 31:16 of Perfect Match Data - used for DA (destination address) match

**8.6.2.93 PRBS\_CTRL\_10 Register (Offset = 62Ah) [Reset = 0000h]**

 PRBS\_CTRL\_10 is shown in [Figure 8-110](#) and described in [Table 8-115](#).

 Return to the [Table 8-22](#).

**Figure 8-110. PRBS\_CTRL\_10 Register**

15	14	13	12	11	10	9	8
pmatch_data_47_32							
R/W-0h							
7	6	5	4	3	2	1	0
pmatch_data_47_32							
R/W-0h							

**Table 8-115. PRBS\_CTRL\_10 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	pmatch_data_47_32	R/W	0h	Bits 47:32 of Perfect Match Data - used for DA (destination address) match



### 8.6.2.94 CRC\_STATUS Register (Offset = 638h) [Reset = 0000h]

CRC\_STATUS is shown in [Figure 8-111](#) and described in [Table 8-116](#).

Return to the [Table 8-22](#).

**Figure 8-111. CRC\_STATUS Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						rx_bad_crc	tx_bad_crc
R-0h						R-0h	R-0h

**Table 8-116. CRC\_STATUS Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-2	RESERVED	R	0h	Reserved
1	rx_bad_crc	R	0h	CRC error indication in packet received on Cu RX 0h = No CRC error 1h = CRC error
0	tx_bad_crc	R	0h	CRC error indication in packet transmitted on Cu TX 0h = No CRC error 1h = CRC error

**8.6.2.95 PKT\_STAT\_1 Register (Offset = 639h) [Reset = 0000h]**

PKT\_STAT\_1 is shown in [图 8-112](#) and described in [表 8-117](#).

Return to the [表 8-22](#).

**图 8-112. PKT\_STAT\_1 Register**

15	14	13	12	11	10	9	8
tx_pkt_cnt_15_0							
0h							
7	6	5	4	3	2	1	0
tx_pkt_cnt_15_0							
0h							

**表 8-117. PKT\_STAT\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	tx_pkt_cnt_15_0		0h	Lower 16 bits of Tx packet counter Note : Register is cleared when 0x39, 0x3A, 0x3B are read in sequence

### 8.6.2.96 PKT\_STAT\_2 Register (Offset = 63Ah) [Reset = 0000h]

PKT\_STAT\_2 is shown in [图 8-113](#) and described in [表 8-118](#).

Return to the [表 8-22](#).

**图 8-113. PKT\_STAT\_2 Register**

15	14	13	12	11	10	9	8
tx_pkt_cnt_31_16							
0h							
7	6	5	4	3	2	1	0
tx_pkt_cnt_31_16							
0h							

**表 8-118. PKT\_STAT\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	tx_pkt_cnt_31_16		0h	Upper 16 bits of Tx packet counter Note : Register is cleared when 0x39, 0x3A, 0x3B are read in sequence

**8.6.2.97 PKT\_STAT\_3 Register (Offset = 63Bh) [Reset = 0000h]**

 PKT\_STAT\_3 is shown in [图 8-114](#) and described in [表 8-119](#).

 Return to the [表 8-22](#).

**图 8-114. PKT\_STAT\_3 Register**

15	14	13	12	11	10	9	8
tx_err_pkt_cnt							
0h							
7	6	5	4	3	2	1	0
tx_err_pkt_cnt							
0h							

**表 8-119. PKT\_STAT\_3 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	tx_err_pkt_cnt		0h	Tx packet w error (CRC error) counter Note : Register is cleared when 0x39, 0x3A, 0x3B are read in sequence

### 8.6.2.98 PKT\_STAT\_4 Register (Offset = 63Ch) [Reset = 0000h]

PKT\_STAT\_4 is shown in [图 8-115](#) and described in [表 8-120](#).

Return to the [表 8-22](#).

**图 8-115. PKT\_STAT\_4 Register**

15	14	13	12	11	10	9	8
rx_pkt_cnt_15_0							
0h							
7	6	5	4	3	2	1	0
rx_pkt_cnt_15_0							
0h							

**表 8-120. PKT\_STAT\_4 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	rx_pkt_cnt_15_0		0h	Lower 16 bits of Rx packet counter Note : Register is cleared when 0x3C, 0x3D, 0x3E are read in sequence

**8.6.2.99 PKT\_STAT\_5 Register (Offset = 63Dh) [Reset = 0000h]**

PKT\_STAT\_5 is shown in [图 8-116](#) and described in [表 8-121](#).

Return to the [表 8-22](#).

**图 8-116. PKT\_STAT\_5 Register**

15	14	13	12	11	10	9	8
rx_pkt_cnt_31_16							
0h							
7	6	5	4	3	2	1	0
rx_pkt_cnt_31_16							
0h							

**表 8-121. PKT\_STAT\_5 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	rx_pkt_cnt_31_16		0h	Upper 16 bits of Rx packet counter Note : Register is cleared when 0x3C, 0x3D, 0x3E are read in sequence

### 8.6.2.100 PKT\_STAT\_6 Register (Offset = 63Eh) [Reset = 0000h]

PKT\_STAT\_6 is shown in [图 8-117](#) and described in [表 8-122](#).

Return to the [表 8-22](#).

**图 8-117. PKT\_STAT\_6 Register**

15	14	13	12	11	10	9	8
rx_err_pkt_cnt							
0h							
7	6	5	4	3	2	1	0
rx_err_pkt_cnt							
0h							

**表 8-122. PKT\_STAT\_6 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	rx_err_pkt_cnt		0h	Rx packet w error (CRC error) counter Note : Register is cleared when 0x3C, 0x3D, 0x3E are read in sequence

**8.6.2.101 SQI\_REG\_1 Register (Offset = 871h) [Reset = 0000h]**

 SQI\_REG\_1 is shown in [图 8-118](#) and described in [表 8-123](#).

 Return to the [表 8-22](#).

**图 8-118. SQI\_REG\_1 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
worst_sqi_out			RESERVED	sqi_out			RESERVED
0h			R-0h	R-0h			R-0h

**表 8-123. SQI\_REG\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-8	RESERVED	R	0h	Reserved
7-5	worst_sqi_out		0h	3 bit Worst SQI since last read (see SQI mapping above)
4	RESERVED	R	0h	Reserved
3-1	sqi_out	R	0h	3 bit SQI - (mse here refers to Mean Square Error 0x875[9:0]) 0b000 = MSE > 102 0b001 = 81 < MSE ≤ 102 0b010 = 65 < MSE ≤ 81 0b011 = 51 < MSE ≤ 65 0b100 = 41 < MSE ≤ 51 0b101 = 32 < MSE ≤ 41 0b110 = 25 < MSE ≤ 32 0b111 = MSE ≤ 25
0	RESERVED	R	0h	Reserved



### 8.6.2.102 DSP\_REG\_75 Register (Offset = 875h) [Reset = 0000h]

DSP\_REG\_75 is shown in [图 8-119](#) and described in [表 8-124](#).

Return to the [表 8-22](#).

**图 8-119. DSP\_REG\_75 Register**

15	14	13	12	11	10	9	8
RESERVED				RESERVED		mse_lock	
R-0h				R-0h		R-0h	
7	6	5	4	3	2	1	0
mse_lock							
R-0h							

**表 8-124. DSP\_REG\_75 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11-10	RESERVED	R	0h	Reserved
9-0	mse_lock	R	0h	10 bit mse used for SQL mapping. (mse = mean square error at the receiver)

**8.6.2.103 SQI\_1 Register (Offset = 8ADh) [Reset = 3051h]**

SQI\_1 is shown in [图 8-120](#) and described in [表 8-125](#).

Return to the [表 8-22](#).

**图 8-120. SQI\_1 Register**

15	14	13	12	11	10	9	8
cfg_hist_1_2			cfg_acc_window_sel			cfg_sqi_th_1_2	
R/W-3h			R/W-0h			R/W-51h	
7	6	5	4	3	2	1	0
cfg_sqi_th_1_2							
R/W-51h							

**表 8-125. SQI\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-12	cfg_hist_1_2	R/W	3h	Hysteresis between SQI value 1 and 2
11-10	cfg_acc_window_sel	R/W	0h	Accumulator window select - 00b = 90us 01b = 180us 10b = 360us 11b = 720us
9-0	cfg_sqi_th_1_2	R/W	51h	Threshold between SQI value 1 and 2

### 8.6.2.104 PMA\_PMD\_CONTROL\_1 Register (Offset = 1000h) [Reset = 0000h]

PMA\_PMD\_CONTROL\_1 is shown in [图 8-121](#) and described in [表 8-126](#).

Return to the [表 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-121. PMA\_PMD\_CONTROL\_1 Register**

15	14	13	12	11	10	9	8
pma_reset_2	RESERVED			cfg_low_power_2	RESERVED		
R-0h	R-0h			R-0h	R-0h		
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

**表 8-126. PMA\_PMD\_CONTROL\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	pma_reset_2	R	0h	1 = PMA/PMD reset 0 = Normal operation Note - RW bit, self clearing
14-12	RESERVED	R	0h	Reserved
11	cfg_low_power_2	R	0h	1 = Low-power mode 0 = Normal operation Note - RW bit
10-0	RESERVED	R	0h	Reserved

**8.6.2.105 PMA\_PMD\_CONTROL\_2 Register (Offset = 1007h) [Reset = 003Dh]**

PMA\_PMD\_CONTROL\_2 is shown in [图 8-122](#) and described in [表 8-127](#).

Return to the [表 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-122. PMA\_PMD\_CONTROL\_2 Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		cfg_pma_type_selection					
R-0h		R/W-3Dh					

**表 8-127. PMA\_PMD\_CONTROL\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-6	RESERVED	R	0h	Reserved
5-0	cfg_pma_type_selection	R/W	3Dh	BASE-T1 type selection for device 3Dh = BASE-T1 type selection for device

### 8.6.2.106 PMA\_PMD\_TRANSMIT\_DISABLE Register (Offset = 1009h) [Reset = 0000h]

PMA\_PMD\_TRANSMIT\_DISABLE is shown in [图 8-123](#) and described in [表 8-128](#).

Return to the [表 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-123. PMA\_PMD\_TRANSMIT\_DISABLE Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							cfg_transmit_disable_2
R-0h							R-0h

**表 8-128. PMA\_PMD\_TRANSMIT\_DISABLE Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-1	RESERVED	R	0h	Reserved
0	cfg_transmit_disable_2	R	0h	1 = Transmit disable 0 = Normal operation Note - RW bit

**8.6.2.107 PMA\_PMD\_EXTENDED\_ABILITY2 Register (Offset = 100Bh) [Reset = 0800h]**

PMA\_PMD\_EXTENDED\_ABILITY2 is shown in [图 8-124](#) and described in [表 8-129](#).

Return to the [表 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-124. PMA\_PMD\_EXTENDED\_ABILITY2 Register**

15	14	13	12	11	10	9	8
RESERVED				base_t1_extended_abilities	RESERVED		
R-0h				R-1h	R-0h		
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

**表 8-129. PMA\_PMD\_EXTENDED\_ABILITY2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11	base_t1_extended_abilities	R	1h	1 = PMA/PMD has BASE-T1 extended abilities listed in register 1.18 0 = PMA/PMD does not have BASE-T1 extended abilities
10-0	RESERVED	R	0h	Reserved

### 8.6.2.108 PMA\_PMD\_EXTENDED\_ABILITY Register (Offset = 1012h) [Reset = 0002h]

PMA\_PMD\_EXTENDED\_ABILITY is shown in [图 8-125](#) and described in [表 8-130](#).

Return to the [表 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-125. PMA\_PMD\_EXTENDED\_ABILITY Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						mr_1000_base_t1_ability	mr_100_base_t1_ability
R-0h						R-1h	R-0h

**表 8-130. PMA\_PMD\_EXTENDED\_ABILITY Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-2	RESERVED	R	0h	Reserved
1	mr_1000_base_t1_ability	R	1h	1 = PMA/PMD is able to perform 1000BASE-T1 0 = PMA/PMD is not able to perform 1000BASE-T1
0	mr_100_base_t1_ability	R	0h	1 = PMA/PMD is able to perform 100BASE-T1 0 = PMA/PMD is not able to perform 100BASE-T1

**8.6.2.109 PMA\_PMD\_CONTROL Register (Offset = 1834h) [Reset = 8001h]**

PMA\_PMD\_CONTROL is shown in [图 8-126](#) and described in [表 8-131](#).

Return to the [表 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-126. PMA\_PMD\_CONTROL Register**

15	14	13	12	11	10	9	8
RESERVED	cfg_master_slave_val	RESERVED					
R-1h	R/W-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED				RESERVED			
R-0h				R/W-1h			

**表 8-131. PMA\_PMD\_CONTROL Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	RESERVED	R	1h	Reserved
14	cfg_master_slave_val	R/W	0h	1 = Configure PHY as MASTER 0 = Configure PHY as SLAVE
13-4	RESERVED	R	0h	Reserved
3-0	RESERVED	R/W	1h	Reserved



### 8.6.2.110 PMA\_CONTROL Register (Offset = 1900h) [Reset = 0000h]

PMA\_CONTROL is shown in [Figure 8-127](#) and described in [Table 8-132](#).

Return to the [Table 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**Figure 8-127. PMA\_CONTROL Register**

15		14		13		12		11		10		9		8	
pma_reset		cfg_transmit_disable		RESERVED				cfg_low_power		RESERVED					
R-0h		R-0h		R-0h				R-0h		R-0h					
7		6		5		4		3		2		1		0	
RESERVED															
R-0h															

**Table 8-132. PMA\_CONTROL Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	pma_reset	R	0h	1 = PMA/PMD reset 0 = Normal operation Note - RW bit, self clearing
14	cfg_transmit_disable	R	0h	1 = Transmit disable 0 = Normal operation Note - RW bit
13-12	RESERVED	R	0h	Reserved
11	cfg_low_power	R	0h	1 = Low-power mode 0 = Normal operation Note - RW bit
10-0	RESERVED	R	0h	Reserved

**8.6.2.111 PMA\_STATUS Register (Offset = 1901h) [Reset = 0900h]**

 PMA\_STATUS is shown in [图 8-128](#) and described in [表 8-133](#).

 Return to the [表 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-128. PMA\_STATUS Register**

15	14	13	12	11	10	9	8
RESERVED				oam_ability	eee_ability	receive_fault_ability	low_power_ability
R-0h				R-1h	R-0h	R-0h	R-1h
7	6	5	4	3	2	1	0
RESERVED					receive_polarity	receive_fault	pma_receive_link_status_ll
R-0h					R-0h	R-0h	R/W0S-0h

**表 8-133. PMA\_STATUS Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11	oam_ability	R	1h	1 = PHY has 1000BASE-T1 OAM ability 0 = PHY does not have 1000BASE-T1 OAM ability
10	eee_ability	R	0h	1 = PHY has EEE ability 0 = PHY does not have EEE ability
9	receive_fault_ability	R	0h	1 = PMA/PMD has the ability to detect a fault condition on the receive path 0 = PMA/PMD does not have the ability to detect a fault condition on the receive path
8	low_power_ability	R	1h	1 = PMA/PMD has low-power ability 0 = PMA/PMD does not have low-power ability
7-3	RESERVED	R	0h	Reserved
2	receive_polarity	R	0h	1 = Receive polarity is reversed 0 = Receive polarity is not reversed
1	receive_fault	R	0h	1 = Fault condition detected 0 = Fault condition not detected
0	pma_receive_link_status_ll	R/W0S	0h	1 = PMA/PMD receive link up 0 = PMA/PMD receive link down

### 8.6.2.112 TRAINING Register (Offset = 1902h) [Reset = 0002h]

TRAINING is shown in [Figure 8-129](#) and described in [Table 8-134](#).

Return to the [Table 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**Figure 8-129. TRAINING Register**

15	14	13	12	11	10	9	8
RESERVED					cfg_training_user_fld		
R-0h					R/W-0h		
7	6	5	4	3	2	1	0
cfg_training_user_fld				RESERVED		cfg_oam_en	cfg_eee_en
R/W-0h				R-0h		R/W-1h	R/W-0h

**Table 8-134. TRAINING Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10-4	cfg_training_user_fld	R/W	0h	7-bit user defined field to send to the link partner
3-2	RESERVED	R	0h	Reserved
1	cfg_oam_en	R/W	1h	1 = 1000BASE-T1 OAM ability advertised to link partner 0 = 1000BASE-T1 OAM ability not advertised to link partner
0	cfg_eee_en	R/W	0h	1 = EEE ability advertised to link partner 0 = EEE ability not advertised to link partner

**8.6.2.113 LP\_TRAINING Register (Offset = 1903h) [Reset = 0000h]**

LP\_TRAINING is shown in [图 8-130](#) and described in [表 8-135](#).

Return to the [表 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-130. LP\_TRAINING Register**

15	14	13	12	11	10	9	8
RESERVED					lp_training_user_fld		
R-0h					R-0h		
7	6	5	4	3	2	1	0
lp_training_user_fld				RESERVED		lp_oam_adv	lp_eee_adv
R-0h				R-0h		R-0h	R-0h

**表 8-135. LP\_TRAINING Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10-4	lp_training_user_fld	R	0h	7-bit user defined field received from the link partner
3-2	RESERVED	R	0h	Reserved
1	lp_oam_adv	R	0h	1 = Link partner has 1000BASE-T1 OAM ability 0 = Link partner does not have 1000BASE-T1 OAM ability
0	lp_eee_adv	R	0h	1 = Link partner has EEE ability 0 = Link partner does not have EEE ability

### 8.6.2.114 TEST\_MODE\_CONTROL Register (Offset = 1904h) [Reset = 0000h]

TEST\_MODE\_CONTROL is shown in [图 8-131](#) and described in [表 8-136](#).

Return to the [表 8-22](#).

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-131. TEST\_MODE\_CONTROL Register**

15	14	13	12	11	10	9	8
cfg_test_mode				RESERVED			
R/W-0h				R-0h			
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

**表 8-136. TEST\_MODE\_CONTROL Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-13	cfg_test_mode	R/W	0h	111 = Test mode 7 110 = Test mode 6 101 = Test mode 5 100 = Test mode 4 011 = Reserved 010 = Test mode 2 001 = Test mode 1 000 = Normal (non-test) operation
12-0	RESERVED	R	0h	Reserved

**8.6.2.115 PCS\_CONTROL\_COPY Register (Offset = 3000h) [Reset = 0000h]**

PCS\_CONTROL\_COPY is shown in [图 8-132](#) and described in [表 8-137](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-132. PCS\_CONTROL\_COPY Register**

15	14	13	12	11	10	9	8
pcs_reset_2	mmd3_loopback_2	RESERVED					
R-0h	R-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

**表 8-137. PCS\_CONTROL\_COPY Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	pcs_reset_2	R	0h	Note - RW bit, self clear bit 0h = Normal operation 1h = PCS reset
14	mmd3_loopback_2	R	0h	Note - RW bit 0h = Disable loopback mode 1h = Enable loopback mode
13-0	RESERVED	R	0h	Reserved

### 8.6.2.116 PCS\_CONTROL Register (Offset = 3900h) [Reset = 0000h]

PCS\_CONTROL is shown in [Figure 8-133](#) and described in [Table 8-138](#).

Return to the [Table 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**Figure 8-133. PCS\_CONTROL Register**

15		14		13		12		11		10		9		8	
pcs_reset		mmd3_loopback		RESERVED											
R-0h		R-0h		R-0h											
7		6		5		4		3		2		1		0	
RESERVED															
R-0h															

**Table 8-138. PCS\_CONTROL Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	pcs_reset	R	0h	Note - RW bit, self clear bit 0h = Normal operation 1h = PCS reset
14	mmd3_loopback	R	0h	Note - RW bit 0h = Disable loopback mode 1h = Enable loopback mode
13-0	RESERVED	R	0h	Reserved

**8.6.2.117 PCS\_STATUS Register (Offset = 3901h) [Reset = 0000h]**

PCS\_STATUS is shown in [图 8-134](#) and described in [表 8-139](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-134. PCS\_STATUS Register**

15	14	13	12	11	10	9	8
RESERVED				tx_lpi_received_lh	rx_lpi_received_lh	tx_lpi_indication	rx_lpi_indication
R-0h				R/W0C-0h	R/W0C-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
pcs_fault	RESERVED				pcs_receive_link_status_ll	RESERVED	
R-0h	R-0h				R/W0S-0h	R-0h	

**表 8-139. PCS\_STATUS Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11	tx_lpi_received_lh	R/W0C	0h	0h = LPI not received 1h = Tx PCS has received LPI
10	rx_lpi_received_lh	R/W0C	0h	0h = LPI not received 1h = Rx PCS has received LPI
9	tx_lpi_indication	R	0h	0h = PCS is not currently receiving LPI 1h = Tx PCS is currently receiving LPI
8	rx_lpi_indication	R	0h	0h = PCS is not currently receiving LPI 1h = Rx PCS is currently receiving LPI
7	pcs_fault	R	0h	0h = No fault condition detected 1h = Fault condition detected
6-3	RESERVED	R	0h	Reserved
2	pcs_receive_link_status_ll	R/W0S	0h	0h = PCS receive link down 1h = PCS receive link up
1-0	RESERVED	R	0h	Reserved



### 8.6.2.118 PCS\_STATUS\_2 Register (Offset = 3902h) [Reset = 0000h]

PCS\_STATUS\_2 is shown in [Figure 8-135](#) and described in [Table 8-140](#).

Return to the [Table 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**Figure 8-135. PCS\_STATUS\_2 Register**

15	14	13	12	11	10	9	8
RESERVED					pcs_receive_lin k_status	hi_rfer	block_lock
R-0h					R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
hi_rfer_lh	block_lock_ll	RESERVED					
R/W0C-0h	R/W0S-0h	R-0h					

**Table 8-140. PCS\_STATUS\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10	pcs_receive_link_status	R	0h	0h = PCS receive link down 1h = PCS receive link up
9	hi_rfer	R	0h	0h = PCS not reporting a high BER 1h = PCS reporting a high BER
8	block_lock	R	0h	0h = PCS not locked to received blocks 1h = PCS locked to received blocks
7	hi_rfer_lh	R/W0C	0h	0h = PCS has not reported a high BER 1h = PCS has reported a high BER
6	block_lock_ll	R/W0S	0h	0h = PCS does not have block lock 1h = PCS has block lock
5-0	RESERVED	R	0h	Reserved

**8.6.2.119 OAM\_TRANSMIT Register (Offset = 3904h) [Reset = 0000h]**

OAM\_TRANSMIT is shown in [图 8-136](#) and described in [表 8-141](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-136. OAM\_TRANSMIT Register**

15		14		13		12		11		10		9		8	
mr_tx_valid		mr_tx_toggle		mr_tx_received		mr_tx_received_toggle		mr_tx_message_num							
R/WMC,0-0h		R-0h		0h		R-0h		R/W-0h							
7		6		5		4		3		2		1		0	
RESERVED								mr_rx_ping		mr_tx_ping		mr_tx_snr			
R-0h								R-0h		R/W-0h		R-0h			

**表 8-141. OAM\_TRANSMIT Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	mr_tx_valid	R/WMC,0	0h	This bit is used to indicate message data in registers 3.2308.11:8, 3.2309, 3.2310, 3.2311, and 3.2312 are valid and ready to be loaded. This bit shall self-clear when registers are loaded by the state machine. 1 = Message data in registers are valid 0 = Message data in registers are not valid
14	mr_tx_toggle	R	0h	Toggle value to be transmitted with message. This bit is set by the state machine and cannot be overridden by the user.
13	mr_tx_received		0h	This bit shall self clear on read. 1 = 1000BASE-T1 OAM message received by link partner 0 = 1000BASE-T1 OAM message not received by link partner
12	mr_tx_received_toggle	R	0h	Toggle value of message that was received by link partner
11-8	mr_tx_message_num	R/W	0h	User-defined message number to send
7-4	RESERVED	R	0h	Reserved
3	mr_rx_ping	R	0h	Received PingTx value from latest good 1000BASE-T1 OAM frame received
2	mr_tx_ping	R/W	0h	Ping value to send to link partner
1-0	mr_tx_snr	R	0h	00 = PHY link is failing and will drop link and relink within 2 ms to 4 ms after the end of the current 1000BASE-T1 OAM frame. 01 = LPI refresh is insufficient to maintain PHY SNR. Request link partner to exit LPI and send idles (used only when EEE is enabled). 10 = PHY SNR is marginal. 11 = PHY SNR is good.

### 8.6.2.120 OAM\_TX\_MESSAGE\_1 Register (Offset = 3905h) [Reset = 0000h]

OAM\_TX\_MESSAGE\_1 is shown in [图 8-137](#) and described in [表 8-142](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-137. OAM\_TX\_MESSAGE\_1 Register**

15	14	13	12	11	10	9	8
mr_tx_message_15_0							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_15_0							
R/W-0h							

**表 8-142. OAM\_TX\_MESSAGE\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	mr_tx_message_15_0	R/W	0h	Message octet 1/0. LSB transmitted first.

**8.6.2.121 OAM\_TX\_MESSAGE\_2 Register (Offset = 3906h) [Reset = 0000h]**

OAM\_TX\_MESSAGE\_2 is shown in [图 8-138](#) and described in [表 8-143](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-138. OAM\_TX\_MESSAGE\_2 Register**

15	14	13	12	11	10	9	8
mr_tx_message_31_16							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_31_16							
R/W-0h							

**表 8-143. OAM\_TX\_MESSAGE\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	mr_tx_message_31_16	R/W	0h	Message octet 3/2. LSB transmitted first.

### 8.6.2.122 OAM\_TX\_MESSAGE\_3 Register (Offset = 3907h) [Reset = 0000h]

OAM\_TX\_MESSAGE\_3 is shown in [图 8-139](#) and described in [表 8-144](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-139. OAM\_TX\_MESSAGE\_3 Register**

15	14	13	12	11	10	9	8
mr_tx_message_47_32							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_47_32							
R/W-0h							

**表 8-144. OAM\_TX\_MESSAGE\_3 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	mr_tx_message_47_32	R/W	0h	Message octet 5/4. LSB transmitted first.

**8.6.2.123 OAM\_TX\_MESSAGE\_4 Register (Offset = 3908h) [Reset = 0000h]**

OAM\_TX\_MESSAGE\_4 is shown in [图 8-140](#) and described in [表 8-145](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-140. OAM\_TX\_MESSAGE\_4 Register**

15	14	13	12	11	10	9	8
mr_tx_message_63_48							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_63_48							
R/W-0h							

**表 8-145. OAM\_TX\_MESSAGE\_4 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	mr_tx_message_63_48	R/W	0h	Message octet 7/6. LSB transmitted first.

### 8.6.2.124 OAM\_RECEIVE Register (Offset = 3909h) [Reset = 0000h]

OAM\_RECEIVE is shown in [图 8-141](#) and described in [表 8-146](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-141. OAM\_RECEIVE Register**

15		14		13		12		11		10		9		8	
mr_rx_lp_valid		mr_rx_lp_toggle		RESERVED				mr_rx_lp_message_num							
R-0h		R-0h		R-0h				R-0h							
7		6		5		4		3		2		1		0	
RESERVED										mr_rx_lp_SNR					
R-0h										R-0h					

**表 8-146. OAM\_RECEIVE Register Field Descriptions**

Bit	Field	Type	Reset	Description
15	mr_rx_lp_valid	R	0h	This bit is used to indicate message data in registers 3.2313.11:8, 3.2314, 3.2315, 3.2316, and 3.2317 are stored and ready to be read. This bit shall self clear when register 3.2317 is read. 0h = Message data in registers are not valid 1h = Message data in registers are valid
14	mr_rx_lp_toggle	R	0h	Toggle value received with message Note - 0x3 added in [15:12] to differentiate
13-12	RESERVED	R	0h	Reserved
11-8	mr_rx_lp_message_num	R	0h	Message number from link partner Note - 0x3 added in [15:12] to differentiate
7-2	RESERVED	R	0h	Reserved
1-0	mr_rx_lp_SNR	R	0h	00 = Link partner link is failing and will drop link and relink within 2 ms to 4 ms after the end of the current 1000BASE-T1 OAM frame. 01 = LPI refresh is insufficient to maintain link partner SNR. Link partner requests local device to exit LPI and send idles (used only when EEE is enabled). 10 = Link partner SNR is marginal. 11 = Link partner SNR is good

**8.6.2.125 OAM\_RX\_MESSAGE\_1 Register (Offset = 390Ah) [Reset = 0000h]**

OAM\_RX\_MESSAGE\_1 is shown in [图 8-142](#) and described in [表 8-147](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-142. OAM\_RX\_MESSAGE\_1 Register**

15	14	13	12	11	10	9	8
mr_rx_lp_message_15_0							
R-0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_15_0							
R-0h							

**表 8-147. OAM\_RX\_MESSAGE\_1 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	mr_rx_lp_message_15_0	R	0h	Message octet 1/0. LSB transmitted first.



### 8.6.2.126 OAM\_RX\_MESSAGE\_2 Register (Offset = 390Bh) [Reset = 0000h]

OAM\_RX\_MESSAGE\_2 is shown in [图 8-143](#) and described in [表 8-148](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-143. OAM\_RX\_MESSAGE\_2 Register**

15	14	13	12	11	10	9	8
mr_rx_lp_message_31_16							
R-0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_31_16							
R-0h							

**表 8-148. OAM\_RX\_MESSAGE\_2 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	mr_rx_lp_message_31_16	R	0h	Message octet 3/2. LSB transmitted first.

**8.6.2.127 OAM\_RX\_MESSAGE\_3 Register (Offset = 390Ch) [Reset = 0000h]**

OAM\_RX\_MESSAGE\_3 is shown in [图 8-144](#) and described in [表 8-149](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-144. OAM\_RX\_MESSAGE\_3 Register**

15	14	13	12	11	10	9	8
mr_rx_lp_message_47_32							
R-0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_47_32							
R-0h							

**表 8-149. OAM\_RX\_MESSAGE\_3 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	mr_rx_lp_message_47_32	R	0h	Message octet 5/4. LSB transmitted first.

### 8.6.2.128 OAM\_RX\_MESSAGE\_4 Register (Offset = 390Dh) [Reset = 0000h]

OAM\_RX\_MESSAGE\_4 is shown in [图 8-145](#) and described in [表 8-150](#).

Return to the [表 8-22](#).

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**图 8-145. OAM\_RX\_MESSAGE\_4 Register**

15	14	13	12	11	10	9	8
mr_rx_lp_message_63_48							
0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_63_48							
0h							

**表 8-150. OAM\_RX\_MESSAGE\_4 Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-0	mr_rx_lp_message_63_48		0h	Message octet 7/6. LSB transmitted first.

### 8.6.2.129 AN\_CFG Register (Offset = 7200h) [Reset = 0000h]

AN\_CFG is shown in [図 8-146](#) and described in [表 8-151](#).

Return to the [表 8-22](#).

First nibble (0x7) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

**図 8-146. AN\_CFG Register**

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							mr_main_reset
R-0h							R/WSC-0h

**表 8-151. AN\_CFG Register Field Descriptions**

Bit	Field	Type	Reset	Description
15-1	RESERVED	R	0h	Reserved
0	mr_main_reset	R/WSC	0h	1 = Reset link sync/autoneg Note - RW bit Note - Added 7 to [15:12] to differentiate

#### 8.6.2.1 基本レジスタ

「基本レジスタ」に、基本レジスタを示します。「基本レジスタ」にないレジスタ・オフセット・アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

IEEE で定義された基本レジスタは、802.3 の 22 項に従って設定されています。これらのレジスタは基本的なステータス、制御、識別機能を提供します。

**表 8-152. 基本レジスタ**

オフセット	略称	レジスタ名	セクション
0x0	Basic_Mode_Control_		<a href="#">表示</a>
0x1	Basic_Mode_Status_		<a href="#">表示</a>
0x2	PHY_Identification__1		<a href="#">表示</a>
0x3	PHY_Identification__2		<a href="#">表示</a>
0xD	Extended__Control_Register		<a href="#">表示</a>
0xE	Address_or_Data_		<a href="#">表示</a>
0x10	PHY_Control_		<a href="#">表示</a>
0x11	PHY_Configuration_		<a href="#">表示</a>
0x12	Interrupt_Status__1		<a href="#">表示</a>
0x13	Interrupt_Status__2		<a href="#">表示</a>
0x16	Loopback_Control_		<a href="#">表示</a>
0x18	Interrupt_Status__3		<a href="#">表示</a>
1x0E	TDR_Control_		<a href="#">表示</a>
0x1F	PHY_Reset_		<a href="#">表示</a>
0x180	Receiver_Status_		<a href="#">表示</a>

表の小さなセルに収まるように、複雑なビット・アクセス・タイプを記号で表記しています。[表 8-153](#) に、このセクションでアクセス・タイプに使用している表記を示します。

**表 8-153. 基本レジスタのアクセス・タイプ・コード**

アクセス・タイプ	コード	説明
読み出しタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W0C	W0C	0 を書き込むことでクリア
W0S	W0S	0 を書き込むことでセット
WMC	W	手動クリアでデフォルト値を書き込み (クリア・イベントについてはレジスタの説明を参照)
WMC、0	W	手動クリアで 0 を書き込み (クリア・イベントについてはレジスタの説明を参照)
WMC、1	W	手動クリアで 1 を書き込み (クリア・イベントについてはレジスタの説明を参照)
WSC	W	書き込み
WSC、0	W	自動クリアで 0 を書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 8.6.2.1.1 Basic\_Mode\_Control\_ レジスタ (オフセット = 0x0) [リセット = 0x140]

表 8-154 に、Basic\_Mode\_Control\_ を示します。

概略表に戻ります。

**表 8-154. Basic\_Mode\_Control\_ レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	MII リセット	R/WMC	0x0	MII のリセット 0x0 = リセットしない 0x1 = デジタル入力をリセット、全 MII レジスタ (0x0~0xF) をデフォルト値にリセット
14	MII ループバック有効化	R/W	0x0	MII ループバックの有効化 0x0 = MII ループバックなし 0x1 = MII ループバックあり
13	速度選択 LSB	R	0x0	速度選択の LSB 0x2 = 1000Mb/s
12	RESERVED	R	0x0	予約済み
11	パワーダウン・モード有効化	R/W	0x0	パワーダウン・モードの有効化 0x0 = 通常モード 0x1 = レジスタまたはピンによるパワーダウン

表 8-154. Basic\_Mode\_Control\_ レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
10	分離モード有効化	R/W	0x0	分離モードの有効化 0x0 = 通常モード 0x1 = 分離モード
9	RESERVED	R	0x0	予約
8	二重モード	R	0x1	二重モード 0x0 = 半二重 0x1 = 全二重
7	RESERVED	R	0x0	予約済み
6	速度選択 MSB	R	0x1	速度選択の MSB 0x2 = 1000Mb/s
5	RESERVED	R	0x0	予約済み
4-0	RESERVED	R	0x0	予約済み

## 8.6.2.1.2 Basic\_Mode\_Status\_ レジスタ (オフセット = 0x1) [リセット = 0x141]

表 8-155 に、Basic\_Mode\_Status\_ を示します。

概略表に戻ります。

表 8-155. Basic\_Mode\_Status\_ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	100BASE-T4	R	0x0	100BASE-T4 0x0 = PHY は 100BASE-T4 を実行できない 0x1 = PHY は 100BASE-T4 を実行できる
14	100BASE-TX 全二重	R	0x0	100BASE-TX 全二重 0x0 = PHY は全二重 100BASE-X を実行できない 0x1 = PHY は全二重 100BASE-X を実行できる
13	100BASE-TX 半二重	R	0x0	100BASE-TX 半二重 0x0 = PHY は半二重 100BASE-X を実行できない 0x1 = PHY は半二重 100BASE-X を実行できる
12	10BASE-T 全二重	R	0x0	10BASE-T 全二重 0x0 = PHY は全二重モードの 10Mb/s で動作できない 0x1 = PHY は全二重モードの 10Mb/s で動作できる
11	10BASE-T 半二重	R	0x0	10BASE-T 半二重 0x0 = PHY は半二重モードの 10Mb/s で動作できない 0x1 = PHY は半二重モードの 10Mb/s で動作できる

表 8-155. Basic\_Mode\_Status\_ レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
10	100BASE-T2 全二重	R	0x0	100BASE-T2 全二重 0x0 = PHY は全二重の 100BASE-T2 を実行できない 0x1 = PHY は全二重の 100BASE-T2 を実行できる
9	100BASE-T2 半二重	R	0x0	100BASE-T2 半二重 0x0 = PHY は半二重の 100BASE-T2 を実行できない 0x1 = PHY は半二重の 100BASE-T2 を実行できる
8	拡張ステータス・レディ	R	0x1	レジスタ 0xf の拡張ステータス 0x0 = レジスタ 0xF に拡張ステータス情報はない 0x1 = レジスタ 0xF に拡張ステータス情報がある
7	RESERVED	R	0x0	予約済み
6	SMI プリアンブル抑制	R	0x1	SMI プリアンブルの抑制 0x0 = プリアンブルが抑制された管理フレームを PHY は受信しない 0x1 = プリアンブルが抑制された管理フレームを PHY は受信する
5	RESERVED	R	0x0	予約済み
4	RESERVED	R/W0C	0x0	予約済み
3	RESERVED	R	0x0	予約済み
2	リンク・ステータス	R/W0S	0x0	リンク・ステータス、Low をラッチ 0x0 = リンクはダウン (通信途絶) している 0x1 = リンクはアップ (通信可能)
1	RESERVED	R/W0C	0x0	予約済み
0	拡張機能	R	0x1	拡張機能のステータス 0x0 = 基本レジスタ・セット機能のみ 0x1 = 拡張レジスタ機能

### 8.6.2.1.3 PHY\_Identification\_\_1 レジスタ (オフセット = 0x2) [リセット = 0x2000]

表 8-156 に、PHY\_Identification\_\_1 を示します。

概略表に戻ります。

表 8-156. PHY\_Identification\_\_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	管理組織識別子 (OUI: Organizationally Unique Identifier) ビット [21:6]	R	0x2000	

### 8.6.2.1.4 PHY\_Identification\_\_2 レジスタ (オフセット = 0x3) [リセット = 0xA000]

表 8-157 に、PHY\_Identification\_\_2 を示します。

概略表に戻ります。

表 8-157. PHY\_Identification\_\_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	管理組織識別子 (OUI: Organizationally Unique Identifier) ビット [5:0]	R	0x28	
9-4	モデル番号	R	0x0	ベンダ・モデル番号:ベンダ・モデル番号の 6 ビットはビット 9~4 に割り当てられています。
3-0	リビジョン番号	R	0x0	モデル・リビジョン番号:ベンダ・モデル・リビジョン番号の 4 ビットはビット 3~0 に割り当てられています。このフィールドは、すべての主要なデバイス変更に対してインクリメントされます。

### 8.6.2.1.5 Extended\_\_Control\_Register レジスタ (オフセット = 0xD) [リセット = 0x0]

表 8-158 に、Extended\_\_Control\_Register を示します。

概略表に戻ります。

表 8-158. Extended\_\_Control\_Register レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	拡張レジスタ・コマンド	R/W	0x0	拡張レジスタ・コマンド: 0x0 = アドレス 0x1 = データ、ポスト・インクリメントなし 0x2 = データ、読み出しおよび書き込み時にポスト・インクリメント 0x3 = データ、書き込み時のみにポスト・インクリメント
13-5	RESERVED	R	0x0	予約済み
4-0	DEVAD	R/W	0x0	デバイス・アドレス:ビット [4:0] はデバイス・アドレス (DEVAD) であり、ADDAR レジスタ 0x000E (適切な MMD へのアドレス/データ・レジスタ) のすべてのアクセスを指示します。特に DP83TC811S-Q1 は、アドレスが 0x04D1 以下のレジスタへのアクセスのためにベンダ固有の DEVAD [4:0] = "11111" を使います。MMD1 の場合、DEVAD[4:0] = "00001" をアクセスします。レジスタ REGCR および ADDAR によるすべてのアクセスでは、MMD と MMD1 のどちらにも DEVAD を使う必要があります。その他の DEVAD を使ったトランザクションは無視されます。

### 8.6.2.1.6 Address\_or\_Data\_ レジスタ (オフセット = 0xE) [リセット = 0x0]

表 8-159 に、Address\_or\_Data\_ を示します。

概略表に戻ります。

表 8-159. Address\_or\_Data\_ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	アドレス/データ	R/W	0x0	REGCR レジスタ 15:14 = '00' の場合、MMD DEVAD のアドレス・レジスタを保持します。それ以外の場合、MMD DEVAD のデータを保持します。

### 8.6.2.1.7 PHY\_Control\_ レジスタ (オフセット = 0x10) [リセット = 0x4]

表 8-160 に、PHY\_Control\_ を示します。

概略表に戻ります。



**表 8-160. PHY\_Control\_ レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15-11	RESERVED	R	0x0	予約済み
10	チャンネル OK	R/W0S	0x0	チャンネル OK、Low をラッチ 0x0 = チャンネル OK がリセットされた 0x1 = チャンネル OK がセットされている
9	デスクランブラ・ロック	R/W0S	0x0	デスクランブラ・ロック、Low をラッチ 0x0 = デスクランブラがロックされた 0x1 = デスクランブラはロックされている
8	RESERVED	R	0x0	予約済み
7	割り込みピン・ステータス		0x0	割り込みピンのステータス、レジスタ 0x12 の読み出し時にクリア 0x0 = 割り込みピンがセットされていない 0x1 = 割り込みピンがセットされている
6-4	RESERVED	R	0x0	予約済み
3	MII ループバック・ステータス	R	0x0	MII ループバックのステータス 0x0 = MII ループバックなし 0x1 = MII ループバックあり
2	二重モード・ステータス	R	0x1	二重モードのステータス 0x0 = 半二重 0x1 = 全二重
1	RESERVED	R	0x0	予約済み
0	リンク・ステータス	R	0x0	リンクのステータス 0x0 = リンクはダウン (通信途絶) している 0x1 = リンクはアップ (通信可能)

### 8.6.2.1.8 PHY\_Configuration\_ レジスタ (オフセット = 0x11) [リセット = 0x8]

表 8-161 に、PHY\_Configuration\_ を示します。

概略表に戻ります。

**表 8-161. PHY\_Configuration\_ レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	MAC クロック無効化	R/W	0x0	MAC クロックの無効化 0x0 = MAC への clk_125 を維持する 0x1 = IEEE パワーセーブ・モードで MAC への clk_125 を停止する
14	強制電力モード有効化	R/W	0x0	レジスタからのパワーセーブ・モードの設定の有効化
13-11	RESERVED	R/W	0x0	予約済み 0x0 として書き込む必要があります。
10-4	RESERVED	R	0x0	予約済み

表 8-161. PHY\_Configuration\_ レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
3	割り込みピン極性	R/W	0x1	割り込みピンの極性 0x0 = アクティブ High 0x1 = アクティブ Low
2	割り込みピン強制	R/W	0x0	割り込みピンの強制 0x0 = 割り込みピンを強制しない 0x1 = 割り込みピンを強制する
1	割り込み有効化	R/W	0x0	割り込みの有効化 0x0 = 割り込みを無効化する 0x1 = 割り込みを有効化する
0	RESERVED	R/W	0x0	予約済み 0x0 として書き込む必要があります。

## 8.6.2.1.9 Interrupt\_Status\_\_1 レジスタ (オフセット = 0x12) [リセット = 0x0]

表 8-162 に、Interrupt\_Status\_\_1 を示します。

概略表に戻ります。

表 8-162. Interrupt\_Status\_\_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	低リンク品質割り込み	R	0x0	低リンク品質割り込みのステータス
14	エネルギー検出割り込み	R	0x0	エネルギー検出変化割り込みのステータス
13	リンク・ステータス変化割り込み	R	0x0	リンク・ステータス変化割り込みのステータス
12	RESERVED	R	0x0	予約済み
11	ESD イベント割り込み	R	0x0	ESD フォルト検出割り込みのステータス
10	1000BASE-T1 リンク・トレーニング完了割り込み	R	0x0	トレーニング完了割り込みのステータス
9-8	RESERVED	R	0x0	予約済み
7	リンク品質割り込み有効化	R/W	0x0	低リンク品質割り込みの有効化
6	エネルギー検出割り込み有効化	R/W	0x0	エネルギー検出変化割り込みの有効化
5	リンク・ステータス変化割り込み有効化	R/W	0x0	リンク・ステータス変化割り込みの有効化
4	RESERVED	R	0x0	予約済み
3	ESD イベント割り込み有効化	R/W	0x0	ESD フォルト検出割り込みの有効化
2	1000BASE-T1 リンク・トレーニング完了有効化	R/W	0x0	トレーニング完了割り込みの有効化
1-0	RESERVED	R	0x0	予約済み

## 8.6.2.1.10 Interrupt\_Status\_\_2 レジスタ (オフセット = 0x13) [リセット = 0x0]

表 8-163 に、Interrupt\_Status\_\_2 を示します。

概略表に戻ります。

表 8-163. Interrupt\_Status\_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	低電圧割り込み	R	0x0	低電圧割り込みのステータス
14	過電圧割り込み	R	0x0	過電圧割り込みのステータス
13-12	RESERVED	R	0x0	予約済み
11	過熱割り込み	R	0x0	過熱割り込みのステータス
10	スリープ・モード変化割り込み	R	0x0	スリープ・モード変化割り込みのステータス
9	RESERVED	R	0x0	予約
8	not_one_hot_int	R	0x0	非ワン・ホット割り込みのステータス
7	低電圧割り込み有効化	R/W	0x0	低電圧割り込みの有効化
6	過電圧割り込み有効化	R/W	0x0	過電圧割り込みの有効化
5-4	RESERVED	R	0x0	予約済み
3	過熱割り込み有効化	R/W	0x0	過熱割り込みの有効化
2	スリープ・モード変化割り込み有効化	R/W	0x0	スリープ・モード変化割り込みの有効化
1-0	RESERVED	R	0x0	予約済み

### 8.6.2.1.11 Loopback\_Control\_ レジスタ (オフセット = 0x16) [リセット = 0x0]

表 8-164 に、Loopback\_Control\_ を示します。

概略表に戻ります。

表 8-164. Loopback\_Control\_ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	RESERVED	R	0x0	予約済み
10	PRBS チェッカ同期喪失	R/W0C	0x0	PRBS チェッカ同期喪失の表示: 0x0 = PRBS チェッカは同期を失っていない 0x1 = PRBS チェッカは同期を失った
9	RESERVED	R	0x0	予約
8	コア電力モード	R	0x0	1b = コアは通常電力モード 0b = コアはパワーダウンまたはスリープ・モード 0x0 = コアはパワーダウンまたはスリープ・モード 0x1 = コアは通常電力モード
7	PCS デジタル・ループバック有効化	R/W	0x0	PCS デジタル・ループバック 0x0 = PCS デジタル・ループバックは無効 0x1 = PCS デジタル・ループバックは有効
6	ループバックでのデータ送信有効化	R/W	0x0	MII ループバック・データを MDI に送信します。このビットは、MII ループバック・モードでのみ使われます。 0x0 = MDI へのデータを抑制 0x1 = MDI にデータを送信

表 8-164. Loopback\_Control\_ レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
5-0	ループバック選択	R/W	0x0	ループバック・モードの選択 0x1 = PCS ループ 0x2 = RS ループ 0x4 = デジタル・ループ 0x8 = アナログ・ループ 0x10 = 逆ループ 0x20 = 外部逆ループ

## 8.6.2.1.12 Interrupt\_Status\_\_3 レジスタ (オフセット = 0x18) [リセット = 0x8]

表 8-165 に、Interrupt\_Status\_\_3 を示します。

概略表に戻ります。

表 8-165. Interrupt\_Status\_\_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	ACK 受信割り込み	R	0x0	ACK 受信割り込みのステータス (OAM)
14	TX 有効 CLR 割り込み	R	0x0	mr_tx_valid クリア割り込みのステータス (OAM)
13-12	RESERVED	R	0x0	予約済み
11	POR 完了割り込み	R	0x0	POR 完了割り込みのステータス
10	フレームなし割り込み	R	0x0	フレームなし検出割り込みのステータス
9	ウェーク要求割り込み	R	0x0	ウェーク要求割り込みのステータス
8	LPS 割り込み	R	0x0	LPS 割り込みのステータス
7	ACK 受信割り込み有効化	R/W	0x0	ACK 受信割り込みの有効化 (OAM)
6	TX 有効 CLR 割り込み有効化	R/W	0x0	Mr_tx_valid クリア割り込みの有効化 (OAM)
5-4	RESERVED	R	0x0	予約済み
3	POR 完了割り込み有効化	R/W	0x1	POR 完了割り込みの有効化
2	フレームなし割り込み有効化	R/W	0x0	フレームなし検出割り込みの有効化
1	ウェーク要求割り込み有効化	R/W	0x0	ウェーク要求割り込みの有効化
0	LPS 割り込み有効化	R/W	0x0	LPS 割り込みの有効化

## 8.6.2.1.13 TDR\_Control\_ レジスタ (オフセット = 0x1E) [リセット = 0x0]

表 8-166 に、TDR\_Control\_ を示します。

概略表に戻ります。

表 8-166. TDR\_Control\_ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	TDR 開始	R/W/MC	0x0	TDR を手動で開始 0x0 = TDR なし 0x1 = TDR 開始
14	TDR 自動実行有効化	R/W	0x0	リンク・ダウン時の TDR 自動実行を有効化 0x0 = TDR は手動で開始 0x1 = TDR はリンク・ダウン時に自動的に開始
13-2	RESERVED	R	0x0	予約済み
1	TDR 完了	R	0x0	TDR 完了: 0x0 = ケーブル診断は未完了 0x1 = ケーブル測定プロセスが完了したことを示す
0	TDR テスト失敗	R	0x0	TDR テストの失敗: 0x0 = TDR は障害を起こしていない 0x1 = TDR ケーブル測定プロセスが失敗した

#### 8.6.2.1.14 PHY\_Reset\_ レジスタ (オフセット = 0x1F) [リセット = 0x0]

表 8-167 に、PHY\_Reset\_ を示します。

概略表に戻ります。

表 8-167. PHY\_Reset\_ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	ハードウェア・リセット	R/W/MC	0x0	ハードウェア・リセット: 0x0 = 通常動作 0x1 = PHY をリセット。このビットは自動的にクリアされ、RESET_N ピンと同じ効果を持っています。
14	ソフトウェア・リスタート	R/W/MC	0x0	ソフトウェア・リスタート: 0x0 = 通常動作 0x1 = PHY を再起動。このビットは自動的にクリアされ、電流制御レジスタ値を除くすべての PHY 回路をリセットします。
13-0	RESERVED	R/W	0x0	予約済み 0x0 として書き込む必要があります。

#### 8.6.2.1.15 Receiver\_Status\_ レジスタ (オフセット = 0x180) [リセット = 0x0]

表 8-168 に、Receiver\_Status\_ を示します。

概略表に戻ります。

表 8-168. Receiver\_Status\_ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	RESERVED	R	0x0	予約済み

表 8-168. Receiver\_Status\_ レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
12	リンク・ステータス	R	0x0	リンク・ステータス (ラッチなし):  0x0 = リンクなし  0x1 = 有効なリンクが確立済み
11-3	RESERVED	R	0x0	予約済み
2	デスクランブラ・ロック	R	0x0	デスクランブラ・ロックのステータス:  0x0 = デスクランブラはロックされていない  0x1 = デスクランブラは受信シンボルにロックされている
1	ローカル・レシーバ・ステータス	R	0x0	ローカル・レシーバのステータス:  0x0 = ローカル PHY が無効なリンクを受信した  0x1 = ローカル PHY が有効なリンクを受信した
0	リモート・レシーバ・ステータス	R	0x0	リモート・レシーバのステータス:  0x0 = リモート PHY が無効なリンクを受信した  0x1 = リモート PHY が有効なリンクを受信した

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

DP83TG720R-Q1 はシングル・ポートの 1Gbps 車載イーサネット PHY です。本デバイスは IEEE 802.3bp をサポートしており、RGMII を使ってイーサネット MAC に接続できます。イーサネット・アプリケーションで本デバイスを使用する場合、通常動作のための一定の要件を満たす必要があります。以下のサブセクションは、適切な部品選択と必要な接続に役立つことを目的としています。

### 9.2 代表的なアプリケーション

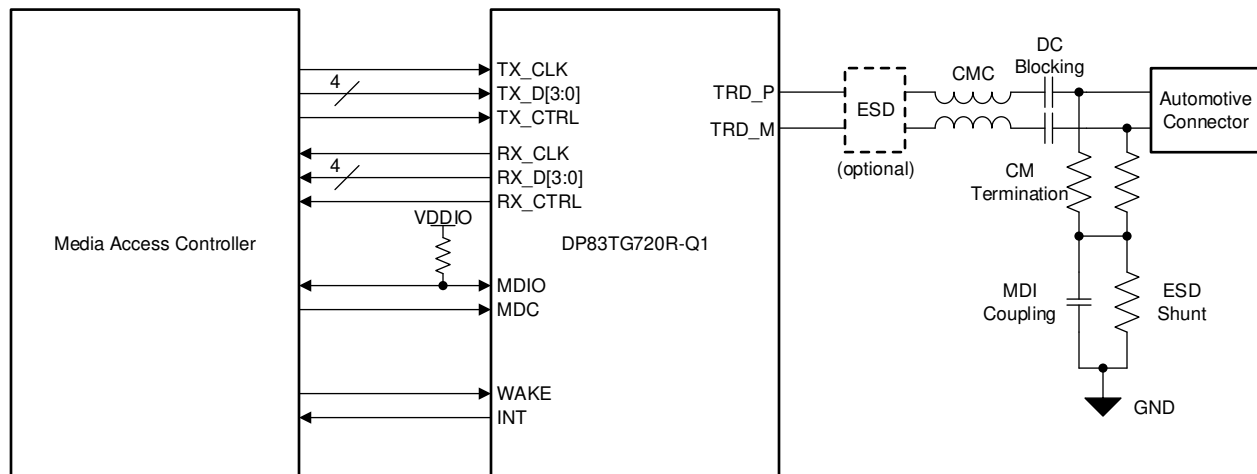


図 9-1. 代表的なアプリケーション (RGMII)

表 9-1. MDI ネットワーク用の推奨部品

設計パラメータ	値
DC ブロッキング・コンデンサ <sup>1</sup>	0.1 $\mu$ F
コモン・モード・チョーク	Murata: DLW32MH101XT2
コモン・モード終端抵抗 <sup>1 2</sup>	1k $\Omega$
MDI カップリング・コンデンサ	4.7nF
ESD シャント	100k $\Omega$

- リターン・ロスとモード変換の仕様に対するマージンを確保するため、許容誤差 1% の部品を推奨します。
- CM 終端抵抗のサイズを 0805 より大きくすると、ESD マージンの拡大に役立ちます。

#### 9.2.1 設計要件

これらの代表的なアプリケーションでは、入力パラメータとして以下を使います。

表 9-2. 設計パラメータ

設計パラメータ	値の例
$V_{DDIO}$	1.8V, 2.5V, 3.3V
デカップリング・コンデンサ $V_{DDIO}$ (ピン 34)	10nF, 100nF
デカップリング・コンデンサ $V_{DDIO}$ (ピン 22)	10nF, 100nF, 2.2 $\mu$ F

表 9-2. 設計パラメータ (continued)

設計パラメータ	値の例
VDDIO 用の一体型フェライト・ビーズ	BLM18HE102SN1
$V_{DDA}$	3.3V
デカップリング・コンデンサ $V_{DDA}$ (ピン 11)	10nF、100nF、2.2 $\mu$ F
$V_{DDA}$ 用フェライト・ビーズ	BLM18KG601SH1
$V_{DD1P0}$	1V
デカップリング・コンデンサ $V_{DD1P0}$ (ピン 9)	10nF、100nF、2.2 $\mu$ F
デカップリング・コンデンサ $V_{DDA}$ (ピン 21)	10nF、100nF、2.2 $\mu$ F
$V_{DD1P0}$ 用の一体型フェライト・ビーズ	BLM18KG601SH1
$V_{sleep}$	3.3V
DC ブロッキング・コンデンサ (1)	0.1 $\mu$ F
コモン・モード・チョーク	Murata: DLW32MH101XT2
コモン・モード終端抵抗 (1) (2)	1k $\Omega$
MDI カップリング・コンデンサ	4.7nF
ESD シヤント	100k $\Omega$
基準クロック	25MHz

- (1) リターン・ロスとモード変換の測定値を改善するため、許容誤差 1% の部品を推奨します。CM 終端抵抗のサイズを 0805 より大きくすることは、ESD マージンを増やすのに役立ちます。
- (2) CM 終端抵抗のサイズを 0805 より大きくすることは、ESD マージンを増やすのに役立ちます。



## 10 電源に関する推奨事項

DP83TG720R-Q1 は、広い IO 電源電圧範囲 (3.3V、2.5V、1.8V) で動作できます。電源シーケンス制御は不要です。次の図に、推奨される電源デカップリング・ネットワークを示します。

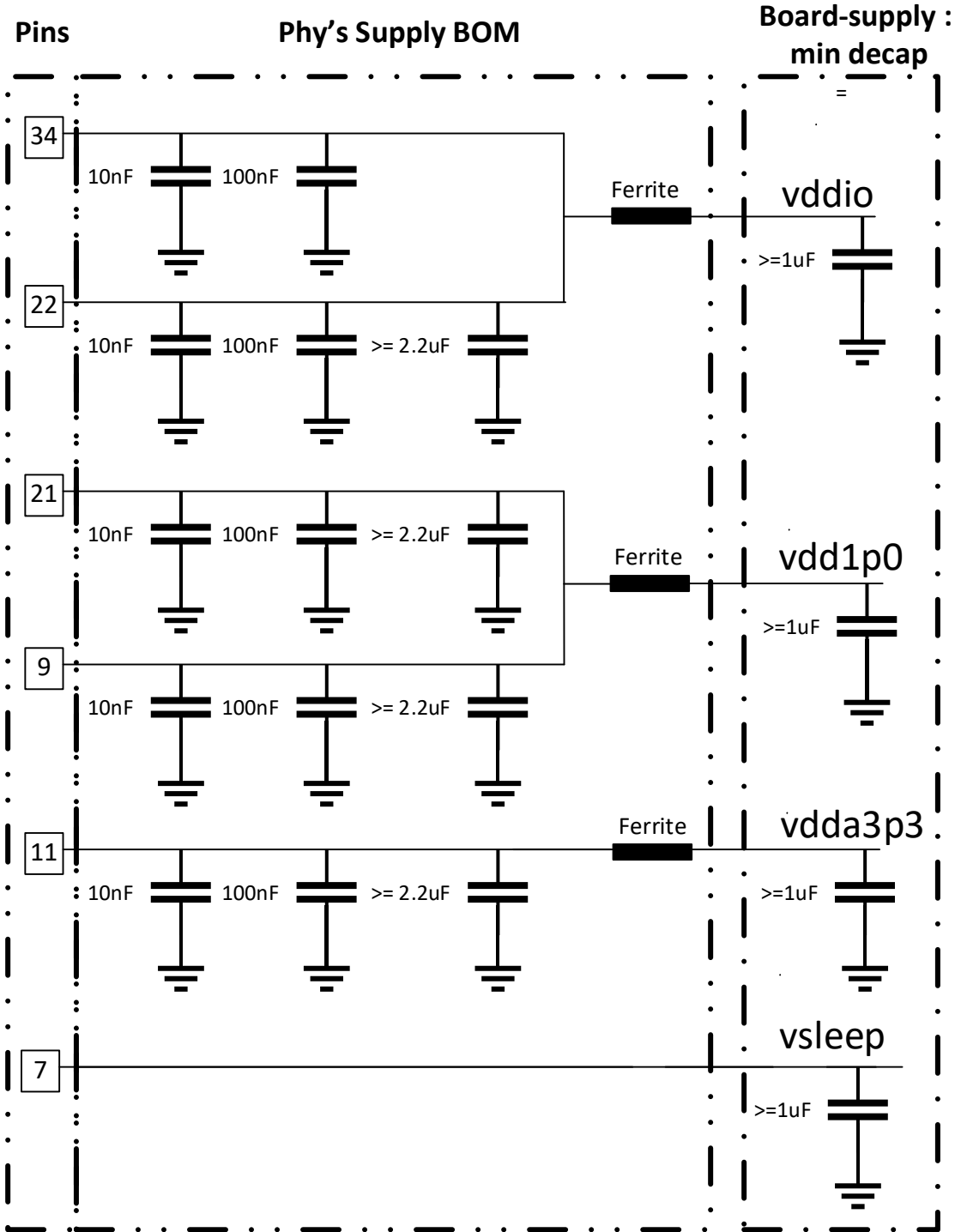


図 10-1. 推奨電源デカップリング・ネットワーク (アプリケーションでスリープ・モードを使用する場合)

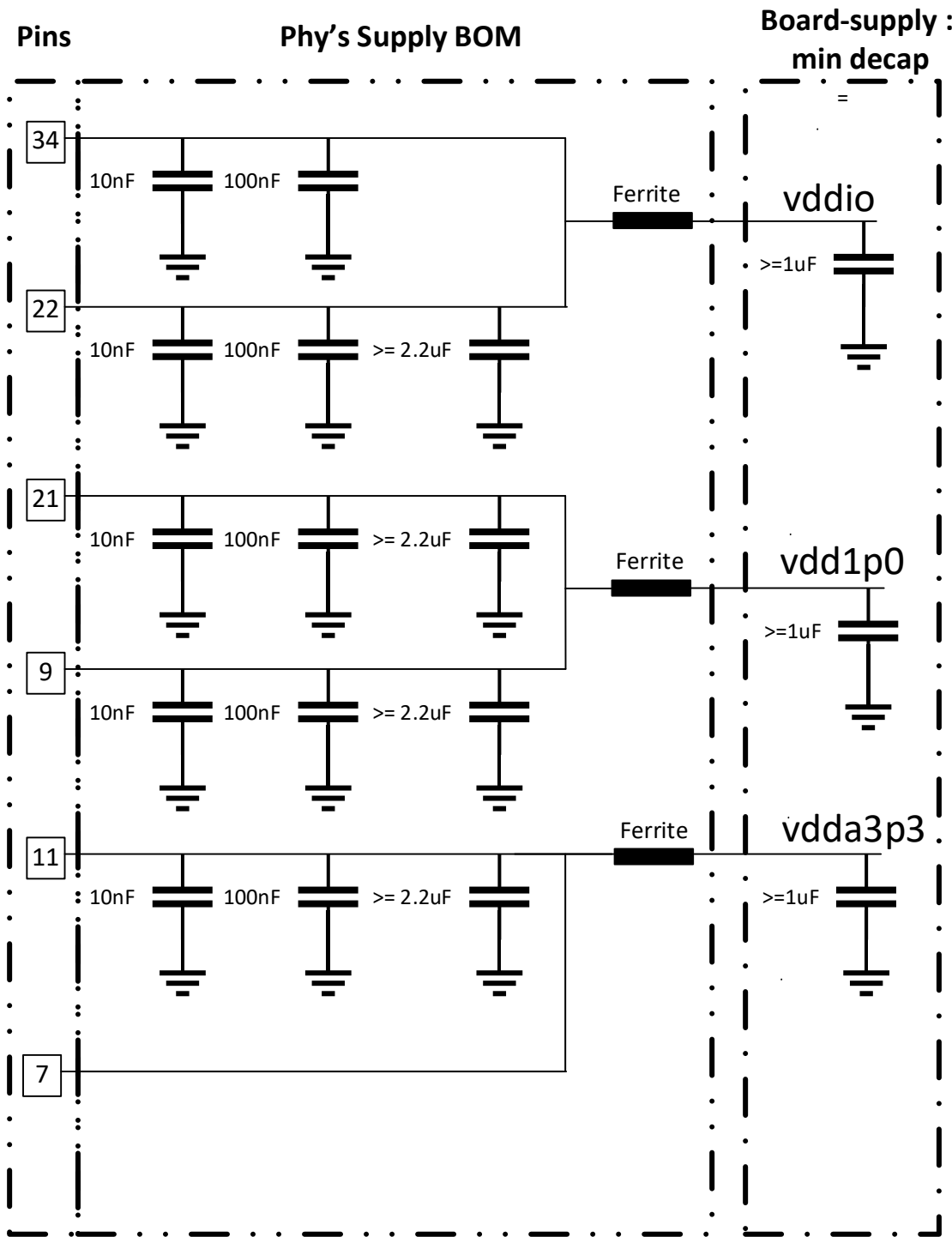


図 10-2. 推奨電源デカップリング・ネットワーク (アプリケーションでスリープ・モードを使用しない場合)

表 10-1. 電源ネットワークの推奨部品

設計パラメータ	値
$V_{\text{DDIO}}$	1.8V、2.5V、3.3V
デカップリング・コンデンサ $V_{\text{DDIO}}$ (ピン 34)	10nF、100nF
デカップリング・コンデンサ $V_{\text{DDIO}}$ (ピン 22)	10nF、100nF、2.2 $\mu\text{F}$

表 10-1. 電源ネットワークの推奨部品 (continued)

設計パラメータ	値
VDDIO 用の一体型フェライト・ビーズ	BLM18HE102SN1
V <sub>DDA</sub>	3.3V
デカップリング・コンデンサ V <sub>DDA</sub> (ピン 11)	10nF、100nF、2.2μF
V <sub>DDA</sub> 用フェライト・ビーズ	BLM18KG601SH1
V <sub>DD1P0</sub>	1V
デカップリング・コンデンサ V <sub>DD1P0</sub> (ピン 9)	10nF、100nF、2.2μF
デカップリング・コンデンサ V <sub>DDA</sub> (ピン 21)	10nF、100nF、2.2μF
V <sub>DD1P0</sub> 用の一体型フェライト・ビーズ	BLM18KG601SH1
V <sub>sleep</sub>	3.3V

注

VDD1P0 および VSLEEP 用 LDO の推奨事項については、『[DP83TC811、DP83TG730 ロールオーバー・ドキュメント](#)』アプリケーション・レポートを参照してください。

## 11 テキサス・インスツルメンツの 100BT1 PHY との互換性

次の表に、DP83TC811 と DP83TG720 のピン比較を示します。太字で強調されたピンは、100BT1 と 1000BT1 の両方の PHY に対応する共通ボードを設計する際に注意を必要とします。100BT1 と 1000BT1 の PHY の異なる BOM 要件も、共通ボードでは注意を必要とします。

共通ボード設計の詳細と推奨事項については、『[DP83TC811、DP83TG720 ロールオーバー・ドキュメント](#)』アプリケーション・レポートを参照してください。

表 11-1. ピン比較表

ピン番号	DP83TC811	DP83TG720
1	MDC	MDC
2	INT_N	INT_N
3	RESET_N	RESET_N
4	XO	XO
5	XI	XI
6	LED_1	LED_1
7	<b>EN</b>	<b>VSLEEP</b>
8	<b>WAKE</b>	<b>WAKE</b>
9	<b>DNC</b>	<b>VDD1P0</b>
10	<b>INH</b>	<b>INH</b>
11	VDDA	VDDA
12	TRD_P	TRD_P
13	TRD_M	TRD_M
14	RX_ER	STRP1
15	RX_DV	RX_CTRL
16	CLKOUT	CLKOUT
17	<b>TCK</b>	<b>DNC</b>
18	<b>TDO</b>	<b>DNC</b>
19	<b>TMS</b>	<b>DNC</b>
20	<b>TCK</b>	<b>DNC</b>
21	<b>DNC</b>	<b>VDD1P0</b>
22	VDDIO	VDDIO
23	RX_D3	RX_D3
24	RX_D2	RX_D2
25	RX_D1	RX_D1
26	RX_D0	RX_D0
27	RX_CLK	RX_CLK
28	TXCLK	TXCLK
29	TX_EN	TX_CTRL
30	TX_D3	TX_D3
31	TX_D2	TX_D2
32	TX_D1	TX_D1
33	TX_D0	TX_D0
<b>34</b>	<b>TX_ER</b>	<b>VDDIO</b>
35	LED_0	LED_0
36	MDIO	MDIO

## 12 レイアウト

### 12.1 レイアウトのガイドライン

#### 12.1.1 信号トレース

PCB トレースは損失が大きいため、長いトレースが信号品質を低下させる可能性があります。トレースはできるだけ短くする必要があります。特に記述のない限り、すべての信号トレースは  $50\Omega$  のシングルエンド・インピーダンスとするものとします。差動トレースは、 $50\Omega$  シングルエンドおよび  $100\Omega$  差動とするものとします。初めから終わりまでインピーダンスが制御されるように注意します。インピーダンスの不連続性は反射を引き起こし、放射とシグナル・インテグリティの問題につながります。スタブは、すべての信号トレース (特に差動信号ペア) で回避するものとします。

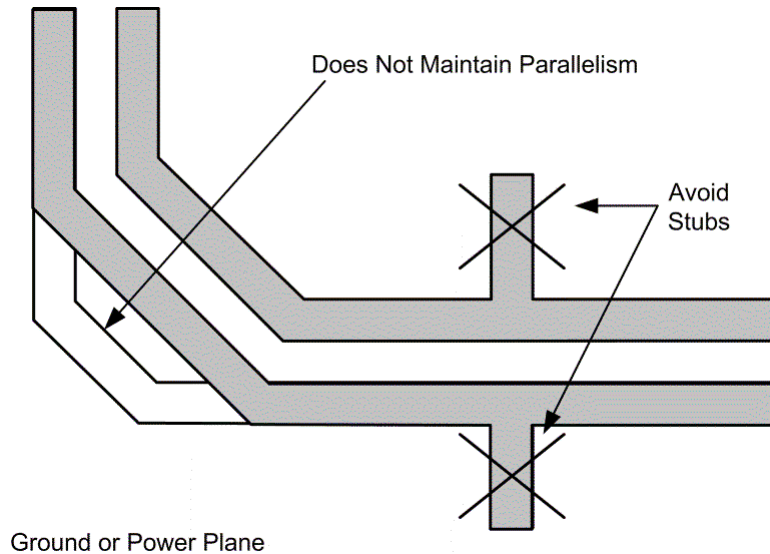


図 12-1. 差動信号トレースの配線

差動ペア内では、トレースを互いに並行させ、長さを一致させる必要があります。長さを一致させることで遅延の差が最小化され、同相ノイズと放射の増加を防止できます。MAC インターフェイス接続でも、長さを一致させることは重要です。すべての送信信号トレースは互いに同じ長さとし、すべての受信信号トレースは互いに同じ長さとしてします。

理想的には、信号パスのトレースには交差もビアも存在しないようにします。ビアにはインピーダンスの不連続性を生じさせるため、できるだけ少なくします。トレース・ペアは同じ層に配線します。異なる層の信号は、それらの間に少なくとも 1 つの復帰パス・プレーンがない限り、互いに交差させてはなりません。差動ペアは、それらの間の結合距離を常に一定に保つ必要があります。利便性と効率性を高めるため、重要な信号 (例: MDI 差動ペア、基準クロック、MAC IF トレース) を最初に配線することを推奨します。

#### 12.1.2 復帰パス

一般に最も良い方法は、すべての信号トレースの下にベタの復帰パスを設けることです。この復帰パスは、連続的なグラウンドまたは DC 電源プレーンであってもかまいません。復帰パスの幅を狭くすると、信号トレースのインピーダンスに影響を及ぼす可能性があります。この影響は、復帰パスの幅が信号トレースの幅と同等である場合、より顕著になります。信号トレースの間の復帰パスの断線は、絶対に避ける必要があります。分割されたプレーンをまたぐ信号は、予測不可能な復帰パス電流を引き起こす可能性があり、信号の品質に影響を及ぼし、放射の問題を引き起こすこともあります。

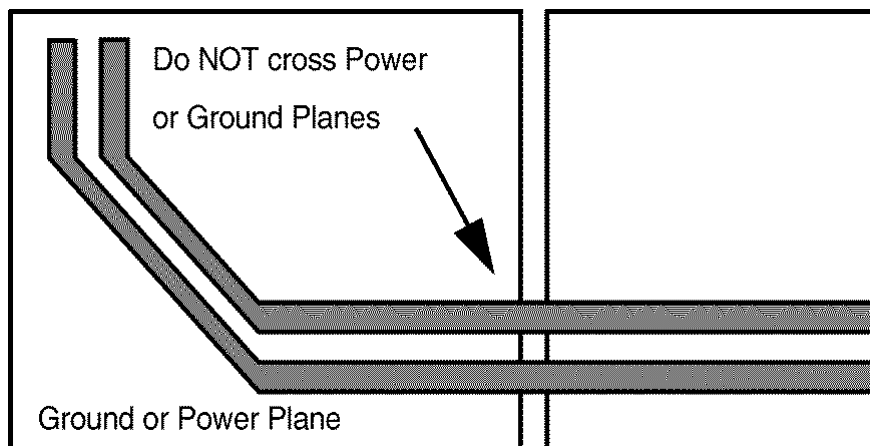


図 12-2. 電源およびグランド・プレーンの割れ目

### 12.1.3 物理メディアの接続

コモン・モード・チョークの下には金属を配置できません。CMC はその下にある金属にノイズを注入する可能性があり、システムの放射と耐性の性能に影響を及ぼす可能性があります。DP83TG720R-Q1 は電圧モード・ライン・ドライバであるため、外部終端抵抗は不要です。グランドに対して ESD シャントと MDI カップリング・コンデンサを接続する必要があります。差動カップリングを改善するため、コモン・モード終端抵抗の許容誤差は 1% 以下とします。

### 12.1.4 金属注入

信号でも電源でもないすべての金属注入領域は、グランドに接続する必要があります。システム内に浮動の金属が存在していないことと、差動パターン間に金属が存在していないことが必要です。

### 12.1.5 PCB 層スタッキング

シグナル・インテグリティと性能の要件を満たすには、4 層以上の PCB を推奨します。しかし、可能であれば 6 層以上の PCB を使うべきです。

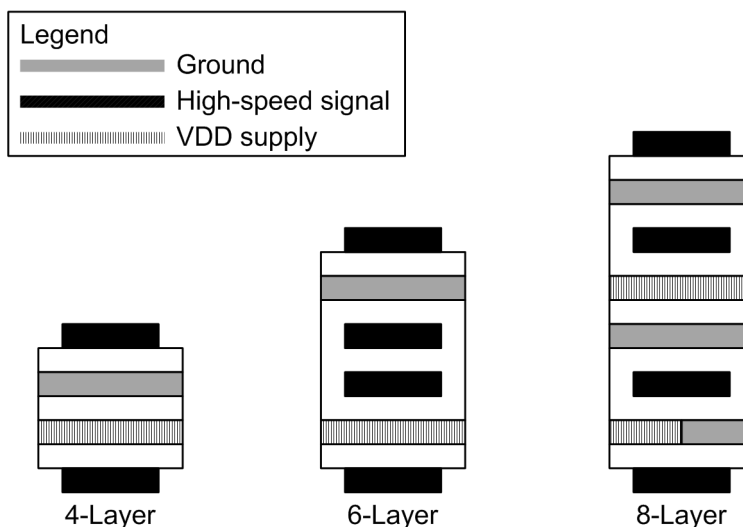


図 12-3. 推奨される PCB 層構成

## 13 デバイスおよびドキュメントのサポート

### 13.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](https://www.ti.com) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 13.2 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

### 13.3 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 13.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 13.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

## 14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

### 14.1 付録：パッケージ・オプション

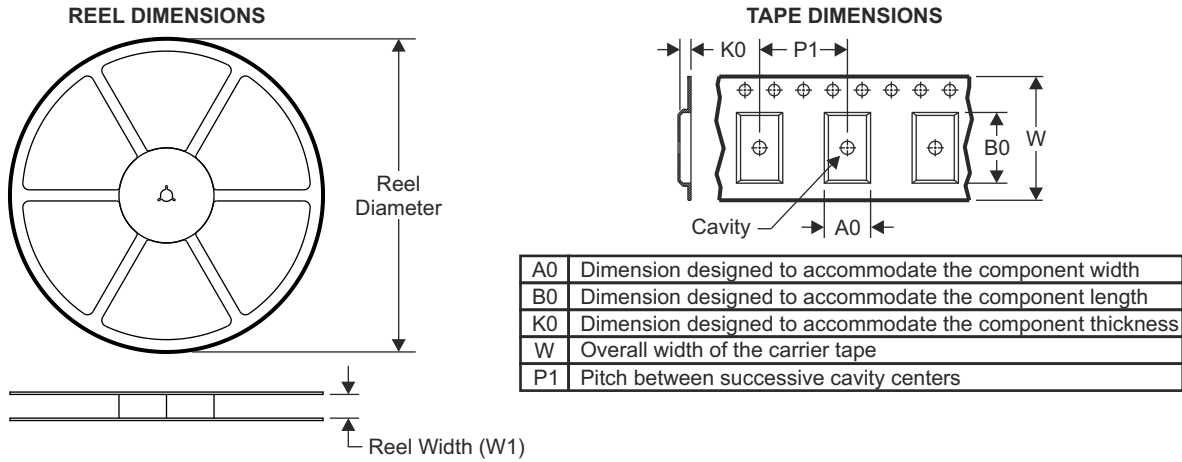
#### 14.1.1 パッケージ情報

発注可能なデバイス	ステータス <sup>(1)</sup>	パッケージ・タイプ	パッケージ・図	ピン数	パッケージの数量	エコ・プラン <sup>(2)</sup>	リード/ボール仕上げ <sup>(4)</sup>	MSL ピーク温度 <sup>(3)</sup>	動作温度 (°C)	デバイス・マーキング <sup>(5) (6)</sup>
PDP83TG720SWCST Q1	初期サンプル	VQFN	RHA	36	250	RoHS	NiPdAu	MSL3-260C	-40~125	
DP83TG720RWRHAT Q1	アクティブ	VQFN	RHA	36	250	RoHS	NiPdAu	MSL3-260C	-40~125	720R
DP83TG720RWRHAR Q1	アクティブ	VQFN	RHA	36	2500	RoHS	NiPdAu	MSL3-260C	-40~125	720R

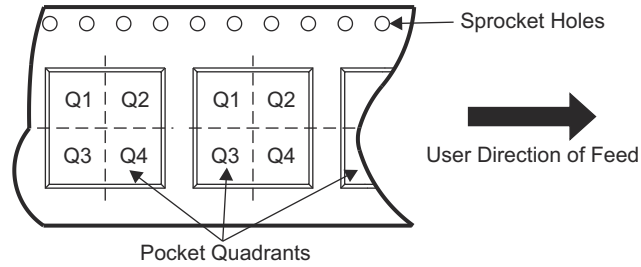
- (1) マーケティング・ステータスの値は次のように定義されています：  
**アクティブ**:新しい設計への使用が推奨される量産デバイス。  
**最終受注中**:テキサス・インスツルメンツはデバイスの生産中止予定を発表しており、現在最終受注期間中です。  
**非推奨品**:新規設計に用いることは推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。  
**量産開始前**:未発表デバイス、量産されていない、市販されていない、またはウェブで発表されていないもので、サンプルは提供されていません。  
**プレビュー**:デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と提供されない場合があります。  
**生産中止品**:テキサス・インスツルメンツはデバイスの生産を終了しました。
- (2) エコ・プラン - 環境に配慮した計画的な分類:鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。  
**未定**:鉛フリー/グリーン転換プランが策定されていません。  
**鉛フリー (RoHS)**:テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温ではんだ付けするように設計されている場合、テキサス・インスツルメンツの鉛フリー製品は、規定された鉛フリー・プロセスでの使用に適しています。  
**鉛フリー (RoHS 免除)**:この部品は、1) ダイとパッケージとの間に鉛ベースのフリップ・チップのはんだバンプを使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS の適用が除外されています。それ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。  
**グリーン (RoHS 準拠、Sb/Br 非含有)**:テキサス・インスツルメンツの定義による「グリーン」とは、鉛フリー (RoHS 準拠) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。
- (3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
- (4) リード/ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード/ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。
- (5) ロゴ、ロット・トレース・コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。
- (6) 複数のデバイス・マーキングがある場合は、カッコ内に示されます。カッコ内に複数のデバイス・マーキングがあり、「~」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス・マーキング全体となります。  
**重要なお知らせと免責事項**:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよびテキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。  
 いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。



### 14.1.2 テープおよびリール情報



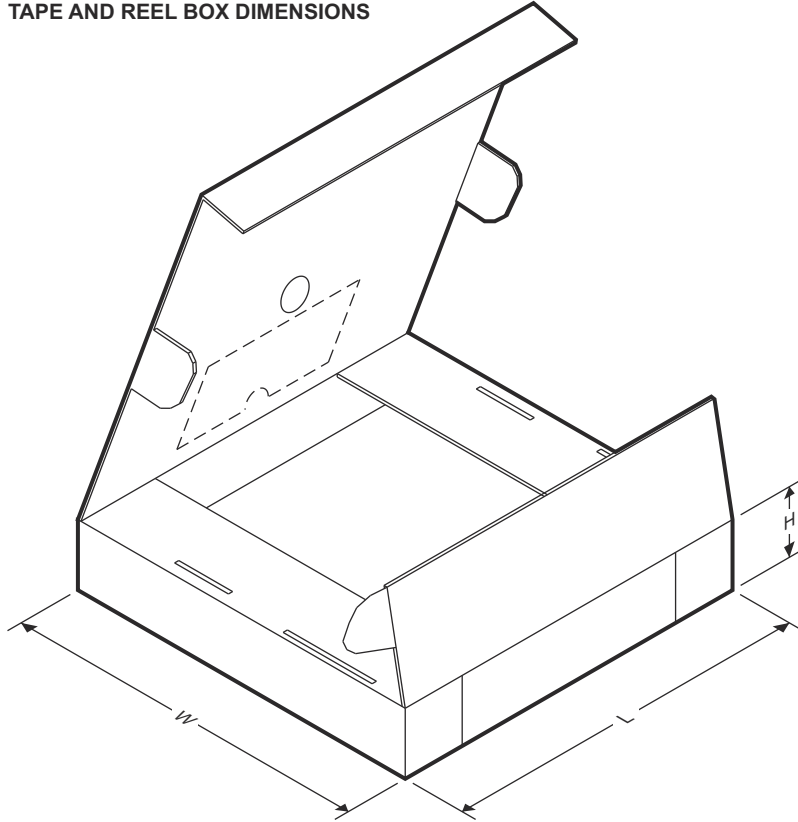
#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ種類	パッケージ図	ピン数	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	1 ピンの象限
PDP83TG720SWCSTQ1	VQFN	RHA	36	250	テキサス・インスツルメンツのサポートにお電話ください	テキサス・インスツルメンツのサポートにお電話ください	テキサス・インスツルメンツのサポートにお電話ください	テキサス・インスツルメンツのサポートにお電話ください	テキサス・インスツルメンツのサポートにお電話ください	テキサス・インスツルメンツのサポートにお電話ください	テキサス・インスツルメンツのサポートにお電話ください	テキサス・インスツルメンツのサポートにお電話ください
DP83TG720RWRHATQ1	VQFN	RHA	36	250	180	16.4	6.3	6.3	1.1	12	16	Q2
DP83TG720RWRHARQ1	VQFN	RHA	36	2500	330	16.4	6.3	6.3	1.1	12	16	Q2

**DP83TG720R-Q1**

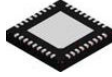
JAJSL08C – DECEMBER 2020 – REVISED NOVEMBER 2022

**TAPE AND REEL BOX DIMENSIONS**

デバイス	パッケージ・タイプ	パッケージ図	ピン 数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
DP83TG720RWRHATQ1	VQFN	RHA	36	250	210	185	35
DP83TG720RWRHARQ1	VQFN	RHA	36	2500	367	367	35

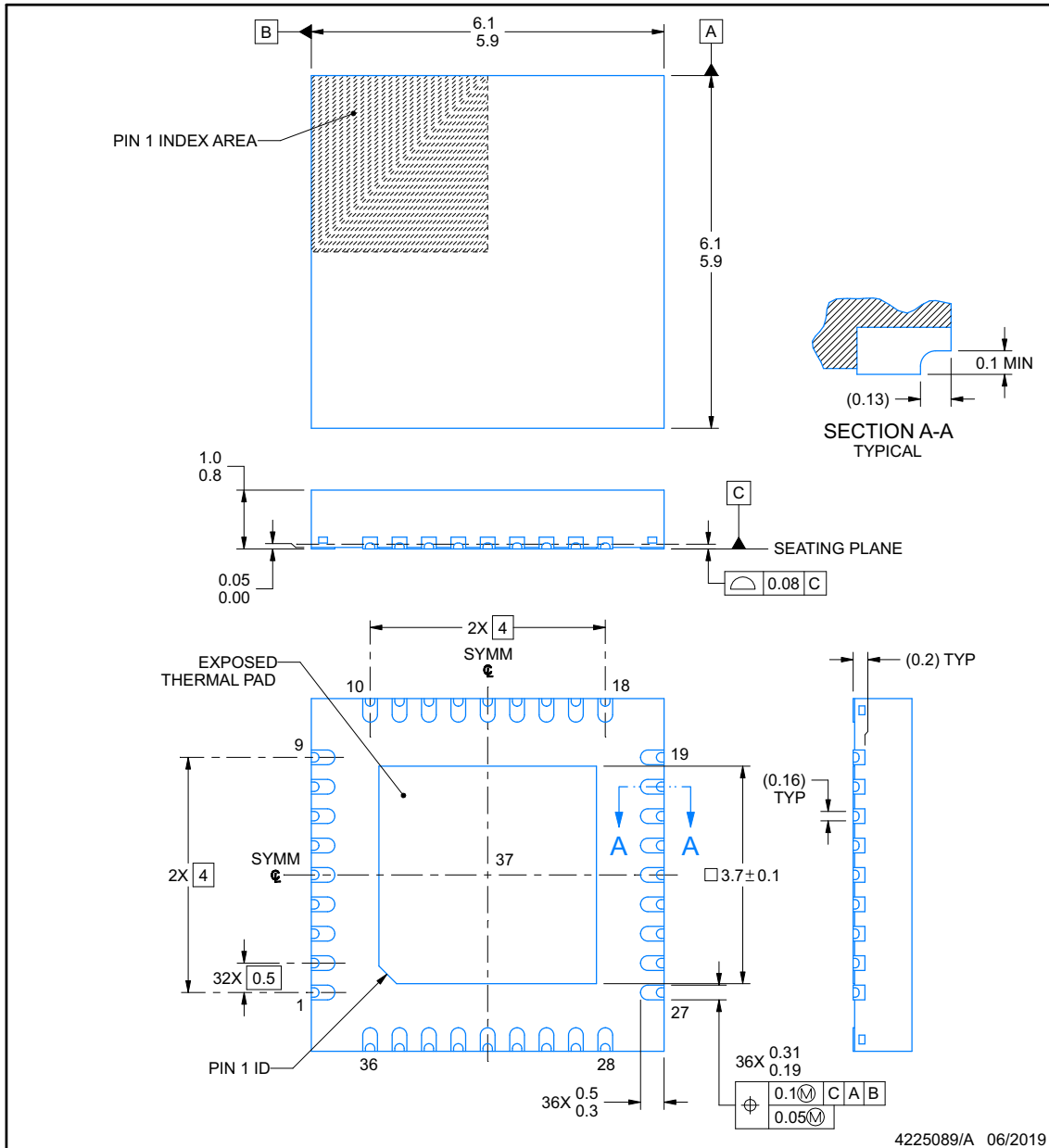
**PACKAGE OUTLINE**

**RHA0036A**



**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

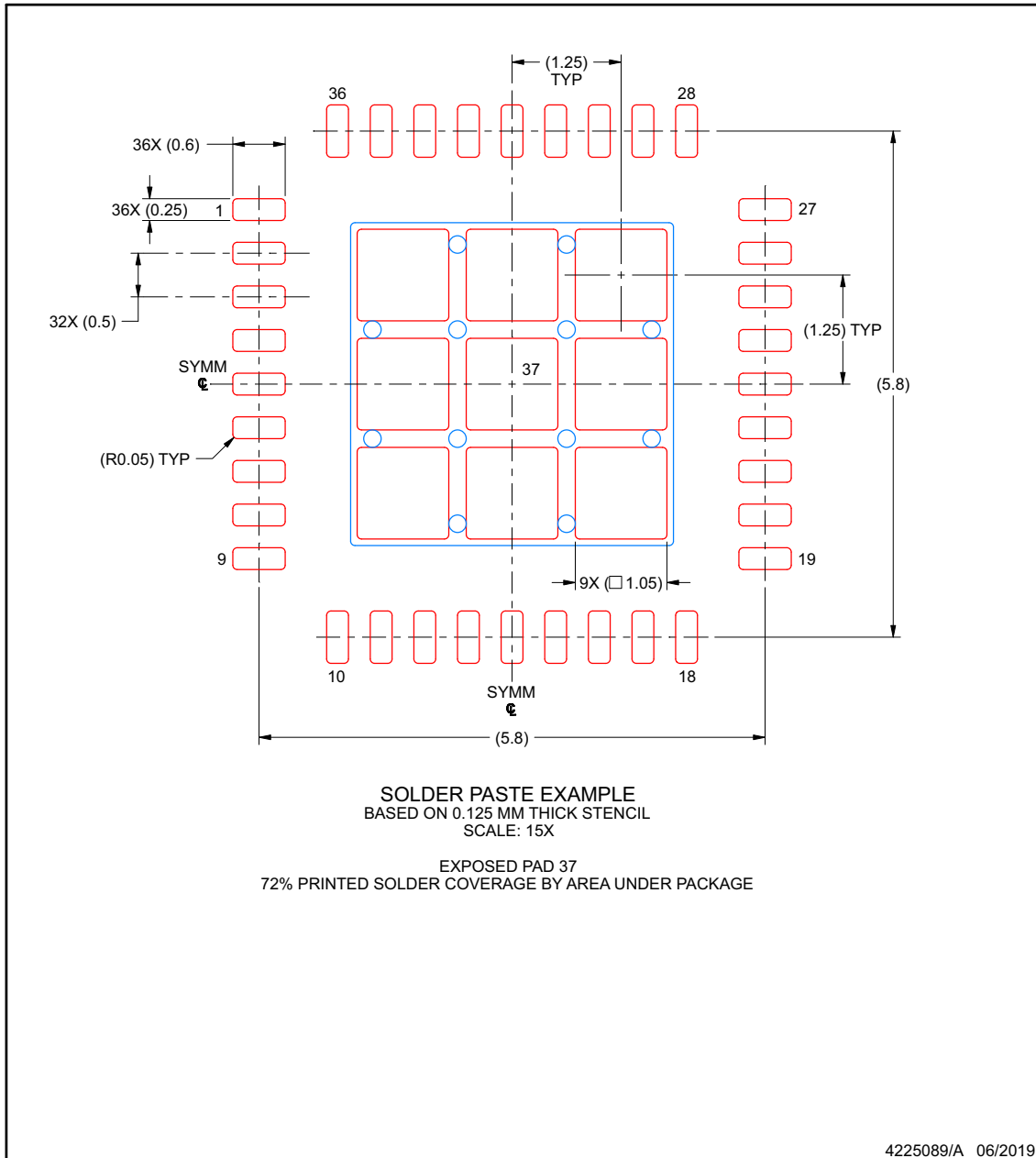


## EXAMPLE STENCIL DESIGN

**RHA0036A**

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DP83TG720RWRHARQ1	ACTIVE	VQFN	RHA	36	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	720R	<a href="#">Samples</a>
DP83TG720RWRHATQ1	ACTIVE	VQFN	RHA	36	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	720R	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



## GENERIC PACKAGE VIEW

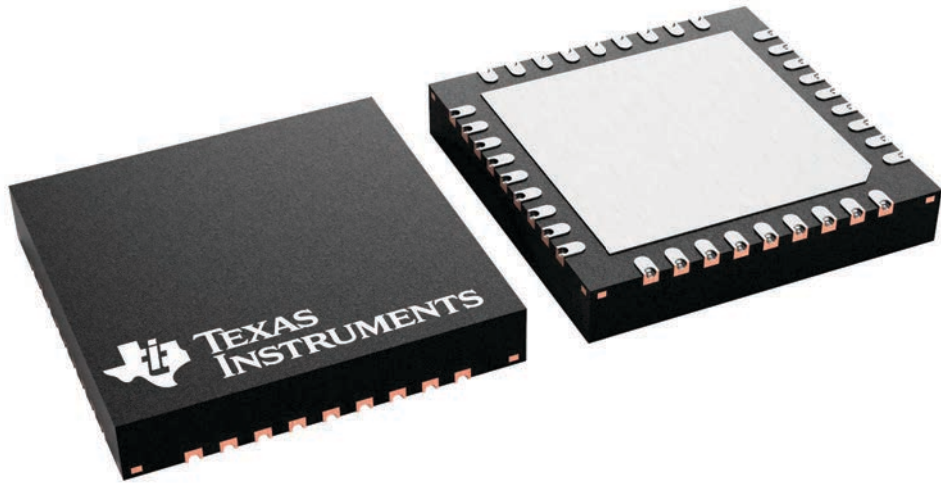
**RHA 36**

**VQFN - 1 mm max height**

6 x 6, 0.5 mm pitch

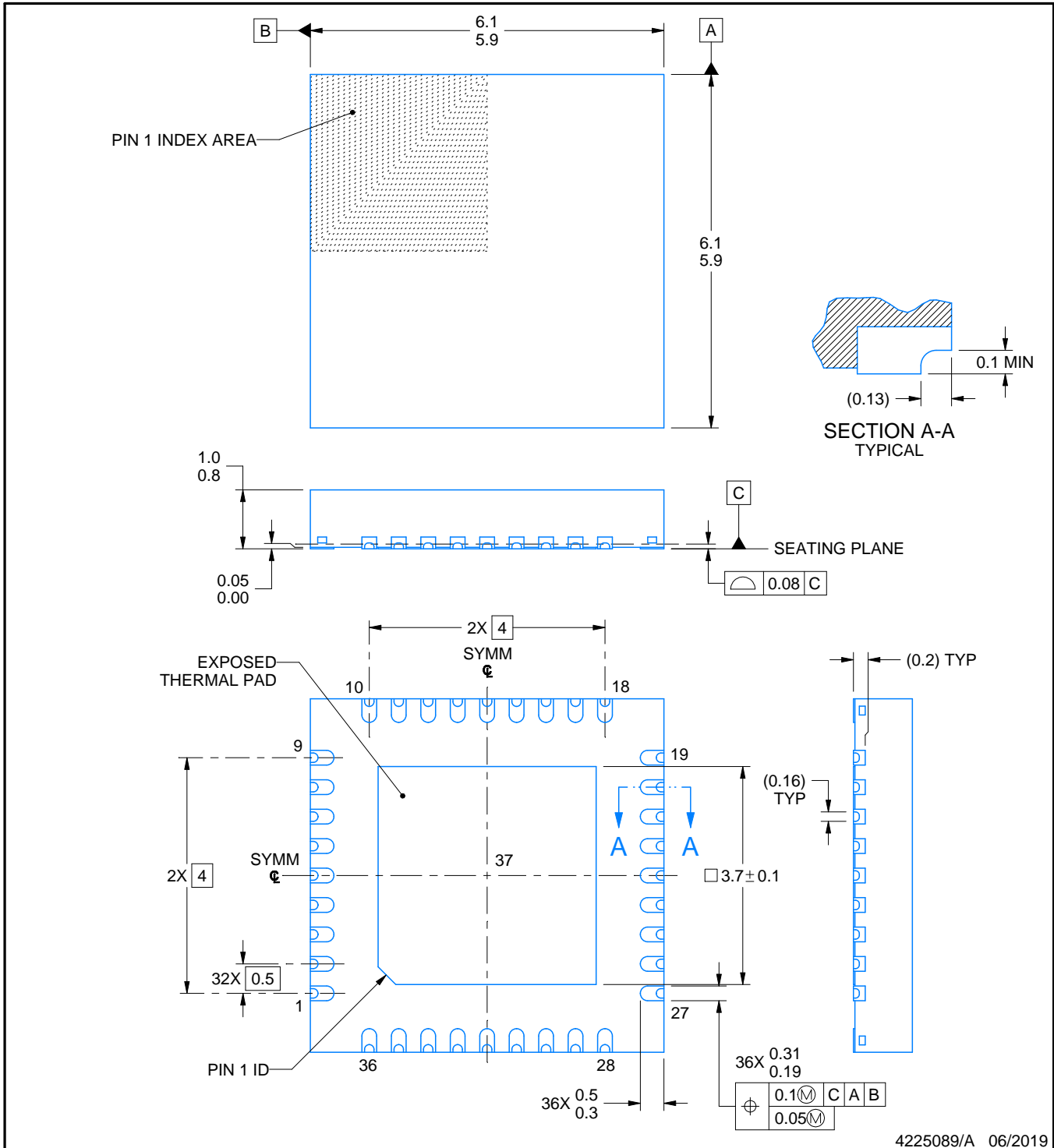
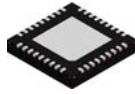
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4228438/A





4225089/A 06/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

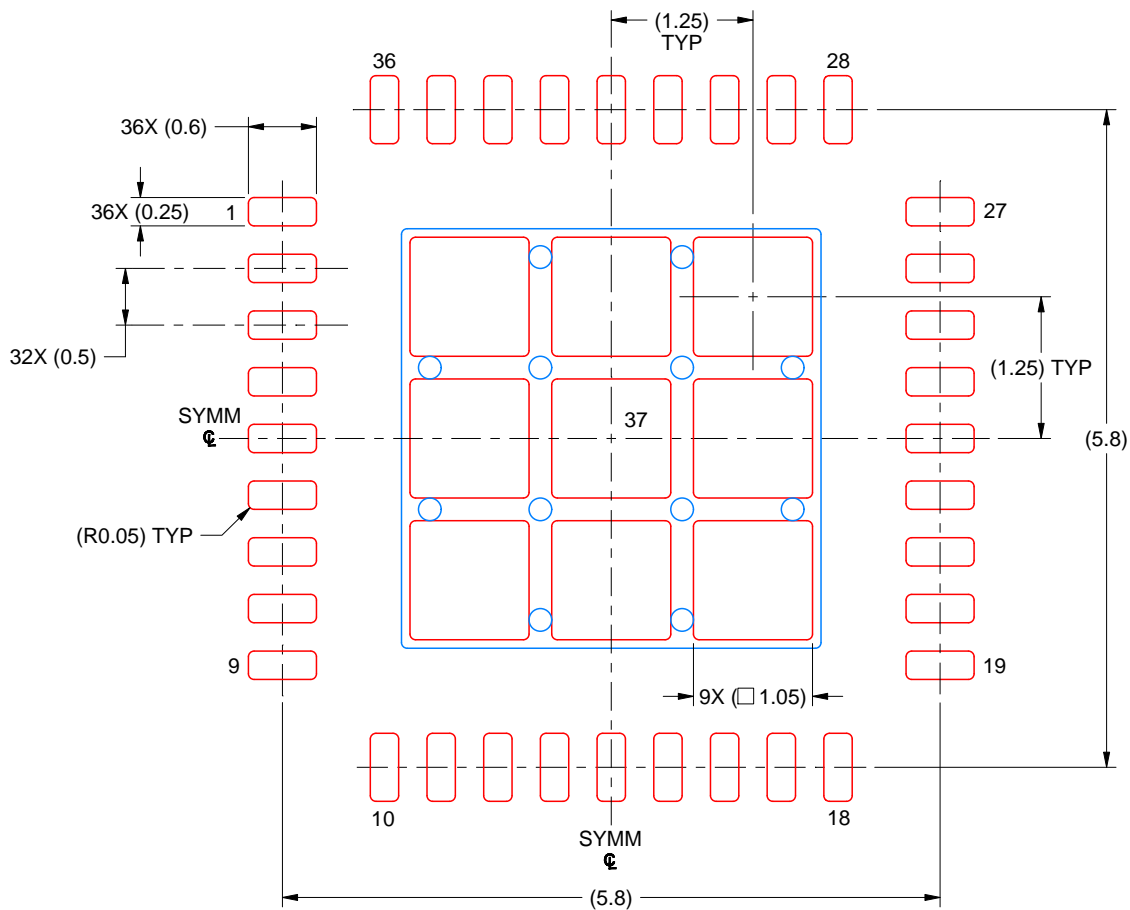


# EXAMPLE STENCIL DESIGN

RHA0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 15X

EXPOSED PAD 37  
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225089/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated