

DRV2911-Q1 超音波レンズ・クリーニング用フルブリッジ PWM 入力ピエゾ・ドライバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1: $-40^{\circ}\text{C} \leq \text{TA} \leq 125^{\circ}\text{C}$
 - ウェッタブル フランク パッケージ
- 2 チャネル ハーフブリッジドライバ
 - 各ハーフブリッジ制御用の PWM 入力
 - 過電流保護
 - 最大 200kHz の PWM 周波数をサポート
- 動作電圧: 5V ~ 35V (絶対最大定格 40V)
- 高い出力電流能力: ピーク 8A
- 低い MOSFET オンステート抵抗
 - $\text{T}_A = 25^{\circ}\text{C}$ で $95\text{m}\Omega$ (標準値) の $R_{\text{DS(ON)}}$ (HS + LS)
- 低消費電力スリープ モード
 - $V_{\text{PVDD}} = 13.5\text{V}$, $\text{T}_A = 25^{\circ}\text{C}$ で $2.5\mu\text{A}$ (最大値)
- 1.8V, 3.3V, 5V のロジック入力をサポート
- 3.3V, 30mA LDO レギュレータ内蔵
- 保護機能内蔵
 - 電源低電圧誤動作防止 (UVLO)
 - チャージポンプ低電圧 (CPUV)
 - 過電流保護 (OCP)
 - 熱警告およびシャットダウン (OTW/OTSD)
 - フォルト状況表示ピン (FAULTZ)

2 アプリケーション

- 車載用サーマル カメラ
- 処理機能なしのカメラ モジュール
- ミラー代替 / カメラミラー システム
- リア カメラ
- サラウンド ビュー システムの ECU

3 説明

DRV2911-Q1 は、ピエゾベースのレンズカバー システム (LCS) を駆動するための 2 つの H ブリッジを内蔵しており、最大 40V の絶対最大定格能力を備えていると同時に、非常に低い $R_{\text{DS(ON)}}$ を維持してスイッチング損失を低減します。DRV2911-Q1 は、パワー マネージメント LDO (3.3V/30mA) と降圧コンバータ (5V~5.7V, $\leq 200\text{mA}$) を内蔵しており、超音波レンズクリーニング (ULC) コントローラである ULC1001 のような外部回路への電力供給に使用できます。

各出力ドライバ チャネルは、ハーフブリッジ型の N チャネル パワー MOSFET で構成されています。2 つの独立した PWM 入力が各ハーフブリッジを駆動します。DRV2911-Q1 には、30mA, 3.3V の LDO レギュレータが搭載されています。

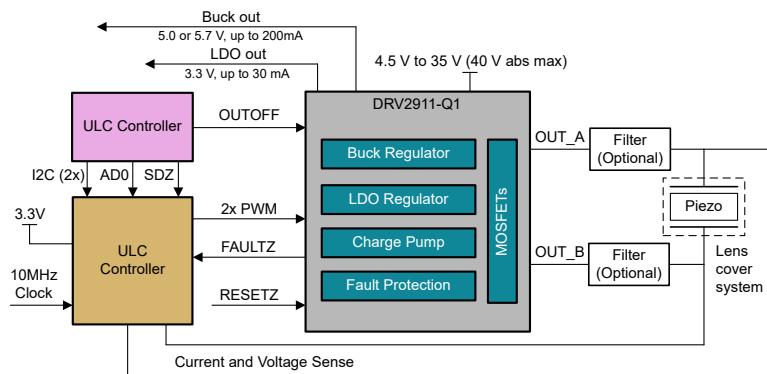
DRV2911-Q1 には、電源低電圧誤動作防止 (UVLO)、チャージポンプ低電圧 (CPUV)、過電流保護 (OCP)、過熱警告 (OTW)、過熱シャットダウン (PTSD) などの複数の保護機能が内蔵されており、デバイスおよびシステムをフォルトイベントから保護します。フォルト状態は FAULTZ ピンにより通知されます。フォルトピンは ULC1001-Q1 などのコントローラ デバイスに接続することもできます。この場合、I₂C 経由で障害を認識できます。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
DRV2911-Q1	VQFN (40)	7 mm × 5mm

(1) 供給されているすべてのパッケージについては、セクション 10 を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含みます。



アプリケーション概略図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7 アプリケーションと実装	29
2 アプリケーション	1	7.1 アプリケーション情報	29
3 説明	1	7.2 代表的なアプリケーション	30
4 ピン構成および機能	3	7.3 電源に関する推奨事項	33
5 仕様	5	7.4 レイアウト	34
5.1 絶対最大定格	5	8 デバイスおよびドキュメントのサポート	37
5.2 ESD 定格 (車載機器)	5	8.1 サード・パーティ製品に関する免責事項	37
5.3 推奨動作条件	5	8.2 ドキュメントのサポート	37
5.4 熱に関する情報	6	8.3 ドキュメントの更新通知を受け取る方法	37
5.5 電気的特性	6	8.4 サポート・リソース	37
5.6 代表的特性	10	8.5 商標	37
6 詳細説明	11	8.6 静電気放電に関する注意事項	37
6.1 概要	11	8.7 用語集	37
6.2 機能ブロック図	12	9 改訂履歴	37
6.3 機能説明	13	10 メカニカル、パッケージ、および注文情報	38
6.4 デバイスの機能モード	28		

4 ピン構成および機能

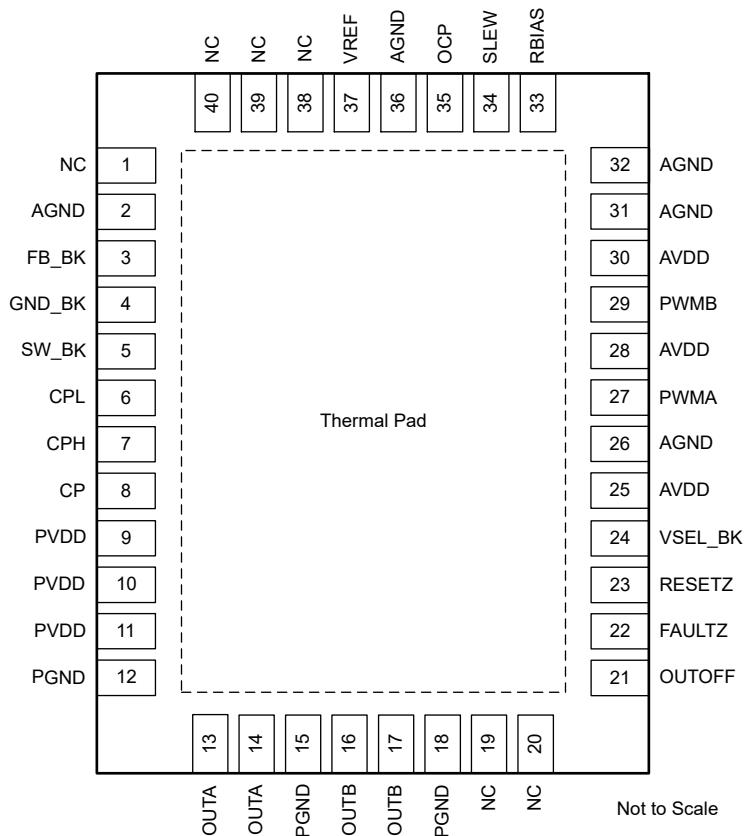


図 4-1. DRV2911-Q1 40 ピン VQFN (サーマルパッドを下にした状態、上面図)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
NC	1, 19, 20, 38, 39, 40	NC	接続なし、オープン。
AGND	2, 26, 31, 32, 36	GND	デバイスのアナログ グランド。接続に関する推奨事項については、 セクション 7.4.1 を参照してください。
FB_BK	3	PWR I	降圧レギュレータ用フィードバック。降圧レギュレータ出力のインダクタ / 抵抗の後に接続します。
GND_BK	4	GND	Buck regulator ground.接続に関する推奨事項については、 セクション 7.4.1 を参照してください。
SW_BK	5	PWR O	Buck switch node.このピンはインダクタまたは抵抗に接続します。
CPL	6	PWR	チャージポンプのスイッチング ノード。X5R または X7R、47nF、セラミックコンデンサを CPH ピンと CPL ピンの間に接続します。コンデンサの電圧定格は、デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
CPH	7	PWR	チャージポンプ出力。X5R または X7R、1μF、16V セラミックコンデンサを CP ピンと PVDD ピンの間に接続します。
CP	8	PWR O	チャージポンプ出力。X5R または X7R、1μF、16V セラミックコンデンサを CP ピンと PVDD ピンの間に接続します。
PVDD	9, 10, 11	PWR I	電源。電源電圧に接続し、PVDD 定格の 2 つの 0.1μF コンデンサ (各ピンに) と 1 つのパルクコンデンサを使用して PGND にバイパスします。コンデンサの電圧定格は、デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
PGND	12, 15, 18	GND	デバイスの電源グランド。接続に関する推奨事項については、 セクション 7.4.1 を参照してください。
OUTA	13, 14	PWR O	ハーフ ブリッジ出力 A。

表 4-1. ピンの機能 (続き)

ピン		種類 ⁽¹⁾	説明
名称	番号		
OUTB	16、17	PWR O	ハーフ ブリッジ出力 B。
OUTOFF	21	I	このピンがロジック high の場合、パワーステージの 4 つの MOSFET がオフになり、すべての出力が Hi-Z になります。
FAULTZ	22	O	フォルト インジケータ。障害状態ではロジック low に引き下げられます。オープン ドレイン出力には、AVDD または外部ソースへの外部プルアップ抵抗が必要です。電源投入時に FAULTZ が 2.2V を超えてプルアップされていることを確認します。
RESETZ	23	I	ドライバ RESETZ。このピンをロジック Low にすると、デバイスは低消費電力のスリープ モードに移行します。20μs ~ 40μs の Low パルスを使うとフォルト状態をリセットできます。
VSEL_BK	24	I	降圧出力電圧設定。このピンは、外付け抵抗で設定される 2 レベル入力ピンです。図 6-2 を参照してください。
AVDD	25、28、30	PWR O	3.3V 内部レギュレータ出力。X5R または X7R、1μF、6.3V セラミック コンデンサを AVDD (ピン 25 の近く) と AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。
PWMA	27	I	ハーフ ブリッジ A 制御の PWM 入力。
PWMB	29	I	ハーフ ブリッジ B 制御の PWM 入力。
RBIAS	33	I	47kΩ ていこうを AVDD に接続します。
SLEW	34	I	スルーレート制御設定このピンは、外付け抵抗で設定される 4 レベル入力ピンです。図 6-2 を参照してください。
OCP	35	I	OCP レベル制御設定。図 6-2 を参照してください。
VREF	37	PWR	X5R または X7R、0.1μF、6.3V セラミック コンデンサを VREF ピンと AGND ピンの間に接続します。
サーマル パッド		GND	アナログ グランドに接続する必要があります。

(1) I = 入力、O = 出力、GND = グランド ピン、PWR = 電源、NC = 未接続

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
電源ピン電圧 (PVDD)	-0.3	40	V
電源電圧ランプ (PVDD)		4	V/ μ s
グランドピン (GND_BK、PGND、AGND) 間の電圧差	-0.3	0.3	V
チャージポンプ電圧 (CPH、CP)	-0.3	$V_{PVDD} + 6$	V
チャージポンプ負スイッチングピン電圧 (CPL)	-0.3	$V_{PVDD} + 0.3$	V
スイッチングレギュレータピン電圧 (FB_BK)	-0.3	6	V
スイッチングノードピン電圧 (SW_BK)	-0.3	$V_{PVDD} + 0.3$	V
アナログレギュレータピン電圧 (AVDD)	-0.3	4	V
ロジックピン入力電圧 (OUTOFF、PWMx、RESETZ)	-0.3	5.75	V
ロジックピン出力電圧 (FAULTZ)	-0.3	5.75	V
出力ピン電圧 (OUTA、OUTB)	-1	$V_{PVDD} + 1$	V
周囲温度、 T_A	-40	125	°C
接合部温度、 T_J	-40	150	°C
保管温度、 T_{stg}	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格 (車載機器)

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	± 2000	V
		荷電デバイスモデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	角のピン ± 750 その他のピン ± 750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{PVDD}	電源電圧	V_{PVDD}	4.5	24	35	V
f_{PWM}	出力 PWM 周波数	OUTA、OUTB			200	kHz
I_{OUT} ⁽¹⁾	ピーク出力電流	OUTA、OUTB			8	A
V_{IN}	ロジック入力電圧	OUTOFF、PWMx、RESETZ	-0.1	5.5		V
V_{OD}	オーブンドレイン プルアップ電圧	FAULTZ	-0.1	5.5		V
I_{OD}	オーブンドレイン出力電流	FAULTZ			5	mA
V_{VREF}	電圧リファレンスピン電圧	VREF	2.8	AVDD		V
T_A	動作時の周囲温度		-40	125		°C
T_J	動作時接合部温度		-40	150		°C

- (1) 消費電力および温度の制限に従う必要があります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DRV2911-Q1	単位
		VQFN (RGF)	
		40 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	25.7	°C/W
$R_{\theta JC(top)}$	接合部からケース(上面)への熱抵抗	15.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース(底面)への熱抵抗	2.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

$T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$ 、 $V_{PVDD} = 4.5 \sim 35\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^\circ\text{C}$ 、 $V_{PVDD} = 24\text{V}$ が適用されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
電源					
I_{PVDDQ}	PVDD スリープ モード電流	$V_{PVDD} > 6\text{V}$, RESETZ = 0, $T_A = 25^\circ\text{C}$	1.5	2.5	μA
		RESETZ = 0	2.5	5	μA
I_{PVDDS}	PVDD スタンバイ モード電流	$V_{PVDD} > 6\text{V}$, RESETZ = 1, PWMx = 0, $I_{BK} = 0$, $T_A = 25^\circ\text{C}$	5	6	mA
		RESETZ = 1, PWMx = 0, $I_{BK} = 0$	6	10	mA
I_{PVDD}	PVDD 動作モード電流	$V_{PVDD} > 6\text{V}$, RESETZ = 1, $f_{PWM} = 25\text{kHz}$, $T_A = 25^\circ\text{C}$	11	13	mA
		$V_{PVDD} > 6\text{V}$, RESETZ = 1, $f_{PWM} = 200\text{kHz}$, $T_A = 25^\circ\text{C}$	19	22	mA
		RESETZ = 1, $f_{PWM} = 25\text{kHz}$	12	17	mA
		RESETZ = 1, $f_{PWM} = 200\text{kHz}$	18	30	mA
V_{AVDD}	アナログ レギュレータの電圧	$0\text{mA} \leq I_{AVDD} \leq 30\text{mA}$	3.1	3.3	3.465 V
I_{AVDD}	外部アナログ レギュレータの負荷			30	mA
V_{VCP}	チャージポンプ レギュレータ電圧	PVDD を基準とした VCP	3.6	4.7	5.25 V
t_{WAKE}	ウェークアップ時間	$V_{PVDD} > V_{UVLO}$, RESETZ = 1 で出力準備完了, FAULTZ 解放		1	ms
t_{SLEEP}	スリープ パルス時間	RESETZ = 0 でスリープモード	120		μs
t_{RST}	リセット パルス時間	RESETZ = 0 でフォルトをリセット	20	40	μs
降圧レギュレータ					
V_{BK}	降圧レギュレータの平均電圧 ($L_{BK} = 47\mu\text{H}$, $C_{BK} = 22\mu\text{F}$)	$V_{PVDD} > 6\text{V}$, $0\text{mA} \leq I_{BK} \leq 200\text{mA}$, VSEL_BK ピンを Hi-Z に接続	4.6	5.0	5.4 V
		$V_{PVDD} > 6.7\text{V}$, $0\text{mA} \leq I_{BK} \leq 200\text{mA}$, VSEL_BK ピンを AVDD に接続	5.2	5.7	5.8 V
		$V_{PVDD} < 6.0\text{V}$, $0\text{mA} \leq I_{BK} \leq 200\text{mA}$	$V_{PVDD} - I_{BK} * (R_{LBK} + 2)^{(1)}$		

$T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$, $V_{PVDD} = 4.5 \sim 35\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^\circ\text{C}$, $V_{PVDD} = 24\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{BK}	降圧レギュレータの平均電圧 ($L_{BK} = 22\mu\text{H}$, $C_{BK} = 22\mu\text{F}$)	$V_{PVDD} > 6\text{V}$, $0\text{mA} \leq I_{BK} \leq 50\text{mA}$, $VSEL_BK$ ピンを Hi-Z に接続	4.6	5.0	5.4	V
		$V_{PVDD} > 6.7\text{V}$, $0\text{mA} \leq I_{BK} \leq 50\text{mA}$, $VSEL_BK$ ピンを AVDD に接続	5.2	5.7	5.8	V
		$V_{PVDD} < 6.0\text{V}$, $0\text{mA} \leq I_{BK} \leq 50\text{mA}$	$\frac{V_{PVDD} - I_{BK} * (R_{LBK} + 2)}{(1)}$			V
V_{BK}	降圧レギュレータの平均電圧 ($R_{BK} = 22\Omega$, $C_{BK} = 22\mu\text{F}$)	$V_{PVDD} > 6\text{V}$, $0\text{mA} \leq I_{BK} \leq 40\text{mA}$, $VSEL_BK$ ピンを Hi-Z に接続	4.6	5.0	5.4	V
		$V_{PVDD} > 6.7\text{V}$, $0\text{mA} \leq I_{BK} \leq 40\text{mA}$, $VSEL_BK$ ピンを AVDD に接続	5.2	5.7	5.8	V
		$V_{PVDD} < 6.0\text{V}$, $0\text{mA} \leq I_{BK} \leq 40\text{mA}$	$\frac{V_{PVDD} - I_{BK} * (R_{BK} + 2)}{(1)}$			V
V_{BK_RIP}	降圧レギュレータのリップル電圧	$V_{PVDD} > 6\text{V}$, $0\text{mA} \leq I_{BK} \leq 200\text{mA}$, インダクタ付き降圧レギュレータ、 $L_{BK} = 47\mu\text{H}$, $C_{BK} = 22\mu\text{F}$	-100	100	100	mV
		$V_{PVDD} > 6\text{V}$, $0\text{mA} \leq I_{BK} \leq 50\text{mA}$, インダクタ付き降圧レギュレータ、 $L_{BK} = 22\mu\text{H}$, $C_{BK} = 22\mu\text{F}$	-100	100	100	mV
		$V_{PVDD} > 6\text{V}$, $0\text{mA} \leq I_{BK} \leq 50\text{mA}$, 抵抗付き降圧レギュレータ、 $R_{BK} = 22\Omega$, $C_{BK} = 22\mu\text{F}$	-100	100	100	mV
I_{BK}	外部降圧レギュレータの負荷	$L_{BK} = 47\mu\text{H}$, $C_{BK} = 22\mu\text{F}$	$200 - I_{AVDD}$			mA
		$L_{BK} = 22\mu\text{H}$, $C_{BK} = 22\mu\text{F}$	$50 - I_{AVDD}$			mA
		$R_{BK} = 22\Omega$, $C_{BK} = 22\mu\text{F}$	$40 - I_{AVDD}$			mA
f_{SW_BK}	降圧レギュレータのスイッチング周波数	レギュレーション モード	20	535	kHz	
		リニア モード	20	535	kHz	
V_{BK_UV}	降圧レギュレータ低電圧誤動作防止	V_{BK} 立ち上がり、 $VSEL_BK$ ピンから Hi-Z へ	2.7	2.8	2.9	V
		V_{BK} 立ち下がり、 $VSEL_BK$ ピンから Hi-Z へ	2.5	2.6	2.7	V
		V_{BK} 立ち上がり、 $VSEL_BK$ ピンを AVDD に接続	4.2	4.4	4.55	V
		V_{BK} 立ち下がり、 $VSEL_BK$ ピンを AVDD に接続	4.0	4.2	4.35	V
$V_{BK_UV_HYS}$	降圧レギュレータ低電圧誤動作防止のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	90	200	320	mV
I_{BK_CL}	降圧レギュレータ電流制限スレッショルド		360	600	900	mA
I_{BK_OCP}	降圧レギュレータ過電流保護トリップ ポイント		2	3	4	A
t_{BK_RETRY}	過電流保護リトライ時間		0.7	1	1.3	ms
ロジック レベル入力 (OUTOFF, PWMx, RESETZ)						
V_{IL}	入力ロジック Low 電圧		0	0.6	0.6	V
V_{IH}	入力ロジック High 電圧	その他のピン	1.5	5.5	5.5	V
		RESETZ	1.6	5.5	5.5	V

$T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$, $V_{PVDD} = 4.5 \sim 35\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^\circ\text{C}$, $V_{PVDD} = 24\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{HYS}	入力ロジック ヒステリシス	その他のピン	180	300	420	mV
		RESETZ	95	250	420	mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V	-1	1	1	μA
		RESETZ, V_{PIN} (ピン電圧) = 5V	10	30	30	μA
I_{IH}	入力ロジック High 電流	その他のピン, V_{PIN} (ピン電圧) = 5V	30	75	75	μA
		RESETZ	150	200	300	k Ω
R_{PD}	入力プルダウン抵抗	その他のピン	70	100	130	k Ω
				30		pF
C_{ID}	入力容量					

4 レベル入力ピン (スルー)

V_{L1}	入力モード 1 電圧 (25V/ μs)	AGND に接続	0	0.2*AVD D	V
V_{L2}	入力モード 2 電圧 (50V/ μs)	ハイインピーダンス	0.27*AV DD	0.5*AVDD	0.545*AV DD
V_{L3}	入力モード 3 電圧 (125V/ μs)	47k $\Omega \pm 5\%$ で AVDD に接続	0.606*AV DD	0.757*AVD D	0.909*AV DD
V_{L4}	入力モード 4 電圧 (200V/ μs)	AVDD に接続	0.945*AV DD		AVDD
R_{PU}	入力プルアップ抵抗	対 AVDD	70	100	130
R_{PD}	入力プルダウン抵抗	To AGND	70	100	130

2 レベル入力 (VSEL_BK)

V_{L1}	入力モード 1 電圧 (5.0V)	ハイインピーダンス	0.27*AV DD	0.5*AVDD	0.545*AV DD	V
V_{L2}	入力モード 2 電圧 (5.7V)	AVDD に接続	0.945*AV DD		AVDD	V
R_{PU}	入力プルアップ抵抗	対 AVDD	70	100	130	k Ω
R_{PD}	入力プルダウン抵抗	To AGND	70	100	130	k Ω

2 レベル入力 (OCP)

V_{L1}	入力モード 1 電圧 (16A 制限)	AGND に接続	0	0.09*AV DD	V	
V_{L2}	入力モード 2 電圧 (24A 制限)	22k $\Omega \pm 5\%$ を AGND との間に接続	0.12*AV DD	0.15*AVDD	0.55*AV DD	V
R_{PU}	入力プルアップ抵抗	対 AVDD	80	100	120	k Ω
R_{PD}	入力プルダウン抵抗	To AGND	80	100	120	k Ω

オープンドレイン出力 (FAULTZ)

V_{OL}	出力ロジック Low 電圧	$I_{OD} = 5\text{mA}$		0.4	V	
I_{OH}	出力ロジック High 電流	$V_{OD} = 5\text{V}$	-1	1	μA	
C_{OD}	出力容量			30	pF	

ドライバ出力

$R_{DS(ON)}$	全 MOSFET オン抵抗 (ハイサイド + ロー サイド)	$V_{PVDD} > 6\text{V}, I_{OUT} = 1\text{A}, T_A = 25^\circ\text{C}$	95	120	m Ω	
		$V_{PVDD} < 6\text{V}, I_{OUT} = 1\text{A}, T_A = 25^\circ\text{C}$	105	130	m Ω	
		$V_{PVDD} > 6\text{V}, I_{OUT} = 1\text{A}, T_J = 150^\circ\text{C}$	140	185	m Ω	
		$V_{PVDD} < 6\text{V}, I_{OUT} = 1\text{A}, T_J = 150^\circ\text{C}$	145	190	m Ω	

$T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$, $V_{PVDD} = 4.5 \sim 35\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^\circ\text{C}$, $V_{PVDD} = 24\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
SR	Low から High へのスイッチング (20% から 80% への立ち上がり) 時の位相ピンのスルーレート	$V_{PVDD} = 24\text{V}$, SLEW ピンを AGND に接続	14	25	45	$\text{V}/\mu\text{s}$
		$V_{PVDD} = 24\text{V}$, SLEW ピンから Hi-Z	30	50	80	$\text{V}/\mu\text{s}$
		$V_{PVDD} = 24\text{V}$, SLEW ピンから $47\text{k}\Omega \pm 5\%$ から AVDD へ	80	125	185	$\text{V}/\mu\text{s}$
		$V_{PVDD} = 24\text{V}$, SLEW ピンを AVDD に接続	130	200	280	$\text{V}/\mu\text{s}$
SR	high から low へのスイッチング (80% から 20% への立ち下がり) 時の位相ピンのスルーレート	$V_{PVDD} = 24\text{V}$, SLEW ピンを AGND に接続	14	25	45	$\text{V}/\mu\text{s}$
		$V_{PVDD} = 24\text{V}$, SLEW ピンから Hi-Z	30	50	80	$\text{V}/\mu\text{s}$
		$V_{PVDD} = 24\text{V}$, SLEW ピンから $47\text{k}\Omega \pm 5\%$ から AVDD へ	80	125	185	$\text{V}/\mu\text{s}$
		$V_{PVDD} = 24\text{V}$, SLEW ピンを AVDD に接続	110	200	280	$\text{V}/\mu\text{s}$
I_{LEAK}	OUTx のリーク電流	$V_{OUTx} = V_{PVDD}$, RESETZ = 1			5	mA
	OUTx のリーク電流	$V_{OUTx} = 0\text{V}$, RESETZ = 1			1	μA
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	$V_{PVDD} = 24\text{V}$, SR = $25\text{V}/\mu\text{s}$, HS ドライバがオフから LS ドライバがオン, LS ドライバがオフから HS ドライバがオンになります		1800	3400	ns
		$V_{PVDD} = 24\text{V}$, SR = $50\text{V}/\mu\text{s}$, HS ドライバがオフから LS ドライバがオン, LS ドライバがオフから HS ドライバがオンになります		1100	1550	ns
		$V_{PVDD} = 24\text{V}$, SR = $125\text{V}/\mu\text{s}$, HS ドライバがオフから LS ドライバがオン, LS ドライバがオフから HS ドライバがオンになります		650	1000	ns
		$V_{PVDD} = 24\text{V}$, SR = $200\text{V}/\mu\text{s}$, HS ドライバがオフから LS ドライバがオン, LS ドライバがオフから HS ドライバがオンになります		500	750	ns
t_{PD}	伝搬遅延 (ハイサイド / ローサイド、オン/オフ)	$V_{PVDD} = 24\text{V}$, INHx/INLx = 1 から OUTx 遷移まで, SR = $25\text{V}/\mu\text{s}$		2000	4550	ns
		$V_{PVDD} = 24\text{V}$, INHx/INLx = 1 から OUTx 遷移まで, SR = $50\text{V}/\mu\text{s}$		1200	2150	ns
		$V_{PVDD} = 24\text{V}$, INHx/INLx = 1 から OUTx 遷移まで, SR = $125\text{V}/\mu\text{s}$		800	1350	ns
		$V_{PVDD} = 24\text{V}$, INHx/INLx = 1 から OUTx 遷移まで, SR = $200\text{V}/\mu\text{s}$		650	1050	ns
t_{MIN_PULSE}	最小出力パルス幅	SR = $200\text{V}/\mu\text{s}$	600			ns

保護回路

V_{UVLO}	電源低電圧誤動作防止 (UVLO)	PVDD 立ち上がり	4.3	4.4	4.5	V
		PVDD 立ち下がり	4.1	4.2	4.3	V
V_{UVLO_HYS}	電源低電圧誤動作防止ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	140	200	350	mV
t_{UVLO}	電源低電圧誤動作防止グリッチ除去時間		3	5	7	μs
V_{CPUV}	チャージポンプ低電圧誤動作防止 (PVDD より上)	電源立ち上がり	2.3	2.5	2.7	V
		電源立ち下がり	2.2	2.4	2.6	V
V_{CPUV_HYS}	チャージポンプ UVLO のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	75	100	140	mV
V_{AVDD_UV}	アナログレギュレータ低電圧誤動作防止	電源立ち上がり	2.7	2.85	3	V
		電源立ち下がり	2.5	2.65	2.8	V

$T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$, $V_{\text{PVDD}} = 4.5 \sim 35\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^\circ\text{C}$, $V_{\text{PVDD}} = 24\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{\text{AVDD_UV_HYS}}$	アナログ レギュレータ低電圧誤動作防止のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	180	200	240	mV
I_{OCP}	過電流保護トリップ ポイント	OCP ピンを AGND に接続	10	16	22	A
I_{OCP}	過電流保護トリップ ポイント	OCP ピンを $22\text{k}\Omega \pm 5\%$ で AGND に接続	15	24	30	A
t_{OCP}	過電流保護グリッチ除去時間		0.06	0.3	0.6	μs
t_{RETRY}	過電流保護リトライ時間		4	5	6	ms
T_{OTW}	過熱警告温度	ダイ温度 (T_J)	135	145	155	$^\circ\text{C}$
$T_{\text{OTW_HYS}}$	過熱警告ヒステリシス	ダイ温度 (T_J)	15	20	26	$^\circ\text{C}$
T_{TSD}	サーマル シャットダウン温度	ダイ温度 (T_J)	170	180	190	$^\circ\text{C}$
$T_{\text{TSD_HYS}}$	サーマル シャットダウンヒステリシス	ダイ温度 (T_J)	15	20	25	$^\circ\text{C}$
$T_{\text{TSD_FET}}$	サーマル シャットダウン温度 (FET)	ダイ温度 (T_J)	165	175	187	$^\circ\text{C}$
$T_{\text{TSD_FET_HY}}$	サーマル シャットダウンのヒステリシス (FET)	ダイ温度 (T_J)	18	25	30	$^\circ\text{C}$

(1) $R_{LBK,i}$ はインダクタ L_{BK} の抵抗

5.6 代表的特性

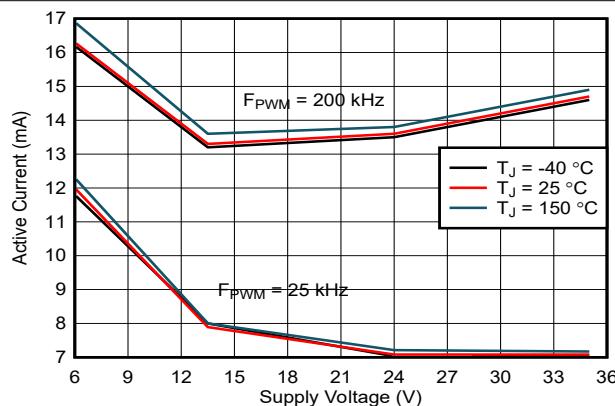


図 5-1. 電源電圧に対する電源電流

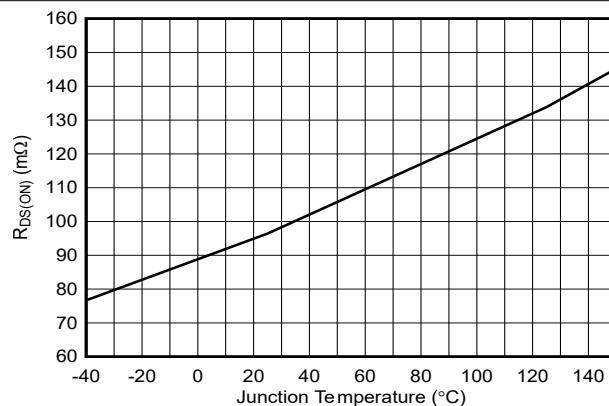


図 5-2. MOSFET の過熱の $R_{DS(\text{ON})}$ (ハイサイドとロー サイドの合計)

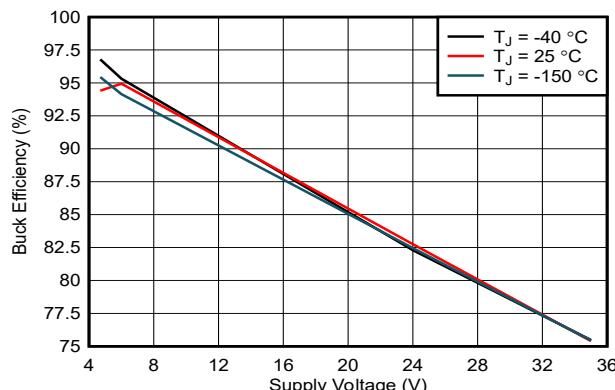


図 5-3. 電源電圧に対する降圧レギュレータの効率

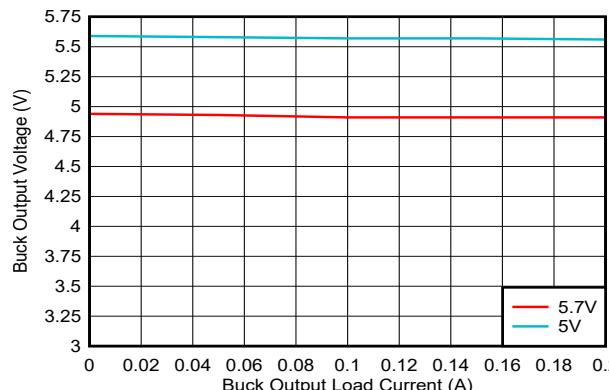


図 5-4. 負荷電流に対する降圧レギュレータの出力電圧

6 詳細説明

6.1 概要

DRV2911-Q1 デバイスは、フォルト保護機能を備えた 1 チャネル差動ピエゾ ドライバです。このデバイスは、2 つのハーフブリッジ MOSFET、ゲート ドライバ、チャージ ポンプ、1 つのリニア レギュレータを統合し、ピエゾベースのレンズ カバー システム、LCS を駆動することで、システムのフット プリントと複雑さを低減します。シンプルなハードウェア インターフェイスにより、固定の外部抵抗器を介して設定を構成できます。

このアーキテクチャでは、短絡イベントや内部パワー MOSFET の dv/dt 寄生ターンオンから保護するために、内部パワー MOSFET のスルーレートを制御します。

DRV2911-Q1 は、電源低電圧ロックアウト (UVLO)、チャージ ポンプ低電圧ロックアウト (CPUV)、過電流保護 (OCP)、AVDD 低電圧ロックアウト (AVDD_UV)、過熱警告およびシャットダウン (OTW および OTSD) など、幅広い統合保護機能を提供します。フォルト イベントは FAULTZ ピンによって通知されます。このピンは ULC1001-Q1 コントローラ デバイスまたはホスト コントローラに接続できます。

DRV2911-Q1 デバイスは、ウェッタブル フランクを備えた 0.5mm ピン ピッチの VQFN 表面実装パッケージで提供されます。この VQFN パッケージのサイズは 7mm × 5mm です。

6.2 機能ブロック図

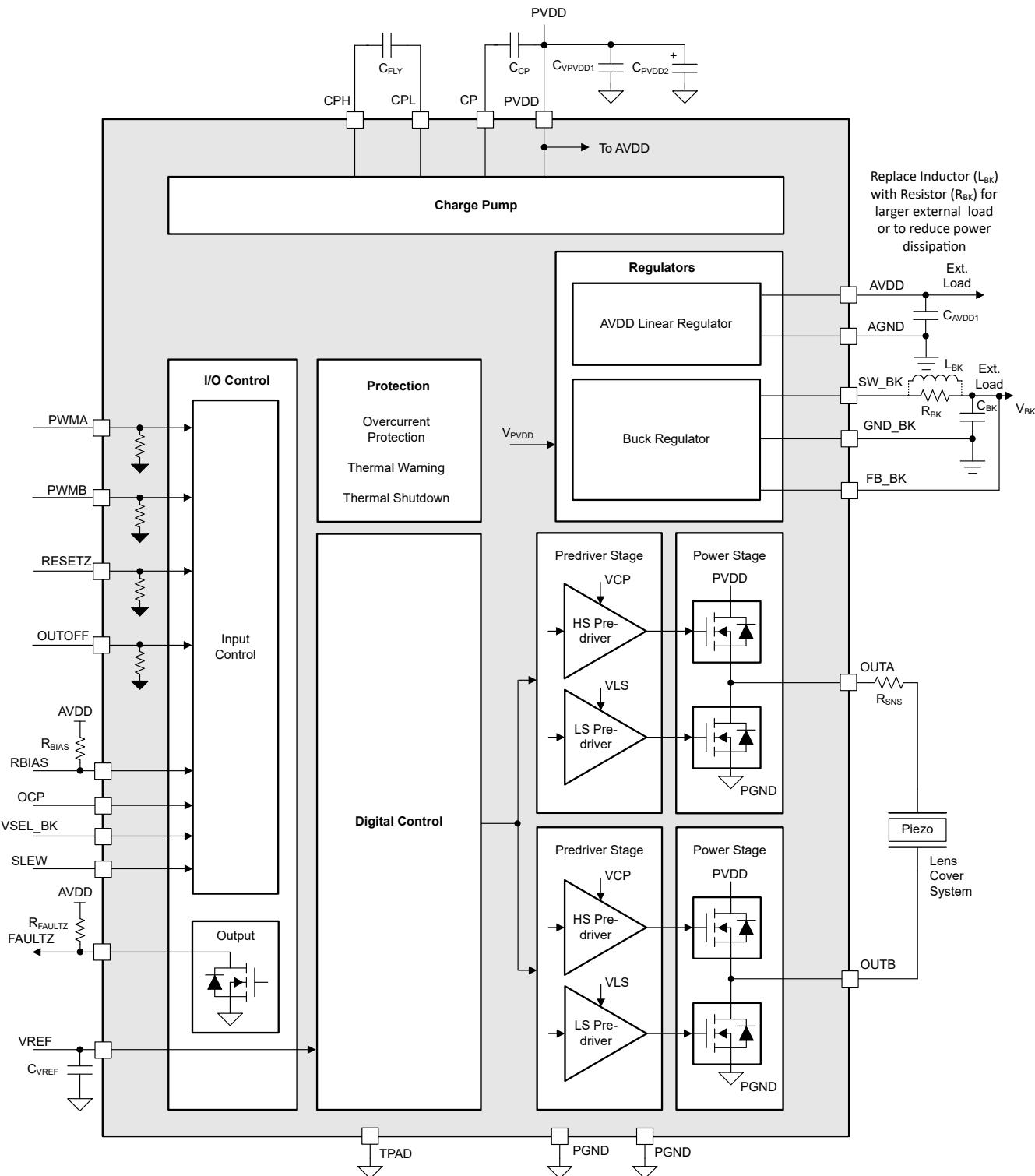


図 6-1. DRV2911-Q1 ブロック図

6.3 機能説明

表 6-1 に、ドライバの外付け部品の推奨値を示します。

表 6-1. DRV2911-Q1 の外付け部品

部品	ピン 1	ピン 2	推奨
C_{PVDD1}	PVDD	PGND	X5R または X7R、 $0.1\mu F$ 。コンデンサの電圧定格を、本デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
C_{PVDD2}	PVDD	PGND	10 μF 以上。コンデンサの電圧定格を、本デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
C_{CP}	CP	PVDD	X5R または X7R、16V、 $1\mu F$
C_{FLY}	CPH	CPL	X5R または X7R、47nF。TI はコンデンサの電圧定格を、通常動作電圧の 2 倍以上とすることを推奨します
C_{AVDD}	AVDD	AGND	X5R または X7R、 $1\mu F$ 、 $\geq 6.3V$ 。AVDD が output 電圧を正確に制御するには、コンデンサは、動作温度範囲全体にわたって、3.3V で $0.7\mu F \sim 1.3\mu F$ の実効的な容量を持つ必要があります。
C_{VREF}	VREF	AGND	X5R または X7R、 $0.1\mu F$ 、 $6.3V$ コンデンサ
R_{FAULTZ}	AVDD	FAULTZ	5.1k Ω 、プルアップ抵抗
R_{BIAS}	RBIAS	AVDD	47k Ω 、バイアス抵抗
R_{SLEW}	SLEW	AGND または AVDD	スルーレート ハードウェア インターフェイス
R_{OCP}	OCP	AGND	OCP ハードウェア インターフェイス

注

$FAULTZ$ が使われない場合でも、内部テスト モードへの望ましくない移行を避けるため、プルアップを接続することを TI は推奨しています。 $FAULTZ$ をプルアップするために外部電源を使用する場合は、電源投入時に 2.2V 以上にプルアップされていることを確認してください。そうしないと、デバイスは内部テスト モードになります。

6.3.1 出力段

DRV2911-Q1 デバイスは、2 つのハーフ ブリッジ構成で接続された統合型 95m Ω (ハイサイドとローサイドの各 FET のオン抵抗の合計) の NMOS FET で構成されています。ダブル チャージ ポンプが、100% のデューティ サイクルをサポートしつつ、広い動作電圧範囲にわたって適切なゲート バイアス電圧をハイサイド NMOS FET に供給します。ローサイド MOSFET 用のゲート バイアス電圧は、内部リニア レギュレータが供給します。このデバイスには 3 つの PVDD 電源ピンがあり、電源電圧に接続されています。

6.3.2 ハードウェア インターフェイス

ハードウェア インターフェイスには、ドライバの出力スルーレート、過電流保護レベル、降圧電圧をそれぞれ制御するための 3 つの設定可能な SLEW、OCP、VSEL_BK ピンが含まれています。これらのピンを使用すると、アプリケーションの設計者は、各ピンを適切な抵抗で論理 high、論理 low、フローティング、またはプルアップを論理 high に接続することで、デバイスの設定を構成できます。ハードウェア インターフェイスには、ドライバの障害を報告するための $FAULTZ$ オープンドレインピンも含まれています。

- SLEW ピンでは出力電圧のスルーレートを設定します。
- OCP ピンは、過電流保護レベルの設定に使用されます。
- VSEL_BK ピンは、降圧出力電圧レベルを構成するために使用されます。
- FAULTZ ピンは、ドライバのフォルトを通知するために使用され、ULC コントローラから I²C 経由で読み取ることができます。

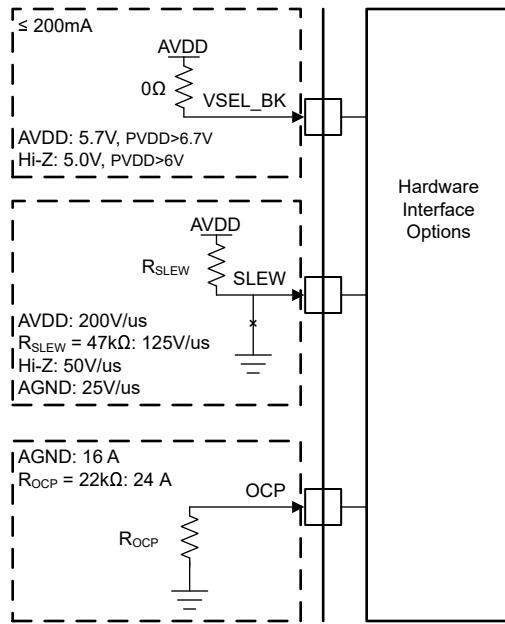


図 6-2. DRV2911-Q1 ハードウェア インターフェイス

4 レベル入力ピンである SLEW の構造を 図 6-3 に示します。OCP ピンと VSEL_BK ピンは同じ内部構造を使用していますが、有効な構成は 2 つのみです。

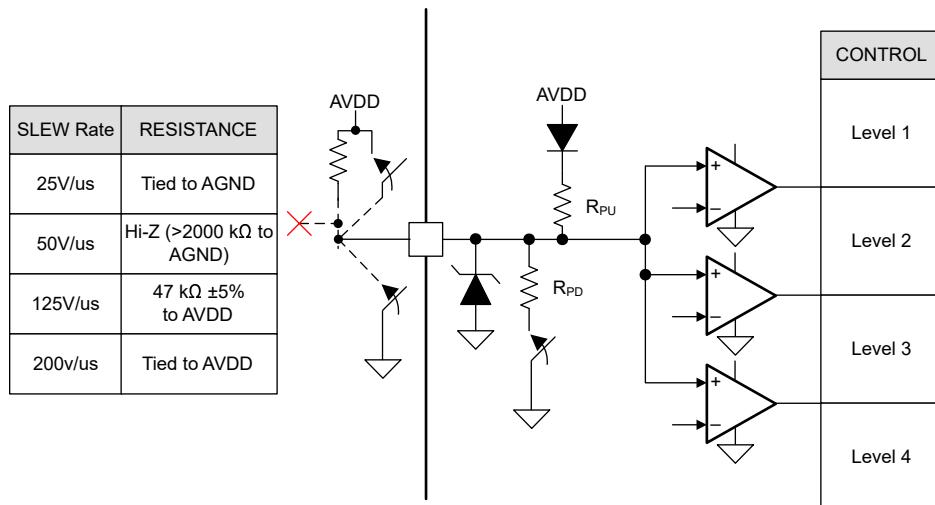


図 6-3. SLEW 入力ピンの構造

図 6-4 に、ロジック レベル ピン OUTOFF、PWMx、および RESETZ の入力構造を示します。入力は電圧または外部抵抗で行うことができます。内部プルダウン抵抗を介したリーク電流を低減させるため、デバイスのスリープ モードでこれらのピンを Low にすることが推奨されます。

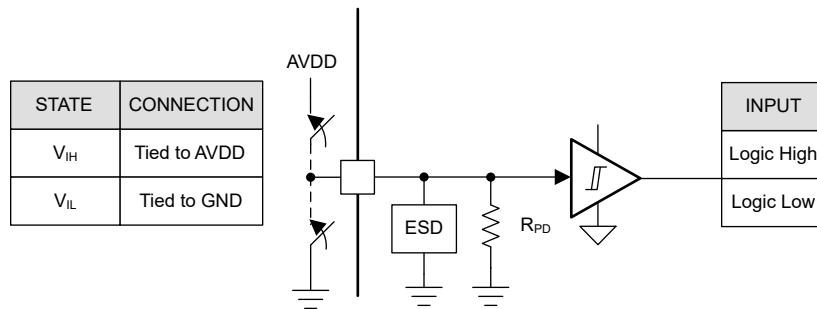


図 6-4. ロジック レベル入力ピンの構造

図 6-5 は、オープンドレイン出力である FAULTZ の構造を示しています。オープンドレイン出力を適切に機能させるためには、外部プルアップ抵抗が必要です。

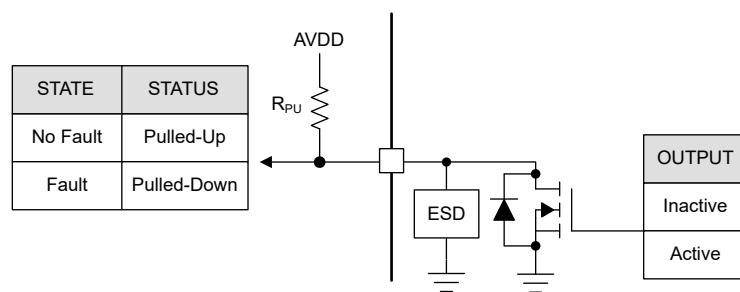


図 6-5. オープン ドレイン

6.3.3 AVDD リニア電圧レギュレータ

DRV2911-Q1 ファミリのデバイスには 3.3V のリニア レギュレータが内蔵されており、外部回路から使用できます。この AVDD レギュレータは、デバイスの内部デジタル回路への電源供給に使用されます。また、低消費電力の MCU やその他、最大 30mA をサポートする定電流回路にも電源電圧を供給できます。AVDD レギュレータの出力は AVDD ピン付近で X5R または X7R の 1μF、6.3V セラミック コンデンサを使用してバイパスし、隣接する AGND グランド ピンに直接配線する必要があります。

AVDD の公称無負荷出力電圧は 3.3V です。

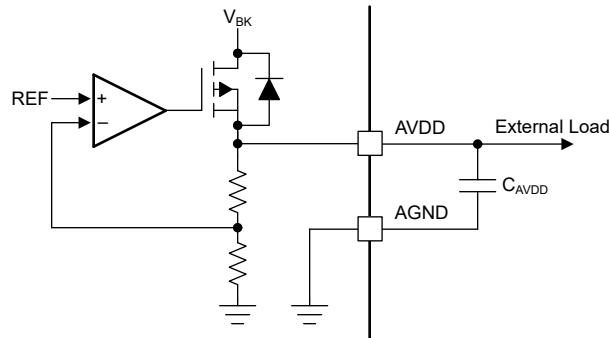


図 6-6. AVDD リニア レギュレータのブロック図

V_{BK} に基づいて、AVDD リニア レギュレータによってデバイス内で消費される電力を計算するには、式 1 を使用します。

$$P = (V_{BK} - AVDD) \times I_{AVDD} \quad (1)$$

例えば、 $V_{BK} = 30V$ の場合、AVDD から 20mA の電流が流れると、消費電力は式 2 のようになります。

$$P = (5V - 3.3V) \times 10mA = 17mW \quad (2)$$

6.3.4 降圧混在モード降圧レギュレータ

DRV2911-Q1 には、混在モード降圧レギュレータが内蔵されており、外部コントローラやシステムの電圧レールに 5.0V の規定電源を供給します。降圧出力を 5.7V に設定することで、最大 5.0V を生成する外部 LDO をサポートするための十分な余裕を確保できます。降圧の出力電圧は、**VSEL_BK** ピンによって設定されます。

降圧レギュレータは、バッテリ寿命を延ばすために、軽負荷時には静止電流が 1~2mA と低くなっています。このデバイスは、パルス周波数電流モード制御を実装しており、出力容量の低減や周波数補償設計の簡素化により、ラインおよび負荷の過渡状態における性能を向上させます。

注

降圧レギュレータ部品 L_{BK}/R_{BK} および C_{BK} を接続する必要があります。内部では、降圧回路は 3.3V AVDD 電源に電力を供給します。

表 6-2. 降圧レギュレータの推奨設定

降圧モード	降圧出力電圧	AVDD からの最大出力電流 (I_{AVDD})	降圧からの最大出力電流 (I_{BK})	降圧電流制限
インダクタ - 47 μ H	5.0V または 5.7V	30mA	200mA - I_{AVDD}	600mA
インダクタ - 22 μ H	5.0V または 5.7V	30mA	50mA	150mA
抵抗 - 22 Ω	5.0V または 5.7V	30mA	40mA	150mA

6.3.4.1 インダクタ モードの降圧

DRV2911-Q1 デバイスの降圧レギュレータは、主に $47\mu\text{H}$ インダクタおよび $22\mu\text{H}$ インダクタの低インダクタンスに対応するように設計されています。 $47\mu\text{H}$ インダクタを使用すると、降圧レギュレータは 200mA 負荷電流をサポートするまで動作でき、 $22\mu\text{H}$ インダクタは負荷電流を 50mA に制限します。

図 6-7 に、インダクタ モードでの降圧レギュレータの接続を示します。

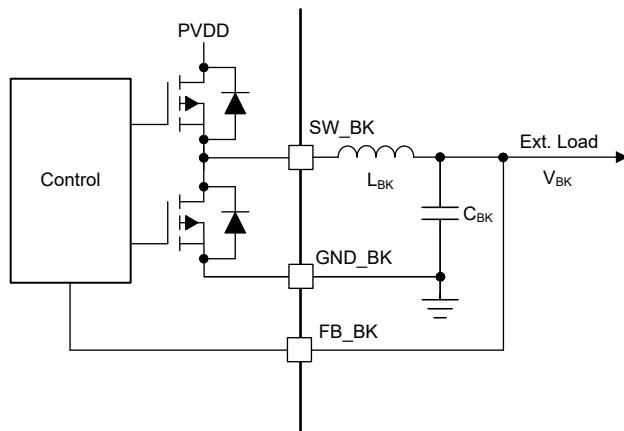


図 6-7. 降圧 (インダクタ モード)

6.3.4.2 抵抗モードの降圧

外部負荷要件が 40mA 未満の場合、インダクタを抵抗に置き換えることができます。抵抗モードでは、外部抵抗で電力が消費されるので、インダクタ モードでの降圧よりも効率が低くなります。抵抗を適切にスケーリングするには、以下の式を使用します。ULC1001-Q1 の最大消費電流は、およそ 10mA 、 I_{ULC} です。DRV2911-Q1 の内部電流、 I_{DRV_INT} 、消費電力は 10mA 、PVDD は 25V 、降圧電圧は 5V と想定されており、降圧抵抗の定格は 400mW 以上とする必要があります。抵抗定格を選択する際は、レイアウトの周囲温度範囲と全体の放熱を考慮してください。

$$P_{STANDBY} = V_{PVDD} \times (I_{ULC} + I_{DRV_INT}) \quad (3)$$

$$P_{BK_RES} = P_{STANDBY} - (V_{BUCK} \times I_{ULC} + I_{DRV_INT}) \quad (4)$$

図 6-8 に、抵抗モードでの降圧レギュレータの接続を示します。

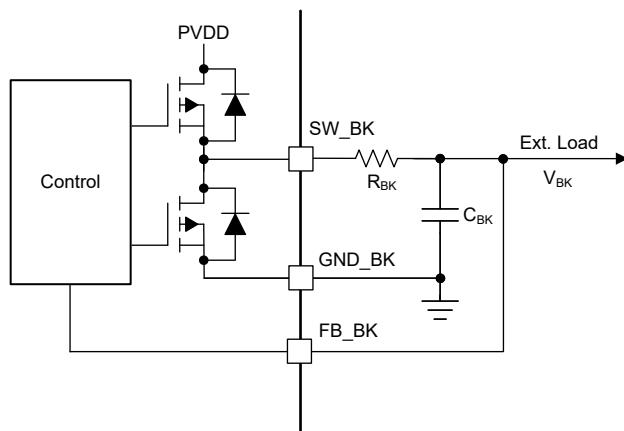


図 6-8. 降圧 (抵抗モード)

6.3.4.3 外部 LDO を使った降圧レギュレータ

この降圧レギュレータは、より高い精度で標準の 3.3V または 5.0V 出力レールを生成するために、外部 LDO に供給する電圧要件にも対応しています。降圧出力電圧は、3.3V または 5V レールを生成する外部 LDO をサポートするための余裕を持たせるために、5V または 5.7V に設定する必要があります (図 6-9 を参照)。

これにより、低電圧の LDO 設計が可能になり、コスト削減と、低ドロップアウト電圧による熱管理の向上を実現できます。

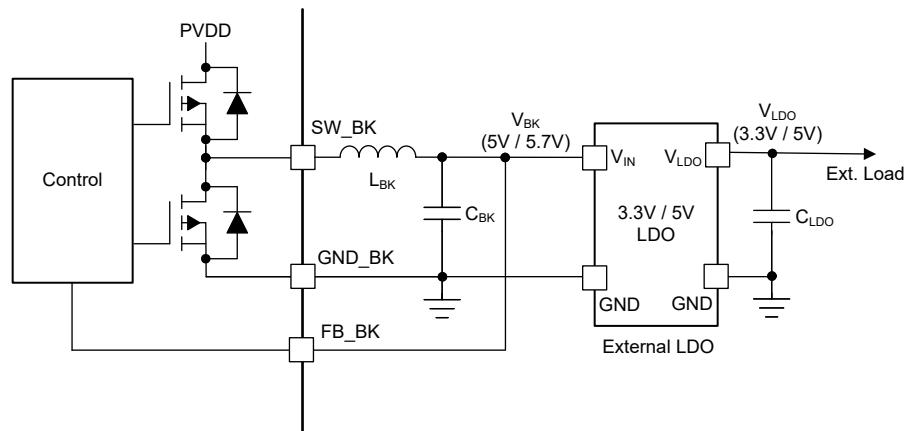


図 6-9. 外部 LDO を使った降圧レギュレータ

6.3.4.4 降圧レギュレータによる AVDD 電源シーケンス

AVDD LDO は、混合モード降圧レギュレータからの電源を使用して、内部の電力消費を削減します。図 6-10 に、DC 電源 (PVDD) から降圧出力 (VBK) までの LDO 電源を示します。

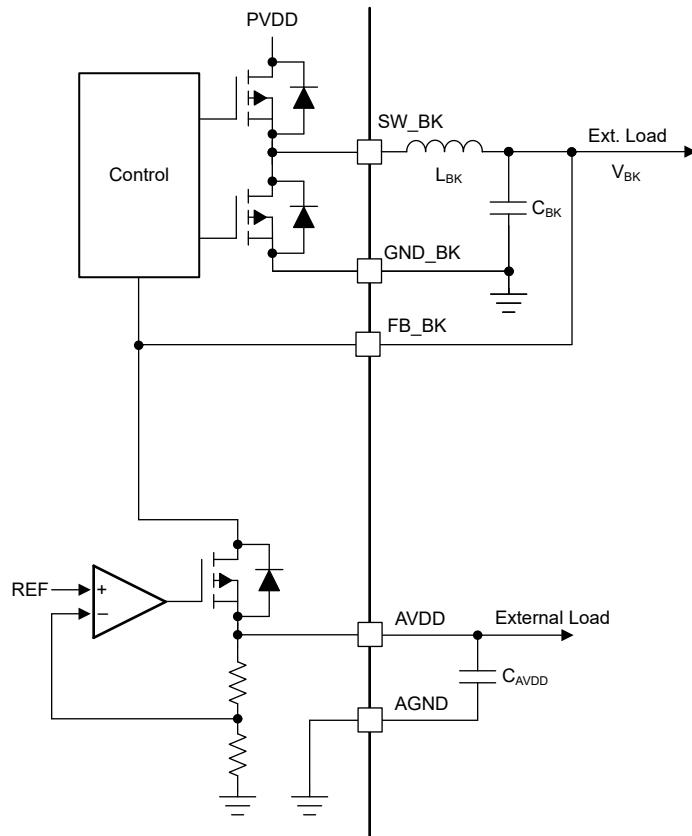


図 6-10. 混在モードの降圧レギュレータからの AVDD 電源シーケンス

6.3.4.5 混在モードでの降圧動作と制御

降圧レギュレータは、ピーク電流モード制御によるパルス周波数変調 (PFM) アーキテクチャを実装しています。降圧レギュレータの出力電圧は、外側の電圧制御ループを構成する降圧出力電圧設定 (BUCK_SEL) に応じて内部で生成される内部リファレンス電圧 (V_{BK_REF}) と比較されます。コンバータ出力が *high* ($V_{BK} < V_{BK_REF}$) または *low* ($V_{BK} > V_{BK_REF}$) になることによって、降圧コンバータのハイサイドパワー FET はそれぞれオンまたはオフになります。独立した電流制御ループは、ハイサイドパワー FET の電流 (I_{BK}) を監視し、電流が降圧電流制限 (I_{BK_CL}) を上回るとハイサイド FET をオフにします。これにより、降圧レギュレータの電流制限が実装されます。図 6-11 に降圧のアーキテクチャと、各種の制御 / 保護ループを示します。

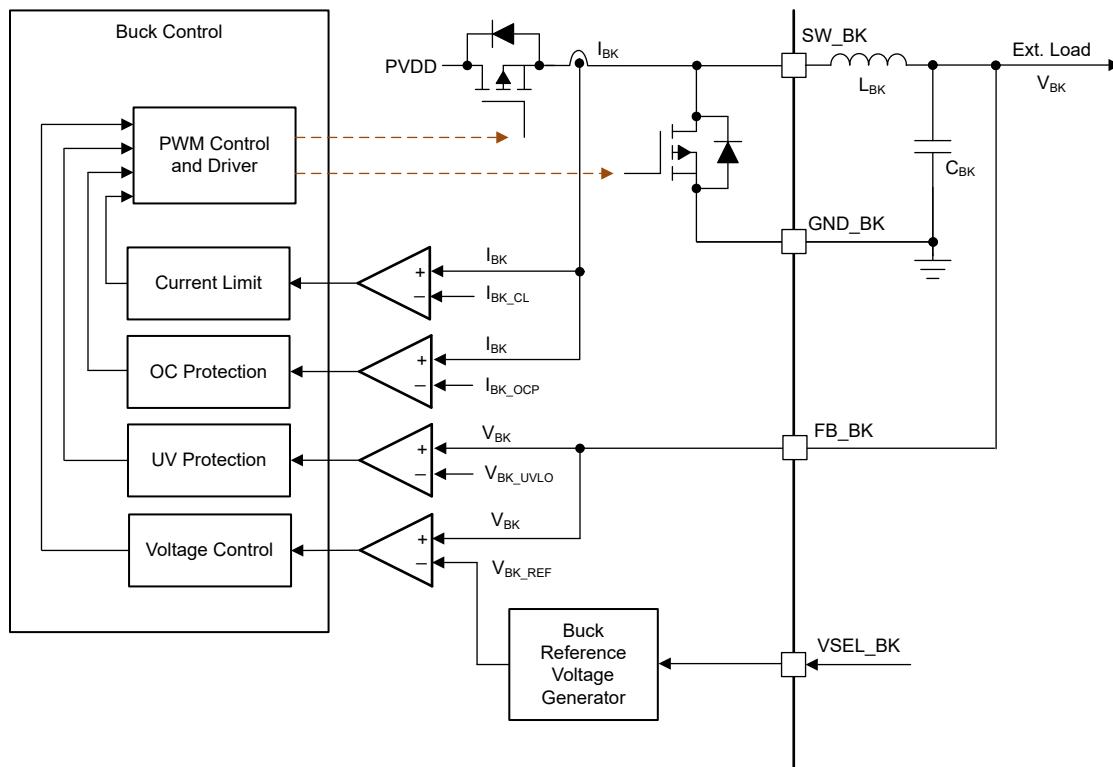


図 6-11. 降圧動作および制御ループ

6.3.4.6 降圧低電圧誤動作防止

FB_BK ピンの入力電源電圧が V_{BK_UVLO} スレッショルドを下回ると、降圧レギュレータのすべてのハイサイドおよびローサイド MOSFET がディセーブルされ、FAULTZ ピンが *low* に駆動されます。VBK の低電圧状態が解消されると、通常動作が再開されます (降圧の動作が再開され、FAULTZ ピンが解放される)。

6.3.4.7 降圧過電流保護

降圧過電流イベントは、降圧レギュレータ FET を流れる電流を監視することで検出されます。降圧レギュレータ FET にかかる電流が t_{BK_OCP} デグリッチ時間よりも長い間 I_{BK_OCP} スレッショルドを超えると、OCP イベントが認識されます。降圧 OCP モードは、自動リトライ設定に設定されます。この設定では、降圧 OCP イベントが検出されると、すべての降圧レギュレータの FET がディセーブルされ、FAULTZ ピンが *low* に駆動されます。 t_{BK_RETRY} 時間が経過した後は、通常動作が自動的に再開されます (ドライバ動作が再開され、FAULTZ ピンが解放される)。

6.3.5 チャージポンプ

出力段では N チャネル FET を使用しているので、ハイサイド FET を完全に拡張にするには、PVDD 電源よりも高いゲート駆動電圧が必要です。DRV2911-Q1 は、この目的のために、PVDD 電源よりも高い電圧を生成するチャージポンプ回路を内蔵しています。

チャージポンプを動作させるには、2 つの外付けコンデンサが必要です。これらのコンデンサの詳細については、図 6-1、セクション 4 および セクション 6.3 を参照してください。

RESETZ が low のとき、チャージポンプはシャットダウンされます。

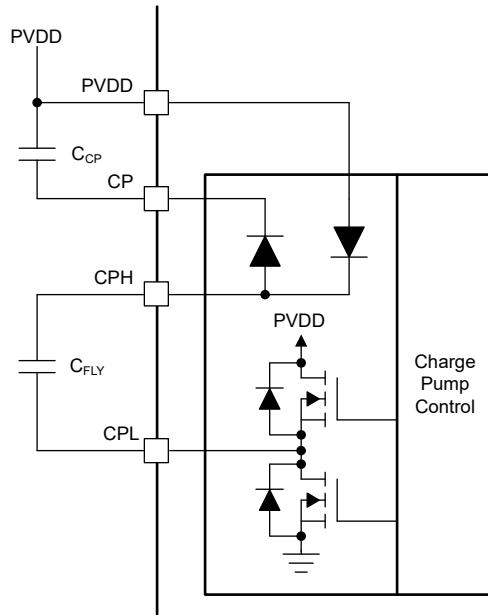


図 6-12. DRV2911-Q1 チャージポンプ

6.3.6 スルーレート制御

スルーレート制御を実現するために、ハーフブリッジの MOSFET への調整可能なゲート駆動電流制御が実装されています。MOSFET VDS スルーレートは、放射エミッション、ダイオード回復スパイクのエネルギーと期間、および寄生に関連するスイッチング電圧過渡を最適化するための重要な要素です。これらのスルーレートは、図 6-13 に示すように、主に内部 MOSFET へのゲート電荷のレートによって決まります。

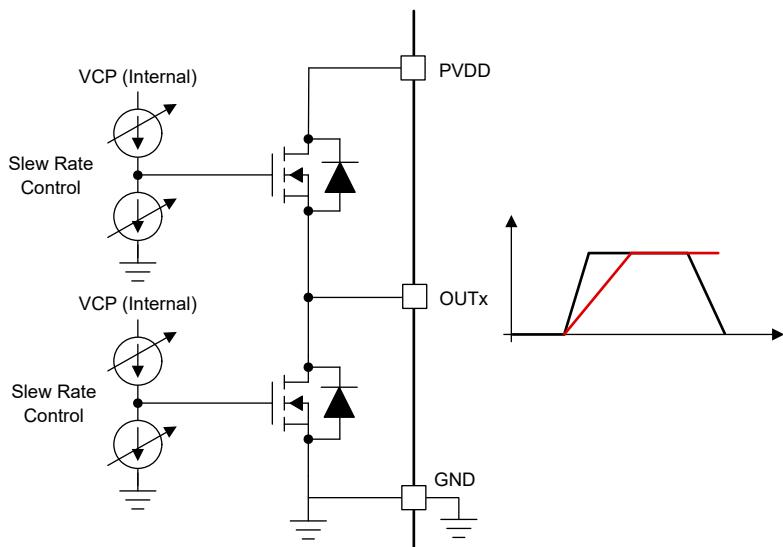


図 6-13. スルーレート回路の実装

スルーレートは、以下の 図 6-2 で SLEW ピンで調整できます。4 つのスルーレート設定が利用可能です。25V/μs、50V/μs、125V/μs、200V/μs。スルーレートは、OUTx ピンの電圧の立ち上がり時間と立ち下り時間によって計算されます (図 6-14 を参照)。

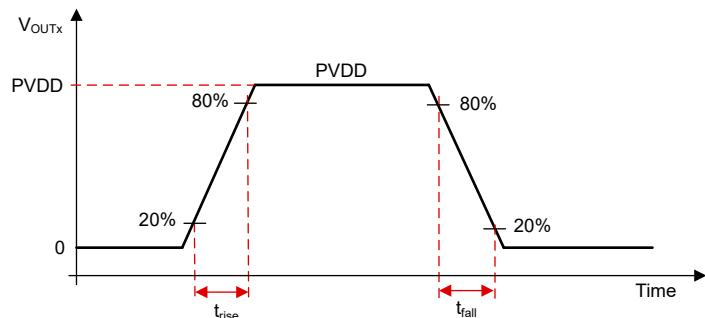


図 6-14. スルーレートタイミング

6.3.7 クロス導通(デッドタイム)

本デバイスは、MOSFET のあらゆるクロス導通から完全に保護されています。ハイサイド MOSFET とローサイド MOSFET のスイッチング中、DRV2911-Q1 はデッドタイム (t_{dead}) を挿入することで貫通電流イベントを防止します。これは、ハイサイドおよびローサイド MOSFET のゲート - ソース電圧 (VGS) を検出することで実行され、同じハーフブリッジのローサイド MOSFET (またはその逆) をオンにする前に、ハイサイド MOSFET の VGS がターンオフ レベルを確実に到達ようにしています (図 6-15 と 図 6-16 を参照)。

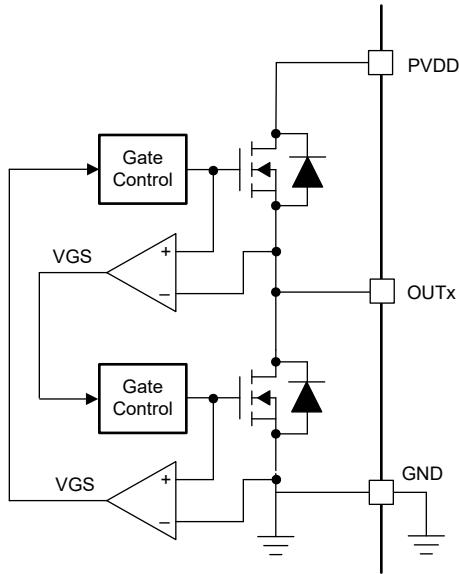


図 6-15. クロス導通保護

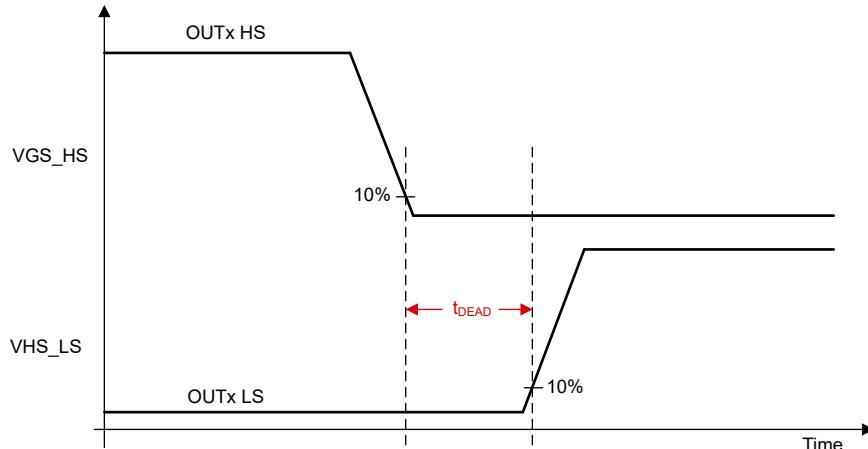


図 6-16. デッドタイム

6.3.8 伝搬遅延

伝播遅延時間 (t_{pd}) は、入力ロジック エッジからゲート ドライバ電圧での変化が検出されるまでの時間として測定されます。この時間はデジタル入力デグリッチャ遅延、アナログ ドライバ、コンパレータ遅延という 3 つの要素で構成されています。

入力デグリッチャは、入力ピンでの高周波ノイズがゲート ドライバの出力状態に影響するのを防止します。複数の制御モードをサポートするため、デバイス全体への入力コマンドの伝搬に伴い、わずかなデジタル遅延が追加されます。

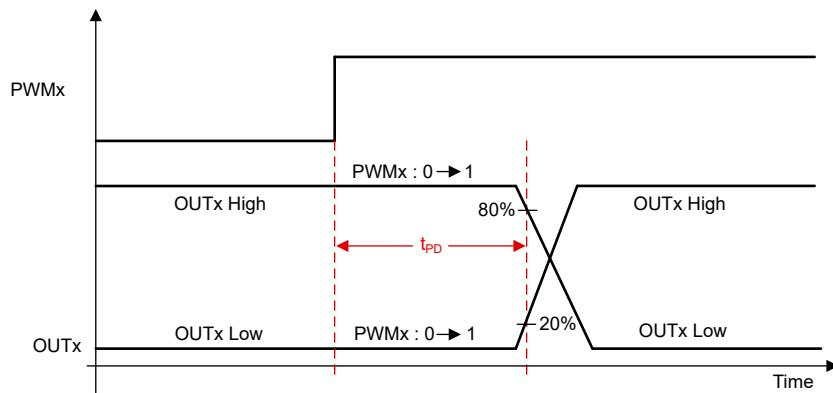


図 6-17. 伝搬遅延

6.3.9 保護

DRV2911-Q1 ファミリーのデバイスは、PVDD 低電圧、チャージ ポンプ低電圧、過電流イベントから保護されています。以下のセクションでは、さまざまな障害の詳細をまとめます。

6.3.9.1 PVDD 電源低電圧誤動作防止

PVDD ピンの入力電源電圧が V_{UVLO} スレッショルド (PVDD UVLO 立ち下がりスレッショルド) を下回ると、常にすべての内蔵 FET、ドライバ チャージポンプ、デジタル ロジック コントローラが無効化されます (図 6-18 を参照)。PVDD 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。

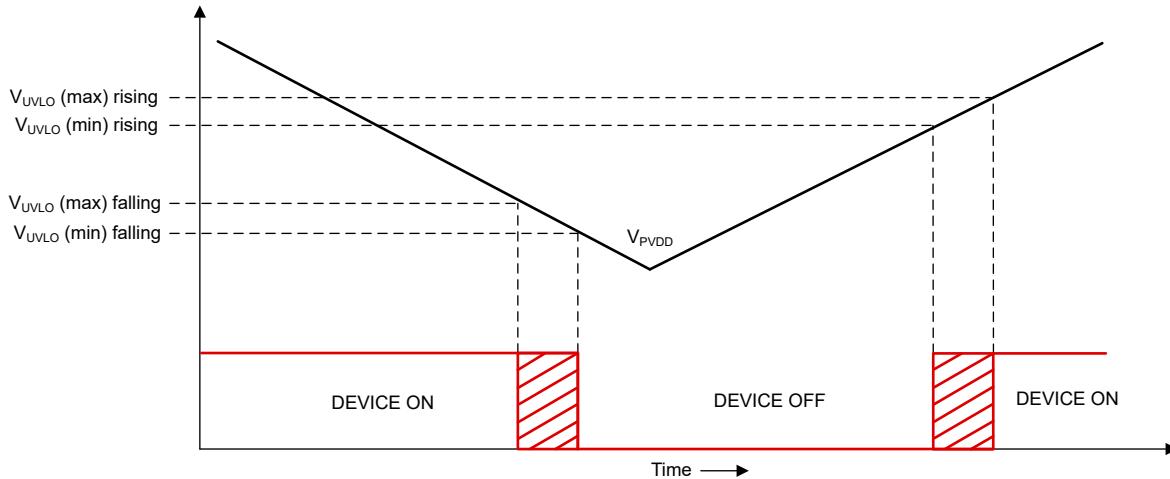


図 6-18. PVDD 電源低電圧誤動作防止

6.3.9.2 AVDD 低電圧誤動作防止

AVDD ピンの電圧が V_{AVDD_UV} スレッショルドを下回ると常に、内蔵 FET、ドライバ チャージポンプ、デジタル ロジック コントローラのすべてが無効化されます。AVDD 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。

6.3.9.3 VCP チャージポンプ低電圧誤動作防止

任意の時点で VCP ピン (チャージポンプ) の電圧が V_{CPUV} スレッショルド未満に低下した場合は、統合されているすべての FET が無効化され、FAULTZ ピンが low になります。VCP の低電圧状態が解消されると、通常動作が再開されます (ドライバの動作が再開され、FAULTZ ピンが解放される)。

6.3.9.4 過電流ラッチ保護

MOSFET 過電流イベントは、FET を流れる電流を監視することで検出されます。FET に流れる電流が t_{OCP} グリッチ除去時間よりも長く I_{OCP} スレッショルドを上回ると、OCP イベントが認識され、出力はラッチ シャットダウン状態になります。 I_{OCP} スレッショルドは OCP/SR ピンによって設定され、 t_{OCP_DEG} は $0.6\mu s$ です。

このモードで OCP イベントが発生すると、すべての MOSFET が無効化され、FAULTZ ピンが low に駆動されます。OCP 状態がクリアされると、通常のドライバ動作が再び開始され、FAULTZ ピンが解放されます。RESET パルス (t_{RST}) のため RESETZ ピンをトグルすることで、OCP 状態をクリアします。

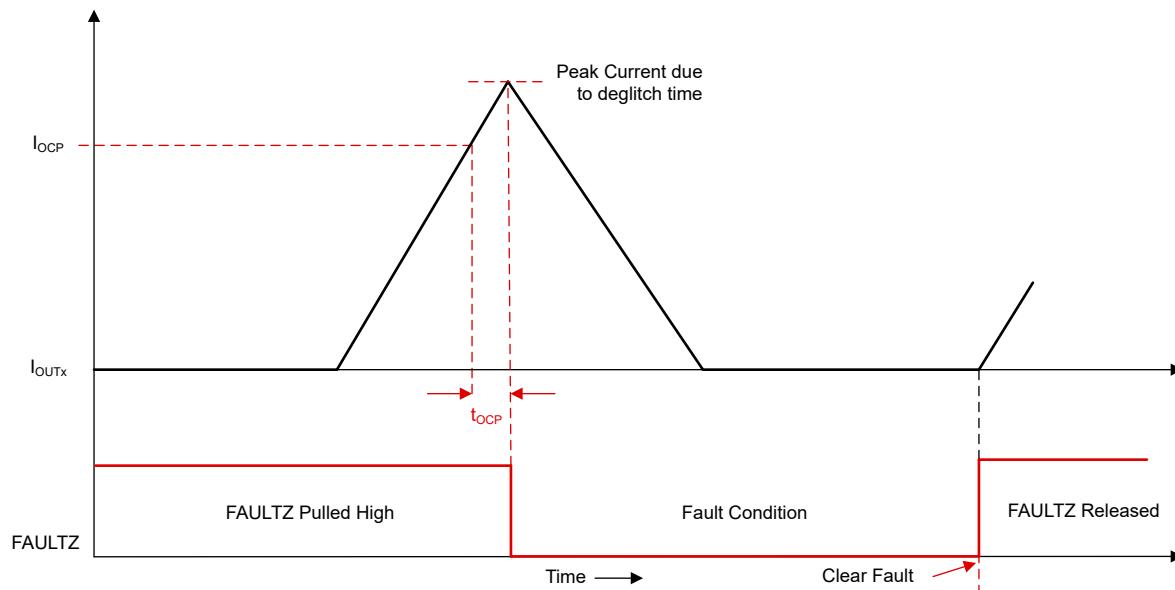


図 6-19. 過電流保護 - ラッチ シャットダウン モード

6.3.9.5 サーマル シャットダウン (OTSD)

DRV2911-Q1 には、サーマル シャットダウン用の 2 つのダイ温度センサが搭載されており、1 つは FET の近く、もう 1 つはダイの別の部分にあります。

6.3.9.5.1 OTSD FET

FET 付近のダイ温度がサーマル シャットダウン制限のトリップ ポイント (T_{TSD_FET}) を上回ると、すべての FET が無効化され、チャージ ポンプがシャットダウンされ、FAULTZ ピンが low になります。過熱状態が解消されると、通常動作が再開されます (ドライバの動作と FAULTZ ピンが解放されます)。この保護機能をディセーブルにすることはできません。

6.3.9.5.2 OTSD (非 FET)

デバイスのダイ温度がサーマル シャットダウン制限のトリップ ポイント (T_{TSD}) を上回ると、すべての FET が無効化され、チャージ ポンプがシャットダウンされ、FAULTZ ピンが low になります。過熱状態が解消されると、通常動作が再開されます (ドライバの動作と FAULTZ ピンが解放されます)。この保護機能をディセーブルにすることはできません。

6.4 デバイスの機能モード

6.4.1 機能モード

6.4.1.1 リセットモード

RESETZ ピンは、DRV2911-Q1 の状態を管理するピンです。RESETZ ピンが Low になると、デバイスは低消費電力のスリープモードに移行します。スリープモードでは、出力段、チャージポンプ、AVDD が無効化されます。RESETZ ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過するとデバイスがスリープモードに移行します。RESETZ ピンが High になると、デバイスのスリープモードは自動的に終了します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

スリープモード時や $V_{PVDD} < V_{UVLO}$ のときは、すべての MOSFET が無効になります。

注

RESETZ ピンを通してデバイスがパワーアップおよびパワーダウンしている間は、内部レギュレータが有効化または無効化されるため、FAULTZ ピンは low に保持されます。レギュレータが有効化または無効化された後、FAULTZ ピンは自動的に解放されます。FAULTZ ピンが Low になっている時間が t_{SLEEP} 時間または t_{WAKE} 時間を上回ることはできません。

注

FAULTZ が使われない場合でも、内部テストモードへの望ましくない移行を避けるため、プルアップを接続することを TI は推奨しています。FAULTZ をプルアップするために外部電源を使用する場合は、電源投入時に 2.2V 以上にプルアップされていることを確認してください。そうしないと、デバイスは内部テストモードになります。

6.4.1.2 動作モード

RESETZ ピンが high で、 V_{PVDD} 電圧が V_{UVLO} 電圧より大きい場合は、デバイスが動作モードに移行します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。このモードでは、チャージポンプと AVDD レギュレータがアクティブです。

6.4.1.3 フォルトリセット (RESETZ パルス)

デバイスのフォルト状態がラッチされている場合、DRV2911-Q1 は、パワー MOSFET とシステムを保護するために部分的シャットダウン状態に移行します。

障害状態が解消されると、RESETZ ピンにリセットパルスを送信することで、デバイスは再び動作状態に戻ることができます。RESETZ リセットパルス (t_{RST}) は、RESETZ ピンでの High → Low → High の遷移で構成されています。このシーケンスの Low 期間は t_{RST} 時間枠内に収める必要があります、そうしないとデバイスが完全なシャットダウンシーケンスを開始することになります(低電力スリープモード)。リセットパルスがレギュレータ、またはその他の機能ブロックに影響することはありません。

6.4.2 OUTOFF 機能

DRV2911-Q1 は、OUTOFF ピンを介してデジタルをバイパスしてプリドライバと MOSFET を無効化できます。OUTOFF ピンが High になると、出力 FET が無効化されます。RESETZ が high の際に OUTOFF が high になると、チャージポンプ、AVDD レギュレータがアクティブになり、OCP などのドライバ関連のフォルトは非アクティブになります。OUTOFF ピンは、PWMx 入力ピンの状態に関係なく、出力 FET を独立してディセーブルします。

注

OUTOFF ピンが独立して MOSFET を無効化するため、フォルト条件がトリガされ、FAULTZ が low にプルされます。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DRV2911-Q1 は、2 チップの超音波レンズ クリーニング システムまたは ULC システムで使用されるドライバです。MCT8316Z-Q1 は、DRV2911-Q1 コントローラ デバイスと組み合わせると、PWM 入力を受信し、ピエゾベースのレンズカバー システム (LCS) までクリーニング シーケンスを駆動できます。図 7-1 に示すように、LC フィルタを使用して LCS への出力信号をより高い電圧に昇圧することができます。

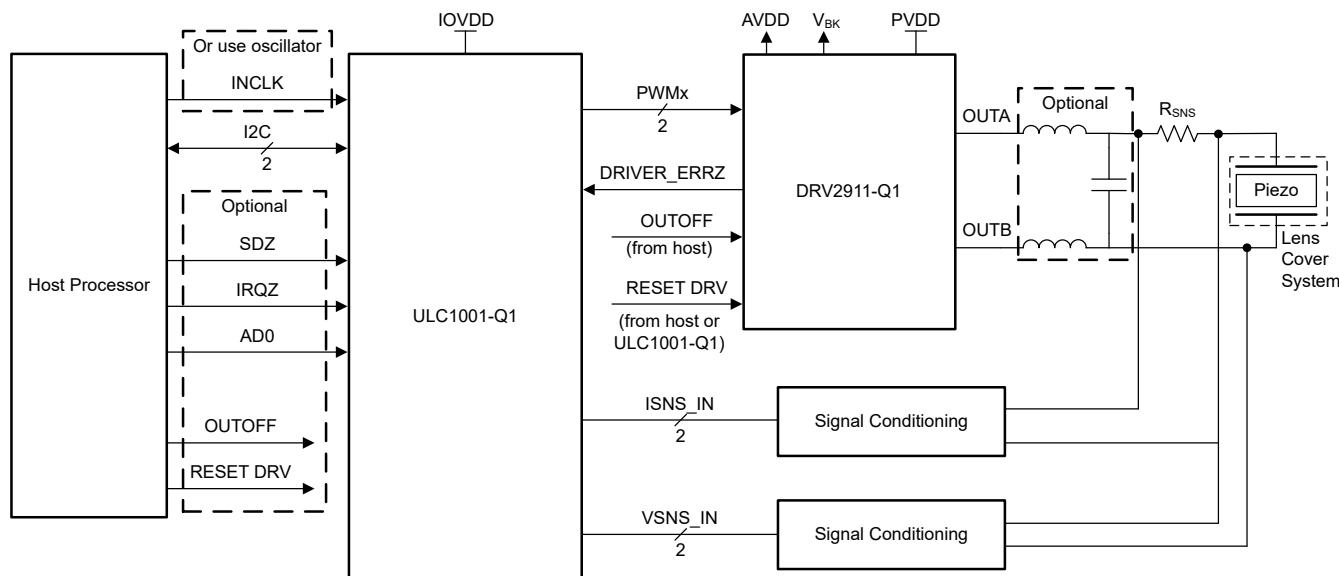


図 7-1. 超音波レンズ クリーニング アプリケーションのブロック図

7.2 代表的なアプリケーション

図 7-2 に、超音波レンズ クリーニング アプリケーションの回路図例を示します。以下の設計手順では、DRV2911-Q1 のセットアップ プロセスの概要を示します。

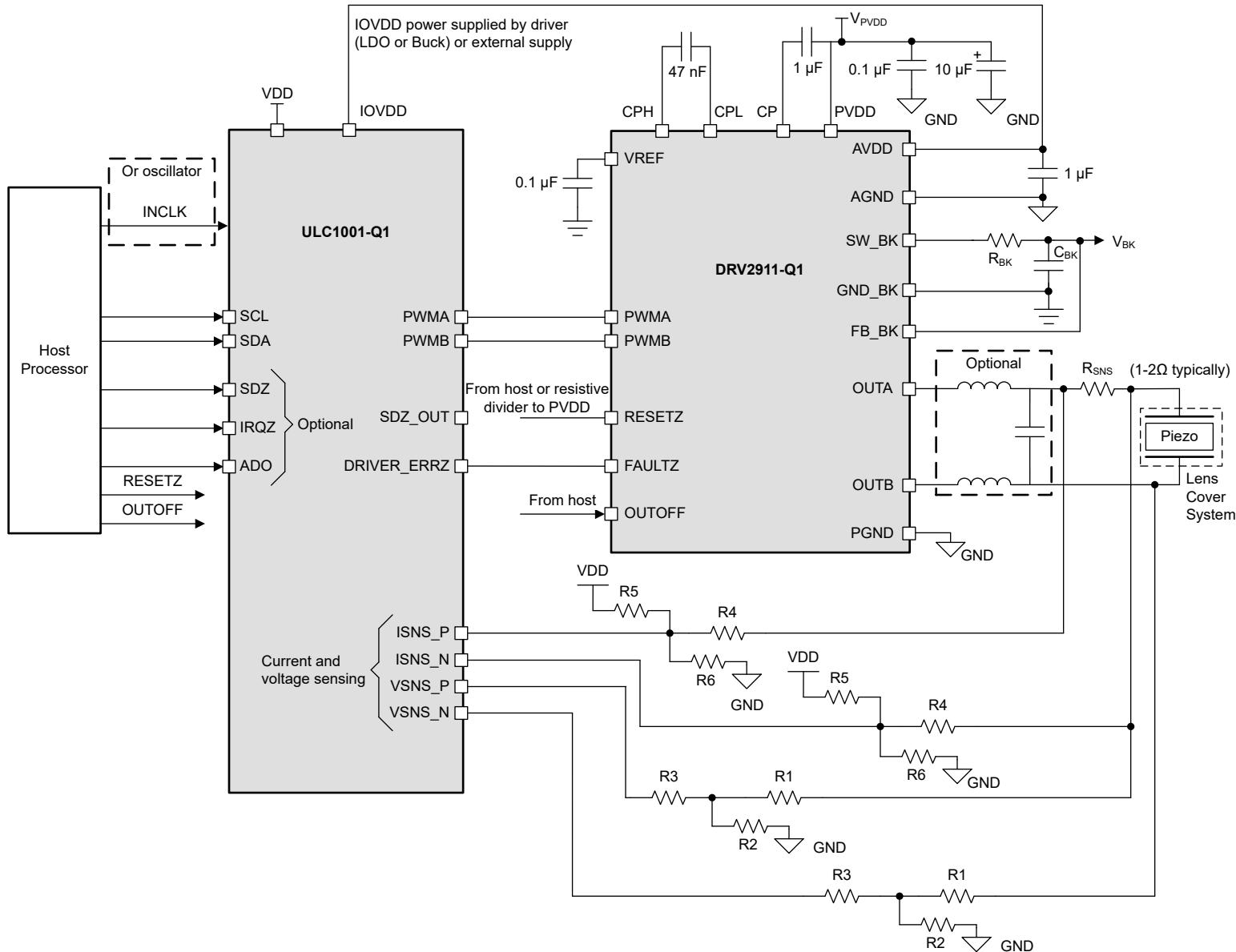


図 7-2. 超音波レンズ クリーニング回路図

7.2.1 設計手順

代表的な ULC アプリケーションでは、ホスト プロセッサを使用して ULC1001-Q1 コントローラを構成し、その後 DRV2911-Q1 へ PWM 信号を駆動します。DRV2911-Q1 の出力は、ピエゾベースの LCS を駆動する前に、LC フィルタ経由で渡すことができます。センス抵抗は、OUTA ドライバ出力と並んで配置され、コントローラ デバイスに戻る配線の両側に電流センス接続があります。さらに、LCS 両端の電圧センス接続はコントローラに配線されています。

DRV2911-Q1 の AVDD ピンを使用して ULC1001-Q1 に電力を供給する場合、ホスト プロセッサを使用して DRV2911-Q1 RESETZ ピンを制御する必要があります。または、PVDD への抵抗分圧器を使用して RESETZ を high に設定する

こともできます。低消費電力リセット モード (**RESETZ = low**) では、AVDD が無効化され、ULC1001-Q1 がパワーダウンされます。

ULC1001-Q1 に独立した電源を使用する場合、SDZ_OUT ピンを RESETZ に接続することで、ULC_TX_mode_cfg2 レジスタを使用して DRV2911-Q1 の機能モードを制御できます。スルーおよび OCP の追加の DRV2911-Q1 ハードウェア インターフェイスピン設定については、[ハードウェア インターフェイス](#) に概説しており、システム設計によって異なります。

表 6-1 に、回路図 [図 7-2](#) に示す受動部品の推奨事項の概要を示します。

最後に、LCS を駆動するために必要な電流および電圧レベルに基づいて R1 ~ R6 の抵抗値を設定する必要があります。詳細については、次のセクション [セクション 7.2.2](#) を参照してください。R5 は ULC1001-Q1 から VDD 電源 (1.8V) にプルアップされます。

7.2.2 電圧や電流のセンス回路

ULC1001-Q1 電流および電圧センスアンプへの各入力では、トランジスタの両端の高電圧を 0V から 0.9V に下げるための分圧器が必要です。電流および電圧センスアンプの回路図を 図 7-3 に示します。ここで、I センスアンプと V センスアンプの部品は ULC1001-Q1 の内蔵部品です。分圧器に使用する抵抗は、電力測定で高い精度を得るために公差 0.1% である必要があります。3 つのスケール係数 (USER_Params_ohms_sf_Q22、USER_Params_watts_sf_Q18、および USER_Params_Img_max_sf_Q27) を使用して、測定値を電力、インピーダンス、電流の値に変換します。次の式を使用して、スケール係数と、電流および電圧センスアンプのゲインを決定します。表 7-1 一般的な電圧レベルに対応する標準的な抵抗値を格納します。

注

VDD と GND の間の等価抵抗は $\geq 4\text{k}\Omega$ である必要があります。 R_F は $84\text{k}\Omega$ に固定されています。

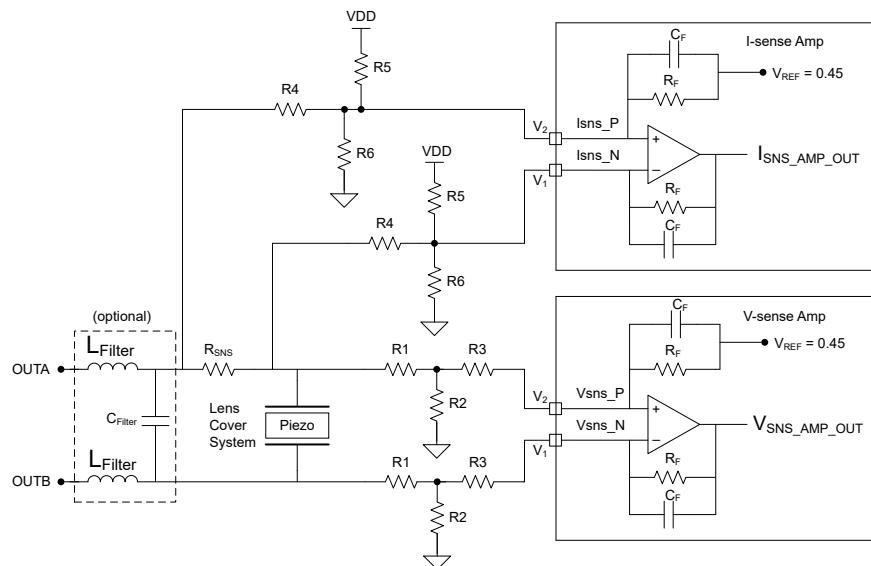


図 7-3. 電圧/電流センスアンプ

$$\text{USER_Params_ohms_sf_Q22} = \frac{\text{ISNS}_{\text{GAIN}}}{\text{VSNS}_{\text{GAIN}}} \quad (5)$$

$$\text{USER_Params_watts_sf_Q18} = \frac{1}{\text{VSNS}_{\text{GAIN}}} \times \frac{1}{\text{ISNS}_{\text{GAIN}}} \times 0.2025 \quad (6)$$

$$\text{USER_Params_Img_max_sf_Q27} = \frac{0.9}{\text{ISNS}_{\text{GAIN}}} \quad (7)$$

$$\text{ISNS}_{\text{GAIN}} \left(\frac{V}{A} \right) = \frac{R_f \times R_{SNS}}{R_4} \quad (8)$$

$$\text{VSNS}_{\text{GAIN}} \left(\frac{V}{V} \right) = 1.043 \times \frac{R_f}{R_1 \times R_3 \times \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} \right)} \quad (9)$$

表 7-1. 電圧および電流センス抵抗のリファレンス値

$R_5 = 6\text{k}\Omega$, $R_6 = 2\text{k}\Omega$

差動電圧 (pk-pk)	R1	R2	R3	R4
460	$1.3\text{M}\Omega$	$6.34\text{k}\Omega$	$294\text{k}\Omega$	$422\text{k}\Omega$
90	$360\text{k}\Omega$	$30\text{k}\Omega$	$1\text{M}\Omega$	$150\text{k}\Omega$

表 7-1. 電圧および電流センス抵抗のリファレンス値 (続き)

R5 = 6k Ω , R6 = 2k Ω

差動電圧 (pk-pk)	R1	R2	R3	R4
40	150k Ω	30k Ω	1M Ω	150k Ω

7.3 電源に関する推奨事項

7.3.1 バルク コンデンサ

適切なローカル バルク容量を持つことは、最適なドライバ パフォーマンスを実現するための重要な要素です。一般に、バルクコンデンサが大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量は、次のようなさまざまな要因で決まります。

- システムで必要な最大電流
- 電源の容量と電流能力
- 電源と負荷との間に寄生インダクタンスの大きさ
- 許容される電圧リップル

電源と駆動システムの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル バルク容量が小さすぎると、大電流を供給しようとする場合、システムの電圧が変動します。十分なバルク容量を使うことで、出力電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルクコンデンサの容量が適切かどうかを判断するには、システムレベルのテストが必要です。

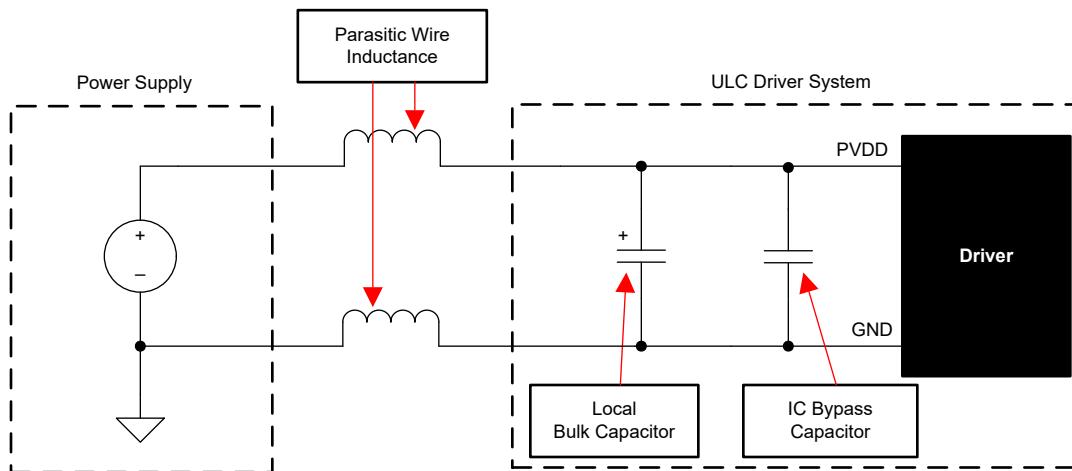


図 7-4. 外部電源を使用した ULC 駆動システムの構成例

最適なドライバ パフォーマンスのマージンを確保するため、バルクコンデンサの定格電圧は動作電圧より高くする必要があります。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

バルク コンデンサは、ドライバを通るパスの距離ができるだけ短くなるように配置する必要があります。接続用の金属パターンはできる限り幅を広くし、PCB 層を接続する際には多数のビアを使用する必要があります。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが瞬時に高い電流を供給できるようになります。

チャージ ポンプ、AVDD、VREF コンデンサなどの値の小さいコンデンサはセラミックであり、デバイス ピンに近づけて配置されます。

大電流デバイス出力には、幅の広い金属パターンを使用してください。

大きい過渡電流から小電流信号バスへのノイズ結合および EMI 干渉を低減するために、PGND と AGND のグランドは分割する必要があります。寄生効果を低減し、デバイスの消費電力を改善するために、電力段以外のすべての回路 (サーマル パッドを含む) を AGND に接続することを推奨します。電圧オフセットを低減し、ゲート ドライバの性能を維持するため、各グランドは、ネット タイまたは幅広の抵抗を使って接続します。

本デバイスのサーマル パッドは、PCB の最上層のグランド プレーンにはんだ付けする必要があります。複数のビアを使用して最下層の大きなグランド プレーンに接続する必要があります。大きな金属プレーンと複数のビアを使うと、本デバイス内で発生する電力損失を放散するのに有利です。

放熱性を高めるため、サーマル パッド グランドに接続されたグランド領域を、PCB の全層にわたって最大化します。厚い銅のベタ パターンを使うと、接合部から外気への熱抵抗が下がり、ダイ表面からの放熱性が改善されます。

SW_BK パターンと FB_BK パターンのグランドを分離して、降圧スイッチングがノイズとして降圧の外部帰還ループに結合するのを低減します。負荷切り替えを高速化できるように、FB_BK パターンをできるだけ広くします。

図 7-5 に、DRV2911-Q1 のレイアウト例が示されています。

7.4.2 レイアウト例

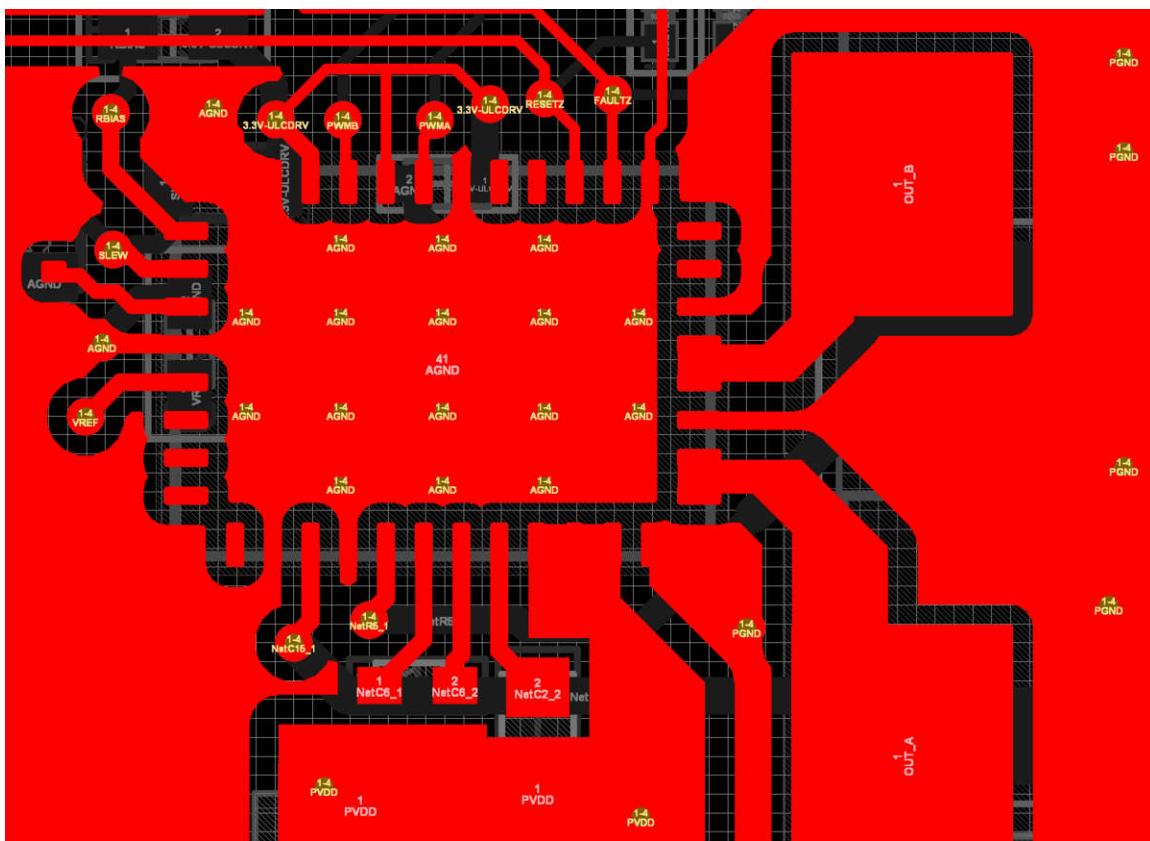


図 7-5. VQFN パッケージの推奨レイアウト例

7.4.3 热に関する注意事項

DRV2911-Q1 は、前述のようにサーマル シャットダウン機能 (TSD) を備えています。ダイ温度が 165°C を超えると、ダイ温度が安全なレベルに低下するまで、本デバイスの機能は(最小限に)無効化されます。

何度もサーマル シャットダウンが作動する場合、それは、消費電力が過大である、放熱が不十分である、周囲温度が高すぎる、のいずれかであることを示しています。

7.4.3.1 電力散逸

DRV2911-Q1 の電力損失には、スタンバイ電力損失、LDO の電力損失、FET の導通損失とスイッチング損失、ダイオード損失が含まれます。FET の導通損失は、DRV2911-Q1 の合計消費電力の大部分を占めます。デバイスの合計消費電力は、互いに追加された 2 つのハーフブリッジのそれぞれで消費される電力です。本デバイスが消費して放散できる電力の最大値は、周囲温度とヒートシンクの影響を受けます。RDS、ON は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。PCB とヒートシンクを設計する際には、この点を考慮に入れてください。

各損失の計算式の概要を [表 7-2](#) に示します。

表 7-2. DRV2911-Q1 の電力損失の近似値

損失の種類	おおよその電力損失の計算
スタンバイ消費電力	$P_{\text{standby}} = V_{\text{PVDD}} \times I_{\text{PVDD_TA}}$
LDO	$P_{\text{LDO}} = (V_{\text{PVDD}} - V_{\text{AVDD}}) \times I_{\text{AVDD}}$
FET の導通	$P_{\text{CON}} = 2 \times (I_{\text{PK}})^2 \times R_{\text{ds, on(TA)}}$
FET のスイッチング	$P_{\text{SW}} = I_{\text{PK}} \times V_{\text{PVDD}} \times t_{\text{rise/fall}} \times f_{\text{PWM}}$
ダイオード	$P_{\text{diode}} = 2 \times I_{\text{PK}} \times V_{F(\text{diode})} \times t_{\text{DEADTIME}} \times f_{\text{PWM}}$

8 デバイスおよびドキュメントのサポート

8.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- EVM ページ [ULC1001-DRV2911-EVM](#)
- 『熱特性強化型パッケージ PowerPAD™』、[SLMA002](#)
- 『PowerPAD™ の簡単な使用法』、[SLMA004](#)

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision * (June 2024) to Revision A (July 2025)	Page
• ピン 32 を:AVDD から「ピン構成および機能」の AGND に変更.....	3

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあります。ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV2911QRGFRQ1	Active	Production	VQFN (RGF) 40	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	D2911Q1
DRV2911QRGFRQ1.A	Active	Production	VQFN (RGF) 40	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	D2911Q1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

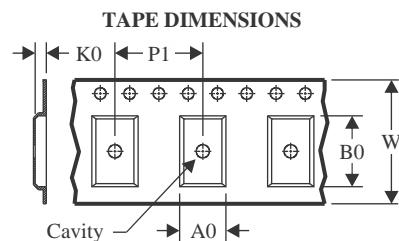
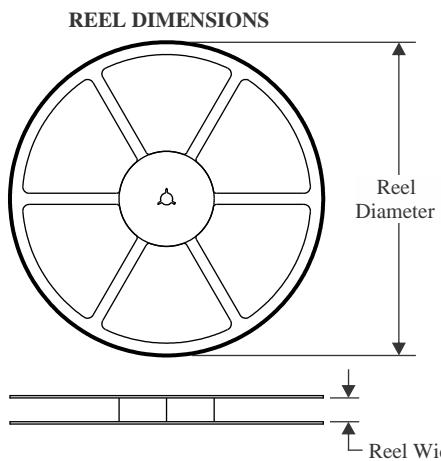
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

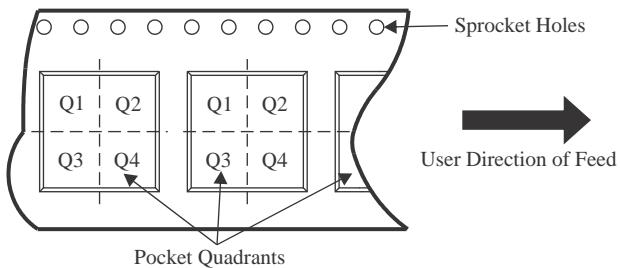
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



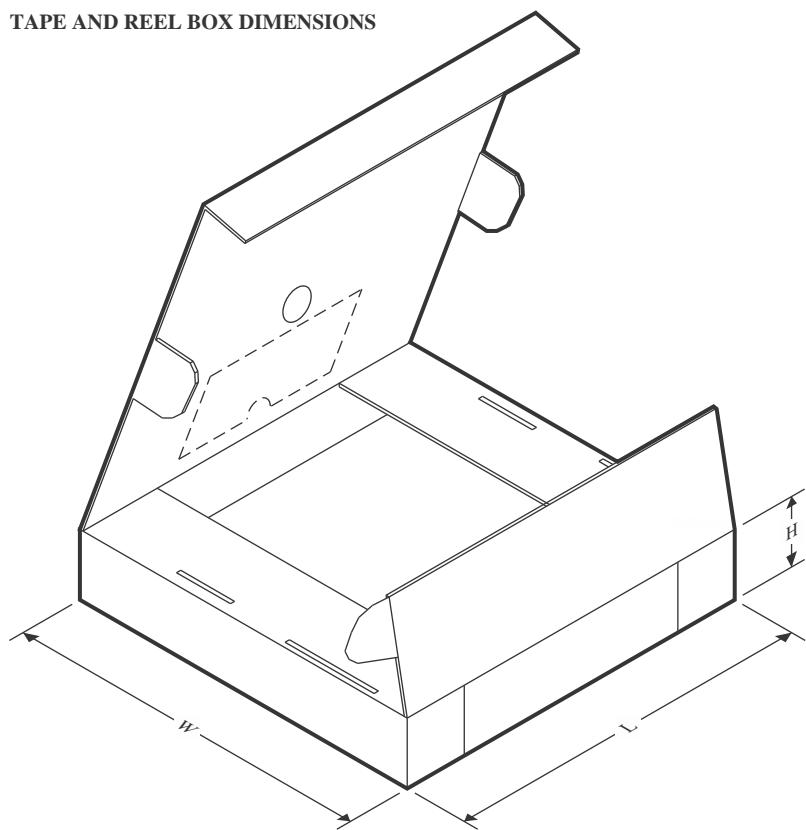
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV2911QRGFRQ1	VQFN	RGF	40	3000	330.0	16.4	5.25	7.25	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV2911QRGFRQ1	VQFN	RGF	40	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

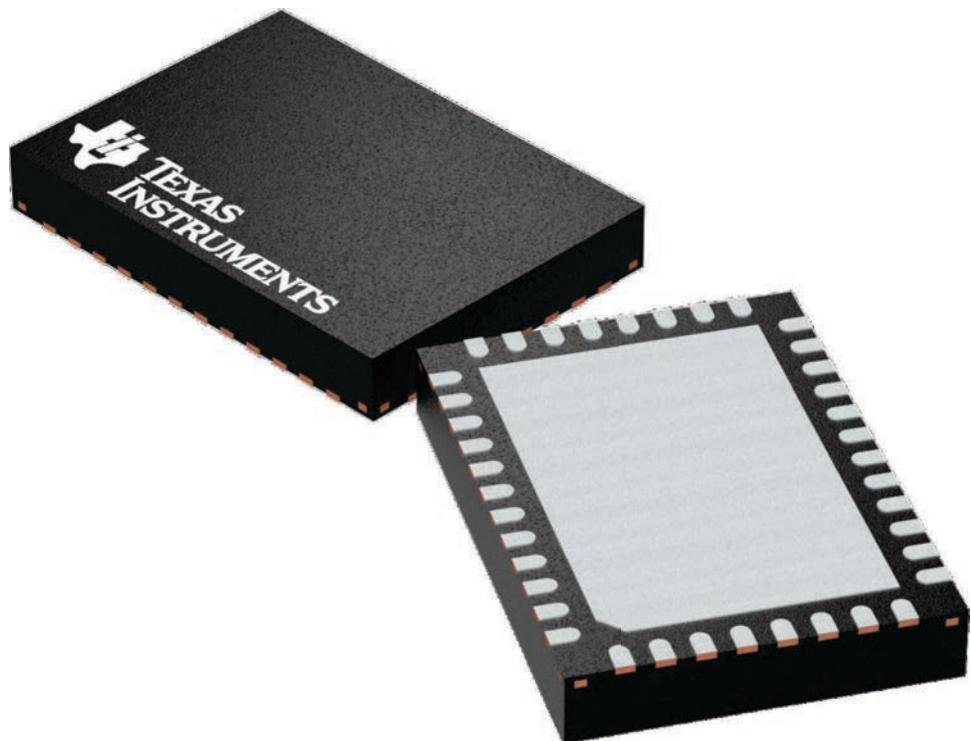
RGF 40

VQFN - 1 mm max height

5 x 7, 0.5 mm pitch

PLASTIC QUAD FLAT PACK- NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



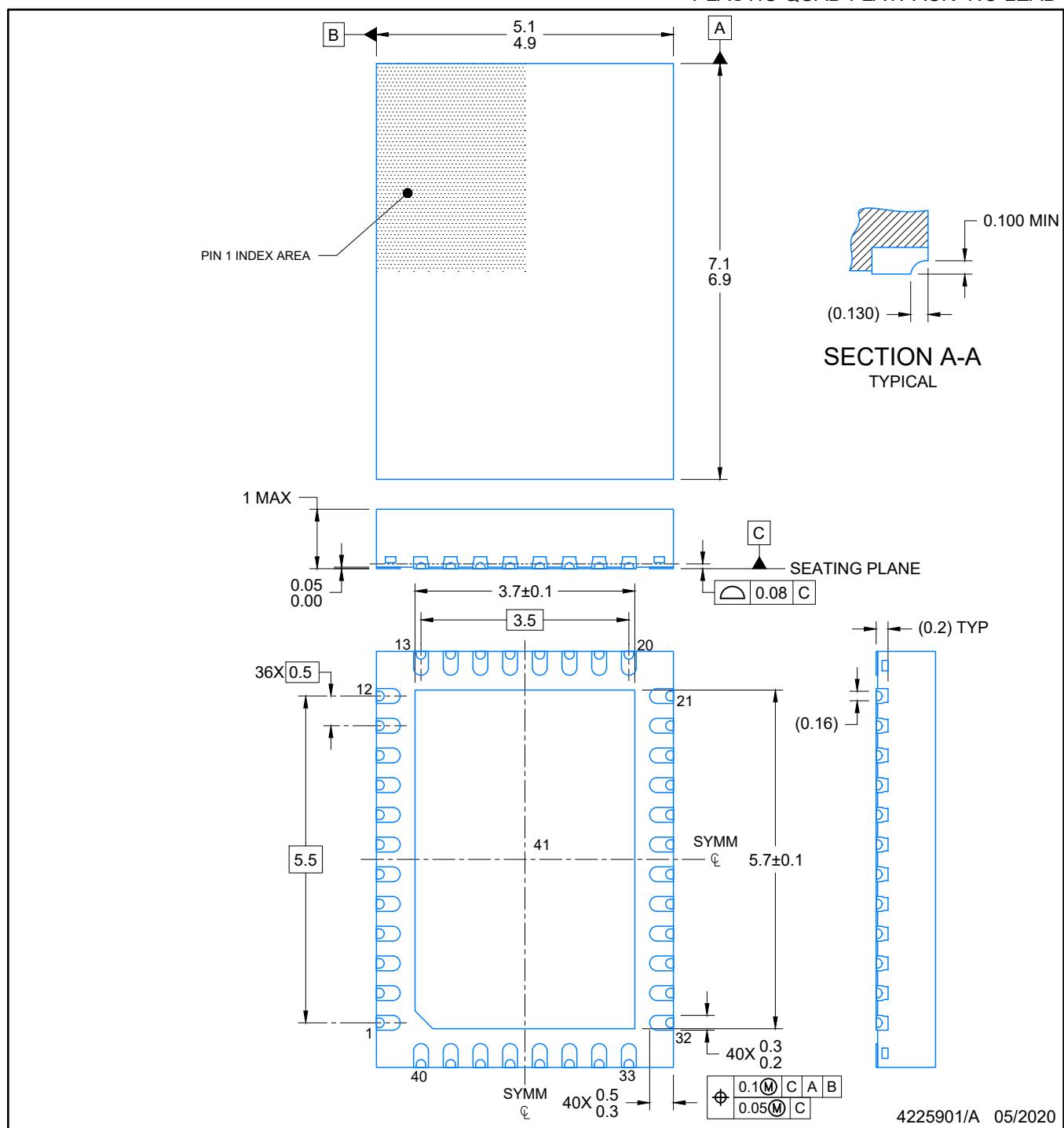
4225115/A

PACKAGE OUTLINE

VQFN - 1 mm max height

RGF0040F

PLASTIC QUAD FLATPACK- NO LEAD



NOTES:

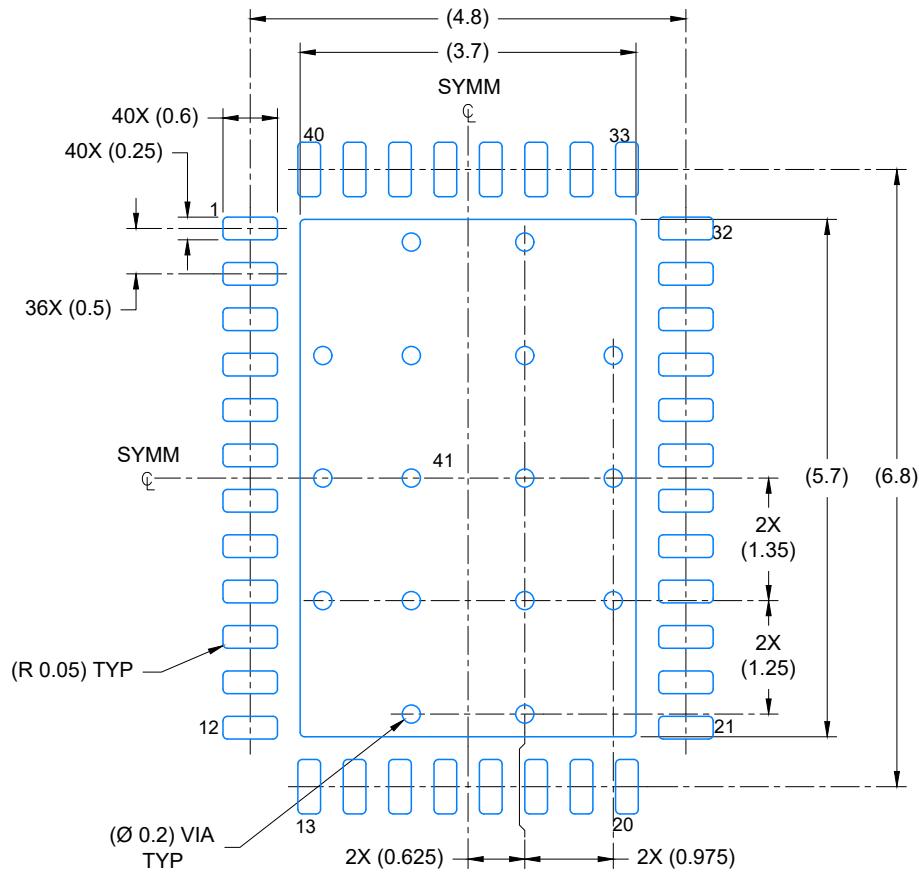
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VQFN - 1 mm max height

RGF0040F

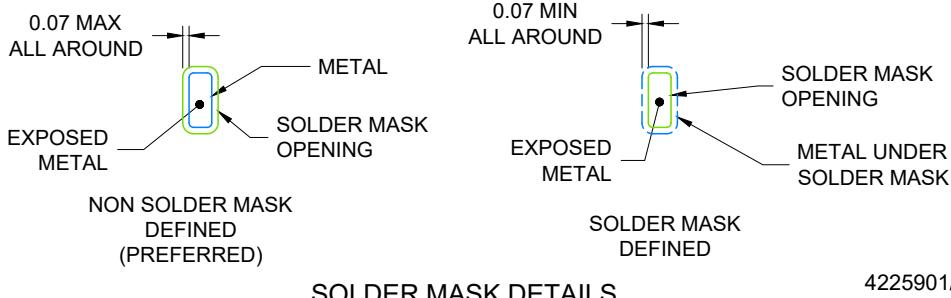
PLASTIC QUAD FLATPACK- NO LEAD



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 12X



SOLDER MASK DETAILS

4225901/A 05/2020

NOTES: (continued)

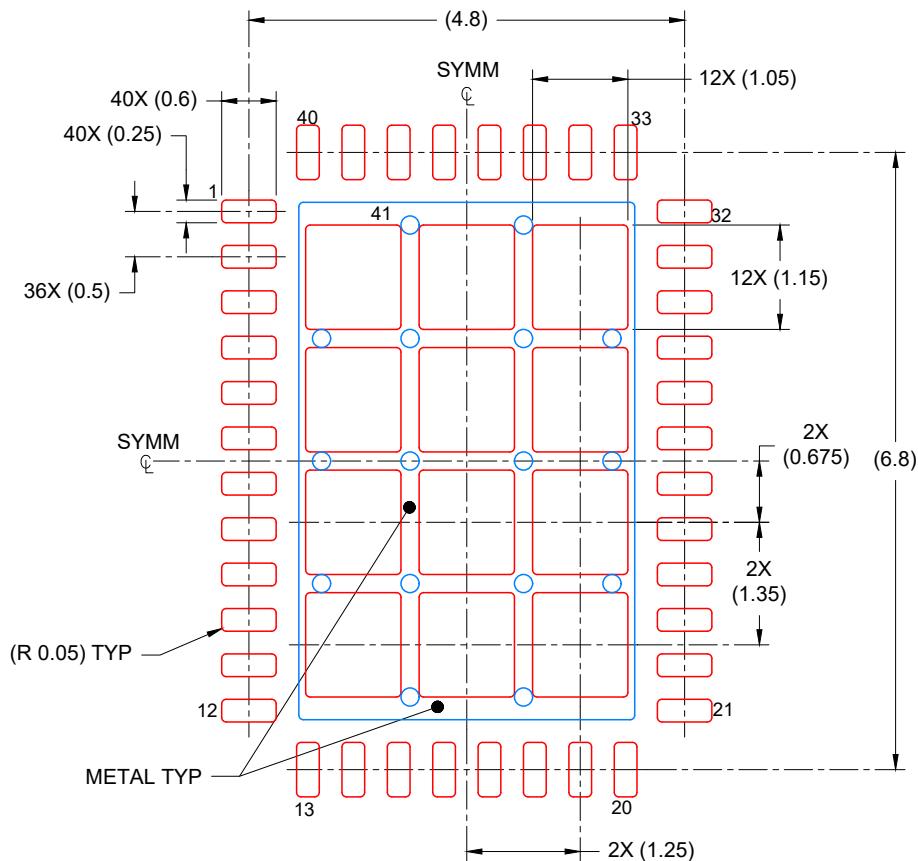
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VQFN - 1 mm max height

RGF0040F

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
69% PRINTED COVERAGE BY AREA
SCALE: 12X

4225901/A 05/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月