

DRV81004-Q1 : 4 チャンネル、40V、700mΩ、包括的に保護されたローサイドドライバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1: -40°C ~ +125°C、T_A
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- アナログ電源電圧: **3V~40V**
 - クランク機能: 最小 3V
 - LV124 車載規格をサポート
- デジタル電源電圧: **3V~5.5V**
 - 3.3V および 5V マイクロコントローラと互換
- ドレインソース間のクランプ電圧: 最小 **42V**
- R_{DS(ON)}: 12V、25°C時の代表値 **700mΩ**
- 電流: すべてのチャンネルがオンの場合、85°C時に出力ごとに **470mA**
- マッピング機能を備えた **2 個の並列入力**
- リンプ ホーム モードでのフェイルセーフ起動
 - nSLEEP および IN ピンの使用
- 低消費電流のスリープ モード
 - nSLEEP ピンを使用して T_J ≤ 85°C に対して 2.7μA 未満
- 制御および診断用の 16 ビット SPI インターフェイス
 - デイジー チェーン機能
 - 8 ビット SPI デバイスと互換
- 各種**保護機能**をサポート -
 - バッテリ逆接続保護内蔵
 - グランドおよびバッテリ短絡保護
 - 低電圧条件での安定した動作
 - 過電流ラッチオフ
 - 過熱警告
 - サーマル シャットダウン ラッチオフ
 - 過電圧保護
 - バッテリ喪失およびグランド喪失時の保護
 - 静電気放電 (ESD) 保護
- 各種**診断機能**をサポート -
 - SPI レジスタを介した診断情報
 - オン状態での過負荷検出
 - オフ状態でのオープン負荷検出
 - 入力および出力ステータス モニタ

2 アプリケーション

- **ゾーン制御モジュール (ZCM)**
- **車載用ボディコントロール モジュール (BCM)**
- **HVAC 制御**
- **オートモーティブ ライティング**
- **ガソリン / ディーゼル エンジン**
- **車両制御ユニット (VCU)**
- **プログラマブル ロジック コントローラ (PLC)**
- **空気弁**
- **汎用リレー ドライバ**

3 概要

DRV81004-Q1 は、保護および診断機能を内蔵した 4 チャンネル ローサイドドライバです。本デバイスは、車載および産業用アプリケーションのリレーを制御するために特に設計されています。

負荷と本デバイスの制御と診断のために、デイジー チェーン機能付きの SPI (Serial Peripheral Interface) を利用しています。マッピング機能を持つ 2 つの入力ピンを利用して、出力を直接 PWM 制御できます。本デバイスは、フェイルセーフ起動のためのリンプ ホーム モードをサポートしています。

DRV81004-Q1 の各ローサイド スイッチのオン抵抗は 700mΩ です。4 つのチャンネルのすべてが同時にオンのとき、本デバイスは出力ごとに 470mA の電流をサポートできます。各出力に関連するクランプ回路は、誘導性負荷をオフにする際に蓄積されるエネルギーを消散します。

DRV81004-Q1 は、低電圧、過電圧、短絡、開放負荷検出などの各種保護機能をサポートしています。保護および診断機能を内蔵し、高度に統合された DRV81004-Q1 は、車載用ボディおよびパワートレイン アプリケーションや、産業用リレー制御アプリケーションに最適です。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ (公称)
DRV81004QPWPR Q1	HTSSOP (14)	5.0mm × 6.4mm	4.9mm × 3.9mm

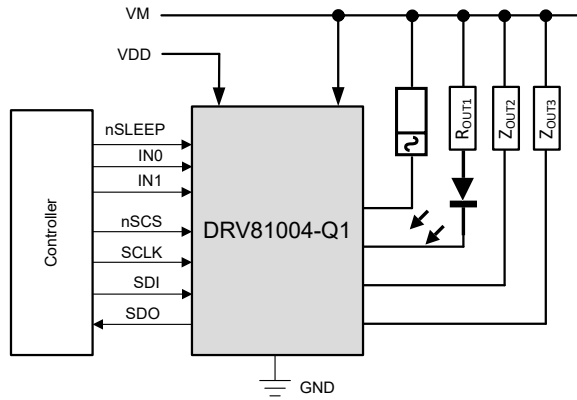
(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



DRV81004-Q1

JAJSVQ6B – NOVEMBER 2024 – REVISED JANUARY 2025



概略回路図

目次

1 特長.....	1	6.2 機能ブロック図.....	15
2 アプリケーション.....	1	6.3 機能説明.....	16
3 概要.....	1	7 アプリケーションと実装.....	40
4 ピン構成および機能.....	4	7.1 アプリケーション情報.....	40
5 仕様.....	5	7.2 レイアウト.....	42
5.1 絶対最大定格.....	5	8 デバイスおよびドキュメントのサポート.....	43
5.2 ESD 定格.....	6	8.1 ドキュメントの更新通知を受け取る方法.....	43
5.3 推奨動作条件.....	6	8.2 サポート・リソース.....	43
5.4 熱に関する情報.....	6	8.3 商標.....	43
5.5 電気的特性.....	7	8.4 静電気放電に関する注意事項.....	43
5.6 代表的特性.....	11	8.5 用語集.....	43
6 詳細説明.....	14	9 改訂履歴.....	43
6.1 概要.....	14	10 メカニカル、パッケージ、および注文情報.....	44

4 ピン構成および機能

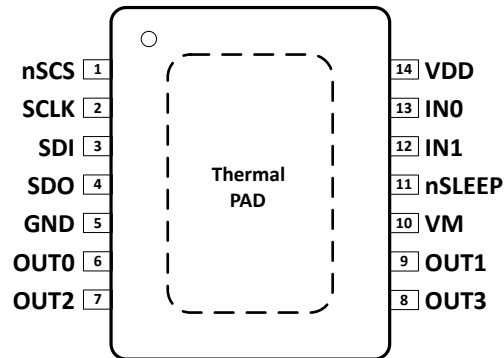


図 4-1. 14 ピン HTSSOP (PWP) 上面図

表 4-1. ピンの機能

ピン		タイプ	概要
名称	番号		
VM	10	P	出力段と保護回路のアナログ電源電圧
VDD	14	P	SPI デジタル電源電圧
GND	5	G	グラウンドピン
nSCS	1	I	シリアルチップ選択。このピンを Low にするとシリアルインターフェイス通信が有効になります。VDD に統合プルアップ。
SCLK	2	I	シリアルクロック入力。シリアルデータは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフトアウトおよびキャプチャされます。GND に統合プルダウン。
SDI	3	I	シリアルデータ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。GND に統合プルダウン。
SDO	4	O	シリアルデータ出力。データは、SCLK ピンの立ち上がりエッジでシフトアウトされます。
nSLEEP	11	I	ロジック High にすると、アイドルモードがアクティブになります。GND に統合プルダウン。
IN0	13	I	デフォルトでチャンネル 2 に接続し、リンプホームモードで使用しています。GND に統合プルダウン。
IN1	12	I	デフォルトでチャンネル 3 に接続し、リンプホームモードで使用しています。GND に統合プルダウン。
OUT0	6	O	ローサイド FET のドレイン (チャンネル 0)
OUT2	7	O	ローサイド FET のドレイン (チャンネル 2)
OUT3	8	O	ローサイド FET のドレイン (チャンネル 3)
OUT1	9	O	ローサイド FET のドレイン (チャンネル 1)
PAD	-	-	露出パッド。冷却および EMC のため、露出したパッドを PCB グラウンドに接続します。

I = 入力、O = 出力、I/O = 入力または出力、G = グラウンド、P = 電源。

5 仕様

5.1 絶対最大定格

$T_J = -40\text{ }^\circ\text{C} \sim 150\text{ }^\circ\text{C}$ 、すべてのグラウンドを基準とした電圧、ピンに流れ込む正電流 (特に記述のない限り)

		最小値	最大値	単位
V_M	アナログ電源電圧	-0.3	42	V
V_{DD}	デジタル電源電圧	-0.3	5.75	V
V_{M_LD}	ロードダンプ保護の電源電圧		42	V
V_{M_SC}	短絡保護の電源電圧	0	28	V
$-V_{M_REV}$	逆極性電圧、 $T_J(0) = 25\text{ }^\circ\text{C}$ 、 $t_{\leq 2}$ 最小値、 $R_L = 70\Omega$ をすべてのチャネルで実現	-	18	V
I_{VM}	VM ピンを流れる電流、 $t_{\leq 2}$ 最小値	-10	10	mA
$ I_L $	負荷電流、シングルチャネル	-	I_{L_OCP0}	A
V_{DS}	パワー FET の電圧	-0.3	42	V
E_{AS}	最大エネルギー消費の単一パルス、 $T_J(0) = 25\text{ }^\circ\text{C}$ 、 $I_L(0) = 2 * I_{L_EAR}$	-	50	mJ
E_{AS}	最大エネルギー消費の単一パルス、 $T_J(0) = 150\text{ }^\circ\text{C}$ 、 $I_L(0) = 400\text{mA}$	-	25	mJ
E_{AR}	反復パルスの最大エネルギー散逸 $-I_{L_EAR}$ 、 $2 * 10^6$ cycles、 $T_J(0) = 85\text{ }^\circ\text{C}$ 、 $I_L(0) = I_{L_EAR}$	-	10	mJ
V_I	IN0、IN1、nSCS、SCLK、SDI の各ピンの電圧	-0.3	5.75	V
V_{nSLEEP}	nSLEEP ピンの電圧	-0.3	42	V
V_{SDO}	SDO ピンの電圧	-0.3	$V_{DD} + 0.3$	V
T_A	周囲温度	-40	125	$^\circ\text{C}$
T_J	接合部温度	-40	150	$^\circ\text{C}$
T_{stg}	保存温度	-55	150	$^\circ\text{C}$

- 短絡保護機能は、28V を超える短絡インダクタンス $1\mu\text{H}$ をサポートしていません
- ロードダンプは、 $t_{ON} = 400\text{ms}$ 、 $t_{ON}/t_{OFF} = 10\%$ 、100 パルスに制限されています。
- 逆極性の場合、すべてのチャネルで $T_J(0) = 25\text{ }^\circ\text{C}$ 、 $t_{\leq 2}$ 最小値、 $R_L = 70\Omega$ です。デバイスは JEDEC JESD51-2、-5、-7 に従って自然対流の FR4 2s2p 基板に実装されています。製品 (Chip + パッケージ) は、2 つの内銅層 ($2 * 70\mu\text{m Cu}$ 、 $2 * 35\mu\text{m Cu}$) を持つ $76.2 * 114.3 * 1.5\text{mm}$ 基板上でシミュレーションされました。該当する場合、露出パッドの下のサーマルビアアレイが最初の内側の銅層に接触しています。
- 最大エネルギー消費を得るために、パルス形状は誘導性スイッチオフを表します。 $I_L(t) = I_L(0) * (1 - t/t_{pulse})$; $0 < t < t_{pulse}$ 。
- 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- 故障状態は、「通常の動作範囲外」と見なされます。

5.2 ESD 定格

				値	単位
V _{ESD}	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ 準拠	OUT ピンと VM または GND の関係	±4000	V
			その他のピン	±2000	
		荷電デバイス モデル (CDM)、AECQ100-011 準拠	コーナー ピン (1、7、8、14)	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{M_NOR}	通常動作の電源電圧範囲	4	-	40	V
V _{M_LOW}	より低い電源電圧範囲で動作するため、パラメータ偏差も可能	3	-	4	V
V _{DD}	ロジック電源電圧	3	-	5.5	V
V _I	制御および SPI 入力 (nSLEEP、IN0、IN1、nSCS、SCLK、SDI)	0	-	5.5	V
T _A	周囲温度	-40	-	125	°C
T _J	接合部温度	-40	-	150	°C

5.4 熱に関する情報

熱評価基準		PWP (HTSSOP)	単位
		14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	43	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	44.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	21	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	3.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	20.9	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	10.1	°C/W

- 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。
- °C/W = 摂氏温度 / ワット。
- これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。消費電力は 2W、周囲温度は 70°C と仮定しています。詳細については、以下の EIA/JEDEC 規格を参照してください。
 - 『JESD51-2、IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
 - 『JESD51-3、リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
 - 『JESD51-7、リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
 - 『JESD51-9、エリア アレイ表面実装パッケージの熱測定用のテスト基板』

5.5 電気的特性

$V_{DD} = 3\text{ V} \sim 5.5\text{ V}$ 、 $V_M = 4\text{ V} \sim 40\text{ V}$ 、 $T_J = -40\text{ }^\circ\text{C} \sim +150\text{ }^\circ\text{C}$ (特に記述のない限り)

標準値: $V_{DD} = 5\text{ V}$ 、 $V_M = 13.5\text{ V}$ 、 $T_J = 25\text{ }^\circ\text{C}$

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源電圧 (V_M , V_{DD})							
V_{M_OP}	V_M 最小動作電圧	$ENx = 1b$, $UVRVM = 1b \sim V_{DS} \leq 1V$, $R_L = 50\Omega$				4	V
V_{DD_OP}	V_{DD} 動作電圧	$f_{SCLK} = 5\text{ MHz}$		3		5.5	V
V_{MDIFF}	V_M と V_{DD} の電圧差				200		mV
I_{VM_SLEEP}	スリープモードのアナログ電源電流	nSLEEP、IN0、IN1 はフローティング、nSCS = VDD	$T_J \leq 85\text{ }^\circ\text{C}$		0.7	2	μA
			$T_J = 150\text{ }^\circ\text{C}$		1	4	
I_{VDD_SLEEP}	スリープモードでのロジック電源電流	nSLEEP、IN0、IN1 はフローティング、nSCS = VDD	$T_J \leq 85\text{ }^\circ\text{C}$		0.2	0.7	μA
			$T_J = 150\text{ }^\circ\text{C}$		0.4	3	
I_{SLEEP}	スリープモードでの全体消費電流	nSLEEP、IN0、IN1 はフローティング、nSCS = VDD	$T_J \leq 85\text{ }^\circ\text{C}$		0.9	2.7	μA
			$T_J = 150\text{ }^\circ\text{C}$		1.4	7	μA
I_{VM_IDLE}	アイドルモードでのアナログ電源電流	nSLEEP = 論理 High、IN0、IN1 フローティング、 $f_{SCLK} = 0\text{ MHz}$ 、ACT = 0b、 $ENx = 0b$ 、 $IOLx = 0b$ 、nSCS = VDD			0.9	1.5	mA
			COR モード、 $V_M \leq V_{DD} - 1\text{ V}$		0.12	0.2	mA
I_{VDD_IDLE}	アイドルモードでのロジック電源電流	nSLEEP = 論理 High、IN0、IN1 フローティング、 $f_{SCLK} = 0\text{ MHz}$ 、ACT = 0b、 $ENx = 0b$ 、nSCS = VDD			0.02	0.1	mA
			COR モード、 $V_M \leq V_{DD} - 1\text{ V}$		0.8	1.4	
I_{IDLE}	アイドルモードでの総消費電流	nSLEEP = 論理 High、IN0、IN1 フローティング、 $f_{SCLK} = 0\text{ MHz}$ 、ACT = 0b、 $ENx = 0b$ 、 $IOLx = 0b$ 、nSCS = VDD			0.92	1.6	mA
I_{VM_ACT}	アクティブモードでのアナログ電源電流	nSLEEP = 論理 High、IN0、IN1 フローティング、 $f_{SCLK} = 0\text{ MHz}$ 、ACT = 1b、 $IOLx = 0b$ 、nSCS = VDD			1.3	2	mA
			COR モード、 $V_M \leq V_{DD} - 1\text{ V}$		0.1	0.2	mA
I_{VDD_ACT}	アクティブモードでのロジック電源電流	nSLEEP = 論理 High、IN0、IN1 はフローティング、 $f_{SCLK} = 0\text{ MHz}$ 、ACT = 1b、nSCS = VDD			0.05	0.2	mA
			COR モード、 $V_M \leq V_{DD} - 1\text{ V}$		1.25	2	mA
I_{ACT}	アクティブモードでの総消費電流	nSLEEP = 論理 High、IN0、IN1 フローティング、 $f_{SCLK} = 0\text{ MHz}$ 、ACT = 1b、 $IOLx = 0b$ 、nSCS = VDD			1.35	2.2	mA
t_{S2I}	スリープからアイドルまでの遅延				200	300	μs
t_{I2S}	アイドルからスリープまでの遅延				100	150	μs
t_{I2A}	アイドルからアクティブまでの遅延				100	150	μs
t_{A2I}	アクティブからアイドルまでの遅延				100	150	μs

DRV81004-Q1

JAJVQ6B – NOVEMBER 2024 – REVISED JANUARY 2025

 $V_{DD} = 3\text{ V} \sim 5.5\text{ V}$ 、 $V_M = 4\text{ V} \sim 40\text{ V}$ 、 $T_J = -40\text{ }^\circ\text{C} \sim +150\text{ }^\circ\text{C}$ (特に記述のない限り)

 標準値: $V_{DD} = 5\text{ V}$ 、 $V_M = 13.5\text{ V}$ 、 $T_J = 25\text{ }^\circ\text{C}$

パラメータ		テスト条件	最小値	標準値	最大値	単位	
t_{S2LH}	スリープからリンプホームまでの遅延			$300 + t_{ON}$	$450 + t_{ON}$	μs	
t_{LH2S}	リンプホームからスリープまでの遅延			$200 + t_{OFF}$	$300 + t_{OFF}$	μs	
t_{LH2A}	リンプホームからアクティブまでの遅延			50	100	μs	
t_{A2LH}	アクティブからリンプホームまでの遅延			60	100	μs	
t_{A2S}	アクティブからスリープまでの遅延			50	100	μs	
制御および SPI 入力 (nSLEEP、IN0、IN1、nSCS、SCLK、SDI)							
V_{IL}	入力ロジック Low 電圧		0		0.8	V	
V_{IH}	入力論理 High 電圧 (nSLEEP、IN0、IN1)		2		5.5	V	
V_{IH_SPI}	入力ロジック High 電圧 (nSCS、SCLK、SDI)		2		V_{DD}	V	
I_{IL}	入力ロジック Low 電流 (nSCS を除くすべてのピン)	$V_I = 0.8\text{ V}$	8	12	16	μA	
I_{IH}	入力ロジック High 電流 (nSCS を除くすべてのピン)	$V_I = 2\text{ V}$	20	30	40	μA	
I_{IL_nSCS}	nSCS 入力ロジック Low 電流	$V_{nSCS} = 0.8\text{ V}$ 、 $V_{DD} = 5\text{ V}$	20	60	90	μA	
I_{IH_nSCS}	nSCS 入力ロジック High 電流	$V_{nSCS} = 2\text{ V}$ 、 $V_{DD} = 5\text{ V}$	7	45	60	μA	
プッシュプル出力 (SDO)							
V_{SDO_L}	出力ロジック Low 電圧	$I_{SDO} = -1.5\text{ mA}$	0		0.4	V	
V_{SDO_H}	ロジック High 出力電圧	$I_{SDO} = 1.5\text{ mA}$	$V_{DD} - 0.4$		V_{DD}	V	
I_{SDO_OFF}	SDO トライステートリーク電流	$V_{nSCS} = V_{DD}$ 、 $V_{SDO} = 0\text{ V}$ または V_{DD}	-0.5		0.5	μA	
電力段							
$R_{DS(ON)}$	ON 抵抗	$T_J = 25\text{ }^\circ\text{C}$	0.4	0.7	0.9	Ω	
		$T_J = 150\text{ }^\circ\text{C}$ 、 $I_L = I_{L_EAR} = 220\text{ mA}$	0.5	1	1.4		
I_{L_NOM}	公称負荷電流 (すべてのチャンネルがアクティブ)	$T_A = 85\text{ }^\circ\text{C}$ 、 $T_J \leq 150\text{ }^\circ\text{C}$		470	500	mA	
		$T_A = 105\text{ }^\circ\text{C}$ 、 $T_J \leq 150\text{ }^\circ\text{C}$		370	500	mA	
I_{L_EAR}	最大エネルギー消費の負荷電流 - 反復 (すべてのチャンネルがアクティブ)	$T_A = 85\text{ }^\circ\text{C}$ 、 $T_J \leq 150\text{ }^\circ\text{C}$		220		mA	
E_{AR}	最大エネルギー消費反復パルス - $2 * I_{L_EAR}$ (2 チャンネルを並列接続)	$T_{J(0)} = 85\text{ }^\circ\text{C}$ 、 $I_{L(0)} = 2 * I_{L_EAR}$ 、 $2 * 10^6$ サイクル、影響を受けるチャンネルでは $PAR = 1b$			15	mJ	
V_{DS_OP}	バッテリー電圧低下時の電力段の電圧降下	$R_L = 50\Omega$ 、 $V_M = 4\text{ V}$ で供給		0.05	0.25	V	
V_{DS_CL}	ドレイン - ソース間出力のクランプ電圧	$I_L = 20\text{ mA}$	42	46	50	V	
I_{L_OFF}	出力リーク電流 (各チャンネル)	$V_{IN} = 0\text{ V}$ またはフローティング、 $V_{DS} = 28\text{ V}$ 、 $ENx = 0b$	$T_J \leq 85\text{ }^\circ\text{C}$		0.15	0.3	μA
			$T_J = 150\text{ }^\circ\text{C}$		0.5	2	μA
t_{DLY_ON}	ターンオン遅延 (INx ピンまたはビットから $V_{OUT} = 90\% V_M$ まで)	$R_L = 50\Omega$ 、 $V_M = 13.5\text{ V}$ 、アクティブモードまたはリンプホームモード	2	5.5	9	μs	

$V_{DD} = 3\text{ V} \sim 5.5\text{ V}$, $V_M = 4\text{ V} \sim 40\text{ V}$, $T_J = -40\text{ }^\circ\text{C} \sim +150\text{ }^\circ\text{C}$ (特に記述のない限り)

 標準値: $V_{DD} = 5\text{ V}$, $V_M = 13.5\text{ V}$, $T_J = 25\text{ }^\circ\text{C}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DLY_OFF}	ターンオフ遅延 (INx ピンまたはビットから $V_{OUT} = 10\% V_M$ まで)	$R_L = 50\Omega$, $V_M = 13.5\text{ V}$ 、アクティブモードまたはリンプホームモード	3	6	11	μs
t_{ON}	ターンオン時間 (INx ピンまたはビットから $V_{OUT} = 10\% V_M$ まで)	$R_L = 50\Omega$, $V_M = 13.5\text{ V}$ 、アクティブモードまたはリンプホームモード	10	16	22	μs
t_{OFF}	ターンオフ時間 (INx ピンまたはビットから $V_{OUT} = 90\% V_M$ まで)	$R_L = 50\Omega$, $V_M = 13.5\text{ V}$ 、アクティブモードまたはリンプホームモード	13	17	24	μs
$t_{ON} - t_{OFF}$	ターンオン/オフマッチング	$R_L = 50\Omega$, $V_M = 13.5\text{ V}$ 、アクティブモードまたはリンプホームモード	-10	0	10	μs
SR_{ON}	ターンオンスルーレート、 $V_{DS} = 70\% \sim 30\% V_M$	$R_L = 50\Omega$, $V_M = 13.5\text{ V}$ 、アクティブモードまたはリンプホームモード	0.8	1.2	1.6	$\text{V}/\mu\text{s}$
SR_{OFF}	ターンオフスルーレート、 $V_{DS} = 30\% \sim 70\% V_M$	$R_L = 50\Omega$, $V_M = 13.5\text{ V}$ 、アクティブモードまたはリンプホームモード	0.8	1.2	1.6	$\text{V}/\mu\text{s}$
t_{SYNC}	内部基準周波数同期時間			7	10	μs
PROTECTION						
$V_{M_UVLO_F}$	VM 低電圧シャットダウン (立ち下がり)	$ENx = \text{オン}$, $V_{DS} \leq 1\text{ V} \sim \text{UVRVM} = 1\text{b}$, $R_L = 50\Omega$	2.64	2.73	2.82	V
$V_{M_UVLO_R}$	VM 低電圧シャットダウン (立ち上がり)		2.77	2.86	2.95	V
V_{DD_UVLO}	VDD 低電圧シャットダウン	$V_{SDI} = V_{SCLK} = V_{nSCS} = 0\text{ V}$ 、SDO を Low から Hi-Z に	2.5	2.6	2.7	V
V_{DD_HYS}	VDD 低電圧シャットダウン ヒステリシス		100	120	160	mV
I_{L_OCP0}	過電流保護スレッシュヨルド、OCP = 0b	$T_J = -40\text{ }^\circ\text{C}$	1.4	1.65	2.1	A
		$T_J = 25\text{ }^\circ\text{C}$	1.3	1.55	1.9	A
		$T_J = 150\text{ }^\circ\text{C}$	1.1	1.35	1.7	A
I_{L_OCP1}	過電流保護スレッシュヨルド、OCP = 0b	$T_J = -40\text{ }^\circ\text{C}$	0.7	0.9	1.2	A
		$T_J = 25\text{ }^\circ\text{C}$	0.65	0.85	1.05	A
		$T_J = 150\text{ }^\circ\text{C}$	0.6	0.75	0.9	A
I_{L_OCP0}	過電流保護スレッシュヨルド、OCP = 1b	$T_J = -40\text{ }^\circ\text{C}$	1.9	2.25	3	A
		$T_J = 25\text{ }^\circ\text{C}$	1.8	2.1	2.7	A
		$T_J = 150\text{ }^\circ\text{C}$	1.4	1.8	2.3	A
I_{L_OCP1}	過電流保護スレッシュヨルド、OCP = 1b	$T_J = -40\text{ }^\circ\text{C}$	1.3	1.55	2	A
		$T_J = 25\text{ }^\circ\text{C}$	1.2	1.45	1.8	A
		$T_J = 150\text{ }^\circ\text{C}$	1.1	1.3	1.6	A
t_{OCPIN}	過電流スレッシュヨルドの切り替え遅延時間		80	170	260	μs
t_{OFF_OCP}	過電流シャットダウン遅延時間		1.5	3.5	6	μs
T_{OTW}	過熱警告		120	140	160	$^\circ\text{C}$
T_{HYS_OTW}	過熱警告ヒステリシス			12		$^\circ\text{C}$
T_{TSD}	サーマル シャットダウン温度		150	175	200	$^\circ\text{C}$
V_{M_AZ}	過電圧保護	$I_{VM} = 10\text{ mA}$ 、スリープモード	44	48	50	V

$V_{DD} = 3\text{ V} \sim 5.5\text{ V}$ 、 $V_M = 4\text{ V} \sim 40\text{ V}$ 、 $T_J = -40\text{ }^\circ\text{C} \sim +150\text{ }^\circ\text{C}$ (特に記述のない限り)

標準値: $V_{DD} = 5\text{ V}$ 、 $V_M = 13.5\text{ V}$ 、 $T_J = 25\text{ }^\circ\text{C}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{DS_REV}	逆極性時のドレイン - ソースダイオード	I _L = -10mA、スリープモード	T _J = 25°C		670	mV
			T _J = 150°C		530	mV
t _{RETRY0_LH}	リンプホームモードでの再起動時間		7	10	13	ms
t _{RETRY1_LH}	リンプホームモードでの再起動時間		14	20	26	ms
t _{RETRY2_LH}	リンプホームモードでの再起動時間		28	40	52	ms
t _{RETRY3_LH}	リンプホームモードでの再起動時間		56	80	104	ms
t _{OSM}	出力ステータスマニタコンパレータのセトリング時間				20	μs
V _{DS_OL}	出力ステータス監視スレッショルド電圧		3	3.3	3.6	V
I _{OL}	出力診断電流	V _{DS} = 3.3V、V _M = 5V ~ 18V	20	75	110	μA
I _{OL}	出力診断電流	V _{DS} = 3.3V、V _M = 13.5V	60	75	85	μA
R _{OL}	開放負荷等価抵抗	V _M = 5V ~ 40V	45		190	kΩ

5.5.1 SPI のタイミング要件

- 製造時テストは適用されず、設計により保証されています

パラメータ		テスト条件	最小値	公称値	最大値	単位
t _{nSCS_lead}	イネーブルリード時間 (nSCS 立ち下がりから SCLK 立ち上がりまで)		200			ns
t _{nSCS_lag}	イネーブル遅延時間 (SCLK 立ち下がりから nSCS 立ち上がりまで)		200			ns
t _{nSCS_td}	転送遅延時間 (nSCS 立ち上がりから立ち下がり nSCS まで)		250			ns
t _{SDO_en}	出力イネーブル時間 (nSCS 立ち下がりから SDO 有効まで)	C _L = 20 pF、SDO ピン			200	ns
t _{SDO_dis}	出力ディスエーブル時間 (nSCS 立ち上がりから SDO ハイインピーダンスまで)	C _L = 20 pF、SDO ピン			200	ns
f _{SCLK}	シリアル クロック周波数				5	MHz
t _{SCLK_P}	シリアルクロック周期		200			ns
t _{SCLK_H}	シリアルクロックロジック High 時間		75			ns
t _{SCLK_L}	シリアルクロックロジック Low 時間		75			ns
t _{SDI_su}	データセットアップ時間 (SCLK 立ち下がりまでの必要な SDI 時間)		20			ns
t _{SDI_h}	データ ホールド時間 (SCLK から SDI に立ち下がり)		20			ns
t _{SDO_v}	容量性負荷での出力データの有効時間	C _L = 20 pF、SDO ピン			100	ns

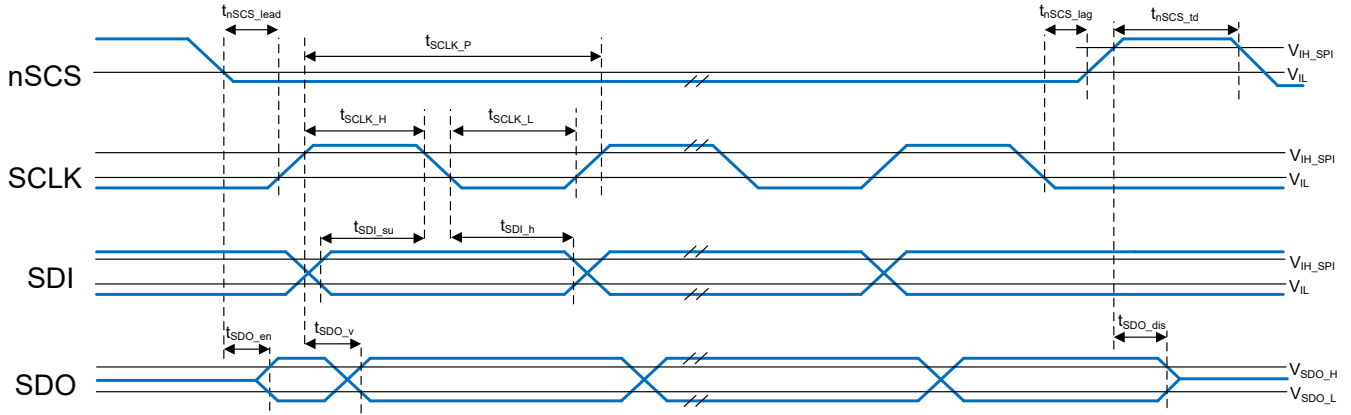


図 5-1. SPI タイミング図

5.6 代表的特性

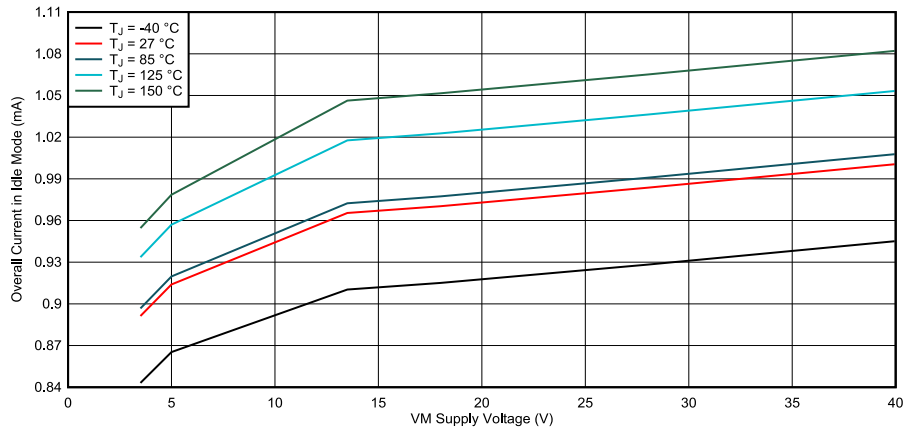


図 5-2. アイドルモード消費電流、VDD = 5.5V

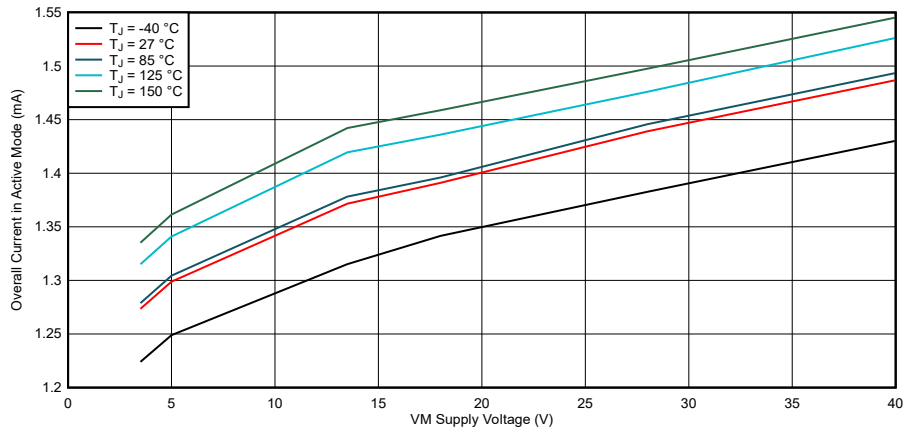


図 5-3. アクティブモードの電源電流、VDD = 5.5V

5.6 代表的特性 (続き)

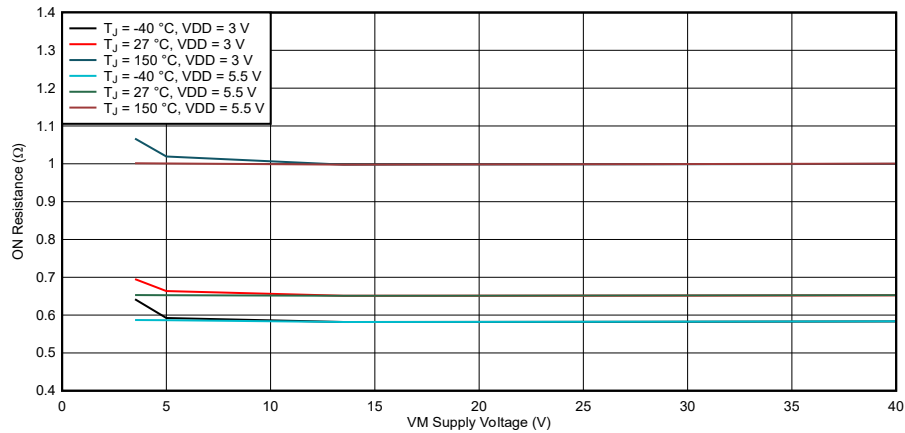


図 5-4. スイッチ オン抵抗

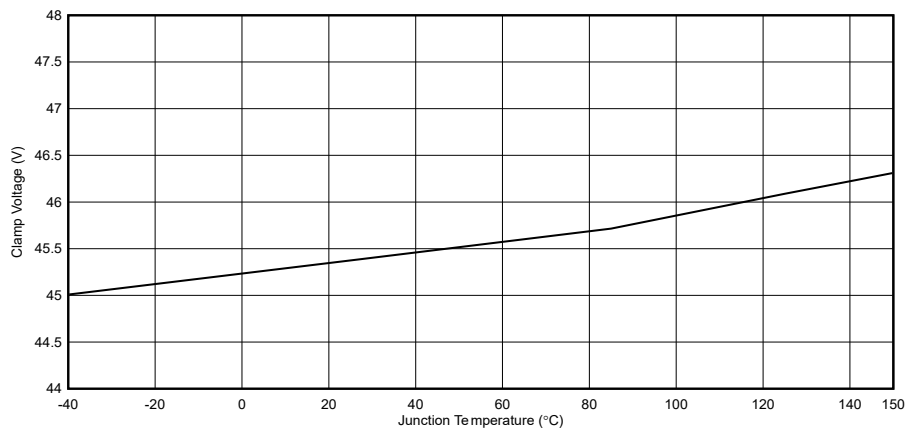


図 5-5. ドレイン - ソース間クランプ電圧、VM = 13.5V、VDD = 5V

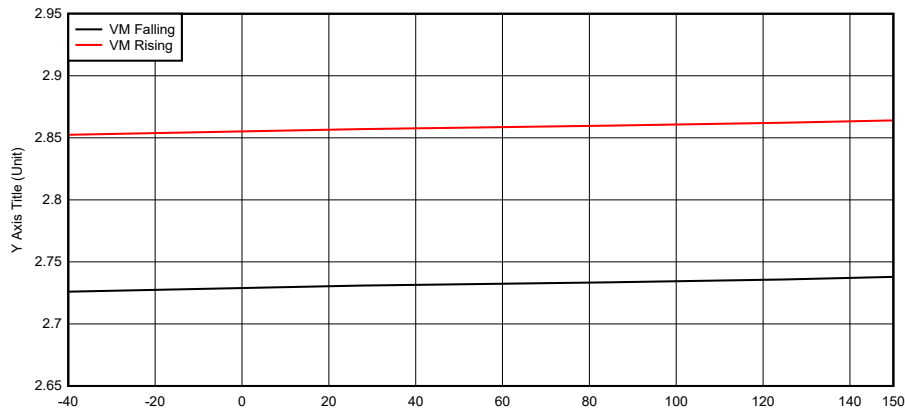


図 5-6. VM UVLO スレッシュホールド

5.6 代表的特性 (続き)

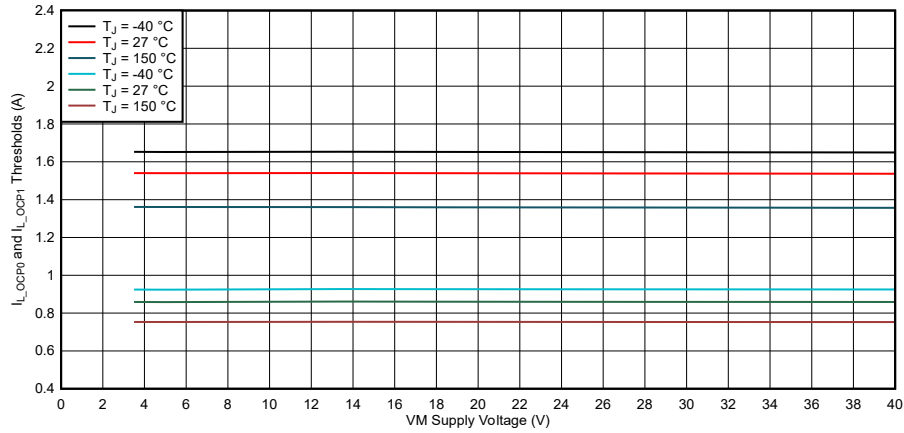


図 5-7. 過電流保護スレッシュホールド、VDD = 5.5V、OCP = 0b

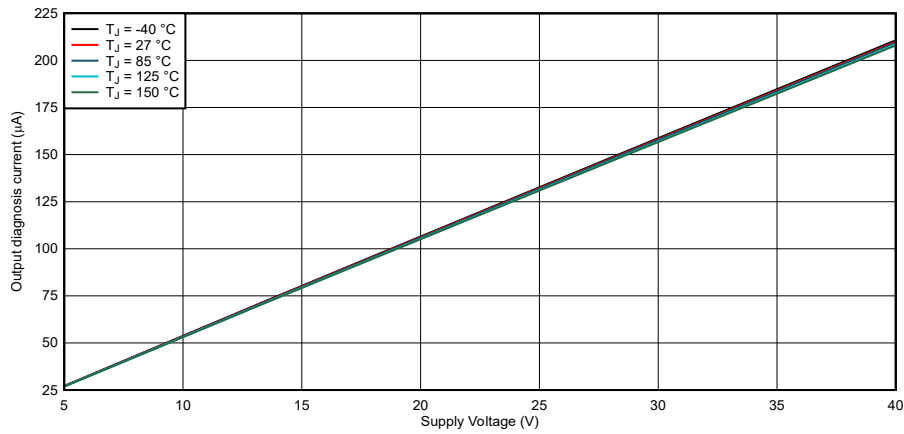


図 5-8. 出力診断電流

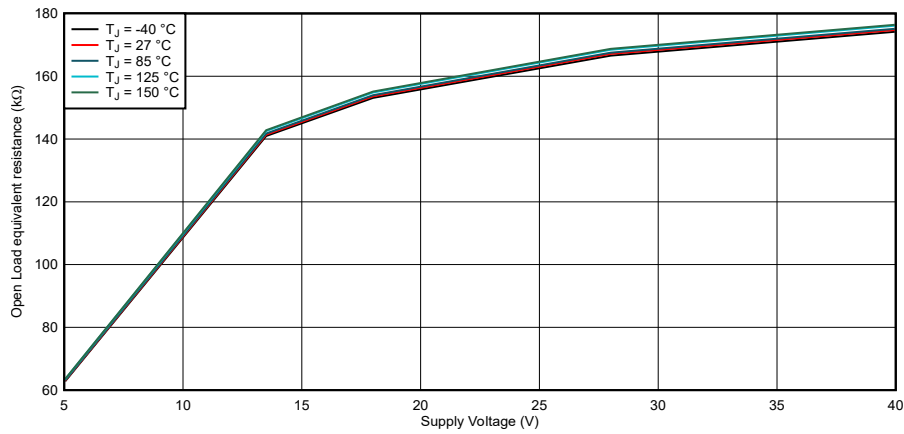


図 5-9. 開放負荷等価抵抗

6 詳細説明

6.1 概要

DRV81004-Q1 は、保護および診断機能を内蔵した 4 チャンネル ローサイドドライバです。出力段には 4 つの N チャンネルパワー MOSFET ローサイドスイッチが内蔵されています (標準 $R_{DS(ON)}$ ($T_J = 25\text{ }^\circ\text{C}$ が $700\text{m}\Omega$ の場合)。DRV81004-Q1 は、低電源電圧で動作するように設計されています。バッテリー電圧が低い状態に維持できます ($V_M \geq 3\text{V}$)。

16 ビットの SPI インターフェイスは、デバイスと負荷の制御および診断に使用されます。SPI インターフェイスはデジタイゼーションをサポートしており、同じマイコンピンを使用して複数のデバイス (8 ビット SPI も搭載したデバイス) を 1 つの SPI チェーンで接続できます。SPI 機能は、デジタル電源が存在するときのみ利用できます。

DRV81004-Q1 には 2 つの出力に接続された 2 つの入力ピンがあります。nSLEEP ピンがロジック Low のとき、デジタル電源電圧が利用可能かどうかとは独立に、入力ピンを使用してチャンネル 2 および 3 をアクティブにできます。入力マッピング機能を使用すると、入力ピンを別の出力に接続したり、同じ入力ピンにさらに多くの出力を割り当てることができます。この場合、1 つの入力信号でより多くのチャンネルを制御できます。

リンプホームモードでは、入力ピンはチャンネル 2 および 3 に直接配線されます。nSLEEP ピンがロジック Low のときは、デジタル電源電圧の存在とは独立に、入力ピンを使用して 2 つのチャンネルをアクティブにできます。

このデバイスは、開放負荷 (オフ状態) と短絡検出により負荷を診断できます。開放負荷検出では、SPI を介して内部電流源をアクティブにできます。各出力段は短絡から保護されています。過電流場合、過電流検出スレッショルドに達すると、影響を受けるチャンネルはオフになり、SPI で再アクティブ化できます。

リンプホームモード動作では、ロジック HIGH に設定された入力ピンに接続されているチャンネルは、出力再起動時間が経過した後、自動的に再起動します。温度センサは、デバイスを過熱から保護するため、各チャンネルで利用できます。

表 6-1. 製品概要

パラメータ	記号	値
アナログ電源電圧	V_M	3.0V ~ 40V
デジタル電源電圧	V_{DD}	3.0V ~ 5.5V
最小の過電圧保護	V_{M_AZ}	42V
$T_J = 150\text{ }^\circ\text{C}$ 時の最大オン抵抗	$R_{DS(ON)}$	1.4 Ω
公称負荷電流 ($T_A = 85\text{ }^\circ\text{C}$ 、すべてのチャンネル)	I_{L_NOM}	470mA
最大エネルギー消費-繰り返し	E_{AR}	10mJ @ $I_{L_EAR} = 220\text{mA}$
ドレインソース間のクランプ電圧	V_{DS_CL}	42V
過負荷スイッチオフの最大スレッショルド	I_{L_OVL0}	2.1A または 3A
$T_J \leq 85\text{ }^\circ\text{C}$ での最大総静止電流	I_{SLEEP}	2.7 μA
最大 SPI クロック周波数	f_{SCLK}	5MHz

6.2 機能ブロック図

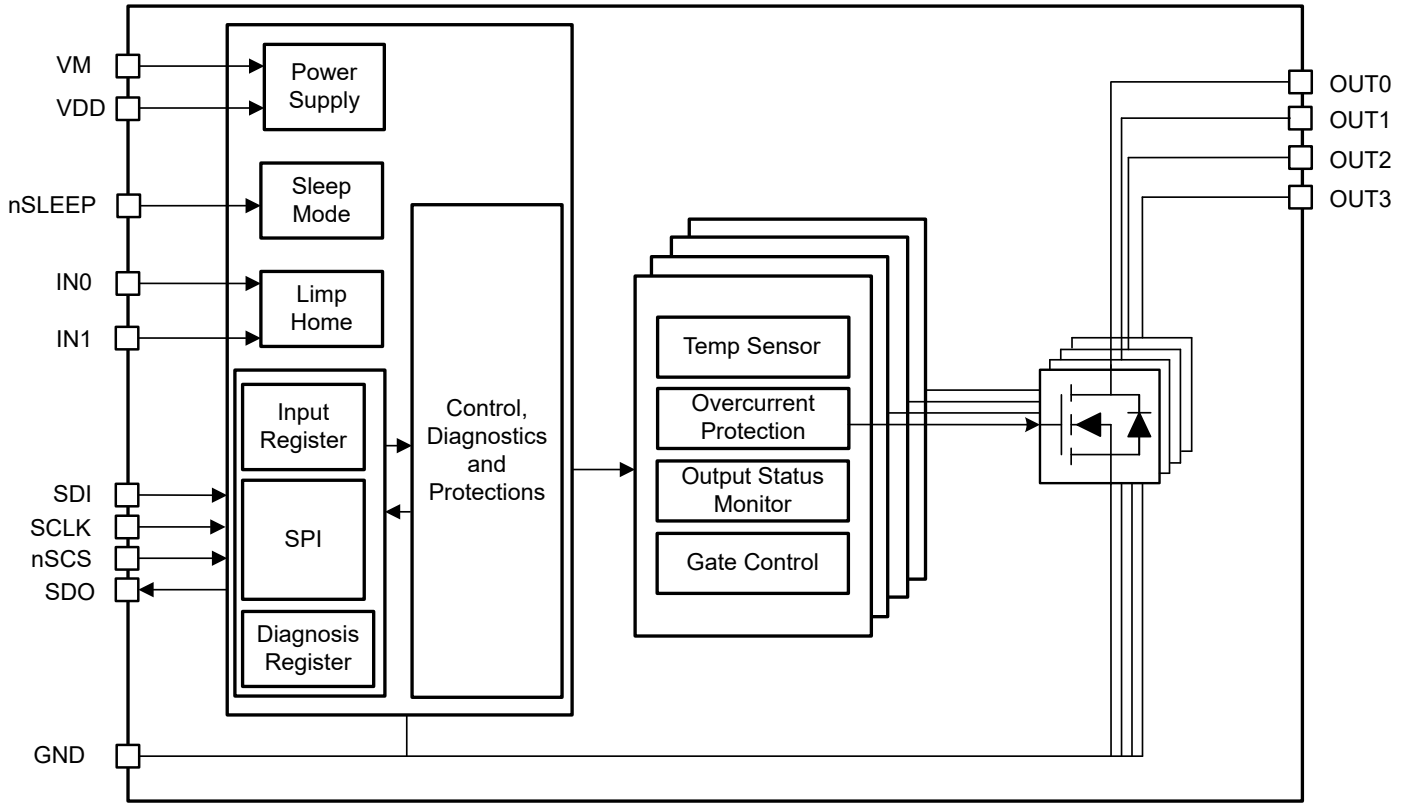


図 6-1. 機能ブロック図

6.3 機能説明

6.3.1 コントロールピン

このデバイスには 3 本のピン (IN0、IN1、nSLEEP) があり、SPI を使用せずにデバイスを直接制御できます。

6.3.1.1 入力ピン：

DRV81004-Q1 には 2 つの入力ピンがあります。各入力ピンはデフォルトで 1 つのチャンネル (IN0 からチャンネル 2、IN1 からチャンネル 3) に接続されています。入力マッピングレジスタ MAP0 および MAP1 は、各入力ピンに追加または異なるチャンネルを接続するようにプログラムできます (図 6-2 を参照)。チャンネルを駆動する信号は、EN レジスタステータス (IN0 と IN1) の間の OR 結合です (入力マッピングレジスタのステータスに応じて)。

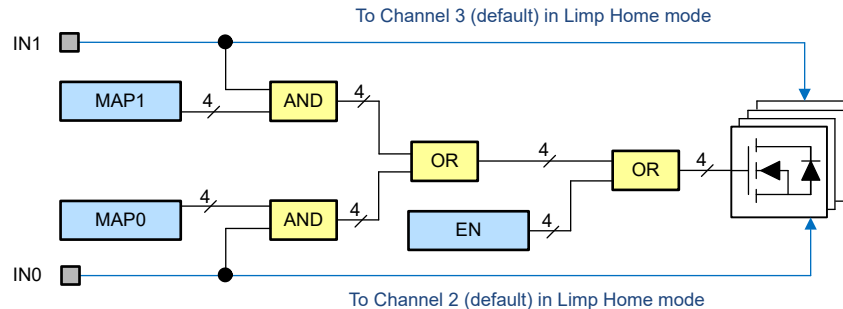


図 6-2. 入力マッピング

入力ピンのロジックレベルは、入力ステータスマニタレジスタ (INST) を使用して監視できます。入力ステータスマニタは、DRV81004-Q1 がリンプホームモードのときも動作します。どちらかの入力ピンがロジック High に設定され、nSLEEP ピンがロジック Low に設定されると、デバイスはリンプホームモードに切り替わり、デフォルトで入力ピンに割り当てられたチャンネルをアクティブにします。

6.3.1.2 nSLEEP ピン

nSLEEP ピンを使用して、デバイスを論理 Low に設定し、すべての入力ピンも論理 Low に設定すると、スリープモードに移行します。nSLEEP ピンがロジック Low に設定されている場合、本デバイスはリンプホームモードに移行します。

適切なモード遷移を保証するには、nSLEEP ピンを少なくとも t_{12s} (ロジック High からロジック Low に遷移) または t_{s21} (ロジック Low からロジック High に遷移) の間設定する必要があります。

nSLEEP ピンを論理 Low に設定すると、次のようになります。

- SPI 内のすべてのレジスタはデフォルト値にリセットされます。
- V_{DD} および V_M 低電圧検出回路は無効化され、消費電流を低減します (両方の入力ピンがロジック Low に設定されている場合)。
- 両方の入力ピンがロジック Low に設定されている場合、SPI 通信は許可されません (nSCS ピンがロジック Low に設定されているときも、SDO ピンが高インピーダンスのままです)。

6.3.2 電源

DRV81004-Q1 は、次の 2 つの電源電圧で供給されます。

- V_M (ロジックにも使用されるアナログ電源電圧)
- V_{DD} (デジタル電源電圧)

V_M 電源をバッテリーフィードに接続し、 V_{DD} 電源と組み合わせて電力段の駆動回路に使用します。 V_M 電圧が V_{DD} 電圧を下回る状況 (たとえば、最小 3V までのクランキングイベント時) では、 V_{DD} ピンの消費電流が増加する場合があります。 V_M および V_{DD} 電源電圧には、低電圧検出回路があります。

- V_M と V_{DD} の両方の電源電圧が低電圧なため、電源段と SPI 通信のアクティブ化を防止できます (SPI レジスタはリセットされます)
- V_{DD} 電源が低電圧になると、SPI 通信は禁止されます。SPI 読み出し/書き込みレジスタはデフォルト値にリセットされます。
- V_M 電源の低電圧が印加されると、DRV81008-Q1 が V_{DD} 電源からデバイス電流を強制的にドレインします。

図 6-3 に、電源ピン V_M と V_{DD} の間の相互作用、出力ステージドライバ、および SDO 電源ラインの基本的な概念図を示します。

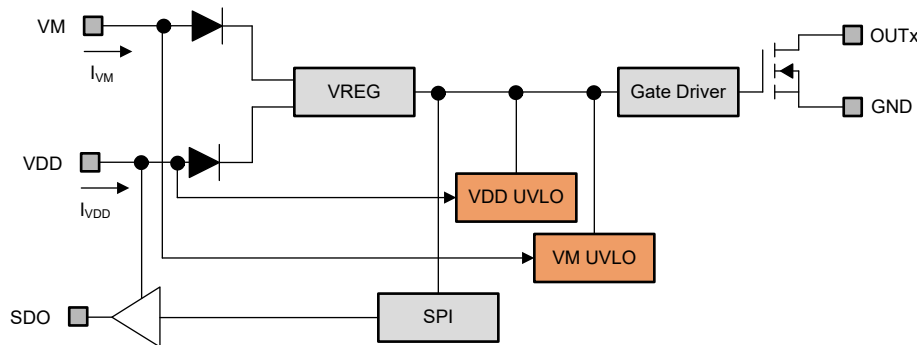


図 6-3. 内部電源アーキテクチャ

$3V \leq V_M \leq V_{DD} - V_{MDIFF}$ の場合、DRV81004-Q1 はクランキング動作範囲 (COR) で動作します。この状態では、 V_M ピンから減少すると同時に、 V_{DD} ピンからの消費電流が増加します。合計消費電流は指定された制限内に維持されます。

図 6-4 に、デバイスが COR を出入りする V_M ピンの電圧レベルを示します。COR との間の遷移中、 I_{VM} と I_{VDD} は、通常動作と COR 動作に定義された値の間で変化します。両方の電流の合計は、セクション 6.3.2 に規定されている制限範囲内にとどまります。

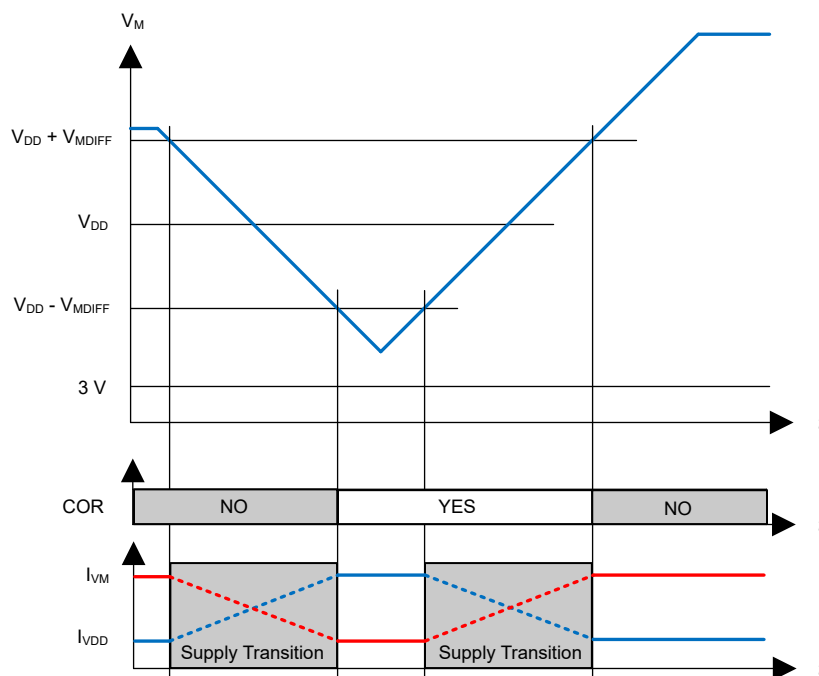


図 6-4. クランキング動作範囲

When $V_{M_UVLO} \leq V_M \leq V_{M_OP}$ の場合、以前にオフになっていたチャンネルをオンに切り替えることができません。すでにオンになっているすべてのチャンネルは、SPI または IN ピンを使用してオフになっていない限り状態を維持します。 V_M および V_{DD} 電源電圧の異なるチャンネル動作の概要を表 6-2 表 6-3 および表 6-4 に示します (これらの表は、電源投入が成功した後には有効です)。

表 6-2. V_M と V_{DD} の機能としてのチャンネル制御

	$V_{DD} \leq V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
$V_M \leq 3V$	チャンネルを制御できません	チャンネルのオン/オフ切り替え (SPI 制御) ($R_{DS(on)}$ 偏差可能)
$3V < V_M \leq V_{M_OP}$	チャンネルは SPI で制御できません	チャンネルのオン/オフ切り替え (SPI 制御) ($R_{DS(on)}$ 偏差可能)
$V_M > V_{M_OP}$	チャンネルは SPI で制御できません	チャンネルのオンとオフを切り替えることができます

表 6-3. リンプホームモードを V_M および V_{DD} の関数として使用

	$V_{DD} \leq V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
$V_M \leq 3V$	該当なし	利用可能 ($R_{DS(ON)}$ 偏差も可能)
$3V < V_M \leq V_{M_OP}$	利用可能 ($R_{DS(ON)}$ 偏差も可能)	利用可能 ($R_{DS(ON)}$ 偏差も可能)
$V_M > V_{M_OP}$	使用可能	使用可能

表 6-4. SPI レジスタと SPI 通信を、 V_M と V_{DD} の機能として使用

	$V_{DD} \leq V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
SPI レジスタ	リセット	使用可能
SPI 通信	使用不可 ($f_{SCLK} = 0MHz$)	可能 ($f_{SCLK} = 5MHz$)

6.3.2.1 動作モード

DRV81004-Q1 は次の動作モードをサポートしています。

- スリープ モード
- アイドル モード
- アクティブ モード
- リンプ ホーム モード

動作モード間の遷移は、以下のレベルと状態に応じて決定されます。

- nSLEEP ピンでのロジックレベル
- INx ピンでのロジックレベル
- ENx ビットの状態
- ACT ビットの状態

状態遷移の可能性を含む状態遷移図を図 6-5 に示します。DRV81004-Q1 の動作および一部のパラメータは、デバイスの動作モードによって変化する可能性があります。また、低電圧検出回路により、同じ動作モードでいくつかの変化が見られます。

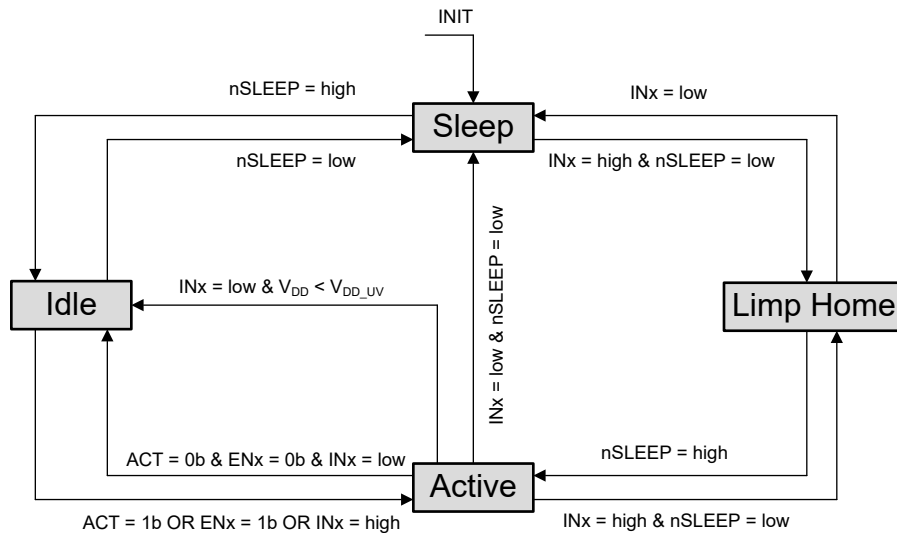


図 6-5. 動作モードの状態図

DRV81004-Q1 の動作モードは、次の式で観測できます。

- 出力チャンネルのステータス
- SPI レジスタのステータス
- VDD ピンでの消費電流 (I_{VDD})
- VM ピンでの消費電流 (I_{VM})

負荷をオンにするためのデフォルトの動作モードはアクティブモードです。デバイスがアクティブモードではなく、1 つ以上の出力の切り替え要求が (SPI または入力ピン経由) 来る場合、nSLEEP ピンのステータスに従って、アクティブモードまたはリンプホームモードに切り替わります。

チャンネルのターンオン時間は、DRV81004-Q1 がアクティブモードまたはリンプホームモードの場合、パラメータ t_{ON} により定義されます。それ以外の場合は、2 つの電源モードのいずれかに到達するために必要な遷移時間を追加する必要があります (図 6-6 を参照)。

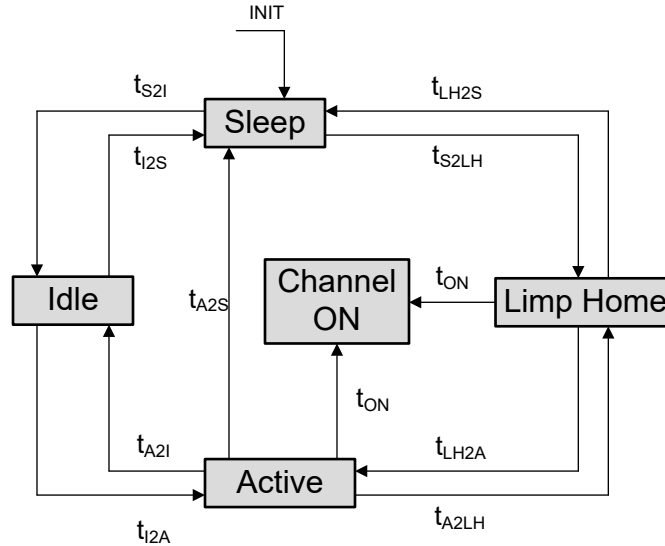


図 6-6. モード遷移タイミング

表 6-5 に、デバイスの動作モード、 V_M と V_{DD} 電源電圧、および最も重要な機能 (チャンネル制御、SPI 通信、SPI レジスタ) の状態の関係を示します。

表 6-5. 動作モード、 V_M および V_{DD} 電圧との関係でのデバイスの機能

動作モード	機能	V_M UVLO、 $V_{DD} \leq V_{DD_UVLO}$	V_M UVLO、 $V_{DD} > V_{DD_UVLO}$	V_M は UVLO ではない、 $V_{DD} \leq V_{DD_UVLO}$	V_M は UVLO ではない、 $V_{DD} > V_{DD_UVLO}$
スリープ	チャンネル数	該当なし	該当なし	該当なし	該当なし
	SPI 通信	該当なし	該当なし	該当なし	該当なし
	SPI レジスタ	リセット	リセット	リセット	リセット
アイドル	チャンネル数	該当なし	該当なし	該当なし	該当なし
	SPI 通信	該当なし	あり	該当なし	あり
	SPI レジスタ	リセット	あり	リセット	あり
アクティブ	チャンネル数	該当なし	あり	あり、ピン内のみ	あり
	SPI 通信	該当なし	あり	該当なし	あり
	SPI レジスタ	リセット	あり	リセット	あり
リンプ ホーム モード	チャンネル数	該当なし	あり、ピン内のみ	あり、ピン内のみ	あり、ピン内のみ
	SPI 通信	該当なし	はい、読み取り専用	該当なし	はい、読み取り専用
	SPI レジスタ	リセット	はい、読み取り専用	リセット	はい、読み取り専用

6.3.2.1.1 パワーアップ

いずれかの電源電圧 (V_M または V_{DD}) がデバイスに印加され、 INx または $nSLEEP$ ピンが論理 High に設定されているとき、パワーアップ条件が満たされます。 V_M がスレッシュホールド V_{M_OP} を上回るか、または V_{DD} が UVLO スレッシュホールドを上回ると、内部パワーオン信号が設定されます。

6.3.2.1.2 スリープモード

DRV81004-Q1 がスリープモードにあるときは、電源電圧とは無関係にすべての出力がオフになり、SPI レジスタがリセットされます。消費電流は最小限です。

6.3.2.1.3 アイドルモード

アイドルモードでは、デバイスの消費電流はパラメータ I_{VDD_IDLE} と I_{VM_IDLE} で与えられた制限、またはデバイス全体のパラメータ I_{IDLE} に達することができます。

- このモードでは、内部電圧レギュレータは動作しています。
- 診断機能は使用できません。
- 電源電圧とは無関係に出力チャネルがオフになります。
- V_{DD} が利用可能な場合、SPI レジスタは動作しており、SPI 通信が可能です。

6.3.2.1.4 アクティブモード

アクティブモードは、リンプホーム状態が設定されておらず、一部またはすべての負荷を駆動する必要がある場合の DRV81004-Q1 の通常動作モードです。セクション 6.3.2 に示すように、 V_{DD} および V_M の電圧レベルは動作に影響を及ぼします。デバイスの消費電流は、 I_{VDD_ACT} と I_{VM_ACT} (デバイス全体の I_{ACT}) で規定されています。

nSLEEP ピンがロジック High に設定され、入力ピンのいずれかがロジック High に設定されるか、または 1 つの ENx ビットが 1b に設定されると、デバイスはアクティブモードに移行します。

- ACT ビットが 0b に設定されている場合、すべての入力ピンがロジック Low に設定され、ENx ビットが 0b に設定されると、デバイスはすぐにアイドルモードに戻ります。
- ACT が 1b に設定されている場合、デバイスは入力ピンや ENx ビットのステータスとは無関係にアクティブモードに維持されます。
- すべての入力ピンがロジック Low に設定されていると、 V_{DD} 電源の低電圧状態により、デバイスはアイドルモードに移行します。

レジスタ MAP0 と MAP1 の両方が 00h に設定されていても、入力ピン INx の 1 つがロジック High に設定されている場合、デバイスはアクティブモードに移行します。

6.3.2.1.5 リンプホームモード

nSLEEP ピンがロジック Low で、入力ピンの 1 つがロジック High に設定されているとき、DRV81004-Q1 はリンプホームモードに移行し、このピンに接続されているチャネルをオンにします。SPI 通信は可能ですが、読み出し専用モード (SPI レジスタは読み取り可能ですが、書き込みはできません) のみ可能です。

- UVRVM を 1b に設定します
- MODE ビットを 01b (リンプホームモード) に設定します
- リンプホームモードに移行した後、最初の SPI コマンドでは、TER ビットが 1b に設定されます。その後は正常に動作します。
- OLOFF ビットを 0b に設定します
- ERRx ビットは正常に動作します
- OSMx ビットは、読み取りと通常動作が可能です
- 他のすべてのレジスタはデフォルト値に設定され、デバイスがリンプホームモードである限りはプログラムできません

リンプホーム時にチャネル 2 および 3 をオンにするために必要な電源電圧条件の詳細については、表 6-3 を参照してください。他のすべてのチャネルはオフです。

アクティブからリンプホームモード、またはリンプホームからアクティブモードへの遷移中に SPI コマンドが送信されると、SPI 応答が未定義になる場合があります。

6.3.2.1.6 リセット条件

次の 3 つの条件のいずれかが、SPI レジスタをデフォルト値にリセットします。

- V_{DD} は、低電圧スレッショルド V_{DD_UVLO} を下回ってはなりません
- nSLEEP ピンをロジック Low に設定
- リセットコマンド (RST を 1b に設定) が実行されます
 - ERRx ビットは、RESET コマンドによってクリアされません (機能安全の場合)。

特に、すべてのチャンネルがオフになり (ロジック **High** に設定された入力ピンがない場合)、入力マッピングの構成がリセットされます。

6.3.3 電力段

DRV81004-Q1 は、4 チャンネルのローサイドリレースイッチです。N チャンネル MOSFET を採用して電力段を形成しています。オン抵抗 $R_{DS(ON)}$ は、電源電圧と接合部温度 T_J に依存します。

6.3.3.1 スイッチング抵抗性負荷

抵抗性の負荷をスイッチングする場合、以下のスイッチング時間とスルーレートを考慮する必要があります。

デフォルトのスルーレート: $1.2V/\mu s$ 。構成レジスタ 2 の SR ビットを使用して、スルーレートを $3V/\mu s$ に増やすことができます。

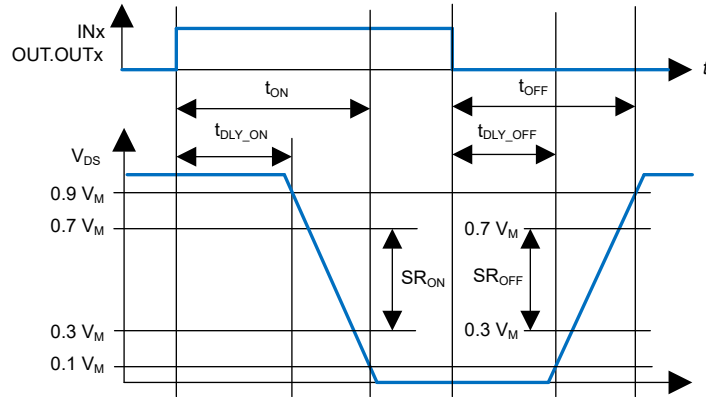


図 6-7. 抵抗性負荷の切り換え

6.3.3.2 誘導性出力クランプ

誘導性負荷をオフにすると、インダクタンスが継続的に電流を駆動しようとしているため、パワースwitchの両端の電圧は V_{DS_CL} まで上昇します。デバイスの損傷を防止するために電圧クランプが必要です。

図 6-8 に、出力クランプの図を示します。最大許容負荷インダクタンスは制限されます。クランプ構造により、すべてのモード (スリープ、アイドル、アクティブ、リンプホーム) でデバイスが保護されます。

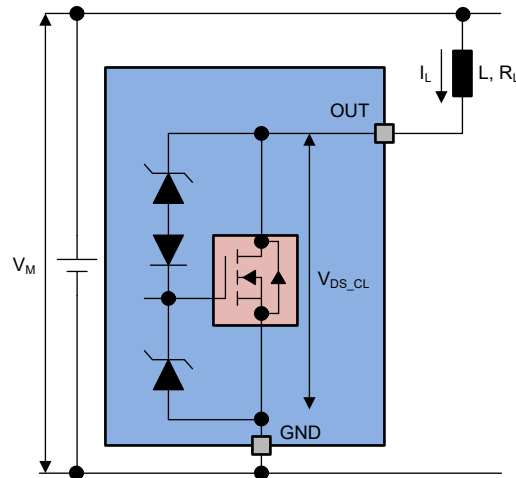


図 6-8. 出力クランプ

6.3.3.3 最大負荷インダクタンス

誘導性負荷の消磁中、磁気エネルギーは DRV81004-Q1 で消費されます。式 1 に、ローサイドスイッチのエネルギーを計算する方法を示します。

$$E = V_{DS_CL} \times \left[\frac{V_M - V_{DS_CL}}{R_L} \times \ln \left(1 - \frac{R_L \times I_L}{V_M - V_{DS_CL}} \right) + I_L \right] \times \frac{L}{R_L} \quad (1)$$

熱に変換される最大エネルギーは、部品の熱設計によって制限されます。セクション 5.1 に示す E_{AR} 値は、出力に接続されているインダクタンスが同時に消磁されたとき、すべてのチャンネルが同じエネルギーを消費できると仮定しています。

6.3.3.4 並列でのチャンネル スイッチング

チャンネルが並列に接続された場合には、2 つのチャンネルが非同期にオフになることがあり、そのため、最後にオフになるチャンネルに追加の熱ストレスが発生します。この状態を回避するため、SPI レジスタで、2 つの隣接チャンネルの並列動作を (PAR ビットを使用して) 構成することができます。このモードで動作している場合、過負荷または過熱状態に反応した最も速いチャンネルは、他のチャンネルも非アクティブになります。2 つの並列チャンネルが処理できる誘導性エネルギーは、1 つのチャンネルエネルギーの 2 倍未満です。以下の 2 つのチャンネルは互いに同期できます。

- チャンネル 0 およびチャンネル 2 → PAR0 を 1b に設定
- チャンネル 1 およびチャンネル 3 → PAR1 を 1b に設定

この同期ビットは、チャンネルが過電流状態または過熱状態にどのように反応するかにのみ影響します。同期したチャンネルは、マイコンによって同時にオン/オフする必要があります。

6.3.4 保護および診断機能

DRV81004-Q1 は、複数の保護機能をサポートしており、以降のセクションで詳細に説明します。SPI インターフェイスは、デバイスと負荷状態に関する診断情報を提供します。各チャンネル診断情報は、他のチャンネルから独立しています。1 つのチャンネルのエラー状態は、デバイスの他のチャンネルの診断に影響を与えません (並列に動作するように構成されていない限り、詳細については、[セクション 6.3.3.4](#) を参照してください)。

1 つのチャンネルで過電流または過熱が発生すると、診断ビット $ERRx$ がそれに応じて設定されます。[セクション 6.3.4.2](#) と [セクション 6.3.4.3](#) で説明されているように、チャンネルはオフになるため、 CLR_x ビットを $1b$ に設定して再度アクティブにする必要があります。

6.3.4.1 V_M の低電圧

V_{M_UVLO} と V_{M_OP} の間には、低電圧機構がトリガされます。デバイスが動作しており、電源電圧が低電圧スレッショルド V_{M_UVLO} を下回ると、ロジックはビット $UVRVM$ を $1b$ に設定します。電源電圧 V_M が最小電圧動作スレッショルド V_{M_OP} を上回るとすぐに、最初の標準診断読み出しの後で、ビット $UVRVM$ は $0b$ に設定されます。 V_M の低電圧状態は、[セクション 6.3.2](#) で説明されているように、チャンネルのステータスに影響します。低電圧動作を、[図 6-9](#) に示します。

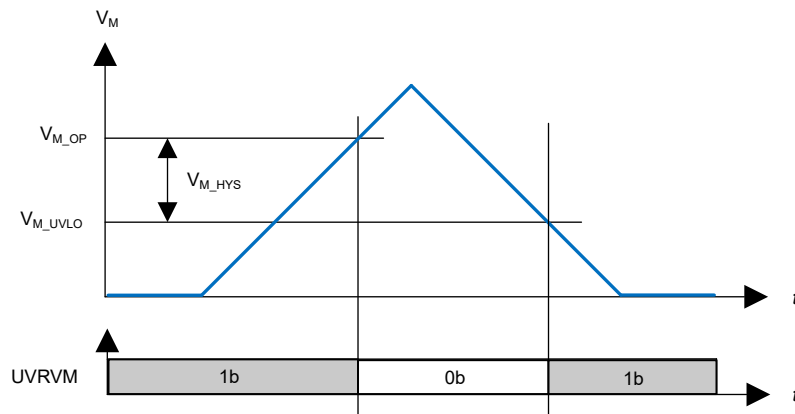


図 6-9. V_M 低電圧

6.3.4.2 過電流保護

DRV81004-Q1 は、過電流または負荷短絡時に保護されます。2 つの過電流スレッショルドがあります ([図 6-10](#) を参照)。

- チャンネルスイッチオンと t_{OCPIN} の間の I_{L_OCP0}
- t_{OCPIN} の後に I_{L_OCP1}

I_{L_OCP0} および I_{L_OCP1} の値は、OCP ビットに応じます。チャンネルが $2 * t_{SYNC}$ を超える時間オフになるたびに、過負荷電流スレッショルドは I_{L_OCP0} に戻ります。

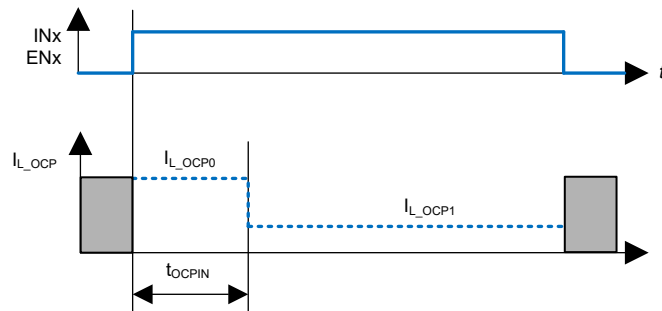


図 6-10. 過電流スレッショルド

負荷電流が I_{L_OCP0} または I_{L_OCP1} を上回っている場合、 t_{OFF_OCP} の時間の後、過負荷チャンネルがオフになり、診断ビット **ERRx** が設定されます。対応する **CLR_x** ビットを **1b** に設定することで、保護ラッチをクリアした後でチャンネルをオンにできます。このビットは、チャンネルをデラッチした後で内部で **0b** にセットされます。詳細については、[図 6-11](#) を参照してください。

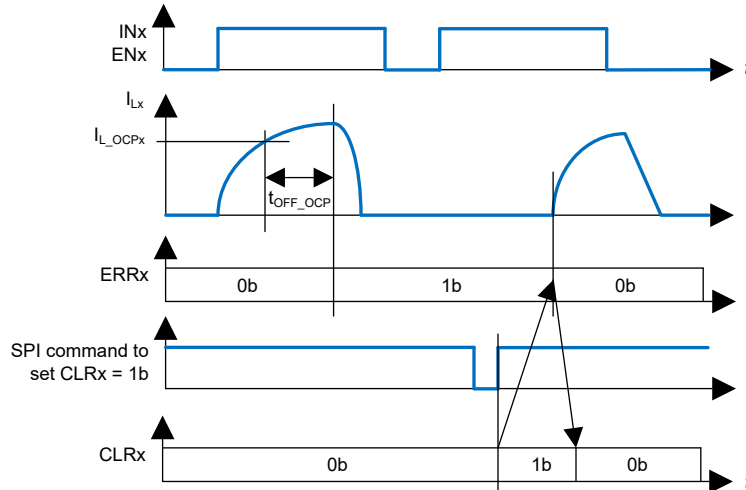


図 6-11. 過電流時にラッチオフする

6.3.4.3 過熱保護機能

各チャンネルに温度センサが内蔵されているため、過熱したチャンネルがオフになり、デバイスの損傷を防止します。対応する診断ビット **ERRx** が設定されます（過負荷保護と組み合わせる）。対応する **CLR_x** ビットを **1b** に設定することで、保護ラッチをクリアした後でチャンネルをオンにできます。このビットは、チャンネルをデラッチした後で内部で **0b** にセットされます。

6.3.4.4 過熱警告

ダイ温度が過熱警告トリップポイント (T_{OTW}) を超えると、構成レジスタ 2 に **OTW** ビットが設定されます。デバイスの機能は継続され、追加動作が実行されることはありません。

ダイ温度が過熱警告のヒステリシスポイント (T_{HYS_OTW}) を下回ると、**OTW** ビットは自動的にクリアされます。

6.3.4.5 リンプホームモードでの過熱および過電流保護

DRV81004-Q1 がリンプホームモードのときは、入力ピンを使用してチャンネル 2 と 3 をオンにできます。過電流、短絡、または過熱の場合は、チャンネルがオフになります。入力ピンがロジック **High** のままの場合、チャンネルは次のタイミングで再起動します。

- 10ms (最初の 8 回の再試行)
- 20ms (8 回の再試行後)
- 40ms (8 回の再試行後)
- 80ms (入力ピンがロジック **High** のままで、エラーが存在している限り)

入力ピンが $2 * t_{SYNC}$ を超えてロジック **Low** に設定されると、再起動タイマーはリセットされます。リンプホームモードで、次のチャンネルがアクティブになると、タイマーは再び 10ms から開始されます。詳しくは、[図 6-12](#) を参照してください。過電流スレッショルドは、[セクション 6.3.4.2](#) を参照してください。

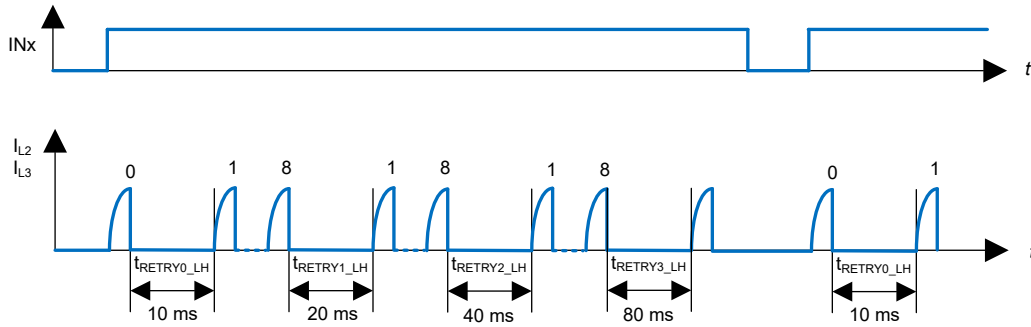


図 6-12. リンプホームでタイマーを再起動します

6.3.4.6 逆極性保護

逆極性またはバッテリー逆接続状況では、各 MOSFET のボディダイオードによって消費電力が発生します。ロジックおよび電源ピンの各 ESD ダイオードは、合計消費電力に寄与します。チャンネルを流れる逆電流は、接続された負荷によって制限する必要があります。デジタル電源の VDD および入力ピンを流れる電流も制限する必要があります (セクション 5.1 を参照)。

注

逆極性時には、温度保護や電流制限などの保護メカニズムはアクティブになりません。

6.3.4.7 過電圧保護

V_{M_SC} と V_{M_LD} の間の電源電圧の場合、出力 MOSFET は引き続き動作し、入力ピンまたは EN ビットに追従します。セクション 6.3.3.2 に示すように、誘導性負荷の出力クランプに加えて、ロジックおよびすべてのチャンネルの過電圧保護のためにクランプ機構があり、VM ピンと GND ピンの間の電圧 (V_{M_AZ}) を監視できます。

6.3.4.8 出力ステータス モニタ

デバイスは、各チャンネルの V_{DS} を V_{DS_OL} と比較し、対応する OSMx ビットを設定します。これらのビットは、OSM レジスタが読み取られるたびに更新されます。

- $V_{DS} < V_{DS_OL} \rightarrow OSMx = 1b$

パワー・イッチと並列に接続された診断電流 I_{OL} は、IOLx ビットをプログラムすることで有効にできます。この IOLx ビットは、オフ検出時のオープン負荷に使用できます。各チャンネルには専用の診断電流源があります。診断現在の I_{OL} が有効になっている場合、またはチャンネルの状態が変化した場合 (オン → オフまたはオフ → オン)、信頼性の高い診断を行うために t_{OSM} を待つ必要があります。 I_{OL} 電流源をイネーブルにすると、デバイスの消費電流が増加します。開放負荷が検出された場合でも、そのチャンネルはオフにラッチされません。

タイミングの概要については、図 6-13 を参照してください (IOLx の値は、負荷に正しく接続された通常動作のチャンネルを指しています)。

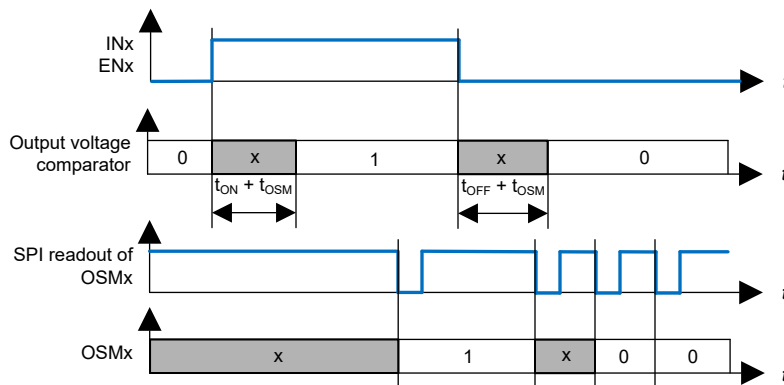


図 6-13. 出力ステータス モニタ タイミング

出力ステータス監視診断は、 $V_M = V_{M_NOR}$ および $V_{DD} \geq V_{DD_UVLO}$ のときに利用できます。

出力ステータスモニタは、出力で電圧レベルをリアルタイムでチェックするため、オープンロードインオフ診断の場合、OSM レジスタの読み取りをチャンネルのオフ状態と同期させる必要があります。

図 6-14 に、出力ステータスモニタをコンセプトレベルで実装する方法を示します。

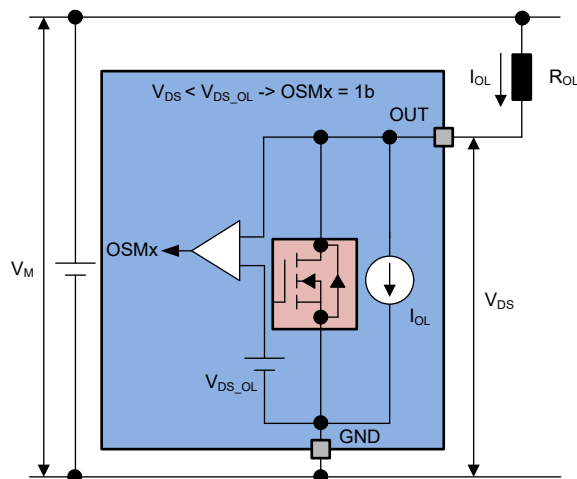


図 6-14. 出力ステータス モニタ

標準診断では、ビット OLOFF は、オフ状態のすべてのチャンネルにおいて、対応する電流源 I_{OL} アクティブになっているすべてのチャンネルにおいて、すべての OSMx ビットの OR 組み合わせを表します。

DISOL ビットが 1b の場合、すべての I_{OL} 電流ソースをディセーブルにすることで、開放負荷検出がディセーブルになります。

6.3.5 SPI 通信

SPI インターフェイスは、全二重同期シリアルフォロインターフェイスで、次の 4 つのラインを使用します。SDO、SDI、SCLK、nSCS。データは、SCLK で与えられるレートでライン SDI および SDO により転送されます。nSCS の立ち下がりエッジはアクセスの開始を示します。データは、SCLK の立ち下がりエッジでライン SDI でサンプリングされ、SCLK の立ち上がりエッジでライン SDO 上にシフトアウトされます。各アクセスは、nSCS の立ち上がりエッジで終了する必要があります。

モジュール 8/16 カウンタにより、最初の 16 ビットの後に 8 ビットの倍数が転送された場合のみデータが取得されます。それ以外の場合は、TER ビットがアサートされます。このようにインターフェイスは 16 ビットと 8 ビットの SPI デバイスのデジチェーン機能を実現します。

6.3.5.1 SPI 信号の説明

6.3.5.1.1 チップセレクト (nSCS)

マイコンは、nSCS ピンを使用して DRV81004-Q1 を選択します。ピンがロジック Low 状態のときは常に、データ転送を実行できます。nSCS ピンがロジック HIGH 状態である場合、SCLK ピンと SDI ピンのすべての信号が無視され、SDO が高インピーダンス状態に強制されます。

6.3.5.1.1.1 ロジック High からロジック Low への遷移

- 要求された情報はシフトレジスタに転送されます。
- SDO は、送信エラーフラグ (TER) とピン SDI の信号レベルの間のロジックまたは組み合わせに応じて、ハイインピーダンス状態からロジック High またはロジック Low 状態に変化します。これにより、デジチェーン構成でも、送信の障害を検出できます。
- デバイスがスリープモードの場合、SDO ピンはハイインピーダンス状態のままで、SPI 転送は行われません。

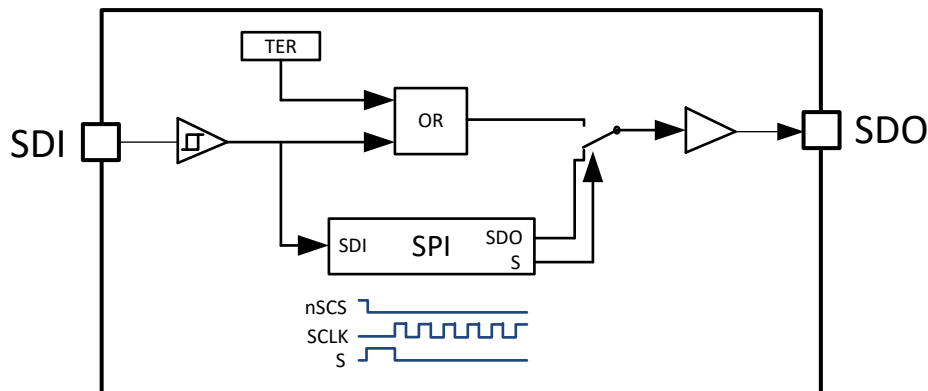


図 6-15. TER ビットの組み合わせロジック

6.3.5.1.1.2 ロジック Low からロジック High への遷移

- コマンドのデコードは、nSCS の立ち下がりエッジの後、最初の 16 SCLK パルスの後で、8 つの SCLK 信号のちょうど倍数 (1, 2, 3, ...) が検出されたときのみ実行されます。送信に障害が発生した場合、送信エラービット (TER) がセットされ、コマンドは無視されます。
- シフトレジスタのデータは、アドレス指定されたレジスタに転送されます。

6.3.5.1.2 シリアルクロック (SCLK)

この入力ピンは、内部シフトレジスタにクロックを供給します。シリアル入力 (SDI) は、SCLK の立ち下がりエッジでデータをシフトレジスタに転送し、シリアル出力 (SDO) は診断情報をシリアルクロックの立ち上がりエッジでシフトアウトします。チップセレクト nSCS が遷移を行うときは常に、SCLK ピンはロジック Low 状態にすることが重要です。そうでない場合、コマンドが受け付けられない場合があります。

6.3.5.1.3 シリアル入力 (SDI)

シリアル入力データビットは、最上位ビットが先頭のこのピンのシフトインです。SDI 情報は、SCLK の立ち下がりエッジで読み込まれます。入力データは、制御ビットとそれに続くデータビットの 2 つの部分で構成されます。

6.3.5.1.4 シリアル出力 (SDO)

データは、最上位ビットを先頭にして、このピンでシリアルにシフトされます。SDO は、nSCS ピンがロジック Low 状態になるまでハイインピーダンス状態になります。新しいデータは、SCLK の立ち上がりエッジに続いて SDO ピンに現れます。

6.3.5.2 デイジーチェーン機能

DRV81004-Q1 の SPI にはデイジーチェーン機能があります。この設定では、複数のデバイスが同じ nSCS 信号 MCSN によってアクティブ化されます。チェーンを構築するために、あるデバイスの SDI ラインは、別のデバイスの SDO ラインに接続されます。チェーンの端は、マスタデバイスの出力と入力、それぞれ M-SDO および M-SDI に接続されます。コマンドデバイスは、チェーン内の各デバイスの SCLK ラインに接続されたクロック M-SCLK を提供します。

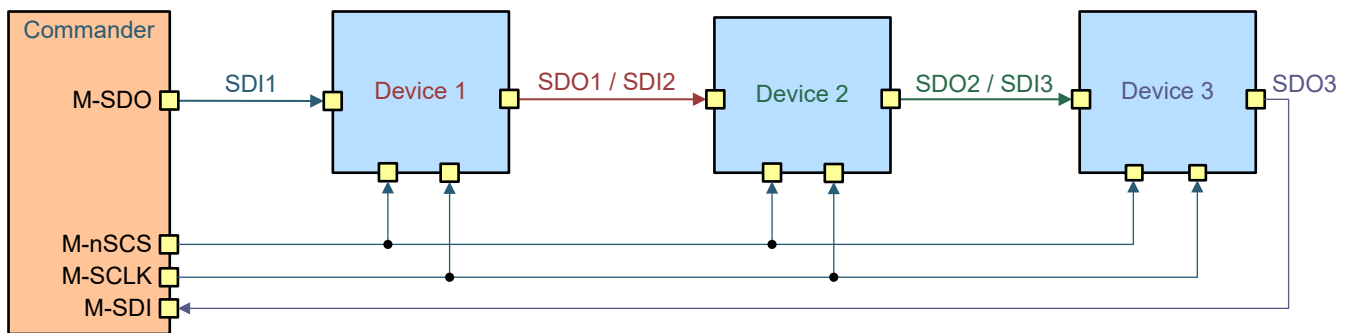


図 6-16. デイジーチェーン構成

各デバイスの SPI ブロックには 1 つのシフトレジスタがあり、SDI ラインからの各ビットが各 SCLK でシフトします。このビットのシフトアウトは SDO ピンで発生します。16 SCLK サイクル後、1 つのデバイスのデータ転送が完了します。

シングルチップ構成では、nSCS ラインがロジック High になって、デバイスが転送されたデータをアクリッジする必要があります。デイジーチェーン構成では、デバイス 1 でシフトアウトされたデータがデバイス 2 にシフトインされています。3 つのデバイスをデイジーチェーンで使用する場合、デバイスを介して 8 ビットの倍数をシフトする必要があります (8 ビット SPI を搭載したデバイスの数と 16 ビット SPI を搭載しているデバイスの数に依存)。その後、M-nSCS ラインを論理 High にする必要があります。

6.3.5.3 SPI プロトコル

SPI 通信中の SDI と SDO の内容との関係を図 6-17 に示します。SDI ラインはマイクロコントローラから送信されるフレームを表し、SDO ラインは DRV81004-Q1 から提供された回答です。

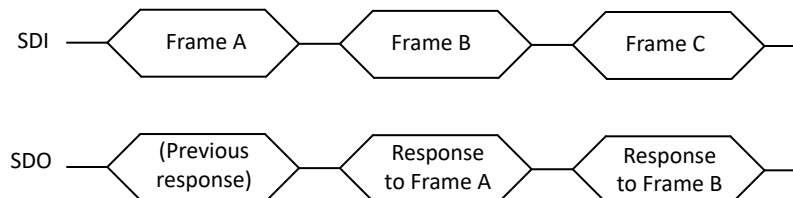


図 6-17. SPI 通信中の SDI と SDO の関係

SPI プロトコルは、マイクロコントローラによってトリガされる次の送信でのみ、コマンド・フレームへの回答を提供します。DRV81004-Q1 に実装されている最大のコマンドとフレームは、以前に何が起こったか知らないうちにデコードできます

が、前の送信でマイコンが何を送信して、DRV81004-Q1 の応答フレームを完全にデコードすることを検討することをお勧めします。レジスタの内容を読み書きするコマンドのシーケンスは、以下のようになります。

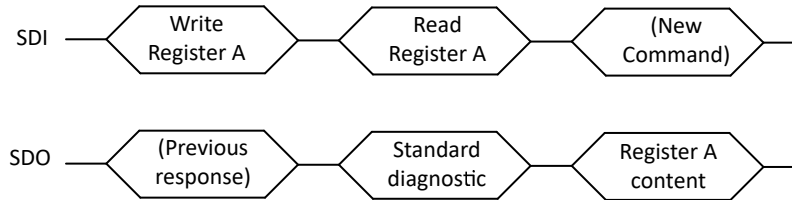


図 6-18. レジスタの内容をマイクロコントローラに送り返します

マイクロコントローラに返されるフレームが前の受信フレームと直接関係しないという、次の 3 つの特殊な状況があります。

- 前のフレームの間に送信エラーが発生した場合 (たとえば、クロックパルスは 8 の倍数ではなく、最小 16 ビット)、以下に示します。
- DRV81004-Q1 のロジック電源が、パワーオンリセット状態から復帰した場合、またはソフトウェアリセット後に、以下に示すようになります。
- コマンド構文エラーの場合
 - 書き込みコマンドは、10b ではなく 11b で開始されます
 - 読み出しコマンドは、01b ではなく 00b から開始します
 - 予約済みまたは使用されていないレジスタに対して、読み取りまたは書き込みコマンドを実行します

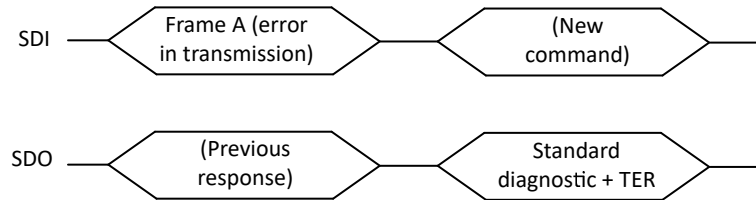


図 6-19. 送信エラー後の応答

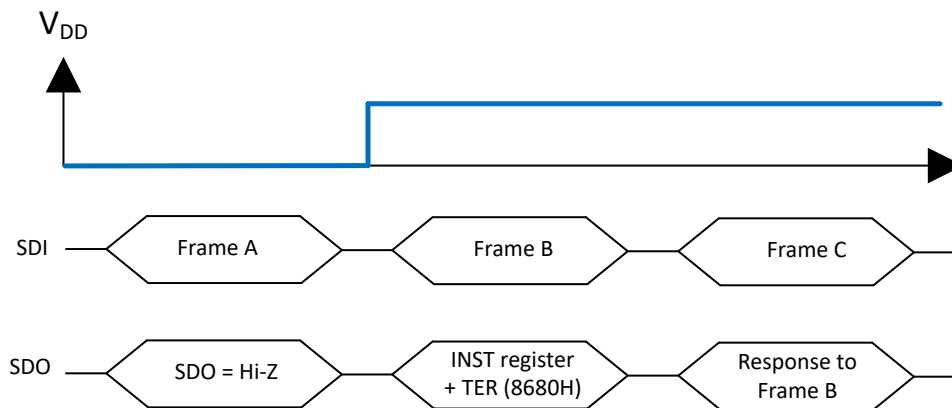


図 6-20. V_{DD} でのパワーオンリセットから復帰した後の応答

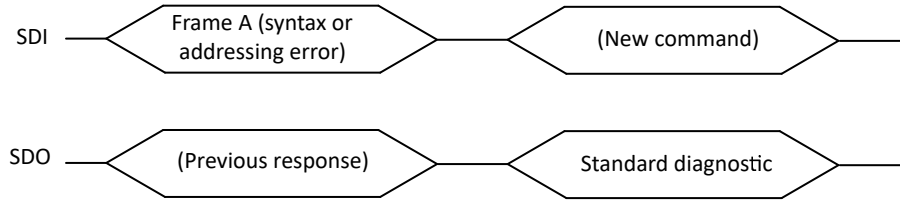


図 6-21. コマンド構文エラー後の応答

DRV81004-Q1 が次の送信時に送り返す回答も含め、考えられるすべての SPI コマンドの概要を以下に示します。

表 6-6. SPI コマンドの概要

要求された操作	SDI ピンに送信されるフレーム	次のコマンドで SDO ピンから受信したフレーム
標準診断を確認	0xxxxxxxxxxxx01b (xxxxxxxxxxxxb = 未使用)	0dddddddddddddb (標準診断)
8 ビットレジスタを書き込みます	10ppppqrrrrrrrb、ここで ppppb = レジスタアドレス ADDR0、qqb = レジスタアドレス ADDR1、rrrrrrrb = 新しいレジスタ内容	0dddddddddddddb (標準診断)
8 ビットレジスタを読み出します	01ppppqxxxxx10b、ここで、ppppb = レジスタアドレス ADDR0、qqb = レジスタアドレス ADDR1、xxxxxb = 未使用	10ppppqrrrrrrrb、ここで、ppppb = レジスタアドレス ADDR0c、qqb = レジスタアドレス ADDR1、rrrrrrrb = レジスタ内容

「p」= ADDR0 フィールドのアドレスビット、「q」= ADDR1 フィールドのアドレスビット、「r」= レジスタ内容、「d」= 診断ビット

6.3.5.4 SPI レジスタ

レジスタバンクの構造は次のとおりです -

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	ADDR0				ADDR1		データ								XXXXH

以降のセクションに記載されていないアドレスを持つレジスタは、すべて予約済みと見なす必要があります。これらのレジスタに対して実行される読み取り操作は、標準診断を返します。列のデフォルトは、リセット後のレジスタ (8 ビット) の内容を示します。

構成レジスタ 2 のロックビットを使用して、意図しない SPI 書き込みによるレジスタ設定をロックできます。

- 設定をロックして、レジスタへのさらなる書き込み (LOCK ビットと CLR_x ビットへの書き込みを除く) を無視するには、110b を書き込みます。ロックされていない状態で、110b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。
- 011b を書き込むと、すべてのレジスタのロックを解除します。ロックされている状態で、011b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。

6.3.5.4.1 標準診断レジスタ

表 6-7. 標準診断レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
0	UVRVM	0	モード	TER	0	OLOFF	0	0	0	0	ERR3	ERR2	ERR1	ERR0	5800h	

表 6-8. 標準診断レジスタの説明

フィールド	ビット	タイプ	概要
UVRVM	14	R	VM 低電圧監視 <ul style="list-style-type: none"> 0b: VM で低電圧状態は検出されていません 1b (デフォルト): 最後の標準診断の読み出し以降に、少なくとも 1 つの VM 低電圧状態が発生しました
モード	12-11	R	動作監視モード <ul style="list-style-type: none"> 00b: 予約済み 01b: リンプホームモード 10b: アクティブ モード 11b (デフォルト): アイドル モード
TER	10	R	送信エラー 0b: 以前の送信は成功しました (16 + n * 8 クロックを受信し、n = 0, 1, 2 ...) 1b (デフォルト): 前回の送信に失敗しました。リセット後の最初のフレームは、TER が 1b に設定され、INST レジスタが作動します。2 つ目のフレームは標準診断で、TER は 0b に設定されています (前の送信で障害がなかった場合)。
OLOFF	8	R	オフ診断で負荷を開放します 0b (デフォルト): すべてのチャンネルがオフ状態 (IOL _x ビットが 1b に設定されている) では、V _{DS} > V _{DS_OL} です 1b: 1 つ以上のチャンネルがオフ状態 (IOL _x ビットが 1b に設定されている)、V _{DS} < V _{DS_OL} が規定されています。オン状態のチャンネルは考慮されません。

表 6-8. 標準診断レジスタの説明 (続き)

ERRx	3-0	R	過負荷/過熱チャンネル x の診断 0b (デフォルト): 障害は検出されませんでした 1b: 過熱または過負荷です
------	-----	---	--

6.3.5.4.2 出力制御レジスタ

表 6-9. 出力制御レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0000				00		RSVD				EN3	EN2	EN1	EN0	00h

表 6-10. 出力制御レジスタの説明

フィールド	ビット	タイプ	概要
RSVD	7-4	RW	予約済み。読み取りデフォルト:0b、書き込みは無視されます。
ENx	3-0	RW	出力 x 制御レジスタ 0b (デフォルト): 出力 x はオフです 1b: 出力はオンです

6.3.5.4.3 入力 0 マッピングレジスタ

表 6-11. 入力 0 マッピングレジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0001				00		RSVD				MAP03	MAP02	MAP01	MAP00	04h

表 6-12. 入力 0 マッピングレジスタの説明

フィールド	ビット	タイプ	概要
RSVD	7-4	RW	予約済み。読み取りデフォルト:0b、書き込みは無視されます。
MAP0x	3-0	RW	入力ピン 0 マッピングレジスタ 0b (デフォルト): 出力 x は入力ピン 0 に接続されていません 1b: 出力は入力ピンに接続されています。 注: チャンネル 2 には、デフォルトで対応するビットが 1b に設定されています

6.3.5.4.4 入力 1 マッピングレジスタ

表 6-13. 入力 1 マッピングレジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0001				01		RSVD				MAP13	MAP12	MAP11	MAP10	08h

表 6-14. 入力 1 マッピングレジスタの説明

フィールド	ビット	タイプ	概要
MAP1x	7-4	RW	予約済み。読み取りデフォルト:0b、書き込みは無視されます。

表 6-14. 入力 1 マッピングレジスタの説明 (続き)

MAP1x	3-0	RW	入力ピン 1 マッピングレジスタ 0b (デフォルト): 出力 x は入力ピン 1 に接続されていません 1b: 出力は入力ピンに接続されています。 注: チャンネル 3 には、デフォルトで対応するビットが 1b に設定されています
-------	-----	----	---

6.3.5.4.5 入カステータス モニタ レジスタ

これは、ロジックのリセット後に送信される最初のレジスタです

表 6-15. 入カステータス モニタ レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
0	1	0001			10		TER	RSVD				INST1	INST0	00h		

表 6-16. 入力 1 マッピング レジスタの説明

フィールド	ビット	タイプ	概要
TER	7	R	0b: 以前の送信は成功しました (16 + n * 8 クロックを受信し、n = 0、1、2 ...) 1b (デフォルト): 前回の送信に失敗しました
RSVD	6-2	R	予約済み
INST1	1	R	0b (デフォルト): 入力ピンはロジック Low に設定されます 1b: 入力ピンはロジック High に設定されています
INST0	0	R	0b (デフォルト): 入力ピンはロジック Low に設定されます 1b: 入力ピンはロジック High に設定されています

6.3.5.4.6 開放負荷電流制御レジスタ

表 6-17. 開放負荷電流制御レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0010			00		RSVD				IOL3	IOL2	IOL1	IOL0	00h	

表 6-18. 開放負荷電流制御レジスタの説明

フィールド	ビット	タイプ	概要
RSVD	7-4	RW	予約済み。読み取りデフォルト: 0b、書き込みは無視されます。
IOLx	3-0	RW	0b (デフォルト): IOL 電流ソースがイネーブルではありません 1b: IOL 電流ソースをイネーブル

6.3.5.4.7 出カステータス モニタ レジスタ

表 6-19. 出カステータス モニタ レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
0	1	0010			01		RSVD				OSM3	OSM2	OSM1	OSM0	00h	

表 6-20. 出カステータス モニタ レジスタの説明

フィールド	ビット	タイプ	概要
RSVD	7-4	R	予約済み。読み取りデフォルト: 0b、書き込みは無視されます。
OSMx	3-0	R	0b (デフォルト): $V_{DS} > V_{DS_OL}$ 1b: $V_{DS} < V_{DS_OL}$

6.3.5.4.8 構成レジスタ

表 6-21. 構成レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0011				00		ACT	RST	DISOL	OCP	RSVD		PAR1	PAR0	00h

表 6-22. 構成レジスタの説明

フィールド	ビット	タイプ	概要
ACT	7	RW	0b (デフォルト): 通常動作、またはデバイスがアクティブ・モードを終了 1b: デバイスはアクティブ モードに入ります。
RST	6	RW	0b (デフォルト): 通常動作 1b: 実行リセットコマンド(セルフクリア)
DISOL	5	RW	0b (デフォルト): 開放負荷検出はイネーブルです 1b: 開放負荷検出はディスエーブルです
OCP	4	RW	0b (デフォルト): 過電流保護電流プロファイル 1 1b: 過電流保護電流プロファイル 2
RSVD	3-2	RW	予約済み。読み取りデフォルト: 0b、書き込みは無視されます。
PAR1	1	RW	0b (デフォルト): 通常動作 1b: チャンネル 1 と 3 は、過負荷と過熱に同期しています
PAR0	0	RW	0b (デフォルト): 通常動作 1b: チャンネル 0 と 2 は、過負荷と過熱に同期しています

6.3.5.4.9 出カクリア ラッチ レジスタ

表 6-23. 出カクリア ラッチ レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	0011				01		RSVD				CLR3	CLR2	CLR1	CLR0	00h

表 6-24. 出カクリア ラッチ レジスタの説明

フィールド	ビット	タイプ	概要
RSVD	7-4	RW	予約済み。読み取りデフォルト: 0b、書き込みは無視されます。
CLR _x	3-0	RW	0b (デフォルト): 通常動作 1b: 選択した出力のエラーラッチをクリアします

6.3.5.4.10 設定レジスタ 2

表 6-25. 設定レジスタ 2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	デフォルト
R = 0 W = 1	R = 1 W = 0	1010				00		LOCK[2:0]			RSVD		OTW	RSVD	SR	60h

表 6-26. 構成レジスタの説明

フィールド	ビット	タイプ	概要
LOCK[2:0]	7-5	RW	設定をロックして、レジスタへのさらなる書き込み (LOCK ビットと CLR _x ビットへの書き込みを除く) を無視するには、110b を書き込みます。ロックされていない状態で、110b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。すべてのレジスタのロックを解除するには、このレジスタに 011b を書き込みます。ロックされている状態で、011b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。
RSVD	4-3, 1	R	予約済み。
OTW	2	R	過熱警告 <ul style="list-style-type: none"> 0b (デフォルト): 過熱イベントなし 1b: 過熱イベント
SR	0	RW	出力スルー レートをセット <ul style="list-style-type: none"> 0b (デフォルト): スルー レート: 1.2V/μs 1b: スルー レート: 3V/μs

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DRV81004-Q1 は主に、車載用および産業用アプリケーションでリレーの駆動に使用されます。

7.1.1 代表的なアプリケーション

DRV81004-Q1 の代表的なアプリケーション回路図を、[図 7-1](#) に示します。

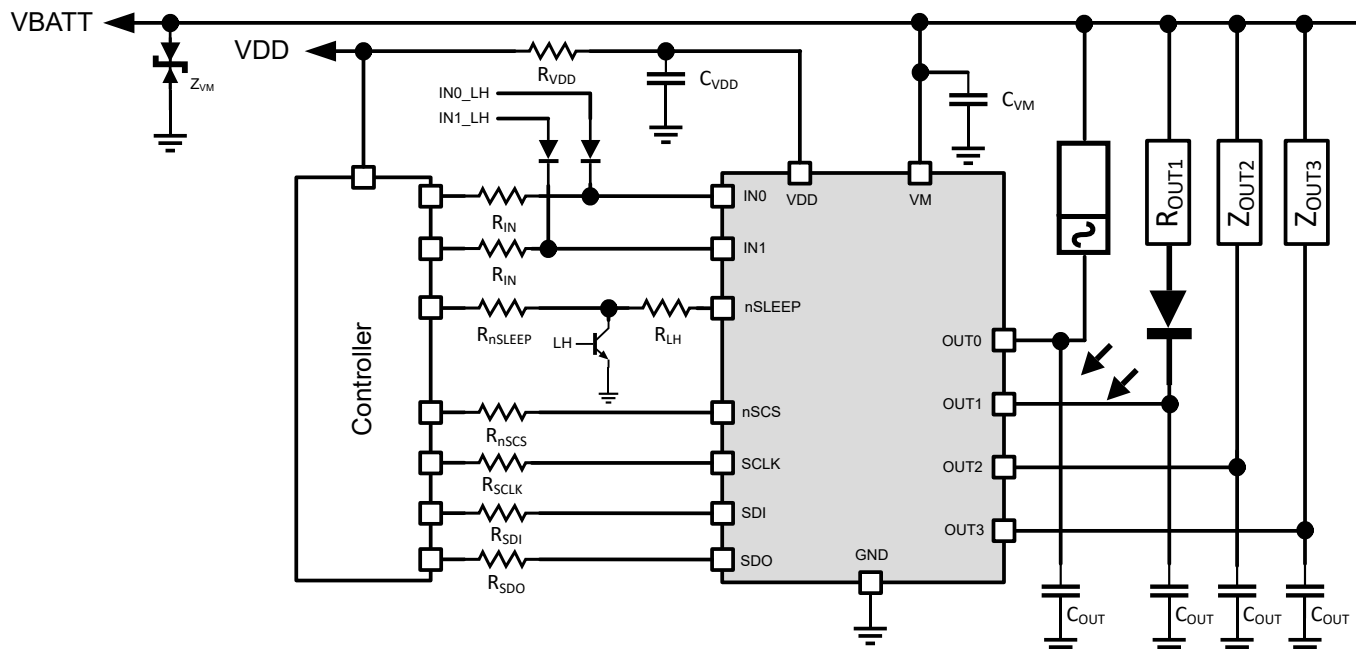


図 7-1. アプリケーション回路図

7.1.2 推奨外付け部品

表 7-1 に、DRV81004-Q1 の推奨外付け部品を示します。

表 7-1. 推奨外付け部品

概要	値	目的
抵抗は IN0、IN1、および nSLEEP ピンと直列に接続します	4.7kΩ	過電圧および逆極性時のマイコンの保護。グランド喪失時に出力チャンネルがオフになることも保証します。
nSCS、SCLK、SDI、SDO ピンと直列に接続した抵抗	470 Ω	過電圧および逆極性時のマイコンの保護
VDD ピンと直列の抵抗	100 Ω	ロジック電源電圧フィルタリング
VDD ピン上のバイパスコンデンサ	100nF	ロジック電源電圧フィルタリング
VM ピン上のバイパスコンデンサ	68nF	バッテリー電圧のフィルタリング
VM ピンの TVS ダイオード	TVS3300	過電圧時のデバイスの保護
各 OUT ピンのコンデンサ (オプション)	10nF	デバイスを ESD および BCI から保護します

7.1.3 アプリケーションのプロット

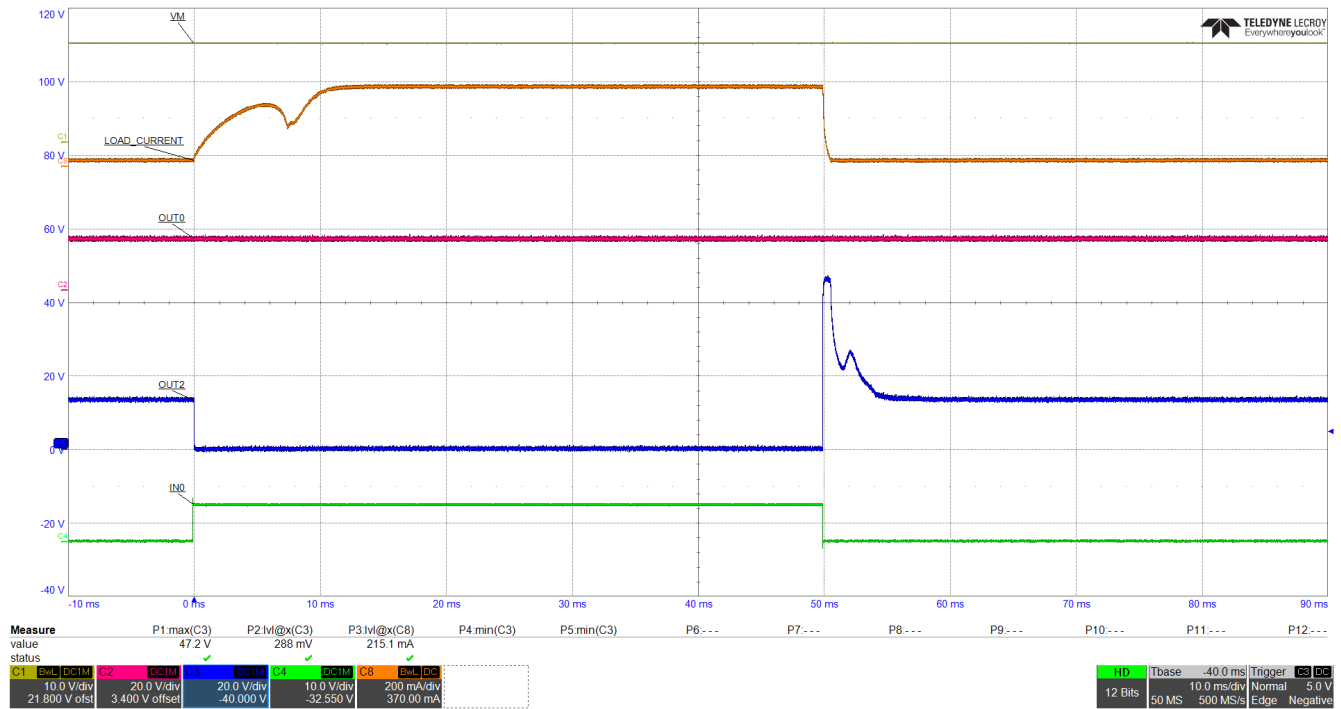


図 7-2. IN0 ピンからの出カターンオン/オフ

7.2 レイアウト

7.2.1 レイアウトのガイドライン

- VM 定格の低 ESR セラミック 68nF コンデンサを使用して、VM ピンを GND にバイパスする必要があります。
- このコンデンサは、幅の広いパターン、または GND ピンに接続したグラウンドプレーンを使用して、VM ピンの近くに配置する必要があります。
- 低 ESR セラミック コンデンサを使用して、VDD ピンをグラウンドにバイパスします。6.3V 定格の 100nF を推奨します。このバイパス コンデンサはピンにできるだけ近付けて配置します。
- 一般に、電源ピンとデカップリング コンデンサの間のインダクタンスを防ぐ必要があります。
- IN0、IN1、nSLEEP、nSCS、SCLK、SDI、SDO、VDD の各ピンと、マイコンの対応するピンの上に直列抵抗を接続します。ゲイン抵抗の標準値については、[セクション 6.3](#) で説明します。
- サーマル パッドは、システム グラウンドに接続する必要があります。
 - システム / 基板全体には、破損していない大きな単一のグラウンド プレーンを使用することを推奨します。グラウンド プレーンは PCB の下層に作成できます。
 - インピーダンスとインダクタンスを最小化するには、ビアを経由して下層のグラウンド プレーンに接続する前に、グラウンド ピンからのパターンをできる限り短く、幅広くする必要があります。
 - インピーダンスを低減するために、複数のビアを推奨します。
 - 熱の拡散を改善するために、デバイスの周囲のスペースを大きく、特に下層に確保してください。
 - サーマル パッドを単一または複数の内部グラウンド プレーンに接続することでも、熱の拡散と熱抵抗の低減に役立ちます。

7.2.2 パッケージ フットプリントの互換性

DRV81004-Q1 の PWP0014L パッケージは、[図 7-3](#) および [図 7-4](#) に示すように、業界で使用されている他の SO-14 パッケージとフットプリント互換です。

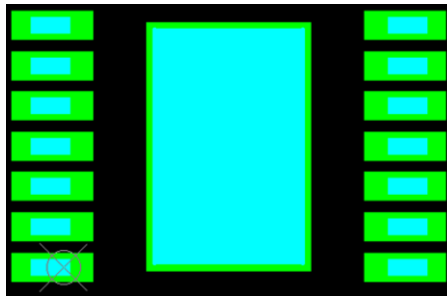


図 7-3. SO-14 PCB パッドの PWP0014L、水色 : PWP0014L リード、緑 : その他の SO-14 PCB パッド

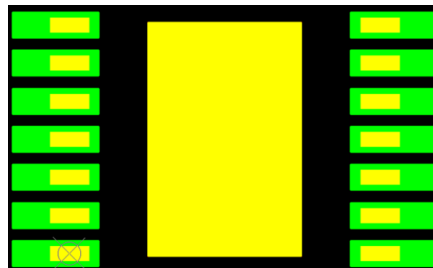


図 7-4. PWP0014L PCB パッドの SO-14、黄 : その他の SO-14 リード、緑 : TI PWP0014L PCB パッド

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (December 2024) to Revision B (January 2025)	Page
• AECQ100 準拠と機能安全性能に関する注を追加。.....	1
• EC 表の VDS_OL の最小値および最大値の制限値を、前述の 2.9V/3.7V から 3V および 3.6V に更新。.....	7
• ROL と VM、および IOL と VM の代表的な動作プロットを追加。.....	11

Changes from Revision * (November 2024) to Revision A (December 2024)	Page
• デバイスのステータスを「量産データ」に更新。.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV81004QPWPRQ1	Active	Production	HTSSOP (PWP) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	81004Q1
DRV81004QPWPRQ1.A	Active	Production	HTSSOP (PWP) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	81004Q1

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

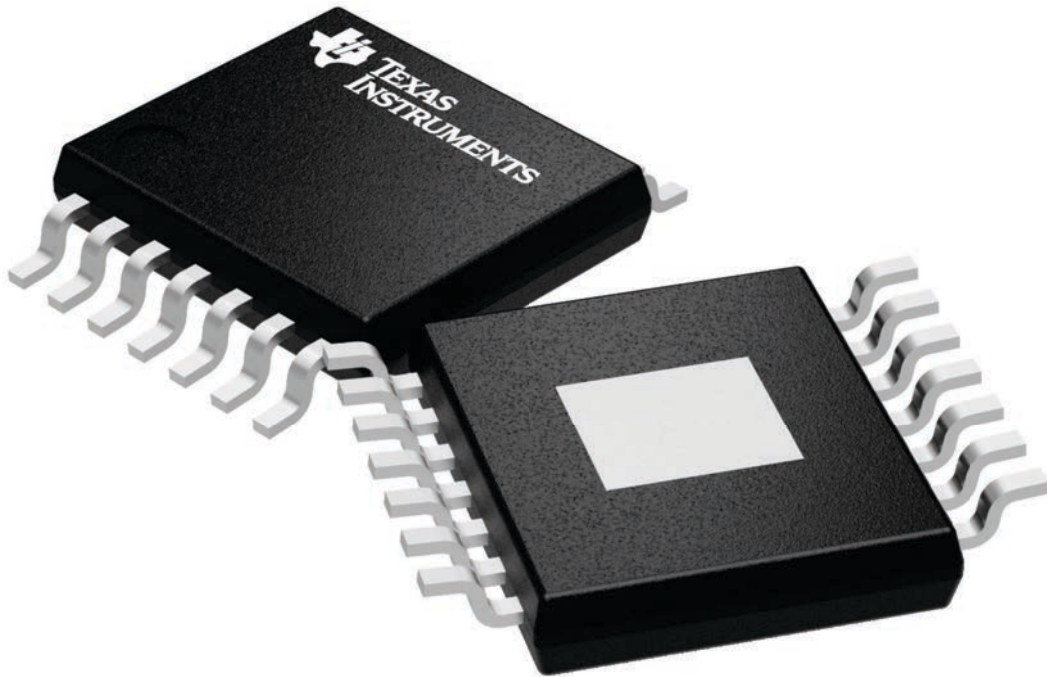
PWP 14

PowerPAD TSSOP - 1.2 mm max height

4.4 x 5.0, 0.65 mm pitch

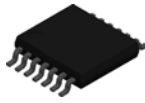
PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224995/A

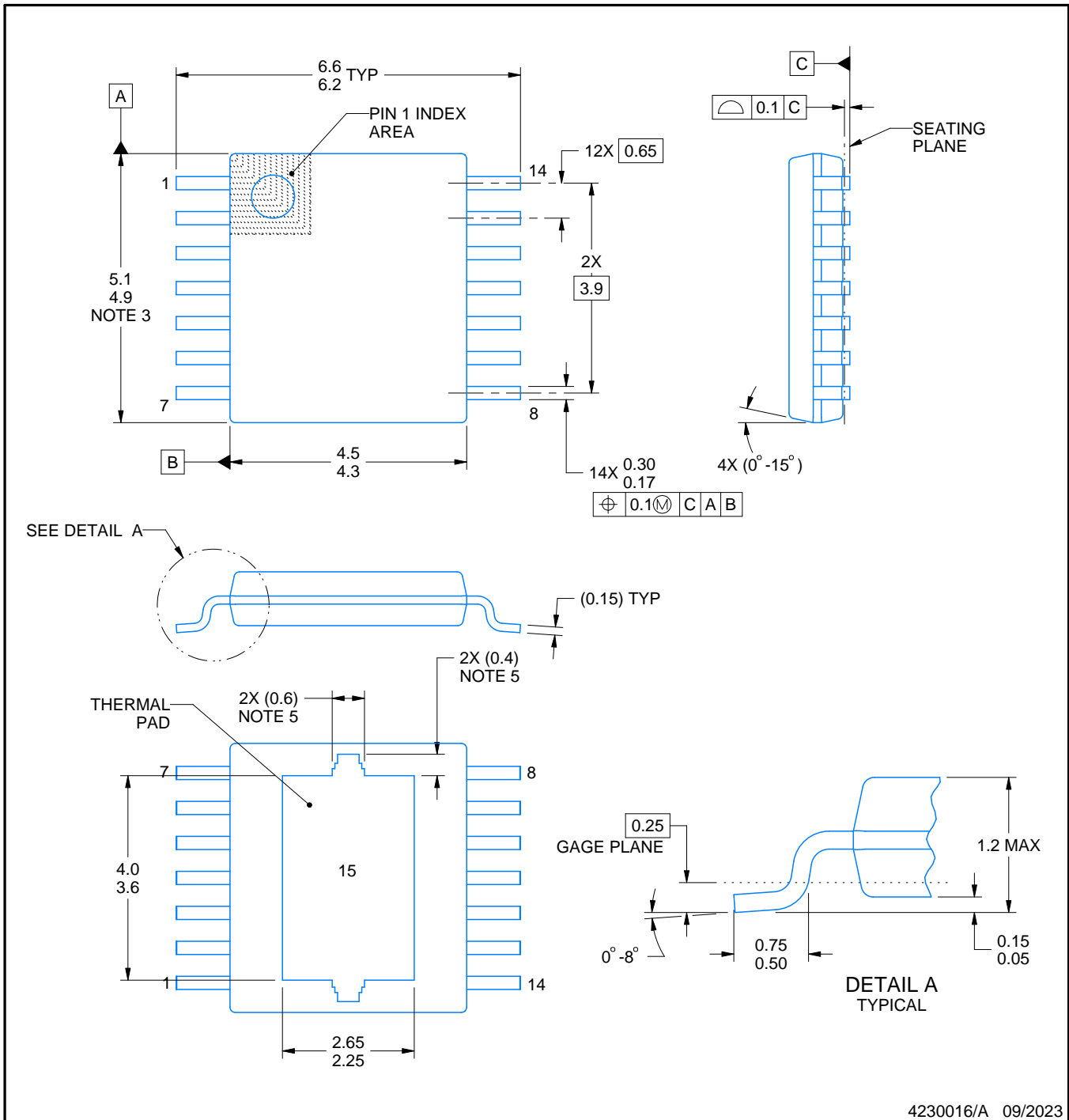
PWP0014L



PACKAGE OUTLINE

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4230016/A 09/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

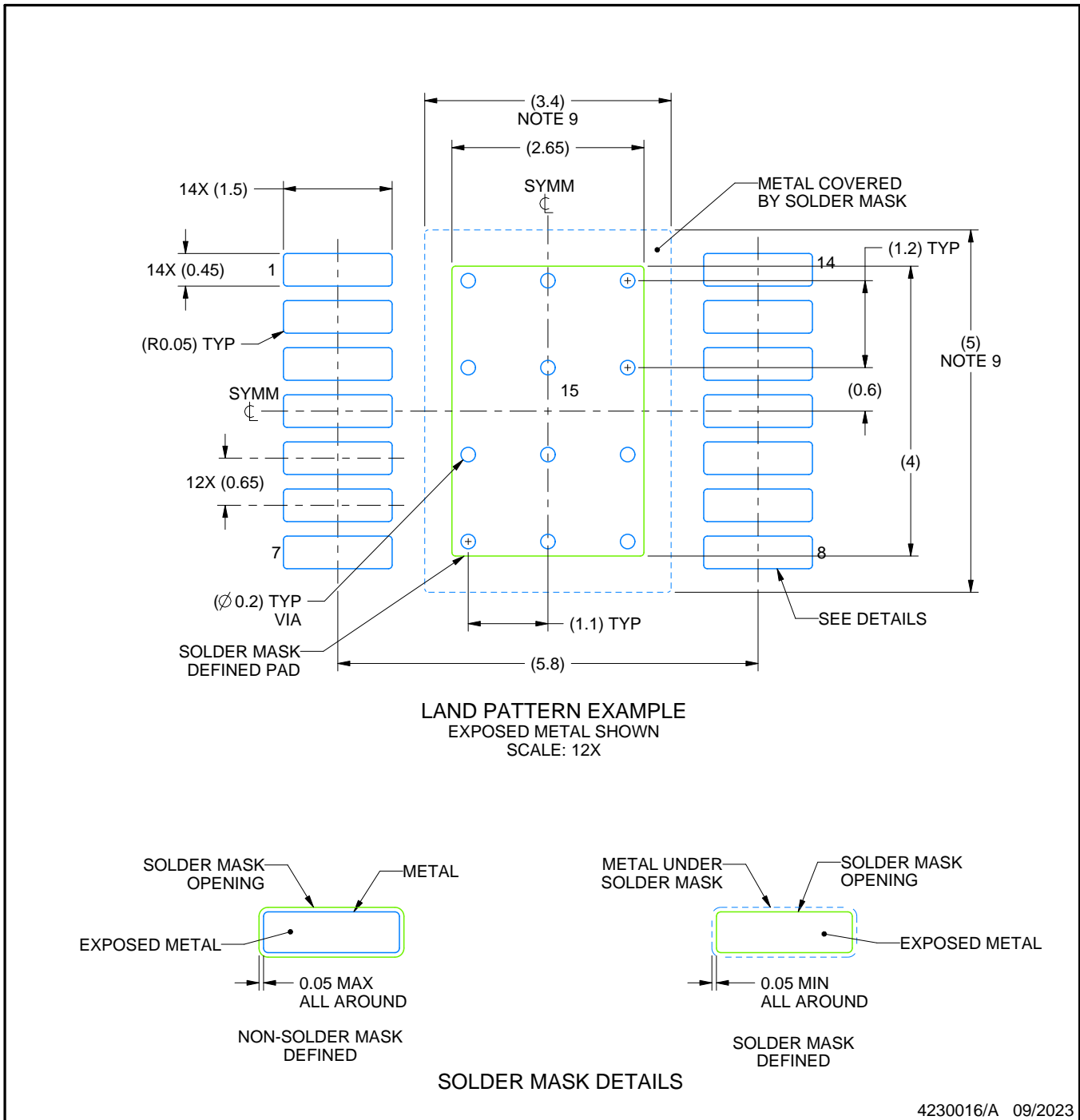
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

PWP0014L

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

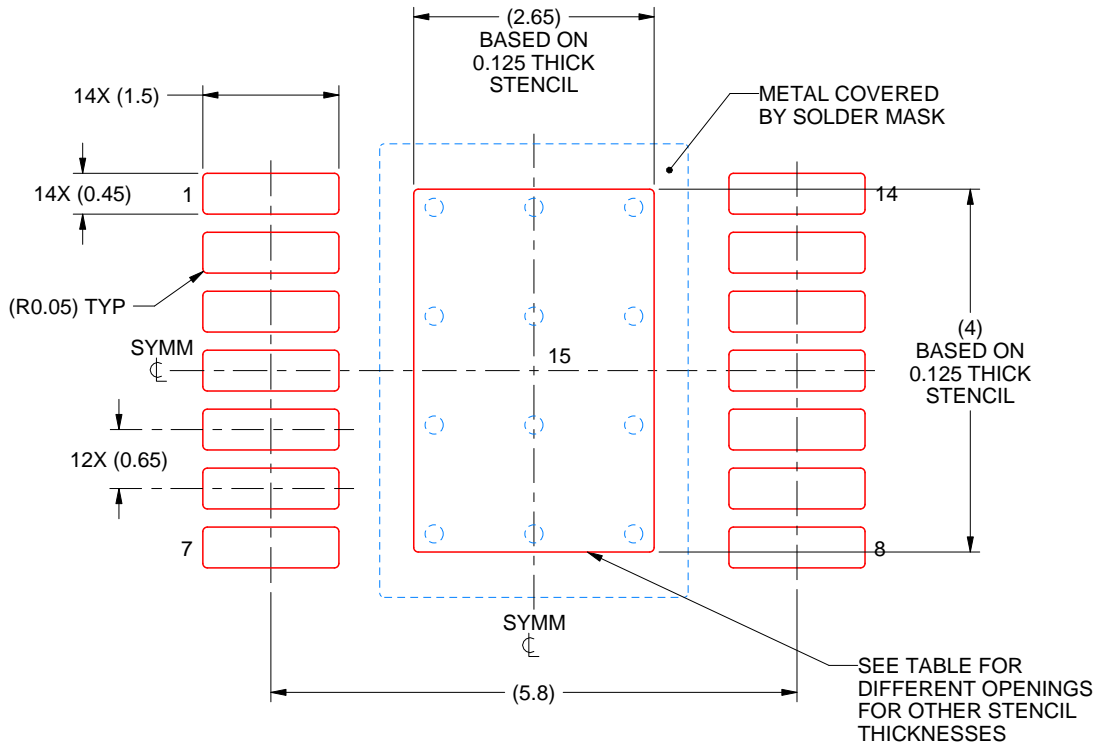
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0014L

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE: 12X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.96 X 4.47
0.125	2.65 X 4.00 (SHOWN)
0.15	2.42 X 3.65
0.175	2.24 X 3.38

4230016/A 09/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月