

DRV8428E/P デュアル H ブリッジ・モータ・ドライバ、電流検出機能およびスマート・チューン・テクノロジーを内蔵

1 特長

- デュアル H ブリッジ・モータ・ドライバ
 - 1 つのバイポーラ・ステッパ・モータ
 - 2 つの双方向ブラシ付き DC モータ
 - 4 つの単方向ブラシ付き DC モータ
- 内蔵型の電流検出機能
 - 検出抵抗が不要
 - $\pm 6\%$ のフルスケール電流精度
- 4.2V ~ 33V の動作電源電圧範囲
- 複数の制御インターフェイス・オプション
 - 位相 / イネーブル (PH/EN)
 - PWM (IN/IN)
- スマート・チューンとミックス・ディケイ・オプション
- 24V、25°C で 1500mΩ HS + LS RDS(ON)
- 電流容量：1.7A ピーク、0.7A RMS
- 構成可能なオフ時間 PWM チョッピング
 - 7、16、32μs
- 1.8V、3.3V、5.0V のロジック入力をサポート
- 低消費電力のスリープ・モード (2μA)
- 拡散スペクトラム・クロック処理による低い EMI
- ブラシ付き DC アプリケーションでの突入電流制限
- 小さなパッケージと占有面積
- 保護機能
 - VM 低電圧誤動作防止 (UVLO)
 - 過電流保護 (OCP)
 - サーマル・シャットダウン (OTSD)

2 アプリケーション

- ブラシ付き DC モータ
- プリンタとスキャナ
- 貨幣計数機と EPOS
- オフィスおよびホーム・オートメーション
- ファクトリ・オートメーションおよびロボティクス
- 小型家電製品
- ミシン
- 掃除機、ヒューマノイド、ロボット玩具
- スマート・メーター

3 概要

DRV8428E/P デバイスは、さまざまな産業用アプリケーションに適したデュアル H ブリッジ・モータ・ドライバです。このデバイスを使用すると、2 つの DC モータまたは 1 つのバイポーラ・ステッパ・モータを駆

動できます。DRV8428E/P はフルスケール出力電流で最大 1A、RMS 出力電流で最大 0.7A を駆動できます (PCB の設計に依存)。

本ドライバの出力段は、2 つのフル H ブリッジとして構成された N チャネル・パワー MOSFET、電流検出およびレギュレーション回路、保護回路で構成されます。内蔵の電流検出機能では内部の電流ミラー・アーキテクチャを使用するため、外部シャント抵抗が不要になり、基板面積の節約とシステムコストの削減が可能です。低消費電力のスリープ・モードにより、内部回路の多くをシャットダウンして、非常に低い静止電流を実現できます。保護機能として、電源低電圧誤動作防止 (UVLO)、過電流検出 (OCP)、デバイス過熱検出 (TSD) を内蔵しています。

表 3-1. 製品情報 (1) (1 ページ)

型番	パッケージ	本体サイズ (公称)
DRV8428EPWPR	HTSSOP (16)	5mm × 4.4mm
DRV8428ERTER	WQFN (16)	3.0mm × 3.0mm
DRV8428EDYYR	TSOT (16)	4.2mm × 3.26mm
DRV8428PPWPR	HTSSOP (16)	5mm × 4.4mm
DRV8428PRTER	WQFN (16)	3.0mm × 3.0mm
DRV8428PDYYR	TSOT (16)	4.2mm × 3.26mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

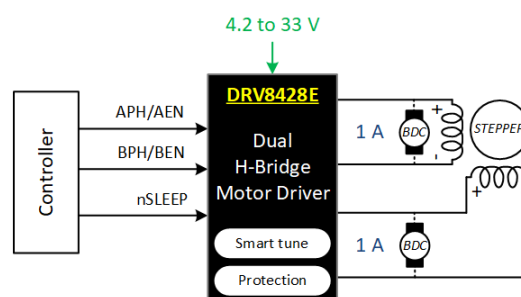


図 3-1. DRV8428E の概略回路図

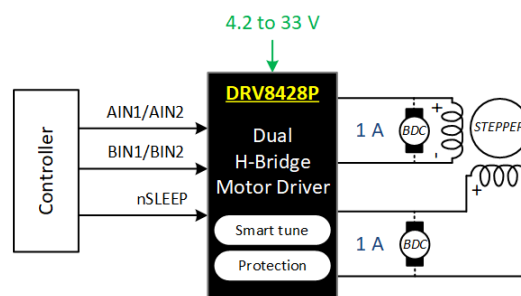


図 3-2. DRV8428P の概略回路図



目次

1 特長	1	8 アプリケーションと実装	24
2 アプリケーション	1	8.1 アプリケーション情報.....	24
3 概要	1	8.2 代表的なアプリケーション.....	24
4 改訂履歴	2	8.3 代替アプリケーション.....	27
5 ピン構成および機能	3	9 電源に関する推奨事項	29
5.1 端子機能.....	4	9.1 バルク・コンデンサ.....	29
6 仕様	6	10 レイアウト	30
6.1 絶対最大定格.....	6	10.1 レイアウトの注意点.....	30
6.2 ESD 定格.....	6	11 デバイスおよびドキュメントのサポート	32
6.3 推奨動作条件.....	7	11.1 デバイス・サポート (オプション).....	32
6.4 熱に関する情報.....	7	11.2 ドキュメントのサポート(該当する場合).....	32
6.5 電気的特性.....	8	11.3 関連リンク.....	32
7 詳細説明	11	11.4 ドキュメントの更新通知を受け取る方法.....	32
7.1 概要.....	11	11.5 コミュニティ・リソース.....	32
7.2 機能ブロック図.....	12	11.6 商標.....	32
7.3 機能説明.....	14	12 メカニカル、パッケージ、および注文情報	33
7.4 デバイスの機能モード.....	23		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

5 ピン構成および機能

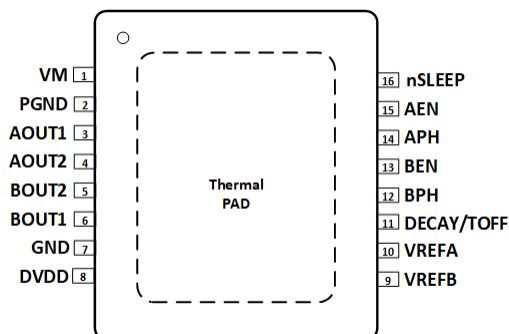


図 5-1. PWP PowerPAD™ パッケージ 16 ピン HTSSOP 上面図 DRV8428E

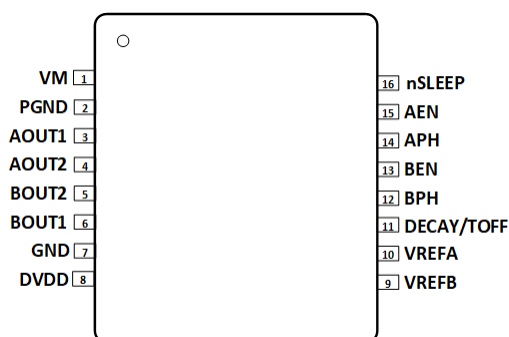


図 5-2. DYY パッケージ 16 ピン TSOT 上面図 DRV8428E

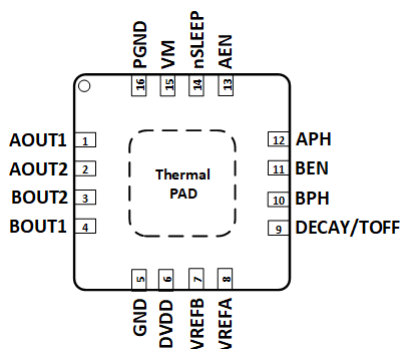


図 5-3. RTE パッケージ 16 ピン WQFN (露出サーマル・パッド付き) 上面図 DRV8428E

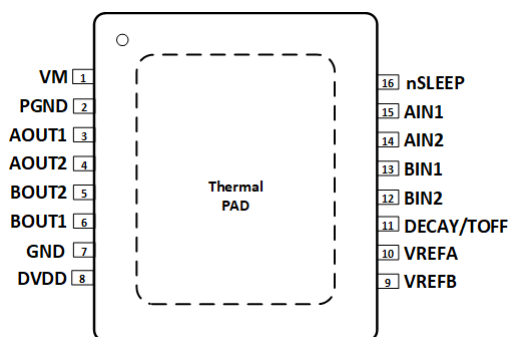


図 5-4. PWP PowerPAD™ パッケージ 16 ピン HTSSOP 上面図 DRV8428P

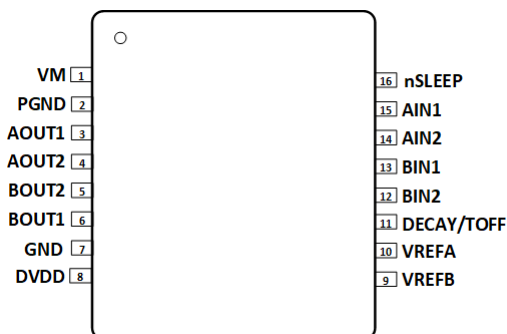


図 5-5. DYY パッケージ 16 ピン TSOT 上面図 DRV8428P

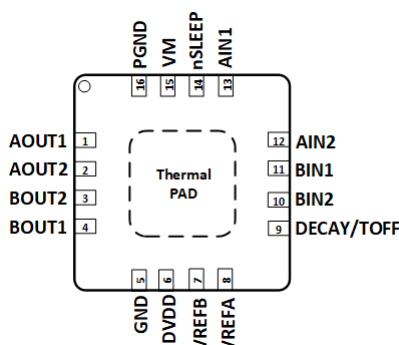


図 5-6. RTE パッケージ 16 ピン WQFN (露出サーマル・パッド付き) 上面図 DRV8428P

5.1 端子機能

ピン					種類	説明
名前	PWP、DYY		RTE			
	DRV8428E	DRV8428P	DRV8428E	DRV8428P		
DECAY/ TOFF	11	11	9	9	I	ディケイ・モードおよびオフタイム設定ピン、7 レベル・ピン。
AEN	15	—	13	—	I	ブリッジ A のイネーブル入力。ロジック High にするとブリッジ A はイネーブルされ、ロジック Low にするとブリッジ A はディセーブルされてハイ・インピーダンスになります。
AIN1	—	15	—	13	I	ブリッジ A の PWM 入力。H ブリッジ A の状態をロジック制御します。内部プルダウン。
AIN2	—	14	—	12	I	ブリッジ B の PWM 入力。H ブリッジ B の状態をロジック制御します。内部プルダウン。
AOUT1	3	3	1	1	O	巻線 A 出力。モータの巻線に接続します。
AOUT2	4	4	2	2	O	巻線 A 出力。モータの巻線に接続します。
APH	14	—	12	—	I	ブリッジ A の Phase 入力。ロジック High にすると、AOUT1 から AOUT2 に電流が駆動されます。
VREFA	10	10	8	8	I	基準電圧入力。このピンの電圧により、H ブリッジ A のフルスケールのチョッピング電流が設定されます。

ピン					種類	説明
名前	PWP、DYY		RTE			
	DRV8428E	DRV8428P	DRV8428E	DRV8428P		
BEN	13	—	11	—	I	ブリッジ B のイネーブル入力。ロジック High にするとブリッジ B はイネーブルされ、ロジック Low にするとブリッジ B はディセーブルされてハイ・インピーダンスになります。
BIN1	—	13	—	11	I	ブリッジ B の PWM 入力。H ブリッジ B の状態をロジック制御します。内部プルダウン。
BIN2	—	12	—	10	I	ブリッジ B の PWM 入力。H ブリッジ B の状態をロジック制御します。内部プルダウン。
BOUT1	6	6	4	4	O	巻線 B 出力。モータの巻線に接続します。
BOUT2	5	5	3	3	O	巻線 B 出力。モータの巻線に接続します。
BPH	12	—	10	—	I	ブリッジ B の Phase 入力。ロジック High にすると、BOUT1 から BOUT2 に電流が駆動されます。
VREFB	9	9	7	7	I	基準電圧入力。このピンの電圧により、H ブリッジ B のフルスケールのチョッピング電流が設定されます。
GND	7	7	5	5	PWR	デバイスのグラウンド。システム・グラウンドに接続します。
DVDD	8	8	6	6	PWR	ロジック電源電圧。X7R、0.47μF～1μF、6.3V または 10V 定格セラミック・コンデンサを GND との間に接続します。
VM	1	1	15	15	PWR	電源。モータ電源電圧に接続し、VM 定格の 0.01μF セラミック・コンデンサと 1 つのバルク・コンデンサを使用して PGND にバイパスします。
PGND	2	2	16	16	PWR	電源グラウンド。システム・グラウンドに接続します。
nSLEEP	16	16	14	14	I	スリープ・モード入力。論理 High でデバイスをイネーブル。論理 Low で低消費電力スリープ・モードに移行。内部プルダウン抵抗。nSLEEP Low パルスにより、フォルトがクリアされます。
PAD	-	-	-	-	-	サーマル・パッド。システム・グラウンドに接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内、GND 基準 (特に記述のない限り)⁽¹⁾ (6 ページ)

	最小	最大	単位
電源電圧 (VM)	−0.3	35	V
nSLEEP ピン電圧 (nSLEEP)	−0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	−0.3	5.75	V
制御ピン電圧 (APH, AEN, BPH, BEN, AIN1, AIN2, BIN1, BIN2, DECAY/TOFF)	−0.3	5.75	V
リファレンス入力ピン電圧 (VREFA, VREFB)	−0.3	5.75	V
巻線出力ピン電圧 (連続) (AOUT1, AOUT2, BOUT1, BOUT2)	−1	$V_{VM} + 1$	V
巻線出力ピン電圧 (過渡 100ns) (AOUT1, AOUT2, BOUT1, BOUT2)	−3	$V_{VM} + 3$	V
ピーク駆動電流 (AOUT1, AOUT2, BOUT1, BOUT2)	内部的に制限		A
動作時周囲温度、 T_A	−40	125	°C
動作時の接合部温度、 T_J	−40	150	°C
保管温度、 T_{stg}	−65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	PWP のコーナー・ピン (1、8、9、16)	
			その他のピン	
			±750	
			±500	

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小	最大	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.2	33	V
V_I	論理レベル入力電圧	0	5.5	V
V_{REF}	基準 RMS 電圧範囲 (VREFA、VREFB)	0.05	3	V
f_{PWM}	適用される PWM 信号 (APH、AEN、BPH、BEN、AIN1、AIN2、BIN1、BIN2)	0	100	kHz
I_{FS}	モータ・フルスケール電流 (xOUTx)	0	1	A
I_{rms}	モータ RMS 電流 (xOUTx)	0	0.7	A
T_A	動作時の周囲温度	-40	125	°C
T_J	動作時のジャンクション温度	-40	150	°C

6.4 熱に関する情報

熱評価基準 GUID-7601A554-16D5-47B8-ADCD-F6069FE7A6B0#GUID-7601A554-16D5-47B8-ADCD-F6069FE7A6B0/APPNOTE_SPRA953		PWP (HTSSOP)	DYY (TSOT)	RTE (WQFN)	単位
		16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	46.4	90.6	47	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	39.8	42.8	46.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	19.9	28.1	19.9	°C/W
ψ_{JT}	接合部から上面への評価パラメータ	1.3	1.4	1.1	°C/W
ψ_{JB}	接合部から基板への評価パラメータ	19.9	28.0	19.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	6.3	N/A	8.5	°C/W

6.5 電気的特性

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
電源 (VM、DVDD)						
I _{VM}	VM 動作電源電流	nSLEEP = 1、モータ負荷なし		3.8	5.6	mA
I _{VMQ}	VM スリープ・モード電源電流	nSLEEP = 0		2	4	μA
t _{SLEEP}	スリープ時間	nSLEEP = 0 でスリープモード	120			μs
t _{WAKE}	ウェークアップ時間	nSLEEP = 1 で出力遷移		0.8	1.2	ms
t _{ON}	ターンオン時間	VM > UVLO で出力遷移		0.8	1.2	ms
V _{DVDD}	内部レギュレータ電圧	外部負荷なし、6V < V _{VM} < 33V	4.5	5	5.5	V
		外部負荷なし、V _{VM} = 4.2V	3.9	4.05		V
ロジック・レベル入力 (APH、AEN、BPH、BEN、AIN1、AIN2、BIN1、BIN2、nSLEEP)						
V _{IL}	入力論理 Low 電圧		0		0.6	V
V _{IH}	入力論理 High 電圧		1.5		5.5	V
V _{HYS}	入力論理ヒステリシス			150		mV
I _{IL}	入力論理 Low 電流	V _{IN} = 0V	−1		1	μA
I _{IH}	入力論理 High 電流	V _{IN} = 5V			100	μA
t _{PD}	伝搬遅延	xPH、xEN、xINx 入力から電流が変化 するまで		750		ns
7 レベル入力 (DECAY/TOFF)						
V _{I1}	電圧レベル 1	GND に接続	0		0.1	V
V _{I2}	電圧レベル 2	14.7kΩ ± 1% を GND との間に接続	0.2		0.35	V
V _{I3}	電圧レベル 3	44.2kΩ ± 1% を GND との間に接続	0.55		0.8	V
V _{I4}	電圧レベル 4	100kΩ ± 1% を GND との間に接続	1		1.25	V
V _{I5}	電圧レベル 5	249kΩ ± 1% を GND との間に接続	1.5		1.75	V
V _{I6}	電圧レベル 6	ハイ・インピーダンス	2.1		2.4	V
V _{I7}	電圧レベル 7	DVDD に接続	3		5.5	V
I _O	出力プルアップ電流			22.5		μA
モータ・ドライバ出力 (AOUT1、AOUT2、BOUT1、BOUT2)						
R _{DS(ONH)}	ハイサイド FET オン抵抗	T _J = 25°C、I _O = -0.5A		750	875	mΩ
		T _J = 125°C、I _O = -0.5A		1130	1350	mΩ
		T _J = 150°C、I _O = -0.5A		1250	1450	mΩ
R _{DS(ONL)}	ローサイド FET オン抵抗	T _J = 25°C、I _O = 0.5 A		750	875	mΩ
		T _J = 125°C、I _O = 0.5A		1130	1350	mΩ
		T _J = 150°C、I _O = 0.5A		1250	1450	mΩ
t _{SR}	出力スルーレート	VM = 24V、I _O = 0.5A、10% と 90% の 間		240		V/μs
PWM 電流制御 (VREFA、VREFB)						
K _V	トランスインピーダンス・ゲイン	VREF = 3V	2.805	3	3.195	V/A

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
t _{OFF}	PWM オフ時間、30% ミックス・ディケイ	DECAY/TOFF = 14.7kΩ を GND との間に接続		7		μs
		DECAY/TOFF = 44.2kΩ を GND との間に接続		16		
		DECAY/TOFF = 100kΩ を GND との間に接続		32		
	PWM オフ時間、スマート・チューン・ダイナミック・ディケイ	DECAY/TOFF = 249kΩ を GND との間に接続		7		
		DECAY/TOFF = ハイ・インピーダンス		16		
		DECAY/TOFF = DVDD		32		
ΔI _{TRIP}	電流トリップ精度	I _O = 1A、10% ~ 20% 電流設定	-15		15	%
		I _O = 1A、20% ~ 67% 電流設定	-10		10	
		I _O = 1A、68% ~ 100% 電流設定	-6		6	
I _{O,CH}	AOUT と BOUT の電流マッチング	I _O = 1A	-2.5		2.5	%
保護回路						
V _{UVLO}	VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり、UVLO 立ち下がり	3.8	3.95	4.05	V
		VM 立ち上がり、UVLO 立ち上がり	3.9	4.05	4.15	
V _{UVLO,HYS}	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド		100		mV
I _{OCP}	過電流保護	FET を流れる電流	1.7			A
t _{OCP}	過電流グリッチ除去時間			1.8		μs
t _{RETRY}	過電流リトライ時間			4		ms
T _{OTSD}	サーマル・シャットダウン	ダイ温度 T _J	150	165	180	°C
T _{HYS_OTSD}	過熱保護閾値ヒステリシス	ダイ温度 T _J		20		°C

6.5.1 代表的特性

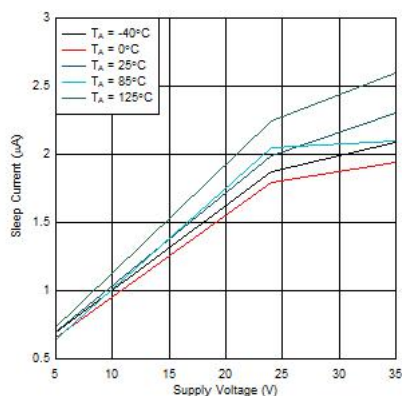


図 6-1. スリープ電流と電源電圧

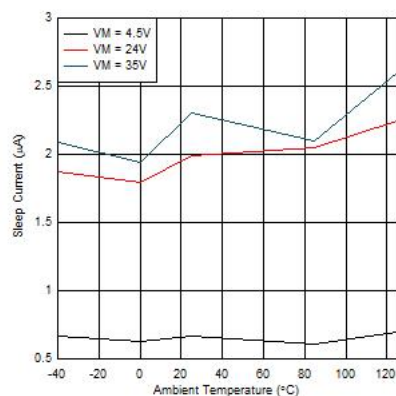


図 6-2. スリープ電流と温度特性

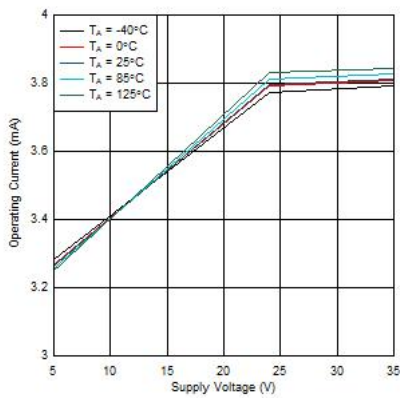


図 6-3. 動作電流と電源電圧

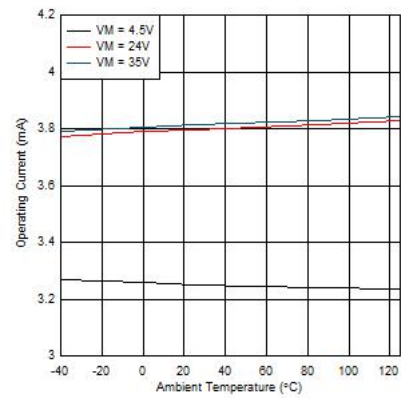
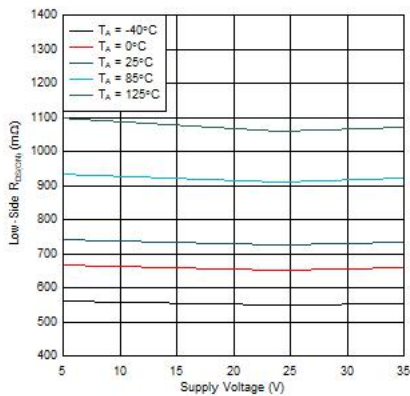
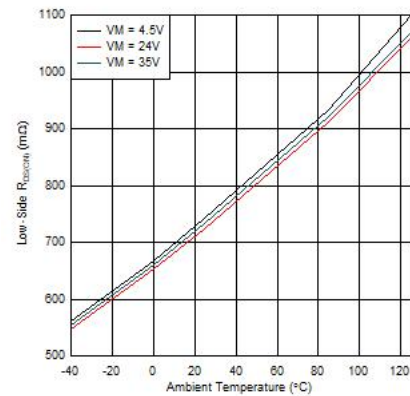
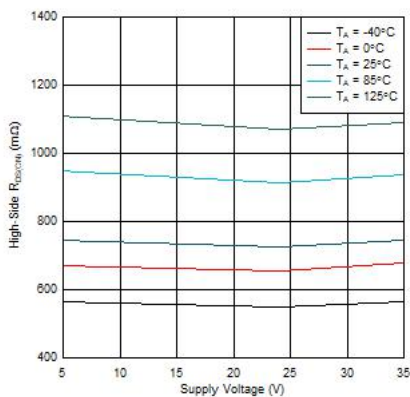
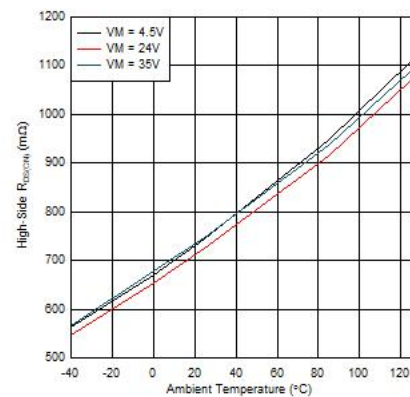


図 6-4. 動作電流と温度特性

図 6-5. ローサイド $R_{DS(ON)}$ と電源電圧図 6-6. ローサイド $R_{DS(ON)}$ と温度特性図 6-7. ハイサイド $R_{DS(ON)}$ と電源電圧図 6-8. ハイサイド $R_{DS(ON)}$ と温度特性

7 詳細説明

7.1 概要

DRV8428E/P はバイポーラ・ステッピング・モータまたはデュアル・ブラシ付き DC モータ用の高集積モータ・ドライバ・ソリューションです。このデバイスは、2 個の N チャネル・パワー MOSFET H ブリッジ、統合型電流検出機能、およびレギュレーション回路を統合しています。DRV8428E/P は 4.2V ~ 33V の電源電圧範囲で動作し、ピーク時で最大 1.7A、フルスケールで最大 1A、実効値 (RMS) で最大 0.7A の出力電流を供給できます。実際のフルスケールおよび RMS 電流は、周囲温度、電源電圧、PCB の熱性能に依存します。

DRV8428E/P デバイスは電流検出アーキテクチャを内蔵しているため、2 つの外部電力検出抵抗が不要になり、基板面積、BOM コスト、設計作業が大幅に削減され、消費電力が大幅に削減されます。このアーキテクチャでは、電流検出に電流ミラー手法と内部パワー MOSFET を使うことで、検出抵抗での電力消費をなくしています。電流レギュレーションの設定点は VREFA および VREFB ピンの電圧で調整できます。

シンプルな PH/EN (DRV8428E) または PWM (DRV8428P) インターフェイスにより、コントローラ回路と簡単に接続できます。

電流レギュレーションは高度に設定可能であり、複数のディケイ動作モードを持っています。ディケイ・モードとして、スマート・チューン・ダイナミック・ディケイ、スマート・チューン・リップル・コントロール、ミックス・ディケイを選択できます。スマート・チューン・ディケイ・モードは、ステップの変化に迅速に反応しながら、電流リップルを最小化するためにディケイ設定を自動的に調整します。この機能を使用すると、ステッピング・ドライバをモータ・ドライブ・システムに非常に簡単に統合できます。PWM オフ時間 t_{OFF} は 7、16、32 μ s に調整できます。

また、低消費電力スリープ・モードを内蔵しているため、モータを駆動していないときにシステムの電力を節約できます。

7.2 機能ブロック図

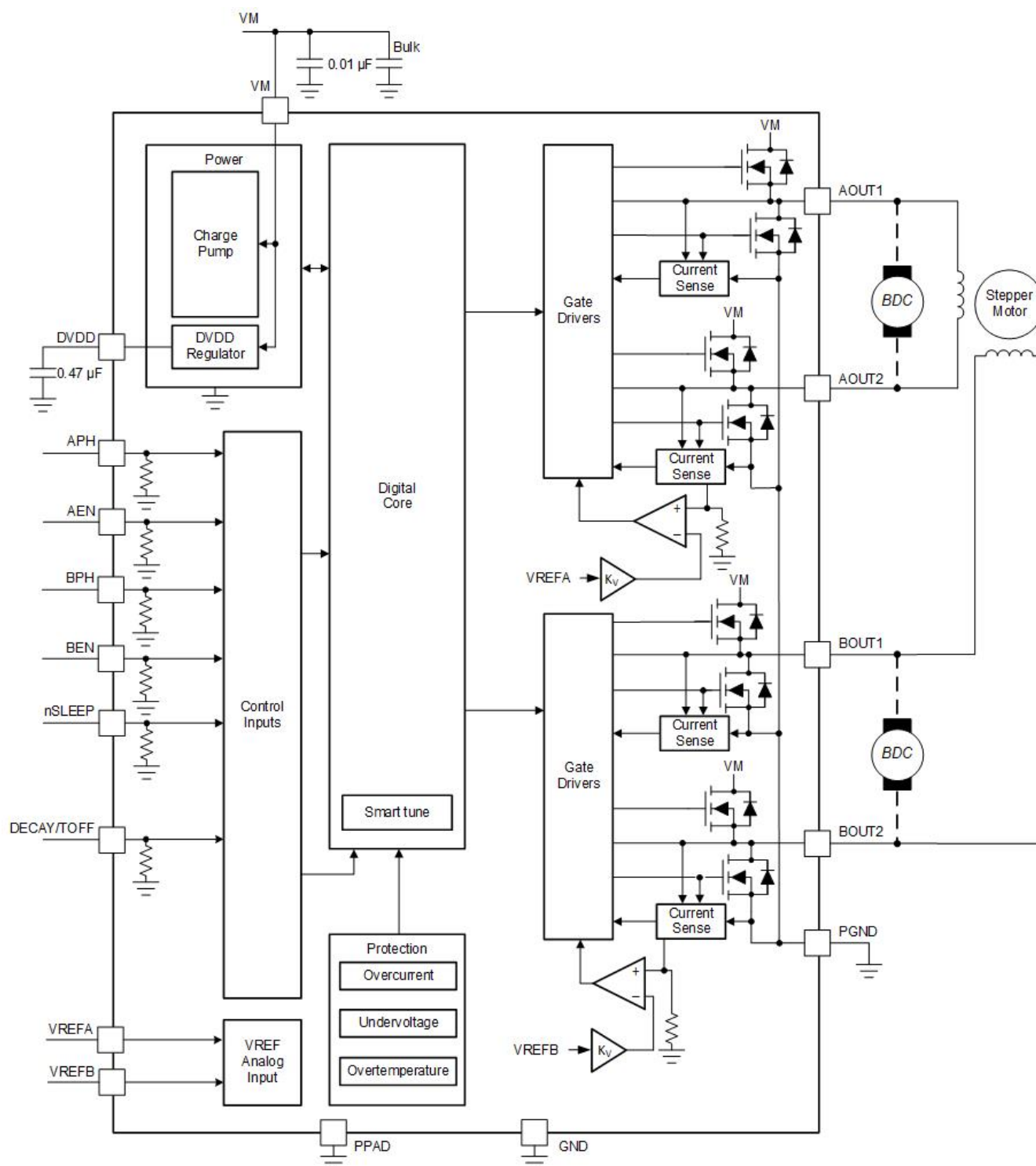


図 7-1. DRV8428E のブロック図



7.3 機能説明

表 7-1 (14 ページ) に、ドライバの外付け部品の推奨値を示します。

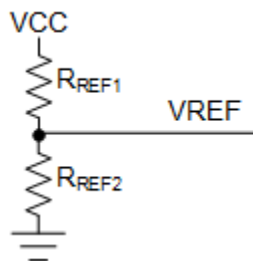


図 7-3. VREF ピンに接続された抵抗分割器

表 7-1. 外付け部品

部品	ピン 1	ピン 2	推奨する事項
C_{VM1}	VM	PGND	X7R、0.01 μ F、VM 定格セラミック・コンデンサ
C_{VM2}	VM	PGND	バルク、VM 定格コンデンサ
C_{DVDD}	DVDD	GND	X7R、0.47 μ F ~ 1 μ F、6.3V または 10V 定格セラミック・コンデンサ
R_{REF1}	VREFx	VCC	チョッピング電流を制限するための抵抗。 R_{REF1} と R_{REF2} の並列抵抗値を 50k Ω よりも小さくすることを推奨します。
R_{REF2} (オプション)	VREFx	GND	

VCC は DRV8428E/P デバイスのピンではありません。VCC は、外部電源電圧または DVDD のいずれかになります。

7.3.1 PWM モータ・ドライバ

DRV8428E および DRV8428P は、2 つのフル H ブリッジのためのドライバを内蔵しています。図 7-4 (15 ページ) に、この回路のブロック図を示します。

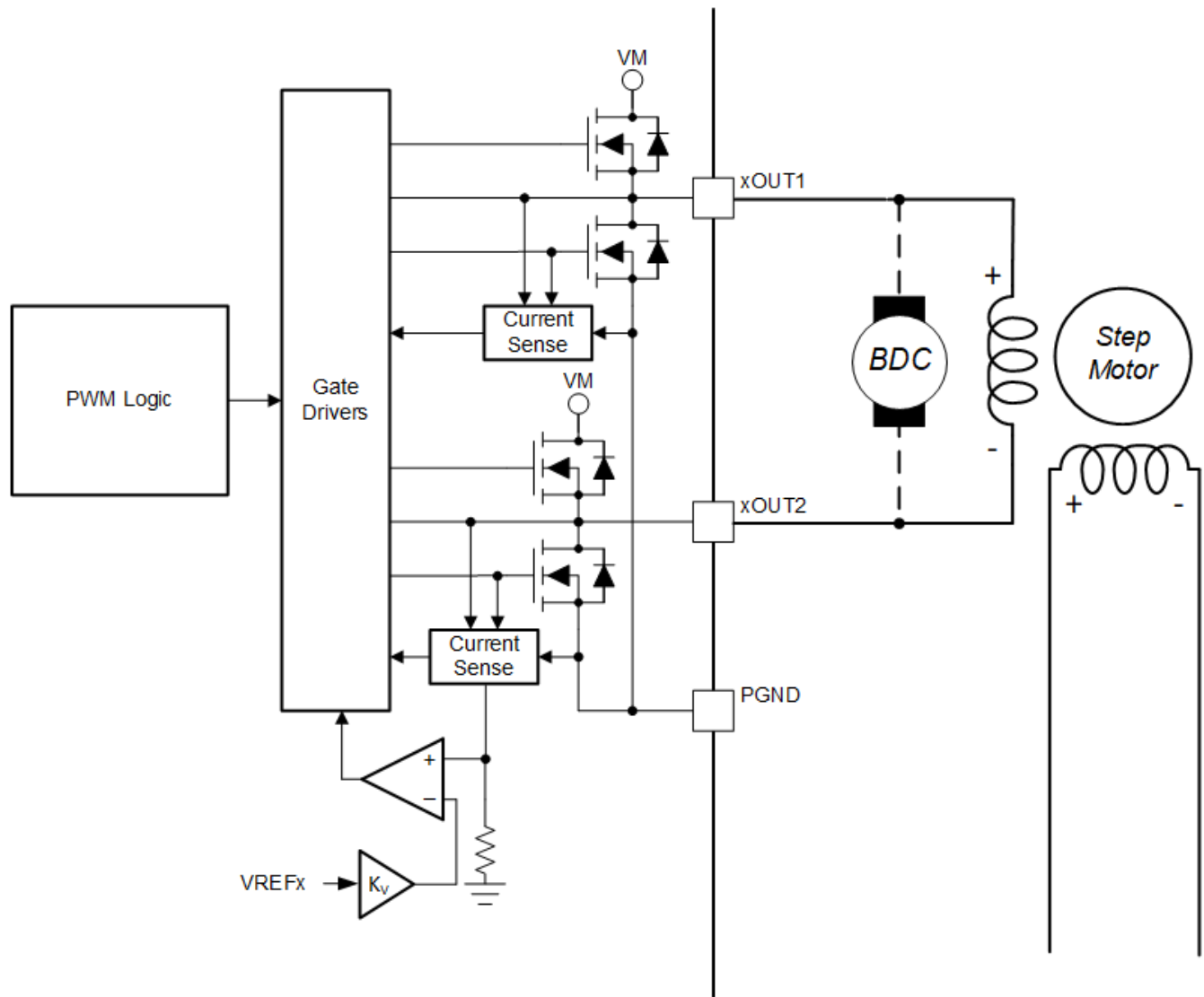


図 7-4. PWM モータ・ドライバのブロック図

7.3.2 ブリッジの制御

DRV8428E は、PH/EN インターフェイスを使用して制御されます。表 7-2 (15 ページ) に、フル H ブリッジの状態を示します。この表では、DRV8428E に組み込まれている電流制御機能は考慮されていないことに注意します。正の電流は、xOUT1 から xOUT2 の方向に定義されています。

表 7-2. DRV8428E の (PH/EN) 制御インターフェイス

nSLEEP	xEN	xPH	xOUT1	xOUT2	説明
0	X	X	ハイ・インピーダンス	ハイ・インピーダンス	スリープ・モード、H ブリッジはディセーブル (ハイ・インピーダンス)
1	0	X	ハイ・インピーダンス	ハイ・インピーダンス	H ブリッジはディセーブル (ハイ・インピーダンス)
1	1	0	L	H	逆方向 (xOUT2 から xOUT1 への電流)

表 7-2. DRV8428E の (PH/EN) 制御インターフェイス (continued)

nSLEEP	xEN	xPH	xOUT1	xOUT2	説明
1	1	1	H	L	順方向 (xOUT1 から xOUT2 への電流)

DRV8428P は、PWM インターフェイスを使用して制御されます。表 7-3 (16 ページ) に、フル H ブリッジの状態を示します。この表では、DRV8428P に組み込まれている電流制御機能は考慮されていないことに注意します。正の電流は、xOUT1 から xOUT2 の方向に定義されています。

表 7-3. DRV8428P の (PWM) 制御インターフェイス

nSLEEP	xIN1	xIN2	xOUT1	xOUT2	説明
0	X	X	ハイ・インピーダンス	ハイ・インピーダンス	スリープ・モード、H ブリッジはディセーブル (ハイ・インピーダンス)
1	0	0	L	L	ブレーキ、ローサイド・スロー・ディケイ
1	0	1	L	H	逆方向 (xOUT2 から xOUT1 への電流)
1	1	0	H	L	順方向 (xOUT1 から xOUT2 への電流)
1	1	1	H	H	ブレーキ、ハイサイド・スロー・ディケイ

7.3.3 電流レギュレーション、オフタイムおよびディケイ・モード

PWM 電流チョッピング中、PWM 電流チョッピング・スレッシュホールドに達するまで H ブリッジはモータ巻線を駆動します。図 7-5 (17 ページ) の項目 1 に、これを示します。

モータ巻線に流れる電流は、調整可能なオフ時間 PWM 電流レギュレーション回路によって制御されます。H ブリッジをイネーブルすると、現在の DC 電圧、巻線のインダクタンス、逆起電力の大きさに応じた速度で、巻線に流れる電流が増加します。電流が電流レギュレーション・スレッシュホールドに達すると、ブリッジは DECAY/TOFF ピンの 7 レベルの設定で決まる時間の間ディケイ・モードに移行して電流を低減します。オフ時間が経過すると、ブリッジは再イネーブルされ、次の PWM サイクルを開始します。

チョッピング電流スレッシュホールドに達すると、H ブリッジは 2 種類の状態 (ファースト・ディケイまたはスロー・ディケイ) で動作できるようになります。ファースト・ディケイ・モードでは、PWM チョッピング電流スレッシュホールドに達すると、巻線電流が逆方向に流れるように H ブリッジは状態を反転させます。反対側の FET がオンになり、巻線電流がゼロに近づくと、ブリッジはディセーブルされ、逆電流が流れるのを防止します。図 7-5 (17 ページ) の項目 2 に、ファースト・ディケイ・モードを示します。スロー・ディケイ・モードでは、ブリッジの両方のローサイド FET をオンにすることで巻線電流を再循環させます。図 7-5 (17 ページ) の項目 3 に、これを示します。

PWM チョッピング電流は、ローサイド・パワー MOSFET と並列に接続した電流検出 MOSFET の両端の電圧を監視するコンパレータによって設定されます。電流チョッピング・コンパレータの基準電圧を生成するため、VREFx 入力は Kv の係数で減衰されます。

チョッピング電流 (I_{FS}) は、 $I_{FS} (A) = V_{REFx} (V) / K_V (V/A) = V_{REFx} (V) / 3 (V/A)$ として計算できます。

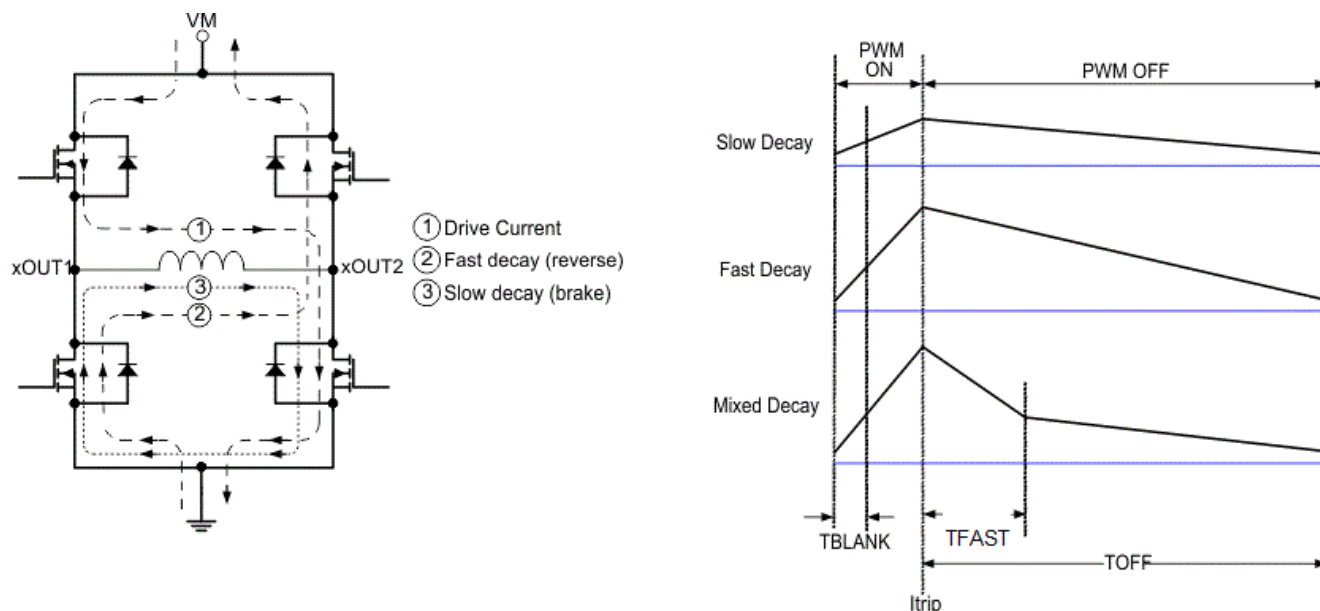


図 7-5. ディケイ・モード

各ブリッジのディケイ・モードとオフ時間は、表 7-4 (17 ページ) に示すように DECAY/TOFF ピンの 7 レベルの設定によって選択します。

表 7-4. ディケイ・モードの設定

DECAY/TOFF	ディケイ・モード	オフ時間
0	スマート・チューン・リップル・コントロール	-
14.7kΩ を GND との間に接続	30% ミックス・ディケイ	7μs
44.2kΩ を GND との間に接続		16μs
100kΩ を GND との間に接続		32μs
249kΩ を GND との間に接続	スマート・チューン・ダイナミック・ディケイ	7μs
ハイ・インピーダンス		16μs
DVDD		32μs

7.3.3.1 ミックス・ディケイ

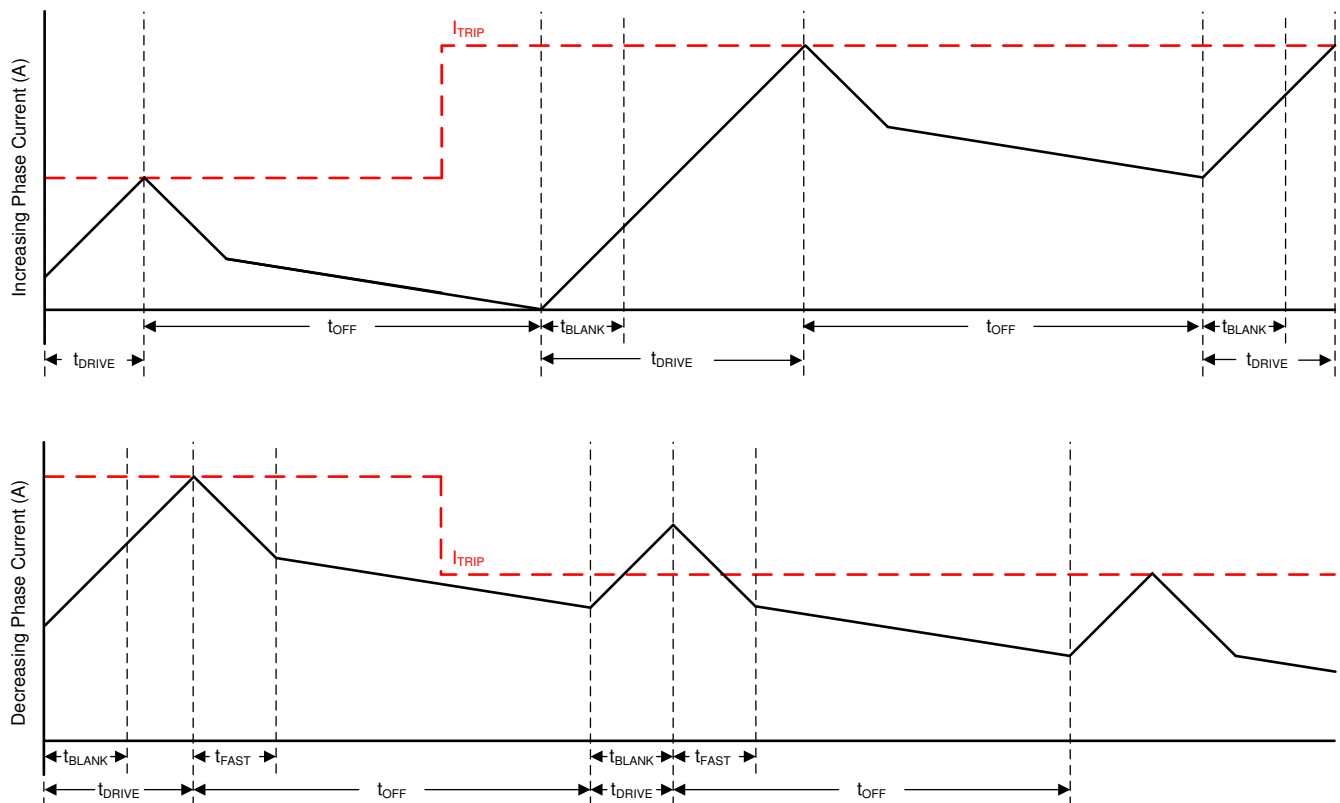


図 7-6. ミックス・ディケイ・モード

ミックス・ディケイでは、 t_{OFF} 時間の初めの 30% の期間はファースト・ディケイを行い、その後スロー・ディケイに切り替わります。

7.3.3.2 スマート・チューン・ダイナミック・ディケイ

スマート・チューン電流レギュレーション方式は、従来の固定オフ時間電流レギュレーション方式に比べて高度な電流レギュレーション制御手法です。スマート・チューン電流レギュレーション方式を使うと、ステッピング・モータ・ドライバは以下のような動作要因に基づいてディケイ方式を調整できます。

- モータの巻線抵抗およびインダクタンス
- モータの経年変化
- モータの動的速度および負荷
- モータの電源電圧変動
- 小電流と大電流の di/dt

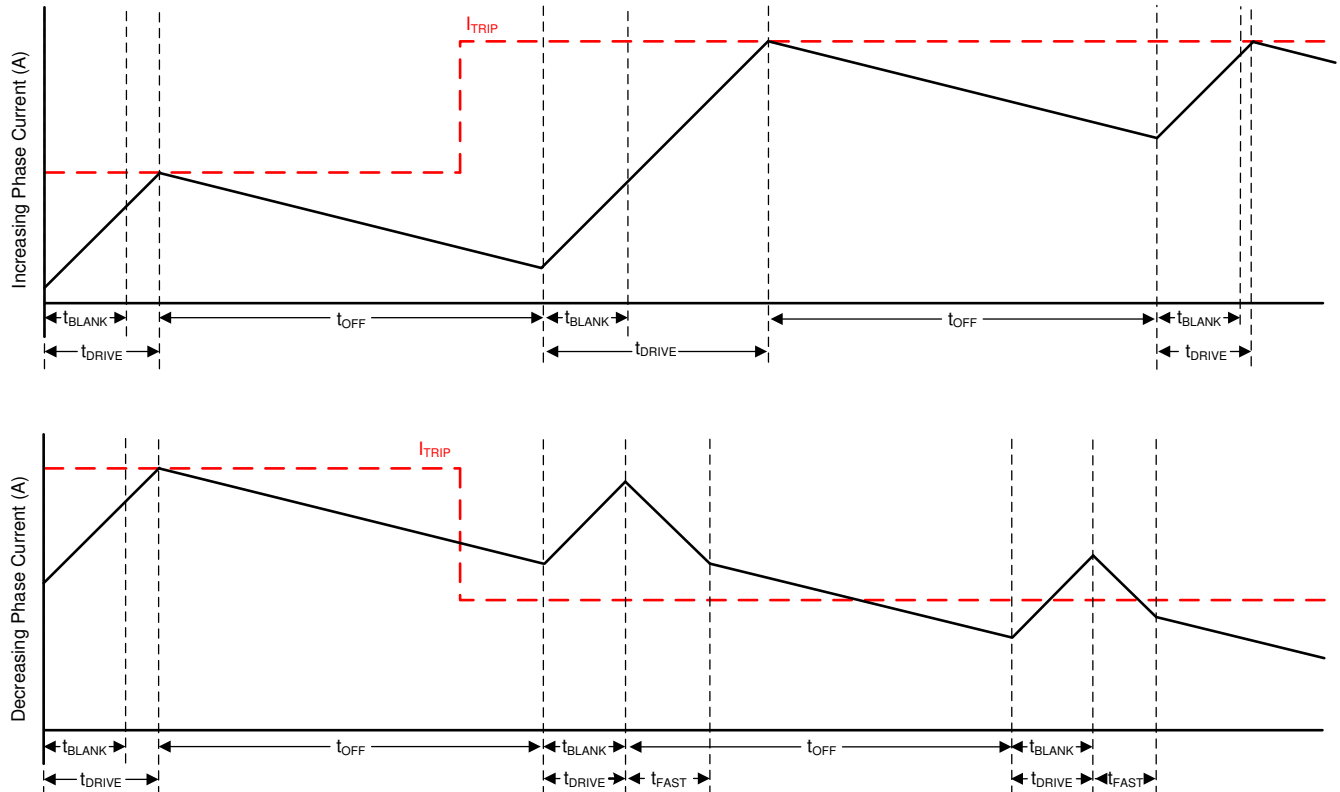


図 7-7. スマート・チューン・ダイナミック・ディケイ・モード

スマート・チューン・ダイナミック・ディケイでは、スロー、ミックス、ファースト・ディケイといったディケイ・モードが自動的に構成されるため、ディケイ・モードの選択が大幅に簡略化されます。ミックス・ディケイでは、スマート・チューンにより、ミックス・ディケイの総時間に対するファースト・ディケイの割合が動的に調整されます。この機能により、モータのリプルを最小限に抑える最良のディケイ設定が自動的に決定されるため、モータのチューニングが不要になります。

ディケイ・モード設定は、各 PWM サイクルで繰り返し最適化されます。モータ電流が目標トリップ・レベルを超えると、レギュレーション損失を防ぐため、次のサイクルでディケイ・モードはより積極的になります (ファースト・ディケイの割合を増やします)。目標トリップ・レベルに達するまでに長い駆動時間を必要とする場合は、リプルを抑え、効率を上げるために、次のサイクルでディケイ・モードはより消極的になります (ファースト・ディケイの割合を減らします)。立ち下がりステップでは、次のステップに素早く達するために、スマート・チューン・ダイナミック・ディケイは自動的にファースト・ディケイに切り替わります。

スマート・チューン・ダイナミック・ディケイは、電流レギュレーション方式で電流リプルを最小限に抑える必要がありながら、固定周波数を維持する必要があるアプリケーションに最適です。

7.3.3.3 スマート・チューン・リップル・コントロール

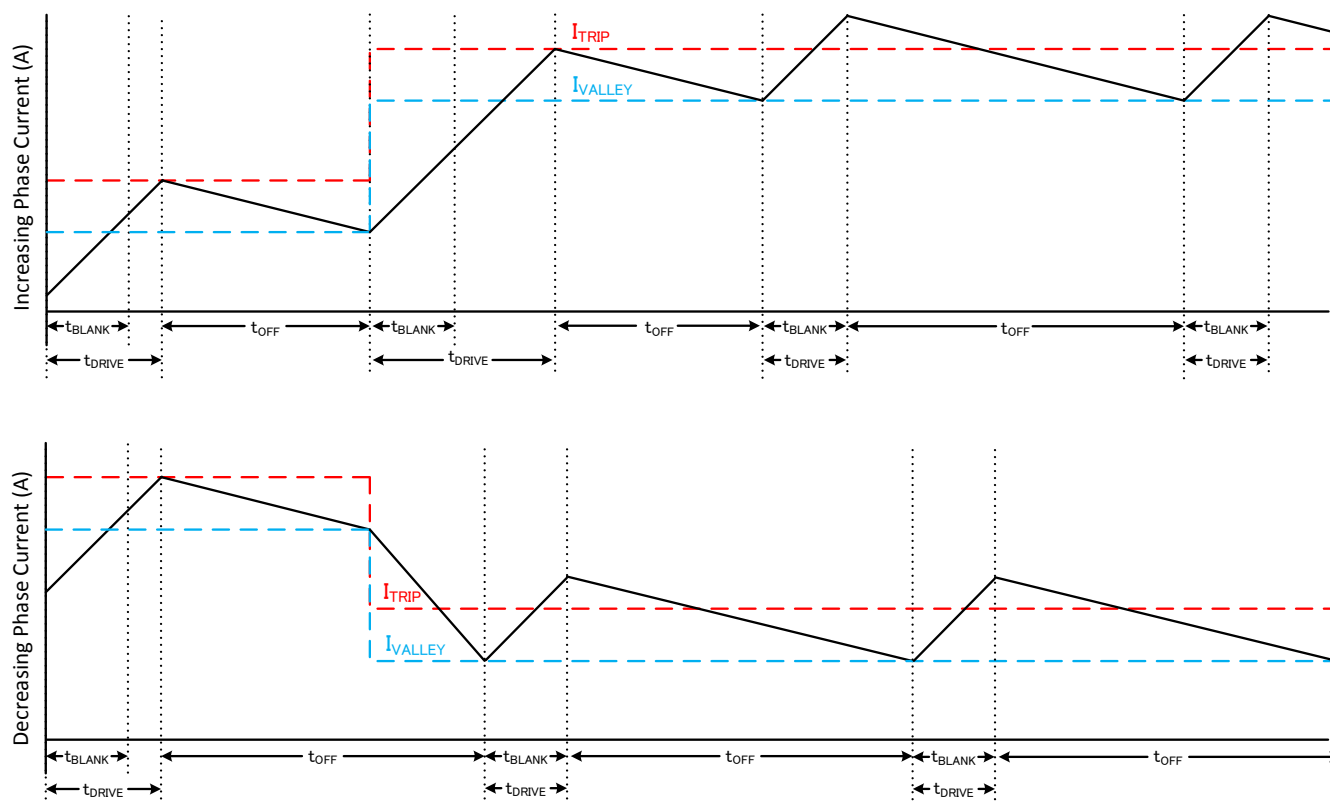


図 7-8. スマート・チューン・リップル・コントロール・ディケイ・モード

スマート・チューン・リップル・コントロールは、 I_{TRIP} レベルと I_{VALLEY} レベルを設定することで動作します。電流レベルが I_{TRIP} に達すると、ドライバは t_{OFF} 時間が経過するまでスロー・ディケイに移行する代わりに、 I_{VALLEY} に達するまでスロー・ディケイに移行します。スロー・ディケイは、両方のローサイド MOSFET がオンになって電流が再循環できるモード 1 と同様に動作します。このモードでは、電流レベルと動作条件に応じて t_{OFF} が変化します。

この手法によって、はるかに厳密な電流レベルのレギュレーションが可能になり、モータの効率とシステムの性能が向上します。スマート・チューン・リップル制御は、可変オフ時間レギュレーション方式に対応するシステムで電流レギュレーションの電流リップルを小さくするために使用できます。

このディケイ・モードのリップル電流は、特定のマイクロステッピング・レベルで I_{TRIP} の $7.5\text{mA} + 1\%$ です。

7.3.3.4 ブランキング時間

H ブリッジで電流が出力されると (駆動相の開始)、電流検出コンパレータ出力を一定時間 (t_{BLANK}) 無視した後、電流検出回路を有効にします。ブランキング時間は、PWM の最小駆動時間も設定します。ブランキング時間は約 $1\mu\text{s}$ です。

7.3.4 リニア電圧レギュレータ

本デバイスには、リニア電圧レギュレータが内蔵されています。DVDD レギュレータの出力は、リファレンス電圧に使用することができます。DVDD は、最大 2mA の負荷電流を供給できます。正常に動作させるため、セラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。

DVDD の出力は通常 5V です。DVDD LDO の電流負荷が 2 mA を超えると、出力電圧は大きく低下します。

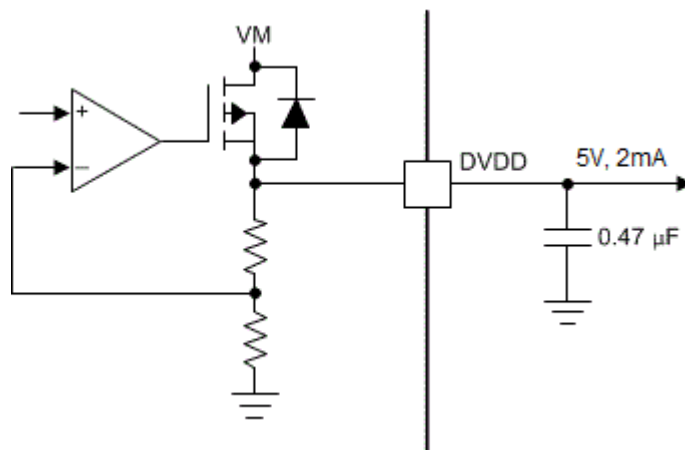


図 7-9. リニア電圧レギュレータのブロック図

DECAY/TOFF ピンを永続的に High に接続する必要がある場合は、外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入カプルダウン抵抗に流れないためです。参考までに、論理レベル入力は 200kΩ (標準値) のプルダウンを備えています。

nSLEEP ピンを DVDD に接続しないでください。さもないと本デバイスはスリープ・モードから出ることができません。

7.3.5 論理および7レベル・ピン構造図

図 7-10 (22 ページ) に、ロジック・レベル・ピン APH、AEN、BPH、BEN、AIN1、AIN2、BIN1、BIN2、nSLEEP の入力構造を示します。

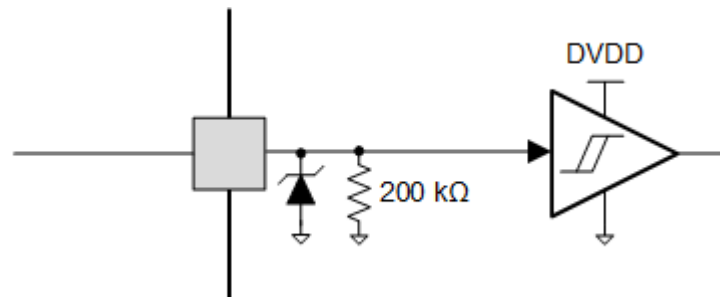


図 7-10. 論理レベル入力ピン構造図

7レベルのロジック・ピン DECAY/TOFF の構造は 図 7-11 (22 ページ) に示すとおりです。

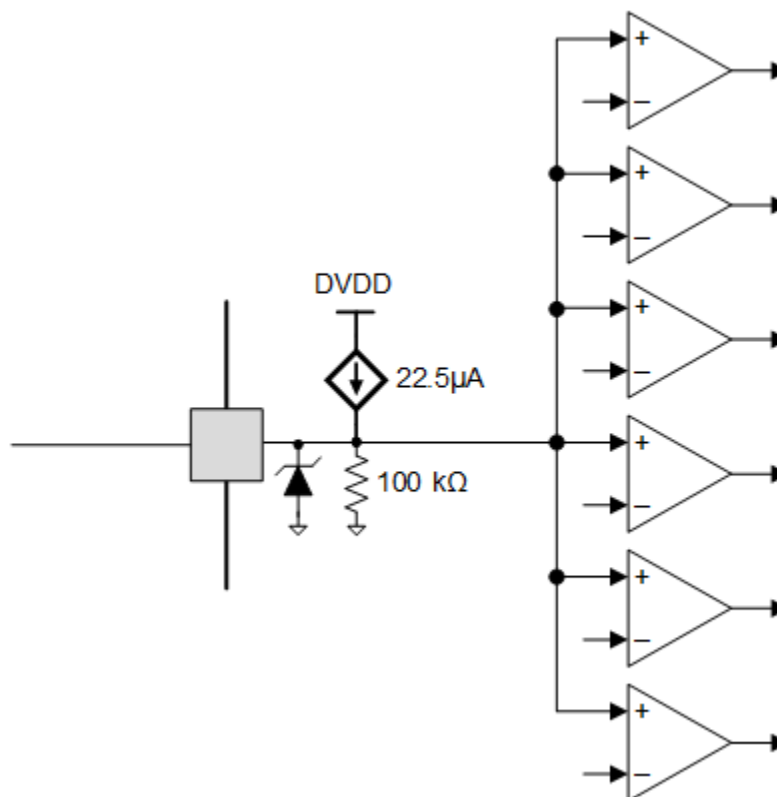


図 7-11. 7レベル入力ピン構造図

7.3.6 保護回路

本デバイスは、電源低電圧、出力過電流、デバイス過熱イベントからデバイスを保護します。

7.3.6.1 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が電圧源の UVLO スレッシュホールド電圧を下回ると常に、すべての出力がディセーブルされます。VM 低電圧状態が解消されると、通常動作が再開されます。

7.3.6.2 過電流保護 (OCP)

各 FET のアナログ電流制限回路は、ゲート駆動を止めることで、FET に流れる電流を制限します。この電流制限が T_{OCP} 時間よりも長く持続する場合は、両方の H ブリッジの FET がディセーブルになります。 t_{RETRY} 時間が経過し、フォルト条件が解消した後、自動的に通常動作に復帰します。

7.3.6.3 サーマル・シャットダウン (OTSD)

デバイス温度がサーマル・シャットダウン限界値 (T_{OTSD}) を超えると、H ブリッジのすべての MOSFET がディセーブルされます。接合部温度が、過熱スレッシュホールド限界値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回ると、通常動作に復帰します。

7.3.6.4 フォルト条件のまとめ

表 7-5. フォルト条件のまとめ

フォルト	条件	H ブリッジ	ロジック	復帰
VM 低電圧 (UVLO)	$VM < V_{UVLO}$	ディセーブル	リセット ($V_{DVDD} < 3.6V$)	自動: $VM > V_{UVLO}$
過電流 (OCP)	$I_{OUT} > I_{OCP}$	ディセーブル	動作	自動リトライ: t_{RETRY}
サーマル・シャットダウン (OTSD)	$T_J > T_{TSD}$	ディセーブル	動作	自動: $T_J < T_{OTSD} - T_{HYS_OTSD}$

7.4 デバイスの機能モード

7.4.1 スリープ・モード (nSLEEP = 0)

本デバイスの状態は nSLEEP ピンで制御されます。nSLEEP ピンが Low になると、本デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内部 MOSFET がディセーブルになります。nSLEEP ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、本デバイスは自動的にスリープから復帰します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.2 動作モード (nSLEEP = 1)

nSLEEP ピンが High かつ $VM > UVLO$ の場合、本デバイスはアクティブ・モードに入ります。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.3 機能モードのまとめ

表 7-6 (23 ページ) に、機能モードのまとめを示します。

表 7-6. 機能モードのまとめ

条件	構成	H ブリッジ	DVDD レギュレータ	ロジック
スリープ・モード	$4.2V < VM < 33V$	nSLEEP ピン = 0	ディセーブル	ディセーブル
動作	$4.2V < VM < 33V$	nSLEEP ピン = 1	動作	動作

8 アプリケーションと実装

NOTE

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8428E/P は、ステッピング・モータ制御またはブラシ付きモータ制御で使用されます。

8.2 代表的なアプリケーション

このアプリケーションでは、デュアル・ハーフブリッジ構成を採用し、2つの外部負荷(2つのブラシ付き DC モータなど)の双方向電流を駆動するように本デバイスを構成しています。Hブリッジの極性とデューティ・サイクルは、外部コントローラから xEN/xIN1 および xPH/xIN2 ピンを使用して制御されます。

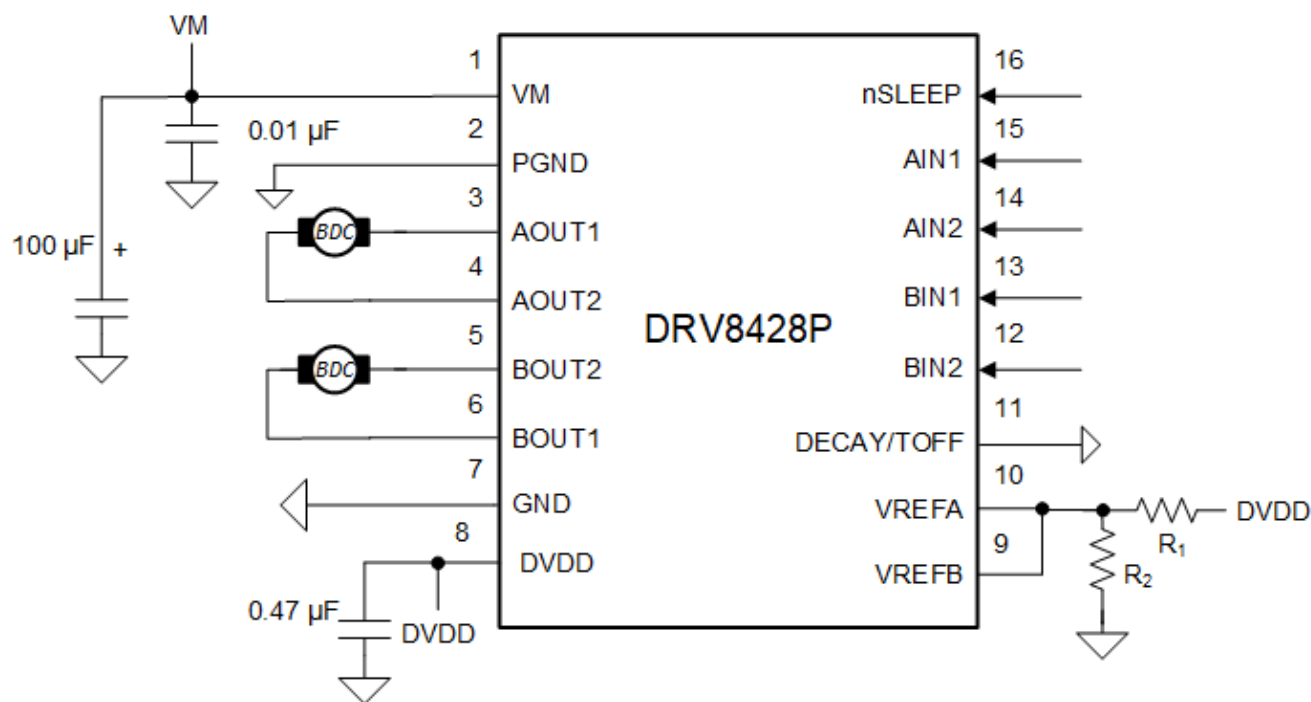


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1 (24 ページ) に、システム設計の設計入力パラメータを示します。

表 8-1. 設計パラメータ

設計パラメータ	略号	値の例
電源電圧	VM	24V
モータ巻線抵抗	R_L	6Ω
モータ巻線インダクタンス	L_L	4.1mH
スイッチング周波数	f_{PWM}	40kHz
各モータの制御電流	I_{REG}	500mA

8.2.2 詳細な設計手順

8.2.2.1 電流レギュレーション

制御電流 (I_{REG}) は V_{REFx} アナログ電圧によって設定されます。ブラシ付き DC モータを起動する際、逆起電力が生じないため、大きな突入電流が発生することがあります。電流レギュレーションは、この突入電流を制限し、起動時の大電流を防止するように機能します。制御電流 (I_{REG}) は、 $I_{REG} (A) = V_{REFx} (V) / K_V (V/A) = V_{REFx} (V) / 3 (V/A)$ として計算できます。

8.2.2.2 消費電力および熱に関する計算

本デバイスの出力電流および消費電力特性は、PCB 設計と外部条件に大きく依存します。ここでは、これらの値を計算するための指針を提示します。

本デバイスの総消費電力 (P_{TOT}) は、おもに 3 つの要素から成ります。それらは、パワー MOSFET $R_{DS(ON)}$ (導通) 損失、パワー MOSFET スイッチング損失、および電源静止電流損失です。それ以外の要素が電力損失の増加に影響することもあります。この 3 つの主要な要素に比べると通常わずかです。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q$$

各ブラシ付き DC モータの P_{COND} は、デバイス $R_{DS(ON)}$ および安定化出力電流 (I_{REG}) から計算できます。両方のブラシ付き DC モータで同じ I_{REG} を仮定すると、

$$P_{COND} = 2 \times (I_{REG})^2 \times (R_{DS(ONH)} + R_{DS(ONL)})$$

$R_{DS(ON)}$ はデバイス温度と強い相関があることに注意する必要があります。正規化した $R_{DS(on)}$ と温度との関係を示す曲線については、「代表的特性」の曲線を参照してください。

$$P_{COND} = 2 \times (0.5-A)^2 \times (0.75-\Omega + 0.75-\Omega) = 0.75-W$$

P_{SW} は、公称電源電圧 (V_M)、安定化出力電流 (I_{REG})、スイッチング周波数 (f_{PWM})、デバイス出力立ち上がり (t_{RISE}) / 立ち下がり (t_{FALL}) 時間の仕様から計算できます。

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL})$$

$$P_{SW_RISE} = 0.5 \times V_M \times I_{REG} \times t_{RISE} \times f_{PWM}$$

$$P_{SW_FALL} = 0.5 \times V_M \times I_{REG} \times t_{FALL} \times f_{PWM}$$

$$P_{SW_RISE} = 0.5 \times 24 V \times 0.5 A \times 100 ns \times 40 kHz = 0.024 W$$

$$P_{SW_FALL} = 0.5 \times 24 V \times 1.5 A \times 100 ns \times 40 kHz = 0.024 W$$

$$P_{SW} = 2 \times (0.024W + 0.024W) = 0.096 W$$

P_Q は、公称電源電圧 (V_M) と I_{VM} アクティブ・モード電流の仕様から計算できます。

$$P_Q = V_M \times I_{VM} = 24 V \times 3.8 mA = 0.0912 W$$

全消費電力 (P_{TOT}) は導通損失、スイッチング損失、静止電力損失の合計として計算されます。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 0.75W + 0.096W + 0.0912W = 0.9372W$$

周囲温度が T_A 、総消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は次のように計算されます

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

JEDEC 規格の 4 層 PCB を考慮すれば、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、HTSSOP パッケージの場合 46.4°C/W、WQFN パッケージの場合 47°C/W、TSOT パッケージの場合 90.6°C/W です。

25°Cの周囲温度を仮定すると、HTSSOP パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^\circ C + (0.9372-W \times 46.4^\circ C/W) = 68.49^\circ C \quad (1)$$

WQFN パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^\circ C + (0.9372-W \times 47^\circ C/W) = 69.05^\circ C \quad (2)$$

TSOT パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^{\circ}\text{C} + (0.9372\text{W} \times 90.6^{\circ}\text{C/W}) = 109.91^{\circ}\text{C} \quad (3)$$

したがって、HTSSOP と WQFN パッケージはほぼ同じ接合部温度になりますが、TSOT パッケージは露出パッドがないため、接合部温度が高くなります。その結果、TSOT パッケージは HTSSOP および WQFN パッケージよりも比較的低い電流をサポートします。デバイス接合部温度が規定の動作範囲内にあることを確認する必要があります。

8.2.2.2.1 アプリケーション曲線

CH1 = IN1 (3V/div), CH7 = I_{REG} (0.5A/div), CH3 = AOUT1 (24V/div), CH2 = AOUT2 (24V/div)

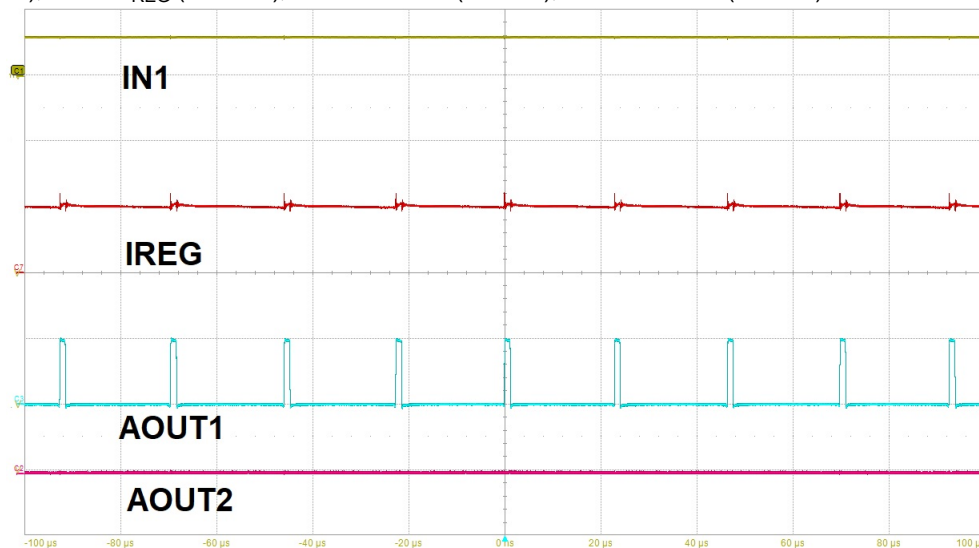


図 8-2. ドライバ・フル・オン動作、電流レギュレーション使用

8.3 代替アプリケーション

以下の設計手順を使用して、ステッピング・モータを駆動するよう DRV8428E/P を構成できます。

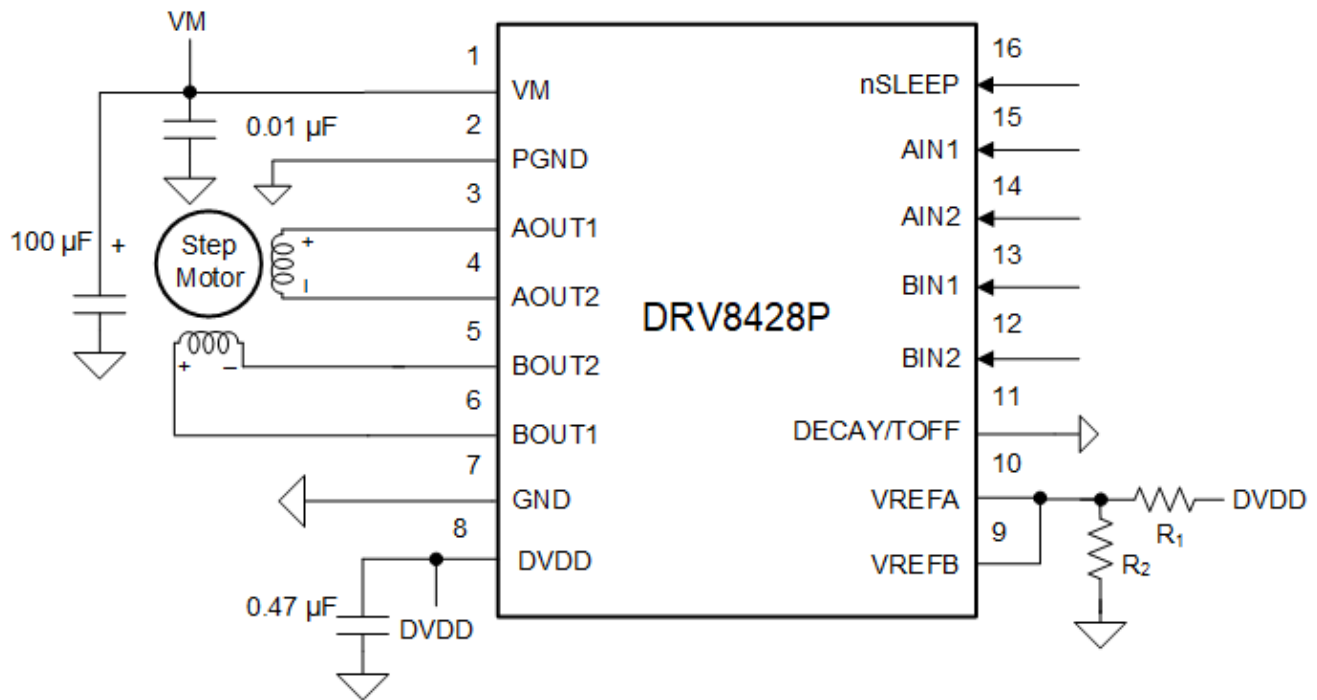


図 8-3. 代表的なアプリケーション回路図

8.3.1 設計要件

表 8-2 (27 ページ) に、システム設計の設計入力パラメータを示します。

表 8-2. 設計パラメータ

設計パラメータ	略号	値の例
電源電圧	VM	24V
モータ巻線抵抗	R_L	6Ω/相
モータ巻線インダクタンス	L_L	4.1mH/相
モータ・フルステップ角	θ_{step}	1.8°/ステップ
目標マイクロステッピング・レベル	n_m	1/2 ステップ
目標モータ速度	v	90rpm
目標フルスケール電流	I_{FS}	500mA

8.3.2 詳細な設計手順

8.3.2.1 電流レギュレーション

ステッピング・モータでは、フルスケール電流 (I_{FS}) は、どちらかの巻線に駆動される最大電流です。この量は VREFx 電圧に依存します。VREFx ピンの最大許容電圧は 3 V です。DVDD と抵抗分割器を使用して VREFx を供給できます。

$$I_{FS} (A) = V_{REF} (V) / 3 (V/A)$$

NOTE

モータを飽和させないように、 I_{FS} 電流は 式 4 (28 ページ) にも従う必要があります。VM はモータの電源電圧、 R_L はモータの巻線の抵抗です。

$$I_{FS} (A) < \frac{VM (V)}{R_L (\Omega) + 2 \times R_{DS(ON)} (\Omega)} \quad (4)$$

8.3.2.1.1 ステッピング・モータの速度

次に、駆動波形を計画する必要があります。正しい速度を指定するため、入力波形の周波数を決定します。ターゲット・モータの速度が高すぎると、モータは回転しません。モータが目標速度をサポートできることを確認します。目的のモータ速度 (V)、マイクロステップ・レベル (n_m)、モータの全ステップ角度 (θ_{step}) に必要な、

$$f_{step} (steps / s) = \frac{v (rpm) \times 360 (^\circ / rot)}{\theta_{step} (^\circ / step) \times n_m (steps / microstep) \times 60 (s / min)}$$

θ_{step} はステッピング・モータのデータシートに記載されているか、モータ自体に書き込まれています。周波数 f_{step} は、デバイスの入力周波数の変化を示します。上記の設計パラメータの場合、 f_{step} は 600Hz と計算できます。

8.3.2.1.1.1 ディケイ・モード

このデバイスは、ミックス・ディケイとスマート・チューンをサポートしています。モータ巻線に流れる電流は、調整可能な固定オフ時間方式によって制御されます。これは、モータ巻線電流が電流チョッピング・スレッシュホルド (I_{TRIP}) に達した駆動相の後には常に、本デバイスが TOFF にわたり巻線を複数のディケイ・モードのいずれかに設定することを意味します。TOFF が経過すると、新たなドライブフェーズが開始します。

9 電源に関する推奨事項

本デバイスは、4.2V～33V の入力電圧源 (VM) 範囲で動作するように設計されています。VM 定格の 0.01μF セラミック・コンデンサを、本デバイスにできるだけ近付けて VM ピンに配置する必要があります。また、バルク・コンデンサを VM に接続する必要があります。

9.1 バルク・コンデンサ

適切なローカル・バルク・コンデンサを使用することは、モータ駆動システムの設計で重要な要素の 1 つです。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 電源容量 (電流供給能力)
- 電源とモータ・システムのための寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモータ駆動システムのためのインダクタンスにより、電源からの電流が変化する割合が制限されます。ローカル・バルク容量が小さすぎる場合、システムはモータからの過剰な電流要求やダンパによる電圧変動の影響を受けます。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。

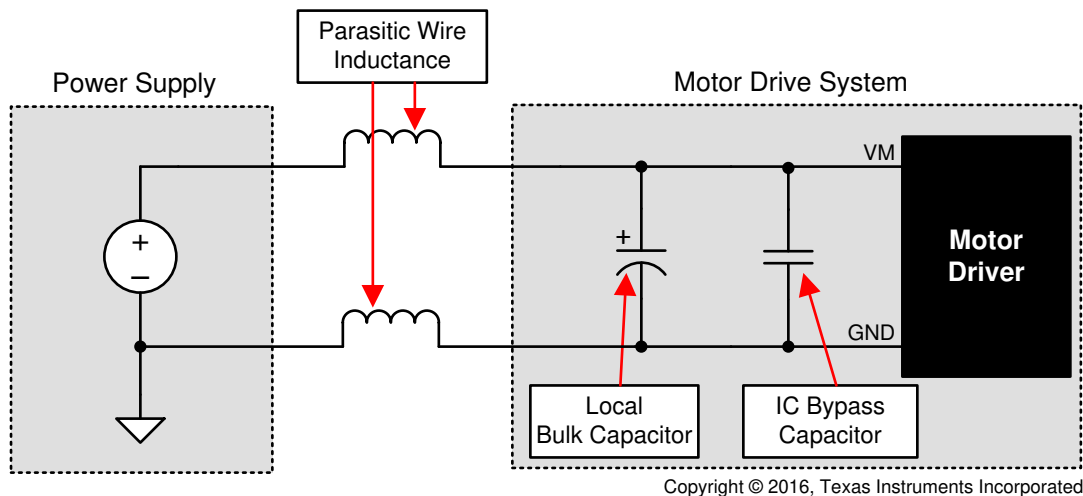


図 9-1. 外部電源を使用したモータ駆動システムの構成例

10 レイアウト

10.1 レイアウトの注意点

推奨する VM 定格で $0.01\mu\text{F}$ の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを PGND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いトレースまたはグラウンド・プレーンでデバイスの PGND ピンに接続する必要があります。

VM 定格のバルク・コンデンサを使用して、VM ピンをグラウンドにバイパスする必要があります。この部品には電解コンデンサが使用できます。

低 ESR セラミック・コンデンサを使用して DVDD ピンをグラウンドにバイパスします。 6.3V 定格の $0.47\mu\text{F}$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。

サーマル・パッドはシステム・グラウンドに接続する必要があります。

10.1.1 レイアウト例

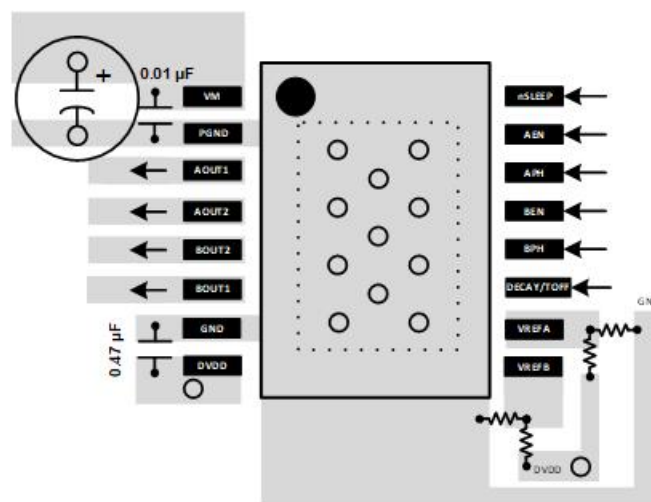


図 10-1. HTSSOP のレイアウト例

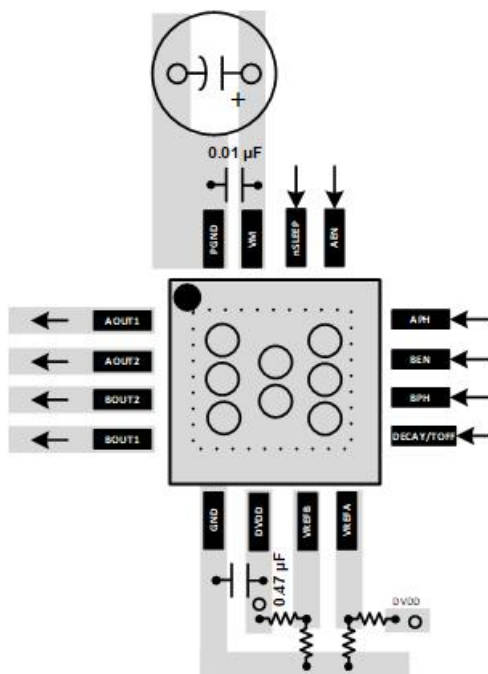


図 10-2. QFN のレイアウト例

11 デバイスおよびドキュメントのサポート

11.1 デバイス・サポート (オプション)

11.1.1 開発サポート (オプション)

11.1.2 デバイスの項目表記 (オプション)

11.2 ドキュメントのサポート (該当する場合)

11.2.1 関連資料

関連資料については、以下を参照してください。

•

11.3 関連リンク

次の表に、クイック・アクセス・リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ・リソース、ツールとソフトウェア、およびご注文へのクイック・アクセスが含まれます。

表 11-1. 関連リンク

製品	プロダクト・フォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
DRV8428E	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
DRV8428P	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

11.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.5 コミュニティ・リソース

11.6 商標

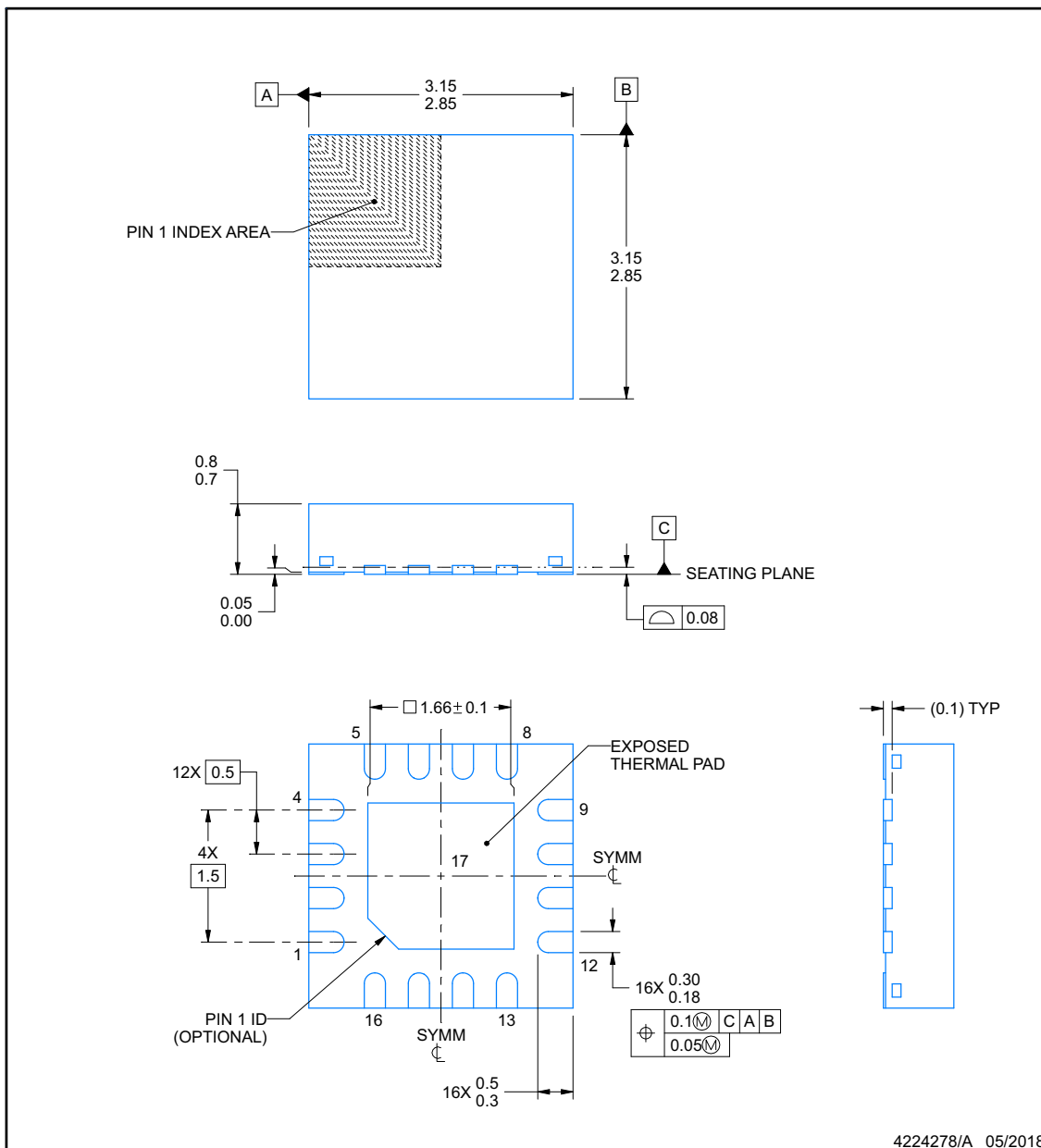
すべての商標は、それぞれの所有者に帰属します。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**RTE0016J****PACKAGE OUTLINE****WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



4224278/A 05/2018

NOTES:

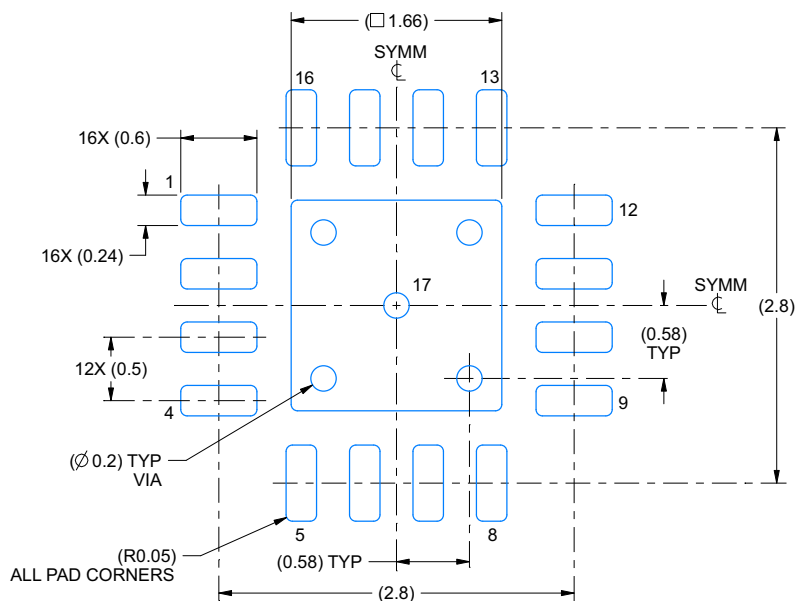
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

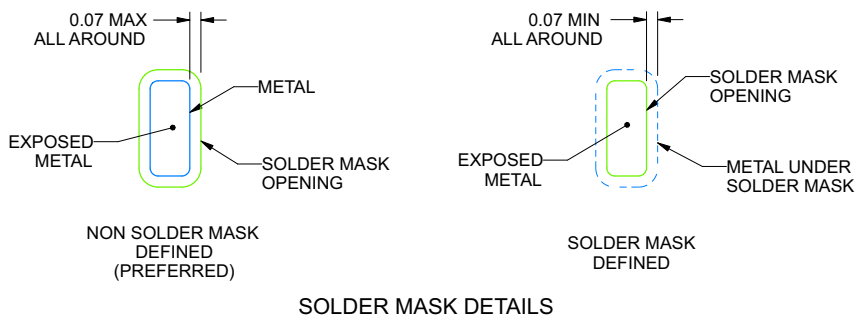
RTE0016J

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



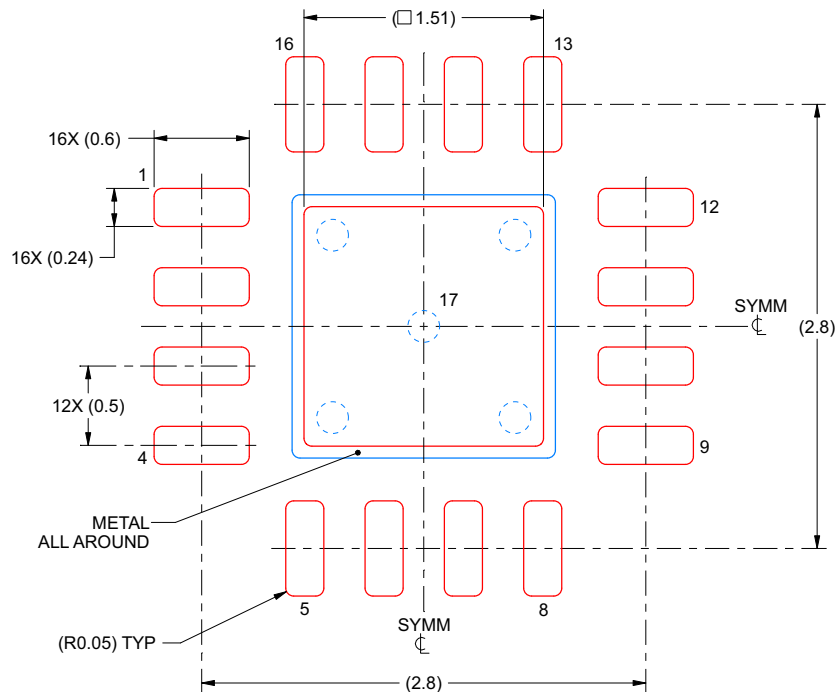
4224278/A 05/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN**RTE0016J****WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
 84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:25X

4224278/A 05/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

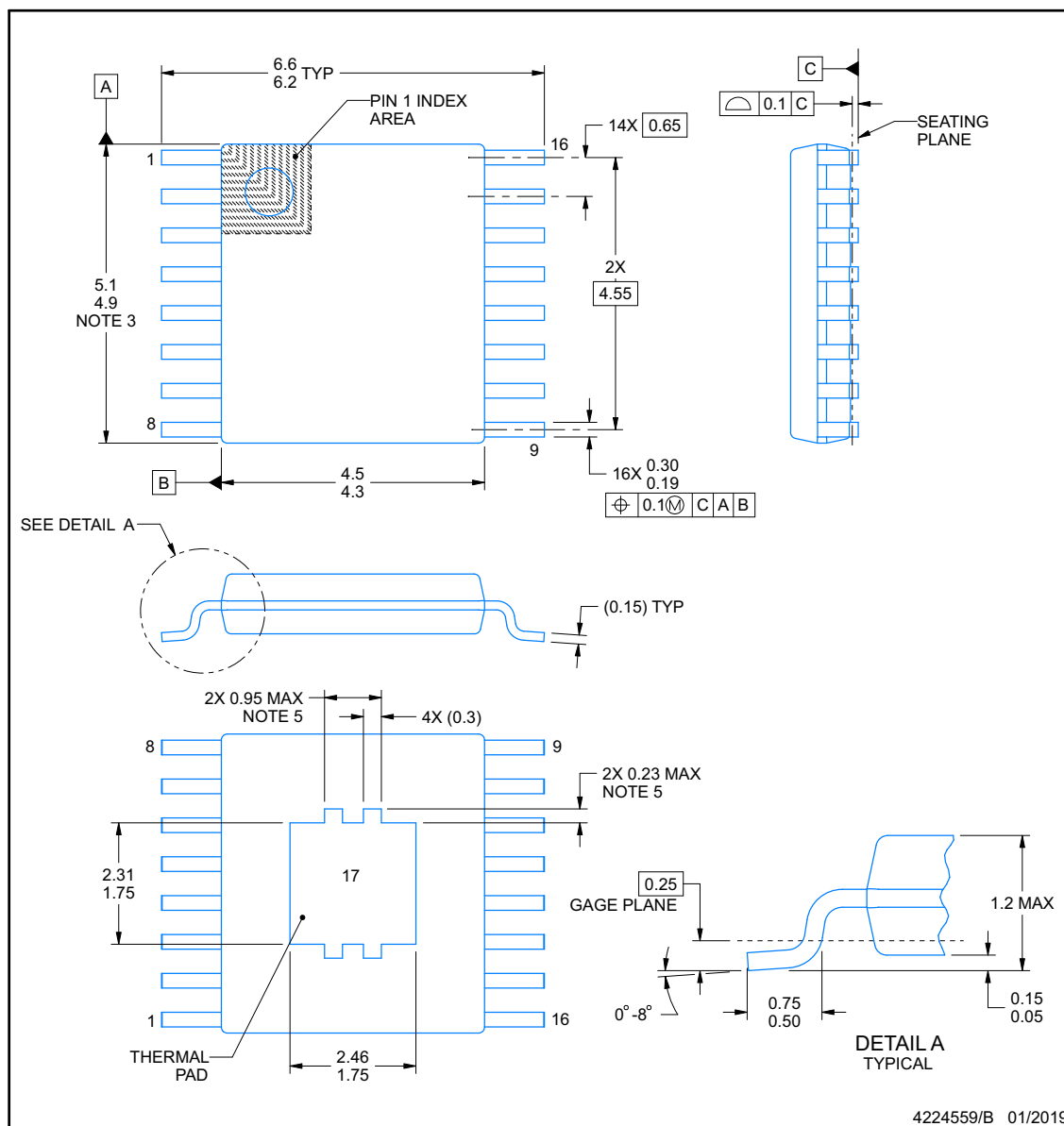


PACKAGE OUTLINE

PWP0016C

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



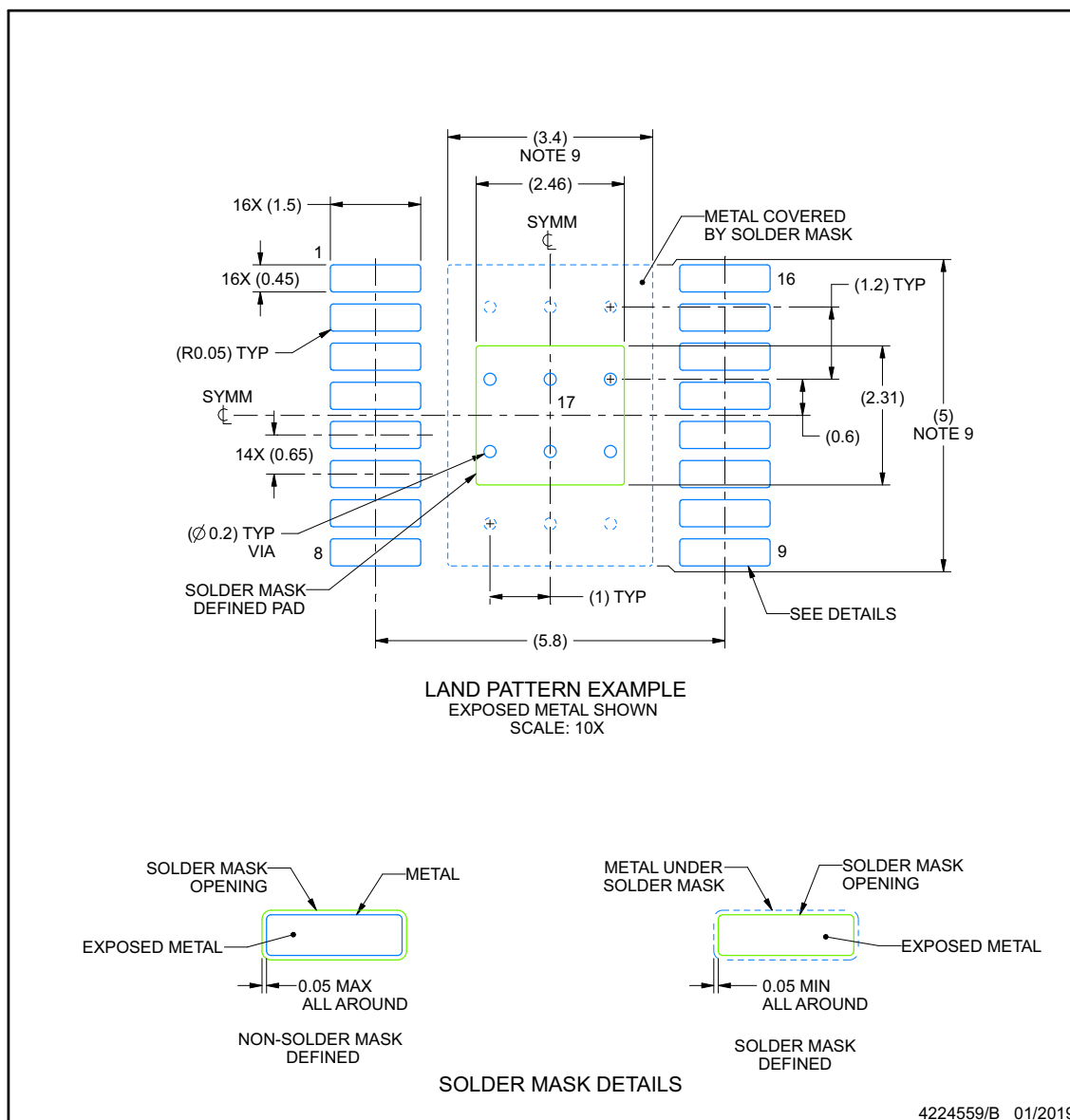
NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT**PWP0016C****PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

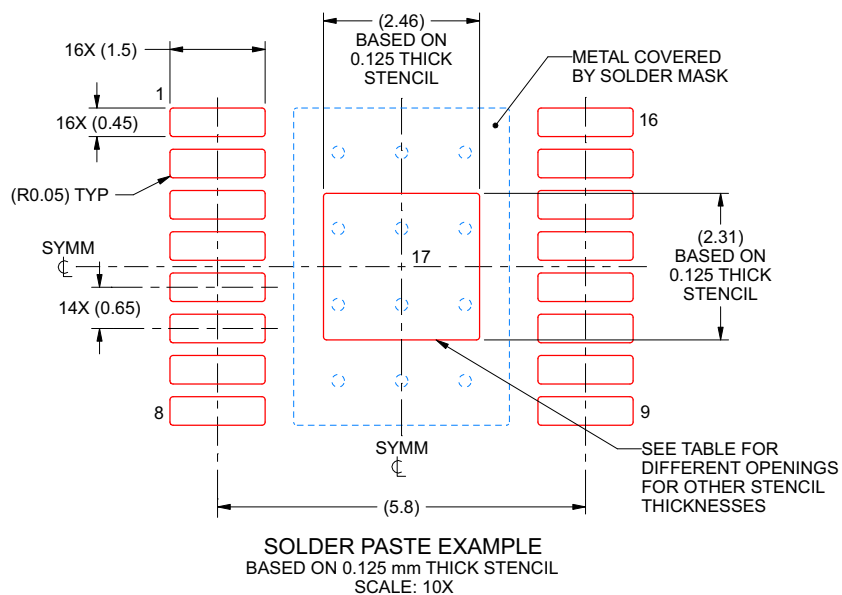
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0016C

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



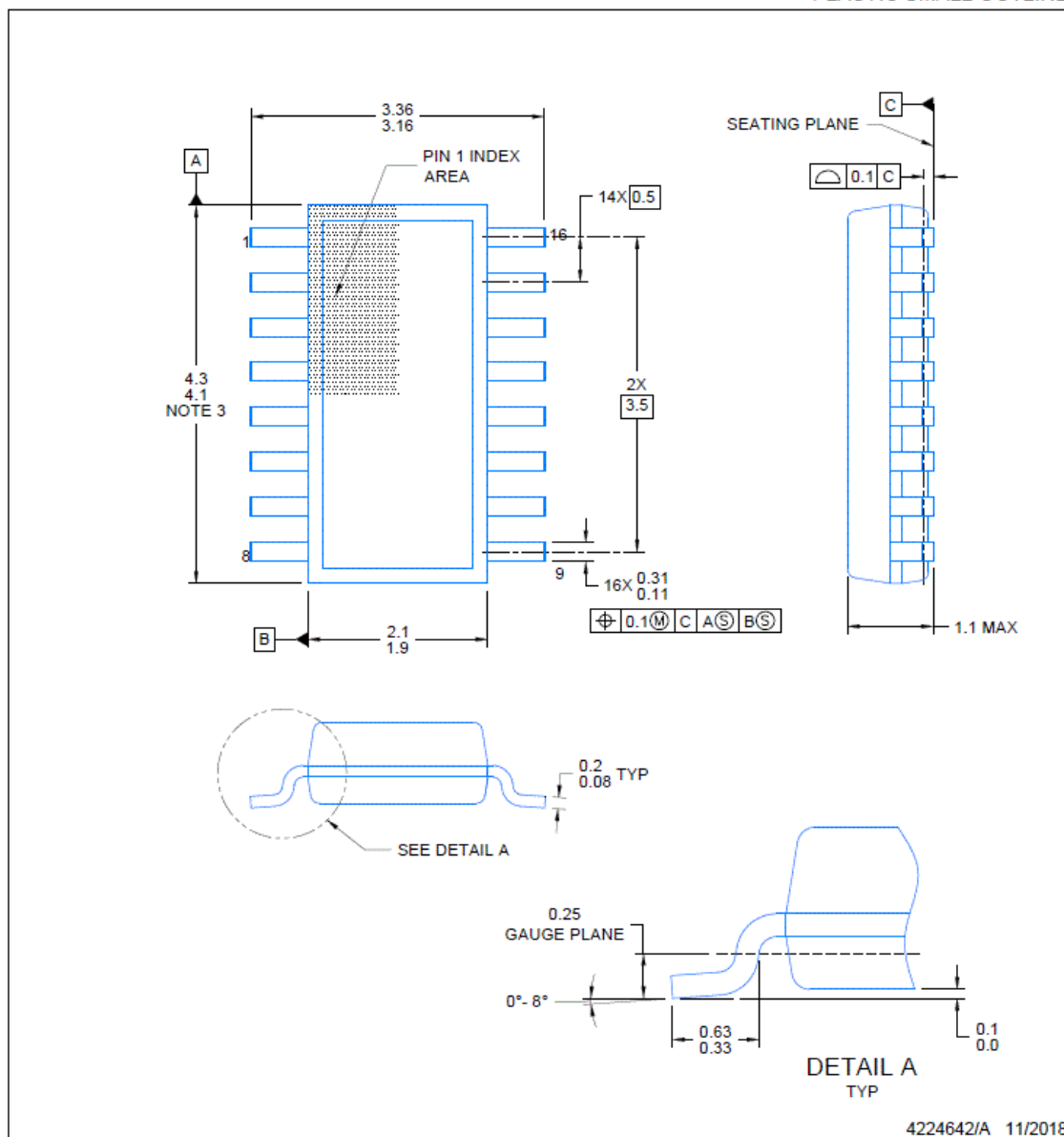
4224559/B 01/2019

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

DYY0016A
PACKAGE OUTLINE
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

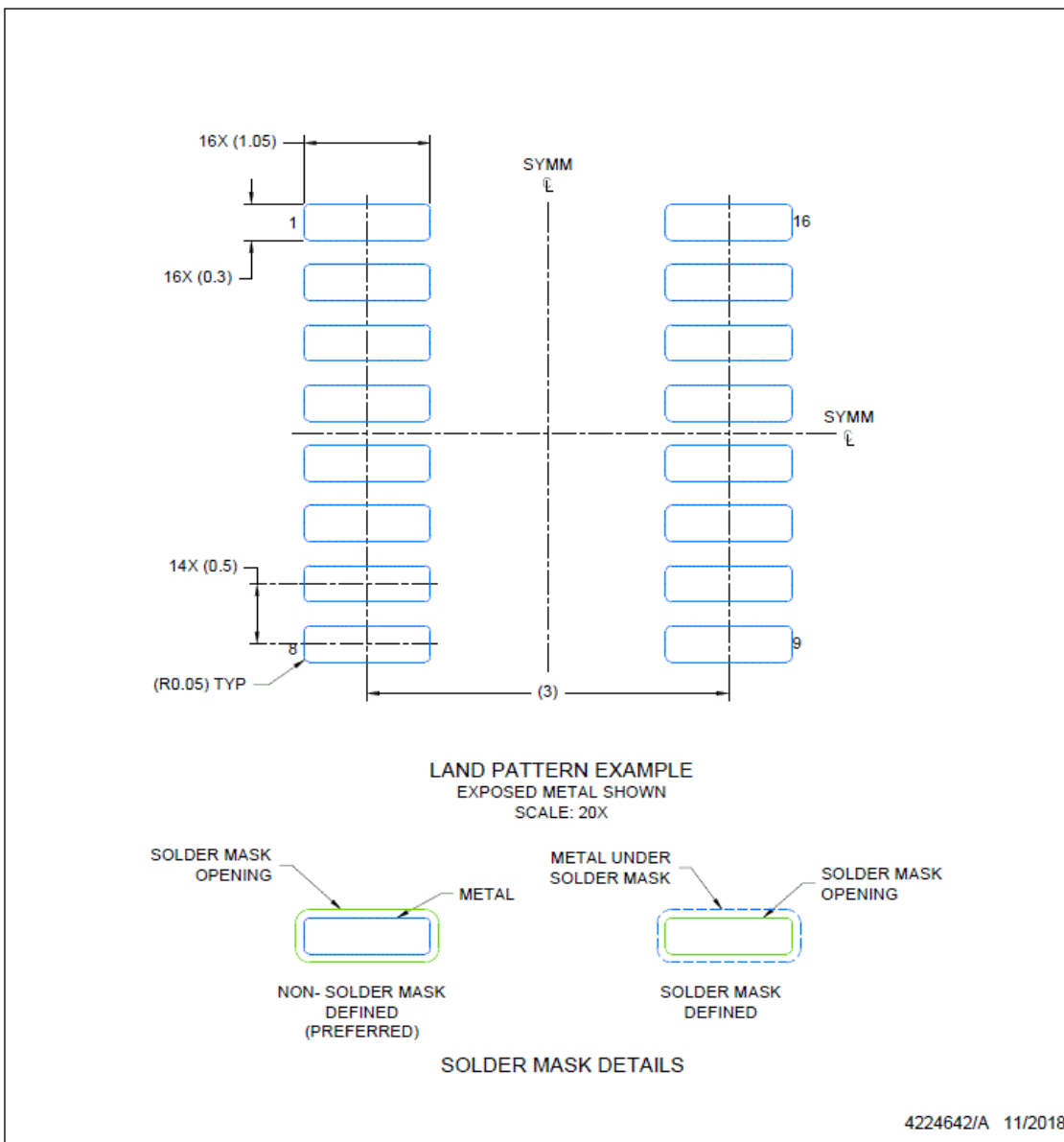
**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.

DYY0016A

EXAMPLE BOARD LAYOUT SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

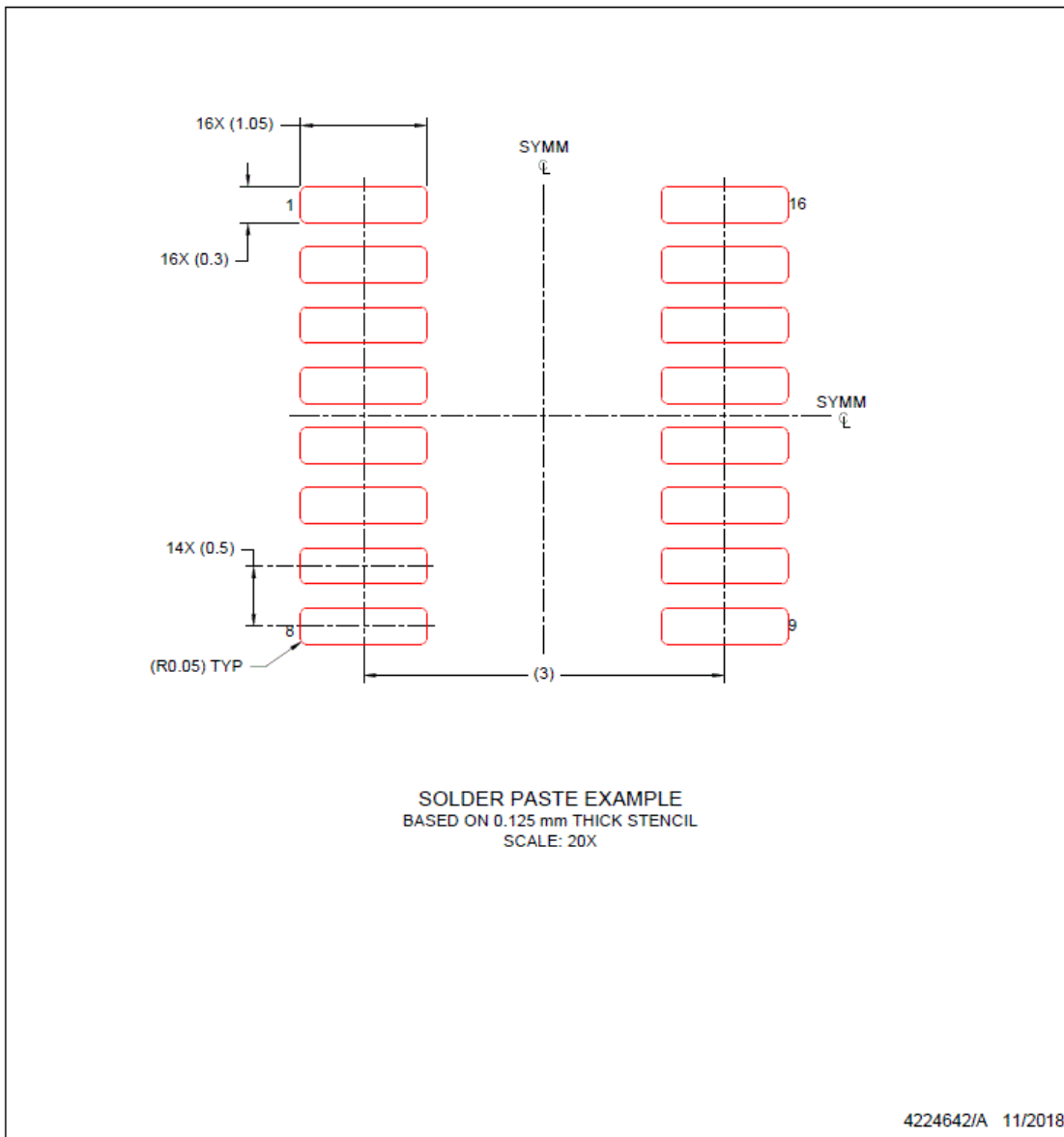


NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DYY0016A**EXAMPLE STENCIL DESIGN****SOT-23-THIN - 1.1 mm max height**

PLASTIC SMALL OUTLINE



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8428EPWPR	Active	Production	HTSSOP (PWP) 16	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8428E
DRV8428EPWPR.A	Active	Production	HTSSOP (PWP) 16	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8428E
DRV8428ERTER	Active	Production	WQFN (RTE) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8428E
DRV8428ERTER.A	Active	Production	WQFN (RTE) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8428E
DRV8428PPWPR	Active	Production	HTSSOP (PWP) 16	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8428P
DRV8428PPWPR.A	Active	Production	HTSSOP (PWP) 16	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8428P
DRV8428PRTER	Active	Production	WQFN (RTE) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8428P
DRV8428PRTER.A	Active	Production	WQFN (RTE) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8428P

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

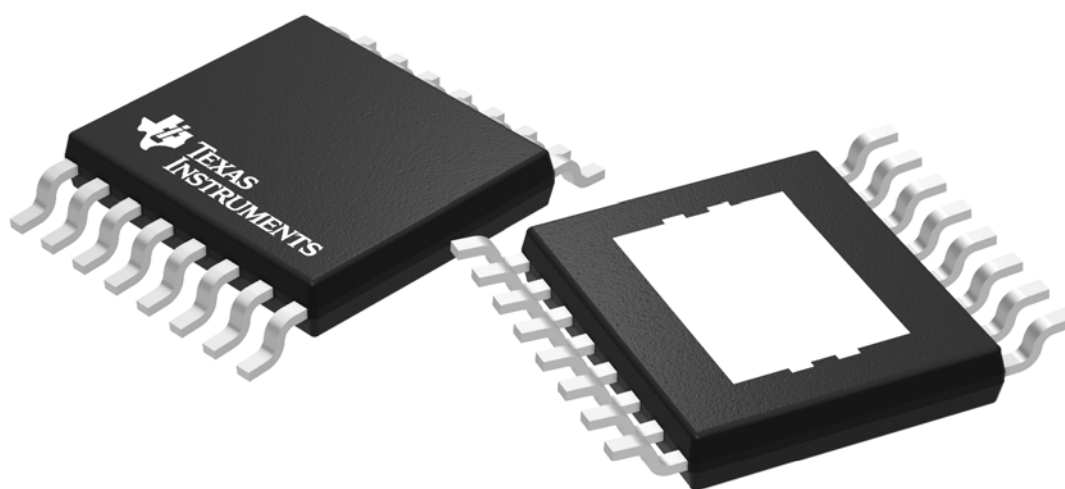
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



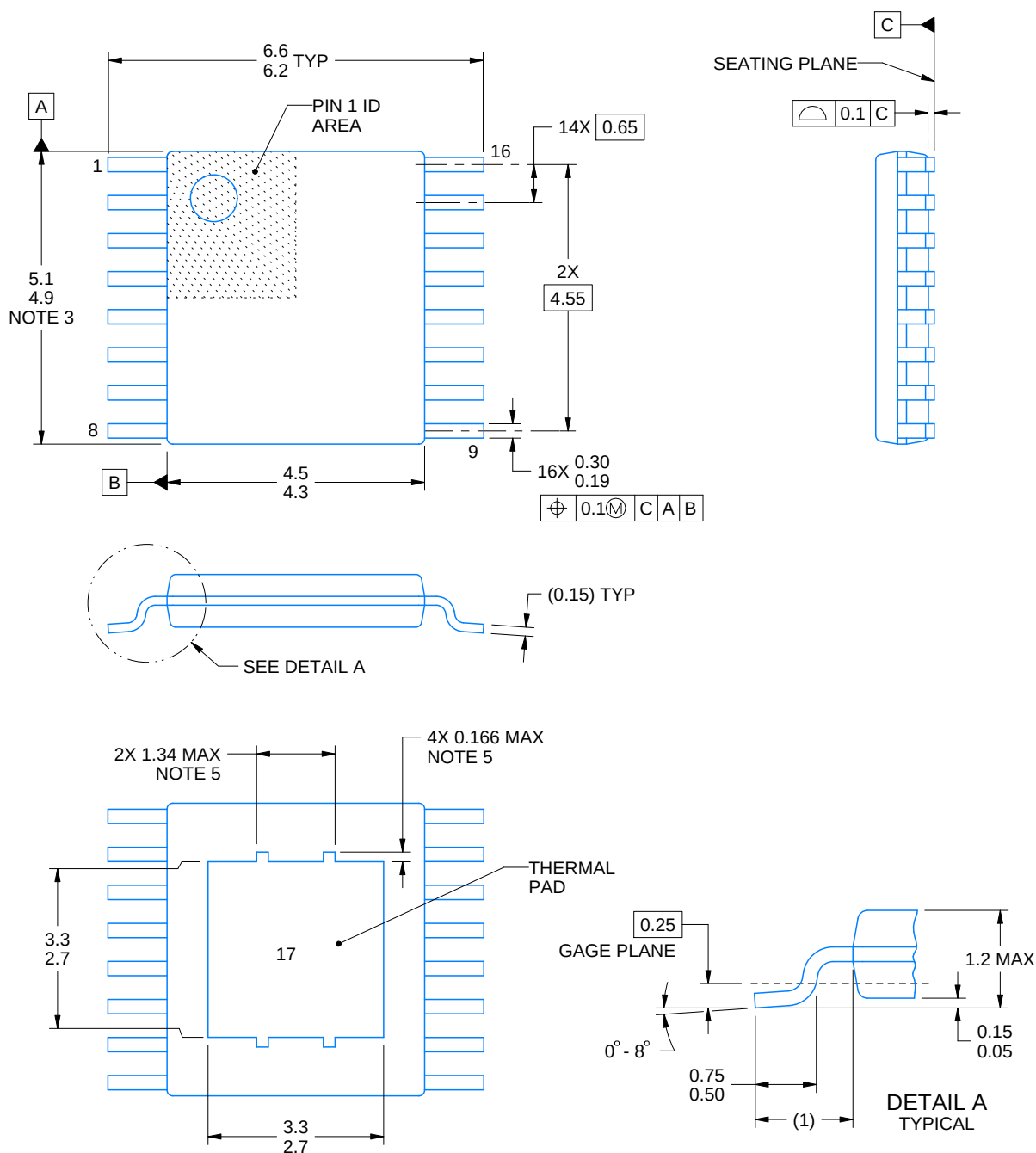
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



PWP0016A

PowerPAD™ HTSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



4214868/A 02/2017

NOTES:

PowerPAD is a trademark of Texas Instruments.

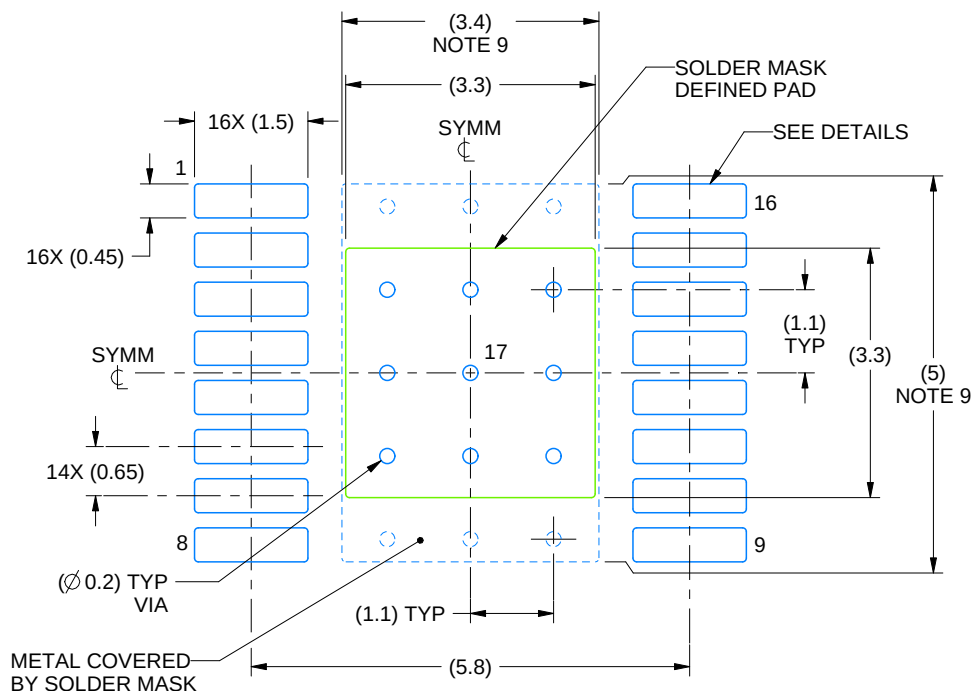
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may not be present.

EXAMPLE BOARD LAYOUT

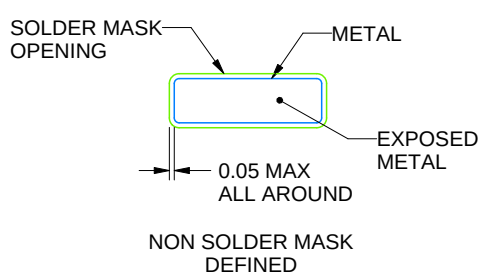
PWP0016A

PowerPAD™ HTSSOP - 1.2 mm max height

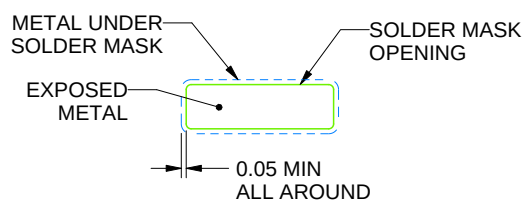
PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:10X



NON SOLDER MASK
DEFINED



SOLDER MASK
DEFINED

SOLDER MASK DETAILS
PADS 1-16

4214868/A 02/2017

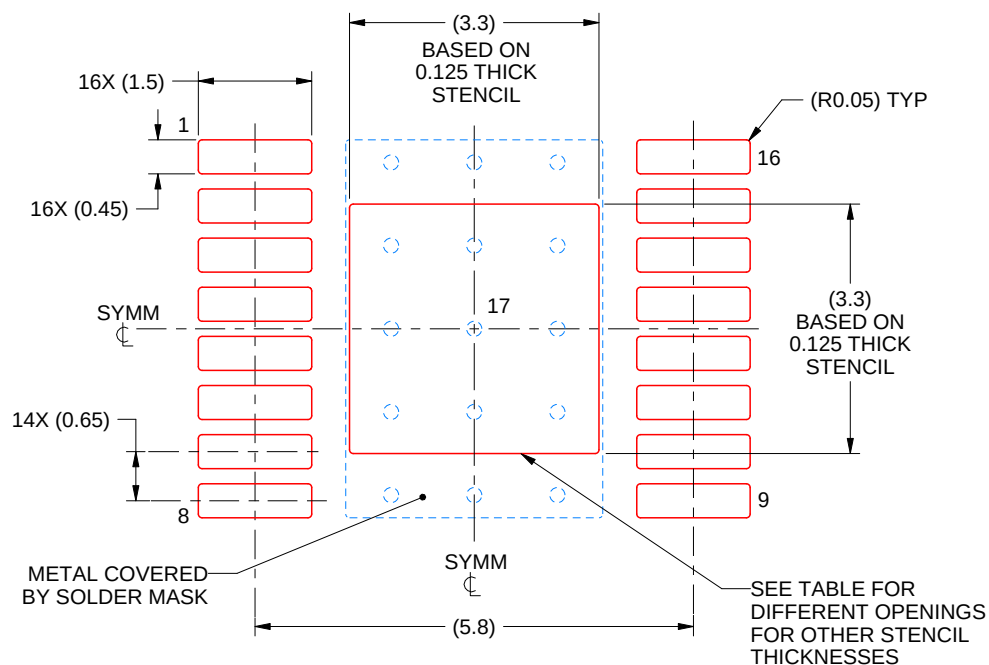
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

PWP0016A

PowerPAD™ HTSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.69 X 3.69
0.125	3.3 X 3.3 (SHOWN)
0.15	3.01 X 3.01
0.175	2.79 X 2.79

4214868/A 02/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

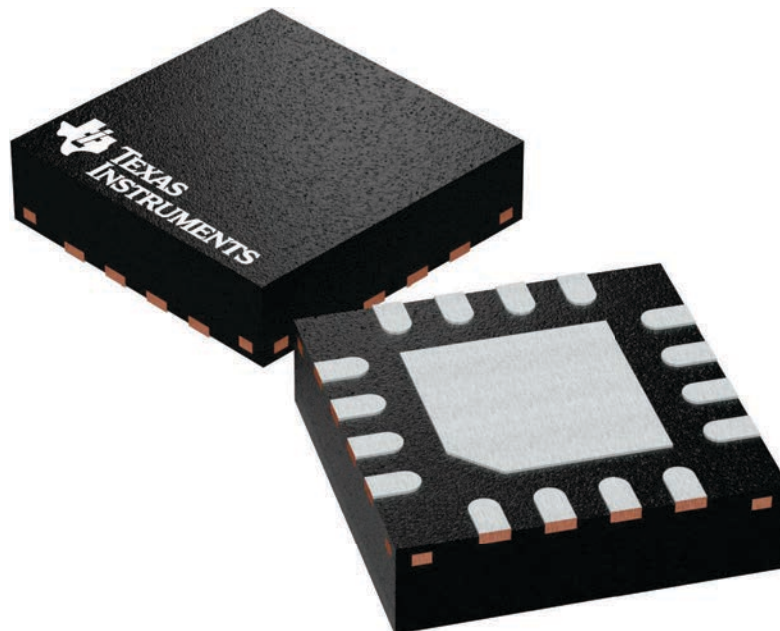
RTE 16

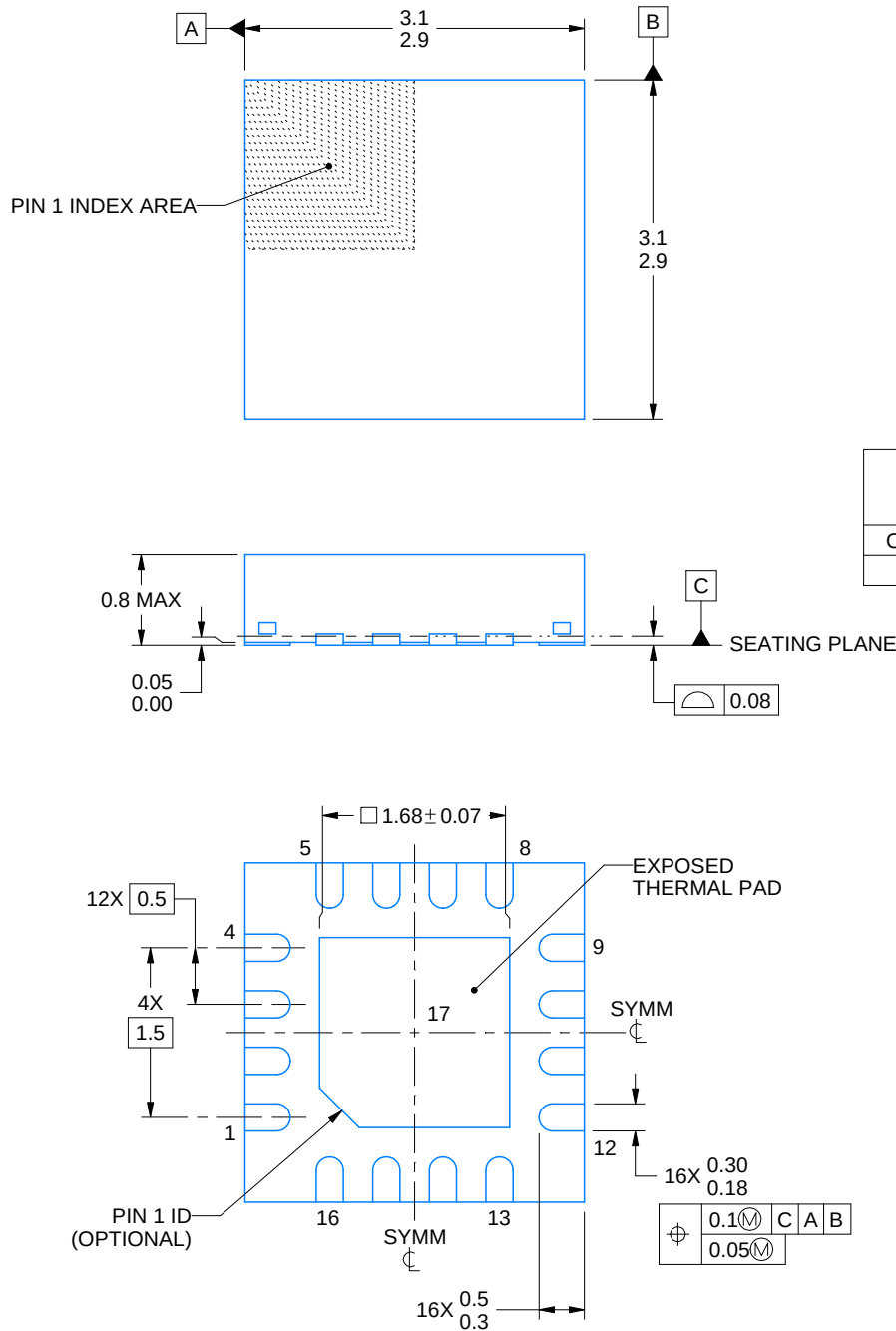
WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





4219117/B 04/2022

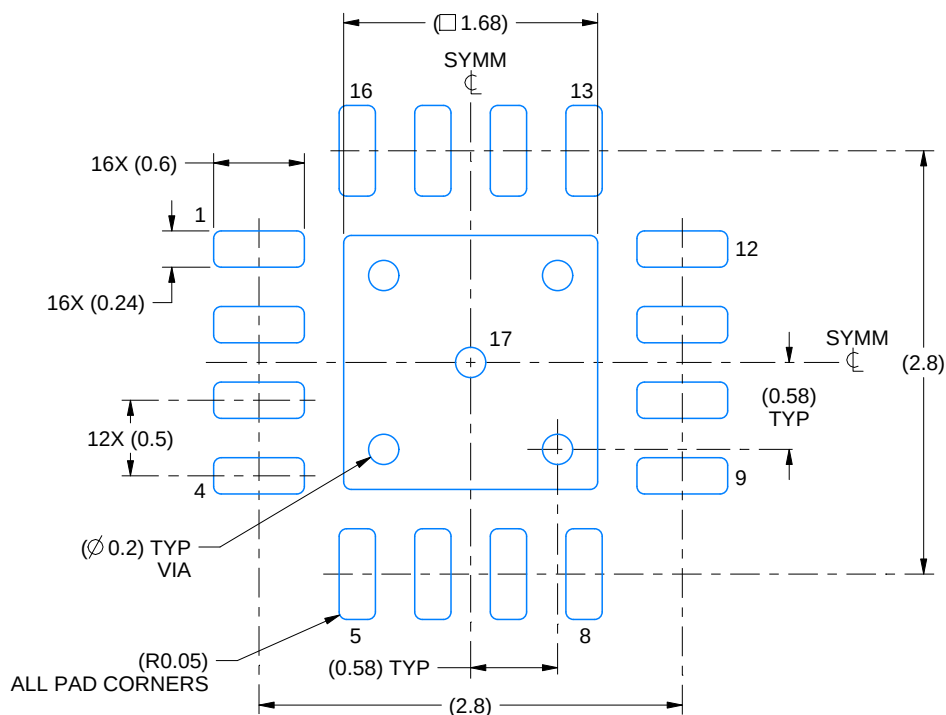
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

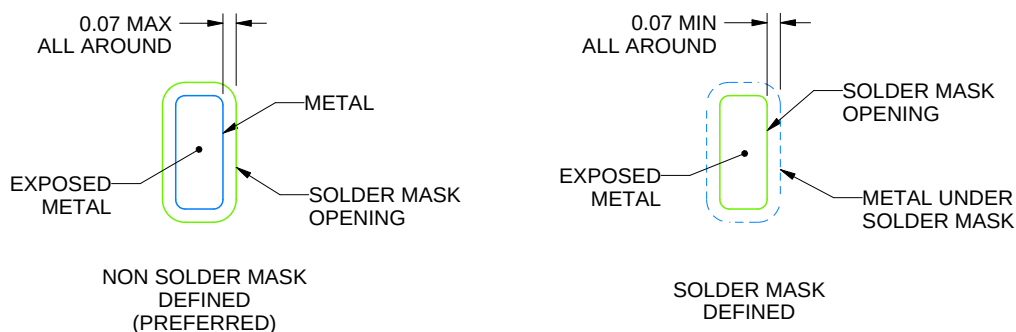
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4219117/B 04/2022

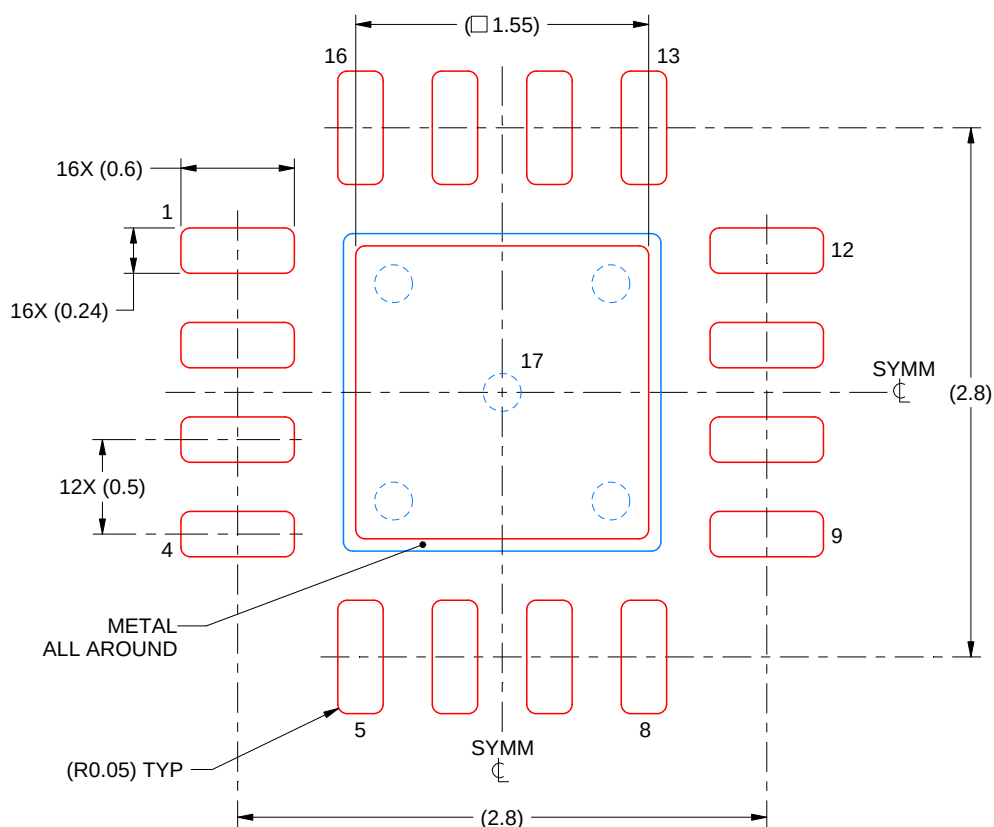
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月