

# DRV8886AT 電流検出機能/AutoTune™テクノロジー搭載 2Aステッピング・モータ・ドライバ

## 1 特長

- PWMマイクロステッピングのステッピング・モータ・ドライバ
  - 最高1/16のマイクロステッピング
  - 非循環および標準の½ステップ・モード
- 電流検出機能を搭載
  - 検出シャント抵抗が不要
  - $\pm 6.25\%$ のフルスケール電流精度
- AutoTune™アダプティブ減衰テクノロジー、低速減衰、混合減衰を選択可能
- 8~37Vの電源動作電圧範囲
- 低 $R_{DS(ON)}$ : 24V、25°Cで550mΩ HS + LS
- 高電流出力ドライバ
  - ブリッジごとのピーク3A
  - ブリッジごとのフルスケール2A
  - ブリッジごとのrms 1.4A
- 動的および固定オフ時間PWM電流制御
- シンプルなSTEP/DIRインターフェイス
- 低消費電流スリープ・モード(20μA)
- 小型パッケージと小占有面積
  - 24 HTSSOP PowerPAD™パッケージ
  - 28 WQFNパッケージ
- 保護機能
  - VM低電圧誤動作防止(UVLO)
  - チャージ・ポンプ低電圧検出(CPUV)
  - 過電流保護(OCP)
  - 過熱検出保護(TSD)
  - フォルト状態出力ピン(nFAULT)

## 2 アプリケーション

- バイポーラ・ステッピング・モータ
- 多機能プリンタおよびスキャナ
- レーザー・ビーム・プリンタ
- 3Dプリンタ
- 現金自動預払機および貨幣処理機
- 防犯カメラ
- OA機器
- ファクトリ・オートメーションおよびロボティクス

## 3 概要

DRV8886ATは、産業用および民生用アプリケーション向けのステッピング・モータ・ドライバです。2つのNチャネル・パワーMOSFET Hブリッジ・ドライバ、マイクロステッピング制御ロジック、および電流検出機能を集積しており、フルスケールで2A、rmsで1.4Aまでの出力電流を供給できます(24Vおよび $T_A = 25^\circ\text{C}$ 、PCB設計に依存)。

DRV8886ATは電流検出アーキテクチャを内蔵しているため、2つの外部電流検出シャント抵抗が不要になり、PCB面積とシステムコストを削減できます。また、AutoTuneアダプティブ減衰テクノロジー、低速減衰、混合減衰を選択可能なPWM電流制御方式を採用しています。

AutoTuneアダプティブ減衰テクノロジーは、最適な電流制御性能を実現するための自動調整機能と、モータの変動や経年変化に対する補償機能を備えています。

シンプルなSTEP/DIRインターフェイスにより、外部のコントローラからステッピング・モータの方向とステップ速度を管理できます。このデバイスは、フルステップから1/16マイクロステッピングまでの範囲で、異なるステップ制御モードに設定可能です。低消費電力のスリープ・モードが用意されており、専用のnSLEEPピンを使用することで、静止電流の非常に低いスタンバイ・モードに移行できます。

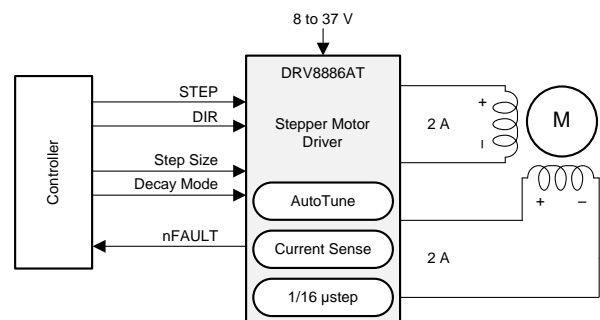
デバイス保護のため、電源の低電圧、チャージ・ポンプ異常、過電流、短絡、過熱への保護機能があります。フォルト状況は、nFAULTピンにより示されます。

### 製品情報<sup>(1)</sup>

型番	パッケージ	本体サイズ(公称)
DRV8886AT	HTSSOP (24)	7.80mm×4.40mm
	WQFN (28)	5.50mm×3.5mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

### 概略回路図



## 目次

1	特長	1	7.4	デバイスの機能モード	28
2	アプリケーション	1	8	アプリケーションと実装	30
3	概要	1	8.1	アプリケーション情報	30
4	改訂履歴	2	8.2	代表的なアプリケーション	30
5	ピン構成および機能	3	9	電源に関する推奨事項	33
6	仕様	4	9.1	バルク・コンデンサ	33
6.1	絶対最大定格	4	10	レイアウト	34
6.2	ESD定格	4	10.1	レイアウトの注意点	34
6.3	推奨動作条件	5	10.2	レイアウト例	34
6.4	熱特性	5	11	デバイスおよびドキュメントのサポート	35
6.5	電気的特性	6	11.1	ドキュメントのサポート	35
6.6	ステップング制御ロジック・タイミング要件	8	11.2	ドキュメントの更新通知を受け取る方法	35
6.7	代表的特性	9	11.3	コミュニティ・リソース	35
7	詳細説明	11	11.4	商標	35
7.1	概要	11	11.5	静電気放電に関する注意事項	35
7.2	機能ブロック図	12	11.6	Glossary	35
7.3	機能説明	13	12	メカニカル、パッケージ、および注文情報	35

## 4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

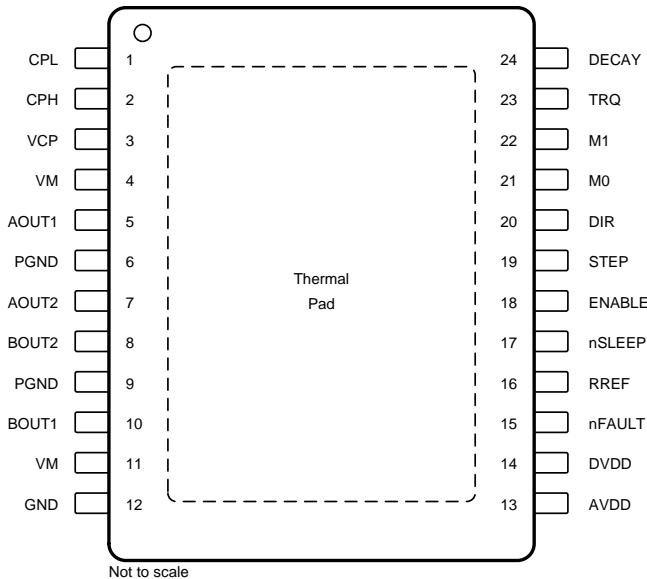
Revision A (July 2018) から Revision B に変更	Page
• デバイスのステータスを「事前情報」から「量産データ」に変更	1

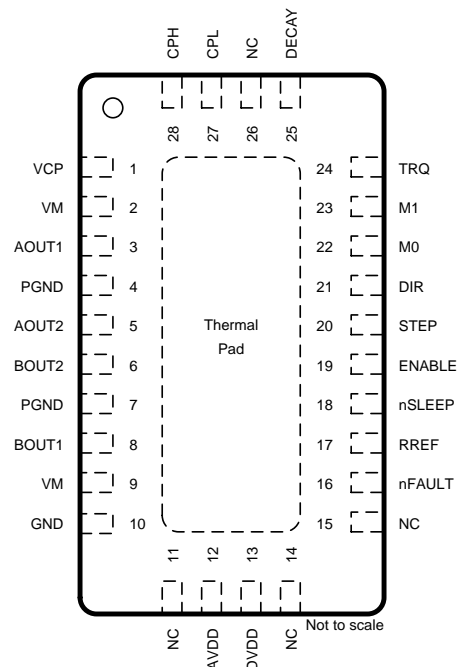
2017年1月発行のものから更新	Page
• WQFNパッケージ・オプション 追加	1
• 変更 ハイサイドおよびローサイド $R_{DS(ON)}$ と VM および温度との関係のグラフで、ハイサイドおよびローサイド $R_{DS(ON)}$ 軸ラベルの単位を $m\Omega$ から $\Omega$ に	9

## 5 ピン構成および機能

PWP PowerPAD™パッケージ  
24ピン HTSSOP  
上面図



RHR パッケージ  
28ピン WQFN 露出サーマル・パッド付き  
上面図



### 端子機能

名前	ピン		種類 <sup>(1)</sup>	説明
	番号			
	HTSSOP	WQFN		
AOUT1	5	3	O	巻線 A 出力。ステッピング・モータの巻線に接続します。
AOUT2	7	5		
AVDD	13	12	PWR	内部レギュレータ。X5R または X7R、0.47μF、6.3V セラミック・コンデンサを使用して GND にバイパスします。
BOUT1	10	8	O	巻線 B 出力。ステッピング・モータの巻線に接続します。
BOUT2	8	6		
CPH	2	28	PWR	チャージ・ポンプのスイッチング・ノード。X5R または X7R、0.022μF、VM 定格セラミック・コンデンサを CPL と CPH の間に接続します。
CPL	1	27		
DECAY	24	25	I	減衰モード設定。減衰モードを設定します (「減衰モード」を参照)。デバイス起動時(nSLEEP = High)に減衰モードはラッチされます。
DIR	20	21	I	方向入力。論理レベルによりステッピング方向を設定します。内部プルダウン抵抗。
DVDD	14	13	PWR	内部レギュレータ。X5R または X7R、0.47μF、6.3V セラミック・コンデンサを使用して GND にバイパスします。
ENABLE	18	19	I	ドライバ入力をイネーブルします。論理 High でデバイス出力をイネーブル。論理 Low でディセーブル。内部プルダウン抵抗。
GND	12	10	PWR	デバイスのグラウンド。システム・グラウンドに接続します。
M0	21	22	I	マイクロステッピング・モード設定。ステップ・モードを設定します。トライレベル・ピン。ステップ・モードを設定します。内部プルダウン抵抗。
M1	22	23		
NC	—	11	—	接続なし。内部接続なし
		14		
		15		
		26		

(1) I = 入力、O = 出力、PWR = 電源、OD = オープンドレイン

端子機能 (continued)

名前	ピン番号		種類 <sup>(1)</sup>	説明
	HTSSOP	WQFN		
PGND	6	4	PWR	電源グラウンド。システム・グラウンドに接続します。
	9	7		
RREF	16	17	I	電流制限アナログ入力。抵抗をグラウンドに接続して、フルスケール・レギュレーション電流を設定します。
STEP	19	20	I	ステップ入力。立ち上がりエッジでシーケンス制御ロジックが1ステップ進みます。内部プルダウン抵抗。
TRQ	23	24	I	電流スケールリング制御。出力電流をスケールリングします。トライレベル・ピン。
VCP	3	1	PWR	チャージ・ポンプの出力。X5R または X7R、0.22μF、16V セラミック・コンデンサを VM に接続します。
VM	4	2	PWR	電源。モータ電源電圧に接続し、VM 定格の 2 つの 0.01μF セラミック・コンデンサ (各ピンに 1 つずつ) と 1 つのバルク・コンデンサを使用して GND にバイパスします。
	11	9		
nFAULT	15	16	OD	フォルト通知。フォルト条件により論理 Low に駆動されます。オープンドレイン出力には外部プルアップ抵抗が必要です。
nSLEEP	17	18	I	スリープ・モード入力。論理 High でデバイスをイネーブル。論理 Low で低消費電力スリープ・モードに移行。内部プルダウン抵抗。

6 仕様

6.1 絶対最大定格

動作温度範囲内(特に記述のない限り)<sup>(1)</sup>

	最小	最大	単位
電源電圧 (VM)	-0.3	40	V
電源電圧ランプレート (VM)	0	2	V/μs
チャージ・ポンプ電圧 (VCP、CPH)	-0.3	VM + 7	V
チャージ・ポンプ負スイッチング・ピン (CPL)	-0.3	VM	V
内部レギュレータ電圧 (DVDD)	-0.3	3.8	V
内部レギュレータ電流出力 (DVDD)	0	1	mA
内部レギュレータ電圧 (AVDD)	-0.3	5.7	V
制御ピン電圧 (STEP、DIR、ENABLE、nFAULT、M0、M1、DECAY、TRQ、nSLEEP)	-0.3	5.7	V
オープンドレイン出力電流 (nFAULT)	0	10	mA
電流制限入力ピン電圧 (RREF)	-0.3	6.0	V
巻線出力ピン電圧 (連続) (AOUT1、AOUT2、BOUT1、BOUT2)	-1.0	VM + 1.0	V
巻線出力電圧 (過渡 100ns) (AOUT1、AOUT2、BOUT1、BOUT2)	-3.0	VM + 3.0	V
ピーク駆動電流 (AOUT1、AOUT2、BOUT1、BOUT2)	0	3	A
動作時の接合部温度、T <sub>j</sub>	-40	150	°C
保存温度、T <sub>stg</sub>	-65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD定格

		値	単位
V <sub>(ESD)</sub> ESD定格	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 <sup>(2)</sup>	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 推奨動作条件

動作温度範囲内(特に記述のない限り)

		最小	最大	単位
$V_{VM}$	電源電圧 (VM)	8	37	V
$V_I$	入力電圧 (DECAY、DIR、ENABLE、M0、M1、nSLEEP、STEP、TRQ)	0	5.3	V
$f_{PWM}$	印加 STEP 信号 (STEP)	0	100 <sup>(1)</sup>	kHz
$I_{DVDD}$	外部負荷電流 (DVDD)	0	1 <sup>(2)</sup>	mA
$I_{FS}$	モータ・フルスケール電流 (xOUTx)	0	2 <sup>(2)</sup>	A
$I_{rms}$	モータ RMS 電流 (xOUTx)	0	1.4 <sup>(2)</sup>	A
$T_A$	動作時の周囲温度	-40	125	°C

(1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモータの負荷により制限されます。

(2) 消費電力および温度の制限に従う必要があります。

### 6.4 熱特性

熱特性 <sup>(1)</sup>	DRV8886		単位	
	PWP (HTSSOP)	RHR (WQFN)		
	24 ピン	28ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	33.8	33.2	°C/W
$R_{\theta JC(top)}$	接合部からケース(上面)への熱抵抗	18.0	23.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.7	12.2	°C/W
$\Psi_{JT}$	接合部から上面への熱特性	0.2	0.3	°C/W
$\Psi_{JB}$	接合部から基板への熱特性	7.8	12.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース(底面)への熱抵抗	1.3	3.3	°C/W

(1) 従来および新しい熱測定値の詳細については、『[半導体およびICパッケージの熱測定値](#)』アプリケーション・レポートを参照してください。

## 6.5 電気的特性

$T_A = -40 \sim 125^\circ\text{C}$ 、 $V_{VM} = 8 \sim 37\text{V}$  (特に記述のない限り)

パラメータ	テスト条件	最小	代表値	最大	単位
<b>電源 (VM、DVDD、AVDD)</b>					
VVM	VM 動作電圧	8		37	V
I <sub>VM</sub>	VM 動作電源電流	ENABLE = 1、nSLEEP = 1、モータ負荷なし		5	8 mA
I <sub>VMQ</sub>	VM スリープ・モード電源電流	nSLEEP = 0、 $T_A = 25^\circ\text{C}$		20	$\mu\text{A}$
		nSLEEP = 0、 $T_A = 125^\circ\text{C}^{(1)}$		40	
t <sub>SLEEP</sub>	スリープ時間	nSLEEP = 0 でスリープモード		50	200 $\mu\text{s}$
t <sub>WAKE</sub>	ウェークアップ時間	nSLEEP = 1 で出力遷移		0.85	1.5 ms
t <sub>ON</sub>	ターンオン時間	VM > UVLO で出力遷移		0.85	1.5 ms
V <sub>DVDD</sub>	内部レギュレータ電圧	0 ~ 1mA 外部負荷		2.9	3.3 V
V <sub>AVDD</sub>	内部レギュレータ電圧	外部負荷なし		4.5	5 V
<b>チャージ・ポンプ (VCP、CPH、CPL)</b>					
V <sub>VCP</sub>	VCP 動作電圧			VM + 5.5	V
<b>論理レベル入力 (STEP、DIR、ENABLE、nSLEEP、M1)</b>					
V <sub>IL</sub>	入力論理 Low 電圧			0	0.8 V
V <sub>IH</sub>	入力論理 High 電圧			1.6	5.3 V
V <sub>HYS</sub>	入力論理ヒステリシス			200	mV
I <sub>IL</sub>	入力論理 Low 電流	VIN = 0V		-1	1 $\mu\text{A}$
I <sub>IH</sub>	入力論理 High 電流	VIN = 5V			100 $\mu\text{A}$
R <sub>PD</sub>	プルダウン抵抗	対 GND		100	k $\Omega$
t <sub>PD</sub> <sup>(1)</sup>	伝搬遅延	STEP で電流変更			1.2 $\mu\text{s}$
<b>トライレベル入力 (M0、TRQ)</b>					
V <sub>IL</sub>	トライレベル入力論理 Low 電圧			0	0.65 V
V <sub>IZ</sub>	トライレベル入力 Hi-Z 電圧			0.95	1.1 V
V <sub>IH</sub>	トライレベル入力論理 High 電圧			1.5	5.3 V
I <sub>IL</sub>	トライレベル入力論理 Low 電流	VIN = 0V		-90	$\mu\text{A}$
I <sub>IH</sub>	トライレベル入力論理 High 電流	VIN = 5V			155 $\mu\text{A}$
R <sub>PD</sub>	トライレベル・プルダウン抵抗	VIN = Hi-Z、対 GND		65	k $\Omega$
R <sub>PU</sub>	トライレベル・プルアップ抵抗	VIN = Hi-Z、対 DVDD		130	k $\Omega$
<b>クワッドレベル入力 (減衰)</b>					
V <sub>I1</sub>	クワッドレベル入力電圧 1	対 GND 1% 5k $\Omega$ で設定可能		0	0.14 V
V <sub>I2</sub>	クワッドレベル入力電圧 2	対 GND 1% 15k $\Omega$ で設定可能		0.24	0.46 V
V <sub>I3</sub>	クワッドレベル入力電圧 3	対 GND 1% 44.2k $\Omega$ で設定可能		0.71	1.24 V
V <sub>I4</sub>	クワッドレベル入力電圧 4	対 GND 1% 133k $\Omega$ で設定可能		2.12	5.3 V
I <sub>O</sub>	出力電流	対 GND		17	22 27.25 $\mu\text{A}$
<b>制御出力 (nFAULT)</b>					
V <sub>OL</sub>	出力論理 Low 電圧	I <sub>O</sub> = 1mA、R <sub>PULLUP</sub> = 4.7k $\Omega$			0.5 V
I <sub>OH</sub>	出力論理 High リーク電流	V <sub>O</sub> = 5V、R <sub>PULLUP</sub> = 4.7k $\Omega$		-1	1 $\mu\text{A}$

(1) 設計と特性データにより規定されています。

**電気的特性 (continued)**
 $T_A = -40 \sim 125^\circ\text{C}$ ,  $V_{VM} = 8 \sim 37\text{V}$  (特に記述のない限り)

パラメータ		テスト条件	最小	代表値	最大	単位
<b>モータ・ドライバ出力 (AOUT1、AOUT2、BOUT1、BOUT2)</b>						
$R_{DS(ON)}$	ハイサイド FET オン抵抗	$V_M = 24\text{V}$ , $I = 1.4\text{A}$ , $T_A = 25^\circ\text{C}$		290	346	mΩ
$R_{DS(ON)}$	ローサイド FET オン抵抗	$V_M = 24\text{V}$ , $I = 1.4\text{A}$ , $T_A = 25^\circ\text{C}$		260	320	mΩ
$t_{RISE}^{(1)}$	出力立ち上がり時間			100		ns
$t_{FALL}^{(1)}$	出力立ち下がり時間			100		ns
$t_{DEAD}^{(1)}$	出力デッドタイム			200		ns
$V_d^{(1)}$	ボディダイオード順方向電圧	$I_{OUT} = 0.5\text{A}$		0.7	1	V
<b>PWM 電流制御 (RREF)</b>						
$A_{RREF}$	RREF トランスインピーダンス・ゲイン		28.1	30	31.9	kAΩ
$V_{RREF}$	RREF 電圧	$RREF = 18 \sim 132\text{k}\Omega$	1.18	1.232	1.28	V
$t_{OFF}$	PWM オフ時間			20		μs
$C_{RREF}$	RREF の等価容量				10	pF
$t_{BLANK}$	PWM ブランキング時間	$I_{RREF} = 2.0\text{A}$ , 63% ~ 100% 電流設定		1.5		μs
		$I_{RREF} = 2.0\text{A}$ , 0% ~ 63% 電流設定		1		
$\Delta I_{TRIP}$	電流トリップ精度	$I_{RREF} = 1.5\text{A}$ , 10% ~ 20% 電流設定、1% リファレンス抵抗	-15%		15%	
		$I_{RREF} = 1.5\text{A}$ , 20% ~ 63% 電流設定、1% リファレンス抵抗	-10%		10%	
		$I_{RREF} = 1.5\text{A}$ , 71% ~ 100% 電流設定、1% リファレンス抵抗	-6.25%		6.25%	
<b>保護回路</b>						
$V_{UVLO}$	VM UVLO	VM 立ち下がり、UVLO 通知	7		7.8	V
		VM 立ち上がり、UVLO 復帰	7.2		8	
$V_{UVLO,HYS}$	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレシヨルド		200		mV
$V_{CPUV}$	チャージ・ポンプ低電圧	VCP 立ち下がり、CPUV 通知		$V_M + 2$		V
$I_{OCP}$	過電流保護レベル	FET を流れる電流	3			A
$t_{OCP}^{(1)}$	過電流グリッチ除去時間		1.3	1.9	2.8	μs
$t_{RETRY}$	過電流リトライ時間		1		1.6	ms
$T_{TSD}^{(1)}$	過熱保護閾値温度	ダイ温度 $T_J$	150			°C
$T_{HYS}^{(1)}$	過熱保護閾値ヒステリシス	ダイ温度 $T_J$		20		°C

## 6.6 ステッピング制御ロジック・タイミング要件

$T_A = -40 \sim 125^\circ\text{C}$ 、 $V_{VM} = 8 \sim 37\text{V}$  (特に記述のない限り)

番号			最小	最大	単位
1	$f_{\text{STEP}}^{(1)}$	ステップ周波数		500	kHz
2	$t_{\text{WH}}(\text{STEP})$	パルス幅、STEP High	970		ns
3	$t_{\text{WL}}(\text{STEP})$	パルス幅、STEP Low	970		ns
4	$t_{\text{SU}}(\text{DIR}, \text{Mx})$	セットアップ時間、DIR または USMx から STEP 立ち上がりまで	200		ns
5	$t_{\text{H}}(\text{DIR}, \text{Mx})$	ホールド時間、DIR または USMx から STEP 立ち上がりまで	200		ns

(1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモータの負荷により制限されます。

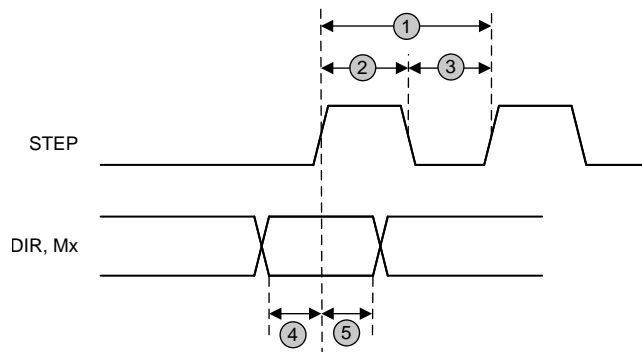


図 1. タイミング図



## 6.7 代表的特性

推奨動作条件範囲内 (特に記述のない限り)

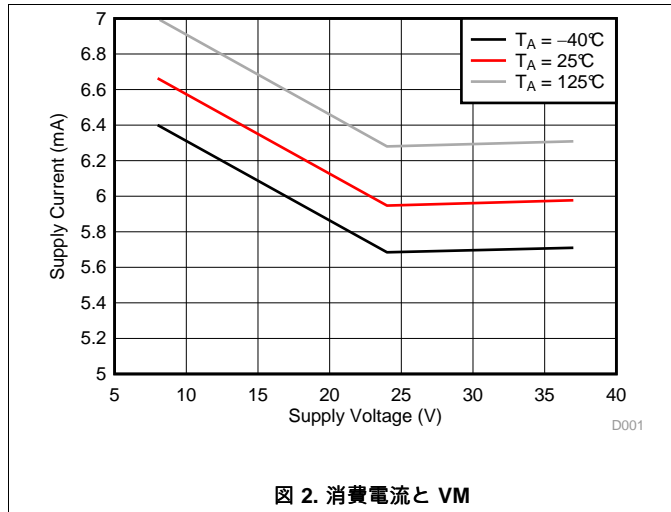


図 2. 消費電流と VM

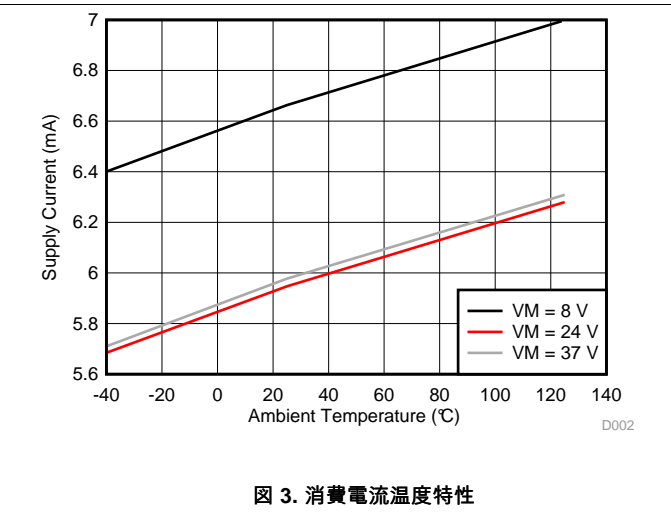


図 3. 消費電流温度特性

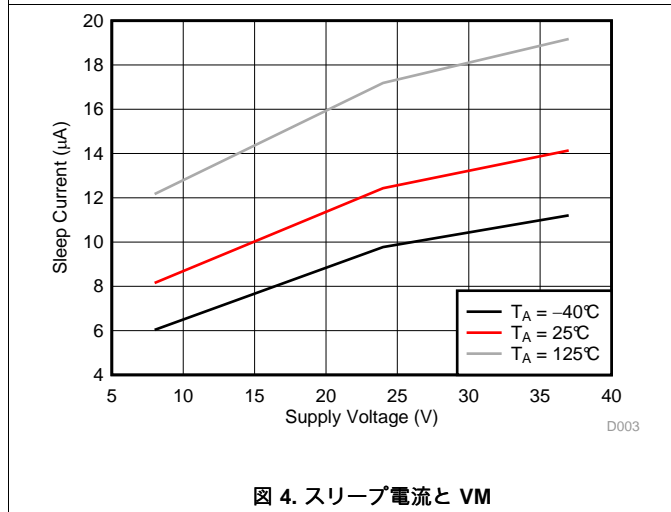


図 4. スリープ電流と VM

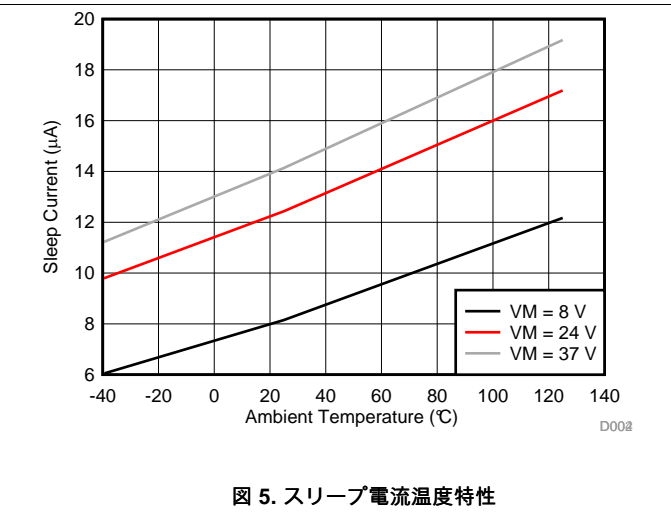


図 5. スリープ電流温度特性

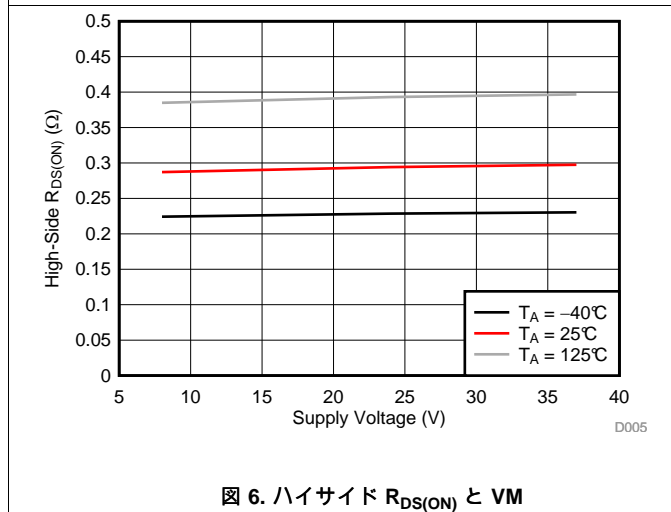


図 6. ハイサイド R<sub>DS(ON)</sub> と VM

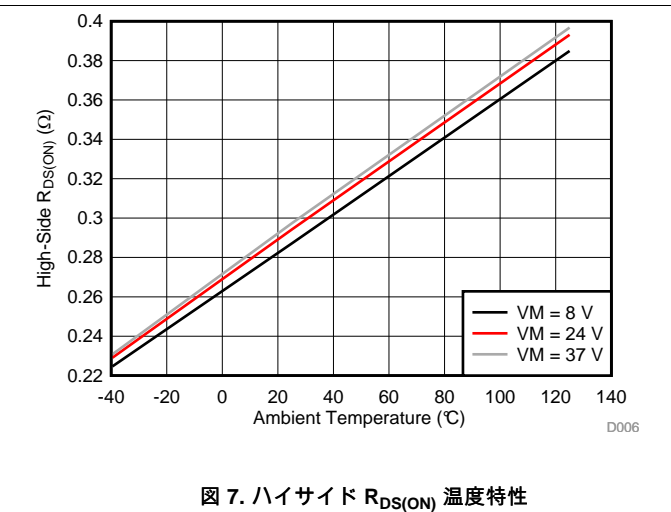


図 7. ハイサイド R<sub>DS(ON)</sub> 温度特性

代表的特性 (continued)

推奨動作条件範囲内 (特に記述のない限り)

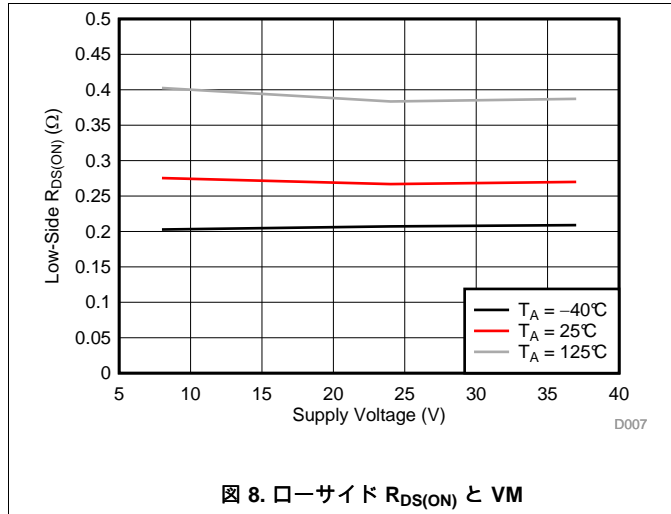


図 8. ローサイド  $R_{DS(ON)}$  と VM

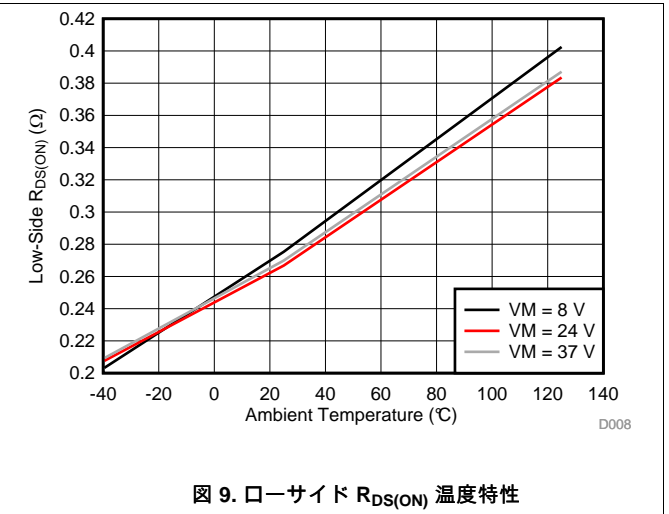


図 9. ローサイド  $R_{DS(ON)}$  温度特性

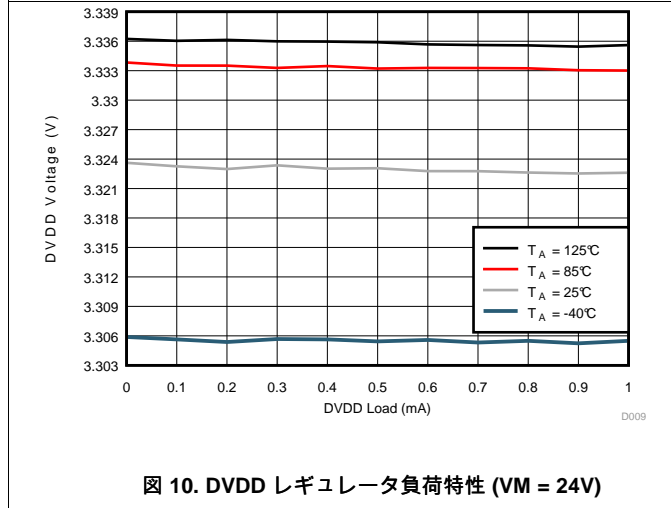


図 10. DVDD レギュレータ負荷特性 ( $VM = 24\text{ V}$ )

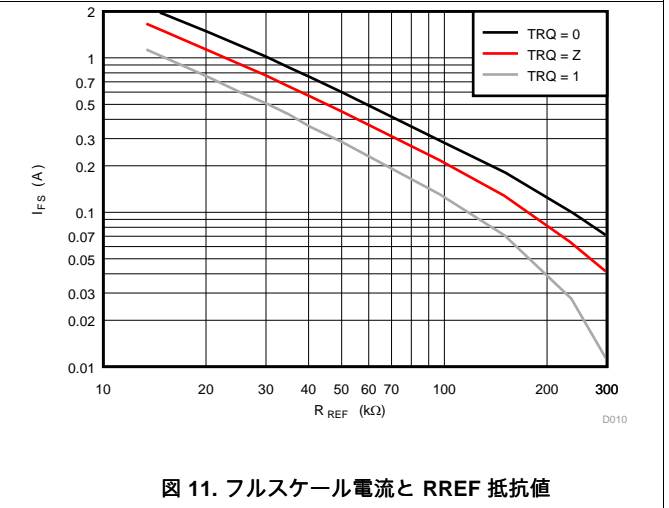


図 11. フルスケール電流と  $R_{REF}$  抵抗値

## 7 詳細説明

### 7.1 概要

DRV8886AT はバイポーラ・ステッピング・モータ用の高集積モータ・ドライバ・ソリューションです。N チャネル・パワー MOSFET H ブリッジ (x2)、電流センスおよびレギュレーション回路、マイクロステッピング制御ロジックを内蔵しています。DRV8886AT は 8~37V の電源電圧範囲で動作し、ピーク時で最大 3A、フルスケールで最大 2A、実効値 (RMS) で最大 1.4A の出力電流を供給できます。実際のフルスケールおよび RMS 電流は、周囲温度、電源電圧、PCB の熱性能に依存します。

DRV8886AT は、2 つの外部電流センス・シャント抵抗を必要としない内部電流センス・アーキテクチャを採用しています。このアーキテクチャでは、電流センシングに電流ミラー手法と内部パワー MOSFET を使うことで、センス抵抗での電力消費をなくしています。電流レギュレーション設定値は、RREF ピンに接続された標準の低電力抵抗で調節します。このため、外付け部品のコスト、プリント基板 (PCB) のサイズ、システムの消費電力を低減できます。

シンプルな STEP/DIR インターフェイスにより、外部コントローラからステッピング・モータの方向とステップ速度を制御できます。内部ステッピング制御ロジックを使うと、巻線電流レベルを制御する外部コントローラを使わなくても高精度のマイクロステッピングを実行できます。ステッピング制御ロジックはフルステップ、ハーフステップ、1/4、1/8、1/16 のマイクロステッピングに対応しています。標準のハーフステップ・モードに加えて、非循環ハーフステップ・モードを利用して、モータの RPM が高いときにトルク出力を増大させることもできます。

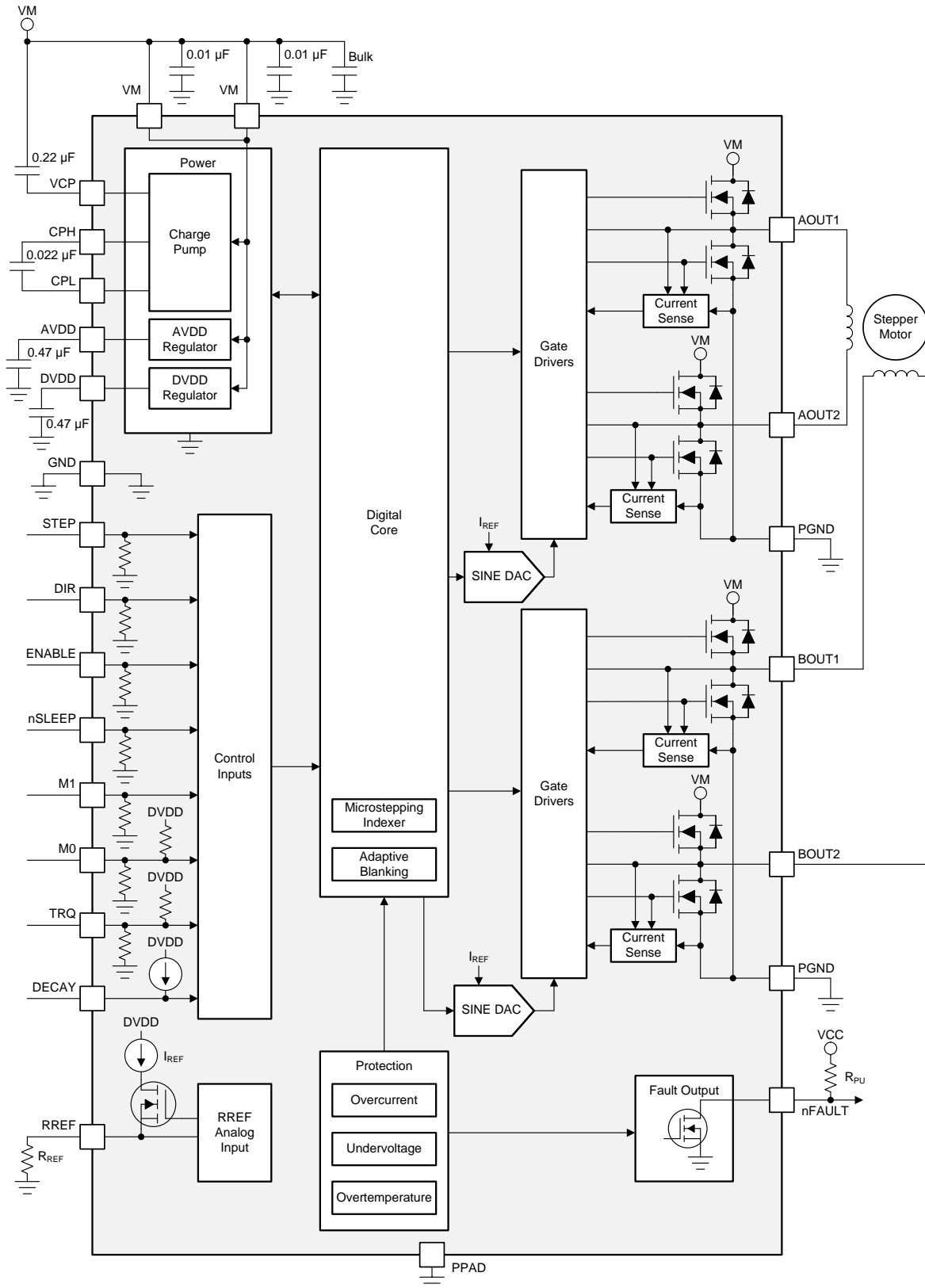
電流レギュレーションは、複数の減衰モードに構成できます。減衰モードは、低速・混合、混合減衰、AutoTune リップル制御、AutoTune 動的減衰といった電流レギュレーション方式に設定できます。低速・混合減衰モードでは、ステップの増加時には低速減衰を、ステップの減少時には混合減衰を使用します。AutoTune 減衰モードは、最適な電流制御性能を実現するための自動調整機能と、モータの変動や経年変化に対する補償機能を備えています。AutoTune リップル制御では、オフ時間可変型のリップル制御方式により、モータ巻線電流の歪みを最小限に抑えることができます。AutoTune 動的減衰では、オフ時間固定の動的減衰率方式により、モータ巻線電流の歪みを最小限に抑え、周波数成分も最小化できます。

アダプティブ・ブランキング時間により、出力電流レベルに応じて自動的に最小駆動時間を調整します。この機能は、低電流ステップでの駆動時間を制限してゼロクロス歪みを低減するのに役立ちます。

トルク DAC 機能を使うと、RREF リファレンス抵抗を変更しなくてもコントローラは出力電流を調整できます。トルク DAC はデジタル入力ピンから利用できるため、高い出力トルクが不要なときにモータの消費電流を抑えることで、コントローラはシステムの電力消費を削減できます。

また、低消費電力スリープ・モードを内蔵しているため、モータをアクティブ駆動していないときにシステムの電力を節約できます。

7.2 機能ブロック図



Copyright © 2017, Texas Instruments Incorporated

## 7.3 機能説明

表 1 に、DRV8886AT の推奨外付け部品を示します。

表 1. DRV8886AT の外付け部品

部品	PIN 1	PIN 2	推奨する事項
C <sub>VM1</sub>	VM	GND	2 つの X5R または X7R、0.01μF、VM 定格セラミック・コンデンサ
C <sub>VM2</sub>	VM	GND	バルク、VM 定格コンデンサ
C <sub>VCP</sub>	VCP	VM	X5R または X7R、0.22μF、16V セラミック・コンデンサ
C <sub>SW</sub>	CPH	CPL	X5R または X7R、0.022μF、VM 定格セラミック・コンデンサ
C <sub>AVDD</sub>	AVDD	GND	X5R または X7R、0.47μF、6.3V セラミック・コンデンサ
C <sub>DVDD</sub>	DVDD	GND	X5R または X7R、0.47μF、6.3V セラミック・コンデンサ
R <sub>nFAULT</sub>	VCC <sup>(1)</sup>	nFAULT	4.7kΩ 以上の抵抗
R <sub>REF</sub>	RREF	GND	チョッピング電流を制限する抵抗を取り付ける必要があります。値の選定については、「 <a href="#">代表的なアプリケーション</a> 」を参照してください。

(1) VCC は DRV8886AT のピンではありませんが、オープンドレイン出力の nFAULT は VCC 電源電圧にプルアップする必要があります。値の選定については、nFAULT は DVDD にプルアップすることもできます。

### 7.3.1 ステッピング・モータ・ドライバの電流定格

ステッピング・モータ・ドライバは、出力電流を表す 3 種類の数値 (ピーク、RMS、フルスケール) を使用して分類できます。

#### 7.3.1.1 ピーク電流定格

ステッピング・ドライバのピーク電流は、過電流保護閾値 I<sub>OCP</sub> で制限されます。ピーク電流は、すべての過渡電流パルスを指します (例: 静電容量の充電時、デューティ・サイクルが極めて小さい場合)。一般に、I<sub>OCP</sub> の最小値は、ステッピング・モータ・ドライバのピーク電流定格を規定します。DRV8886AT の場合、ピーク電流定格はブリッジあたり 3A です。

#### 7.3.1.2 RMS 電流定格

RMS (平均) 電流は、IC の熱性能を考慮して求めます。RMS 電流は、R<sub>DS(ON)</sub>、立ち上がり / 立ち下がり時間、PWM 周波数、デバイス静止電流、25°Cでの標準的なシステムのパッケージ熱性能に基づいて計算します。実際の動作 RMS 電流は、放熱条件と周囲温度に応じて上下します。DRV8886AT の場合、RMS 電流定格はブリッジあたり 1.4A です。

#### 7.3.1.3 フルスケール電流定格

フルスケール電流とは、マイクロステッピング時の正弦電流波形の最大値を指します。この正弦波振幅は RMS 電流に関係しているため、フルスケール電流もデバイスの熱性能を考慮して求めます。フルスケール電流定格は、およそ  $\sqrt{2} \times I_{RMS}$  です。フルスケール電流は、DRV8886AT の構成時に RREF ピンとトルク DAC により設定します。詳細については、「[電流レギュレーション](#)」を参照してください。DRV8886AT の場合、フルスケール電流定格はブリッジあたり 2A です。

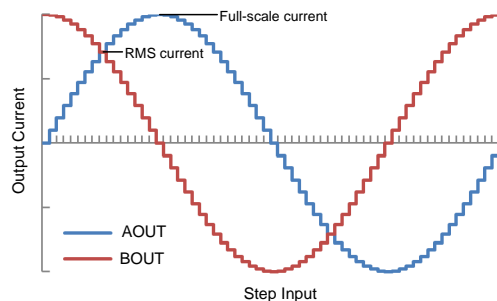


図 12. フルスケール電流と RMS 電流

### 7.3.2 PWM モータ・ドライバ

DRV8886AT は、バイポーラ・ステッピング・モータの 2 つの巻線を駆動するために、2 つのフルブリッジ回路を駆動します。図 13 に、この回路のブロック図を示します。

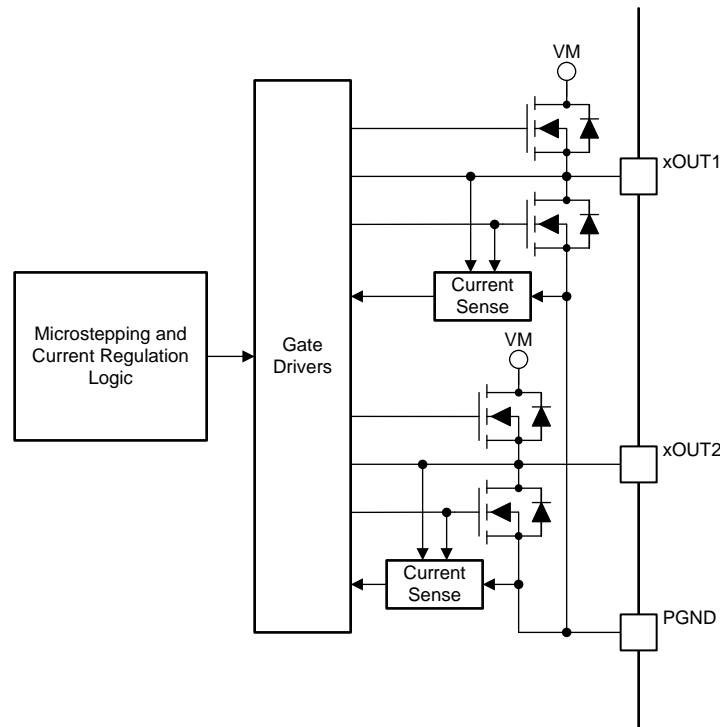


図 13. PWM モータ・ドライバのブロック図

### 7.3.3 マイクロステッピング・インデクサ

DRV8886AT の内蔵インデックス状態制御 (インデクサ) ロジックを使用すると、各種ステップ・モードに対応できます。表 2 に示すとおり、M1 ピンと M0 ピンを使用してステップ・モードを設定します。

表 2. マイクロステッピングの設定

M1	M0	ステップ・モード
0	0	71% 電流によるフルステップ (2 相励起)
0	1	1/16 ステップ
1	0	1/2 ステップ
1	1	1/4 ステップ
0	Z	1/8 ステップ
1	Z	非循環 1/2 ステップ

表 3 に、フルステップから 1/16 ステップ動作までの相対電流とステップ方向を示します。AOUT 電流は電気角の正弦、BOU 電流は電気角の余弦です。正電流は、駆動時に xOUT1 ピンから xOUT2 ピンに流れる電流と定義します。

STEP 入力の各立ち上がりエッジで、インデックス状態は表内の次の状態に移行します。この方向は、DIR ピンが論理 High の場合です。DIR ピンが論理 Low の場合、シーケンスは反転します。

起動時またはスリープ・モードを出る場合、STEP ピンを論理 Low に維持してください。Low に維持しない場合は、インデックス状態が 1 ステップ進みます。

**注**

ステップング時にステップ・モードをフル、1/2、1/4、1/8、1/16 のいずれかからフル、1/2、1/4、1/8、1/16 のいずれかに変更すると、インデックス制御は STEP 入力の立ち上がりエッジで新しいステップ・モード設定の次の有効な状態に進みます。ステップ・モードを非循環 1/2 ステップから、または非循環 1/2 ステップに変更すると、インデックス制御はただちにそのモードの有効な状態に移行します。

初期励起状態は電気角 45° です。この状態には、デバイス起動後、ロジック・リセット解除後、スリープ・モードを解除後のいずれかで移行します。表 3 に、初期励起状態を赤で示します。

**表 3. マイクロステップング (インデックス状態) のステップごとの相対電流 (DIR = 1)**

フルステップ	1/2 ステップ	1/4 ステップ	1/8 ステップ	1/16 ステップ	電気角 (度)	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)
	1	1	1	1	0.000°	0%	100%
				2	5.625°	10%	100%
			2	3	11.250°	20%	98%
				4	16.875°	29%	96%
		2	3	5	22.500°	38%	92%
				6	28.125°	47%	88%
			4	7	33.750°	56%	83%
				8	39.375°	63%	77%
1	2	3	5	9	45.000°	71%	71%
				10	50.625°	77%	63%
			6	11	56.250°	83%	56%
				12	61.875°	88%	47%
		4	7	13	67.500°	92%	38%
				14	73.125°	96%	29%
			8	15	78.750°	98%	20%
				16	84.375°	100%	10%
	3	5	9	17	90.000°	100%	0%
				18	95.625°	100%	-10%
			10	19	101.250°	98%	-20%
				20	106.875°	96%	-29%
		6	11	21	112.500°	92%	-38%
				22	118.125°	88%	-47%
			12	23	123.750°	83%	-56%
				24	129.375°	77%	-63%
2	4	7	13	25	135.000°	71%	-71%
				26	140.625°	63%	-77%
			14	27	146.250°	56%	-83%
				28	151.875°	47%	-88%
		8	15	29	157.500°	38%	-92%
				30	163.125°	29%	-96%
			16	31	168.750°	20%	-98%
				32	174.375°	10%	-100%
	5	9	17	33	180.000°	0%	-100%
				34	185.625°	-10%	-100%
			18	35	191.250°	-20%	-98%
				36	196.875°	-29%	-96%
		10	19	37	202.500°	-38%	-92%

表 3. マイクロステッピング (インデックス状態) のステップごとの相対電流 (DIR = 1) (continued)

フルステップ	1/2 ステップ	1/4 ステップ	1/8 ステップ	1/16 ステップ	電気角 (度)	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)
				38	208.125°	-47%	-88%
			20	39	213.750°	-56%	-83%
				40	219.375°	-63%	-77%
3	6	11	21	41	225.000°	-71%	-71%
				42	230.625°	-77%	-63%
			22	43	236.250°	-83%	-56%
				44	241.875°	-88%	-47%
		12	23	45	247.500°	-92%	-38%
				46	253.125°	-96%	-29%
			24	47	258.750°	-98%	-20%
				48	264.375°	-100%	-10%
	7	13	25	49	270.000°	-100%	0%
				50	275.625°	-100%	10%
			26	51	281.250°	-98%	20%
				52	286.875°	-96%	29%
		14	27	53	292.500°	-92%	38%
				54	298.125°	-88%	47%
			28	55	303.750°	-83%	56%
				56	309.375°	-77%	63%
4	8	15	29	57	315.000°	-71%	71%
				58	320.625°	-63%	77%
			30	59	326.250°	-56%	83%
				60	331.875°	-47%	88%
		16	31	61	337.500°	-38%	92%
				62	343.125°	-29%	96%
			32	63	348.750°	-20%	98%
				64	354.375°	-10%	100%
	1	1	1	1	360.000°	0%	100%

表 4 に、非循環 1/2 ステップ動作を示します。このステッピング・モードは循環 1/2 ステップ動作よりも多くの電力を消費しますが、高いモータ RPM で高トルクを実現できます。

表 4. 非循環 1/2 ステッピング電流

非循環 1/2 ステップ	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	0	100	0
2	100	100	45
3	100	0	90
4	100	-100	135
5	0	-100	180
6	-100	-100	225
7	-100	0	270
8	-100	100	315



### 7.3.4 電流レギュレーション

モータ巻線に流れる電流は、調整可能な固定オフ時間 PWM 電流レギュレーション回路によって制御されます。H ブリッジをイネーブルすると、現在の DC 電圧、巻線のインダクタンス、逆起電力の大きさに応じた速度で、巻線に流れる電流が増加します。電流が電流レギュレーション・スレッシュホールドに達すると、ブリッジは 20μs (固定) の間減衰モードに移行して電流を低減します。オフ時間が経過すると、ブリッジは再イネーブルされ、次の PWM サイクルを開始します。

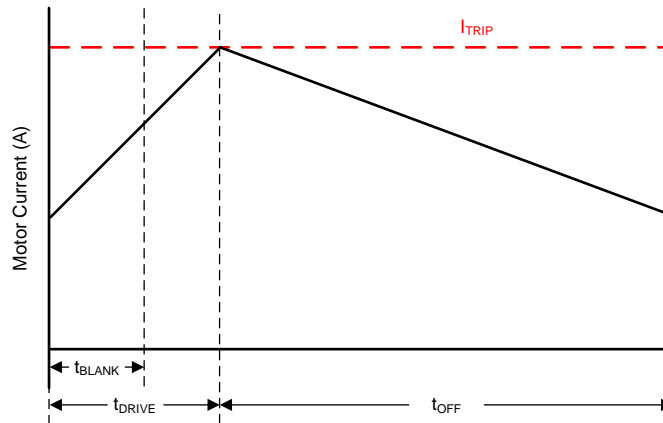


図 14. 電流チョッピング波形

PWM レギュレーション電流は、ローサイド・パワー MOSFET と並列に接続した電流センス MOSFET の両端の電圧を監視するコンパレータによって設定されます。電流センス MOSFET は、正弦波で重み付けした電流モード DAC の出力であるリファレンス電流でバイアスされます。この DAC のフルスケール・リファレンス電流は RREF ピンを流れる電流で設定します。外付け抵抗を RREF ピンと GND の間に配置して、このリファレンス電流を設定します。また、TRQ ピンにより、リファレンス電流をさらに調整できます。

フルスケール・レギュレーション電流を計算するには式 1 を使用します。

$$I_{FS} (A) = \frac{A_{RREF} (k\Omega)}{RREF (k\Omega)} \times TRQ (\%) = \frac{30 (k\Omega)}{RREF (k\Omega)} \times TRQ (\%) \quad (1)$$

たとえば、30kΩ の抵抗を RREF ピンに接続した場合、フルスケール・レギュレーション電流は 1A となります (TRQ 100%)。

TRQ ピンは、出力電流を調整するために使用する DAC への入力です。表 5 に、さまざまな入力の電流スカラ値を示します。

表 5. トルク DAC の設定

TRQ	電流スカラ (TRQ)
0	100%
Z	75%
1	50%

### 7.3.5 MCU DAC による RREF の制御

場合によっては、フルスケール出力電流を、モータの速度と負荷に応じて各種の値に変更する必要があります。RREF 抵抗を GND ではなく DAC の出力に接続することで、RREF ピンのリファレンス電流をシステムで調整できます。

この動作モードでは、DAC 電圧が増加するにつれてリファレンス電流が減少し、したがってフルスケール・レギュレーション電流も減少します。正常に動作させるには、DAC の出力が  $V_{RREF}$  を超えないようにする必要があります。

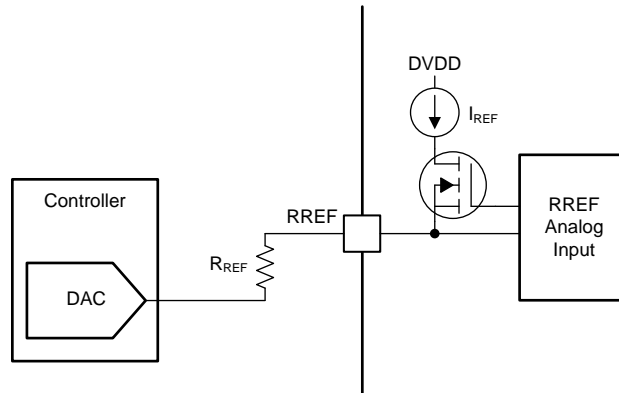


図 15. DAC 出力による RREF の制御

コントローラ DAC で制御されるフルスケール・レギュレーション電流を計算するには式 2 を使用します。

$$I_{FS} (A) = \frac{A_{RREF} (k\Omega) \times [V_{RREF} (V) - V_{DAC} (V)]}{V_{RREF} (V) \times RREF (k\Omega)} \times TRQ (\%) \quad (2)$$

たとえば、RREF ピンと DAC の間に 20kΩ の抵抗を接続し、DAC が 0.74V を出力する場合、チョッピング電流は 600mA となります (TRQ 100%)。

また、PWM 信号とローパス・フィルタを使用して RREF ピンを調整することもできます。

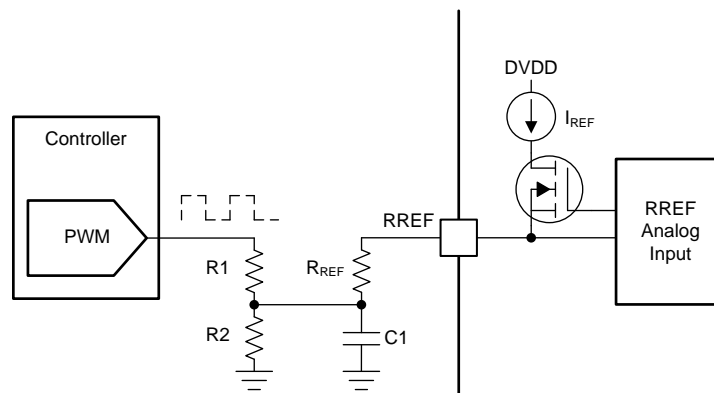


図 16. PWM 出力による RREF の制御

### 7.3.6 減衰モード

DRV8886AT の減衰モードは、クワッドレベル DECAY ピンを表 6 に示す電圧範囲に設定することで選択します。減衰モードの設定は、デバイス・イネーブル時にラッチされます。

表 6. 減衰モードの設定

減衰	増加ステップ	減少ステップ
100mV グラウンドに接続可	低速減衰	混合減衰 : 30% 高速
300mV、15kΩ (対 GND)	混合減衰 : 30% 高速	混合減衰 : 30% 高速
1.0V、45kΩ (対 GND)	AutoTune リップル制御	AutoTune リップル制御
2.9V DVDD に接続可	AutoTune 動的減衰	AutoTune 動的減衰

図 17 に、電流の増減を定義します。低速・混合減衰モードの場合、電流増加ステップ中は減衰モードが低速に設定され、電流減少ステップ中は混合減衰に設定されます。フル・ステップ・モードでは、減少ステップの減衰モードが常に使用されます。非循環 1/2 ステップ・モードでは、レベル遷移 (0% から 100%、0% から -100%) 後に増加ステップの減衰モードが使用されます。類似のレベルへのレベル遷移 (100% から 100%、-100% から -100%) では、減少ステップの減衰モードが使用されます。

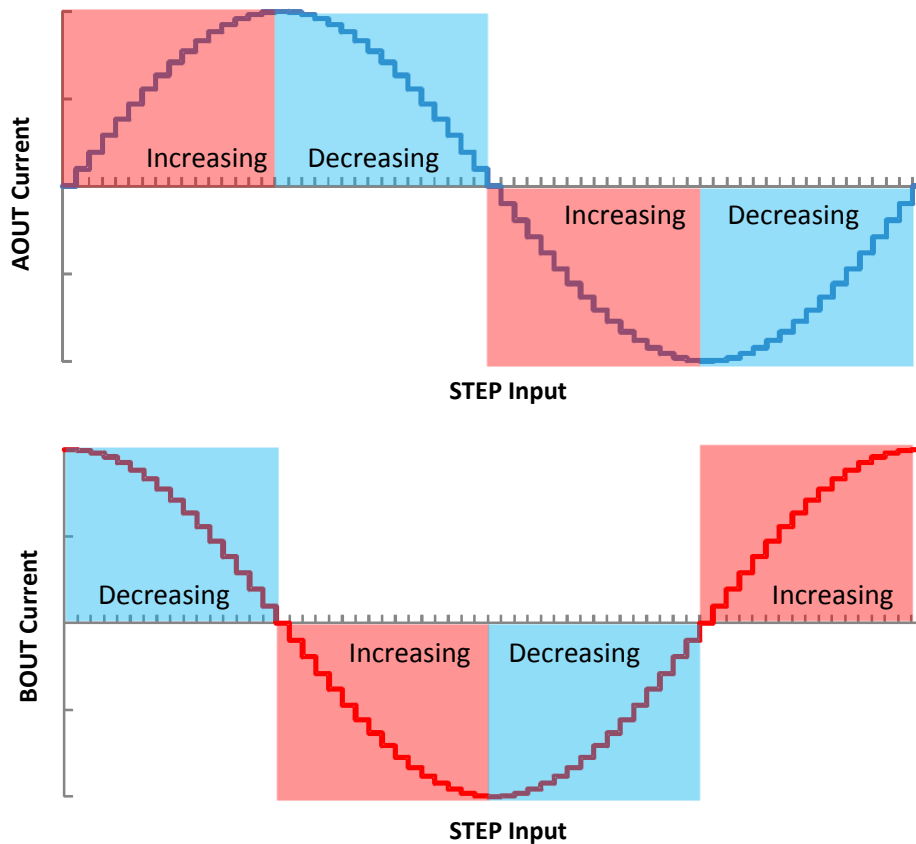
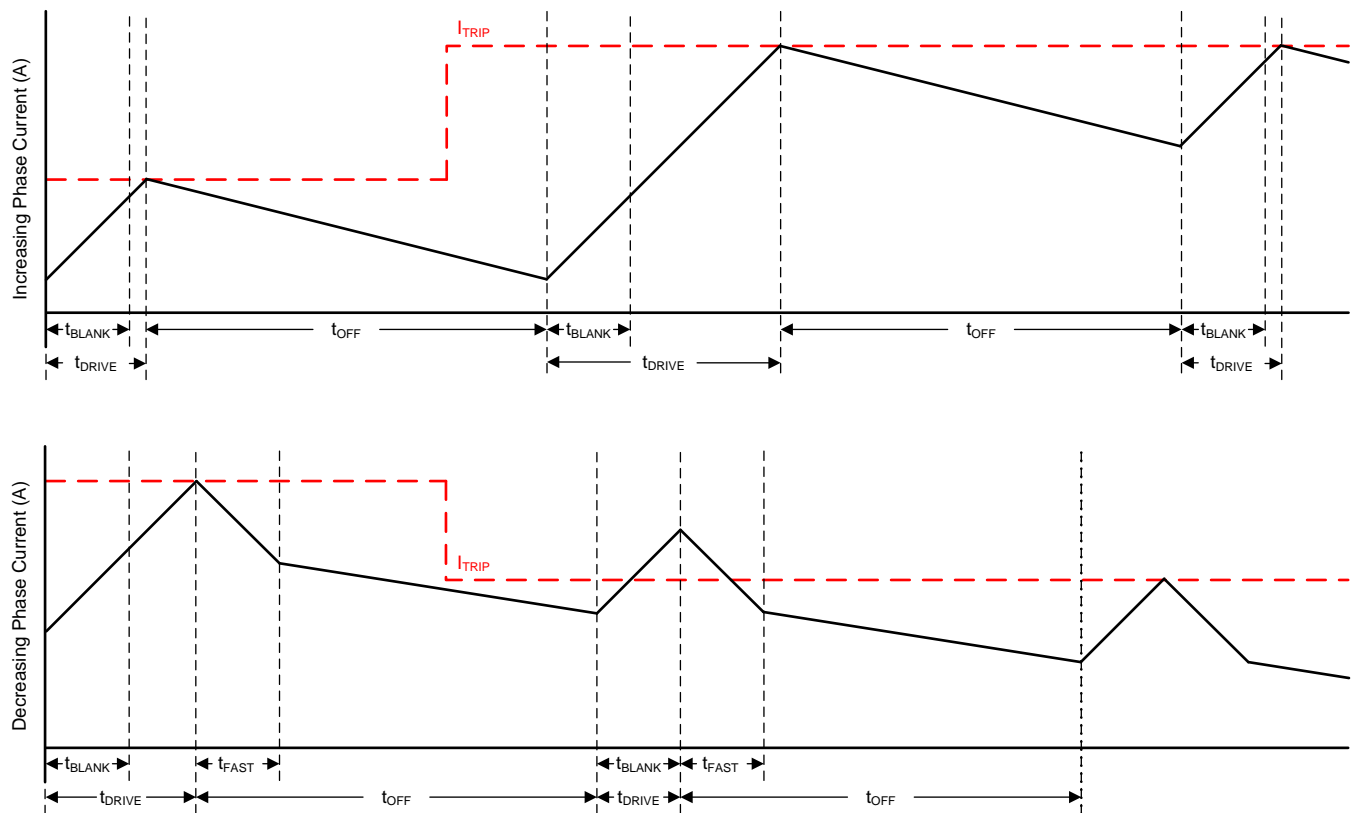


図 17. 増減ステップの定義

**7.3.6.1 モード 1：電流増加では低速減衰、電流減少では混合減衰**

**図 18. 低速・混合減衰モード**

混合減衰では、 $t_{OFF}$  時間の初めの一定期間は高速減衰を行い、その後低速減衰に切り替わります。このモードでは、混合減衰は電流減少時にのみアクティブになります。電流増加時には低速減衰が使用されます。

このモードでは、電流増加時に低速減衰と同じ電流リップルが生じていますが、これは、電流増加時には低速減数のみを使用するためです。電流減少時のリップルは、低速減衰時より大きくなりますが、高速減衰時よりは小さくなります。電流減少ステップでは、混合減衰は低速減衰よりも高速に新しい  $I_{TRIP}$  レベルに落ち着きます。

7.3.6.2 モード 2：電流増加および減少で混合減衰

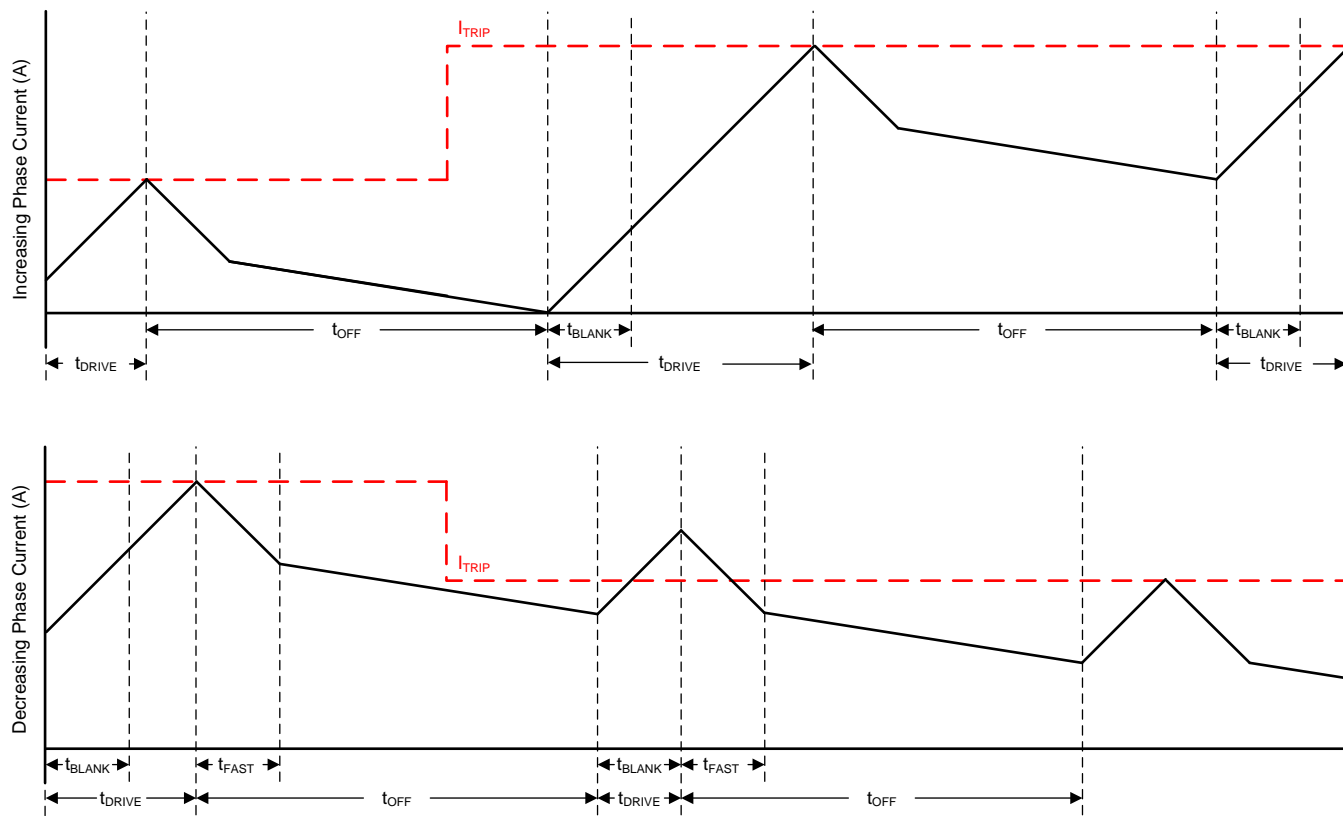


図 19. 混合・混合減衰モード

混合減衰では、 $t_{OFF}$  時間の初めの一定期間は高速減衰を行い、その後低速減衰に切り替わります。このモードでは、電流増加ステップと電流減少ステップの両方とも混合減衰になります。

このモードでのリップルは、低速減衰時より大きくなりますが、高速減衰時よりは小さくなります。電流減少ステップでは、混合減衰は低速減衰よりも高速に新しい  $I_{TRIP}$  レベルに落ち着きます。

電流が長時間保持されている (STEP ピンの入力がない) 場合、またはステップ速度が非常に小さい場合、モータ巻線に逆起電力が生じないため、低速減衰では適切に電流を制御できない場合があります。この状態では、モータ電流が急速に増加する可能性があり、非常に長いオフ時間が必要です。増加または減少の混合減衰モードを使用すると、モータ巻線に逆起電力が生じない場合、電流レベルは制御状態を維持できます。

### 7.3.6.3 モード 3 : AutoTune リップル制御

AutoTune 電流レギュレーション方式は、従来の固定オフ時間電流レギュレーション方式に比べると、追加部品を使用する高度な電流レギュレーション制御手法です。AutoTune 電流レギュレーション方式を使うと、ステップング・モータ・ドライバは以下のような動作要因に基づいて減衰方式を調整できます。

- モータの巻線抵抗およびインダクタンス
- モータの経年変化
- モータの動的速度および負荷
- モータの電源電圧変動
- 立ち上がりおよび立ち下がりステップでのモータの逆起電力の差
- ステップ遷移
- 小電流と大電流の  $di/dt$

DRV8886AT には、AutoTune リップル制御と AutoTune 動的減衰という 2 種類の AutoTune 電流レギュレーション・モードがあります。

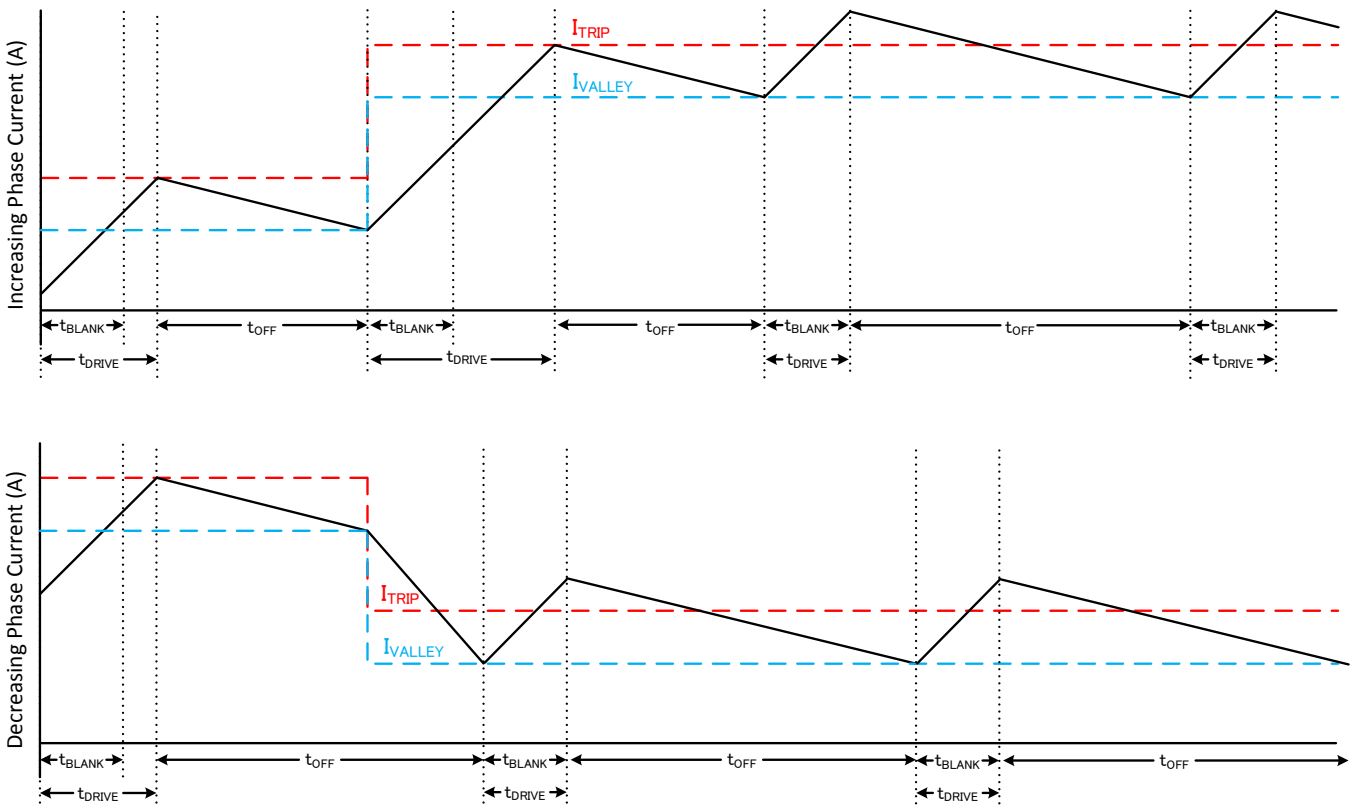


図 20. AutoTune リップル制御減衰モード

AutoTune リップル制御は、 $I_{TRIP}$  レベルと  $I_{VALLEY}$  レベルを設定することで動作します。電流レベルが  $I_{TRIP}$  に達すると、ドライバは  $t_{OFF}$  時間が経過するまで低速減衰に移行する代わりに、 $I_{VALLEY}$  に達するまで低速減衰に移行します。低速減衰は、両方のローサイド MOSFET がオンになって電流が再循環できるモード 1 と同様に動作します。このモードでは、電流レベルと動作条件に応じて  $t_{OFF}$  が変化します。

この手法によって、はるかに厳密な電流レベルのレギュレーションが可能になり、モータの効率とシステムの性能が向上します。AutoTune リップル制御は、可変オフ時間レギュレーション方式に対応するシステムで電流レギュレーションの電流リップルを小さくするために使用できます。

7.3.6.4 モード 4 : AutoTune 動的減衰

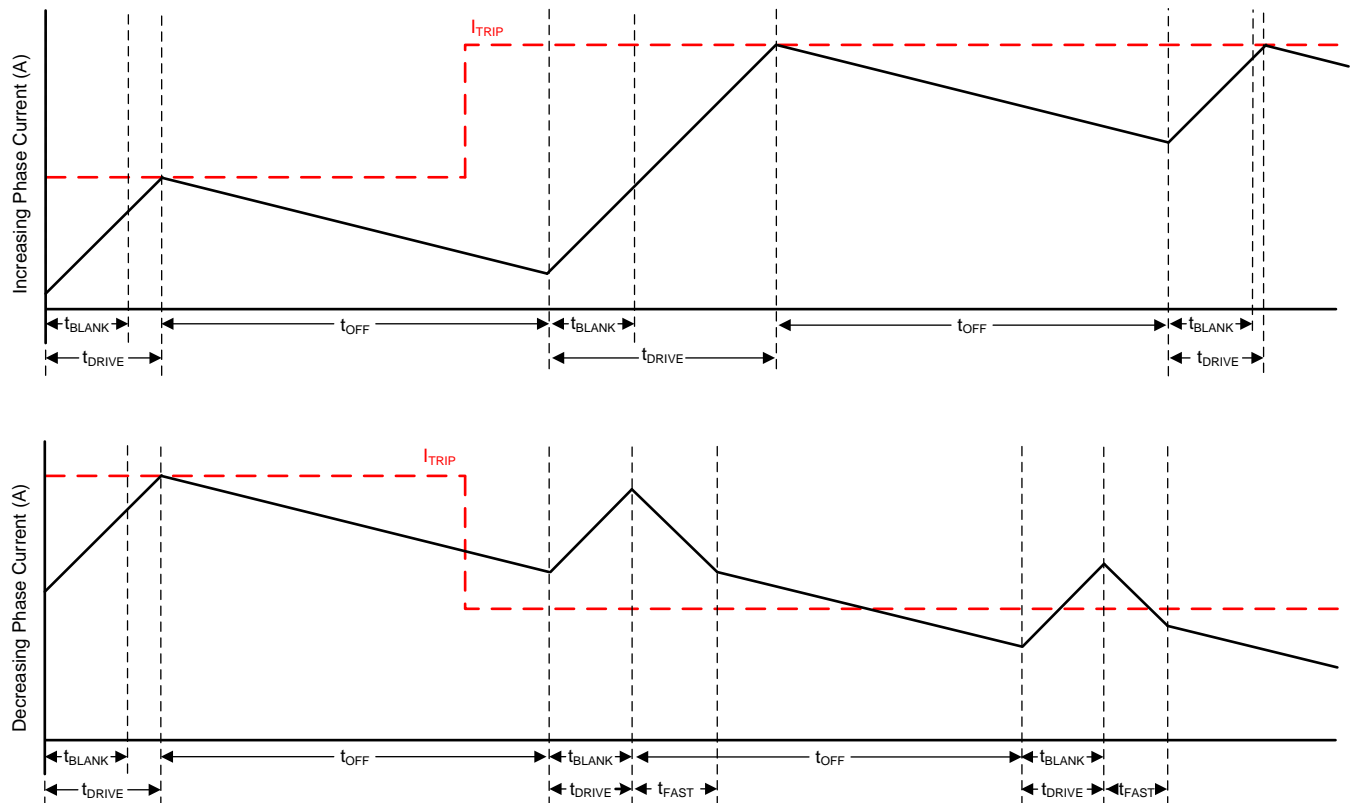


図 21. AutoTune 動的減衰モード

AutoTune 動的減衰では、低速、混合、高速減衰といった減衰モードが自動的に構成されるため、減衰モードの選択が大幅に簡略化されます。混合減衰では、AutoTune により、混合減衰の総時間に対する高速減衰の割合が動的に調整されます。この機能により、モータのリップルを最小限に抑える最良の減衰設定が自動的に決定されるため、モータのチューニングが不要になります。

減衰モード設定は、各 PWM サイクルで繰り返し最適化されます。モータ電流が目標トリップレベルを超えると、レギュレーション損失を防ぐため、次のサイクルで減衰モードはより積極的になります (高速減衰の割合を増やします)。目標トリップレベルに達するまでに長い駆動時間を必要とする場合は、リップルを抑え、効率を上げるために、次のサイクルで減衰モードはより消極的になります (高速減衰の割合を減らします)。立ち下がりステップでは、次のステップに素早く達するために、AutoTune 動的減衰は自動的に高速減衰に切り替わります。

AutoTune 動的減衰は、電流レギュレーション方式で電流リップルを最小限に抑える必要がありながら、固定周波数を維持する必要があるアプリケーションに最適です。

### 7.3.7 ブランキング時間

Hブリッジで電流が出力されると、電流センス・コンパレータ出力を一定時間 ( $t_{\text{BLANK}}$ ) 無視した後、電流センス回路を有効にします。ブランキング時間は、PWM の最小駆動時間も設定します。表 7 に、正弦テーブル・インデックスとトルク DAC 設定に基づくブランキング時間を示します。AutoTune 電流レギュレーション・モードでは、ブランキング時間が  $1.0\mu\text{s}$  に固定されます。トルク DAC インデックスは、表 3 に示す 1 ステップとは異なるので注意してください。

表 7. アダプティブ・ブランキング時間とトルク DAC およびマイクロステップとの関係

$t_{\text{blank}} = 1.5\mu\text{s}$	$t_{\text{blank}} = 1.0\mu\text{s}$
-------------------------------------	-------------------------------------

正弦インデックス	トルク DAC (TRQ)		
	100%	75%	50%
16	100%	75%	50%
15	98%	73.5	49%
14	96%	72%	48%
13	92%	69%	46%
12	88%	66%	44%
11	83%	62.3%	41.5%
10	77%	57.8%	38.5%
9	71%	53.3%	35.5%
8	63%	47.3%	31.5%
7	56%	42%	28%
6	47%	35.3	23.5%
5	38%	28.5	19%
4	29%	21.8%	14.5%
3	20%	15%	10%
2	10%	7.5%	5%
1	0%	0%	0%

### 7.3.8 チャージ・ポンプ

ハイサイド N チャネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷保持のためのコンデンサを接続する必要があります。また、フライング・コンデンサの役割として、CPH ピンと CPL ピンの間にもセラミック・コンデンサを接続する必要があります。



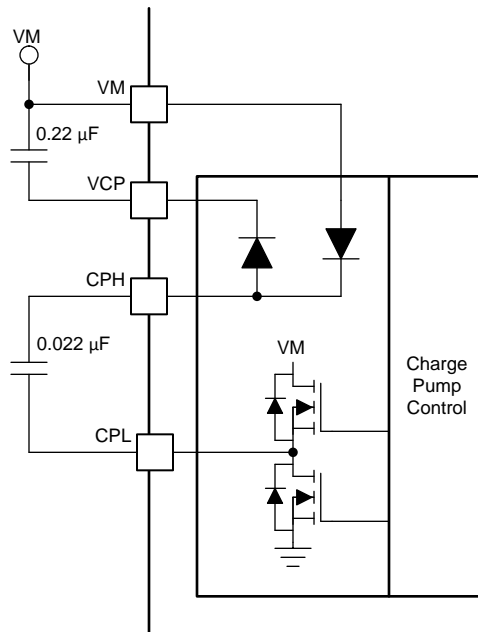


図 22. チャージ・ポンプのブロック図

### 7.3.9 リニア電圧レギュレータ

DRV8886AT には、リニア電圧レギュレータが内蔵されています。DVDD レギュレータの出力は、リファレンス電圧に使用することができます。正常に動作させるため、セラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。

DVDD の出力は通常 3.3V です。DVDD LDO の電流負荷が 1mA を超えると、出力電圧は大きく低下します。

AVDD ピンにも GND へのバイパス・コンデンサが必要です。この LDO は DRV8886AT 内部回路用であり、外部に使用することはできません。

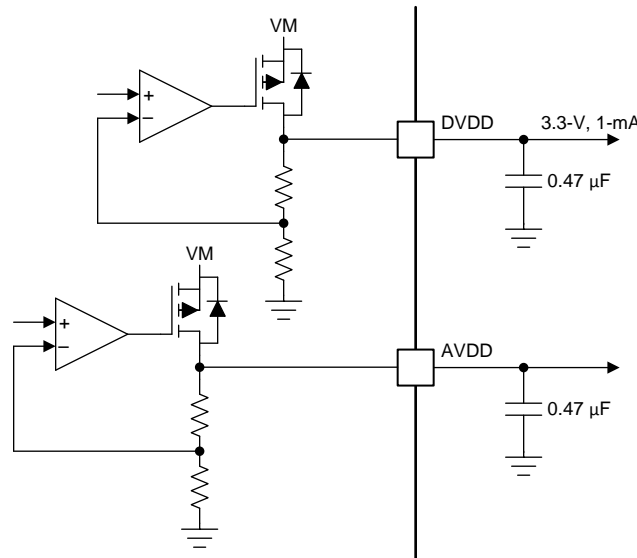


図 23. リニア電圧レギュレータのブロック図

デジタル入力 (すなわち Mx、DECAY、TRQ) を永続的に High に固定する場合、入力を外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入カプルダウン抵抗に流れないためです。参考までに、論理レベル入力のプルダウン標準値は 100kΩ であり、トライレベル入力のプルダウン標準値は 60kΩ です。

### 7.3.10 論理およびマルチレベル・ピン構造図

図 24 に、論理レベルピン STEP、DIR、ENABLE、nSLEEP、M1 の入力構造を示します。

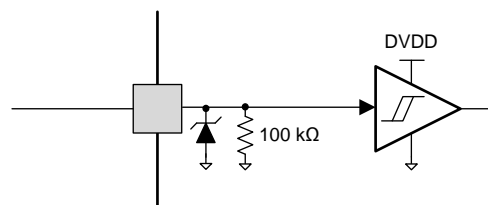


図 24. 論理レベル入力ピン構造図

トライレベル論理ピン M0 および TRQ は、図 25 に示します。

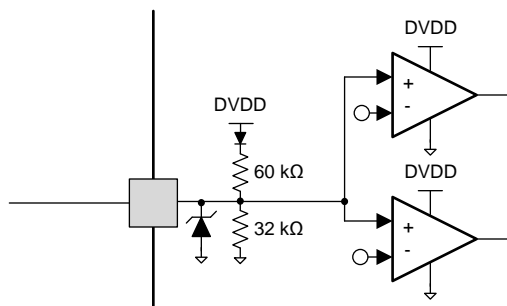


図 25. トライレベル入力ピン構造図

クワッドレベル論理ピン DECAY は、図 26 に示します。

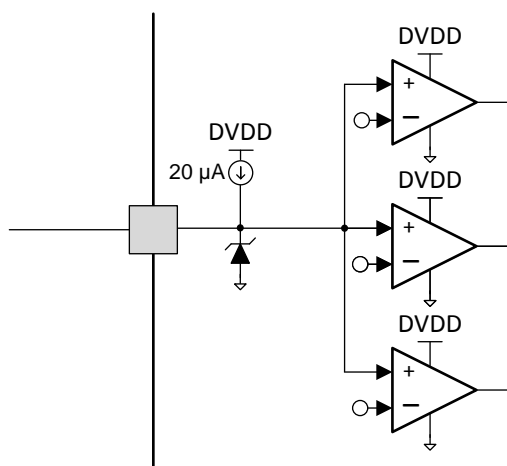


図 26. クワッドレベル入力ピン構造図

### 7.3.11 保護回路

DRV8886AT は、電源低電圧、チャージ・ポンプ低電圧、出力過電流、デバイス過熱イベントからデバイスを保護します。

#### 7.3.11.1 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が VM 低電圧誤動作防止閾値電圧 ( $V_{UVLO}$ ) を下回ると常に、H ブリッジのすべての MOSFET がディセーブルされ、チャージ・ポンプは停止し、論理回路がリセットされ、nFAULT ピンが Low に駆動されます。VM 電圧が  $V_{UVLO}$  スレッシュホールドを上回ると、動作を再開します。動作を再開した後、nFAULT ピンは解放されます。VM 電圧がこの低電圧スレッシュホールドを下回ると、マイクロステップ・インデックス制御の位置がリセットされます。

#### 7.3.11.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧がチャージ・ポンプ低電圧検出閾値 ( $V_{CPUV}$ ) を下回ると常に、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンが Low に駆動されます。VCP 電圧が  $V_{CPUV}$  スレッシュホールドを上回ると、動作を再開します。動作を再開した後、nFAULT ピンは解放されます。

#### 7.3.11.3 過電流保護 (OCP)

各 MOSFET のアナログ電流制限回路は、ゲート駆動を止めることで、MOSFET に流れる電流を制限します。このアナログ電流制限が  $t_{OCP}$  より長く続いた場合、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンは Low に駆動されます。

OCP リトライ期間 ( $t_{RETRY}$ ) が経過すると、ドライバは再イネーブルされます。リトライ時間が過ぎると、nFAULT ピンは再び High に戻ります。フォルト条件が解消しない場合、このサイクルを繰り返します。フォルトが解消した場合、通常動作を再開し、nFAULT はデアサート状態を維持します。

### 7.3.11.4 サーマル・シャットダウン (TSD)

デバイス温度が  $T_{TSD}$  レベルを超えると、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンが Low に駆動されます。デバイス温度が  $T_{TSD}$  レベルを下回ると、自動的に動作を再開します。動作が再開した後、nFAULT ピンは解放されます。

表 8. フォルト条件のまとめ

フォルト	条件	異常通知	H ブリッジ	チャージ・ポンプ	マイクロステップ制御	DVDD	AVDD	復帰
VM 低電圧 (UVLO)	$VM < V_{UVLO}$ (最大値 7.8V)	nFAULT	ディセーブル	ディセーブル	ディセーブル	動作	ディセーブル	$VM > V_{UVLO}$ (最大値 8.0V)
VCP 低電圧 (CPUV)	$VCP < V_{CPUV}$ (標準値 VM + 2.0V)	nFAULT	ディセーブル	動作	動作	動作	動作	$VCP > V_{CPUV}$ (標準値 VM + 2.7V)
過電流 (OCP)	$I_{OUT} > I_{OCP}$ (最小値 3A)	nFAULT	ディセーブル	動作	動作	動作	動作	$t_{RETRY}$
サーマル・シャットダウン (TSD)	$T_J > T_{TSD}$ (最小値 150°C)	nFAULT	ディセーブル	ディセーブル	動作	動作	動作	$T_J < T_{TSD} - T_{HYS}$ ( $T_{HYS}$ 標準値 20°C)

## 7.4 デバイスの機能モード

nSLEEP ピンが論理 Low にならない限り、DRV8886AT はアクティブです。スリープ・モードでは、チャージ・ポンプは停止し、H ブリッジ FET はディセーブルされて Hi-Z になり、レギュレータはディセーブルされます。

注

nSLEEP ピンでの立ち下がりエッジの後、 $t_{SLEEP}$  時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP を論理 High にすると、DRV8886AT はスリープ・モードから自動的に復帰します。

ウェークアップ後、出力が変化するまでに  $t_{WAKE}$  の時間が経過する必要があります。

スリープ・モードから復帰させる場合、または電源を印加する場合、STEP ピンを論理 Low に維持することを推奨します。

ENABLE ピンを論理 Low にすると、H ブリッジの出力はディセーブルされますが、内部論理はアクティブなままです。STEP の立ち上がりエッジによりインデクサは進行しますが、ENABLE ピンがアサートされるまで、出力は状態を変えません。

表 9 に、機能モードのまとめを示します。

表 9. 機能モードのまとめ

条件	H ブリッジ	チャージ・ポンプ	マイクロステップ制御	DVDD	AVDD
動作 $8V < VM < 40V$ nSLEEP ピン = 1 ENABLE ピン = 1	動作	動作	動作	動作	動作
ディセーブル $8V < VM < 40V$ nSLEEP ピン = 1 ENABLE ピン = 0	ディセーブル	動作	動作	動作	動作
スリープ・モード $8V < VM < 40V$ nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル	ディセーブル

**デバイスの機能モード (continued)**
**表 9. 機能モードのまとめ (continued)**

条件		H ブリッジ	チャージ・ポンプ	マイクロステップ制御	DVDD	AVDD
フォルト発生	VM 低電圧 (UVLO)	ディセーブル	ディセーブル	ディセーブル	動作	ディセーブル
	VCP 低電圧 (CPUV)	ディセーブル	動作	動作	動作	動作
	過電流 (OCP)	ディセーブル	動作	動作	動作	動作
	サーマル・シャットダウン (TSD)	ディセーブル	ディセーブル	動作	動作	動作

## 8 アプリケーションと実装

### 注

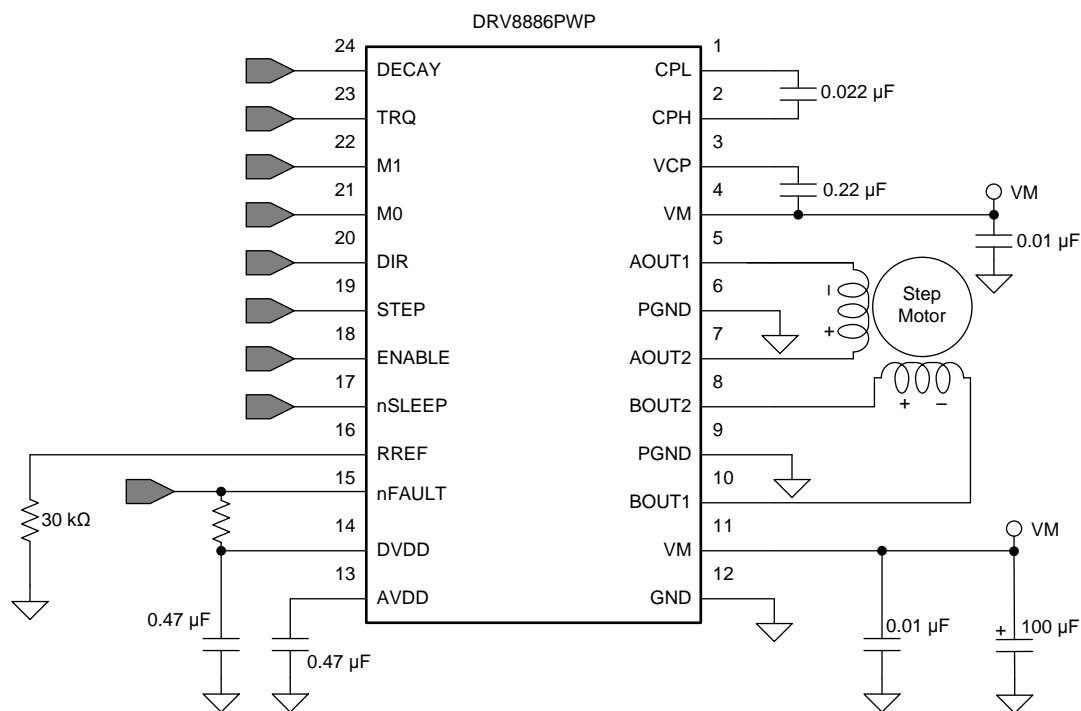
以降のアプリケーション情報は、TIの製品仕様に含まれるものではなく、TIではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

DRV8886AT はバイポーラ・ステッピング制御で使用されます。

### 8.2 代表的なアプリケーション

次の設計手順で DRV8886AT を構成できます。



Copyright © 2017, Texas Instruments Incorporated

図 27. 代表的なアプリケーションの回路図

#### 8.2.1 設計要件

表 10 に、システム設計の設計入力パラメータを示します。

表 10. 設計パラメータ

設計パラメータ	略号	値の例
電源電圧	VM	24V
モータ巻線抵抗	$R_L$	2.6 Ω/phase
モータ巻線インダクタンス	$L_L$	1.4 mH/phase
モータ・フルステップ角	$\theta_{step}$	1.8°/step
目標マイクロステッピング・レベル	$n_m$	1/8 ステップ
目標モータ速度	$v$	120rpm
目標フルスケール電流	$I_{FS}$	2.0A

## 8.2.2 詳細な設計手順

### 8.2.2.1 ステッピング・モータの速度

DRV8886AT を構成するには、まず、モータ速度とマイクロステッピング・レベルの目標値が必要です。対象とするアプリケーションで一定速度が必要な場合、周波数  $f_{step}$  の矩形波を STEP ピンに印加する必要があります。

目標モータ速度が高すぎる場合、モータは回転しません。モータが目標速度に対応できることを確認してください。

モータ速度 ( $v$ )、マイクロステッピング・レベル ( $n_m$ )、モータのフルステップ角 ( $\theta_{step}$ ) の目標値に対応する  $f_{step}$  を計算するには式 3 を使用します。

$$f_{step} \text{ (steps / s)} = \frac{v \text{ (rpm)} \times 360 \text{ (}^\circ / \text{rot)}}{\theta_{step} \text{ (}^\circ / \text{step)} \times n_m \text{ (steps / microstep)} \times 60 \text{ (s / min)}} \quad (3)$$

$\theta_{step}$  値は、ステッピング・モータのデータシートまたはモータそのものに記載されています。

DRV8886AT の場合、マイクロステッピング・レベルは Mx ピンで設定され、表 11 に示す設定のいずれかにできます。マイクロステッピング・レベルが高いほどモータの動きは円滑になり、可聴ノイズは小さくなりますが、スイッチング損失が増え、同じモータ速度を実現するのにより高い  $f_{step}$  を必要とします。

表 11. マイクロステッピング・インデクサの設定

M1	M0	ステップ・モード
0	0	71% 電流によるフルステップ (2 相励起)
0	1	1/16 ステップ
1	0	1/2 ステップ
1	1	1/4 ステップ
0	Z	1/8 ステップ
1	Z	非循環 1/2 ステップ

たとえば、1/8 マイクロステップ・モードで 120rpm という目標に対して、モータは 1.8°/step となります。

$$f_{step} \text{ (steps / s)} = \frac{120 \text{ rpm} \times 360^\circ / \text{rot}}{1.8^\circ / \text{step} \times 1/8 \text{ steps / microstep} \times 60 \text{ s / min}} = 3.2 \text{ kHz} \quad (4)$$

### 8.2.2.2 電流レギュレーション

ステッピング・モータでは、フルスケール電流 ( $I_{FS}$ ) は、どちらかの巻線に駆動される最大電流です。この量は RREF 抵抗と TRQ 設定で決まります。ステッピング時には、 $I_{FS}$  により、最大電流ステップの電流チョッピング・スレッシュヨルド ( $I_{TRIP}$ ) が定義されます。

$$I_{FS} \text{ (A)} = \frac{A_{RREF} \text{ (k}\Omega\text{)}}{R_{REF} \text{ (k}\Omega\text{)}} = \frac{30 \text{ (k}\Omega\text{)} \times \text{TRQ}\%}{R_{REF} \text{ (k}\Omega\text{)}} \quad (5)$$

**注**

モータを飽和させないように、 $I_{FS}$  電流は式 6 にも従う必要があります。VM はモータの電源電圧、 $R_L$  はモータの巻線の抵抗です。

$$I_{FS} \text{ (A)} < \frac{VM \text{ (V)}}{R_L \text{ (}\Omega\text{)} + 2 \times R_{DS(ON)} \text{ (}\Omega\text{)}} \quad (6)$$

### 8.2.2.3 減衰モード

DRV8886AT は低速減衰、低速・混合、全混合減衰という 3 種類の減衰モードをサポートしています。モータ巻線を通る電流は、調整可能な固定オフ時間方式によって制御されます。これは、モータ巻線電流が電流チョッピング・スレッシュヨルド ( $I_{TRIP}$ ) に達した駆動相の後には常に、DRV8886AT が  $t_{OFF}$  にわたり巻線を 3 つの減衰モードのいずれかに設定することを意味します。 $t_{OFF}$  が経過すると、新しい駆動相が開始します。

ブランキング時間  $t_{BLANK}$  は PWM 電流チョッピングの最小駆動時間を定義します。 $t_{BLANK}$  中は  $I_{TRIP}$  が無視されるため、巻線電流がトリップレベルを超えることがあります。

### 8.2.3 アプリケーション曲線

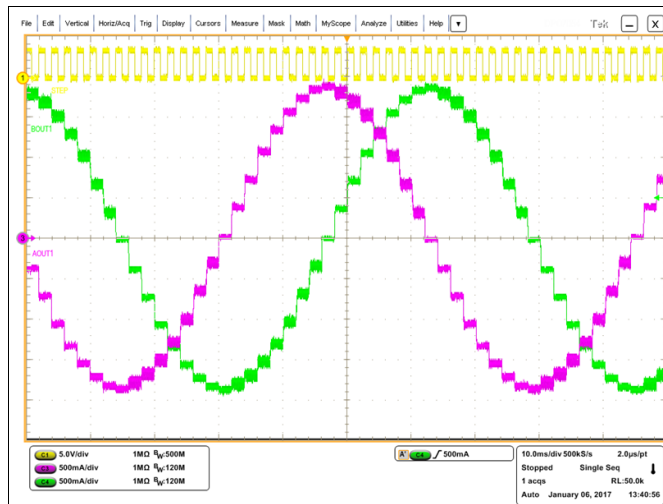


図 28. 低速・混合減衰による 1/8 マイクロステッピング

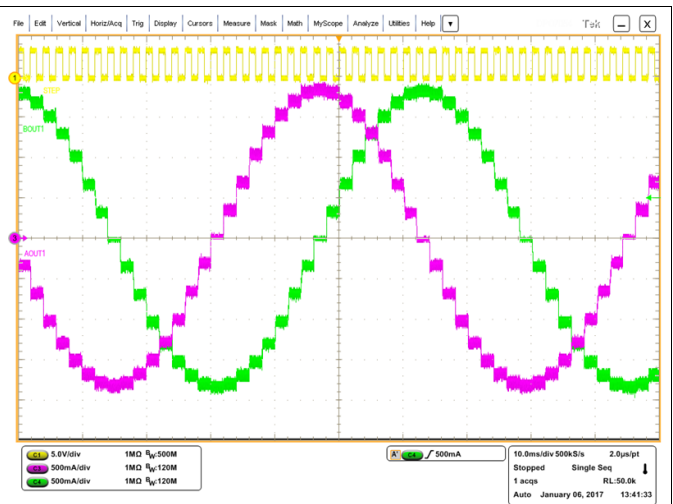


図 29. Mixed30-Mixed30 減衰による 1/8 マイクロステッピング

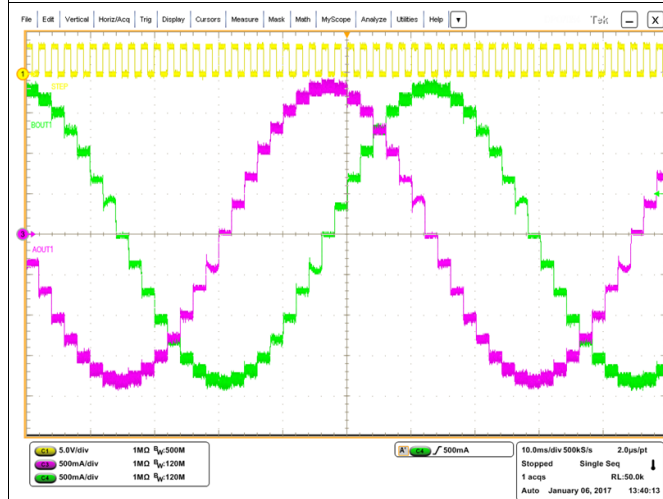


図 30. AutoTune リップル制御による 1/8 マイクロステッピング

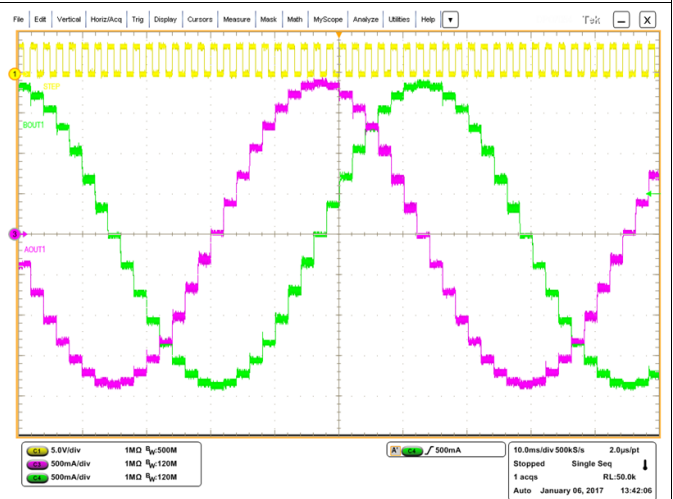


図 31. AutoTune 動的減衰による 1/8 マイクロステッピング



## 9 電源に関する推奨事項

DRV8886AT は、8V ~ 37V の入力電圧源 (VM) 範囲で動作するように設計されています。VM 定格の 0.01 $\mu$ F セラミック・コンデンサを、DRV8886AT にできるだけ近付けて各 VM ピンに配置する必要があります。また、バルク・コンデンサを VM に接続する必要があります。

### 9.1 バルク・コンデンサ

適切なローカル・バルク・コンデンサを使用することは、モーター駆動システムの設計で重要な要素の1つです。一般に、バルク・コンデンサが大きいほど利点がありますが、コストと物理的なサイズが増加します。

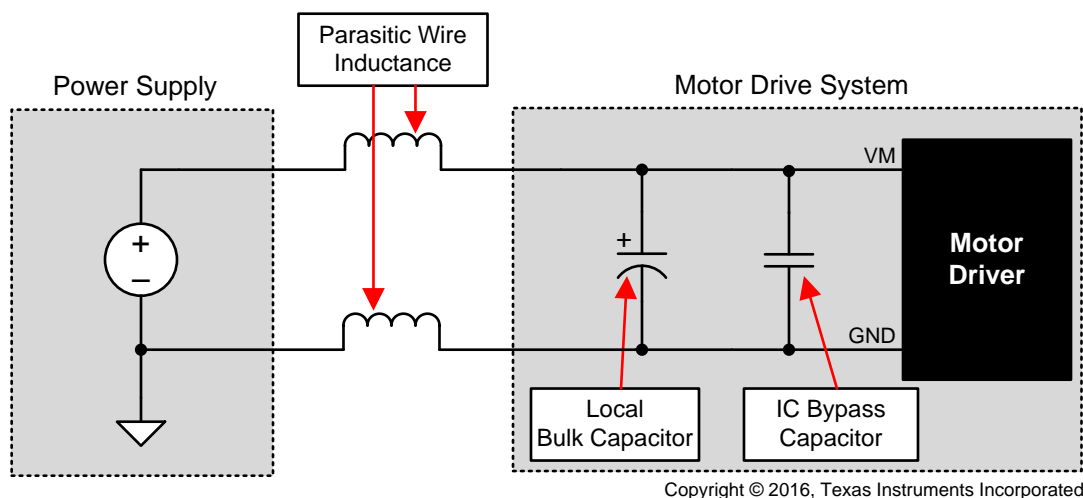
必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モーター・システムが必要とする最大電流
- 電源容量 (電流供給能力)
- 電源とモーター・システムの間での寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モーターのブレーキ方式

電源とモーター駆動システムの間でのインダクタンスにより、電源からの電流が変化できる割合が制限されます。ローカル・バルク容量が小さすぎると、システムはモーターからの過剰な電流要求やダンプに対して、電圧の変化によって応答します。十分なバルク容量が使用されていれば、モーターの電圧は安定し、大きな電流をすばやく供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モーターが電源にエネルギーを伝達する場合のマージンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。



Copyright © 2016, Texas Instruments Incorporated

図 32. 外部電源を使用したモーター駆動システムの構成例

## 10 レイアウト

### 10.1 レイアウトの注意点

推奨する VM 定格で 0.01 $\mu$ F の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを GND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いトレースまたはグラウンド・プレーンでデバイスの GND ピンに接続する必要があります。

VM 定格のバルク・コンデンサを使用して、VM ピンをグラウンドにバイパスする必要があります。この部品には電解コンデンサが使用できます。

低 ESR セラミック・コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM 定格の 0.022 $\mu$ F を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の 0.22 $\mu$ F を推奨します。この部品はピンにできるだけ近付けて配置します。

定格 6.3V の低 ESR セラミック・コンデンサを使用して AVDD ピンと DVDD ピンをグラウンドにバイパスします。このバイパス・コンデンサはピンにできるだけ近付けて配置します。

### 10.2 レイアウト例

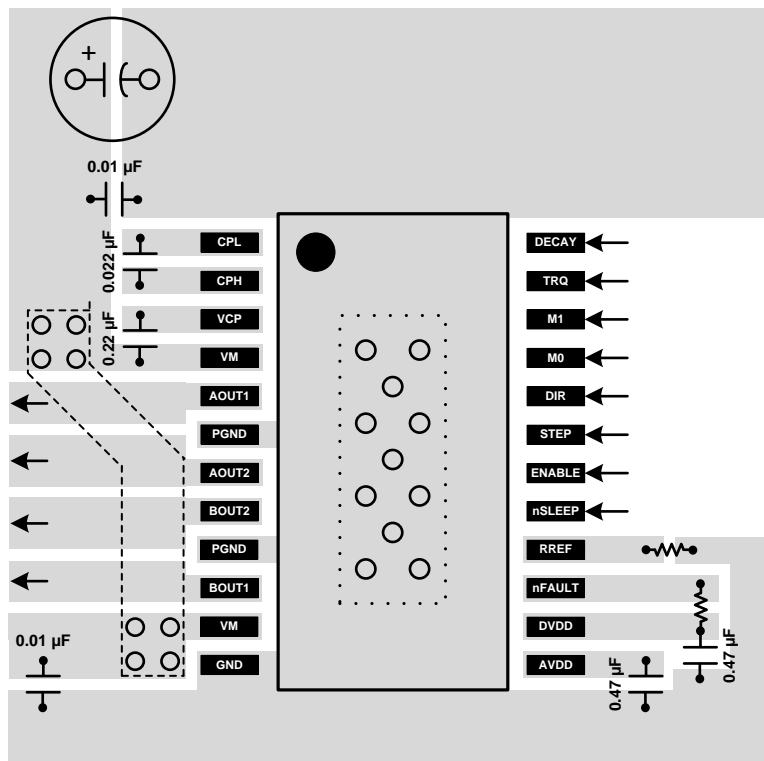


図 33. レイアウトに関する推奨事項

## 11 デバイスおよびドキュメントのサポート

### 11.1 ドキュメントのサポート

#### 11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『モータ・ドライバの消費電力計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『電流再循環および減衰モード』アプリケーション・レポート
- テキサス・インスツルメンツ、『DRV8886AT評価基板ユーザー・ガイド』
- テキサス・インスツルメンツ、『デジタル/アナログ・コンバータ(DAC)を使用するフルスケール電流調整』アプリケーション・レポート
- テキサス・インスツルメンツ、『ステップング・モータのAutoTune™による電流制御』ホワイトペーパー
- テキサス・インスツルメンツ、『産業用モータ・ドライブ・ソリューション・ガイド』
- テキサス・インスツルメンツ、『PowerPAD™の簡単な使用法』アプリケーション・レポート
- テキサス・インスツルメンツ、『放熱特性に優れたPowerPAD™パッケージ』アプリケーション・レポート
- テキサス・インスツルメンツ、『AutoTune™によるステップング・モータの簡単な使用法』ホワイトペーパー
- テキサス・インスツルメンツ、『モータ・ドライバの電流定格について』アプリケーション・レポート

### 11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](http://ti.com)のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 11.3 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

**TI E2E™オンライン・コミュニティ** TIのE2E ( *Engineer-to-Engineer* ) コミュニティ。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイデアを検討して、問題解決に役立てることができます。

**設計サポート** TIの設計サポート役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

### 11.4 商標

AutoTune, PowerPAD, E2E are trademarks of Texas Instruments.  
All other trademarks are the property of their respective owners.

### 11.5 静電気放電に関する注意事項



これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

### 11.6 Glossary

**SLYZ022** — TI Glossary.

This glossary lists and explains terms, acronyms, and definitions.

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8886ATPWP	LIFEBUY	HTSSOP	PWP	24	60	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	8886AT	
DRV8886ATPWPR	ACTIVE	HTSSOP	PWP	24	2000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	8886AT	Samples
DRV8886ATRHR	ACTIVE	WQFN	RHR	28	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8886AT	Samples
DRV8886ATRHR	LIFEBUY	WQFN	RHR	28	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8886AT	

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) **MSL, Peak Temp.** - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) **Lead finish/Ball material** - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8886ATPWPR	HTSSOP	PWP	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
DRV8886ATRHR	WQFN	RHR	28	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1
DRV8886ATRHRT	WQFN	RHR	28	250	180.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8886ATPWPR	HTSSOP	PWP	24	2000	350.0	350.0	43.0
DRV8886ATRHR	WQFN	RHR	28	3000	367.0	367.0	35.0
DRV8886ATRHRT	WQFN	RHR	28	250	210.0	185.0	35.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
DRV8886ATPWP	PWP	HTSSOP	24	60	530	10.2	3600	3.5



## GENERIC PACKAGE VIEW

**PWP 24**

**PowerPAD™ TSSOP - 1.2 mm max height**

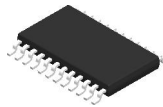
4.4 x 7.6, 0.65 mm pitch

PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4224742/B

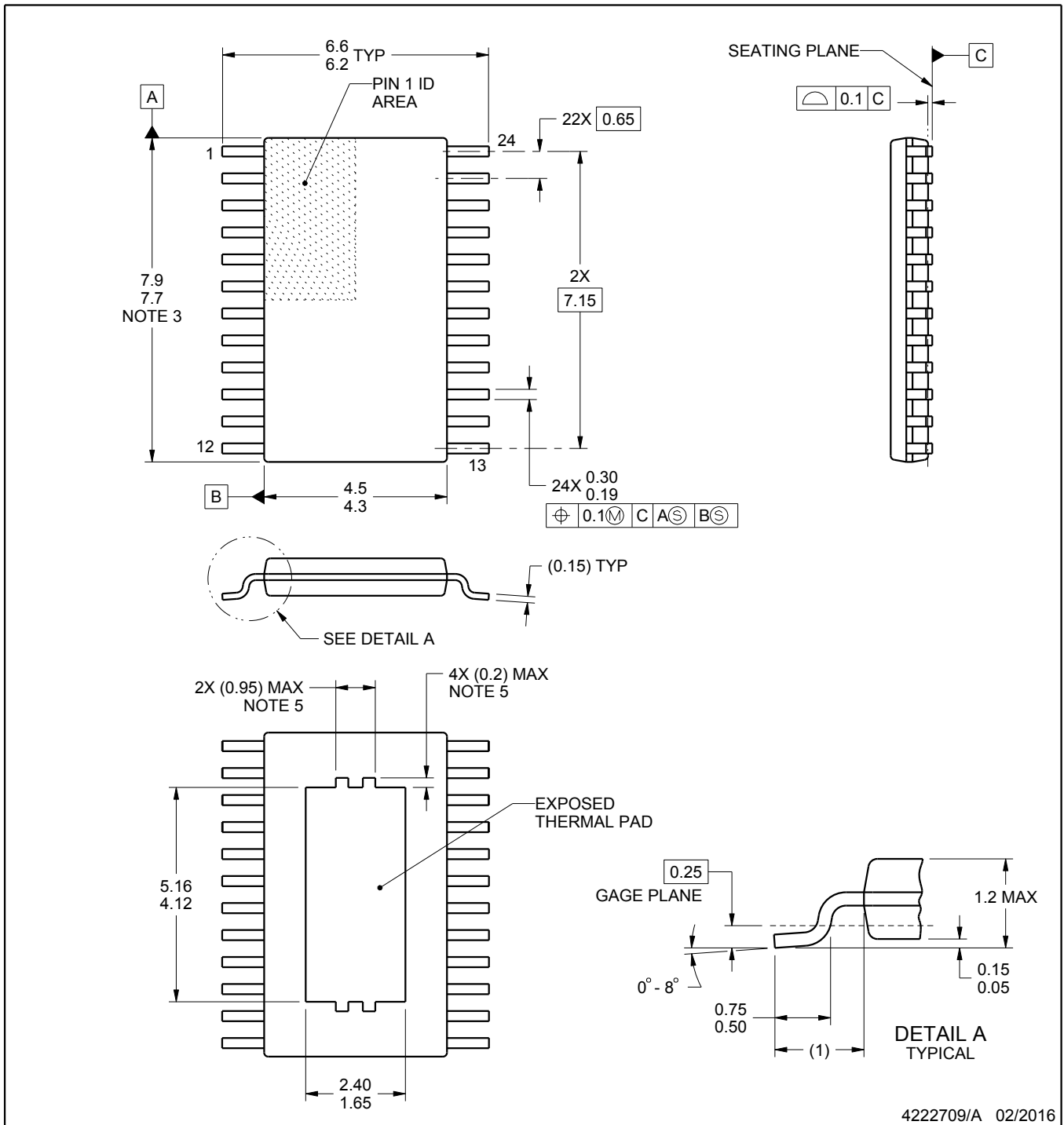


# PACKAGE OUTLINE

## PWP0024B

## PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



4222709/A 02/2016

### NOTES:

PowerPAD is a trademark of Texas Instruments.

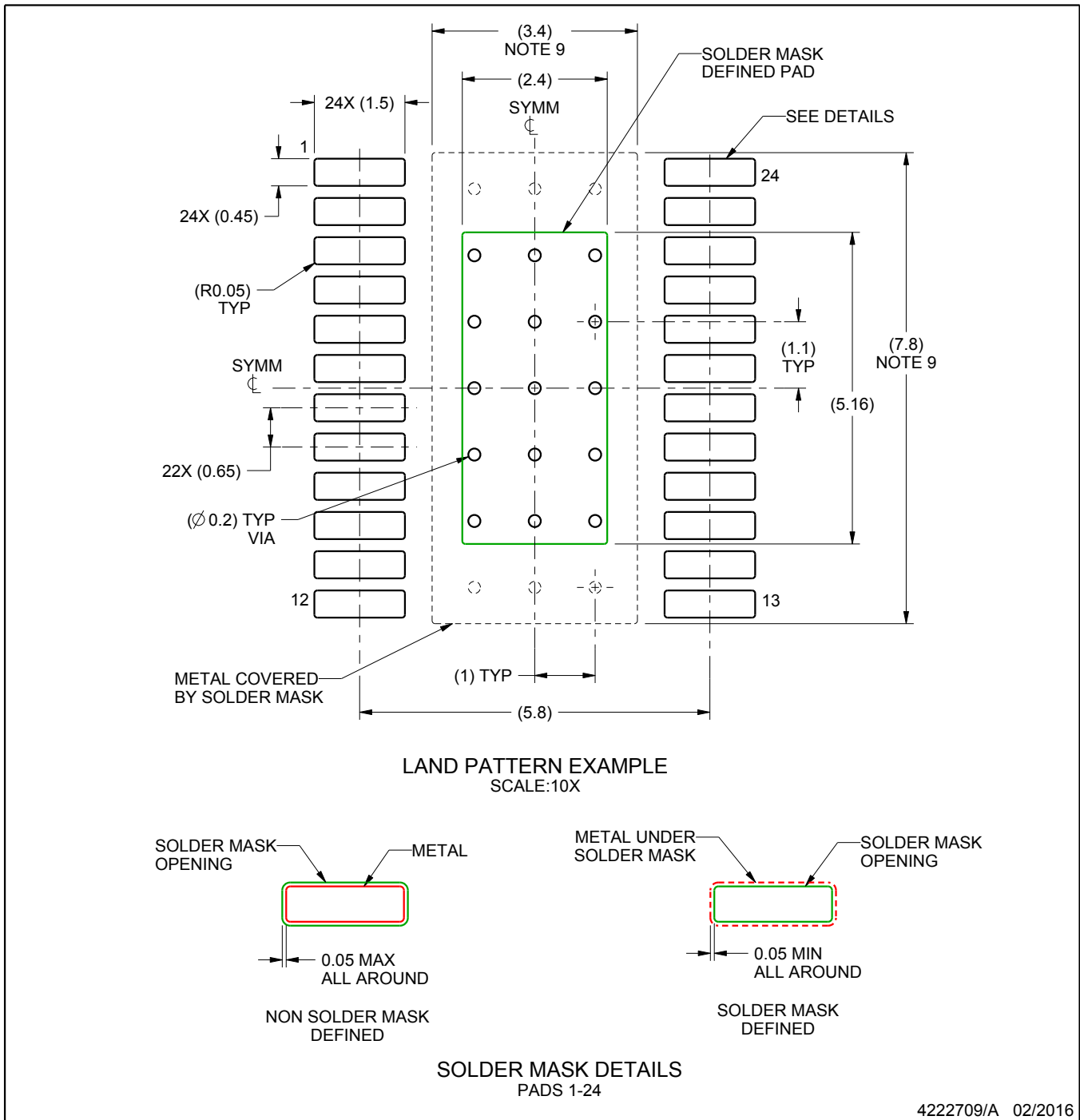
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may not be present and may vary.

# EXAMPLE BOARD LAYOUT

PWP0024B

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

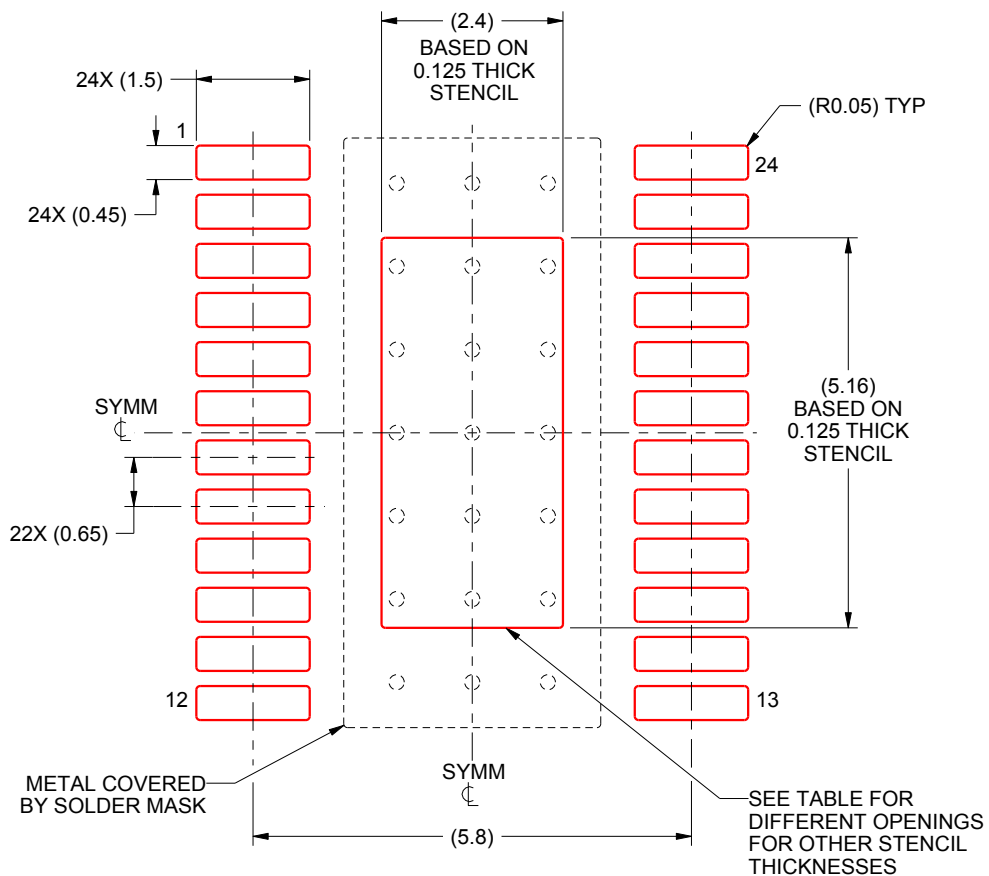
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Size of metal pad may vary due to creepage requirement.

# EXAMPLE STENCIL DESIGN

PWP0024B

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
 EXPOSED PAD  
 100% PRINTED SOLDER COVERAGE BY AREA  
 SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.68 X 5.77
0.125	2.4 X 5.16 (SHOWN)
0.15	2.19 X 4.71
0.175	2.03 X 4.36

4222709/A 02/2016

NOTES: (continued)

- 10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 11. Board assembly site may have different recommendations for stencil design.

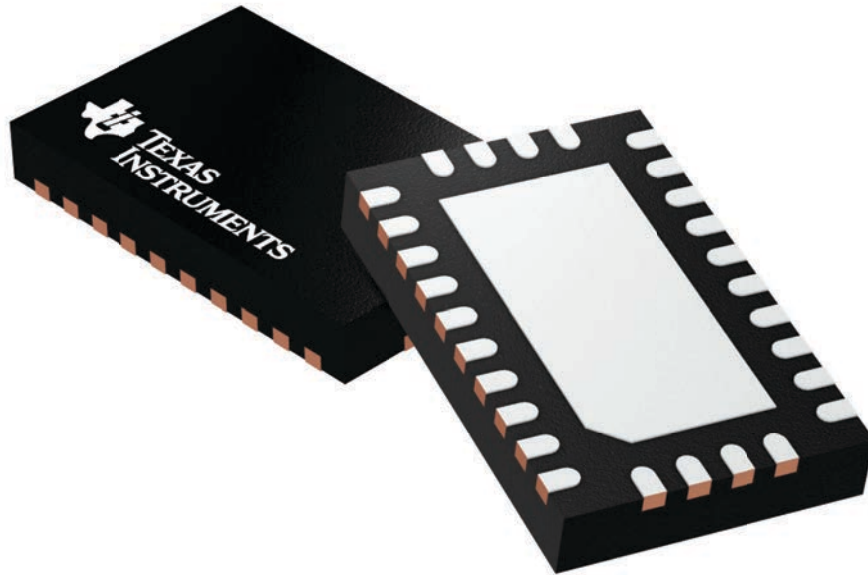
## GENERIC PACKAGE VIEW

**RHR 28**

**WQFN - 0.8 mm max height**

3.5 x 5.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4210249/B

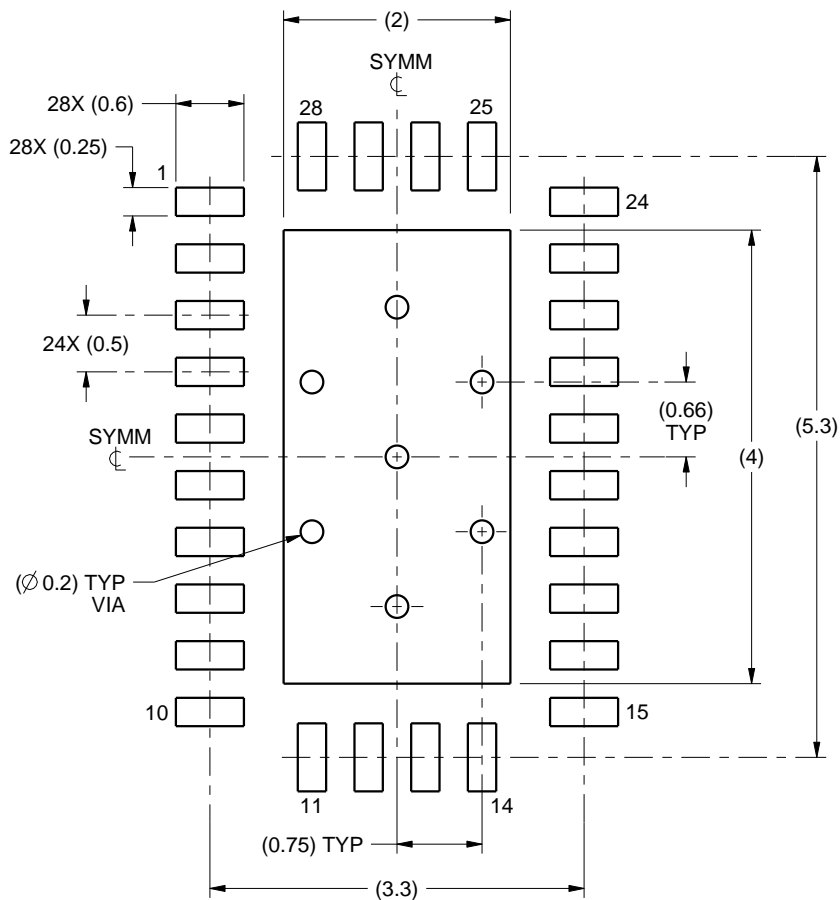


# EXAMPLE BOARD LAYOUT

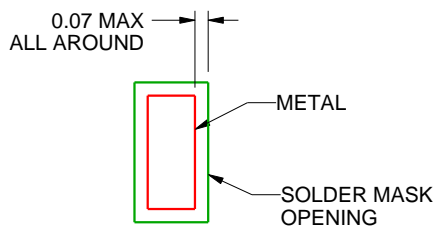
RHR0028A

WQFN - 0.8 mm max height

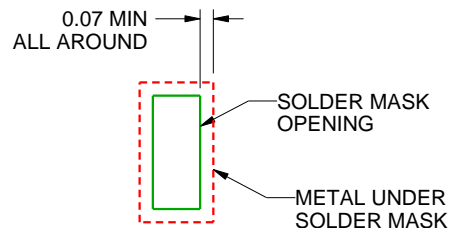
PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
SCALE:15X



NON SOLDER MASK  
DEFINED  
(PREFERRED)



SOLDER MASK  
DEFINED

## SOLDER MASK DETAILS

4219075/A 11/2014

NOTES: (continued)

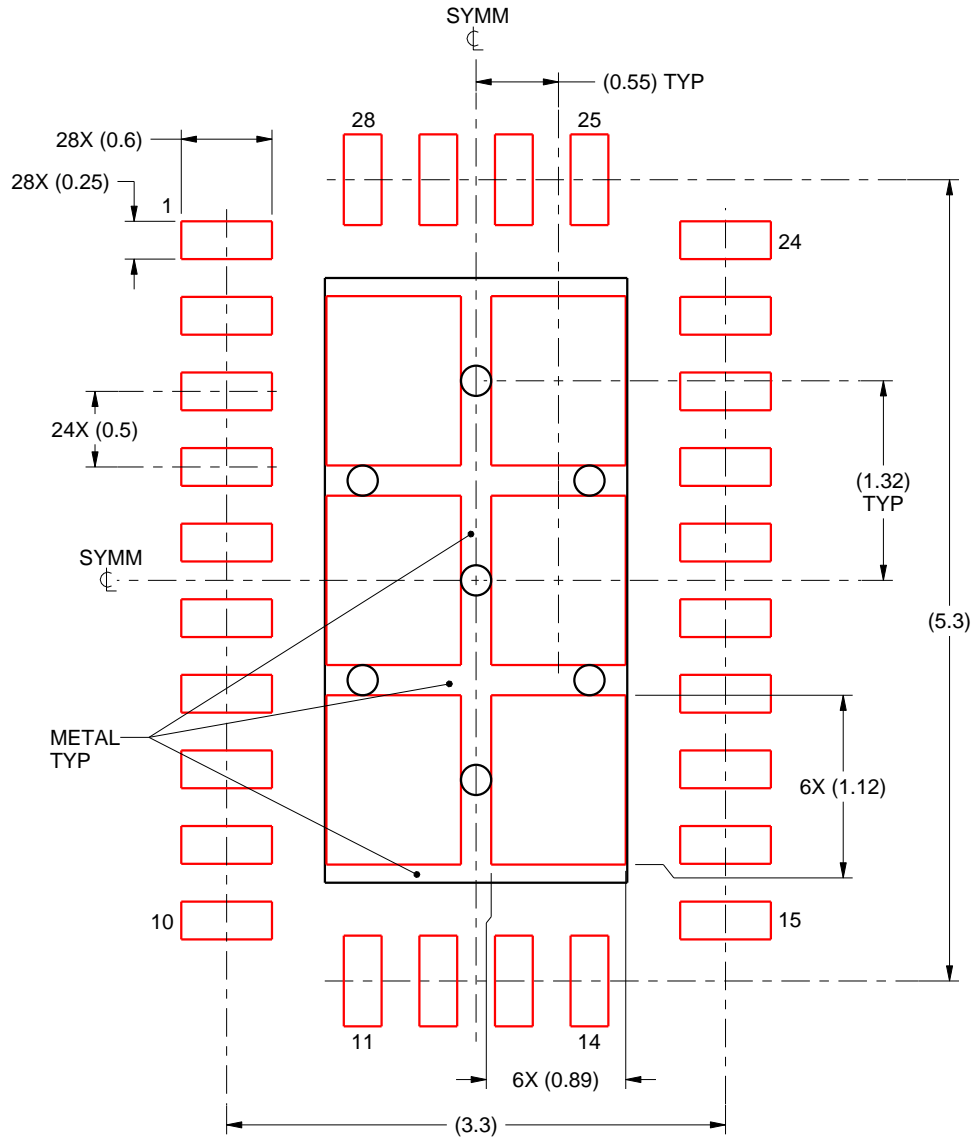
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).

# EXAMPLE STENCIL DESIGN

RHR0028A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
75% PRINTED SOLDER COVERAGE BY AREA  
SCALE:20X

4219075/A 11/2014

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated