

125MHz ~ 312.5MHz DDR LVDS パラレル・インタフェース付き FPGA-Link デシリアライザ

概要

DS32EL0124/DS32ELX0124は、FR-4プリント基板バックプレーン、平衡ケーブル、光ファイバ経由の高速シリアル通信用のクロックとデータのリカバリ・モジュールを内蔵しています。この使いやすいチップセットは、先進の信号とクロック調整機能をFPGAフレンドリなインタフェースとともに統合しています。

DS32EL0124/DS32ELX0124は、外付けリファレンス・クロックなしで最大3.125Gbpsの高速シリアル・データを5つのLVDS出力にデシリアライズします。DCバランス・デコーディングを有効にすると、2.5Gbpsのアプリケーション・ペイロードが4つのLVDS出力にデシリアライズされます。

DS32EL0124/DS32ELX0124 デシリアライザには、リンク・ステータス状態の信号を対になるDS32EL0421/ELX0421 シリアライザに追加の帰還パスなしで自動的に送るリモート・センス機能が備わっています。

これらのデバイスのパラレルLVDSインタフェースは、従来のシングルエンドの広いバス・インタフェースと比較してFPGA I/Oピン数や基板配線数が少なくて済むため、EMIの問題も緩和されます。

DS32EL0124/ELX0124はSMBusインタフェースのほか、制御ピンによってもプログラム可能です。

アプリケーション

- イメージング: 産業、医療セキュリティ、プリンタ
- ディスプレイ: LEDウォール、業務用
- ビデオ配信
- 通信システム
- 試験・計測機器
- 産業用バス

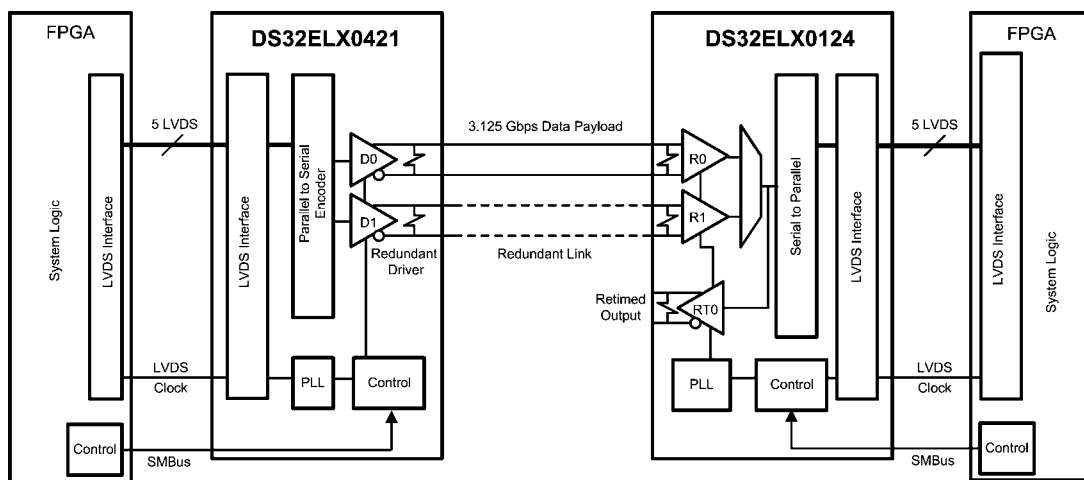
特長

- 5ビットDDR LVDS パラレル・データ・インタフェース
- プログラム可能な受信イコライジング
- 選択可能なDCバランス・デコーダ
- 選択可能なデスクランブラ
- リンク・ステータスの自動検出とネゴシエーションのためのリモート・センス
- 外付けのリシーバ用基準クロックが不要
- LVDS パラレル・インタフェース
- プログラム可能なLVDS出力クロック遅延
- 出力データの有効信号をサポート
- keep-aliveクロック出力をサポート
- チップ内蔵LC VCO
- 冗長シリアル入力(ELXデバイスのみ)
- シリアル出力のリタイミング(ELXデバイスのみ)
- 設定可能なPLLのループ帯域幅
- SMBus経由で設定可能
- ロック喪失とエラーの報告
- 48ピンLLPパッケージ、露出DAP付き

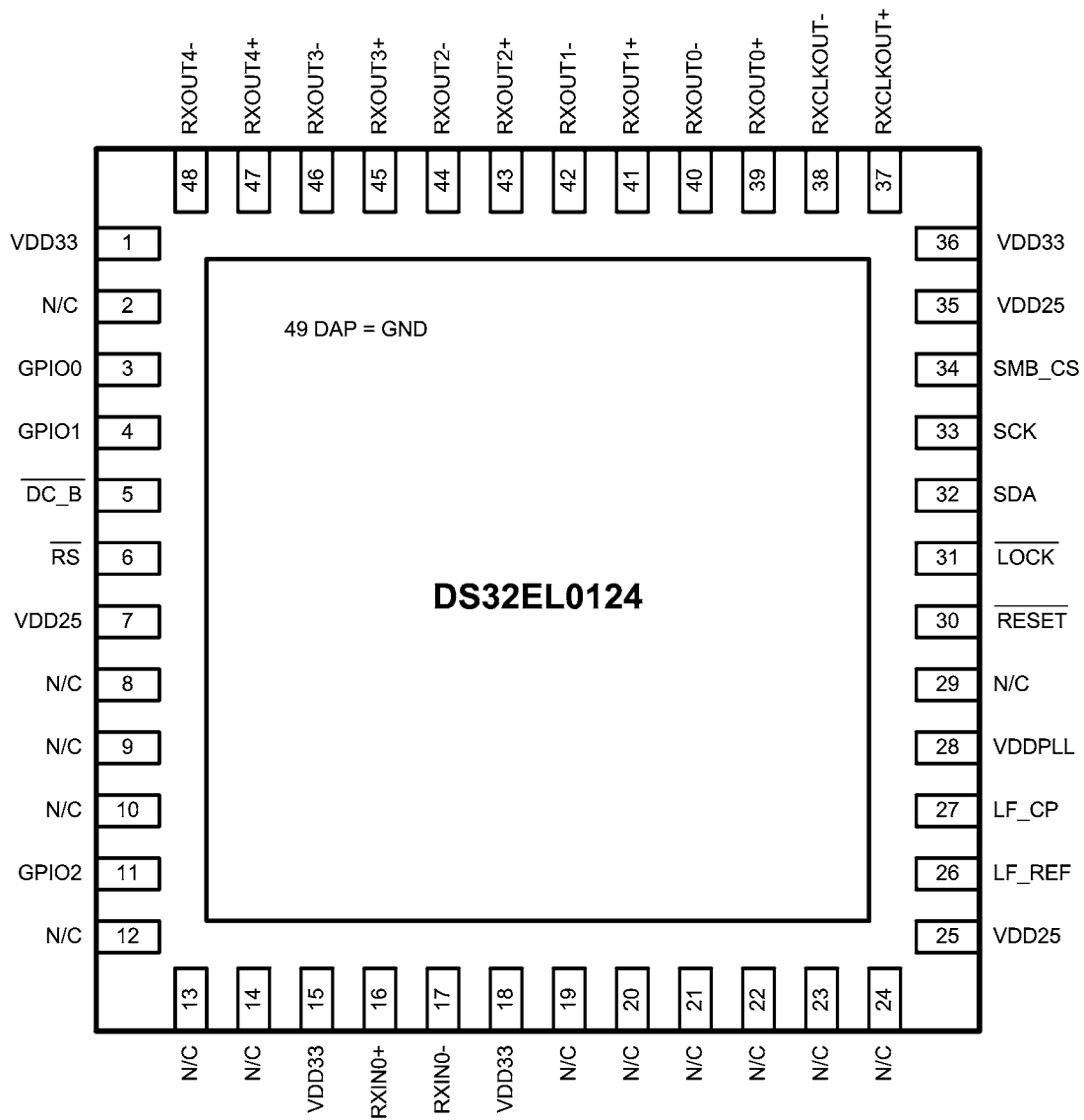
主な仕様

- 1.25 ~ 3.125Gbpsのシリアル・データ・レート
- 125 ~ 312.5MHzのDDRパラレル・クロック
- -40°C ~ +85°Cの温度範囲
- 8kV以上のESD(HBM)保護
- 0.5UIの最小入力ジッタ許容度(1.25Gbps)

代表的なアプリケーション



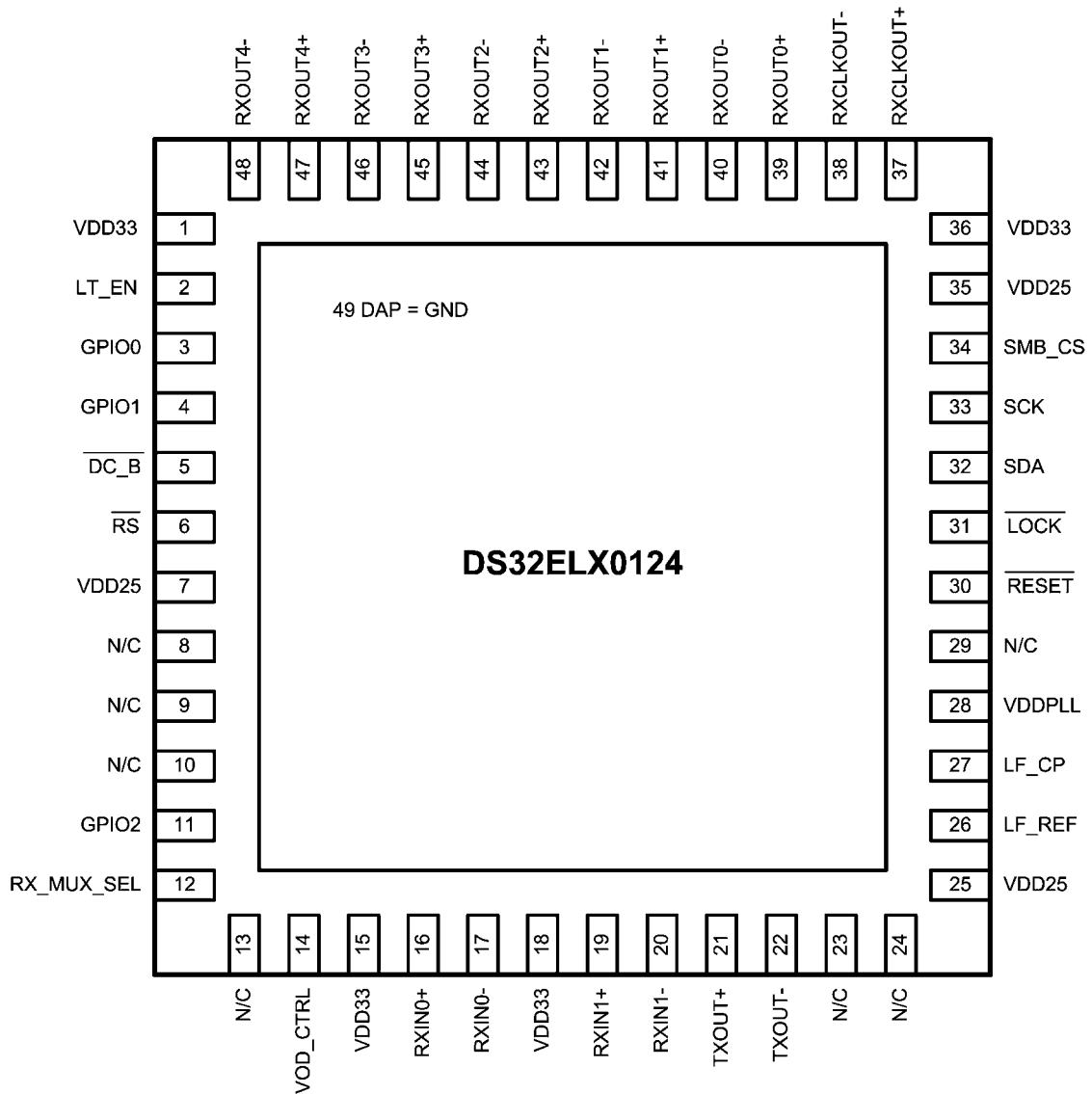
ピン配置図



Ordering Information

NSID	Description	Package	T&R Quantity
DS32EL0124SQ	DES	48 - LLP, SQA48A	1000
DS32EL0124SQE		48 - LLP, SQA48A	250
DS32EL0124SQX		48 - LLP, SQA48A	2500
DS32ELX0124SQ	DES with Redundant Input and Retimed Output	48 - LLP, SQA48A	1000
DS32ELX0124SQE		48 - LLP, SQA48A	250
DS32ELX0124SQX		48 - LLP, SQA48A	2500

ピン配置図 (つづき)



ピン説明

ピン名	ピン番号	I/O、タイプ	説明
VDD33	1, 15, 18, 36	I、VDD	3.3V 電源
VDD25	7, 25, 35	I、VDD	2.5V 電源
VDD_PLL	28	I、VDD	3.3V 電源
LF_CP	27	アナログ	ループ・フィルタのコンデンサ接続
LF_REF	26	アナログ	ループ・フィルタのグラウンド基準
露出パッド	49	GND	露出パッドは、9 個のスルーホールによって GND と接続する必要があります。

ピン説明 (つづき)

ピン名	ピン番号	I/O、タイプ	説明
CML I/O			
RxIN0 + RxIN0 -	16 17	I、CML	デシリアライザの非反転 / 反転高速 CML 差動入力。これらの入力は内部で終端されています。
RxIN1 + RxIN1 -	19 20	I、CML	DS32ELX0124 のみ。 デシリアライザの非反転 / 反転高速 CML 差動入力。これらの入力は内部で終端されています。
TxOUT + TxOUT -	21 22	O、CML	DS32ELX0124 のみ。 シリアライズされリタイミングされた高速出力。デシリアライザの非反転 / 反転速度 CML 差動出力。これらの出力は内部で終端されています。
LVDS パラレル・データ・バス			
RxCLKOUT + RxCLKOUT -	37 38	O、LVDS	デシリアライザ出力クロック。RxCLKOUT ± は、非反転 / 反転 LVDS のクロックの復元出力ピンです。
RxOUT[0:4] + / -	39, 40, 41, 42, 43, 44, 45, 46, 47, 48	O、LVDS	デシリアライザ出力データ。RxOUT[0:4] ± は、非反転 / 反転 LVDS のデシリアライズされた出力データ・ピンです。
制御ピン			
LT_EN	2	I、LVCMOS	DS32ELX0124 のみ。 High にすると、シリアライズされリタイミングされた高速出力がイネーブルになります。
RX_MUX_SEL	12	I、LVCMOS	DS32ELX0124 のみ。 RX_MUX_SEL はデシリアライザの入力を選択します。 0 = RxIN0 ± を選択 1 = RxIN1 ± を選択
VOD_CTRL	14	I、LVCMOS	DS32ELX0124 のみ。 VOD 制御。デシリアライザのループスルー出力振幅は、このピンをプルダウン抵抗に接続することによって調整できます。プルダウン抵抗の値によって VOD が決まります。詳細は「ループスルー・ドライバの起動振幅」を参照してください。
DC_B RS	5 6	I、LVCMOS	DC バランスとリモート・センスのピン。デバイスの動作については「アプリケーション情報」を参照してください。
RESET	30	I、LVCMOS	リセット・ピン。Low にするとデバイスがリセットされます。 0 = デバイスをリセット 1 = 通常動作
LOCK	31	O、LVCMOS	ロック表示出力ピンは、デシリアライザが入力データ・ストリームにロックされると Low になり、RxOUT でデータを出力、RxCLKOUT でクロックを出力し始めます。 0 = デシリアライザがロック状態 1 = デシリアライザがロック解除状態
SMBus			
SCK	I、SMBus	33	SMBus 互換クロック。
SDA	I/O、SMBus	32	SMBus 互換データ・ライン。
SMB_CS	I、SMBus	34	SMBus チップ選択。High にすると、SMBus マネジメント・バスがイネーブルになります。
その他			
GPIO0	3	入出力、LVCMOS	ソフトウェアで設定可能な入出力ピン。
GPIO1	4	入出力、LVCMOS	ソフトウェアで設定可能な入出力ピン。
GPIO2	11	入出力、LVCMOS	ソフトウェアで設定可能な入出力ピン。
NC	2, 8, 9, 10, 12, 13, 14, 19, 20, 21, 22, 23, 24, 29	多様	未接続、DS32EL0124 用
	8, 9, 10, 13, 23, 24, 29	多様	未接続、DS32ELX0124 用

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

推奨動作条件

		最小値	代表値	最大値	単位
電源電圧 (V _{DD33})	- 0.3V ~ + 4V	3.135	3.3	3.465	V
電源電圧 (V _{DD25})	- 0.3V ~ + 3.0V	2.375	2.5	2.625	V
LVC MOS 入力電圧	- 0.3V ~ (V _{DD33} + 0.3V)			100	mV _{p-p}
LVC MOS 出力電圧	- 0.3V ~ (V _{DD33} + 0.3V)				
CML 入出力電圧	- 0.3V ~ + 3.6V	- 40	+ 25	+ 85	°C
LVDS 出力電圧	- 0.3V ~ + 3.6V		1000		Ω
最大接合部温度	+ 125 °C				
保存温度範囲	- 65 °C ~ + 150 °C				
許容リード温度					
ハンダ付け (4 秒)	+ 260 °C				
パッケージ熱抵抗					
θ _{JA}	+ 25.0 °C/W				
ESD 耐圧					
人体モデル	≥ 8kV				

電源特性

Symbol	Parameter	Condition	Min	Typ	Max	Unit
I _{DD25}	2.5V supply current Loop Through Driver Disabled	1.25 Gbps		50	59	mA
		2.5 Gbps		62	73	
		3.125 Gbps		69	79	
	2.5V supply current Loop Through Driver Enabled	1.25 Gbps		88	99	
		2.5 Gbps		100	112	
		3.125 Gbps		107	120	
I _{DD33}	3.3V supply current Loop Through Driver Disabled	1.25 Gbps		105	121	mA
		2.5 Gbps		105	121	
		3.125 Gbps		105	121	
	3.3V supply current Loop Through Driver Enabled	1.25 Gbps		111	127	
		2.5 Gbps		111	127	
		3.125 Gbps		111	127	
P _D	Power Consumption Loop Through Driver Disabled	1.25 Gbps		475	560	mW
		2.5 Gbps		500	600	
		3.125 Gbps		520	620	
	Power Consumption Loop Through Driver Enabled	1.25 Gbps		590	690	
		2.5 Gbps		620	730	
		3.125 Gbps		640	750	

LVC MOS の電気的特性

特記のない限り、推奨動作条件での電源電圧と温度範囲に適用。LT_EN、GPIO0、GPIO1、GPIO2、RX_MUX_SEL、DC_B、RESET、RS、LOCK に適用されます (Note 2、4、5)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V _{IH}	High Level Input Voltage		2.0		V _{DD}	V
V _{IL}	Low Level Input Voltage		GND		0.8	V
V _{OH}	High Level Output Voltage	I _{OH} = -2mA	2.7	3.2		V
V _{OL}	Low Level Output Voltage	I _{OL} = 2mA			0.3V	V
V _{CL}	Input Clamp Voltage	I _{CL} = -18 mA		-0.9	-1.5	V
I _{IN}	Input Current	V _{IN} = 0.4V, 2.5V, or V _{DD33}	-40		40	μA
I _{OS}	Output Short Circuit Current	V _{OUT} = 0V (Note 6)		-45		mA

SMBus の電気的特性

特記のない限り、推奨動作条件での電源電圧と温度範囲に適用 (Note 2、5)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V _{SIL}	Data, Clock Input Low Voltage				0.8	V
V _{SIH}	Data, Clock Input High Voltage		2.1		V _{SDD}	V
V _{SDD}	Nominal Bus Voltage		2.375		3.465	V
I _{SLEAKB}	Input Leakage Per Bus Segment	SCK and SDA pins		±200		μA
I _{SLEAKP}	Input Leakage Per Pin			±10		μA
C _{SI}	Capacitance for SDA and SCK			10		pF

SMBus のタイミング特性

特記のない限り、推奨動作条件での電源電圧と温度範囲に適用 (Note 2、5)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
f _{SMB}	Bus Operating Frequency		10		100	kHz
t _{BUF}	Bus free time between top and start condition		4.7			μs
t _{HD-STA}	Hold time after (repeated) start condition. After this period, the first clock is generated		4.0			μs
t _{SU-STA}	Repeated Start Condition Setup Time	(Note 3)	4.7			μs
t _{HD-DAT}	Data Hold Time		300			ns
t _{SU-DAT}	Data Setup Time	(Note 3)	250			ns
t _{LOW}	Clock Low Time		4.7			μs
t _{HIGH}	Clock High Time		4.0		50	μs
t _{SU-CS}	SMB_CS Setup Time	(Note 3)	30			ns
t _{HS-CS}	SMB_CS Hold Time	(Note 3)	100			ns
t _{POR}	Time in which the device must be operational after power on	(Note 3)			500	ms

LVDS の電气的特性

特記のない限り、推奨動作条件での電源電圧と温度範囲に適用 (Note 2、5)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_{OD}	Differential Output Voltage	$R_L = 100\Omega$	230		310	mV
ΔV_{OD}	Changes in V_{OD} between complimentary output states				35	mV
V_{OS}	Offset Voltage		1.125	1.25	1.375	V
ΔV_{OS}	Change in V_{OS} between complimentary states				35	mV
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V, R_L = 100\Omega$ (Note 6)	-50			mA

LVDS のタイミング特性

特記のない限り、推奨動作条件での電源電圧と温度範囲に適用 (Note 2、5)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{ROTR}	LVDS low-to-high transition time			300		ps
t_{ROTF}	LVDS high-to-low transition time			300		ps
t_{ROCP}	LVDS output clock period			2T		ns
t_{RODC}	RxCLKOUT Duty Cycle		45	50	55	%
t_{RBIT}	LVDS output bit width			T		ns
t_{ROSC}	RxOUT Setup to RxCLKOUT OUT		650	800		ps
t_{ROHC}	RxOUT Hold to RxCLKOUT OUT		650	800		ps
t_{RODJ}	LVDS Output Deterministic Jitter	RxCLKOUT (Note 3)		18		ps
		RxOUT0-4 (Note 3)		43		
t_{RODJ}	LVDS Output Random Jitter	RxCLKOUT (Note 3)		2.5		ps
		RxOUT0-4 (Note 3)		2.5		
t_{ROTJ}	Peak-to-Peak LVDS Output Jitter	RxCLKOUT (Note 3)		51		ps
		RxOUT0-4 (Note 3)		70		
t_{RLA}	Deserializer Lock Time	(Note 3) 1.25 Gbps		22		ms
		2.5 Gbps		90		
		3.125 Gbps		115		
t_{LVSK}	LVDS Output Skew	LVDS Differential Output Skew between + and - pins		20		ps

CML 入力のタイミング特性

特記のない限り、推奨動作条件での電源電圧と温度範囲に適用 (Note 2、5)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
TOL _{JIT}	Serial Input Jitter Tolerance	RJ = 0.18 UI DJ = 0.37 UI SJ increased until failure 1.25 Gbps f < 10 kHz f > 1 MHz		30 0.5		UI
		2.5 Gbps f < 10 kHz f > 1 MHz		50 0.3		
		3.125 Gbps f < 10 kHz f > 1 MHz		70 0.3		

CML 入力の電気的特性

特記のない限り、推奨動作条件での電源電圧と温度範囲に適用 (Note 2、5)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V _{ID}	Differential input voltage	(Note 3)	230		2200	mV
V _{IN}	Single ended input voltage	(Note 3)	115		1100	mV
I _{IN}	Input Current		-300		50	μA
R _{IT}	Input Termination		84	100	116	Ω

リタイミングされた CML ループスルー出力の電気的特性 (DS32ELX0124 のみ)

特記のない限り、推奨動作条件での電源電圧と温度範囲に適用 (Note 2、5)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V _{LTOD}	Output differential voltage	VOD_CTRL resistor = 9.09 kΩ (Note 3)	1.15		1.45	V
R _{LTOT}	Output termination	50Ω	40	50	60	Ω
		75Ω	60	75	90	
ΔR _{LTOT}	Mismatch in output termination resistors			5		%

リタイミングされた CML ループスルー出力のタイミング特性 (DS32ELX0124 のみ)

特記のない限り、推奨動作条件での電源電圧と温度範囲に適用 (Note 2、5)。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{JIT}	Additive Output Jitter	(Note 3)		24	35	ps
t _{OS}	Output Overshoot	(Note 3)		1.5	8	%
t _{LTR}	Retimed output driver differential low to high transition time	(Note 3)		74	105	ps
t _{LTF}	Retimed output driver differential high to low transition time	(Note 3)		74	105	ps
t _{LTRFMM}	Mismatch in Rise/Fall Time	(Note 3)		5	15	%
t _{LTDE}	Retimed driver de-emphasis width			1		UI

Note 1: 絶対最大定格は、ICに破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これらを超えた条件ではこのデバイスを使用しないように注意してください。

Note 2: 電気的特性とタイミング特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定してある場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 3: パラメータは特性の評価により保証されている値で、量産時における試験は行っていません。

Note 4: デバイス・ピンに流れ込む電流を正と定義し、デバイス・ピンから流れ出る電流を負と定義しています。V_{OD}、ΔV_{OD}以外の電圧はすべてグラウンドを基準としています。

Note 5: 代表値は、V_{CC} = +3.3V、T_A = +25℃で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 6: 出力短絡電流 (I_{OS}) は大きさのみを表し、マイナス符号は電流の流れる方向のみを表しています。

タイミング図

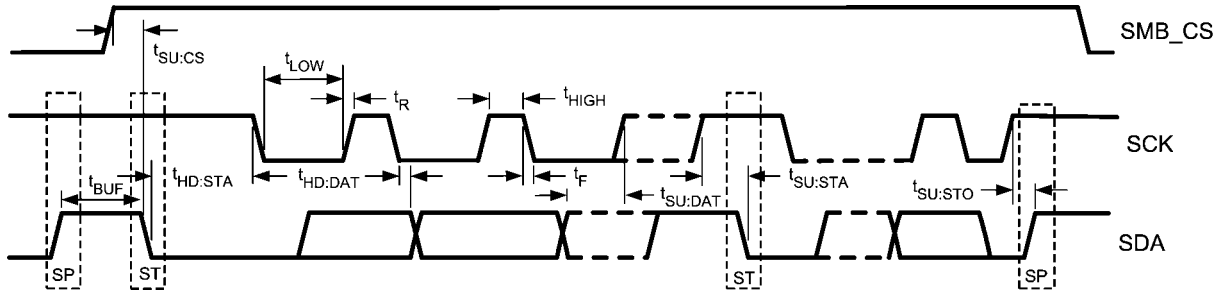


FIGURE 1. SMBus Timing Parameters



FIGURE 2. LVDS Output Transition Time

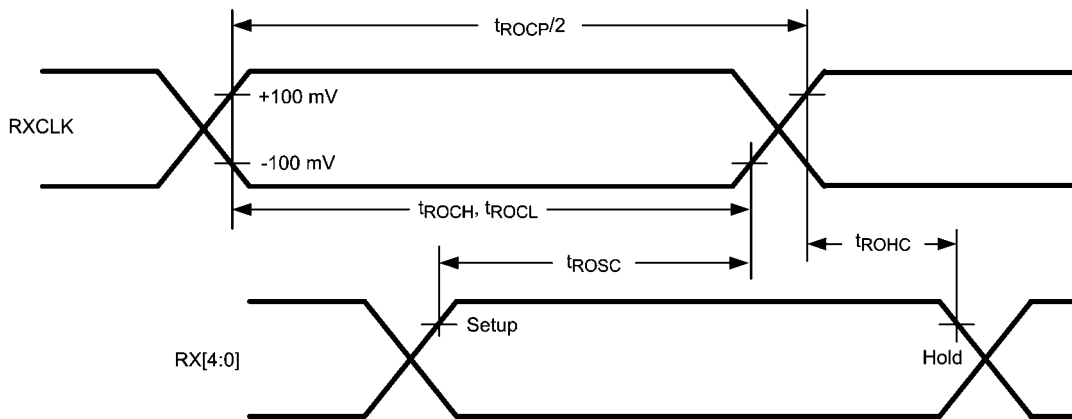


FIGURE 3. Deserializer (LVDS Interface) Setup/Hold and High/Low Times

タイミング図 (つづき)

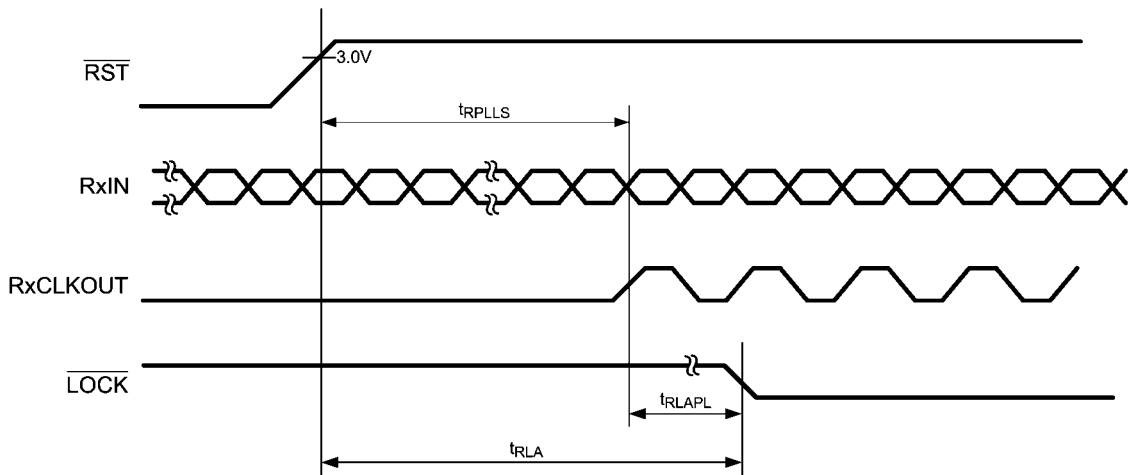


FIGURE 4. Reset to Lock Time

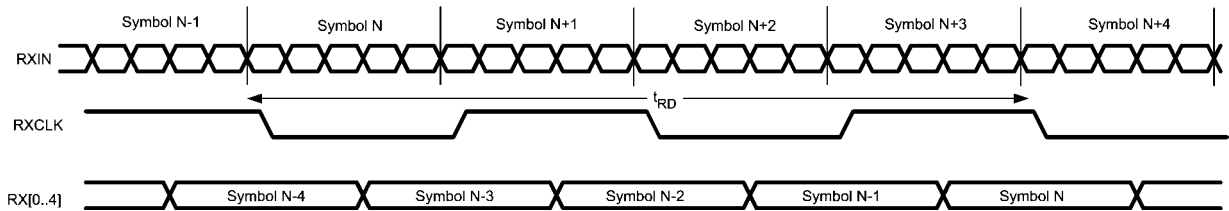


FIGURE 5. Deserializer Propagation Delay

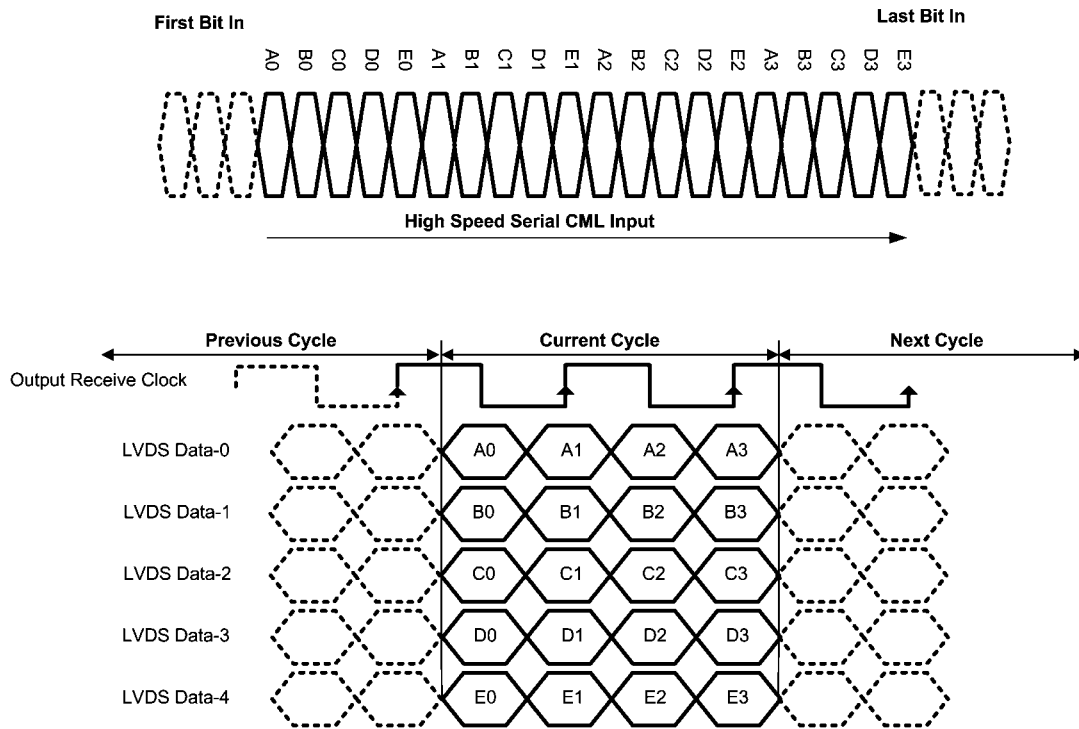


FIGURE 6. CML to LVDS Bit Map

機能説明

電源

DS32EL0124/DS32ELX0124 には、2.5V と 3.3V の複数のパワー・ピンが設けられています。これらのピンがすべて接続されており、適切にバイパスされていることが重要です。バイパスは、最小でも 4.7 μ F と 0.1 μ F のコンデンサを並列に構成し、各パワー・ピンの近くに 0.1 μ F のコンデンサを配置します。3.3V 電源レールに接続する VDDPLL ピンには、22 μ F のコンデンサが必要です。

デバイスのパッケージの中央底面には、大きな接触面があります。この接触面は、デバイスの主要なグラウンド接続であるため、システム GND に接続する必要があります。

パワーアップ

必須ではありませんが、2.5V 電源より前に 3.3V 電源をパワーアップすることを推奨します。2.5V 電源を先にパワーアップすると、2.5V 電源レールから約 600mA の初期消費電流が発生することがあり、その後最終的な値に安定します。シーケンスに関係なく、どちらの電源レールも最終的な値へと単調増加する必要があります。

パワーマネジメント

これらのデバイスの消費電力を抑える方法は 2 つあります。1 つ目の省電力モードにするには、搭載されているホスト FPGA が制御デバイスが DDR トランスミット・クロックの出力を停止できるようにします。さらに消費電力を抑えるには、パワーダウン・レジスタへの書き込みでデバイスを最小電力モードにします。

リセット

これらのデバイスをリセットする方法は 3 つあります。リセットはパワーアップ中に自動で行われます。デバイスは、RESET ピンを Low にすることによってもリセットできます。このピンを再び High に駆動すれば通常動作が再開します。デバイスは、リセット・レジスタに書き込みを行うことによってもリセットできます。このリセットでは、すべてのレジスタ値がデフォルト値に戻ります。ただし、SMBus のデフォルト・アドレスが変更されていた場合は、アドレス・レジスタの値は影響を受けません。

LVDS 出力

DS32EL0124/DS32ELX0124 には、ANSI/TIA/EIA-644 と互換性のある標準 LVDS 出力があります。FPGA とデシリアライザ出力との間のプリント基板配線は 40 インチより長くしないことを推奨します。プリント基板配線が長くなると、信号劣化やチャンネル・スキューを招く可能性があり、これらはシリアル化時のエラーの原因になります。ホストと DS32EL0124/DS32ELX0124 との間の接続は、終端抵抗 (通常 100 Ω) と一致するインピーダンスで制御された伝送ライン上で行う必要があります。セットアップ時間とホールド時間は LVDS スwitching 特性表に記載されていますが、クロック遅延はレジスタ 30'h に書き込むことによって調整できます。

ループ・フィルタ

DS32EL0124/DS32ELX0124 には、入力シリアル・データを復元するのに使われる内部クロック・データ・リカバリ・モジュール (CDR) があります。この CDR のループ・フィルタは外付けであり、最適の結果を得るためには、30nF のコンデンサを 26 ピンと 27 ピンの間に直列に接続しなければなりません。代表的なインタフェース回路 (Figure 12) を参照してください。

ループスルー・ドライバの起動振幅

リタイミングされた CML ループスルー・ドライバの起動振幅は、VOD_CTRL ピンとグラウンドの間に単一の抵抗を配置して制御します。対応する抵抗値を選択して望ましい V_{LTD} を求めるには、次式を使います。

$$R = (1400\text{mV}/V_{LTD}) \times 9.1\text{k}\Omega$$

リタイミングされた CML ループスルー・ドライバの起動振幅は、SMBus レジスタ 49'h、ビット 3:1 への書き込みによっても調整できます。このレジスタは、初期のプロトタイプ設計段階でシステム設計者を支援することを目的としています。最終製造時には、望ましい V_{LTD} に対して適切な抵抗値を選択し、レジスタ 49'h はデフォルト値のままにしておくことを推奨します。

リモート・センス

リモート・センス機能は、DS32EL0421/DS32ELX0421 シリアライザが DS32EL0124/DS32ELX0124 デシリアライザと直接接続されている場合に使用できます。シリアライザとデシリアライザの間の信号パスにあるアクティブなコンポーネントがデバイスのバック・チャンネル信号に干渉することがあります。

リモート・センスをイネーブルにすると、デシリアライザが 5 つの状態を循環してリンクを確立させ、データを調整します。デシリアライザの状態を Figure 7 に示します。デシリアライザは、入力信号を受信するまで低消費電力の IDLE 状態を保ちます。デシリアライザの CDR が入力クロックにロックされると、デバイスは LINK DETECT 状態になります。この状態の間、デシリアライザはラインを監視してシリアライザがトレーニング・パターンを送信しているかを確認します。また、この状態の間にデシリアライザは定期的にリンク検出信号を上流に送信して、トレーニング・パターンを現在送信できることをシリアライザに知らせます。デシリアライザは、データがシリアル・ラインに届いていることを検出すると、CLOCK ACQUISITION 状態に進みます。この状態の間、デシリアライザは入力データの設定時間を監視して、データからクロックを抽出しようと試みます。デシリアライザが正常にクロックを抽出できたら、デバイスは LINK ACQUISITION 状態に進みます。この状態でデシリアライザは予想されるトレーニング・パターンに基づいてレーン調整を行った後、NORMAL 状態に移ります。デシリアライザがロックやロックの維持を正常に行えない場合は、リンクを切断してシリアライザを IDLE 状態か LINK DETECT 状態に戻します。

DC バランス・デコーダ

DS32EL0124/DS32ELX0124 には、AC 結合アプリケーションをサポートするための DC バランス・デコーダが内蔵されています。これをイネーブルにすると、出力信号 RxOUT4 \pm がデータ有効ビットとして扱われます。RxOUT4 \pm が Low のときは、RxOUT0 ~ RxOUT3 からのデータ出力が 8b/10b コーディング方式によって正常にデコードされています。RxOUT4 \pm が High で出力 RxOUT0 ~ RxOUT3 も High のときは、無効な 8b/10b コードを受信しており、ビット・エラーを示しています。RxOUT4 \pm が High で出力 RxOUT0 ~ RxOUT3 が Low のときは、アイドル文字を受信しています。デフォルトのアイドル文字は K28.5 コードです。他の K コードを正常に受信するには、最初に SMBus を介してデシリアライザにプログラムしておく必要があります。SMBus レジスタは単一のプログラム可能文字しか考慮していません。

機能説明 (つづき)

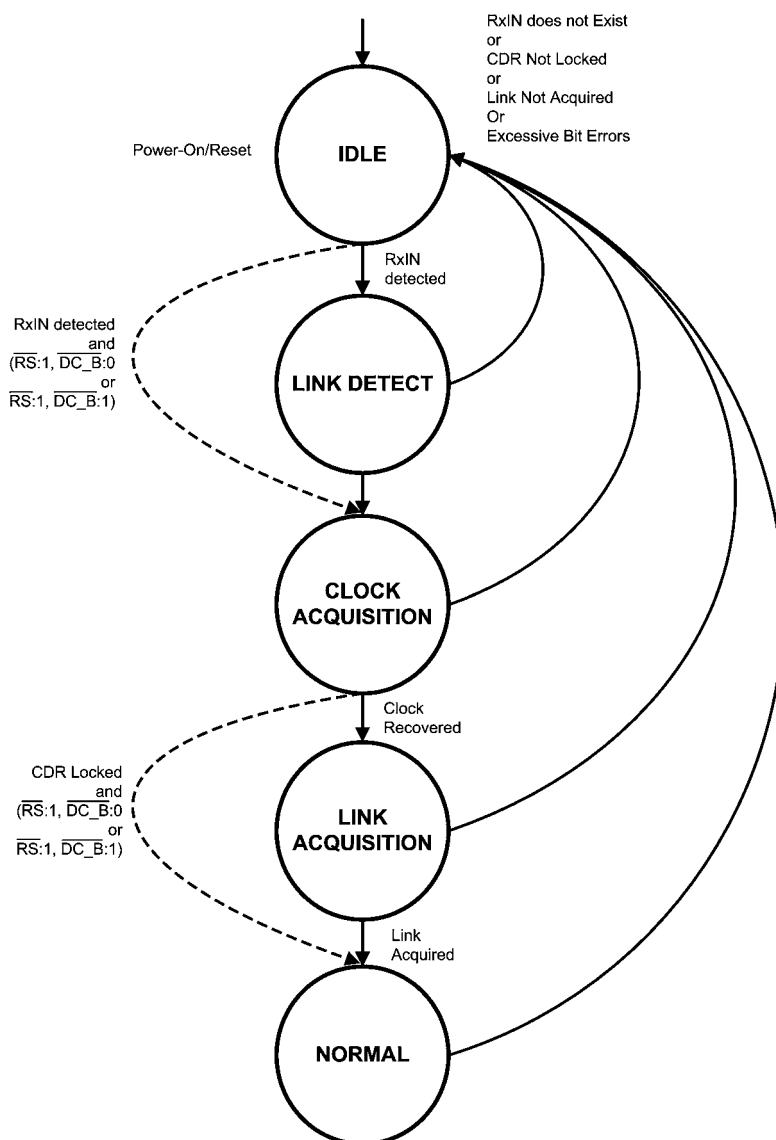


FIGURE 7. Deserializer State Diagram

デスクランブラと NRZI デコーダ

デシリアライザの CDR は、 $200\mu\text{s}$ 間で変換密度 20%と想定しています。データ変換密度を向上させるには、DS32EL0421/DS32ELX0421 の内蔵機能であるスクランブラと NRZI エンコーダ、シリアライザをイネーブルにします。デスクランブラがイネーブルのとき、シリアル化されたデータは CDR によって復元された後、DS32EL0421 データシートに記載されている多項式に従ってスクランブル解除されます。スクランブラ/デスクランブラを使うとデータのスペクトラムが拡散し EMI 放出が低減します。また、スクランブルによってデシリアライザの CDR は適切にロックするように変化します。

DC_B ピンと RS ピンを設定した方法により、スクランブラはイネーブルまたはディスエーブルになります。スクランブラのデフォルト設定を無視するには、2 つのレジスタ書き込みを行う必要があります。まず、レジスタ 22'h に書き込み、ビット 5 をセットしてデスクランブラ・レジスタをアンロックします。次にレジスタ 21'h に書き込み、ビット 5 を希望の値に変更します。NRZI デコーダには、レジスタ 22'h とレジスタ 21'h に制御ビットがある点に留意してください。

CML 入力インタフェース

DS32ELX0124 には、冗長ポートやフェイルオーバーなどのアプリケーションをサポートする 2 つの入力があります。どちらの入力も、RX_MUX_SEL ピンか内部制御レジスタを使って選択できます。どちらの入力を選択しても、デシリアライザの CDR にルーティングされます。一度に選択できる入力は 1 つだけです。

入力段は自己バイアスされるため、外付けのバイアス回路は不要です。DS32EL0124/DS32ELX0124 には、入力終端抵抗が内蔵されています。また、これらのデシリアライザは $50\text{mV} \sim \text{Vcc} - 50\text{mV}$ の広範囲なコモンモード入力をサポートしており、インタフェース・システム間で有意なグラウンド電位の差がないときは DC 結合できます。さらに、シリアル入力はメディアからの損失分を補償するための入力イコライズ制御を提供します。イコライズのレベルは、SMBus インタフェースによって制御されます。DS32ELX0124 については、各入力で独立したイコライズ設定を行えます。

機能説明 (つづき)

RxIN0 土を一次入力として使うことを推奨します。ループスルー・ドライバに近接しているため、RxIN1 はケーブル長性能が一般に RxIN0 よりも劣っています。RxIN1 土とインタフェースし、TxOUT 土のループスルー・ドライバを使って伝送するときは、「レイアウト・ガイドライン」セクションと「LVDS オーナーズ・マニュアル」に記載されている優れたレイアウトに従うことが重要です。レイアウト技術が不適切な場合、過剰なクロストークが RxIN1 にカップリングされることがあります。

CML 出カインタフェース (DS32ELX0124 のみ)

DS32ELX0124 のリタイミングされたループスルー・シリアル出力は低スキューの差動信号を提供します。TxOUT + および TxOUT - から VDD25 に接続された内部抵抗は出力を終端します。出力レベルは、VOD_CTRL ピンへのプルダウン抵抗を調整することによって設定できます。また出力終端は、50 Ω か 75 Ω のいずれかにプログラム設定できます。

出力バッファはユーザー設定デエンファシス制御を備えたカレント・モード・ロジック (CML) ドライバからなります。これは広範囲な伝送ライン長や低コストな CAT (- 5、 - 6、 - 7) ケーブルまたは FR4 バックプレーンから発生する減衰歪みに対して性能を最適化するために使用できます。出力デエンファシスは、SMBus インタフェースを介してユーザーがプログラム設定できます。ユーザーは、特定のシステム環境に合わせてデエンファシスの強度を最適に制御できます。詳細は、レジスタマップのレジスタ 67h ビット 6:5 を参照してください。

デバイス設定

DS32EL0124/DS32ELX0124 デバイスを設定する方法は 4 つあります。その組み合わせは Table 1 のとおりです。RS ピンと DC_B ピンの組み合わせがデシリアライザのリンク起動動作をどのように変えるのかについては、Figure 7 を参照してください。DS32EL0421/DS32ELX0421 以外のシリアライザに接続するときは、リモート・センスをディスエーブルにする必要があります。Table 1 に示すデスクランブラと NRZI デコーダは、レジスタのプログラミングによってイネーブル / ディスエーブルにすることができます。

リモート・センスがイネーブルで RS ピンが Low のとき、デシリアライザは DS32EL0421/DS32ELX0421 シリアライザと直接、ア

クティブなコンポーネントを間に配置せずに接続する必要があります。リモート・センス・モジュールは、シリアライザがデシリアライザを検出するため、またはデシリアライザがシリアライザを検出するために、上流と下流の両方向へ通信できます。この機能は、2 つのデバイス間でリンク・ステータス情報をやりとりするのに使われます。

DC バランスがイネーブルのとき、パラレル LVDS レーンの最大数は 4 です。5 番目のレーンはデータ有効信号 (TXIN4 土) になります。シリアライザへのデータ有効入力がロジック High であれば、SYNC 文字が送信されます。デシリアライザが SYNC 文字を受信すると、LVDS データ出力はすべてロジック Low になり、データ有効出力はロジック High になります。デシリアライザが DC バランス・コード・エラーを検出すると、出力データ・ピンはロジック High となり、データ有効出力もロジック High にセットされます。

DC バランスがイネーブル、リモート・センスがディスエーブルになり、RS が High、DC_B が Low にセットされると、外付けデバイスはデータ有効入力を定期的にシリアライザに切り替えて継続的ロックを維持します。このようなピン設定により、デバイスはファイバ・モジュールなどの高速信号パスにある他のアクティブなコンポーネントとインタフェースすることができます。DS32EL0421/DS32ELX0421 シリアライザが DS32EL0124/DS32ELX0124 デシリアライザへのリンクを、DC バランスをイネーブル、リモート・センスをディスエーブルにした状態で確立するたびに、シリアライザへのデータ有効入力は 110 LVDS クロックの間 High に保つ必要があります。これによってデシリアライザはクロックを抽出し、LINK ACQUISITION 状態をスキップしてレーン調整を行うことができます。

リモート・センスと DC バランスの両方がディスエーブルのとき、RS ピンと DC_B ピンは High にセットされ、LVDS レーン調整は維持されません。この設定では、データ・フォーマットが FPGA または外部ソースによって扱われます。このモードでは、デシリアライザは入力ランダム・データにロックされます。クロック取得段階でロックを達成するには、入力データの変換密度が 200 μs 間で約 20% でなくてはなりません。データ変換密度を向上させるには、スクランブルと NRZI エンコーディングを実装します。また、このピン設定によって、デバイスは高速信号パスにある他のアクティブなコンポーネントとインタフェースすることができます。

TABLE1. デバイス設定表

リモート・センス・ピン (RS)	DC バランス・ピン (DC_B)	設定
0	0	リモート・センスはイネーブル DC バランスはイネーブル データ調整 デスクランブラと NRZI デコーダはデフォルトでディスエーブル
0	1	リモート・センスはイネーブル DC バランスはディスエーブル データ調整 デスクランブラと NRZI デコーダはデフォルトでイネーブル
1	0	リモート・センスはディスエーブル DC バランスはイネーブル データ調整 デスクランブラと NRZI デコーダはデフォルトでイネーブル
1	1	リモート・センスはディスエーブル DC バランスはディスエーブル データ調整なし デスクランブラと NRZI デコーダはデフォルトでディスエーブル

機能説明 (つづき)

SMBus インタフェース

システム・マネジメント・バス・インタフェースは、SMBus 2.0 物理層の仕様に準拠しています。チップ選択信号の使用が必須です。SMB_CS ピンを High にしておくと、SMBus ポートから構成レジスタにアクセス可能になります。SMB_CS ピンを Low にしておくと、デバイスの SMBus がディスエーブルになり、ホストからバス上の他のスレーブ・デバイスへの通信が可能になります。スタンバイ状態ではシステム・マネジメント・バスはアクティブのままです。SMBus 上にある他のデバイスへの通信がアクティブのとき、デシリアライザへの SMB_CS 信号は Low に駆動する必要があります。

すべての DS32EL0124/DS32ELX0124 デバイスのアドレス・バイトは B0'h です。SMBus 2.0 の仕様に基づけば、これらのデバイスには 7 ビットのスレーブ・アドレス 1011000'b があります。LSB は 0'b (書き込み用) にセットされるので、8 ビットの値は 1011 0000'b または B0'h となります。

SCK ピンと SDA ピンは 3.3V LVCMOS 信号であり、ハイ・インピーダンスの内部プルアップ抵抗を含みます。SMBus の負荷と速度によっては、外付けのロー・インピーダンス・プルアップ抵抗が必要になることがあります。ただしこれらの入力力は 5V 耐圧ではありません。

SMBus を介したデータ伝送

通常動作では、SCK が High の間、SDA 上のデータは安定していなければなりません。

SMBus には 3 つの固有な状態があります。

- START** SCK が High のとき SDA の High から Low への遷移は、START 状態のメッセージを示します。
- STOP** SCK が High のとき SDA の Low から High への遷移は、STOP 状態のメッセージを示します。
- IDLE** 最後に検出された STOP 状態から時間 t_{BUF} を超えて SCK と SDA の両方が High 状態である場合、または High 状態の合計時間が仕様に定められた最大値 t_{HIGH} を超えた場合、バスは IDLE 状態に移行します。

SMBus トランザクション

このデバイスは、WRITE と READ のトランザクションをサポートしています。レジスタ・アドレス、タイプ (読み取り/書き込み、読み取り専用)、デフォルト値、機能情報については、「レジスタ・アップ」を参照してください。

レジスタへの書き込み

このデバイスは、WRITE と READ のトランザクションをサポートしています。レジスタ・アドレス、タイプ (読み取り/書き込み、読み取り専用)、デフォルト値、機能情報については、「レジスタ・アップ」を参照してください。

1. ホスト (マスタ) が SMBus チップ選択 (SMB_CS) 信号を High に駆動することによってデバイスを選択します。
2. ホストが START 状態、7 ビットの SMBus アドレス、WRITE を示す "0" を駆動します。
3. デバイス (スレーブ) が ACK ビット ("0") を駆動します。
4. ホストが 8 ビットのレジスタ・アドレスを駆動します。
5. デバイスが ACK ビット ("0") を駆動します。
6. ホストが 8 ビットのデータ・バイトを駆動します。
7. デバイスが ACK ビット ("0") を駆動します。
8. ホストが STOP 状態を駆動します。

9. ホストが SMBus の CS 信号を Low に駆動することによってデバイスを選択解除します。

WRITE トランザクションが完了すると、バスは IDLE になり、他の SMBus デバイスとの通信が可能になります。

レジスタの読み取り

レジスタを読み取るには、次のプロトコルを使います (SMBus 2.0 の仕様を参照)。

1. ホスト (マスタ) が SMBus チップ選択 (SMB_CS) 信号を High に駆動することによってデバイスを選択します。
2. ホストが START 状態、7 ビットの SMBus アドレス、WRITE を示す "0" を駆動します。
3. デバイス (スレーブ) が ACK ビット ("0") を駆動します。
4. ホストが 8 ビットのレジスタ・アドレスを駆動します。
5. デバイスが ACK ビット ("0") を駆動します。
6. ホストが START 状態を駆動します。
7. ホストが 7 ビットの SMBus アドレス、READ を示す "1" を駆動します。
8. デバイスが ACK ビット "0" を駆動します。
9. デバイスが 8 ビットのデータ値 (レジスタ内容) を駆動します。
10. ホストが READ 変換の終了を示す NACK ビット "1" を駆動します。
11. ホストが STOP 状態を駆動します。
12. ホストが SMBus の CS 信号を Low に駆動することによってデバイスを選択解除します。

READ トランザクションが完了すると、バスは IDLE になり、他の SMBus デバイスとの通信が可能になります。

SMBus の設定

SMBus は、アプリケーションの特定要件に応じて、さまざまな設定が可能です。次にいくつかのアプリケーションについて説明します。

設定 1

デシリアライザ SMB_CS は SMBus 上でただ 1 つのデバイスなので、High (常にイネーブル) にできます。Figure 8 を参照してください。

設定 2

複数の SER デバイスが同一のアドレスを持っているので、個別の SMB_CS 信号を使うことが求められます。特定のデバイスと通信するには、そのデバイスの SMB_CS を High に駆動してデバイスを選択します。トランザクションが完了した後、SMB_CS を Low に駆動して SMB インタフェースをディスエーブルにします。これで、バス上の他のデバイスがそれぞれのチップ選択信号とともに選択され通信が行われます。Figure 9 を参照してください。

設定 3

アドレス・フィールドは、SMBus プロトコルにより 7 ビットまでに制限されています。したがって、複数のデバイスが同じ 7 ビットのアドレスを共有できます。SMBus 2.0 仕様のオプション機能は、ARP (Address Resolution Protocol) をサポートしています。このオプション機能は、DS32EL0124/DS32ELX0124 デバイスではサポートされていません。これを解決するには、独立した SMB_CS 信号や独立した SMBus セグメントを使うなどの方法があります。

機能説明 (つづき)

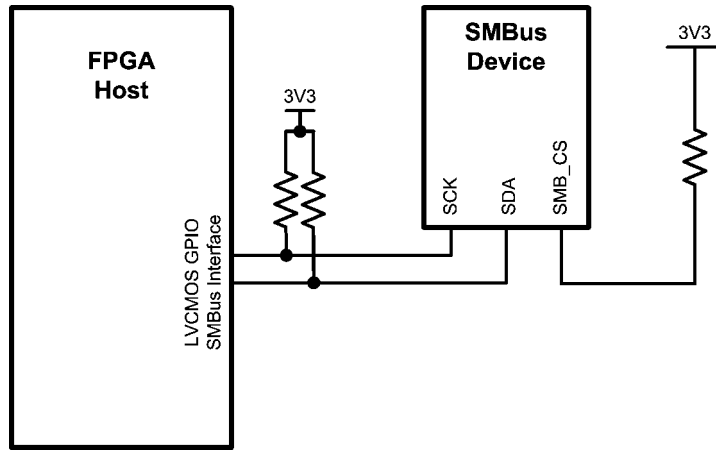


FIGURE 8. SMBus Configuration 1

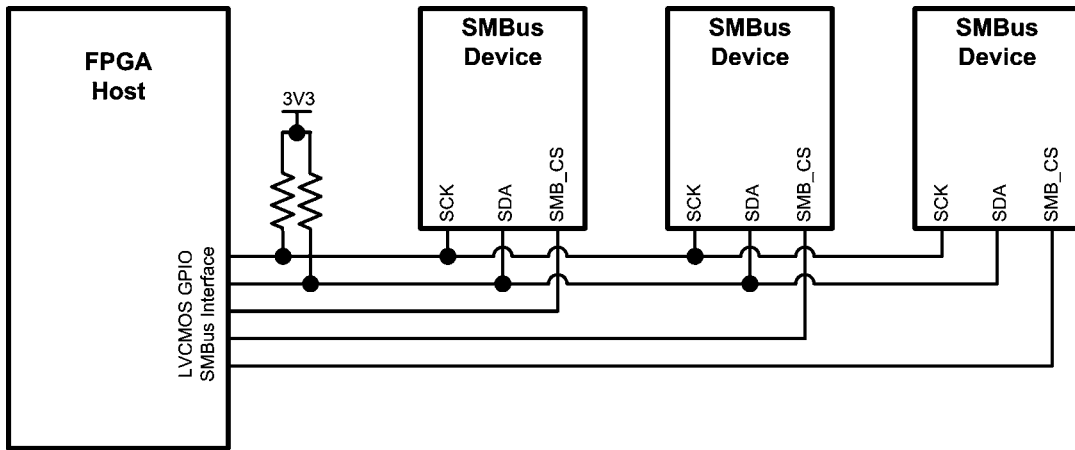


FIGURE 9. SMBus Configuration 2

機能説明 (つづき)

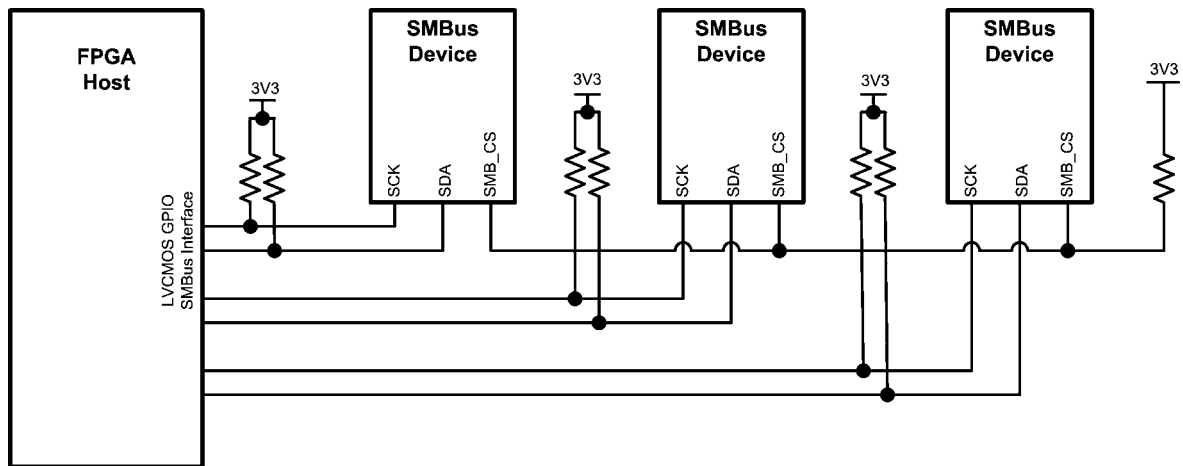


FIGURE 10. SMBus Configuration 3

伝搬遅延時間

デシリアライザがロックされると、信号が高速 CML シリアル入力からデバイスを通り、DDR LVDS インタフェースを経由して出ていくのにかかる時間が伝搬遅延時間と定義されます。DS32EL0124/DS32ELX0124 を通るアナログ回路による伝搬遅延時間は、デジタル・コンポーネントによって発生する遅延時間と比較すれば無視できるものと見なされます。ここで提供する情報により、システム設計者はデバイスを通る伝搬遅延時間を、高速シリアル・ライン・レートに比例するクロック・サイクルで予測できます。

Figure 11 に示す各クロック・サイクルは、高速シリアル・ビット・レートの 20 分の 1 と定義されます。例えば、シリアル・ライン・レートが 3.125Gbps のとき、各遅延サイクルのクロック周波数は 156.25MHz となります。これは、シリアル・ライン・レートが 3.125Gbps のときに 312.5MHz となる LVDS 出力と同じ周波数ではありません。Figure 11 の破線は、そのモードではその機能がデフォルトでディスエーブルになるので、合計伝搬遅延時間はないことを表しています。最後の行の "bypassed" は、その機能がデフォルトでディスエーブルになっていてもデータがサンプリングされていることを示します。データのサンプリングによって、ボックス内に記載されている伝搬遅延時間が追加されることになります。

Config Pins (RS, DC_B)	CML Interface	NRZ Decoder	Descrambler	Lane Alignment Logic	DC Balance Decoder	LVDS Interface	Total Propagation Delay
0, 0	2 clocks	--	--	3 clocks	1 clock	3-4 clocks	9-10 clocks
0, 1	2 clocks	1 clock	1 clock	3 clocks	1 clock	3-4 clocks	11-12 clocks
1, 0	2 clocks	1 clock	1 clock	3 clocks	--	3-4 clocks	10-11 clocks
1, 1	2 clocks	1 clock (bypassed)	1 clock (bypassed)	3 clocks	--	3-4 clocks	10-11 clocks

FIGURE 11. Deserializer Propagation Delay

リタイミングされたループスルー・ドライバの伝搬遅延時間 - DS32ELX0124 のみ

DS32ELX0124 でループスルー・ドライバがイネーブルになっている場合、伝搬遅延時間は、信号が高速 CML シリアル入力からリタイミングされたループスルー・ドライバ出力に伝わるのにかかる時間と定義されます。この時間遅延は CDR クロック・サ

イクルとして測定されます。CDR クロック周波数は、高速シリアル・ライン・レートまたは 1 つの高速シリアル・ビット幅に等しくなります。例えば、高速シリアル・ライン・レートが 3.125Gbps であれば、CDR クロック周波数は 3.125GHz になります。高速入力からループスルー・ドライバ出力までの伝搬遅延時間は 1 CDR クロックです。

アプリケーション情報

GPIO ピン

GPIO ピンは、システムのデバッグ時や評価時に役立ちます。GPIO の特定の設定や機能については、デバイスのレジスタ・マップのレジスタ 2、3、4、5、6 を参照してください。

GPIO ピンは一般的に、同一の SMBus 上に複数のデシリアライザがあるときに使用されます。各シリアライザに個別の設定をプログラムするには、それぞれに固有の SMBus アドレスを割り当てる必要があります。複数のデシリアライザを単一の SMBus 上で再プログラムするには、SMBus ラインが FPGA かホスト・コントローラに接続されるように最初のデシリアライザを設定してください。2 番目のシリアライザの CS ピンは最初のデシリアライザの GPIO0 に接続し、次のデシリアライザの CS ピンを前のデシリアライザの GPIO0 に接続します。すべての GPIO0 ピンを Low にしておくこと、最初のデシリアライザのアドレスをレジスタ 0 への書き込みによって再プログラムできます。最初のデシリアライザの GPIO ピンがアサート可能になり、2 番目のデシリアライザのアドレスが再プログラムできるようになります。

高速通信メディア

デシリアライザの内蔵イコライザ・ブロックを DS32EL0421/DS32ELX0421 の内蔵デエンファシス・ブロックと組み合わせて使うことにより、さまざまなメディア上でデータを高速伝送できます。デバイスの性能を抑制する要因としては、過剰な入力クロック・ジッタ、ノイズの多い電源レール、近接するノイズの多いコンポーネントからの EMI、不適切なレイアウト技術などがあります。多くのケーブルでは導体径やシールド方法が類似していますが、コネクタの品質によって性能に大きな差があります。

また DS32ELX0124 には、リタイミングされたループスルー出力 TxOUT 土にプログラム可能なデエンファシス・ブロックがあります。ループスルー・ドライバのデエンファシス設定は、SMBus によってプログラムされます。

冗長ポートなどの用途

DS32ELX0124 には、2 つの高速 CML シリアル入力があります。SMBus レジスタ制御により、ホスト・デバイスはアクティブな入力チャネル上でエラーやリンク消失を監視できます。これによってホスト・デバイス（通常は FPGA）は、1 次入力で問題が発生した場合に 2 次入力へと切り替えられます。

リンク集約

データ・スループット 3.125Gbps 以上をアプリケーションが要求する場合に、複数の DS32EL0421/DS32ELX0421 シリアライザと DS32EL0124/DS32ELX0124 デシリアライザを集約できます。各デバイスのデータ有効信号を活用するとシステムは適切にデスキューされ、CAT-6、DVI-D、HDMI などの単一ケーブルが

3.125Gbps を上回るデータ・ペイロードを伝送できるようにします。

また、リンク集約設定は、長いケーブルを必要とするアプリケーションにも導入できます。このような種類のアプリケーションでは、各シリアライザとデシリアライザのチップセットのデータ・レートと、アプリケーションの正味のデータ・スループットが変化しないようにするために抑えられます。各高速チャネルは元のデータ・レートの何分の 1 かのレートで動作するようになるので、ケーブル上の損失は低減し、より長いケーブルをシステムで使用できます。

リンク集約についての詳細は、アプリケーション・ノート 1887「Expanding the Payload with National's FPGA-Link DS32ELX0421 and DS32ELX0124 Serializer and Deserializer」を参照してください。

伝送距離延長

DS32ELX0124 デシリアライザには、リタイミングされたループスルー CML シリアル出力が備わっています。また、ループスルー・ドライバにはプログラム可能なデエンファシスがあるため、このデバイスは伝送距離を延長するアプリケーションにも対応できます。

デージー・チェーン接続

DS32ELX0124 デシリアライザのループスルー・ドライバは、デシリアライザをデージー・チェーン構成でつなぎ合わせるために使用できます。それによって、DS32EL0421 シリアライザなどの単一データ・ソースは複数の受信システムと通信できます。

レイアウト・ガイドライン

高速デバイスの場合には優れたレイアウトに従うことが重要です。LVDS 入力トレースの長さは、40 インチを超えてはなりません。ノイズの多い環境では、EMI によるデータ破損を防ぐために、LVDS トレースを短くしなければならない場合があります。ノイズの多いコンポーネントは、LVDS や CML のトレースに隣接して配置しないでください。LVDS や CML のトレースについては、差動インピーダンスを 100 Ω にする必要があります。CML 入出力に終端抵抗を配置しないでください。DS32EL0124/DS32ELX0124 には内部終端レジスタがあります。スルーホールの使用は避けることを推奨します。スルーホールの各ペアは伝送ライン上のインピーダンス不整合をもたらし、それが信号の反射を生じさせるため、高速データ・リンクの最大距離が大幅に減少する可能性があります。スルーホールを使わなくてはならない場合は、各差動ペアに対して対称的に配置する必要があります。高速基板レイアウトの原則に関するヒントや詳細な追加説明については、「LVDS オーナーズ・マニュアル」を参照してください。

アプリケーション情報 (つづき)

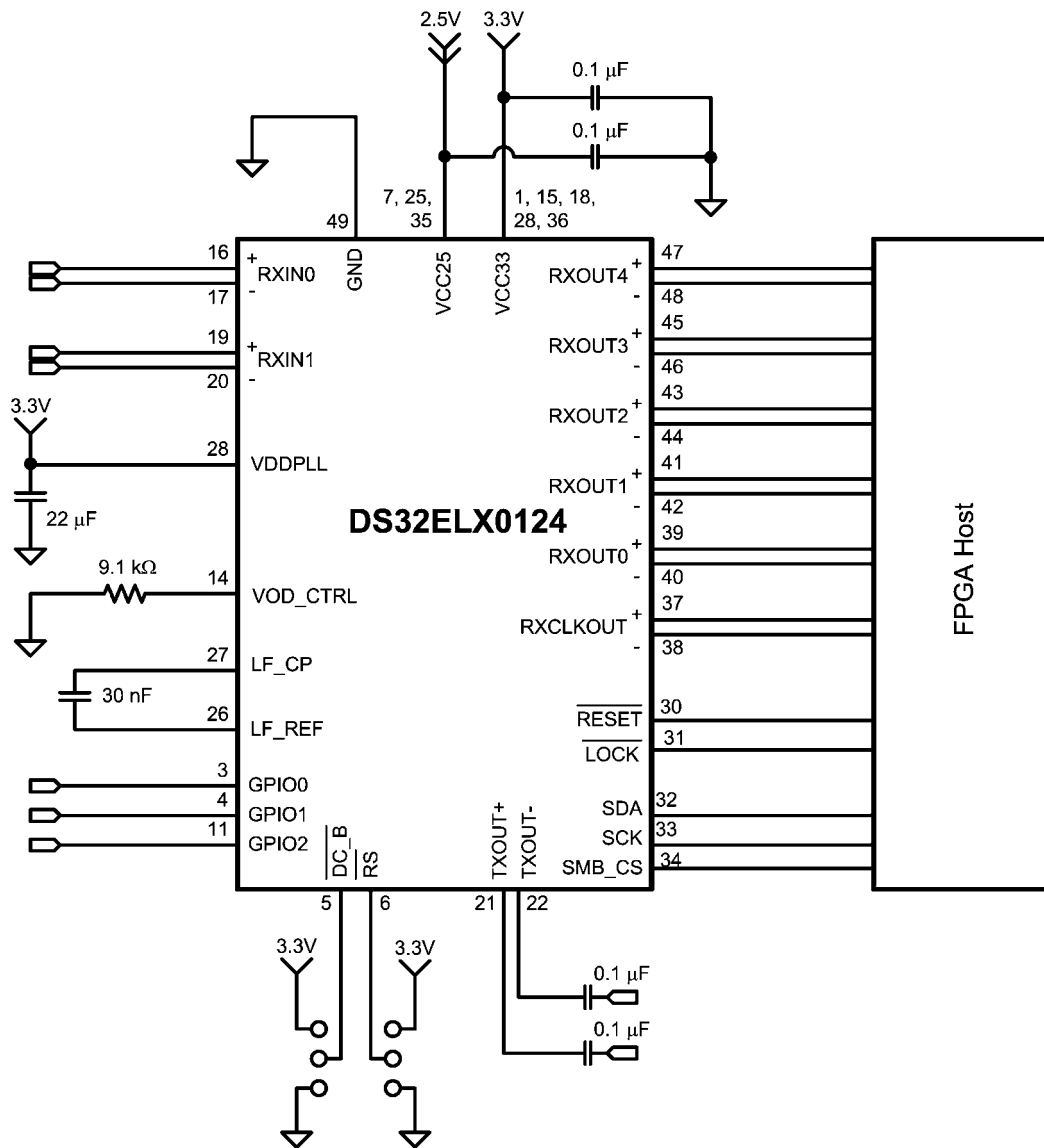
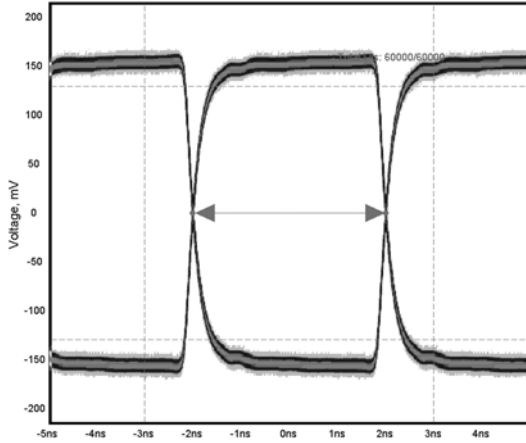


FIGURE 12. Typical Interface Circuit

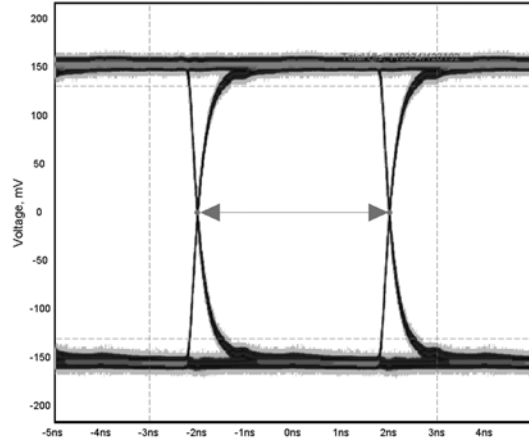
代表的な性能特性

以下に示すアイパターンは、各図の下に記した状態について $RS = 0$ 、 $DC_B = 0$ で設定した DS32ELX0124/DS32EL0124 の標準的特性を表しています。PRBS-15 のデータは低コストの FPGA によって生成されたものであり、LMK03000C を使ってさ

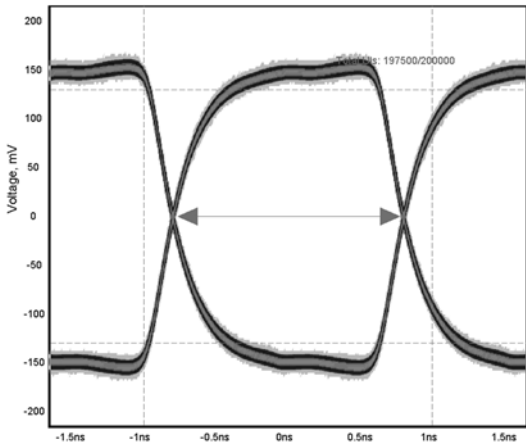
まざまなクロック周波数が生成されています。次にデータは $RS = 0$ 、 $DC_B = 0$ で設定した DS32ELX0421 へ、指定されたデータ・レートで、指定された種類と長さのケーブルを經由して伝送されます。各測定で使用されるシグナル・コンディショニング設定についても、各図の下に記載しています。



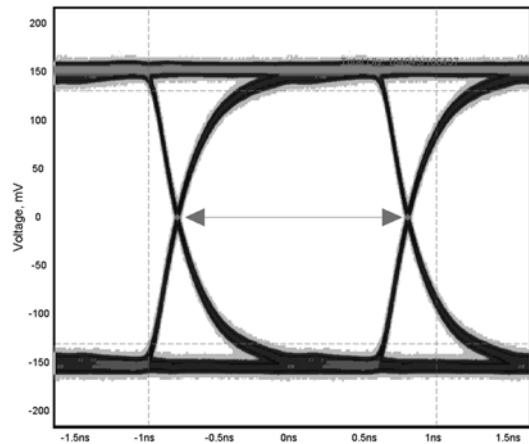
LVDS RxCLKOUT Output
(1.25 Gbps, 40m CAT-5e, 0x000 DS32ELX0124 EQ setting, 0x10 DS32EL0421 De-Emphasis setting)



LVDS RxOUT0 Output
(1.25 Gbps, 40m CAT-5e, 0x000 DS32ELX0124 EQ setting, 0x10 DS32EL0421 De-Emphasis setting)

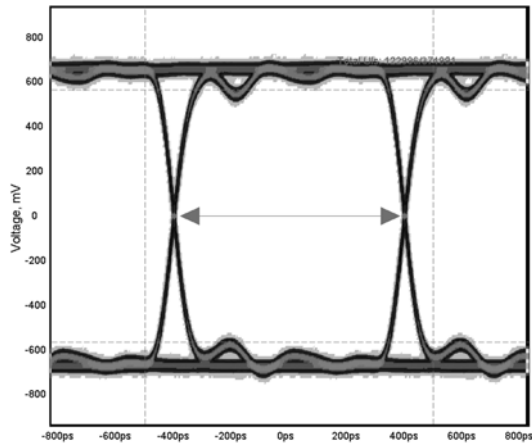


LVDS RxCLKOUT Output
(3.125 Gbps, 20m CAT-6 SCTP, 0x001 DS32ELX0124 EQ setting, 0x10 DS32EL0421 De-Emphasis setting)

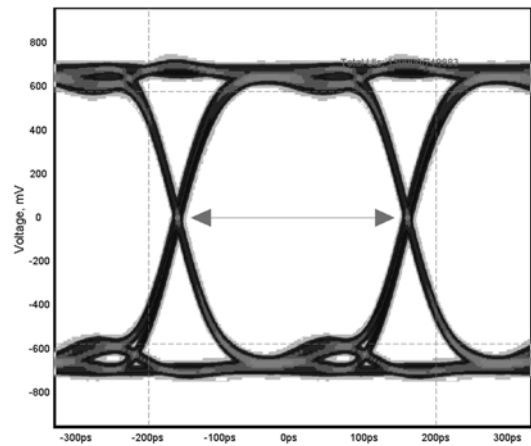


LVDS RxOUT0 Output
(3.125 Gbps, 20m CAT-6 SCTP, 0x001 DS32ELX0124 EQ setting, 0x10 DS32EL0421 De-Emphasis setting)

代表的な性能特性 (つづき)



Retimed Loop Through Output
 (1.25 Gbps, 40m CAT-5e, 0x000 DS32ELX0124 EQ setting, 0x10 DS32EL0421 De-Emphasis setting)



Retimed Loop Through Output
 (3.125 Gbps, 20m CAT-6 SCTP, 0x001 DS32ELX0124 EQ setting, 0x10 DS32EL0421 De-Emphasis setting)

レジスタ・マップ

デシリアライザのレジスタ情報を次の表に示します。レジスタの中には、省略されていたり予約済みとしてマークされているもの

があります。これらは内部テスト用なので書き込みは行わないでください。一部のレジスタ・ビットは、書き込み可能にする前にオーバーライド・ビットをセットする必要があります。

アドレス (16 進法)	名称	ビット	フィールド	R/W	デフォルト	説明
00	Device ID	7:1	SMBus Address	R/W	58'h	一部のシステムでは 8 ビットすべてをデバイス ID として使用。それによって値は 58'h から B0'h に移動します。
		0	Reserved		0	
01	Reset	7:1	Reserved		0	
		0	Software Reset	R/W	0	デバイスをリセットします。デバイス ID には影響しません。
02	GPIO0 Config	7:4	GPIO0 Mode	R/W	0	0000: GP アウト 0001: 信号検出 RxIN0 0010: BIST ステータス その他すべて: 予備
		3:2	GPIO0 R Enable	R/W	01'b	00: プルアップ / プルダウンはディスエーブル 01: プルダウンはイネーブル 10: プルアップはイネーブル 11: 予備
		1	Input Enable	R/W	0	0: 入力バッファはディスエーブル 1: 入力バッファはイネーブル
		0	Output Enable	R/W	1'b	0: 出力は TRI-STATE® 1: 出力はイネーブル
03	GPIO1 Config	7:4	GPIO1 Mode	R/W	0	0000: パワーオン・リセット 0001: GP アウト 0010: 信号検出 RxIN1 0011: CDR ロック その他すべて: 予備
		3:2	GPIO1 R Enable	R/W	01'b	00: プルアップ / プルダウンはディスエーブル 01: プルダウンはイネーブル 10: プルアップはイネーブル 11: 予備
		1	Input Enable	R/W	0	0: 入力バッファはディスエーブル 1: 入力バッファはイネーブル
		0	Output Enable	R/W	1	0: 出力は TRI-STATE® 1: 出力はイネーブル
04	GPIO2 Config	7:4	GPIO2 Mode	R/W	0	0000: GP アウト 0001: 常にクロック・アウト 0010: LVDS Tx CLK 0011: CDR CLK その他すべて: 予備
		3:2	GPIO2 R Enable	R/W	01'b	00: プルアップ / プルダウンはディスエーブル 01: プルダウンはイネーブル 10: プルアップはイネーブル 11: 予備
		1	Input Enable	R/W	0	0: 入力バッファはディスエーブル 1: 入力バッファはイネーブル
		0	Output Enable	R/W	1'b	0: 出力は TRI-STATE® 1: 出力はイネーブル
05	GP In	7:3	Reserved			
		2	GP In 2	R	0	GPIO2 の入力値
		1	GP In 1	R	0	GPIO1 の入力値
		0	GP In 0	R	0	GPIO0 の入力値

レジスタ・マップ (つづき)

アドレス (16進法)	名称	ビット	フィールド	R/W	デフォルト	説明
06	GP Out	7:3	Reserved		0	
		2	GP Out 2	R/W	0	GPIO2 の出力値
		1	GP Out 1	R/W	0	GPIO1 の出力値
		0	GP Out 0	R/W	0	GPIO0 の出力値
07 ~ 1F は予備						
20	Device Config 0	7	LVDS Always On Clock	R/W	0	1: ディスエーブル 0: ロックされていないときは常に出力クロックに切り替え
		6:3	Reserved		0	
		2	Reverse Data Order	R/W	0	0: 正常 1: 出力データ順反転
		1	Reset Channel	R/W	0	入力高速チャネルのリセット
		0	Digital Power Down	R/W	0	パラレル、シリアル - パラレル、常に出力クロックをパワーダウン
21	Device Config 1	7	Reserved		0	
		6	NRZI Decode Enable	R/W	0	入力データの NRZI デコーディングをイネーブル。オーバーライド・ビットが必要。
		5	Descramble Enable	R/W	0	デスクランブラをイネーブル。オーバーライド・ビットが必要。
		4	Rx Mux	R/W	0	RX_MUX_SEL 制御レジスタ。オーバーライド・ビットが必要。
		3	Decode Bypass	R/W	0	DC バランス・デコーダをバイパス。オーバーライド・ビットが必要。
		2	Training Sequence Enable	R/W	0	トレーニング・シーケンスをイネーブル。オーバーライド・ビットが必要。
		1:0	Device Configuration	R/W	0	MSB: リモート・センス・イネーブル、アクティブ Low LSB: DC バランス・エンコーダ・イネーブル、アクティブ Low オーバーライド・ビットが必要
22	Device Config Override	7	Reserved		0	
		6	NRZ Override	R/W	0	レジスタ 21'h のビット 6 をアンロック
		5	Descramble Override	R/W	0	レジスタ 21'h のビット 5 をアンロック
		4	Rx Mux Override	R/W	0	レジスタ 21'h のビット 4 をアンロック
		3	Reserved		0	
		2	Decode Bypass Override	R/W	0	レジスタ 21'h のビット 3 をアンロック
		1	Traning Override	R/W	0	レジスタ 21'h のビット 2 をアンロック
		0	Device Config Override	R/W	0	レジスタ 21'h のビット 1 とビット 0 をアンロック
23 ~ 26 は予備						

レジスタ・マップ (つづき)

アドレス (16進法)	名称	ビット	フィールド	R/W	デフォルト	説明
27	LVDS Per Channel Enable	7	LVDS V _{OD} High	R/W	0	0: LVDS V _{OD} 通常動作。電気的特性の表で使用されている設定 1: V _{OD} を増加。より長いトレースを駆動できますが、消費電力は増えます。
		6	LVDS Control	R/W	0	1: SMBus が LVDS Per Channel Enable を制御可能
		5	RxCLKOUT Enable	R/W	0	RxCLKOUT 出力ドライバをイネーブルにします。
		4	RxOUT4 Enable	R/W	0	RxOUT4 出力ドライバをイネーブルにします。
		3	RxOUT3 Enable	R/W	0	RxOUT3 出力ドライバをイネーブルにします。
		2	RxOUT2 Enable	R/W	0	RxOUT2 出力ドライバをイネーブルにします。
		1	RxOUT1 Enable	R/W	0	RxOUT1 出力ドライバをイネーブルにします。
		0	RxOUT0 Enable	R/W	0	RxOUT0 出力ドライバをイネーブルにします。
28	LVDS Config	7	Reserved		0	
		6	LVDS Reset	R/W	0	LVDS ブロックをリセットします。
		5	LVDS Clock Rate	R/W	1	0: RxCLKOUT は DDR/2 1: RxCLKOUT は DDR
		4	LVDS Clock Invert	R/W	0	RxCLKOUT 信号の極性を反転します。
		3:2	LVDS Clock Delay	R/W	10'b	00: 160ps 11: - 80ps 80ps 単位
		1:0	Reserved		0	
29 ~ 2A は予備						
2B	Event Config	7:4	Reserved		0	
		3	Event Count Select	R/W	0	0: CDR イベント・カウンタの読み出しを選択します。イベントには信号検出の消失や CDR ロックの消失が含まれます。 1: データ・イベント・カウンタの読み出しを選択します。
		2	Reset CDR Error Count	R/W	0	CDR イベント・カウントをリセットします。
		1	Reset Link Error Count	R/W	0	データ・イベント・カウントをリセットします。
		0	Enable Count	R/W	0	イベント・カウンタをイネーブルにします。
2C	Reserved					
2D	Error Monitor	7:5	Reserved		0	
		4	Accumulate Error Enable	R/W	0	1: エラー・カウンタの累積をイネーブルにします。
		3	8b/10b Error disable	R/W	0	1: 8b/10b デコード・エラーが LOCK ピンでカウントされたりフラグを立てられたりするのをディスエーブルにします。
		2	Clear Event Counter	R/W	0	1: 現在および以前のエラー・カウント状態のエラーをクリアします。
		1	Select Error Count	R/W	0	0: 現在のエラー数 1: 選択されたタイミング・ウィンドウ内のエラー数
		0	Normal Error Disable	R/W	0	1: エラー数がエラー・スレッシュホールドを超えたときに、NORMAL 状態から外れることをディスエーブルにします。
2E	Error Threshold LSBs	7:0	Error Threshold	R/W	10'h	この値を超えると、デバイスがデータの送信を停止するエラー・スレッシュホールド値です - LSB
2F	Error Threshold MSBs	7:0	Error Threshold	R/W	0	この値を超えると、デバイスがデータの送信を停止するエラー・スレッシュホールド値です - MSB

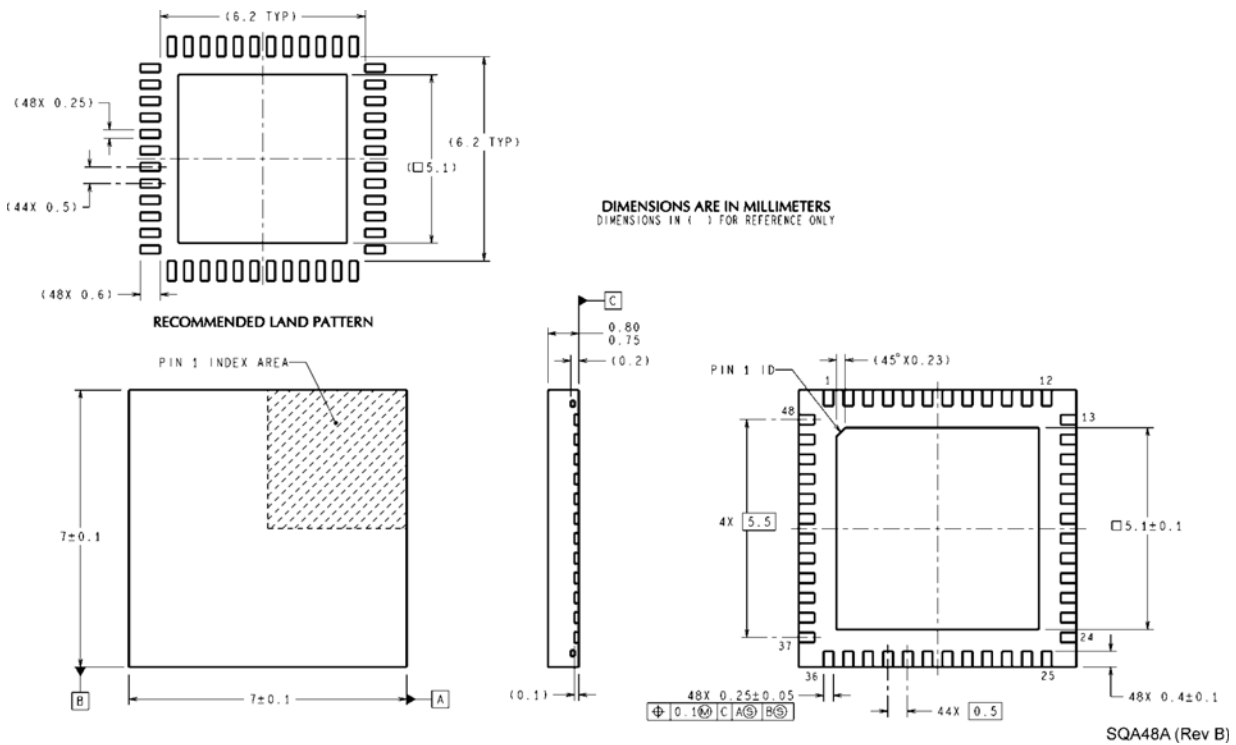
レジスタ・マップ (つづき)

アドレス (16進法)	名称	ビット	フィールド	R/W	デフォルト	説明
30 ~ 3A は予備						
3B	Data Rate	7	Reserved		0	
		6:4	Frequency Range	R	111'b	001: 予備 010: 1 ~ 1.3Gbps 011: 1.2 ~ 1.8Gbps 100: 1.5 ~ 2.1Gbps 101: 1.9 ~ 2.7Gbps 110: 2.4 ~ 3.2Gbps 111: ロックせず
		3:2	BIST Status	R	0	00: BIST 合格 01: BIST は PREAMBLE のキャプチャに失敗 10: BIST パターン・モード失敗 11: BIST データ・シーケンス失敗
		1	BIST Done	R	0	BIST パターン完了。レポートを使わない場合に設定します。
		0	BIST Align Done	R	0	入力データの調整完了
3C	Reserved					
3D	Event Status	7:0	Event Count	R	0	リンク消失が生じるエラーのカウンタ
3E	Error Status LSBs	7:0	Data Error Count	R	0	データ内のエラー数 - LSB
3F	Errors Status MSBs	7:0	Data Error Count	R	0	データ内のエラー数 - MSB
40 ~ 49 は予備						
49	Loop Through Driver Config	7:5	Reserved		0	
		4	Termination Select	R/W	1	0: 75Ω 1: 50Ω
		3:1	Output Amplitude Adjust	R/W	011'b	000: レベル 7 001: レベル 8 (最大出力) 010: レベル 5 011: レベル 6 (通常出力) 100: レベル 4 101: レベル 3 110: レベル 2 111: レベル 1 (最小出力)
		0	Reserved		0	
60	EQ Attenuator	7:4	Reserved		0	
		3	Attenuator 0 Override	R/W	0	EQ 0 の減衰制御をオーバーライド
		2	Attenuator 1 Override	R/W	0	EQ 1 の減衰制御をオーバーライド
		1	Attenuator 0 Enable	R/W	0	1: EQ 0 のアッテネータをイネーブルにします。ビット 3 の設定が必要。
		0	Attenuator 1 Enable	R/W	0	EQ 1 のアッテネータをイネーブルにします。ビット 2 の設定が必要。

レジスタ・マップ (つづき)

アドレス (16進法)	名称	ビット	フィールド	R/W	デフォルト	説明
61	EQ Boost Control	7:5	EQ 0 Boost Control		0	RxIN0 の EQ レベルを設定します。オーバーライド・ビットが必要。 000: オフ x10: 低 (または 110) x01: 中 (または 101) x11: 高 (または 111)
		4:2	EQ 1 Boost Control		0	RxIN1 の EQ レベルを設定します。オーバーライド・ビットが必要。 000: オフ x10: 低 (または 110) x01: 中 (または 101) x11: 高 (または 111)
		1:0	Reserved		0	
62	Reserved					
63	EQ Override Control	7	Reserved		1	
		6	Reserved		1	
		5	EQ 0 Enable	R/W	1	1: RxIN0 の EQ をイネーブルにします。
		4	EQ 1 Enable	R/W	0	1: RxIN1 の EQ をイネーブルにします。
		3:0	Reserved		0	
64 ~ 66 は予備						
67	LT De-Emphasis Control	7	Reserved		0	
		6:5	De-Emphasis Setting		0	00: オフ 01: 低 10: 中 11: 最大
		4:0	Reserved		0	

外形寸法図 特記のない限り inches (millimeters)



NS Package Number SQA48A
(See AN-1187 for PCB Design and Assembly Recommendations)

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2011 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上