

INA132 低消費電力、単一電源差動アンプ

1 特長

- 幅広い電源電圧範囲:
 - シングル電源: 2.7V~36V
 - デュアル電源: $\pm 1.35V \sim \pm 18V$
- DC 精度性能:
 - 低ゲイン誤差: $\pm 0.075\%$ (最大値)
 - 低い非線形性: 0.001% (最大値)
 - 大きい同相除去: 90dB (標準値)
- 低い静止電流: 175 μ A

2 アプリケーション

- 光モジュール
- ビルのセキュリティ ゲートウェイ
- AC アナログ入力モジュール
- 質量分光器
- CPU (PLC コントローラ)
- 実験室およびフィールド向け計測機器

3 概要

INA132 は、高精度オペアンプと高精度抵抗ネットワークで構成された、低消費電力でユニティ ゲインの差動アンプです。レーザ トリミングされたオンチップの抵抗により、高いゲイン精度と高い同相除去比を実現します。これらの抵抗は温度係数 (TCR) が小さいため、温度が変化してもゲイン精度と同相モード除去が維持されます。内部オペアンプの同相範囲は負電源まで拡張されているため、単一電源アプリケーションに最適です。このデバイスは、単一 (2.7V~36V) またはデュアル ($\pm 1.35V \sim \pm 18V$) の電源で動作します。

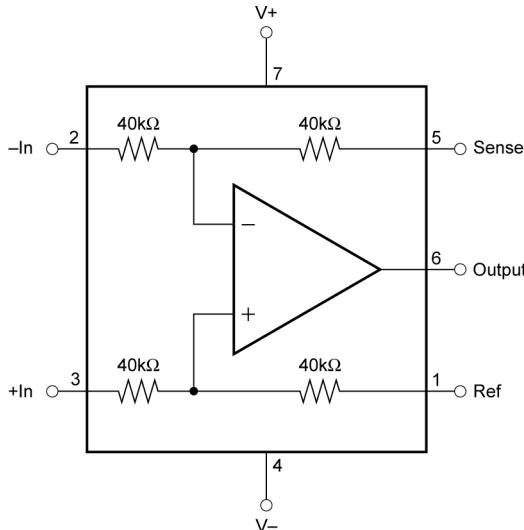
差動アンプは、多くの一般的な回路の基礎となるものです。INA132 は、高価な高精度抵抗ネットワークを使用せずに、この回路機能を提供します。INA132 は、SO-8 表面実装パッケージで供給され、工業用温度範囲の $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
INA132	D (SOIC、8)	4.9mm × 6mm

(1) 詳細については、[セクション 9](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6 アプリケーションと実装	10
2 アプリケーション	1	6.1 アプリケーション情報	10
3 概要	1	6.2 代表的なアプリケーション	12
4 ピン構成および機能	2	7 デバイスおよびドキュメントのサポート	15
5 仕様	3	7.1 デバイスの命名規則	15
5.1 絶対最大定格	3	7.2 ドキュメントの更新通知を受け取る方法	15
5.2 ESD 定格	3	7.3 サポート・リソース	15
5.3 推奨動作条件	3	7.4 商標	15
5.4 熱に関する情報	3	7.5 静電気放電に関する注意事項	15
5.5 電気的特性 15V	4	7.6 用語集	15
5.6 電気的特性 5V	5	8 改訂履歴	15
5.7 代表的特性	6	9 メカニカル、パッケージ、および注文情報	16

4 ピン構成および機能

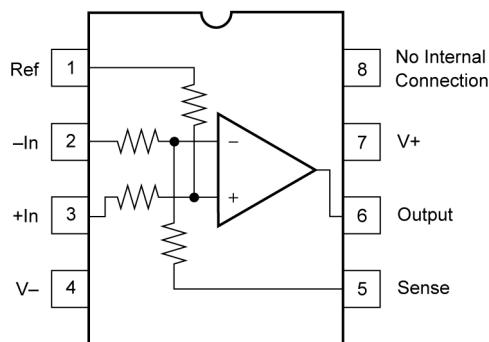


図 4-1. D パッケージ、8 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
-In	2	入力	負(反転)入力
+In	3	入力	正(非反転)入力
内部接続なし	8	—	内部接続なし未接続のままにします。
出力	6	出力	出力
リファレンス(基準電圧)入力	1	—	リファレンス入力。このピンを低インピーダンスソースで駆動する。ピン1とピン3を交換するとCMRは劣化します。
センス	5	—	センス入力。このピンを低インピーダンスソースで駆動する。ピン2とピン5を交換するとCMRは劣化します。
V-	4	入力	負電源
V+	7	入力	正電源

5 仕様

注

TI では、このデバイスの複数の製造フローを認定済みです。性能の違いは、チップの原産拠点 (CSO) によってラベル付けされています。システムの堅牢性を確保するために、すべてのフローを考慮した設計を強く推奨します。詳細情報については、[セクション 7.1](#) をご覧ください。

5.1 絶対最大定格

自由気流での動作温度範囲超 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
V _S	電源電圧	デュアル電源、V _S = (V ₊) - (V ₋)		±18	V
		シングル電源、V _S = (V ₊) - 0V		36	
	入力電圧範囲			±80	V
	出力短絡 (V _S / 2)		連続		
T _A	動作温度		-55	125	°C
T _J	接合部温度			150	°C
T _{stg}	保存温度		-55	125	°C
	リード温度 (半田付け、10 秒)			300	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±750	V
		デバイス帶電モード (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V _S	電源電圧	単電源	2.7	36	V
		両電源	±1.35	±18	
T _A	規定温度		-40	85	°C

5.4 熱に関する情報

	熱評価基準 ⁽¹⁾	INA132	単位
θ _{JA}	接合部から周囲への熱抵抗	D (SOIC)	
		8 ピン	
θ _{JA}	接合部から周囲への熱抵抗	150	°C/W

(1) 従来および最新の熱評価基準の詳細については、[『半導体および IC パッケージの熱評価基準』](#)アプリケーション ノートを参照してください。

5.5 電気的特性 15V

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S/2$ 、 $G = 1$ のとき、すべてのチップ原産拠点 (CSO)、特に記述のない限り。

パラメータ		テスト条件		最小値	標準値	最大値	単位		
入力									
V_{OS}	オフセット電圧 ⁽¹⁾	RTO	INA132	± 75	± 250	μV			
			INA132A	± 75	± 500				
	オフセット電圧ドリフト ⁽¹⁾	RTO, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	INA132	± 1	± 5	$\mu\text{V}/^\circ\text{C}$			
			INA132A	± 1	$\pm 10^{(4)}$				
長期安定性 ⁽¹⁾						± 0.3	$\mu\text{V}/\text{mo}$		
PSRR	電源除去比 ⁽¹⁾	RTO, $V_S = \pm 1.35\text{V} \sim \pm 18\text{V}$		± 5	± 30	$\mu\text{V}/\text{V}$			
V_{CM}	同相電圧	$V_O = 0\text{V}$		$(V-)$		$2(V+) - 2$	V		
CMRR	同相除去	$V_{\text{CM}} = -15\text{V} \sim +28\text{V}$, $R_S = 0\Omega$	INA132	76	90	dB			
			INA132A	70	90	dB			
差動入力インピーダンス ⁽²⁾						80	$\text{k}\Omega$		
同相モード入力インピーダンス ⁽²⁾						80	$\text{k}\Omega$		
ノイズ									
e_N	電圧ノイズ ⁽³⁾	RTO, $f_B = 0.1\text{Hz} \sim 10\text{Hz}$		1.6		μV_{PP}			
		RTO, $f = 1\text{kHz}$		75		$\text{nV}/\sqrt{\text{Hz}}$			
ゲイン									
	ゲイン					1	V/V		
GE	ゲイン誤差	$V_O = -14\text{V} \sim +13.5\text{V}$	INA132	± 0.01	± 0.075	$\%$			
			INA132A	± 0.01	± 0.1				
ゲイン誤差ドリフト ⁽⁴⁾		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$				± 1	$\text{ppm}/^\circ\text{C}$		
	ゲインの非直線性	$V_O = -14\text{V} \sim +13.5\text{V}$	INA132	± 0.0001	± 0.001	FSR の %			
			INA132A	± 0.0001	± 0.002				
出力									
	正の出力電圧スイング	$R_L = 100\text{k}\Omega$		$(V+) - 1$	$(V+) - 0.8$	V			
		$R_L = 10\text{k}\Omega$		$(V+) - 1.5$	$(V+) - 0.8$				
	負の出力電圧スイング	$R_L = 100\text{k}\Omega$		$(V-) + 0.5$	$(V-) + 0.15$	V			
		$R_L = 10\text{k}\Omega$		$(V-) + 1$	$(V-) + 0.25$				
C_L	負荷容量	安定動作				10000	pF		
I_{SC}	短絡電流	$V_S/2$ まで連続	CSO: SHE	$+6/-15$		mA			
			CSO: TID	$+26/-22$					
周波数応答									
BW	小信号帯域幅、-3dB					300	kHz		
SR	スルーレート	CSO: SHE		0.1		$\text{V}/\mu\text{s}$			
		CSO: TID		0.25					
t _s	セトリング タイム	$V_O = 10\text{V}$ ステップ	0.1%	85		μs			
			0.01%	88					
	過負荷回復時間	50% 入力オーバードライブ	CSO: TID	2.35		μs			
			CSO: SHE	7					
電源									
I_Q	静止時電流	$V_{\text{IN}} = 0\text{V}$		± 175	± 230	μA			

- (1) アンプの入力バイアスとオフセット電流の影響を含みます。
- (2) $40\text{k}\Omega$ の抵抗は、抵抗値比率が調整されていますが、絶対値で $\pm 20\%$ の誤差があります。
- (3) アンプの入力電流ノイズの影響と、抵抗ネットワークの熱ノイズの影響を含みます。
- (4) ウェハー テストにより 95% の信頼性レベルの仕様になっています。

5.6 電気的特性 5V

$T_A = 25^\circ\text{C}$ 、 $V_S = +5\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{\text{REF}} = V_S/2$ 、 $V_{\text{CM}} = V_S/2$ 、 $G = 1$ のとき、すべてのチップ原産拠点 (CSO)、特に記述のない限り。

パラメータ		テスト条件		最小値	標準値	最大値	単位
入力							
V_{OS}	オフセット電圧 ⁽¹⁾	RTO	INA132	± 150	± 500	μV	
			INA132A	± 150	± 750		
	オフセット電圧ドリフト ⁽¹⁾	RTO、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		± 2			$\mu\text{V}/^\circ\text{C}$
V_{CM}	同相電圧	$V_O = 0\text{V}$		(V_-)	$2(V_+) - 2$	V	
CMRR	同相除去	$V_{\text{CM}} = 0\text{V} \sim 8\text{V}$ 、 $R_S = 0\Omega$	INA132	76	90	dB	
			INA132A	70	90		
出力							
	正の出力電圧スイング	$R_L = 100\text{k}\Omega$		$(V_+) - 1$	$(V_+) - 0.75$	V	
		$R_L = 10\text{k}\Omega$		$(V_+) - 1$	$(V_+) - 0.8$		
	負の出力電圧スイング	$R_L = 100\text{k}\Omega$		$(V_-) + 0.25$	$(V_-) + 0.06$	V	
		$R_L = 10\text{k}\Omega$		$(V_-) + 0.25$	$(V_-) + 0.12$		
電源							
I_Q	静止時電流	$V_{\text{IN}} = 0\text{V}$		± 175	± 230	μA	

(1) アンプの入力バイアスとオフセット電流の影響を含みます。

5.7 代表的特性

$T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ のとき、すべてのチップ原産拠点 (CSO)、特に記述のない限り。

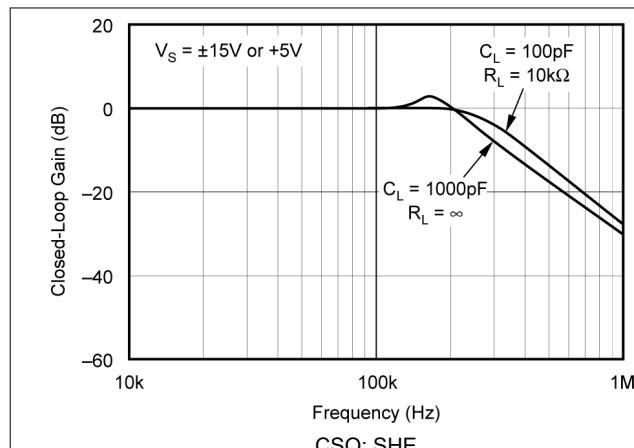


図 5-1. ゲインと周波数との関係

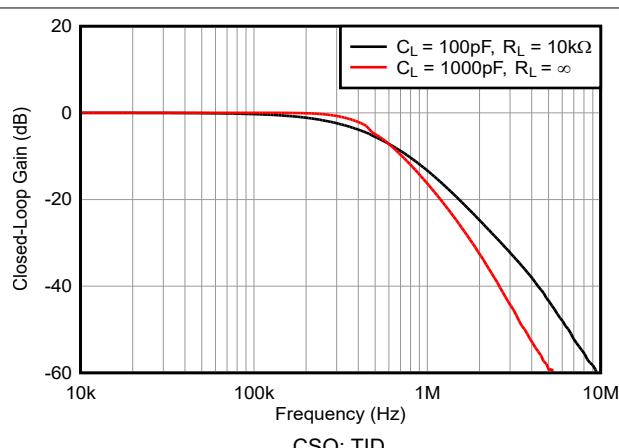


図 5-2. ゲインと周波数との関係

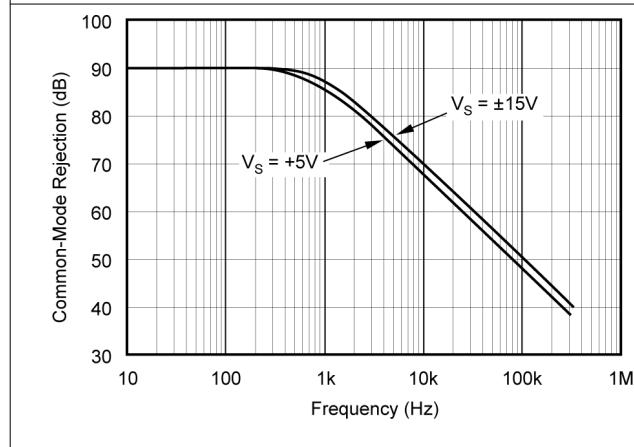


図 5-3. 同相除去比と周波数との関係

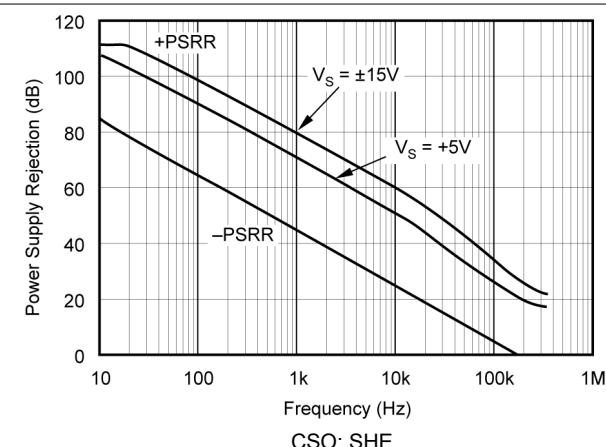


図 5-4. 電源除去特性と周波数の関係

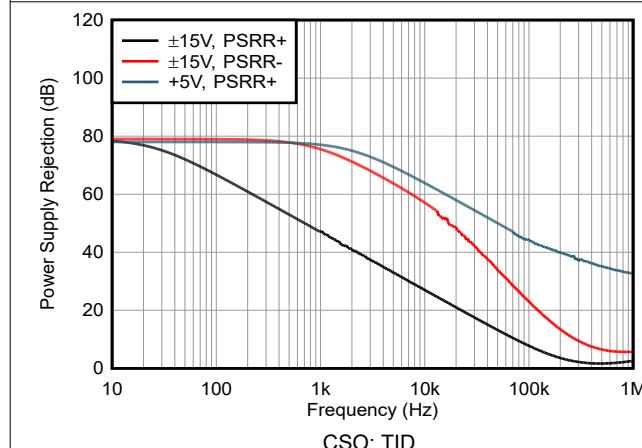


図 5-5. 電源除去特性と周波数の関係

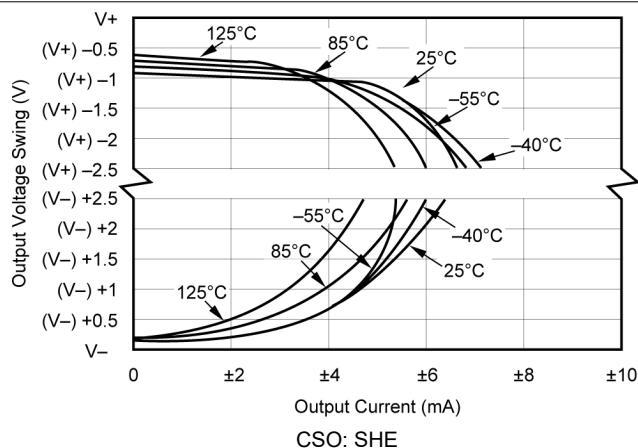


図 5-6. 出力電圧スイングと出力電流との関係

5.7 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ のとき、すべてのチップ原産拠点 (CSO)、特に記述のない限り。

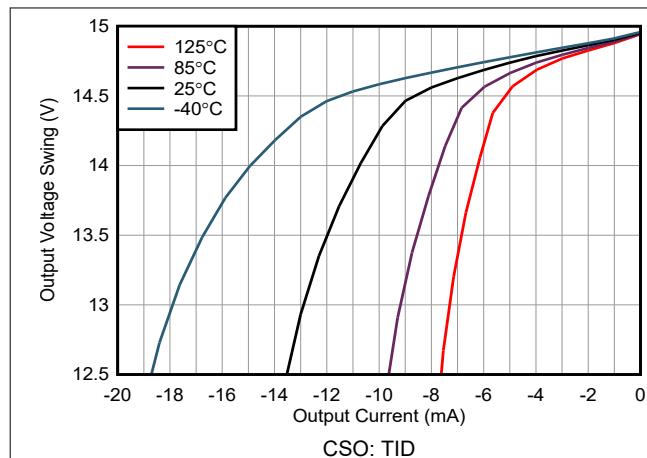


図 5-7. 出力電圧スイングと出力電流との関係

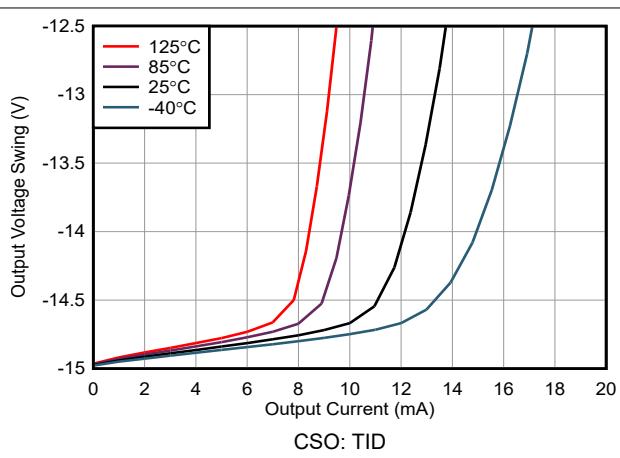
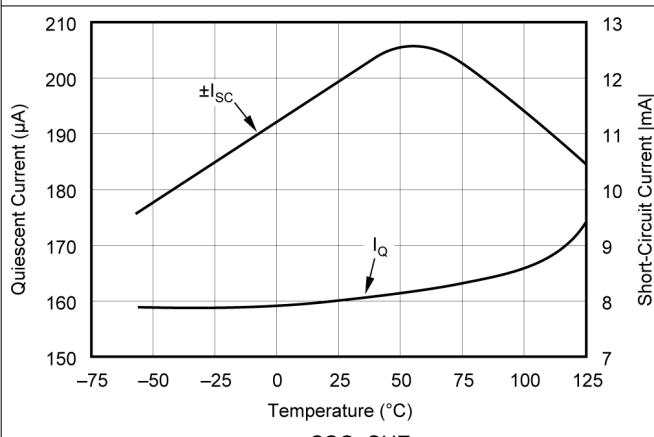
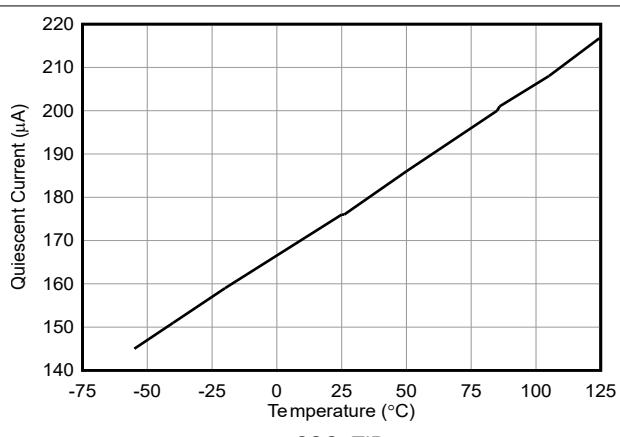


図 5-8. 出力電圧スイングと出力電流との関係



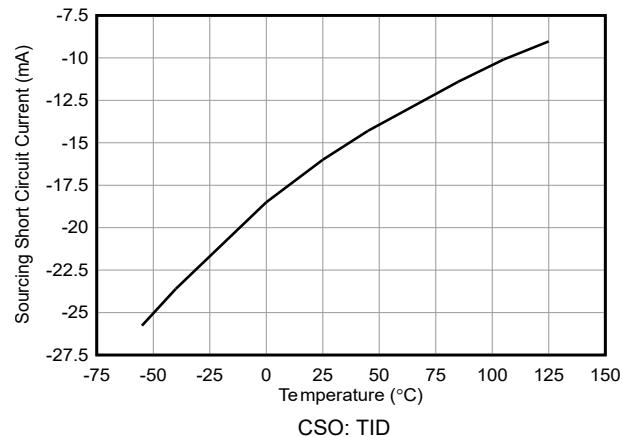
CSO: SHE

図 5-9. 静止電流および短絡電流と温度との関係



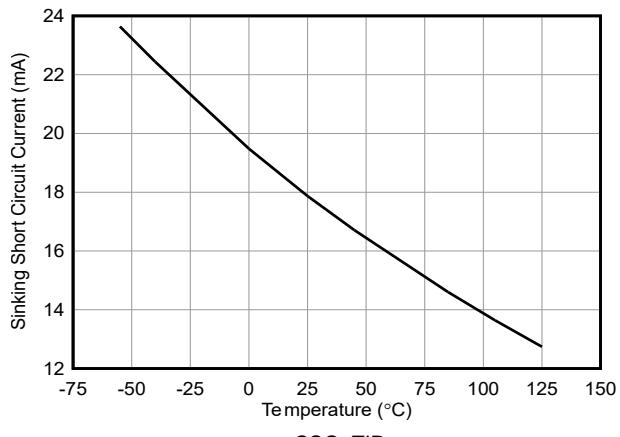
CSO: TID

図 5-10. 静止電流と温度との関係



CSO: TID

図 5-11. 短絡電流と温度との関係



CSO: TID

図 5-12. 短絡電流と温度との関係

5.7 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ のとき、すべてのチップ原産拠点 (CSO)、特に記述のない限り。

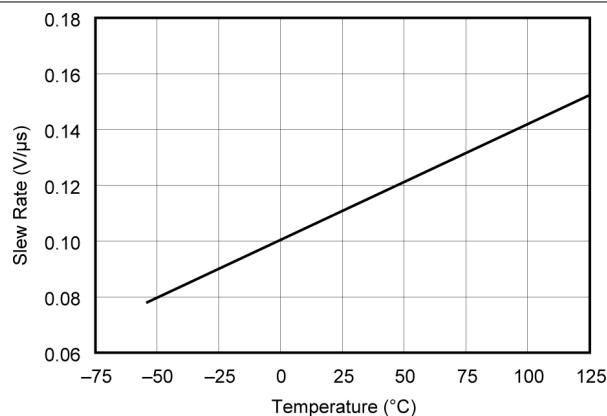


図 5-13. スルーレートと温度との関係

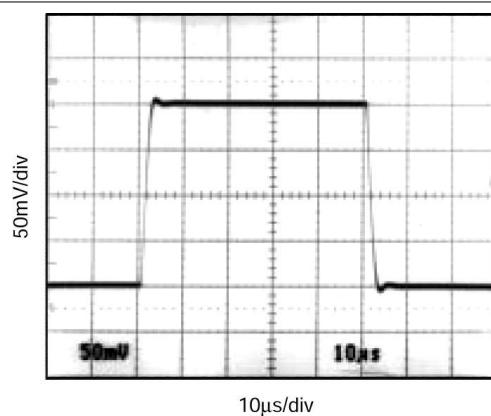
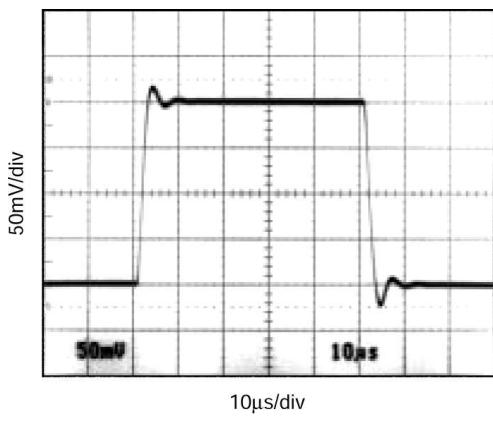
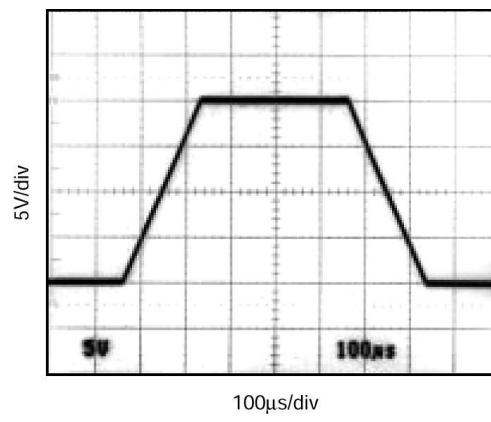


図 5-14. 小信号ステップ応答



$C_L = 1000\text{pF}$

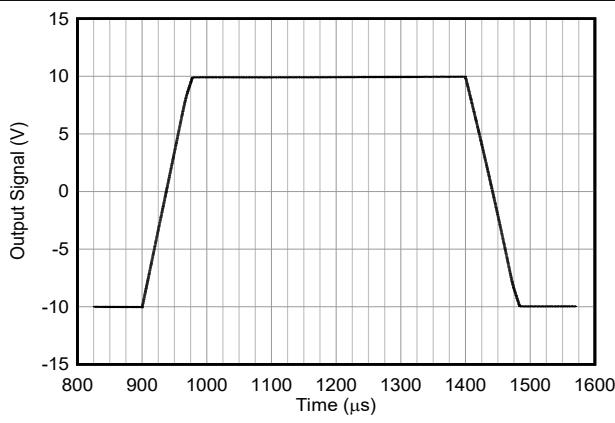
図 5-15. 小信号ステップ応答



100μs/div

CSO: SHE

図 5-16. 大信号ステップ応答



CSO: TID

図 5-17. 大信号ステップ応答

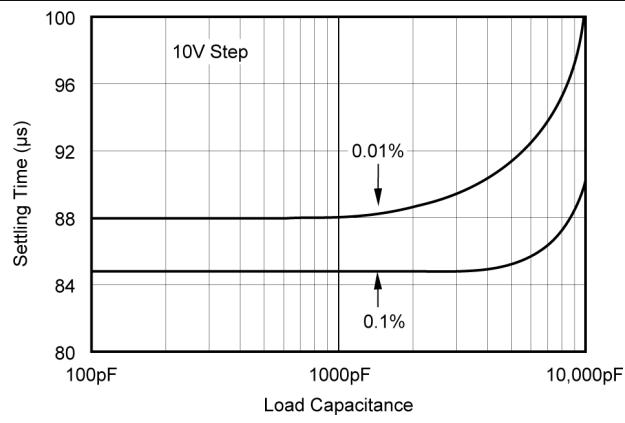


図 5-18. セトリングタイムと負荷容量との関係

5.7 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ のとき、すべてのチップ原産拠点 (CSO)、特に記述のない限り。

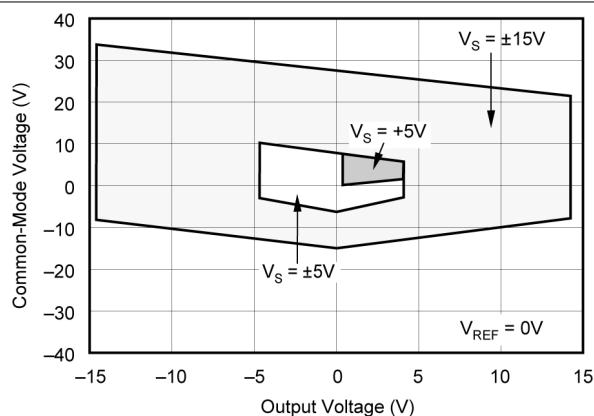


図 5-19. 入力同相モード電圧と出力電圧との関係

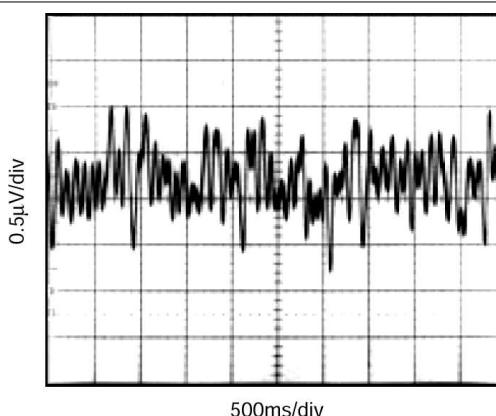


図 5-20. 0.1Hz ~ 10Hz のピークツーピーク電圧ノイズ

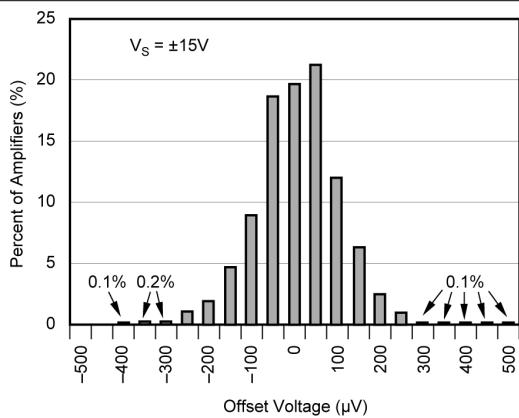


図 5-21. オフセット電圧の生産分布

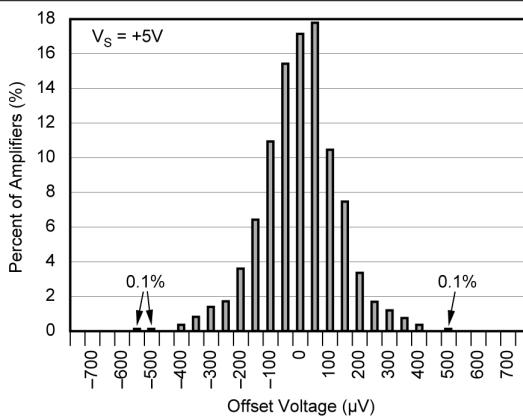


図 5-22. オフセット電圧の生産分布

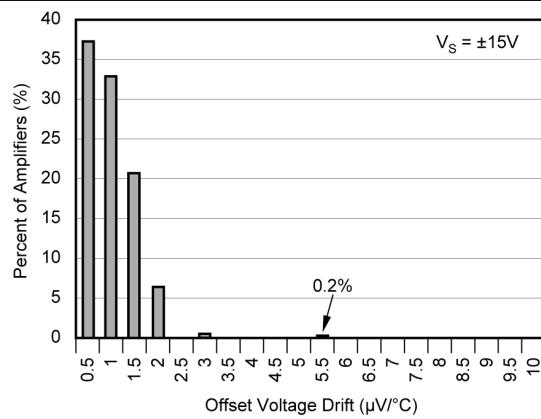


図 5-23. オフセット電圧ドリフトの製造分布

6 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 アプリケーション情報

図 6-1 は、INA132 の動作に必要な基本的な接続を示しています。デバイス ピンの近くに電源バイパス コンデンサを接続します。

差動入力信号は、図に示すようにピン 2 と 3 に接続されています。良好な同相信号除去を維持するため、入力に接続される各ソース インピーダンスがほぼ等しくなっていることを確認してください。ソース インピーダンス内に 8Ω の不整合があると、標準的なデバイスの同相信号除去が約 80dB まで低下します。ゲイン精度も多少影響を受けます。ソースに既知のインピーダンスマッチがある場合は、1 つの入力に抵抗を直列に追加して、良好な同相除去を維持してください。

公称抵抗値が同じであっても、ピン 1 とピン 3、またはピン 2 とピン 5 を入れ替えないでください。これらの抵抗は、正確なゲインと最高の同相信号除去比(CMR)を実現するために、レーザー トリムによって精密な抵抗比が確保されています。これらのピンを交換しても、規定性能は得られません。図 6-1 に示すように、負荷での測定値を検出します。

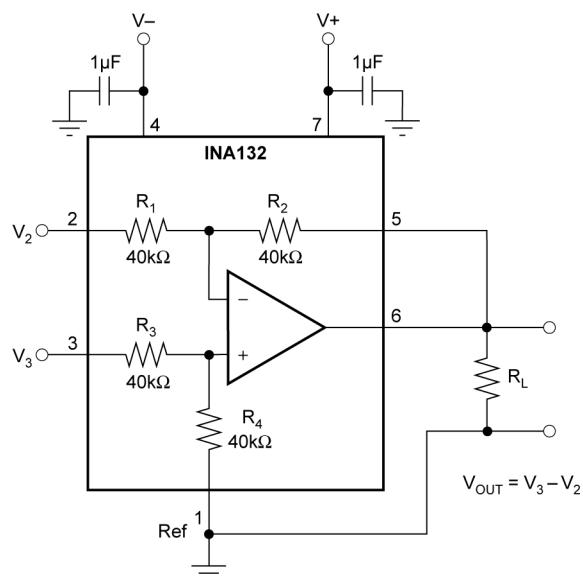


図 6-1. 基本的な電源と信号の接続

6.1.1 動作電圧

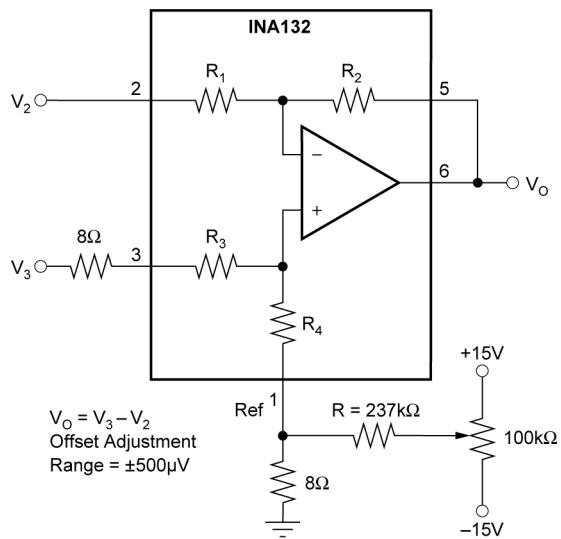
INA132 は、優れた性能で、単一 ($2.7\text{V} \sim 36\text{V}$) またはデュアル ($\pm 1.35\text{V} \sim \pm 18\text{V}$) の電源で動作します。仕様は、 $+5\text{V}$ および $\pm 15\text{V}$ の電源で量産時にテストされています。ほとんどの特性は、動作電圧範囲内で変化しません。動作電圧によって大きく変化するパラメータは「代表的特性」セクションに示されています。

INA132 の内部オペアンプは、単一電源設計です。この設計により、オペアンプの同相電圧が $V-$ (または単一電源のグランド) と同じ状態またはわずかに低い状態でリニア動作が可能です。ピン 2 および 3 の入力電圧が負電源電圧より低い状態でもデバイスは損傷しませんが、この領域における動作は推奨されません。反転入力端子が負電源電圧を下回る過渡状態では、正帰還状態になって INA132 出力が負のレールにロックされる場合があります。

INA132 は、正電源よりも大きい差動信号を正確に測定できます。線形同相範囲は、正電源電圧のほぼ 2 倍まで拡張されます。代表的特性の曲線については、「同相範囲と出力電圧との関係」を参照してください。

6.1.2 オフセット電圧トリミング

INA132 は、低いオフセット電圧とドリフトを実現するようにレーザーでトリミングされています。大半のアプリケーションでは、外部オフセット調整は必要ありません。図 6-2 は、出力オフセット電圧をトリミングするためのオプション回路を示しています。出力は、通常接地された出力基準端子 (ピン 1) を基準にします。Ref 端子に印加された電圧は出力信号に加算され、オフセット電圧を null にするために使用できます。良好な同相信号除去を維持するため、Ref 端子に印加される信号のソースインピーダンスが 8Ω 未満であることを確認してください。Ref 端子のインピーダンスを低く維持する場合、[OPA177](#) などのオペアンプによりトリム電圧をバッファできます。



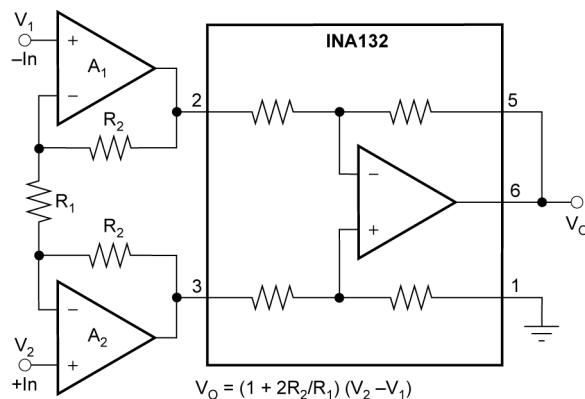
NOTE: For $\pm 750\mu V$ range, $R = 158k\Omega$.

図 6-2. オフセット調整。

6.1.3 容量性負荷駆動能力

INA132 は、低い電力供給でも、大きい容量性負荷を駆動できます。本デバイスは $10,000\text{pF}$ の負荷で安定して動作します。「小信号ステップ応答」および「セトリング タイムと負荷容量との関係」を参照してください。

6.2 代表的なアプリケーション



The INA132 can be combined with op amps to form a complete instrumentation amplifier with specialized performance characteristics. Burr-Brown offers many complete high performance IAs. Products with related performances are shown at the right.

A_1, A_2	FEATURE	SIMILAR COMPLETE BURR-BROWN IA
OPA27	Low Noise	INA103
OPA129	Ultra Low Bias Current (fA)	INA116
OPA177	Low Offset Drift, Low Noise	INA114, INA128
OPA2130	Low Power, FET-Input (pA)	INA111
OPA2234	Single Supply, Precision, Low Power	INA122 ⁽¹⁾ , INA118
OPA2237	Single Supply, Low Power, MSOP-8	INA122 ⁽¹⁾ , INA126 ⁽¹⁾

NOTE: (1) Available 1Q'97.

図 6-3. 高精度計測アンプ

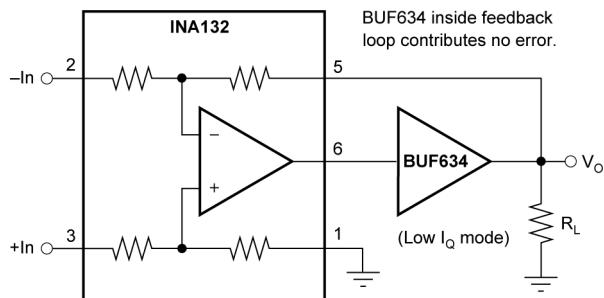


図 6-4. 低消費電力、高出力電流、高精度差動アンプ

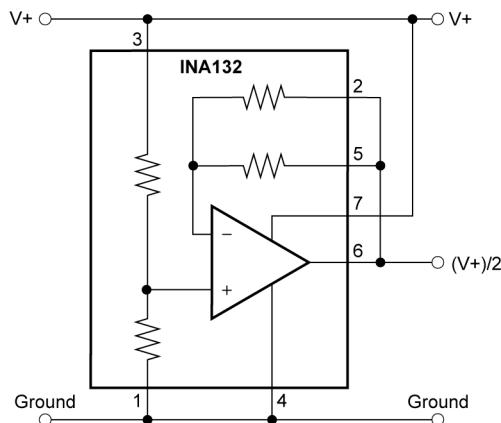


図 6-5. 疑似グランド ジェネレータ

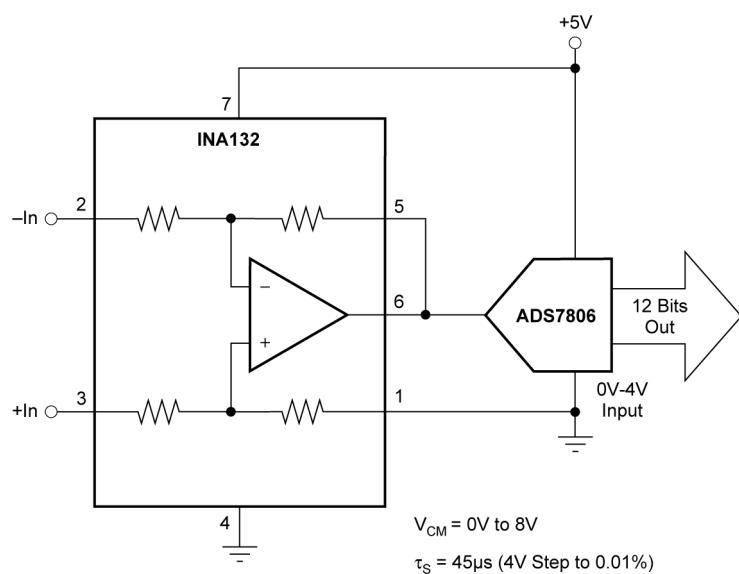


図 6-6. 差動入力データ アクイジション

Set $R_1 = R_2$

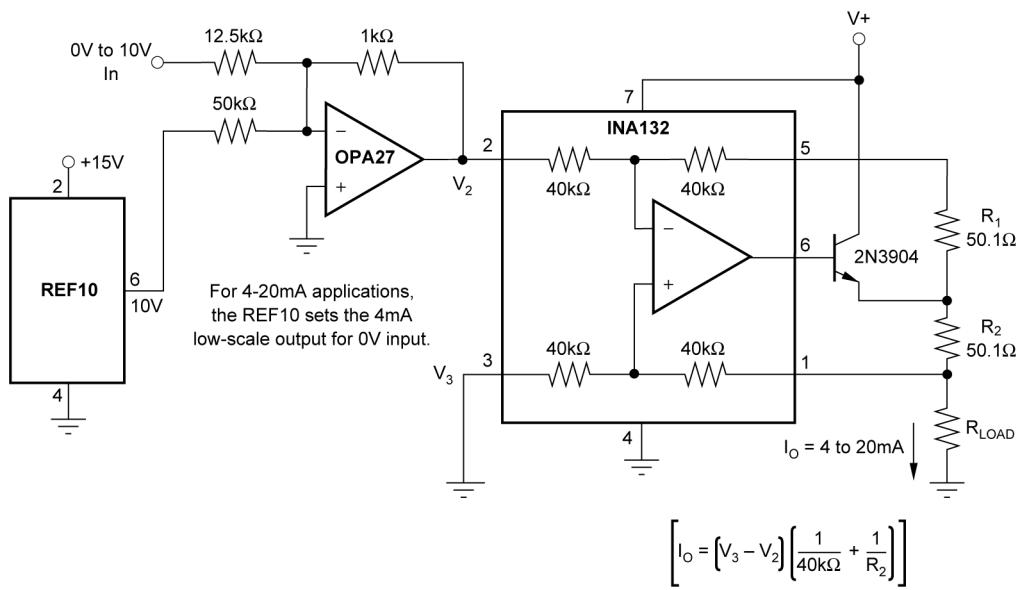


図 6-7. 高精度な電圧 - 電流変換

差動アンプは、さまざまなアプリケーションで使用可能な、汎用性の高いビルディング ブロックです。以下に示すような、その他のアプリケーションのアイディアについては、[INA105 データシート](#)を参照してください。

- レール電圧まで対応可能な電流レシーバ
- 高精度ユニティゲイン反転アンプ
- $\pm 10V$ の高精度電圧リファレンス
- $\pm 5V$ の高精度電圧リファレンス
- 高精度ユニティゲイン バッファ
- 高精度平均値アンプ
- 高精度 $G = 2$ アンプ
- 高精度サミング アンプ
- 高精度 $G = 1/2$ アンプ
- 高精度バイポーラ オフセット
- 高精度サミング アンプ (ゲインあり)
- 計測アンプ ガード駆動ジェネレータ
- 高精度加算計測アンプ
- 高精度絶対値バッファ
- 高精度電圧 - 電流コンバータ (差動入力あり)
- 小さい I_{OUT} のための差動入力電圧 - 電流コンバータ
- 電流ソースの絶縁
- 差動出力差動アンプ
- バッファ アンプにより電流ソースを絶縁し、高精度を実現
- ウインドウ スパンとウインドウ センター入力を持つウインドウ コンパレータ
- バッファ付き差動入力とゲインによる高精度電圧制御電流ソース
- ± 1 のデジタル制御ゲインアンプ

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 デバイスの命名規則

表 7-1. デバイスの命名規則

部品番号	定義
INA132U	ダイは CSO:SHE または CSO:TID.
INA132U/2K5	
INA132UA	
INA132UA/2K5	

7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.5 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (February 2024) to Revision B (January 2026)	Page
• デバイス フロー情報の説明を「仕様」に追加.....	3
• すべてのチップ原産拠点 (CSO) の条件を「電気的特性」の標準的なテスト条件に追加	4
• 「電気的特性」に短絡電流に関する各種の製造プロセス仕様を追加	4
• 電気的特性に、スルーレートに関する各種の製造プロセス仕様を追加	4
• 「電気的特性」に、過負荷復帰に関する各種の製造プロセス仕様を追加	4

• 「代表的特性」の標準的なテスト条件に「すべてのチップの原産拠点 (CSO)」の条件を追加	6
• 「代表的特性」の「ゲインと周波数との関係」、「電源除去比と周波数との関係」、「出力電圧スイングと出力電流との関係」、「静止電流および短絡電流と温度との関係」「大信号ステップ応答」曲線に「CSO:SHE」を追加	6
• 「ゲインと周波数との関係」、「電源除去比と周波数との関係」、「出力電圧スイングと出力電流との関係」、「静止電流と温度との関係」、「短絡電流と温度との関係」、「大信号ステップ応答」の曲線を CSO: TID に追加 (「代表的特性」) ..	6
• 「デバイスの命名規則」に型番のフロー情報表を追加	15

Changes from Revision * (November 1996) to Revision A (February 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「ESD 定格」、「推奨動作条件」、「熱に関する情報」、「アプリケーションと実装」、「代表的なアプリケーション」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」の各セクションを追加	1
• DIP パッケージおよび関連する内容をデータシートから削除.....	1
• 「特長」の箇条書き項目を更新.....	1
• 「アプリケーション」の項目を更新	1
• 「ピンの機能」の表を追加	2
• 「絶対最大定格」にデュアル電源の仕様を追加.....	3
• 「絶対最大定格」で、出力短絡を「グランド」から「 $V_S / 2$ 」に変更	3
• 明確化のため、テスト条件として、「電気的特性」および「代表的特性」に $V_{REF} = 0V$ 、 $V_{CM} = V_S / 2$ 、 $G = 1$ を追加 ..	4
• 明確化のため、「オフセット電圧と温度との関係」を「オフセット電圧ドリフト」に変更し、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ のテスト条件を追加.....	4
• 明確化のため、「オフセット電圧と時間との関係」を「長期安定性」に変更.....	4
• 明確化のため、「オフセット電圧と電源との関係」を「電源除去比」に変更.....	4
• 1kHz での電圧ノイズの標準値を $65\text{nV}/\sqrt{\text{Hz}}$ から $75\text{nV}/\sqrt{\text{Hz}}$ に変更.....	4
• 明確化のため、「ゲイン誤差と温度との関係」を「ゲイン誤差ドリフト」に変更し、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ のテスト条件を追加.....	4
• 「電圧 — 正」を「正出力電圧スイング」に、また「電圧 — 負」を「負出力電圧スイング」に変更.....	4
• 明確化のため、短絡電流に「 $V_S / 2$ まで連続」のテスト条件を追加.....	4
• 短絡電流の代表値を $\pm 12\text{mA}$ から $+6\text{mA}/-15\text{mA}$ に変更.....	4
• 電源電圧範囲の標準値 $\pm 15\text{V}$ を削除.....	4
• 電圧範囲、動作温度範囲、熱抵抗を「電気的特性」から「推奨動作条件」および「熱に関する情報」に移動	4
• 静止電流の標準値を $\pm 160\mu\text{A}$ から $\pm 175\mu\text{A}$ に、最大値を $\pm 185\mu\text{A}$ から $\pm 230\mu\text{A}$ に変更.....	4
• 明確化のため、テスト条件として、 $V_{REF} = V_S / 2$ 、 $V_{CM} = V_S / 2$ 、 $G = 1$ を「電気的特性: $V_S = 5\text{V}$ 」に追加	5
• 明確化のため、「オフセット電圧と温度との関係」を「オフセット電圧ドリフト」に変更し、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ のテスト条件を追加.....	5
• 負の出力電圧スイングの最小値および標準値に (V-) を追加.....	5
• 電源電圧範囲の標準値 $+5\text{V}$ を削除.....	5
• 電圧範囲を「電気的特性: $V_S = 5\text{V}$ 」から「推奨動作条件」に移動	5
• 静止電流の標準値を $\pm 155\mu\text{A}$ から $\pm 175\mu\text{A}$ に、最大値を $\pm 185\mu\text{A}$ から $\pm 230\mu\text{A}$ に変更.....	5

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA132U	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-	INA 132U
INA132U/2K5	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	Call TI Nipdau	Level-3-260C-168 HR	-	INA 132U
INA132U/2K5.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 85	INA 132U
INA132UA	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	INA 132U A
INA132UA/2K5	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 132U A
INA132UA/2K5.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 132U A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

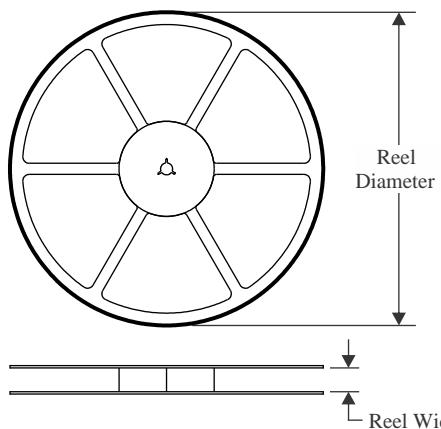
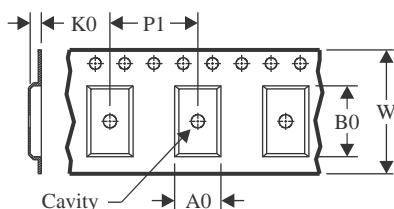
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

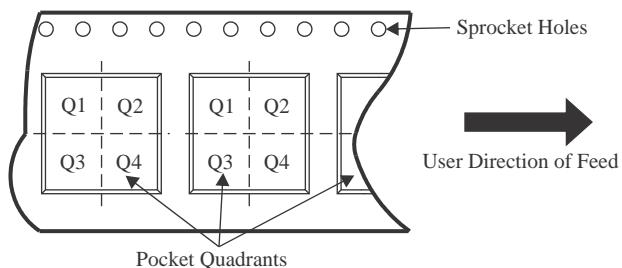
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

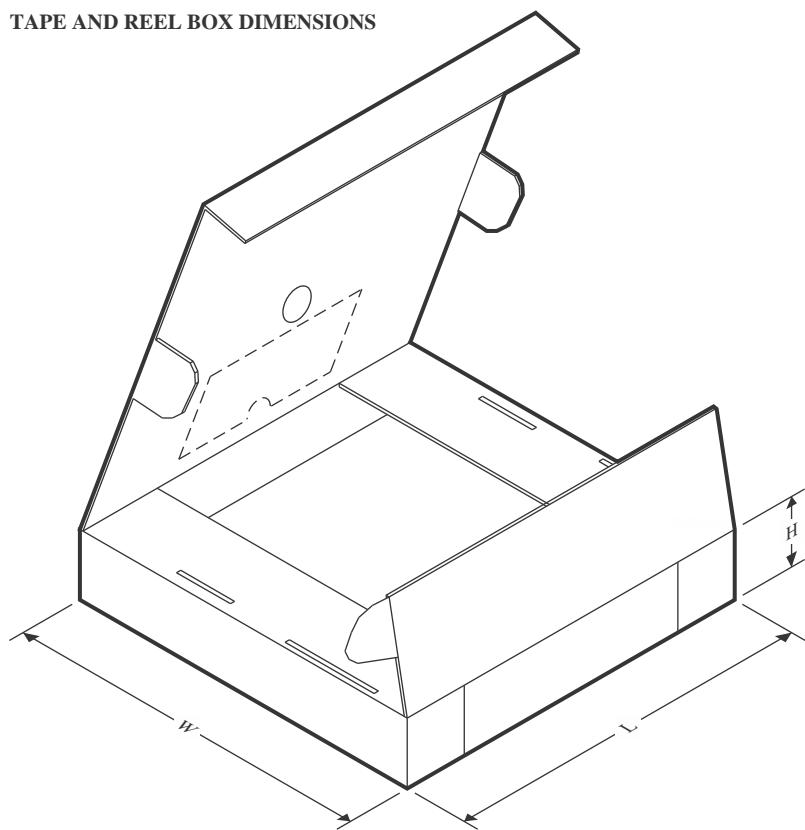
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


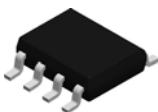
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA132U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA132UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

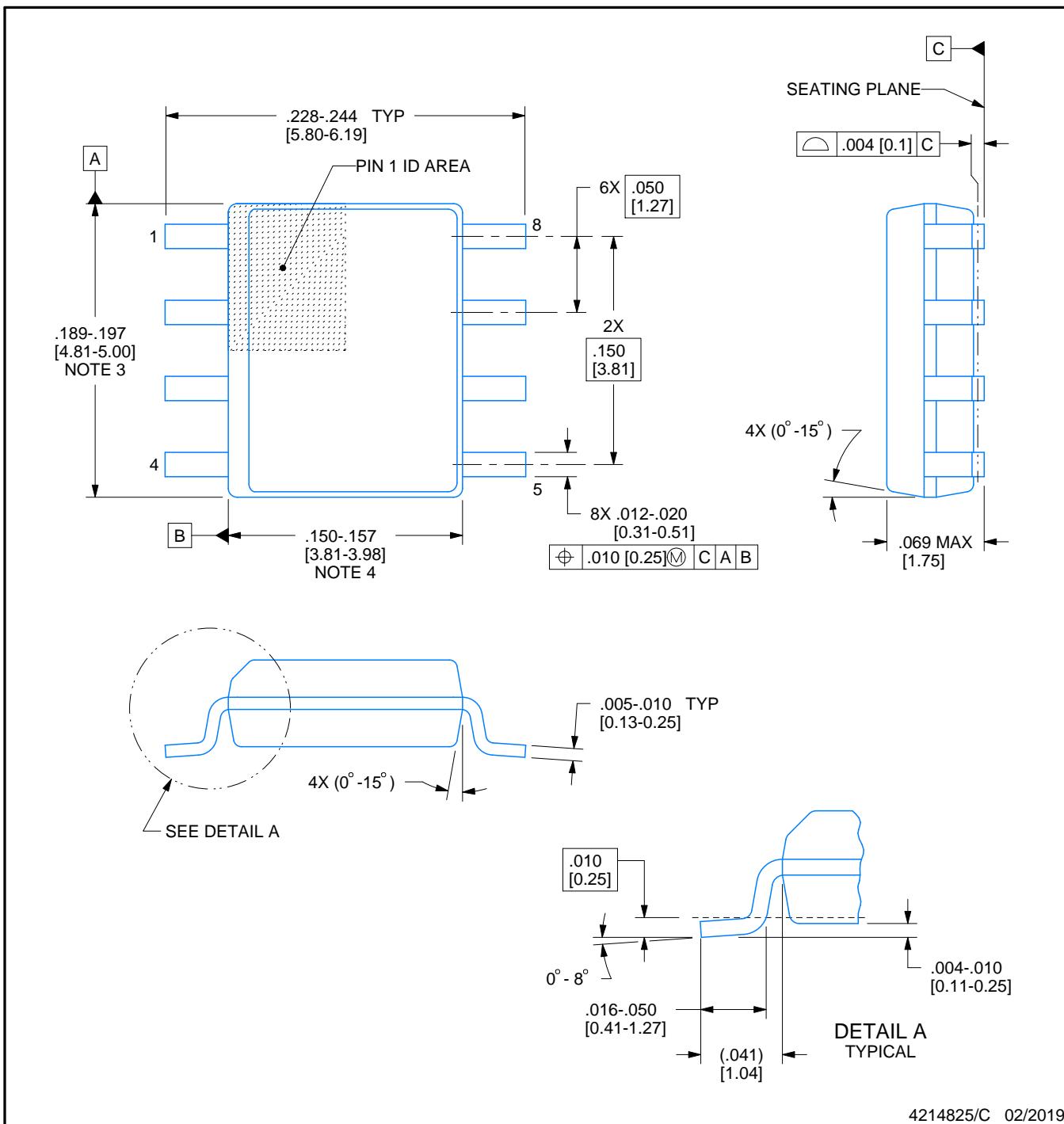
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA132U/2K5	SOIC	D	8	2500	353.0	353.0	32.0
INA132UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

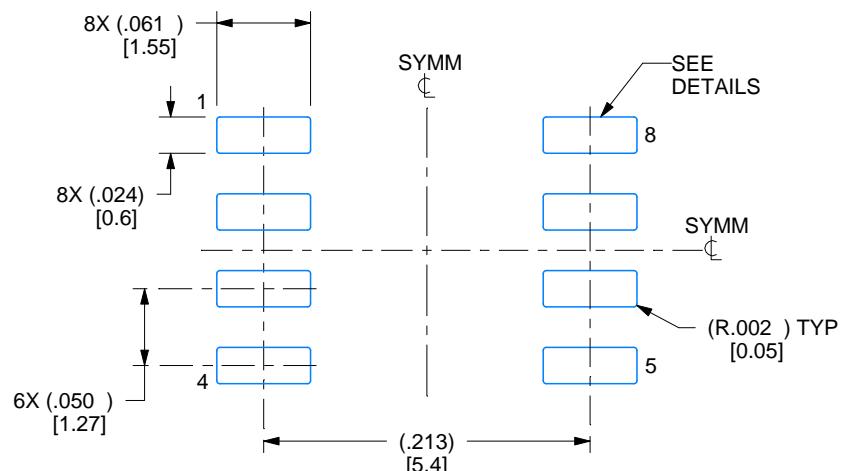
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

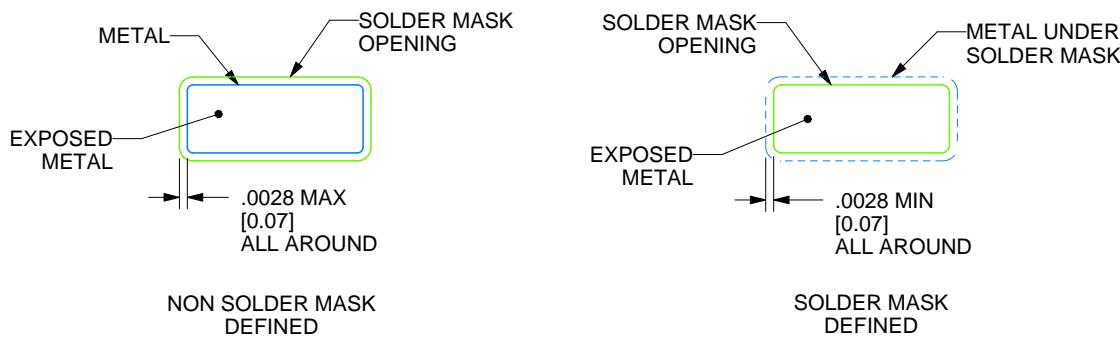
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

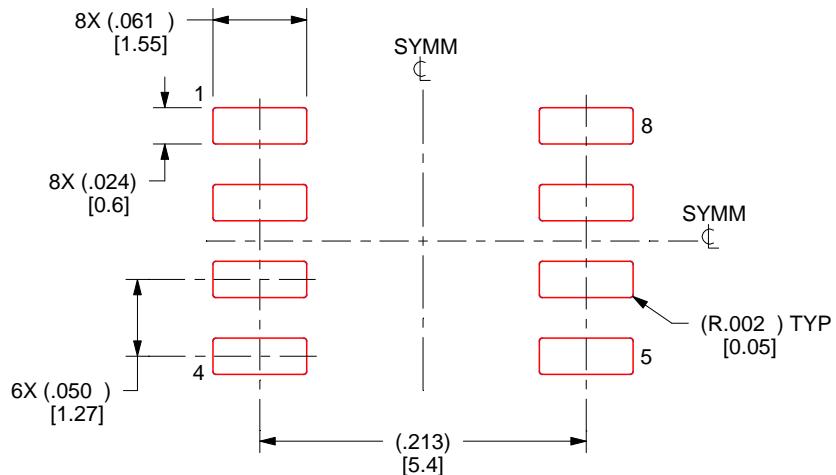
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月