

ISO14xx 堅牢な EMC 性能を備えた 5kV_{RMS} 絶縁型 RS-485/RS-422 トランシーバ

1 特長

- TIA/EIA-485-A と互換
- 5V のバス側電源で PROFIBUS 互換
- バス I/O 保護
 - ±30kV HBM
 - ±16kV IEC 61000-4-2 接触放電
 - ±4kV IEC 61000-4-4 電気的高速過渡
- 低 EMI の 500kbps、12Mbps、50Mbps データレート
- 1.71V~5.5V のロジック側電源 (V_{CC1})、3V~5.5V のバス側電源 (V_{CC2})
- バスの開放、短絡、アイドルに対するフェイルセーフを備えたレシーバ
- 1/8 の単位負荷で、バス上に最大 256 のノード
- 100kV/μs (標準値) の高い同相過渡耐性
- 拡張温度範囲: -40°C~125°C
- 電源オンおよび電源オフ時にグリッチがなく、ホットプラグイン可能
- ワイドボディ SOIC-16 パッケージ
- ほとんどの絶縁 RS-485 トランシーバとピン互換
- 安全関連認証:
 - DIN VDE V 0884-11:2017-01 に準拠した 7071V_{PK} V_{IOTM} および 1500V_{PK} V_{IORM} (強化絶縁型 / 基本絶縁型)
 - UL 1577 に準拠した絶縁耐圧: 5000V_{RMS} (1 分間)
 - IEC 60950-1、IEC 62368-1、IEC 60601-1、IEC 61010-1 認定
 - CQC、TUV、CSA 承認

2 アプリケーション

- グリッド インフラ
- ソーラー インバータ
- ファクトリ オートメーション / 制御
- モーター ドライブ
- HVAC システムおよびビルディング オートメーション

3 概要

ISO14xx デバイスは、TIA/EIA RS-485 および RS-422 アプリケーション用のガバナニク絶縁差動ライン トランシーバです。これらのトランシーバはノイズ耐性があり、過酷な産業用環境で動作するように設計されています。これらのデバイスのバス用ピンは、高レベルの IEC 静電放電 (ESD) および IEC 電気的高速過渡 (EFT) 事象に耐えられるので、システムレベルの保護のためにバス上に部品を追加する必要はありません。デバイスは、基本絶縁型と強化絶縁型の両方で供給されます ([「強化絶縁型と基本絶縁型のオプション」](#)を参照)。

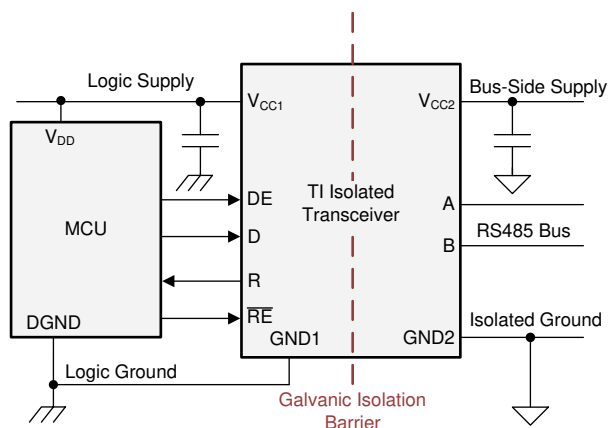
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
ISO1410, ISO1410B	SOIC (16)	10.30mm × 10.30mm
ISO1412, ISO1412B		
ISO1430, ISO1430B		
ISO1432, ISO1432B		
ISO1450, ISO1450B		
ISO1452, ISO1452B		

- (1) 詳細については、[セクション 15](#) を参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

強化絶縁型と基本絶縁型のオプション

特長	ISO14xx	ISO14xxB
保護レベル	強化	基本
VDE 準拠のサージテスト電圧	10000V _{PK}	6000V _{PK}
UL 準拠の絶縁定格	5000V _{RMS}	5000V _{RMS}
VDE 準拠の動作電圧	1060V _{RMS} / 1500V _{PK}	1060V _{RMS} / 1500V _{PK}



アプリケーション概略回路図



目次

1 特長.....	1	7.16 代表的特性.....	16
2 アプリケーション.....	1	8 パラメータ測定情報.....	22
3 概要.....	1	9 詳細説明.....	25
4 概要 (続き).....	2	9.1 概要.....	25
5 デバイス比較表.....	2	9.2 機能ブロック図.....	25
6 ピン構成および機能.....	3	9.3 機能説明.....	26
ピンの機能: 全二重デバイス.....	3	9.4 デバイスの機能モード.....	27
ピンの機能: 半二重デバイス.....	4	10 アプリケーションと実装.....	30
7 仕様.....	5	10.1 アプリケーション情報.....	30
7.1 絶対最大定格.....	5	10.2 代表的なアプリケーション.....	31
7.2 ESD 定格.....	5	11 電源に関する推奨事項.....	34
7.3 推奨動作条件.....	6	12 レイアウト.....	35
7.4 熱に関する情報.....	6	12.1 レイアウトのガイドライン.....	35
7.5 電力定格.....	6	12.2 レイアウト例.....	35
7.6 絶縁仕様.....	8	13 デバイスおよびドキュメントのサポート.....	37
7.7 安全関連認証.....	9	13.1 ドキュメントのサポート.....	37
7.8 安全限界値.....	9	13.2 ドキュメントの更新通知を受け取る方法.....	37
7.9 電気的特性: ドライバ.....	10	13.3 サポート・リソース.....	37
7.10 電気的特性: レシーバ.....	11	13.4 商標.....	37
7.11 電源電流特性: サイド 1 (I_{CC1}).....	12	13.5 静電気放電に関する注意事項.....	38
7.12 電源電流特性: サイド 2 (I_{CC2}).....	13	13.6 用語集.....	38
7.13 スイッチング特性: ドライバ.....	14	14 改訂履歴.....	38
7.14 スイッチング特性: レシーバ.....	15	15 メカニカル、パッケージ、および注文情報.....	39
7.15 絶縁特性曲線.....	15		

4 概要 (続き)

これらのデバイスは、長距離通信に使用されます。絶縁により通信ノード間のグランド ループが遮断されるため、より広い同相電圧範囲に対応できます。各デバイスの対称型絶縁バリアは、バスライントランシーバとロジックレベル インターフェイスとの間で、UL 1577 に従って 5000V_{RMS} で 1 分間の絶縁が得られることをテスト済みです。

ISO14xx デバイスは、サイド 1 において 1.71V~5.5V の電圧で動作できるため、デバイスを低電圧の FPGA や ASIC と接続できます。サイド 2 は 3V~5.5V の広い電源電圧に対応しているため、絶縁側にレギュレートされた電源電圧を必要としません。これらのデバイスは、-40°C~125°Cの広い周囲温度範囲で動作します。

5 デバイス比較表

次の表に、このデバイス ファミリーで利用可能なオプションの概要を示します。

デバイス	絶縁	二重	データレート	パッケージ
ISO1410, ISO1410B	強化絶縁、基本絶縁	半	500Kbps	16 ピン DW
ISO1412, ISO1412B		フル	500Kbps	16 ピン DW
ISO1430, ISO1430B		半	12Mbps	16 ピン DW
ISO1432, ISO1432B		フル	12Mbps	16 ピン DW
ISO1450, ISO1450B		半	50Mbps	16 ピン DW
ISO1452, ISO1452B		フル	50Mbps	16 ピン DW

6 ピン構成および機能

ピンの機能：全二重デバイス

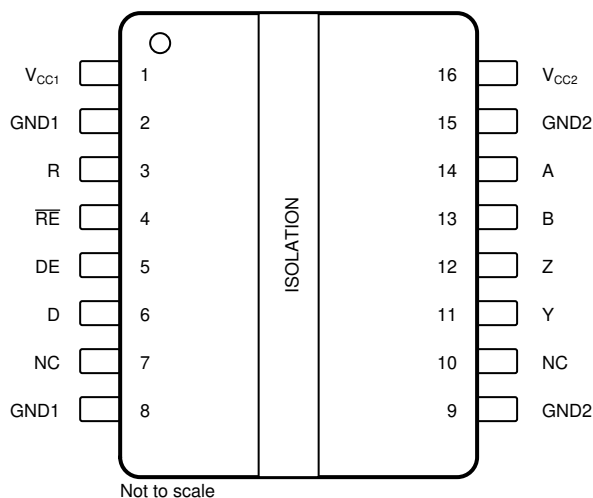


図 6-1. DW パッケージ 16 ピン SOIC 全二重デバイス (上面図)

ピン		種類 ⁽¹⁾	説明
名称	番号		
A	14	I	バス側のレシーバ非反転入力
B	13	I	バス側のレシーバ反転入力
D	6	I	ドライバ入力
DE	5	I	ドライバ イネーブル。このピンが High の場合はドライバ出力がイネーブルになり、 Low またはオープンの場合はドライバ出力がディセーブルになります。
GND1 ⁽²⁾	2	—	V _{CC1} のグランド接続
GND1 ⁽²⁾	8	—	V _{CC1} のグランド接続
GND2 ⁽²⁾	9	—	V _{CC2} のグランド接続
GND2 ⁽²⁾	15	—	V _{CC2} のグランド接続
NC ⁽³⁾	7	—	内部接続なし
NC ⁽³⁾	10	—	内部接続なし
R	3	O	レシーバ出力
RE	4	I	レシーバ イネーブル。このピンが High またはオープンの場合はレシーバ出力がディセーブルになり、 Low の場合はレシーバ出力がイネーブルになります。
V _{CC1}	1	—	ロジック側電源
V _{CC2}	16	—	トランシーバ側電源
Y	11	O	ドライバ非反転出力
Z	12	O	ドライバ反転出力

(1) I = 入力、O = 出力

(2) ロジック側では、ピン 2 とピン 8 の両方を GND1 に接続する必要があります。バス側では、ピン 9 とピン 15 の両方を GND2 に接続する必要があります。

(3) NC ピンが PCB 上の電源またはグランドに接続されていても、デバイスの機能には影響はありません。

ピンの機能：半二重デバイス

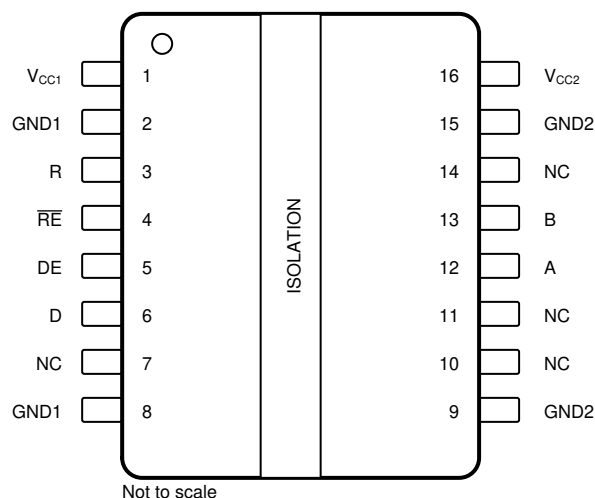


図 6-2. DW パッケージ 16 ピン SOIC 半二重デバイス (上面図)

ピン		種類 ⁽¹⁾	説明
名称	番号		
A	12	I/O	バス側のトランシーバ非反転入出力 (I/O)
B	13	I/O	バス側のトランシーバ反転入出力 (I/O)
D	6	I	ドライバ入力
DE	5	I	ドライバ イネーブル。このピンが High の場合はドライバ出力がイネーブルになり、Low またはオープンの場合はドライバ出力がディセーブルになります。
GND1 ⁽²⁾	2	—	V _{CC1} のグラウンド接続
GND1 ⁽²⁾	8	—	V _{CC1} のグラウンド接続
GND2 ⁽²⁾	9	—	V _{CC2} のグラウンド接続
GND2 ⁽²⁾	15	—	V _{CC2} のグラウンド接続
NC ⁽³⁾	7	—	内部接続なし
NC ⁽³⁾	10	—	内部接続なし
NC ⁽³⁾	11	—	内部接続なし
NC ⁽³⁾	14	—	内部接続なし
R	3	O	レシーバ出力
RE	4	I	レシーバ イネーブル。このピンが High またはオープンの場合はレシーバ出力がディセーブルになり、Low の場合はレシーバ出力がイネーブルになります。
V _{CC1}	1	—	ロジック側電源
V _{CC2}	16	—	トランシーバ側電源

- (1) I = 入力、O = 出力、I/O = 入力または出力
(2) ロジック側では、ピン 2 とピン 8 の両方を GND1 に接続する必要があります。バス側では、ピン 9 とピン 15 の両方を GND2 に接続する必要があります。
(3) NC ピンが PCB 上の電源またはグラウンドに接続されていても、デバイスの機能には影響はありません。

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
V _{CC1}	電源電圧、サイド 1	-0.5	6	V
V _{CC2}	電源電圧、サイド 2	-0.5	6	V
V _{IO}	ロジック電圧レベル (D、DE、 \overline{RE} 、R)	-0.5	V _{CC1} + 0.5 ⁽³⁾	V
I _O	R ピンの出力電流	-15	15	mA
V _{BUS}	バスピン (A、B、Y、Z) の電圧 (GND2 基準)	-18	18	V
T _J	接合部温度	-40	150	°C
T _{STG}	保管温度	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド端子 (GND1 または GND2) を基準としており、ピーク電圧値です。
- (3) 最大電圧は 6 V 以下である必要があります

7.2 ESD 定格

			値	単位
V _(ESD)	接触放電、IEC 61000-4-2 に準拠	ピンのバス端子および GND2	±16000	V
V _(ESD)	接触放電、IEC 61000-4-2 に準拠	ISO141x、ピンのバス端子および GND1 (絶縁バリアの両側)	±8000	V
V _(ESD)	接触放電、IEC 61000-4-2 に準拠	ISO143x、ピンのバス端子および GND1 (絶縁バリアの両側)	±8000	V
V _(ESD)	静電気放電 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	バス ピンを除くすべてのピン ⁽¹⁾	±6000	V
		バス端子から GND2 ⁽¹⁾	±30000	V
	静電気放電 デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	すべてのピン ⁽²⁾	±1500	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

7.3 推奨動作条件

		最小値	最大値	単位
V _{CC1}	電源電圧、サイド 1、1.8V 動作	1.71	1.89	V
	電源電圧、サイド 1、2.5V、3.3V、5.5V 動作	2.25	5.5	V
V _{CC2}	電源電圧、サイド 2	3	5.5	V
V _I	任意のバス端子での同相電圧:A または B	-7	12	V
V _{IH}	High レベル入力電圧 (D、DE、 \overline{RE} 入力)	0.7*V _{CC1}	V _{CC1}	V
V _{IL}	Low レベル入力電圧 (D、DE、 \overline{RE} 入力)	0	0.3*V _{CC1}	V
V _{ID}	差動入力電圧、B を基準とした A	-15	15	V
I _O	出力電流、ドライバ	-60	60	mA
I _{OR}	出力電流、レシーバ	-4	4	mA
R _L	差動負荷抵抗	54		Ω
1/t _{UI}	ISO141x の信号速度		500	kbps
1/t _{UI}	ISO143x の信号速度		12	Mbps
1/t _{UI}	ISO145x の信号速度		50	Mbps
T _A	動作時の周囲温度	-40	125	°C

7.4 熱に関する情報

熱評価基準 ⁽¹⁾		ISO14xx	単位
		DW (SOIC)	
		16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	67.9	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	27.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	29.4	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	12.9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	28.8	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

7.5 電力定格

パラメータ		テスト条件	最小値	代表値	最大値	単位
ISO1410_ISO1412						
P _D	最大消費電力 (両サイド)	V _{CC1} = V _{CC2} = 5.5V、T _J = 150°C、A-B 負荷 = 54Ω 50pF、R の負荷 = 15pF D ピンに 250kHz、50% デューティ サイクルの方形波を入力、V _{DE} = V _{CC1} 、V _{RE} = GND1			556	mW
P _{D1}	最大消費電力 (サイド 1)				28	mW
P _{D2}	最大消費電力 (サイド 2)				528	mW
ISO1430_ISO1432						
P _D	最大消費電力 (両サイド)	V _{CC1} = V _{CC2} = 5.5V、T _J = 150°C、A-B 負荷 = 54Ω 50pF、R の負荷 = 15pF D ピンに 6MHz、50% デューティ サイクルの方形波を入力、V _{DE} = V _{CC1} 、V _{RE} = GND1			352	mW
P _{D1}	最大消費電力 (サイド 1)				33	mW
P _{D2}	最大消費電力 (サイド 2)				319	mW
ISO1450_ISO1452						

パラメータ		テスト条件	最小値	代表値	最大値	単位
P _D	最大消費電力 (両サイド)	V _{CC1} = V _{CC2} = 5.5V、T _J = 150°C、A-B 負荷 = 54Ω 50pF、R の負荷 = 15pF D ピンに 25MHz、50% デューティ サイクル の方形波を入力、V _{DE} = V _{CC1} 、V _{RE} = GND1			588	mW
P _{D1}	最大消費電力 (サイド 1)				49	mW
P _{D2}	最大消費電力 (サイド 2)				539	mW

7.6 絶縁仕様

パラメータ		テスト条件	仕様 DW-16	単位
IEC 60664-1				
CLR	外部空間距離 ⁽¹⁾	空気を通したサイド 1 とサイド 2 の距離	>8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面上でのサイド 1 とサイド 2 の距離	>8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>17	μm
CTI	比較トラッキング インデックス	IEC 60112、UL 746A	>600	V
	材料グループ	IEC 60664-1 に準拠	I	
	過電圧カテゴリ	定格商用電源 V _{RMS} が 600 V 以下	I-IV	
		定格商用電源 V _{RMS} が 1000V 以下	I-III	
DIN VDE V 0884-11:2017-01 ⁽²⁾				
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1500	V _{PK}
V _{IOWM}	最大動作絶縁電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDb)、テスト (図 10-7 を参照)	1060	V _{RMS}
		DC 電圧	1500	V _{DC}
V _{IOTM}	最大過渡絶縁電圧	V _{TEST} = V _{IOTM} 、t = 60s (認定時テスト)、V _{TEST} = 1.2 × V _{IOTM} 、t = 1s (100% 出荷時テスト)	7071	V _{PK}
V _{IOSM}	最大サージ絶縁電圧 ISO141x ⁽³⁾	IEC 62368-1 準拠のテスト方法、1.2/50μs 波形、V _{TEST} = 1.6 × V _{IOSM} = 10000V _{PK} (認定)	6250	V _{PK}
	最大サージ絶縁電圧 ISO141xB ⁽³⁾	IEC 62368-1 準拠のテスト方法、1.2/50μs 波形、V _{TEST} = 1.3 × V _{IOSM} = 6000V _{PK} (認定)	4615	V _{PK}
q _{pd}	見掛けの電荷 ⁽⁴⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、ISO14xx: V _{pd(m)} = 1.6 × V _{IORM} 、t _m = 10s ISO14xxB: V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s	≤ 5	
		方法 b1: ルーチン テスト (100% 出荷時テスト) およ びプリコンディショニング (タイプ テスト) で、V _{ini} = V _{IOTM} 、t _{ini} = 1s、 ISO14xx: V _{pd(m)} = 1.875 × V _{IORM} 、t _m = 1s ISO14xxB: V _{pd(m)} = 1.5 × V _{IORM} 、t _m = 1s	≤ 5	
C _{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	V _{IO} = 0.4 × sin (2πft)、f = 1MHz	1	pF
R _{IO}	絶縁抵抗、入力から出力へ ⁽⁵⁾	V _{IO} = 500V、T _A = 25°C	> 10 ¹²	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 150°C時)	> 10 ¹¹	
		V _{IO} = 500V (T _S = 150°C時)	> 10 ⁹	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V _{ISO}	絶縁耐圧	V _{TEST} = V _{ISO} 、t = 60s (認定)、 V _{TEST} = 1.2 × V _{ISO} 、t = 1s (100% 出荷時)	5000	V _{RMS}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- (2) ISO14xx は安全な電氣的絶縁に適しており、ISO14xxB は安全定格内のみでの基本的な電氣的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。

(5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2つの端子を持つデバイスを構成します。

7.7 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN VDE V 0884-11:2017-01 に従う認 証	IEC 60950-1、IEC 62368-1、IEC 60601-1 に よる認証	UL 1577 部品認定プログラ ムの認定	GB4943.1-2011 による認証	EN 61010-1:2010/ A1:2019、EN 60950-1:2006/A2:2013、 EN 62368-1:2014 による認 証
最大過渡絶縁電圧: 7071V _{PK} 、 最大反復ピーク絶縁電圧: 1500V _{PK} 、 最大サージ絶縁電圧、 ISO141x、ISO143x、 ISO145x:6250V _{PK} (強化) ISO141xB、ISO143xB、 ISO145xB:4600 V _{PK} (基 本)	CSA 60950-1-07+A1+A2、 IEC 60950-1 第2版 +A1+A2、CSA 62368-1-14、IEC 62368-1 第2版、汚染度2、材料グ ループ I ISO141x、ISO143x、 ISO145x:800V _{RMS} 強化絶 縁 ISO141xB、ISO143xB、 ISO145xB:800V _{RMS} 基本 絶縁 ----- CSA 60601-1:14 および IEC 60601-1 版3.1、 ISO141x、ISO143x、 ISO145x:2 MOPP (患者保 護手段) 250V _{RMS} (354V _{PK}) 最大動作電圧	シングル保護、 5000V _{RMS}	強化絶縁、高度≤5000m、 熱帯気候、 最大動作電圧 700V _{RMS}	EN 61010-1:2010/A1:2019 ISO141x、ISO143x、 ISO145x:600V _{RMS} 強化絶 縁 ISO141xB、ISO143xB、 ISO145xB:1000V _{RMS} 基本 絶縁 ----- EN 60950-1:2006/A2:2013 および EN 62368-1:2014 ISO141x、ISO143x、 ISO145x:800V _{RMS} 強化 絶縁 ISO141xB、ISO143xB、 ISO145xB:1060 V _{RMS} 基 本絶縁
強化認証:40040142 基本認証:40047657	マスタ契約書番号: 220991	ファイル番号:E181974	認証書番号: CQC15001121716	顧客 ID 番号:77311

7.8 安全限界値

安全限界値⁽¹⁾の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	代表値	最大値	単位
DW-16 パッケージ						
I _S	安全入力、出力、または電源電流	R _{θJA} = 67.9°C/W、V _I = 5.5 V、T _J = 150°C、 T _A = 25°C、 図 7-1 を参照			334	mA
		R _{θJA} = 67.9°C/W、V _I = 3.6 V、T _J = 150°C、 T _A = 25°C、 図 7-1 を参照			511	
		R _{θJA} = 67.9°C/W、V _I = 2.75 V、T _J = 150°C、T _A = 25°C、 図 7-1 を参照			669	
		R _{θJA} = 67.9°C/W、V _I = 1.89 V、T _J = 150°C、T _A = 25°C、 図 7-1 を参照			974	
P _S	安全入力、出力、または合計電力	R _{θJA} = 67.9°C/W、T _J = 150°C、T _A = 25°C、 図 7-2 を参照			1837	mW
T _S	最高安全温度				150	°C

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。表にある接合部から空気への熱抵抗 R_{θJA} は、リード付き表面実装パッケージ向けの High-K テスト ボードに実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。
 $T_J = T_A + R_{\theta JA} \times P$ 、ここで P は本デバイスで消費される電力です。
 $T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ 、ここで T_{J(max)} は最大許容接合部温度です。
 $P_S = I_S \times V_I$ 、ここで V_I は最大入力電圧です。

7.9 電気的特性：ドライバ

標準値の仕様の条件はいずれも $V_{CC1}=3.3V$ 、 $V_{CC2}=5V$ 、 $T_A=27^{\circ}C$ (最小値 / 最大値の仕様は特に記述のない限り推奨動作条件範囲内)

パラメータ		テスト条件	最小値	代表値	最大値	単位
V _{OD}	ドライバの差動出力電圧の大きさ	開路電圧、無負荷バス、 3V ≤ V _{CC2} ≤ 5.5V	1.5	5	V _{CC2}	V
		R _L = 60Ω、-7V ≤ V _{TEST} ≤ 12V (図 8-1 を参照)、3V ≤ V _{CC2} ≤ 3.6V、T _A < 100°C	1.5	2.3		V
		R _L = 60Ω、-7V ≤ V _{TEST} ≤ 12V (図 8-1 を参照)、3.1V ≤ V _{CC2} ≤ 3.6V、T _A > 100°C	1.5	2.3		
		R _L = 60Ω、-7V ≤ V _{TEST} ≤ 12V、 4.5V < V _{CC2} < 5.5V (図 8-1 を参照)	2.1	3.7		V
		R _L = 100Ω (図 8-2 を参照)、RS-422 負荷	2	4.2		V
		R _L = 54Ω (図 8-2 を参照)、RS-485 負荷、V _{CC2} = 3V ~ 3.6V	1.5	2.3		V
		R _L = 54Ω (図 8-2 を参照)、RS-485 負荷、 4.5V < V _{CC2} < 5.5V	2.1	3.7		V
Δ V _{OD}	2 つの状態間の差動出力電圧の変化	R _L = 54Ω または R _L = 100Ω、図 8-2 を参照	-200		200	mV
V _{OC}	同相出力電圧	R _L = 54Ω または R _L = 100Ω、図 8-2 を参照	1	0.5 × V _{CC2}	3	V
ΔV _{OC(SS)}	2 つの状態間の定常同相出力電圧の変化	R _L = 54Ω または R _L = 100Ω、図 8-2 を参照	-200		200	mV
I _{OS}	短絡出力電流	V _D = V _{CC1} または V _D = V _{GND1} 、V _{DE} = V _{CC1} 、V _{CC2} = 3.3V ± 10% -7V ≤ V ≤ 12V、図 8-11 を参照	-250		250	mA
		V _D = V _{CC1} または V _D = V _{GND1} 、V _{DE} = V _{CC1} 、V _{CC2} = 5V ± 10% -7V ≤ V ≤ 12V、図 8-11 を参照		250		mA
I _I	入力電流	V _D および V _{DE} = 0V または V _D および V _{DE} = V _{CC1}	-10		10	μA
CMTI	同相過渡耐性	V _D = V _{CC1} または GND1、V _{CC1} = 1.71V ~ 5.5V、V _{CM} = 1200V、ISO141x、図 8-4 を参照	85	100		kV/μs
CMTI	同相過渡耐性	V _D = V _{CC1} または GND1、V _{CC1} = 1.71V ~ 5.5V、V _{CM} = 1200V、ISO143x、図 8-4 を参照	85	100		kV/μs
CMTI	同相過渡耐性	V _D = V _{CC1} または GND1、V _{CC1} = 2.25V ~ 5.5V、V _{CM} = 1200V、ISO145x、図 8-4 を参照	85	100		kV/μs

7.10 電気的特性：レシーバ

標準値の仕様の条件はいずれも $V_{CC1}=3.3V$ 、 $V_{CC2}=5V$ 、 $T_A=27^{\circ}C$ (最小値 / 最大値の仕様は特に記述のない限り推奨動作条件範囲内)

パラメータ		テスト条件	最小値	代表値	最大値	単位
I_{I1}	バス入力電流	$V_{DE} = 0V$ 、 $V_{CC2} = 0V$ または $V_{CC2} = 5.5V$ 、500kbps デバイス、 $V_I = -7V$ または $V_I = 12V$ 、その他の入力は $0V$	-100		125	μA
I_{I1}	バス入力電流	$V_{DE} = 0V$ 、 $V_{CC2} = 0V$ または $V_{CC2} = 5.5V$ 、12Mbps および 50Mbps デバイス、 $V_I = -7V$ または $V_I = 12V$ 、その他の入力は $0V$	-100		125	μA
I_{I1}	バス入力電流	$V_{DE} = 0V$ 、 $V_{CC2} = 0V$ または $V_{CC2} = 5.5V$ 、500kbps デバイス、 $V_I = -15V$ または $V_I = 15V$ 、その他の入力は $0V$	-200		125	μA
I_{I1}	バス入力電流	$V_{DE} = 0V$ 、 $V_{CC2} = 0V$ または $V_{CC2} = 5.5V$ 、12Mbps および 50Mbps デバイス、 $V_I = -15V$ または $V_I = 15V$ 、その他の入力は $0V$	-200		125	μA
V_{TH+}	正方向入力スレッショルド電圧	$-15V \leq V_{CM} \leq 15V$	(1)を参照	-100	-10	mV
		$-7V \leq V_{CM} \leq 12V$	(1)を参照	-100	-20	mV
V_{TH-}	負方向入力スレッショルド電圧	$-15V \leq V_{CM} \leq 15V$	-200	-130	(1)を参照	mV
V_{hys}	入力ヒステリシス ($V_{TH+} - V_{TH-}$)	$-15V \leq V_{CM} \leq 15V$		30		mV
V_{OH}	R ピンの出力 High 電圧	$V_{CC1} = 5V \pm 10\%$ 、 $I_{OH} = -4mA$ 、 $V_{ID} = 200mV$	$V_{CC1} - 0.4$			V
		$V_{CC1} = 3.3V \pm 10\%$ 、 $I_{OH} = -2mA$ 、 $V_{ID} = 200mV$	$V_{CC1} - 0.3$			V
		$V_{CC1} = 2.5V \pm 10\%$ 、 $1.8V \pm 5\%$ 、 $I_{OH} = -1mA$ 、 $V_{ID} = 200mV$	$V_{CC1} - 0.2$			V
V_{OL}	R ピンの出力 Low 電圧	$V_{CC1} = 5V \pm 10\%$ 、 $I_{OL} = 4mA$ 、 $V_{ID} = -200mV$			0.4	V
		$V_{CC1} = 3.3V \pm 10\%$ 、 $I_{OL} = 2mA$ 、 $V_{ID} = -200mV$			0.3	V
		$V_{CC1} = 2.5V \pm 10\%$ 、 $1.8V \pm 5\%$ 、 $I_{OL} = 1mA$ 、 $V_{ID} = -200mV$			0.2	V
I_{OZ}	出力高インピーダンス電流、R ピン	$V_R = 0V$ または $V_R = V_{CC1}$ 、 $V_{RE} = V_{CC1}$	-1		1	μA
I_I	\overline{RE} ピンの入力電流	$V_{RE} = 0V$ または $V_{RE} = V_{CC1}$	-10		10	μA
CMTI	同相過渡耐性	$V_{CC1} = 1.71V \sim 5.5V$ 、 $V_{ID} = 1.5V$ または $-1.5V$ 、 $V_{CM} = 1200V$ 、ISO141x、図 8-4 を参照	85	100		kV/ μs
CMTI	同相過渡耐性	$V_{CC1} = 1.71V \sim 5.5V$ 、 $V_{ID} = 1.5V$ または $-1.5V$ 、 $V_{CM} = 1200V$ 、ISO143x、図 8-4 を参照	85	100		kV/ μs
CMTI	同相過渡耐性	$V_{CC1} = 2.25V \sim 5.5V$ 、 $V_{ID} = 1.5V$ または $-1.5V$ 、 $V_{CM} = 1200V$ 、ISO145x、図 8-4 を参照	85	100		kV/ μs

(1) 特定の条件では、 V_{TH+} は V_{TH-} よりも V_{hys} 以上高いことが検証されています。

7.11 電源電流特性：サイド 1 (I_{CC1})

バスの負荷ありとなし (特に記述のない限り推奨動作条件範囲内)

パラメータ	テスト条件	最小値	代表値	最大値	単位
ドライバはイネーブル、レシーバはディセーブル					
ロジック側電源電流	$V_D = V_{CC1}, V_{CC1} = 5V \pm 10\%$		2.6	4.4	mA
ロジック側電源電流	$V_D = V_{CC1}, V_{CC1} = 3.3V \pm 10\%$		2.6	4.4	mA
ロジック側電源電流	ISO141x, D = 500kbps の方形波、50% デューティ サイクル、 $V_{CC1} = 5V \pm 10\%$		3.2	5.1	mA
ロジック側電源電流	ISO141x, D = 500kbps の方形波、50% デューティ サイクル、 $V_{CC1} = 3.3V \pm 10\%$		3.2	5.1	mA
ロジック側電源電流	ISO143x, D = 12Mbps の方形波、50% デューティ サイクル、 $V_{CC1} = 5V \pm 10\%$		3.2	5.1	mA
ロジック側電源電流	ISO143x, D = 12Mbps の方形波、50% デューティ サイクル、 $V_{CC1} = 3.3V \pm 10\%$		3.2	5.1	mA
ロジック側電源電流	ISO145x, D = 50Mbps の方形波、50% デューティ サイクル、 $V_{CC1} = 5V \pm 10\%$		3.6	5.3	mA
ロジック側電源電流	ISO145x, D = 50Mbps の方形波、50% デューティ サイクル、 $V_{CC1} = 3.3V \pm 10\%$		3.4	5.2	mA
ドライバはイネーブル、レシーバはイネーブル					
ロジック側電源電流	$V_{RE} = V_{GND1}$ 、全二重デバイスの場合ループバック、 $V_D = V_{CC1}, V_{CC1} = 5V \pm 10\%$		2.6	4.4	mA
ロジック側電源電流	$V_{RE} = V_{GND1}$ 、全二重デバイスの場合ループバック、 $V_D = V_{CC1}, V_{CC1} = 3.3V \pm 10\%$		2.6	4.4	mA
ロジック側電源電流	ISO141x, $V_{RE} = V_{GND1}$ 、全二重デバイスの場合ループバック、D = 500kbps の方形波、50% デューティ サイクル、 $V_{CC1} = 5V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		3.3	5.1	mA
ロジック側電源電流	ISO141x, $V_{RE} = V_{GND1}$ 、全二重デバイスの場合ループバック、D = 500kbps の方形波、50% デューティ サイクル、 $V_{CC1} = 3.3V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		3.2	5.1	mA
ロジック側電源電流	ISO143x, $V_{RE} = V_{GND1}$ 、全二重デバイスの場合ループバック、D = 12Mbps の方形波、50% デューティ サイクル、 $V_{CC1} = 5V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		4.1	6	mA
ロジック側電源電流	ISO143x, $V_{RE} = V_{GND1}$ 、全二重デバイスの場合ループバック、D = 12Mbps の方形波、50% デューティ サイクル、 $V_{CC1} = 3.3V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		3.8	5.7	mA
ロジック側電源電流	ISO145x, $V_{RE} = V_{GND1}$ 、全二重デバイスの場合ループバック、D = 50Mbps の方形波、50% デューティ サイクル、 $V_{CC1} = 5V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		6.3	8.9	mA
ロジック側電源電流	ISO145x, $V_{RE} = V_{GND1}$ 、全二重デバイスの場合ループバック、D = 50Mbps の方形波、50% デューティ サイクル、 $V_{CC1} = 3.3V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		5.3	7.8	mA
ドライバはディセーブル、レシーバはイネーブル					
ロジック側電源電流	$V_{(A-B)} \geq 200mV$ 、 $V_D = V_{CC1}, V_{CC1} = 5V \pm 10\%$		1.6	3.1	mA
ロジック側電源電流	$V_{(A-B)} \geq 200mV$ 、 $V_D = V_{CC1}, V_{CC1} = 3.3V \pm 10\%$		1.6	3.1	mA
ロジック側電源電流	ISO141x, (A-B) = 500kbps の方形波、50% デューティ サイクル、 $V_D = V_{CC1}, V_{CC1} = 5V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		1.7	3.1	mA
ロジック側電源電流	ISO141x, (A-B) = 500kbps の方形波、50% デューティ サイクル、 $V_D = V_{CC1}, V_{CC1} = 3.3V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		1.6	3.1	mA
ロジック側電源電流	ISO143x, (A-B) = 12Mbps の方形波、50% デューティ サイクル、 $V_D = V_{CC1}, V_{CC1} = 5V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		2.6	4	mA
ロジック側電源電流	ISO143x, (A-B) = 12Mbps の方形波、50% デューティ サイクル、 $V_D = V_{CC1}, V_{CC1} = 3.3V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		2.2	3.7	mA
ロジック側電源電流	ISO145x, (A-B) = 50Mbps の方形波、50% デューティ サイクル、 $V_D = V_{CC1}, V_{CC1} = 5V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		4.7	6.7	mA
ロジック側電源電流	ISO145x, (A-B) = 50Mbps の方形波、50% デューティ サイクル、 $V_D = V_{CC1}, V_{CC1} = 3.3V \pm 10\%$ 、 $C_{L(R)}^{(1)} = 15pF$		3.7	5.7	mA
ドライバはディセーブル、レシーバはディセーブル					
ロジック側電源電流	$V_{DE} = V_{GND1}$ 、 $V_D = V_{CC1}, V_{CC1} = 5V \pm 10\%$		1.6	3.1	mA

バスの負荷ありとなし (特に記述のない限り推奨動作条件範囲内)

パラメータ	テスト条件	最小値	代表値	最大値	単位
ロジック側電源電流	$V_{DE} = V_{GND1}$, $V_D = V_{CC1}$, $V_{CC1} = 3.3V \pm 10\%$		1.6	3.1	mA

(1) $C_{L(R)}$ は、R ピンの負荷容量です。

7.12 電源電流特性：サイド 2 (I_{CC2})

$V_{RE} = V_{GND1}$ または $V_{RE} = V_{CC1}$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	代表値	最大値	単位
ドライバはイネーブル、バスは無負荷					
バス側電源電流	$V_D = V_{CC1}$, $V_{CC2} = 3.3V \pm 10\%$		4	6.1	mA
バス側電源電流	$V_D = V_{CC1}$, $V_{CC2} = 5V \pm 10\%$		4.5	6.6	mA
ドライバはイネーブル、バスは負荷印加					
バス側電源電流	$V_D = V_{CC1}$, $R_L = 54\Omega$, $V_{CC2} = 3.3V \pm 10\%$		48	58	mA
バス側電源電流	$V_D = V_{CC1}$, $R_L = 54\Omega$, $V_{CC2} = 5V \pm 10\%$		74	88	mA
バス側電源電流	ISO141x, D = 500kbps の方形波、50% デューティ サイクル, $R_L = 54\Omega$, $C_L = 50pF$, $V_{CC2} = 3.3V \pm 10\%$		63	95	mA
バス側電源電流	ISO141x, D = 500kbps の方形波、50% デューティ サイクル, $R_L = 54\Omega$, $C_L = 50pF$, $V_{CC2} = 5V \pm 10\%$		113	160	mA
バス側電源電流	ISO143x, D = 12Mbps の方形波、50% デューティ サイクル, $R_L = 54\Omega$, $C_L = 50pF$, $V_{CC2} = 3.3V \pm 10\%$		56	75	mA
バス側電源電流	ISO143x, D = 12Mbps の方形波、50% デューティ サイクル, $R_L = 54\Omega$, $C_L = 50pF$, $V_{CC2} = 5V \pm 10\%$		97	122	mA
バス側電源電流	ISO145x, D = 50Mbps の方形波、50% デューティ サイクル, $R_L = 54\Omega$, $C_L = 50pF$, $V_{CC2} = 3.3V \pm 10\%$		84	103	mA
バス側電源電流	ISO145x, D = 50Mbps の方形波、50% デューティ サイクル, $R_L = 54\Omega$, $C_L = 50pF$, $V_{CC2} = 5V \pm 10\%$		134	162	mA
ドライバはディセーブル、バスは負荷印加または無負荷					
バス側電源電流	$V_D = V_{CC1}$, $V_{CC2} = 3.3V \pm 10\%$		2.6	4.3	mA
バス側電源電流	$V_D = V_{CC1}$, $V_{CC2} = 5V \pm 10\%$		2.8	4.5	mA

7.13 スイッチング特性：ドライバ

標準値の仕様の条件はいずれも $V_{CC1}=3.3V$ 、 $V_{CC2}=5V$ 、 $T_A=27^{\circ}C$ (最小値 / 最大値の仕様は特に記述のない限り推奨動作条件範囲内)

パラメータ		テスト条件	最小値	代表値	最大値	単位
500kbps デバイス						
t_r , t_f	差動出力の立ち上がり時間と立ち下がり時間	$R_L = 54\Omega$, $C_L = 50pF$, 図 8-3 を参照	240	460	680	ns
t_{PHL} , t_{PLH}	伝搬遅延	$R_L = 54\Omega$, $C_L = 50pF$, 図 8-3 を参照		310	570	ns
PWD	パルス幅歪み ⁽¹⁾ , $ t_{PHL} - t_{PLH} $	$R_L = 54\Omega$, $C_L = 50pF$, 図 8-3 を参照		4	50	ns
t_{PHZ} , t_{PLZ}	ディセーブル時間	図 8-6 および 図 8-7 を参照		125	200	ns
t_{PZH} , t_{PZL}	イネーブル時間	図 8-6 および 図 8-7 を参照		160	600	ns
12Mbps デバイス						
t_r , t_f	差動出力の立ち上がり時間と立ち下がり時間	$R_L = 54\Omega$, $C_L = 50pF$, $V_{CC2} = 4.5V \sim 5.5V$, 図 8-3 を参照		10	25	ns
		$R_L = 54\Omega$, $C_L = 50pF$, $V_{CC2} = 3V \sim 3.6V$, 図 8-3 を参照			27.8	ns
t_{PHL} , t_{PLH}	伝搬遅延	$R_L = 54\Omega$, $C_L = 50pF$, 図 8-3 を参照		68	125	ns
PWD	パルス幅歪み ⁽¹⁾ , $ t_{PHL} - t_{PLH} $	$R_L = 54\Omega$, $C_L = 50pF$, 図 8-3 を参照		2	10	ns
t_{PHZ} , t_{PLZ}	ディセーブル時間	図 8-6 および 図 8-7 を参照		75	125	ns
t_{PZH} , t_{PZL}	イネーブル時間	図 8-6 および 図 8-7 を参照		75	160	ns
50Mbps デバイス						
t_r , t_f	差動出力の立ち上がり時間と立ち下がり時間	$R_L = 54\Omega$, $C_L = 50pF$, $V_{CC2} = 4.5V \sim 5.5V$, 図 8-3 を参照		4.7	6	ns
		$R_L = 54\Omega$, $C_L = 50pF$, $V_{CC2} = 3V \sim 3.6V$, 図 8-3 を参照			7.8	ns
t_{PHL} , t_{PLH}	伝搬遅延	$R_L = 54\Omega$, $C_L = 50pF$, 図 8-3 を参照		19	41	ns
PWD	パルス幅歪み ⁽¹⁾ , $ t_{PHL} - t_{PLH} $	$R_L = 54\Omega$, $C_L = 50pF$, 図 8-3 を参照		1	6	ns
t_{PHZ} , t_{PLZ}	ディセーブル時間	図 8-6 および 図 8-7 を参照		25	46	ns
t_{PZH} , t_{PZL}	イネーブル時間	図 8-6 および 図 8-7 を参照		32	78	ns

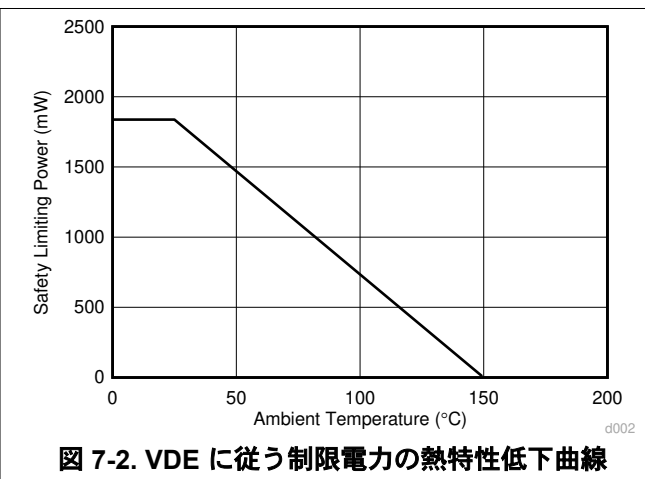
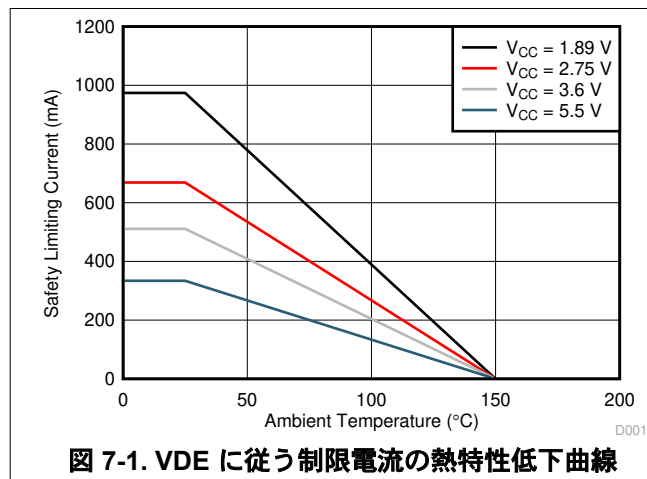
(1) 別名パルス スキュー。

7.14 スイッチング特性：レシーバ

標準値の仕様の条件はいずれも $V_{CC1}=3.3V$ 、 $V_{CC2}=5V$ 、 $T_A=27^{\circ}C$ (最小値 / 最大値の仕様は特に記述のない限り推奨動作条件範囲内)

パラメータ	テスト条件	最小値	代表値	最大値	単位
500kbps デバイス					
t_r , t_f	差動出力の立ち上がり時間と立ち下がり時間 $C_L = 15pF$, 図 8-8 を参照		1	4	ns
t_{PHL} , t_{PLH}	伝搬遅延 $C_L = 15pF$, 図 8-8 を参照		92	135	ns
PWD	パルス幅歪み ⁽¹⁾ , $ t_{PHL} - t_{PLH} $ $C_L = 15pF$, 図 8-8 を参照		4.5	12.5	ns
t_{PHZ} , t_{PLZ}	ディセーブル時間 図 8-9 および 図 8-10 を参照		9	30	ns
t_{PZH} , t_{PZL}	イネーブル時間 図 8-9 および 図 8-10 を参照		5	20	ns
12Mbps デバイス					
t_r , t_f	差動出力の立ち上がり時間と立ち下がり時間 $C_L = 15pF$, 図 8-8 を参照		1	4	ns
t_{PHL} , t_{PLH}	伝搬遅延 $C_L = 15pF$, 図 8-8 を参照		75	120	ns
PWD	パルス幅歪み ⁽¹⁾ , $ t_{PHL} - t_{PLH} $ $C_L = 15pF$, 図 8-8 を参照		1	10	ns
t_{PHZ} , t_{PLZ}	ディセーブル時間 図 8-9 および 図 8-10 を参照		9	30	ns
t_{PZH} , t_{PZL}	イネーブル時間 図 8-9 および 図 8-10 を参照		5	20	ns
50Mbps デバイス					
t_r , t_f	差動出力の立ち上がり時間と立ち下がり時間 $C_L = 15pF$, 図 8-8 を参照		1	4	ns
t_{PHL} , t_{PLH}	伝搬遅延 $C_L = 15pF$, 図 8-8 を参照		36	60	ns
PWD	パルス幅歪み ⁽¹⁾ , $ t_{PHL} - t_{PLH} $ $C_L = 15pF$, 50kHz, 50% デューティクロックで測定, 図 8-8 を参照		2	6	ns
t_{PHZ} , t_{PLZ}	ディセーブル時間 図 8-9 および 図 8-10 を参照		9	30	ns
t_{PZH} , t_{PZL}	イネーブル時間 図 8-9 および 図 8-10 を参照		5	20	ns

7.15 絶縁特性曲線



7.16 代表的特性

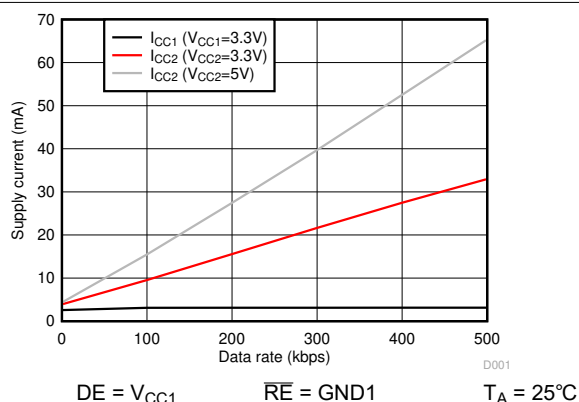


図 7-3. ISO141x の電源電流とデータ レートとの関係
- 負荷なし

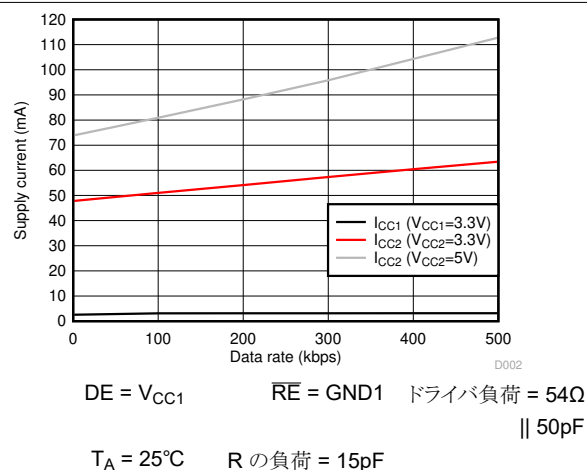


図 7-4. ISO141x の電源電流とデータ レートとの関係
- 54Ω || 50pF 負荷

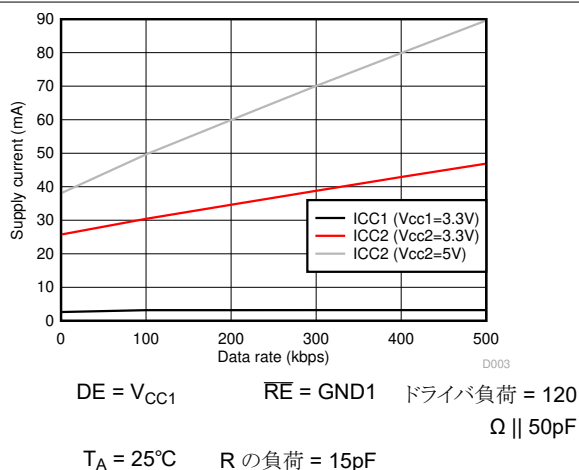


図 7-5. ISO141x の電源電流とデータ レートとの関係
- 120Ω || 50pF 負荷

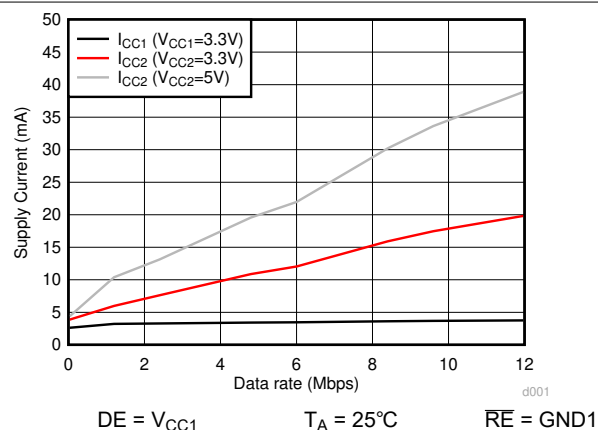


図 7-6. ISO143x の電源電流とデータ レートとの関係
- 負荷なし

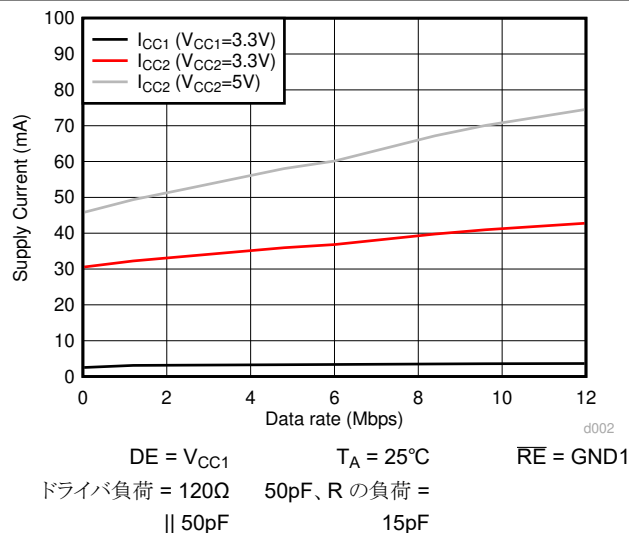


図 7-7. ISO143x の電源電流とデータ レートとの関係
- 120Ω||50pF 負荷

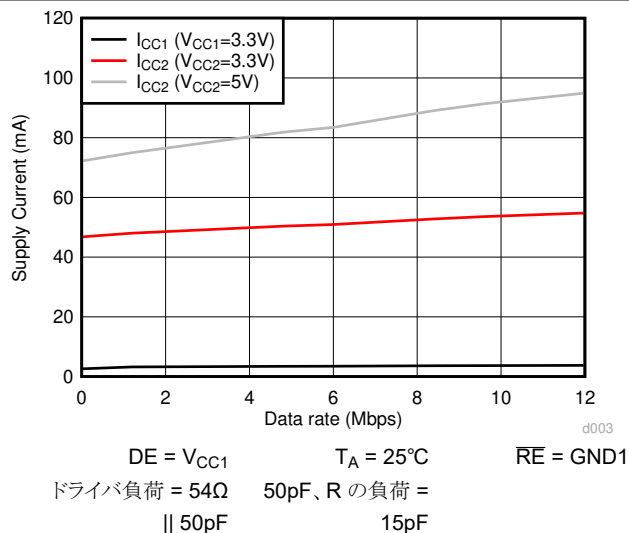


図 7-8. ISO143x の電源電流とデータ レートとの関係
- 54Ω||50pF 負荷

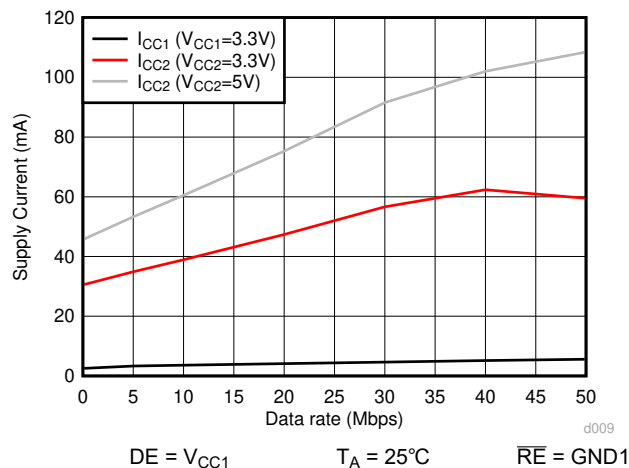


図 7-9. ISO145x の電源電流とデータ レートとの関係
- 負荷なし

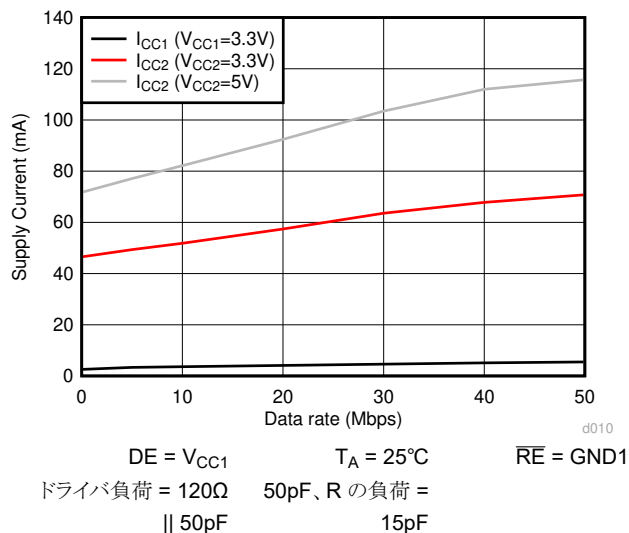


図 7-10. ISO145x の電源電流とデータ レートとの関係
- 120Ω||50pF 負荷

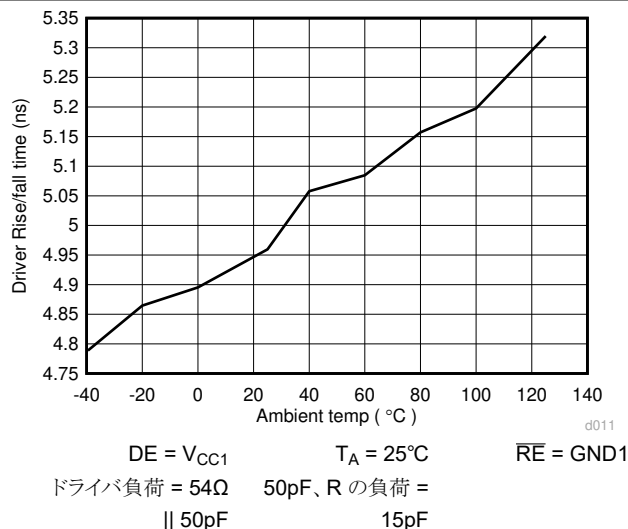


図 7-11. ISO145x の電源電圧とデータ レートとの関係
- 54Ω||50pF 負荷

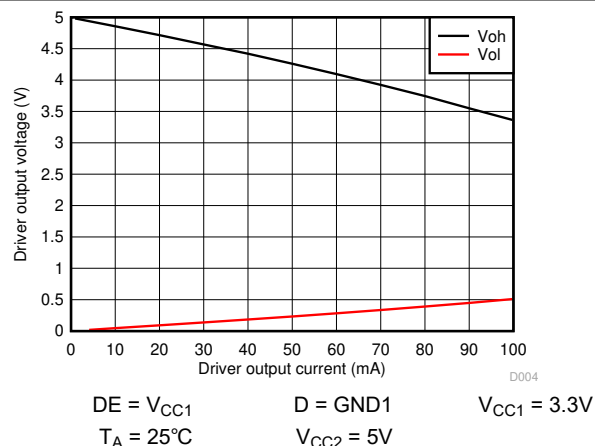


図 7-12. ドライバ出力電圧とドライバ出力電流との関係

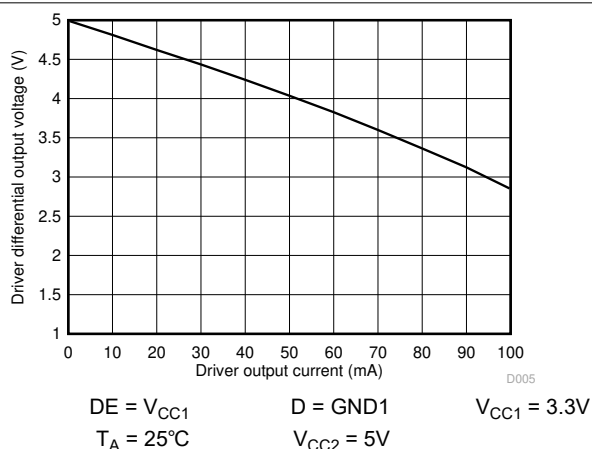


図 7-13. ドライバ差動出力電圧とドライバ出力電流との関係

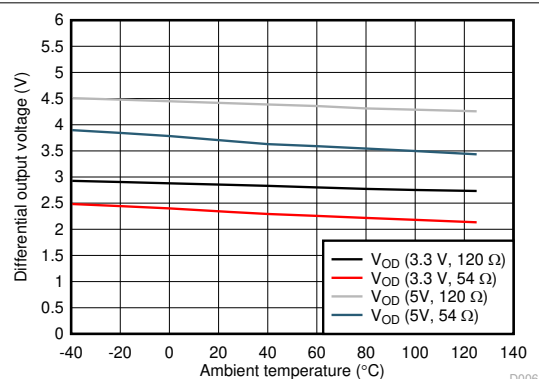


図 7-14. ドライバ差動出力電圧と温度との関係

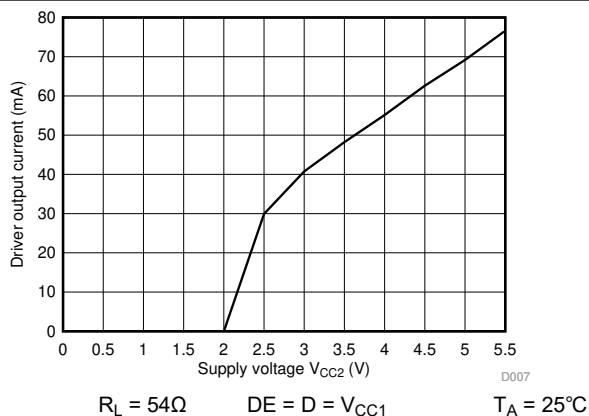


図 7-15. ドライバ出力電流と電源電圧との関係 (V_{CC2})

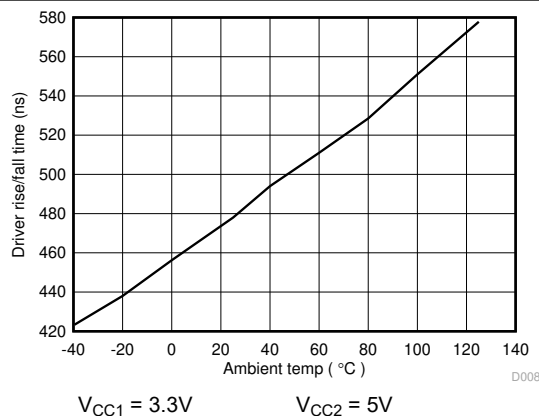


図 7-16. ISO141x ドライバの立ち上がり / 立ち下がり
時間 (ns) と温度 (°C) との関係

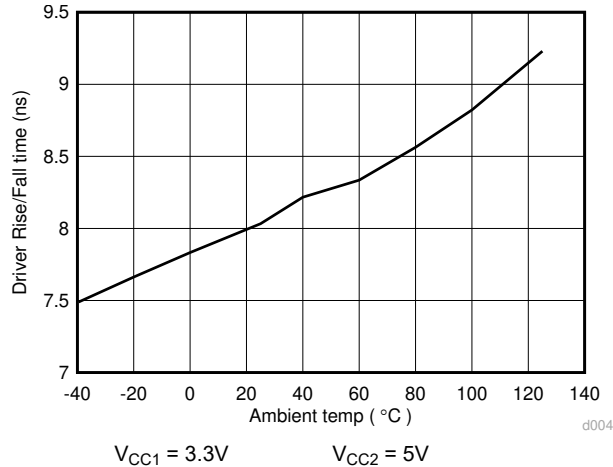


図 7-17. ISO143x ドライバの立ち上がり / 立ち下がり時間 (ns) と温度 (°C) との関係

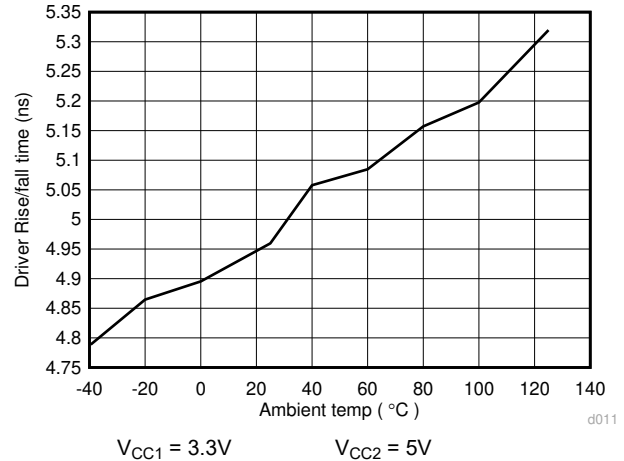


図 7-18. ISO145x ドライバの立ち上がり / 立ち下がり時間 (ns) と温度 (°C) との関係

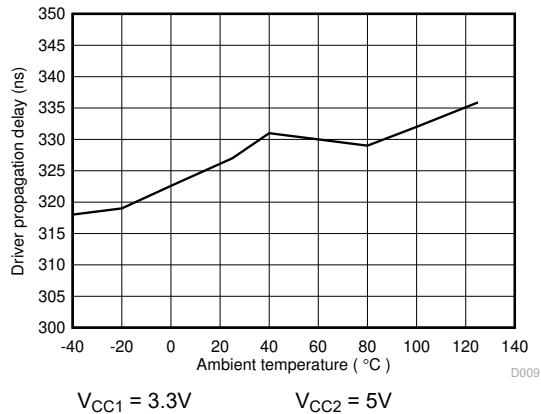


図 7-19. ISO141x ドライバの伝搬遅延 (ns) と温度 (°C) との関係

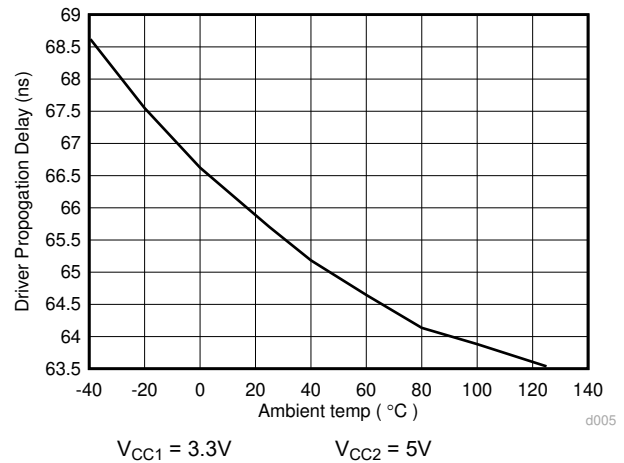


図 7-20. ISO143x ドライバの伝搬遅延 (ns) と温度 (°C) との関係

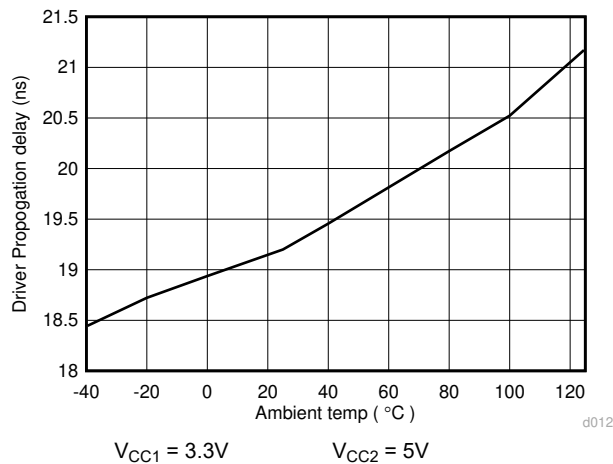


図 7-21. ISO145x ドライバの伝搬遅延 (ns) と温度 (°C) との関係

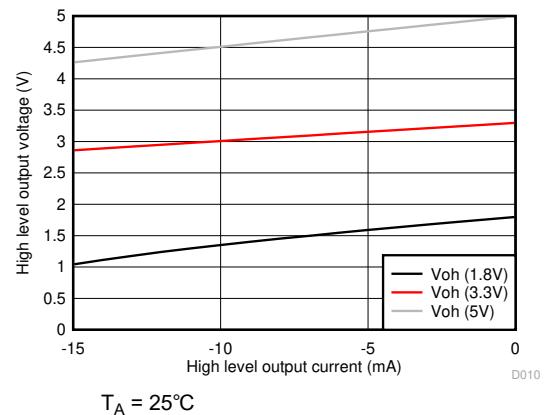
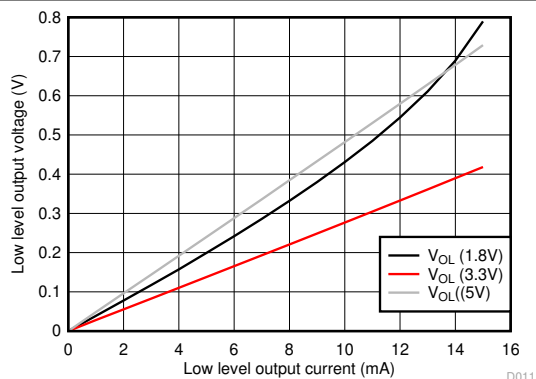
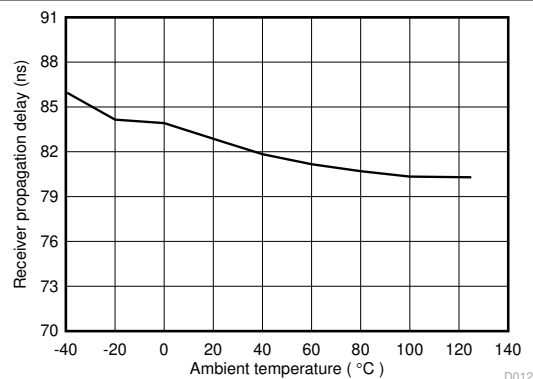


図 7-22. レシーババッファの High レベル出力電圧と High レベル出力電流との関係



T_A = 25°C

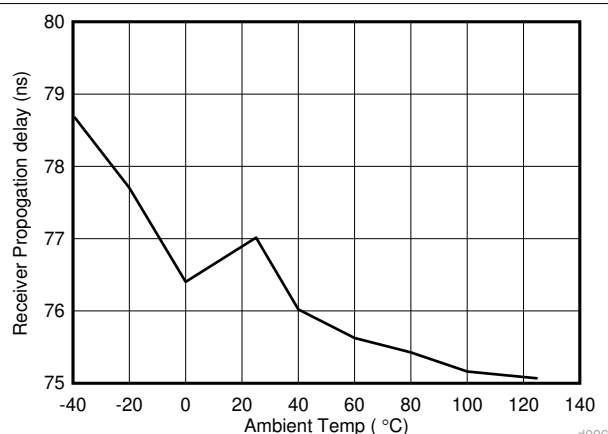
図 7-23. レシーババッファの Low レベル出力電圧と Low レベル出力電流との関係



V_{CC1} = 3.3V

V_{CC2} = 5V

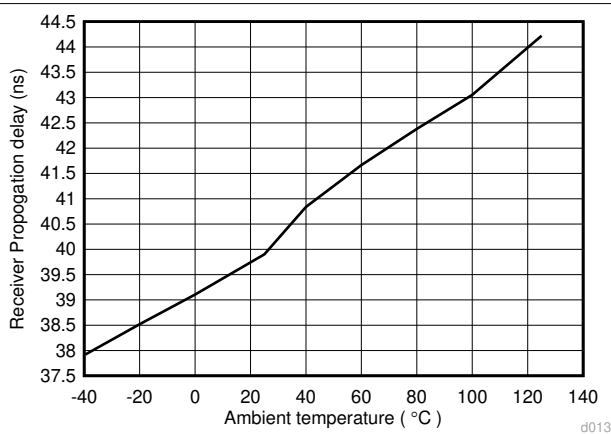
図 7-24. ISO141x レシーバの伝搬遅延 (ns) と温度 (°C) との関係



V_{CC1} = 3.3V

V_{CC2} = 5V

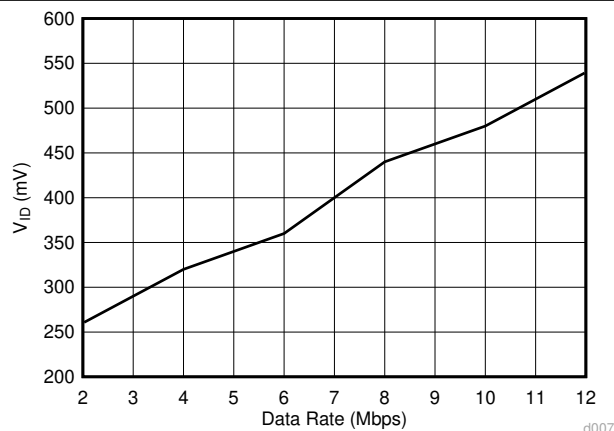
図 7-25. ISO143x レシーバの伝搬遅延 (ns) と温度 (°C) との関係



V_{CC1} = 3.3V

V_{CC2} = 5V

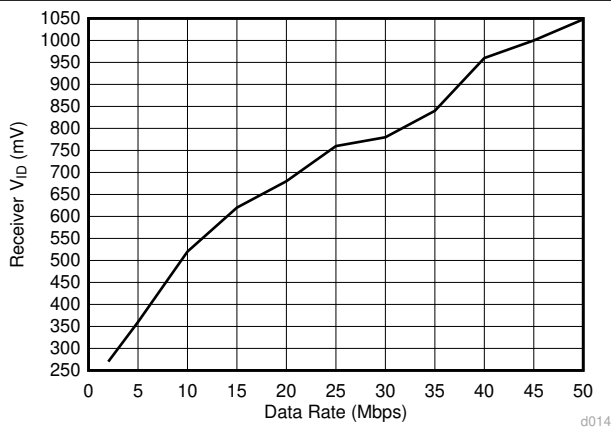
図 7-26. ISO145x レシーバの伝搬遅延 (ns) と温度 (°C) との関係



PWD ≤ ± 5% の場

合

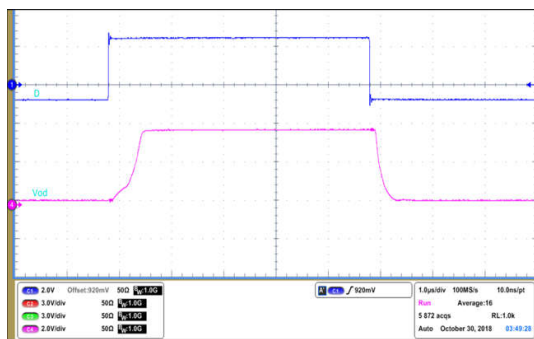
図 7-27. ISO143x レシーバの V_{ID} と信号速度との関係



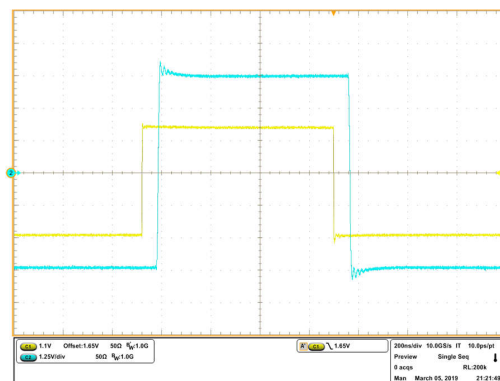
PWD ≤ ± 5% の場

合

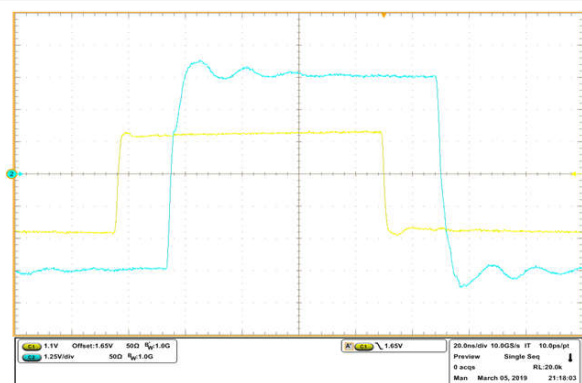
図 7-28. ISO145x レシーバの V_{ID} と信号速度との関係



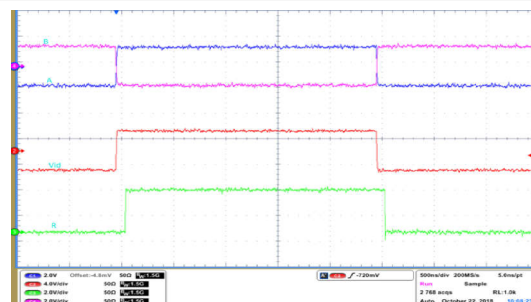
$V_{CC1} = 3.3V$ $V_{CC2} = 5V$ $T_A = 25^\circ C$
 $DE = V_{CC1}$
図 7-29. ISO141x ドライバの伝搬遅延



$V_{CC1} = 3.3V$ $V_{CC2} = 5V$ $T_A = 25^\circ C$
 $DE = V_{CC1}$
図 7-30. ISO143x ドライバの伝搬遅延



$V_{CC1} = 3.3V$ $V_{CC2} = 5V$ $T_A = 25^\circ C$
 $DE = V_{CC1}$
図 7-31. ISO145x ドライバの伝搬遅延



$V_{CC1} = 3.3V$ $V_{CC2} = 5V$ $T_A = 25^\circ C$
 $DE = GND1$ $RE = GND1$
図 7-32. ISO141x レシーバの伝搬遅延

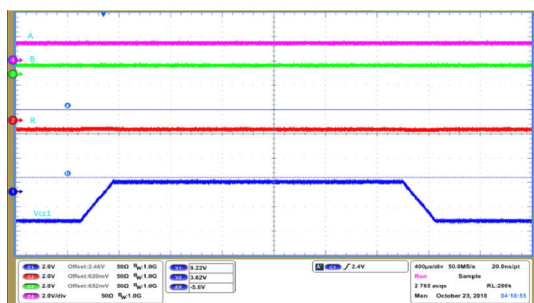


図 7-33. V_{CC1} パワーアップ/パワーダウン - グリッチ
フリー動作

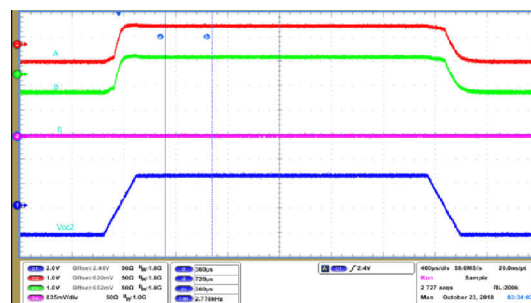
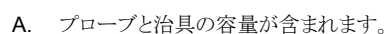


図 7-34. V_{CC2} パワーアップ/パワーダウン - グリッチ
フリー動作



A. C₁ には治具と計測器の容量が含まれます。

The figure consists of two parts. The left part is a schematic diagram of the measurement setup. An 'Input Generator' is connected to the 'D' input of a 74VHC04 inverter. The inverter's output is labeled 'A or Y'. A switch 'S1' can connect the output to either 'A or Y' or 'B or Z'. The output is connected to a load resistor R_L (110 Ω) and a load capacitor $C_L^{(1)}$ (50 pF). The input of the inverter is connected to a 50 Ω resistor, which is connected to the 'Input Generator' and ground 'GND1'. The output is connected to ground 'GND2'. The right part is a timing diagram showing the input voltage V_I and output voltage V_O waveforms. V_I is a square wave between 0 V and V_{CC1} . V_O is a square wave between $-V_{OL}$ and V_{CC2} . The diagram shows the 50% and 10% voltage levels and the propagation delay t_{PLZ} from the 50% input level to the 10% output level.

The figure consists of two parts. The left part is a circuit diagram of an inverter. An input generator is connected to the input of an inverter through a $50\ \Omega$ resistor. The inverter's output is connected to a load capacitor $C_L^{(1)}$ of 15 pF . The inverter's input is labeled 'A', output 'R', and the load capacitor is labeled 'C_L⁽¹⁾ 15 pF'. The inverter's input is also labeled 'B' and 'C'. The inverter's output is labeled 'V_O'. The inverter's input is also labeled '1.5 V'. The inverter's output is labeled 'RE'. The inverter's input is also labeled '50 Ω '. The inverter's output is labeled '3 V' and '0 V'. The inverter's input is also labeled '50 %' and '50 %'. The inverter's output is labeled '50 %' and '50 %'. The inverter's input is also labeled 't_{PLH}' and 't_{PHL}'. The inverter's output is labeled 't_r' and 't_f'. The inverter's input is also labeled 'V_I' and 'V_O'. The inverter's output is labeled 'V_{OH}' and 'V_{OL}'. The inverter's input is also labeled '90 %' and '10 %'. The inverter's output is labeled '50 %' and '50 %'.

The right part is a graph showing the voltage transfer characteristics (VTC) of the inverter. The input voltage V_I is shown as a step function that transitions from 0 V to 3 V . The output voltage V_O is shown as a step function that transitions from V_{OH} to V_{OL} . The propagation delay times t_{PLH} and t_{PHL} are defined as the time intervals from the 50% input voltage level to the 50% output voltage level. The transition times t_r and t_f are defined as the time intervals from the 50% input voltage level to the 90% and 10% output voltage levels, respectively.

A. C_L には治具と計測器の容量が含まれます。

English Data Sheet: [SLLSF22](#)

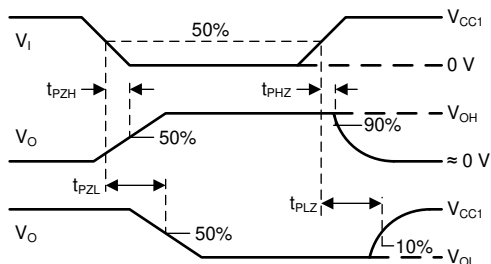


図 8-9. レシーバのイネーブル時間とディセーブル時間

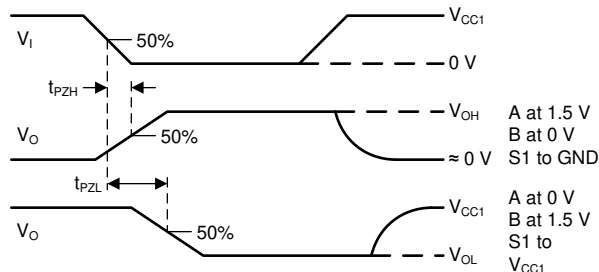
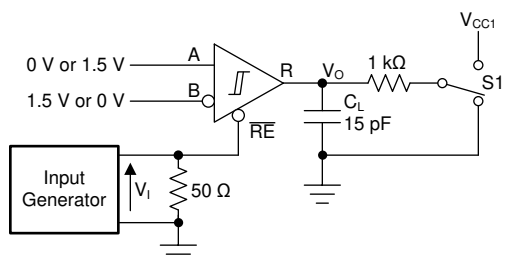
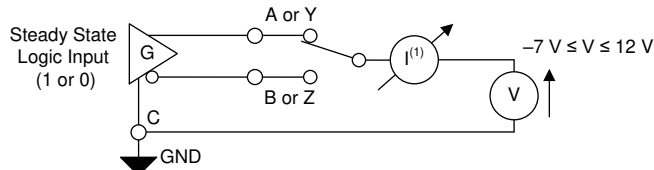
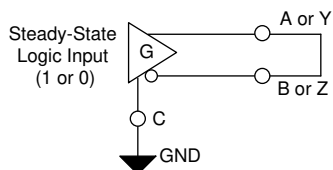


図 8-10. レシーバのイネーブル時間とディセーブル時間



A. この構成では、ドライバが損傷を持続しないようにする必要があります。

図 8-11. 短絡電流制限

9 詳細説明

9.1 概要

ISO14xx デバイスは、過酷な産業用環境で動作するように設計された絶縁型 RS-485/RS-422 トランシーバです。ISO141x、ISO143x、ISO145x デバイスは、それぞれ最大 500kbps、12Mbps、50Mbps の信号速度をサポートしています。このデバイスファミリは、3 チャンネルのデジタル アイスレータと RS-485 トランシーバが、16 ピン SOIC パッケージに搭載されています。二酸化ケイ素をベースとする容量性絶縁バリアは、 5kV_{RMS} の電圧に対する耐性があり、絶縁動作電圧は 1500V_{PK} です。絶縁により、通信ノード間のグラウンド ループが切断され、グラウンドの電位差が大きい場合でもデータ転送が可能になります。これらのデバイスは、従来のトランシーバよりも標準的な差動出力電圧 (V_{OD}) が高く、ノイズ耐性が向上しています。 V_{CC2} 電圧 $5\text{V} \pm 10\%$ において 2.1V の最小差動出力電圧が規定されており、PROFIBUS アプリケーションの要件を満たしています。デバイスのロジック電源電圧 (V_{CC1}) が広く、 1.8V 、 2.5V 、 3.3V 、 5V の制御ロジックとのインターフェイスをサポートしています。 $3\text{V} \sim 5.5\text{V}$ のバス側電源 (V_{CC2}) により、最終システムで適切にレギュレートされた絶縁電源が不要になります。図 9-1 に全二重デバイスの機能ブロック図、図 9-2 に半二重デバイスの機能ブロック図を示します。

9.2 機能ブロック図

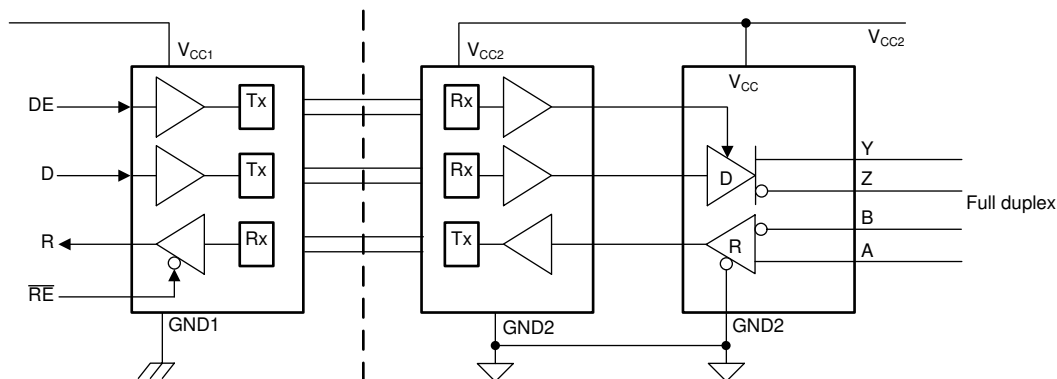


図 9-1. 全二重のブロック図

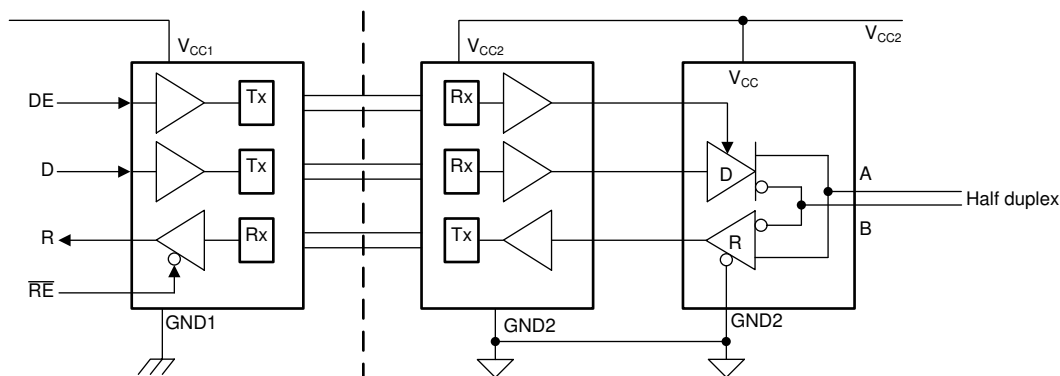


図 9-2. 半二重のブロック図

9.3 機能説明

9.3.1 電磁両立性 (EMC) に関する検討事項

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4-x および CISPR 22 などの国際規格により規制されています。システム レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトによって大きく左右されますが、ISO14xx デバイスには、 $\pm 16\text{kV}$ ESD (IEC61000-4-2 に準拠) と $\pm 4\text{kV}$ EFT (IEC 61000-4-4 に準拠) からトランシーバを保護するための専用回路が組み込まれています。注意深くシステム設計することで、 $\pm 4\text{kV}$ EFT 基準 A を達成できます (過渡ノイズが存在するノード間のデータ通信で、データ損失が最小またはゼロ)。

9.3.2 フェイルセーフ レシーバ

ISO14xx デバイスの差動レシーバには、以下の原因で発生する無効なバス状態からのフェイルセーフ保護があります。

- ケーブルの破損やコネクタの接続解除などのオープン バス状態
- ケーブルの絶縁破壊によりツイストペアが短絡するなどの短絡したバス状態
- バス上のドライバがアクティブに駆動していないときに発生するアイドル バス状態

終端された伝送ラインがこれらいずれかの状態になると、RS-485 レシーバの差動入力 は 0 になります。レシーバはフェイルセーフ ロジック High 状態を出力し、レシーバの出力が不定にならないようにします。

不定範囲に 0V の差動が含まれないように、レシーバのスレッショルドはレシーバのフェイルセーフ保護でオフセットされます。RS-485 規格に準拠するためには、差動入力 (V_{ID}) が 200mV を超えたときに、レシーバ出力がロジック High を生成する必要があります。同様に、RS-485 規格に準拠するためには、 V_{ID} が -200mV 未満のときには、レシーバ出力がロジック Low 出力を生成する必要があります。フェイルセーフ性能を決定するレシーバ パラメータは、 V_{TH+} 、 V_{TH-} 、 V_{HYS} です。「電気的特性」表に示すように、差動信号が -200mV 未満の場合は常にレシーバ出力は Low になります。差動信号が 200mV を超える場合、レシーバ出力は常に High になります。差動入力信号がゼロに近い場合でも、 V_{TH+} スレッショルドを上回っていれば、レシーバ出力はロジック High になります。レシーバ出力が Low 状態になるのは、差動入力 が V_{HYS} だけ低下して V_{TH+} を下回った場合のみです。

内部のフェイルセーフ バイアス機能により、図 9-3 に示すように、従来型の絶縁型 RS-485 トランシーバで一般的に必要なとされる 2 つの外部抵抗が不要になります。

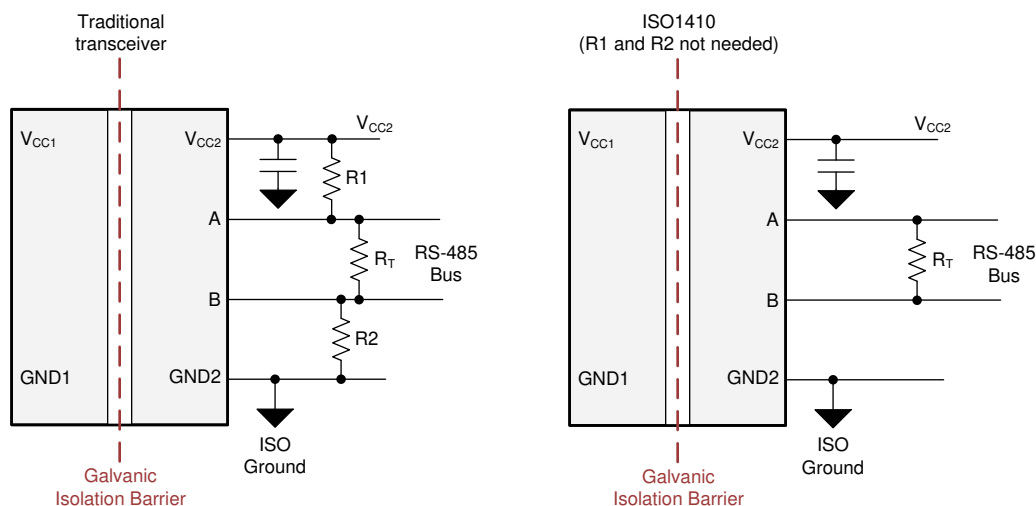


図 9-3. フェイルセーフ トランシーバ

9.3.3 サーマル シャットダウン

ISO14xx デバイスには、フォルト条件発生時の損傷を防止するため、サーマル シャットダウン回路が含まれています。ドライバ出力の短絡またはバス競合状態により、ドライバ電流が大幅に増加し、デバイス内部の消費電力が増加する可能性

があります。ダイ温度の上昇が監視され、ダイ温度が 170°C (標準値) になるとデバイスがディセーブルになり、デバイスの温度を下げます。接合部温度が 165°C (標準値) になると、デバイスがイネーブルになります。

バスの短絡が長時間に及んだり、推奨動作条件に規定されている電圧レベルを上回ったりしないようにする必要があります。バス短絡が繰り返し発生したり、長時間に及んだりすると、接合部温度が高くなり、デバイスの信頼性に影響を及ぼす可能性があります。

9.3.4 グリッチ フリーのパワーアップ/パワーダウン

RS485 ネットワークで新しいノードに交換するとき、またはノードを取り除くときは、マスタ ノードとスレーブ ノード間の既存の通信が中断されないようにする必要があります。デバイスが次の状態の場合、バスにグリッチは発生しません。

- 電源が供給されていない状態でネットワークにホットプラグされている
- 電源が供給され、ディセーブル状態でネットワークにホットプラグされている
- すでにバスに接続されているときに、ディセーブル状態でパワーアップまたはパワーダウンされる

ISO14xx デバイスは、ディセーブル状態のときに 100µs～10ms の電源ランプ レートでパワーアップまたはパワーダウンした場合、バス上に誤ったデータをトグルすることはありません。

9.4 デバイスの機能モード

表 9-1 に、ドライバの機能モードを示します。

表 9-1. ドライバ機能表

V _{CC1} ⁽¹⁾	V _{CC2} ⁽¹⁾	入力 D	ドライバ イネーブル DE	出力 ⁽³⁾	
				Y、A	Z、B
PU	PU	H	H	H	L
		L	H	L	H
		X	L	ハイ インピーダンス	ハイ インピーダンス
		X	オープン	ハイ インピーダンス	ハイ インピーダンス
		オープン	H	H	L
PD ⁽²⁾	PU	X	X	ハイ インピーダンス	ハイ インピーダンス
X	PD	X	X	ハイ インピーダンス	ハイ インピーダンス

(1) PU = 電源オン、PD = 電源オフ、H = High レベル、L = Low レベル、X = 無関係、Hi-Z = 高インピーダンス状態

(2) 入力信号が強く駆動されると、内部保護ダイオードを経由してフローティング V_{CC1} に弱い電力が供給され、出力が不定になる可能性があります。

(3) 全二重デバイスの場合、ドライバ出力は Y および Z です。半二重デバイスの場合、ドライバ出力は A および B です。

以下の説明は半二重デバイスに固有のものですが、同じ論理は出力が Y および Z の全二重デバイスにも適用されます。

ドライバ イネーブル ピン DE がロジック High のとき、差動出力 A および B はデータ入力 D のロジック状態に従います。D 入力がロジック High になると、A 出力は High になり、B は Low になります。そのため、式 1 で定義される差動出力電圧は正になります。

$$V_{OD} = V_A - V_B \quad (1)$$

D 入力 Low になると、B 出力は High になり、A 出力は Low になります。そのため、式 1 で定義される差動出力電圧は負になります。DE 入力 Low になると、両方の出力が高インピーダンス (Hi-Z) 状態になります。DE 入力ロジック Low の場合、D ピンのロジック状態は無関係になります。DE ピンには、グランドに接続された内部プルダウン抵抗があります。DE ピンをオープンのままにすると、ドライバはデフォルトでディセーブル (バス出力が Hi-Z) になります。D ピンには内部プルアップ抵抗があります。ドライバがイネーブルのときに D ピンをオープンのままにすると、A 出力は High になり、B 出力は Low になります。

表 9-2 に、レシーバの機能モードを示します。

表 9-2. レシーバ機能表

$V_{CC1}^{(1)}$	$V_{CC2}^{(1)}$	差動入力	レシーバイネーブル \overline{RE}	出力 R
		$V_{ID} = V_A - V_B$		
PU	PU	$-0.02\text{ V} \leq V_{ID}$	L	H
		$-0.2\text{ V} < V_{ID} < 0.02\text{ V}$	L	不定
		$V_{ID} \leq -0.2\text{ V}$	L	L
		X	H	ハイ インピーダンス
		X	オープン	ハイ インピーダンス
		オープン、短絡、アイドル	L	H
PD ⁽²⁾	PU	X	X	ハイ インピーダンス
PU	PD	X	L	H
PD ⁽²⁾	PD	X	X	ハイ インピーダンス

- (1) PU = 電源オン、PD = 電源オフ、H = ロジック High、L = ロジック Low、X = 無関係、Hi-Z = 高インピーダンス (オフ) 状態
 (2) 入力信号が強く駆動されると、内部保護ダイオードを経由してフローティング V_{CC1} に弱い電力が供給され、出力が不定になる可能性があります。

レシーバ イネーブル ピン \overline{RE} がロジック Low の場合、レシーバはイネーブルになります。式 2 で定義される差動入力電圧が正の入力スレッショルド V_{TH+} を上回ると、レシーバの出力 R は High になります。

$$V_{ID} = V_A - V_B \quad (2)$$

式 2 で定義される差動入力電圧が負の入力スレッショルド V_{TH-} を下回ると、レシーバの出力 R は Low になります。 V_{ID} 電圧が V_{TH+} と V_{TH-} スレッショルドの間にある場合、出力は不定になります。レシーバの出力は Hi-Z 状態で、 \overline{RE} ピンがロジック High またはオープンのままの場合、 V_{ID} の大きさと極性は無関係になります。レシーバ入力の内部バイアスにより、トランシーバがバスから切断されたとき (開路)、バスラインが相互に短絡したとき (短絡)、またはバスがアクティブに駆動されていないとき (アイドル バス)、出力はフェイルセーフ High になります。

9.4.1 デバイス I/O 回路図

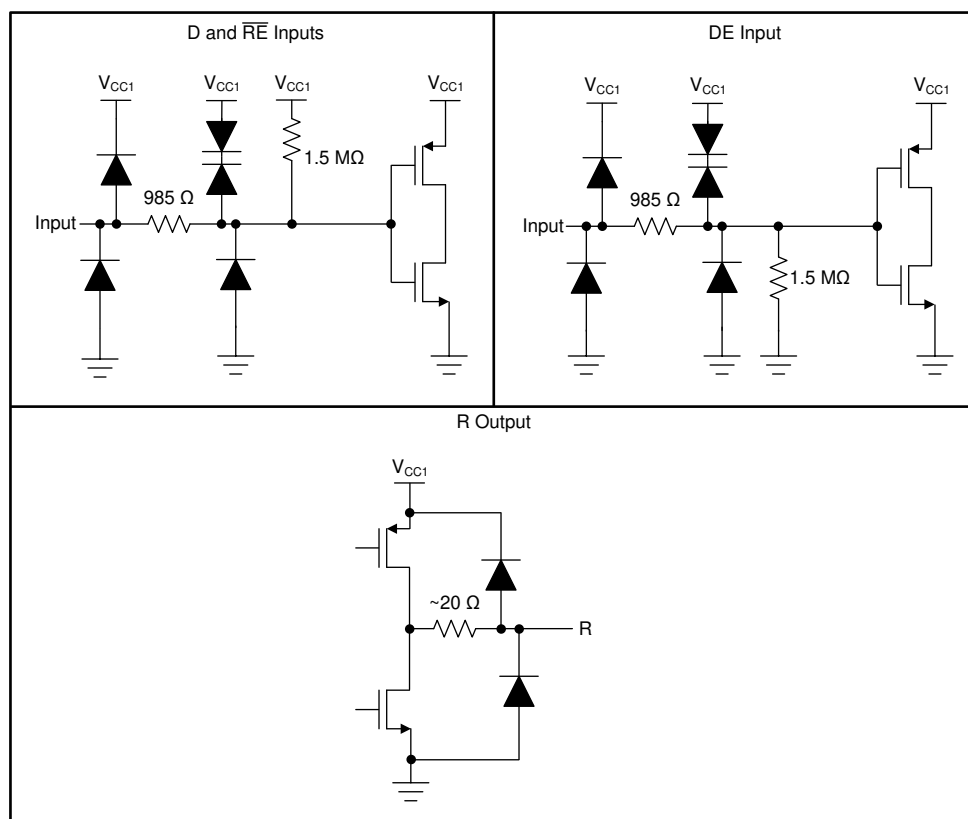


図 9-4. デバイス I/O 回路図

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

ISO14xx デバイスは、マルチポイント RS-485 ネットワークでの双方向データ転送用に設計されています。ネットワーク内の各 RS-485 ノードの設計には、[図 10-3](#) に示すように、ISO14xx デバイスと絶縁型電源が必要です。

RS-485 バスは、バス ケーブルと並列に接続された複数のトランシーバで構成されています。ラインの反射を除去するため、ケーブルの両端は終端抵抗 R_T で終端されています。 R_T の値は、ケーブルの特性インピーダンス Z_0 と一致しています。この方式は並列終端と呼ばれ、長いケーブル長にわたって高いデータレートを実現できます。

全二重実装には、[図 10-1](#) に示すように、2 組の信号ペア (4 線式) が必要です。全二重実装では、ノードごとに一方のペアでデータを送信しながら、同時にもう一方のペアでデータを受信できます。半二重実装では、[図 10-2](#) に示すように、ドライバおよびレシーバのイネーブル ピンにより、いつでも任意のノードを送信モードまたは受信モードに設定できるため、ケーブル要件が削減されます。

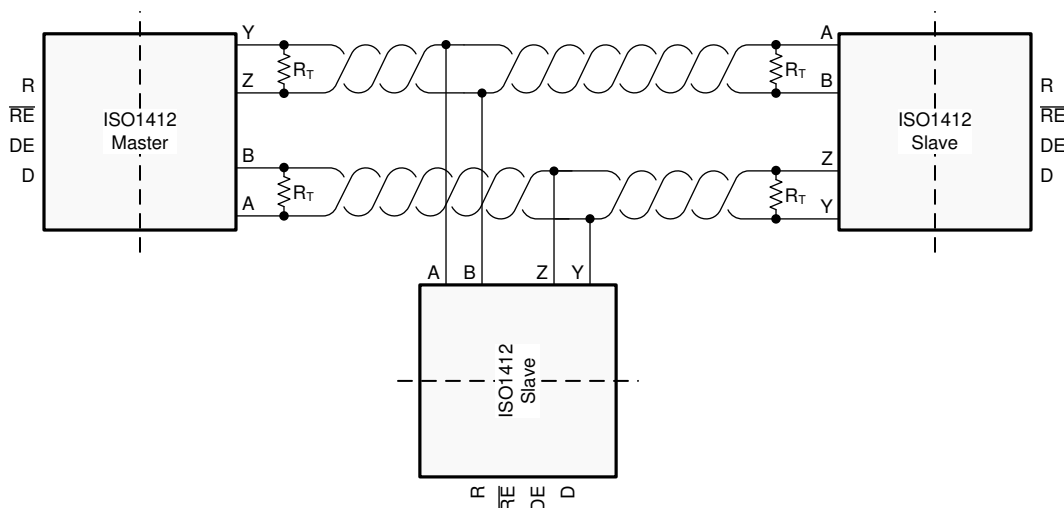


図 10-1. 全二重絶縁型トランシーバを使用した標準的な RS-485 ネットワーク

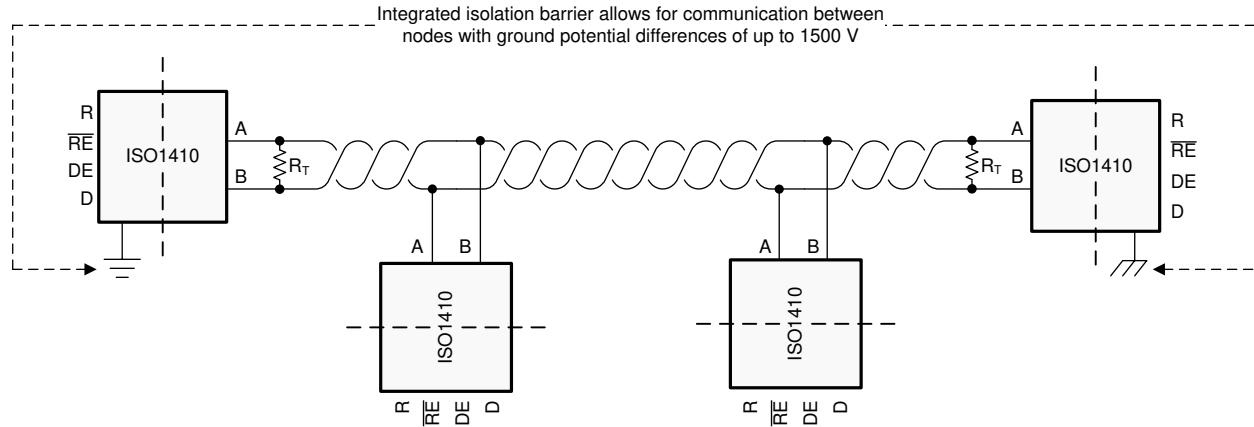


図 10-2. 半二重絶縁型トランシーバを使用した標準的な RS-485 ネットワーク

10.2 代表的なアプリケーション

ISO1410 デバイスの代表的なアプリケーションの回路を、図 10-3 に示します。

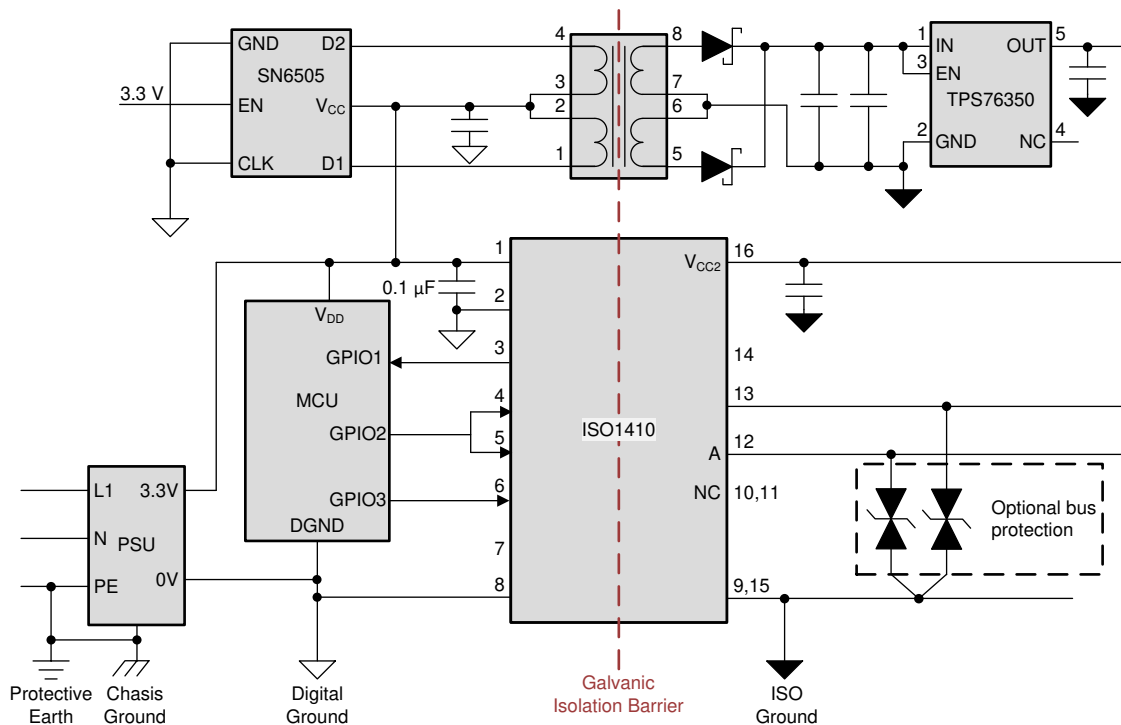


図 10-3. ISO1410 のアプリケーション回路

10.2.1 設計要件

性能の向上、バイアスの供給、電流の制限のためにいくつかの外付け部品が必要なフォトカプラーベースのソリューションとは異なり、ISO14xx デバイスの動作には外付けバイパスコンデンサのみが必要です。

10.2.2 詳細な設計手順

RS-485 バスは、長距離通信に適した堅牢な電氣的インターフェイスです。RS-485 インターフェイスは、通信距離、データレート、ノード数の要件が異なるさまざまなアプリケーションで使用できます。

10.2.2.1 データ レートとバス長

RS-485 規格の標準曲線は、図 10-4 に示す曲線に類似しています。これらの曲線は、信号速度とケーブル長の間に反比例の関係があることを示しています。2 つのノード間のペイロードのデータ レートが低い場合、ノード間のケーブル長を長くできます。

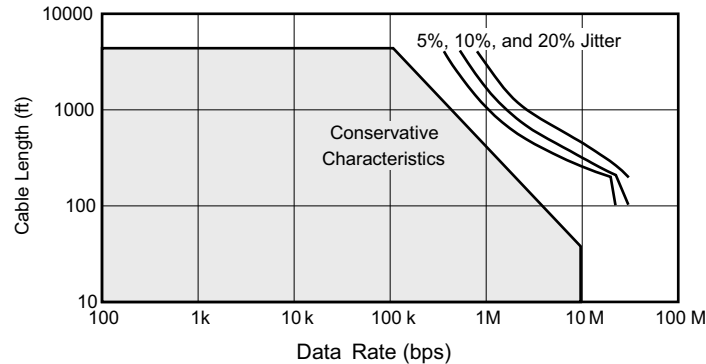


図 10-4. ケーブル長とデータ レート特性との関係

ケーブルの選択、データ レート、ケーブル長、およびそれに続くジッタ バジレットには、図 10-4 をガイドラインとして使用してください。

10.2.2.2 スタブ長

RS-485 ネットワークでは、トランシーバ入力とケーブル トランクの間の距離は「スタブ」と呼ばれます。ノードをバスに接続するときは、スタブをできるだけ短くする必要があります。スタブは、終端されていないバス ラインであり、スタブが長くなると、さまざまな位相の反射が発生する可能性があります。一般的なガイドラインとして、スタブの電氣的長さ (往復遅延) は、ドライバの立ち上がり時間の 1/10 未満にする必要があります。最大物理スタブ長 ($L_{(STUB)}$) は式 3 で計算されます。

$$L_{(STUB)} \leq 0.1 \times t_r \times v \times c \quad (3)$$

ここで、

- t_r は、ドライバの 10/90 の立ち上がり時間です。
- c は光の速度 ($3 \times 10^8 \text{m/s}$) です。
- v は、ケーブルまたはトレースの信号速度を、 c の係数で表したものです。

10.2.2.3 バスの負荷

ドライバから供給される電流は、負荷に供給する必要があります。これは、ドライバの出力がこの電流に依存するためです。バスにトランシーバを追加すると、バスの総負荷が増加します。RS-485 規格は、可能なバス負荷の最大数を推定するため、単位負荷 (UL) の仮想的な項を規定しています。UL は、約 $12 \text{k}\Omega$ の負荷インピーダンスを表します。規格に準拠したドライバは、32 UL を駆動できることが必要です。

ISO14xx デバイスには 1/8 UL インピーダンス トランシーバが搭載されており、最大 256 のノードをバスに接続できます。

10.2.3 アプリケーション曲線

以下に示す ISO145x デバイスのアイ ダイアグラムは、50Mbps の最大データ レートで低ジッタと広いオープン アイを示しています。

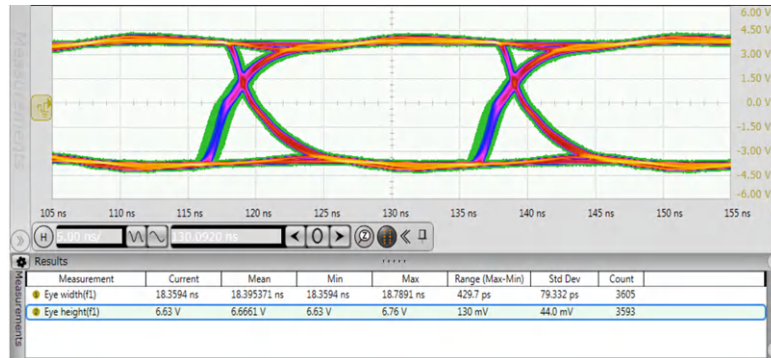


図 10-5. 50Mbps クロック、 $V_{CC2} = 5V$ 、 $25^{\circ}C$ でのアイ ダイアグラム

10.2.3.1 絶縁寿命

絶縁寿命予測データは、業界標準の TDDb (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDb テスト構成については、図 10-6 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDb (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 87.5% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、37.5 年の最小絶縁寿命が必要であることになります。

図 10-7 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDb データによれば、絶縁バリアの固有能力は $1060 V_{RMS}$ 、寿命は 220 年です。パッケージサイズ、汚染度、材料グループなど他の要因により、部品の動作電圧がさらに制限される場合があります。DW-16 の動作電圧は最大 $1060 V_{RMS}$ と規定されています。動作電圧が低い場合、対応する絶縁寿命は 220 年よりはるかに長くなります。

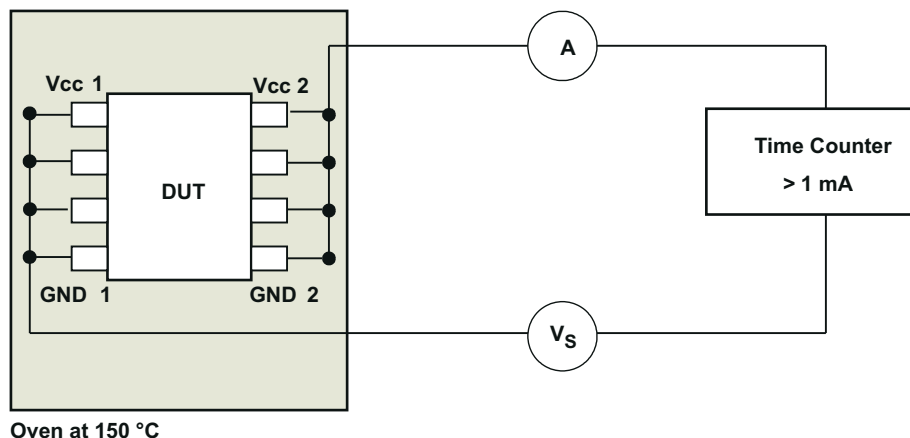
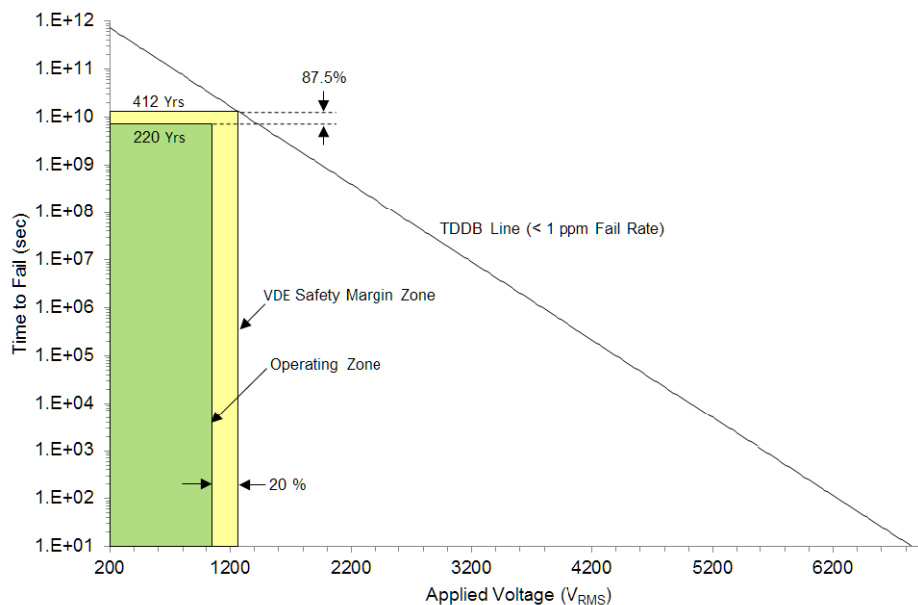


図 10-6. 絶縁寿命測定用のテスト構成



動作絶縁電圧 = 1060V_{RMS}

T_A = 最大 150°C

予測絶縁寿命 = 220 年

印加電圧周波数 = 60Hz

図 10-7. 絶縁寿命予測データ

11 電源に関する推奨事項

すべてのデータレートおよび電源電圧で信頼性の高いデバイス動作を確保するため、ロジック電源ピンおよびトランシーバ電源ピン (V_{CC1} および V_{CC2}) に 0.1μF のバイパスコンデンサを推奨します。コンデンサは電源ピンにできるだけ近付けて配置してください。また、V_{CC2} に 10μF のバルクコンデンサを接続すると、送信モードでのバス遷移時のトランシーバ性能が向上します。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、テキサス・インスツルメンツの **SN6505B** デバイスなどのトランスドライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションについては、『**SN6505 絶縁型電源用の低ノイズ 1A トランスドライバ**』データシートに、詳細な電源設計とトランス選択に関する推奨事項が記載されています。

12 レイアウト

12.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 12-2 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランドプレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランドプレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンスパスを実現します。
- グランドプレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100 pF/in^2 増加させることができます。
- 最下層に低速の制御信号を配線すれば、通常、これらの信号リンクには、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

セクション 12.2 に、デバイスのバイパスコンデンサとオプションの TVS ダイオードの推奨配置と配線を示します。V_{CC2} のバイパスコンデンサは最上層で、デバイスピンのできるだけ近くに配置します。V_{CC2} および GND2 ピンへの接続には、ビアを使用しないでください。電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源プレーンシステムまたはグランドプレーンシステムを層構成に追加します。これにより、基盤の層構成は機械的に安定し、反りを防ぎます。また、各電源システムの電源プレーンとグランドプレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『デジタルアイソレータ設計ガイド』を参照してください。

12.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

12.2 レイアウト例

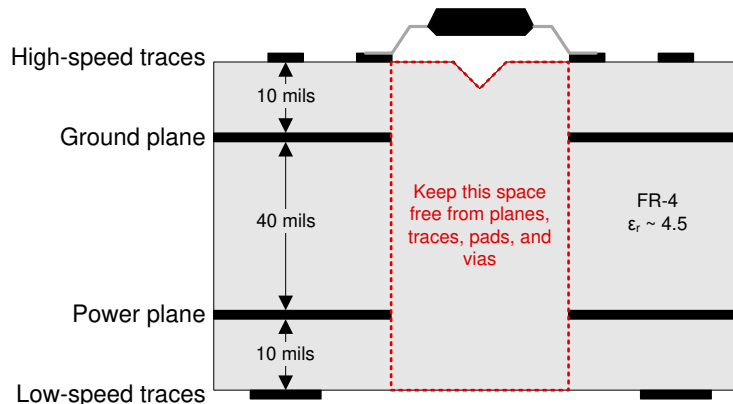


図 12-1. 推奨されるレイヤ・スタック

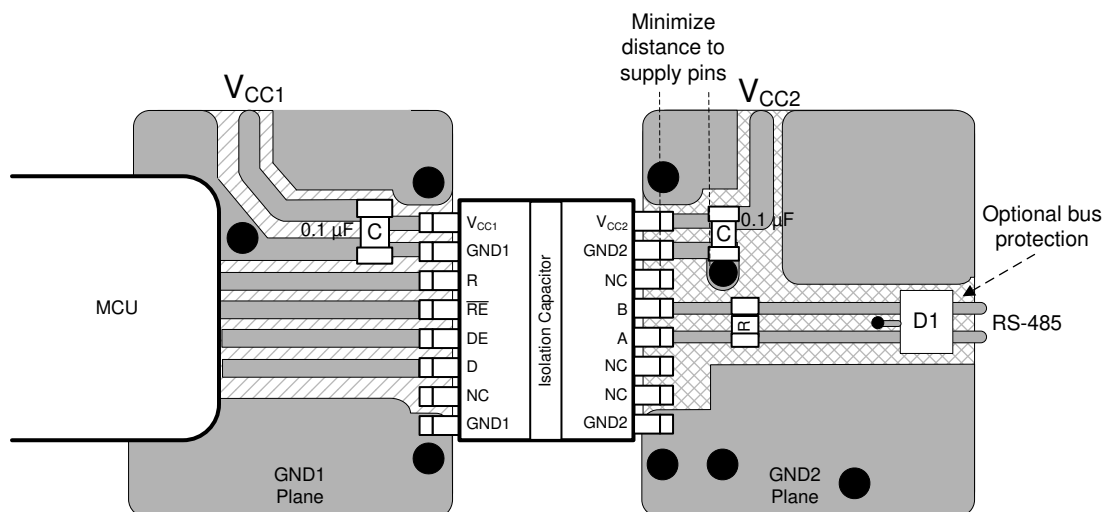


図 12-2. レイアウト例

13 デバイスおよびドキュメントのサポート

13.1 ドキュメントのサポート

13.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[デジタル アイスレータ設計ガイド](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[絶縁用語集](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[絶縁型 RS-485 半二重評価基板](#)』ユーザー ガイド
- テキサス・インスツルメンツ、『[RS-485 システムの信号および電力の絶縁方法](#)』アプリケーション ブリーフ
- テキサス・インスツルメンツ、『[産業用ロングホール通信用の堅牢な絶縁型 RS-485](#)』アプリケーション ブリーフ

13.1.1.1 関連リンク

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートとコミュニティ リソース、ツールとソフトウェア、およびご注文へのクイック アクセスが含まれます。

表 13-1. 関連リンク

製品	プロダクトフォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
ISO1410	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1412	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1430	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1432	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1450	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1452	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1410B	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1412B	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1430B	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1432B	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1450B	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO1452B	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

13.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

13.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

13.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

13.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

13.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

14 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (May 2020) to Revision H (June 2024) Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 1

Changes from Revision F (February 2020) to Revision G (May 2020) Page

- 次のセクションにドライバの最小立ち上がり / 立ち下がり時間仕様 240ns を追加 - [8.13 スイッチング特性:ドライバ \(500kbps デバイス\)](#) 14

Changes from Revision E (October 2019) to Revision F (February 2020) Page

- 「[安全関連認定](#)」に更新された認定情報を追加..... 9

Changes from Revision D (May 2019) to Revision E (October 2019) Page

- ピン機能表の NC ピンに脚注を追加..... 3

Changes from Revision C (April 2019) to Revision D (May 2019) Page

- データシート全体を通して B 型番を追加..... 1

Changes from Revision B (November 2018) to Revision C (April 2019) Page

- 「製品情報」表に ISO1430、ISO1432、ISO1450、ISO1452 を追加..... 1
- 「デバイスの特長」表を「デバイス比較表」に変更 2
- 「デバイスの特長」表の位置を変更..... 2
- 次のセクションに脚注を追加 - ピンの機能: 全二重デバイス..... 3
- 次のセクションに脚注を追加 - ピンの機能: 半二重デバイス..... 4
- 「[セクション 7.16](#)」に ISO143x および ISO145x の代表的な曲線を追加 16
- セクション 11.2.3 「アプリケーション曲線」およびセクション 11.2.3.1 「絶縁寿命」を追加..... 32

Changes from Revision A (August 2018) to Revision B (November 2018) Page

- ステータスを「量産データ」に変更..... 1

Changes from Revision * (July 2018) to Revision A (August 2018)

Page

• 「推奨動作条件」の同相電圧指定子を V_I に変更.....	6
• 次のセクションに CMTI のテスト条件を追加 - 電気的特性:ドライバ	10
• 次のセクションに CMTI のテスト条件を追加 - 電気的特性:レシーバ.....	11
• 「パラメータ測定情報」セクションの「同相過渡耐性 (CMTI) - 全二重」および「同相過渡耐性 (CMTI) - 半二重」の図で、 V_{TEST} を V_{CM} に変更	22
• 「パラメータ測定情報」セクションの最初の「ドライバのイネーブル時間とディセーブル時間」のタイミング図で、 t_{PLH} を t_{PZH} に、 t_{PLZ} を t_{PHZ} に変更	22
• 「パラメータ測定情報」セクションの最初の「レシーバのイネーブル時間とディセーブル時間」のタイミング図に t_{PHZ} を追加	22

15 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスについて利用可能な最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO1410BDW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1410B
ISO1410BDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1410B
ISO1410DW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1410
ISO1410DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1410
ISO1410DWRG4	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1410
ISO1412BDW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1412B
ISO1412BDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1412B
ISO1412DW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1412
ISO1412DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1412
ISO1430BDW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1430B
ISO1430BDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1430B
ISO1430DW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1430
ISO1430DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1430
ISO1430DWRG4	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1430
ISO1432BDW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1432B
ISO1432BDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1432B
ISO1432DW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1432
ISO1432DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1432
ISO1450BDW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1450B
ISO1450BDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1450B
ISO1450BDWRG4	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1450B
ISO1450DW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1450
ISO1450DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1450
ISO1452BDW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1452B
ISO1452BDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1452B
ISO1452DW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1452
ISO1452DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO1452

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO1430BDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1430DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1430DWRG4	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1432BDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1432DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1450BDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1450BDWRG4	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1450DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1452BDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1452DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO1430BDWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO1430DWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO1430DWRG4	SOIC	DW	16	2000	353.0	353.0	32.0
ISO1432BDWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO1432DWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO1450BDWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO1450BDWRG4	SOIC	DW	16	2000	353.0	353.0	32.0
ISO1450DWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO1452BDWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO1452DWR	SOIC	DW	16	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
ISO1410BDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1410BDW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1410DW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1410DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1412BDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1412BDW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1412DW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1412DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1430BDW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1430BDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1430DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1430DW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1432BDW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1432BDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1432DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1432DW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1450BDW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1450BDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1450DW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1450DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1452BDW	DW	SOIC	16	40	507	12.83	5080	6.6
ISO1452BDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1452DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1452DW	DW	SOIC	16	40	507	12.83	5080	6.6

GENERIC PACKAGE VIEW

DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A



DW0016B

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES:

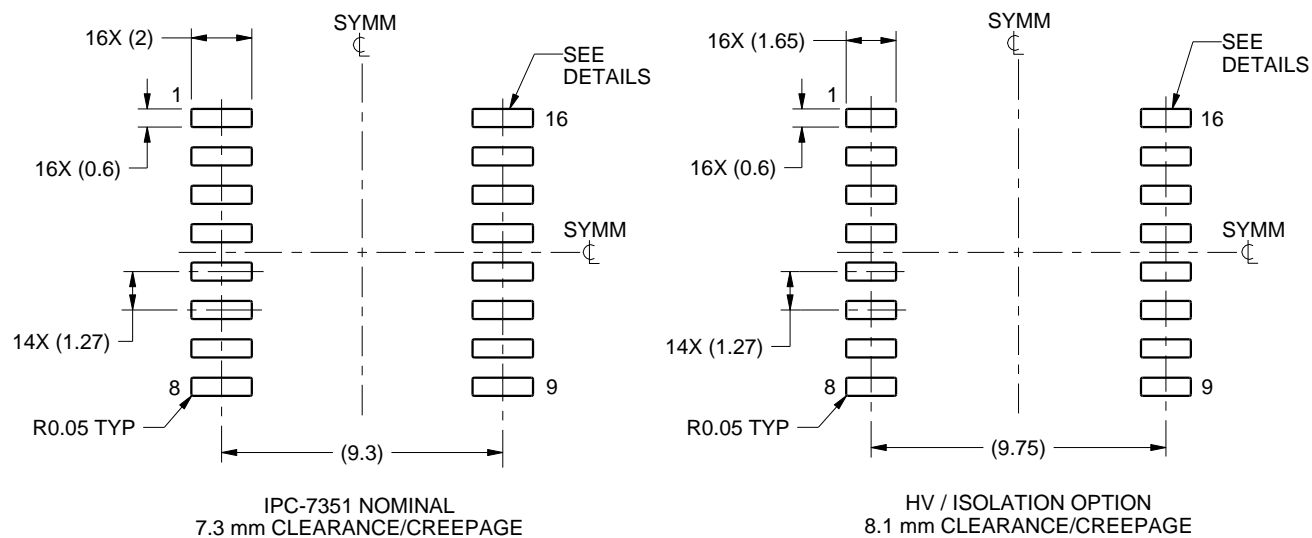
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

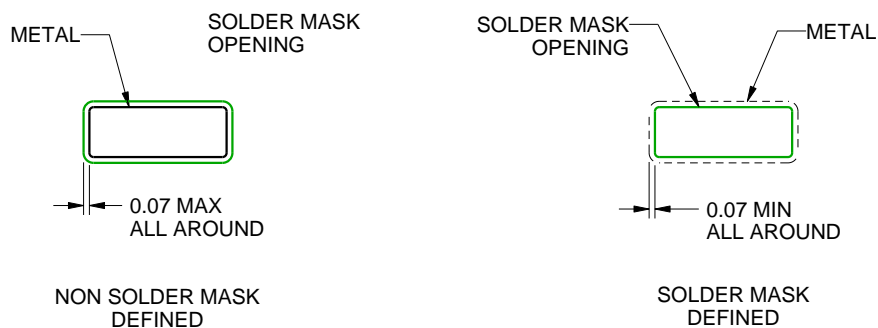
DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

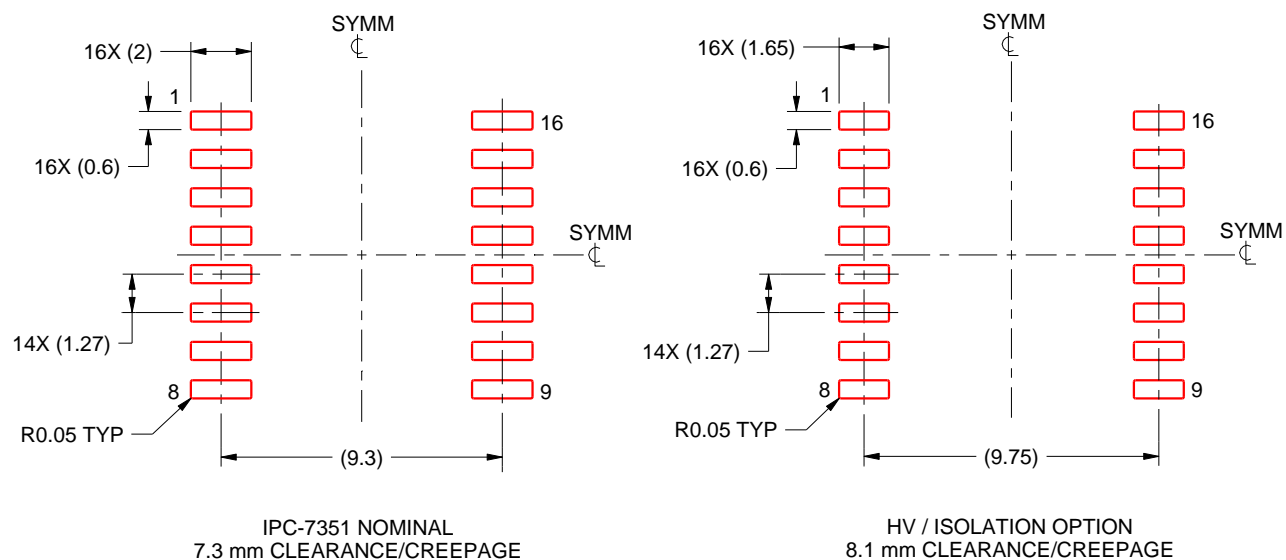
6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DW0016B

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月