

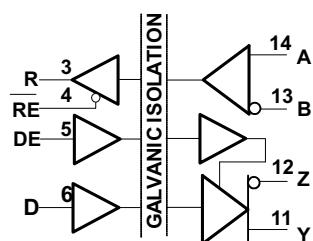
ISO308x 絶縁型 5V 全二重および半二重 RS-485 トランシーバ

1 特長

- TIA/EIA RS-485 の要件を満たす（または上回る）性能
- 最大 20Mbps の信号速度
- 1/8 ユニット負荷 - 1 個のバスに最大 256 個のノード
- サーマル・シャットダウン保護
- 16pF の低バス容量（標準値）
- 50kV/μs の標準過渡耐性
- バスの開放、短絡、またはアイドル時のフェイルセーフを備えるレシーバ
- 3.3V 入力は 5V 許容
- バス・ピンの ESD 保護
 - バス・ピンと GND2 の間に 12kV HBM
 - バス・ピンと GND1 の間に 6kV HBM
- 安全関連認証:
 - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した 4000 V_{PK} 基本絶縁、560 V_{PK} V_{IORM}
 - UL 1577 に準拠した 2500 V_{RMS} 絶縁
 - CSA 62368-1 に準拠した 4000 V_{PK} 絶縁

2 アプリケーション

- セキュリティ・システム
- 化学物質の製造
- ファクトリ・オートメーション
- モーターおよびモーション制御
- HVAC およびビルディング・オートメーション・ネットワーク
- ネットワーク接続セキュリティ・ステーション



ISO3080、IOS3086 の機能図

3 概要

ISO3080 および ISO3086 デバイスは TIA/EIA 485/422 アプリケーション向けの絶縁型全二重差動ライン・ドライバ / レシーバ、ISO3082 および ISO3088 デバイスは絶縁型半二重差動ライン・トランシーバです。

これらのデバイスは、はるかに大きな同相電圧範囲を許容するようにグランド・ループが切断されているため、長い伝送ラインに理想的です。デバイスの対称型絶縁バリアは、バスライン・トランシーバとロジックレベル・インターフェイスとの間で、UL 1577 に従い、2500 V_{RMS} で 60 秒間の絶縁を行うことがテスト済みです。

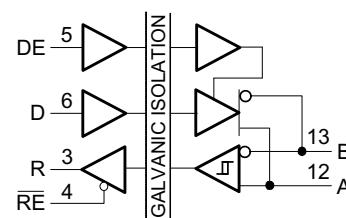
ケーブル接続されたすべての I/O は、各種ノイズ源からの電気的ノイズの過渡現象にさらされる可能性があります。このようなノイズ過渡は、十分な大きさと持続時間を持つ場合、トランシーバや隣接する敏感な回路に損傷を与える可能性があります。これらの絶縁型デバイスは、保護を大幅に強化し、高価な制御回路の損傷リスクを低減できます。

ISO3080、ISO3082、ISO3086、および ISO3088 デバイスは、-40°C～+85°Cでの使用が認定済みです。

製品情報⁽¹⁾

部品番号	パッケージ	本体サイズ(公称)
ISO3080	SOIC (16)	10.30mm × 7.50mm
ISO3082		
ISO3086		
ISO3088		

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



ISO3082、IOS3088 の機能図



英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、必ず最新版の英語版をご参照ください。

目次

1 特長.....	1	8 詳細説明.....	19
2 アプリケーション.....	1	8.1 概要.....	19
3 概要.....	1	8.2 機能ブロック図.....	19
4 改訂履歴.....	2	8.3 機能説明.....	20
5 ピン構成および機能.....	4	8.4 デバイスの機能モード.....	20
6 仕様.....	5	9 アプリケーションと実装.....	22
6.1 絶対最大定格.....	5	9.1 アプリケーション情報.....	22
6.2 ESD 定格.....	5	9.2 代表的なアプリケーション.....	22
6.3 推奨動作条件.....	5	10 電源に関する推奨事項.....	24
6.4 熱に関する情報.....	6	11 レイアウト.....	24
6.5 絶縁仕様.....	6	11.1 レイアウトのガイドライン.....	24
6.6 安全関連認証.....	7	11.2 レイアウト例.....	25
6.7 安全限界値.....	7	12 デバイスおよびドキュメントのサポート.....	26
6.8 電気的特性:ドライバ.....	8	12.1 ドキュメントのサポート.....	26
6.9 電気的特性:レシーバ.....	8	12.2 ドキュメントの更新通知を受け取る方法.....	26
6.10 電源電流.....	10	12.3 サポート・リソース.....	26
6.11 スイッチング特性:ドライバ.....	11	12.4 商標.....	26
6.12 スイッチング特性:レシーバ.....	11	12.5 静電気放電に関する注意事項.....	26
6.13 絶縁特性曲線.....	12	12.6 用語集.....	26
6.14 代表的特性.....	13	13 メカニカル、パッケージ、および注文情報.....	26
7 パラメータ測定情報.....	15		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (April 2017) to Revision J (August 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• システムレベルの熱計算の精度を高めるために熱特性、安全限界値、および熱特性低下曲線を更新.....	6
• デバイスの性能に合わせて電気的特性とスイッチング特性を更新.....	8

Changes from Revision H (December 2015) to Revision I (April 2017)	Page
• 「全二重トランシーバを使用した標準的な RS-485 ネットワーク」の図でマスタ・デバイスの R ピンと D ピンを入れ替え.....	22
• 「ドキュメントの更新通知を受け取る方法」セクションを追加	26
• 「静電放電に関する注意事項」の記述を変更	26

Changes from Revision G (July 2015) to Revision H (Devember 2015)	Page
• 「レイアウトのガイドライン」セクションの最後のリスト項目「上層に高速パターンを配線することにより...」を 2 番目のリスト項目に移動.....	24

Changes from Revision F (May 2015) to Revision G (July 2015)	Page
• 「レイアウトのガイドライン」セクションを変更.....	24

Changes from Revision E (September 2011) to Revision F (May 2015)	Page
• 「ESD 定格」表、「熱に関する情報」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• 「特長」のリストの項目を「IEC 60747-5-2 (VDE 0884, Rev. 2)」から「DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12」に変更.....	1

- VDE 規格を DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 に変更.....[1](#)

Changes from Revision D (January 2011) to Revision E (September 2011)	Page
• 「特長」のリストの項目を「16kV HBM」から「12kV HBM」に変更.....	1

Changes from Revision C (October 2009) to Revision D (January 2011)	Page
• 「熱特性低下曲線」の「IEC 60747-5-2 に準拠した DW-16 θ_{JC} 熱特性低下曲線」のグラフを変更.....	12
• 「ISO3086 の推奨最小差動入力電圧と信号速度との関係」のグラフを追加.....	13
• 「パラメータ測定情報」の最初のページの下部に注を追加.....	15
• 「ドライバ」機能表と「レシーバ機能表」に脚注を追加.....	20

Changes from Revision A (June 2008) to Revision B (December 2008)	Page
• 「特長」の項目を「4000 V _{PEAK} 絶縁」から「4000 V _{PEAK} 絶縁、560 V _{PEAK} V _{IORM} 」に変更.....	1

5 ピン構成および機能

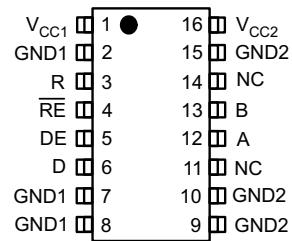
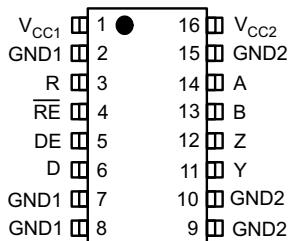


図 5-1. ISO3080 および ISO3086 DW パッケージ 16 ピン SOIC 上面図

図 5-2. ISO3082 および ISO3088 DW パッケージ 16 ピン SOIC 上面図

表 5-1. ピンの機能

ピン			I/O	説明
名称	ISO3080、 ISO3086	ISO3082、 ISO3088		
A	14	—	I	バス側のレシーバ非反転入力
	—	12	I/O	バス側のトランシーバ非反転入出力 (I/O)
B	13	—	I	バス側のレシーバ反転入力
	—	13	I/O	バス側のトランシーバ反転入出力 (I/O)
D	6	6	I	ドライバ入力
DE	5	5	I	ISO308x のドライバ出力のイネーブル (High のとき) とディセーブル (Low またはオープンのとき)
GND1	2	2	—	V _{CC1} のグランド接続
	7	7		
	8	8		
GND2	9	9	—	V _{CC2} のグランド接続
	10	10		
	15	15		
NC	—	11	—	無接続
	—	14		
R	3	3	O	レシーバ出力
RE	4	4	I	ISO308x のレシーバ出力のディセーブル (High またはオープンのとき) とイネーブル (Low のとき)
V _{CC1}	1	1	—	電源、V _{CC1}
V _{CC2}	16	16	—	電源、V _{CC2}
Y	11	—	O	ドライバ非反転出力
Z	12	—	O	ドライバ反転出力

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{CC} ⁽²⁾	電源電圧、V _{CC1} 、V _{CC2}	-0.3	6	V
V _O	任意のバス I/O 端子の電圧	-9	14	V
V _{IT}	電圧入力、過渡パルス、A、B、Y、Z (100Ω、図 21 を参照)	-50	50	V
V _I	任意の D、DE、または RE 端子の電圧入力	-0.5	6	V
I _O	レシーバ出力電流	-10	10	mA
T _J	接合部温度		150	°C
T _{STG}	保管温度	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ネットワークのグランド端子を基準としており、ピーク電圧値です。

6.2 ESD 定格

			値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	バス・ピンおよび GND1	±6000	V
		バス・ピンおよび GND2	±12000	V
		すべてのピン	±4000	V
	デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾		±1000	V

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

		最小値	標準値	最大値	単位
V _{CC1}	ロジック側電源電圧	3.15		5.5	V
V _{CC2}	バス側電源電圧	4.5	5	5.5	V
V _{OC}	A と B のいずれかのバス I/O ピンの電圧	-7		12	V
V _{IH}	High レベル入力電圧 (D、DE、RE 入力)	2		V _{CC}	V
V _{IL}	Low レベル入力電圧 (D、DE、RE 入力)	0		0.8	V
V _{ID}	差動入力電圧、B を基準とした A	-12		12	V
V _{ID}	差動入力電圧、動的 (ISO3086)		図 10 を参照		V
R _L	差動負荷抵抗	54	60		Ω
I _O	出力電流、ドライバ	-60		60	mA
I _O	出力電流、レシーバ	-8		8	mA
T _A	動作時周囲温度 (ISO15 および ISO35)	-40		85	°C

6.4 热に関する情報

热評価基準 ⁽¹⁾		ISO308x	単位
		DW (SOIC)	
		16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	79.6	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	39.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	44.7	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	13.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	44.0	°C/W
R _{θJC(bot)}	接合部からケース(底面)への熱抵抗	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 絶縁仕様

パラメータ		テスト条件	値	単位
			DW-16	
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	8	mm
DTI	絶縁物を介した距離	最小内部ギャップ(内部空間距離)	8	um
CTI	比較トラッキング指数	DIN EN 60112 (VDE 0303-11)、IEC 60112	>400	V
	材料グループ	IEC 60664-1 に準拠	II	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V _{RMS} が 150V 以下	I-IV	
		定格商用電源 V _{RMS} が 300V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾				
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧(バイポーラ)	560	V _{PK}
V _{IOTM}	最大過渡絶縁電圧	V _{TEST} = V _{IOTM} 、 t = 60s (認定) V _{TEST} = 1.2 × V _{IOTM} 、 t = 1s (100% 出荷時)	4000	V _{PK}
q _{pd}	見掛けの放電電荷 ⁽³⁾	メソッド b、ルーチン・テスト(100% 出荷時) V _{ini} = 1.2 × V _{IOTM} 、t _{ini} = 1s、 V _{pd(m)} = 1.5 × V _{IORM} 、t _m = 1s	≤5	pC
C _{IO}	バリア容量、入力から出力へ ⁽⁴⁾	V _{IO} = 0.4 × sin(2πft)、f = 1MHz	2	pF
C _I	グランドの入力容量	V _I = VCC/2 + 0.4 × sin(2πft)、f = 1MHz、VCC = 5V	2	pF
R _{IO}	絶縁抵抗 ⁽⁴⁾	V _{IO} = 500V、T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500V、T _S = 150°C	>10 ⁹	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V _{ISO}	最大絶縁耐性電圧	V _{TEST} = V _{ISO} 、t = 60s (認定)、 V _{TEST} = 1.2 × V _{ISO} 、t = 1s (100% 出荷時)	2500	V _{RMS}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグループやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
- (2) この絶縁素子は、安全定格内に限定した基本的な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) 見掛けの放電電荷とは、部分放電(pd)により発生する静電放電です。

- (4) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2つの端子を持つデバイスを構成します。

6.6 安全関連認証

VDE	CSA	UL
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 60950-1 および IEC 62368-1 による認証	UL 1577 部品認定プログラムの認定
基本絶縁、 4000 V _{PK} の最大過渡絶縁電圧、 560 V _{PK} の最大反復ピーク絶縁電圧	4000V _{RMS} の絶縁定格、 CSA 60950-1 および IEC 60950-1 の 148 V _{RMS} の使用電圧に準拠した強化絶縁、 CSA 62368-1 および IEC 62368-1 の 300 V _{RMS} の使用電圧に準拠した基本絶縁	シングル保護、 2500 V _{RMS}
認証書番号:40047657	マスタ契約書番号:220991	ファイル番号:E181974

6.7 安全限界値

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ	テスト条件	最小値	標準値	最大値	単位
DW-16 パッケージ					
I _S	安全入力、出力、または電源電流	R _{θJA} = 79.6°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C、次を参照		286	mA
T _S	最高安全温度			150	°C

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。
表にある接合部から空気への熱抵抗 R_{θJA} は、リード付き表面実装パッケージ向けの High-K テスト基板に実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。
T_J = T_A + R_{θJA} × P、ここで P は本デバイスで消費される電力です。
T_{J(max)} = T_S = T_A + R_{θJA} × P_S、ここで T_{J(max)} は最大接合部温度です。
P_S = I_S × V_I、ここで V_I は最大入力電圧です。

6.8 電気的特性：ドライバ

標準値の仕様の条件はいずれも $V_{CC1}=3.3V$ 、 $V_{CC2}=5V$ 、 $T_A=27^\circ C$ (最小値 / 最大値の仕様は特に記述のない限り推奨動作条件範囲内)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$ V_{OD1} $	$I_O = 0mA$ 、負荷なし	3	4.3	V_{CC2}	V
	$R_L = 54\Omega$ 、図 11 を参照	1.5	2.3		V
	$R_L = 100\Omega$ (RS-422)、図 11 を参照	2	2.3		V
	$V_{test} -7V \sim +12V$ 、図 12 を参照	1.5			V
$\Delta V_{OD1} $	2 つの状態間の差動出力電圧の変化	-200	200	200	mV
V_{OC}	同相出力電圧	1	2.6	3	V
$\Delta V_{OC(ss)}$	2 つの状態間の定常同相出力電圧の変化	-100	100	100	mV
$V_{OC (PP)}$	ピーク・ツー・ピーク同相出力電圧	0.5			V
I_I	入力電流	D, DE, $V_I 0V$ または V_{CC1}	-10	10	μA
I_{OZ}	ISO3082, ISO3088	レシーバのバイアス入力電流パラメータを参照			
	ISO3080, ISO3086: $V_Z = 12V$, $V_{CC} = 0V$ または $5V$, $DE = 0V$ 、その他の入力 $0V$			1	μA
	ISO3080, ISO3086: $V_Z = -7V$, $V_{CC} = 0V$ または $5V$, $DE = 0V$ 、その他の入力 $0V$	-1			μA
I_{OS}	V_A または $V_B = -7V$ 、その他の入力 $0V$	-200	200	200	mA
	V_A または $V_B = 12V$ 、その他の入力 $0V$	-200	200	200	mA
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0V$ 、図 14 および図 15 を参照	25	50	kV/ μs

6.9 電気的特性：レシーバ

標準値の仕様の条件はいずれも $V_{CC1}=3.3V$ 、 $V_{CC2}=5V$ 、 $T_A=27^\circ C$ (最小値 / 最大値の仕様は特に記述のない限り推奨動作条件範囲内)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
V_{IT+}	$I_O = -8mA$		-85	-10	mV	
V_{IT-}	$I_O = 8mA$	-200	-115		mV	
V_{HYS}	入力ヒステリシス ($V_{IT+} - V_{IT-}$)		30		mV	
V_{OH}	High レベル出力電圧	$V_{ID} = 200mV$, $I_O = -8mA$, $3.3V$ V_{CC1}	$V_{CC1} - 0.4$	3.1	V	
	High レベル出力電圧	$V_{ID} = 200mV$, $I_O = -8mA$, $5V$ V_{CC1}	4	4.8	V	
V_{OL}	Low レベル出力電圧	$V_{ID} = -200mV$, $I_O = 8mA$, $3.3V$ V_{CC1}		0.15	0.4	V
	Low レベル出力電圧	$V_{ID} = -200mV$, $I_O = 8mA$, $5V$ V_{CC1}		0.15	0.4	V
$I_{O(Z)}$	出力高インピーダンス電流、R ピン	$V_I = -7 \sim 12V$ 、その他の入力 = $0V$	-1	1	μA	

標準値の仕様の条件はいずれも $V_{CC1}=3.3V$ 、 $V_{CC2}=5V$ 、 $T_A=27^\circ C$ (最小値 / 最大値の仕様は特に記述のない限り推奨動作条件範囲内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_I	バス入力電流	V_A または $V_B = 12V$ 、その他の入力 0V		0.04	0.1	mA
		V_A または $V_B = 12V$ 、 $VCC = 0$ 、その他の入力 0V		0.06	0.13	mA
		V_A または $V_B = -7V$ 、その他の入力 0V	-0.1	-0.04		mA
		V_A または $V_B = -7V$ 、 $VCC = 0$ 、その他の入力 0V	-0.05	-0.03		mA
I_{IH}	High レベル入力電流、RE	$V_{IH} = 2V$		-10	10	μA
I_{IL}	Low レベル入力電流、RE	$V_{IL} = 0.8V$		-10	10	μA
R_{ID}	差動入力抵抗	A, B	48			$k\Omega$
C_{ID}	差動入力容量	テスト入力信号は振幅 $1-V_{PP}$ の 1.5MHz 正弦波。A と B で C_D を測定。		16		pF
C_I	グランドの入力容量	$V_I = 0.4 \sin(4E6\pi t)$		8		pF

6.10 電源電流

バスの負荷ありとなし (特に記述のない限り推奨動作条件範囲内)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ドライバはイネーブル、レシーバはディセーブル					
I_{CC1}	ロジック側電源電流、 \bar{RE} 0V または V_{CC} 、DE 0V または V_{CC1} 、3.3V V_{CC1}			8	mA
	ロジック側電源電流、 \bar{RE} 0V または V_{CC} 、DE 0V または V_{CC1} 、5V V_{CC1}			10	mA
I_{CC2}	バス側電源電流、 \bar{RE} 0V または V_{CC} 、DE 0V、負荷なし			15	mA

6.11 スイッチング特性：ドライバ

パラメータ		テスト条件	最小値	標準値	最大値	単位
すべてのデバイス						
t _{PHL} , t _{PLH}	伝搬遅延	ISO3080/82、図 14 を参照	0.7	1.3	μs	
		ISO3086/88、図 14 を参照	25	45	ns	
PWD	パルス幅歪み ⁽¹⁾ 、 t _{PHL} - t _{PLH}	ISO3080/82、図 14 を参照	20	200	ns	
		ISO3086/88、図 14 を参照	3	9	ns	
t _r , t _f	差動出力の立ち上がり時間と立ち下がり時間	ISO3080/82、図 14 を参照	0.5	0.9	1.5	μs
		ISO3086/88、図 14 を参照	7	15	ns	
t _{PZH} , t _{PZL}	伝搬遅延、 高インピーダンスから High レベルまでの出力と 高インピーダンスから Low レベルまでの出力	ISO3080/82、図 15 および図 16 を参照、 DE 0V, 50% Vo	2.5	7	μs	
		ISO3080/82、図 15 および図 16 を参照、 DE 0V, 90% Vo	1.8		μs	
		ISO3086/88、図 15 および図 16 を参照	25	55	ns	
t _{PHZ} , t _{PLZ}	伝搬遅延、 High レベルから高インピーダンスまでの出力と Low レベルから高インピーダンスまでの出力	ISO3080/28、図 15 および図 16 を参照	95	225	ns	
		ISO3086/88、図 15 および図 16 を参照	25	55	ns	

(1) 別名パルス・スキー。

6.12 スイッチング特性：レシーバ

標準値の仕様の条件はいずれも V_{CC1}=3.3V、V_{CC2}=5V、T_A=27°C (最小値 / 最大値の仕様は特に記述のない限り推奨動作条件範囲内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
すべてのデバイス						
t _r , t _f	差動出力の立ち上がり時間と立ち下がり時間	図 18 を参照	1		ns	
			90	125	ns	
t _{PHL} , t _{PLH}	伝搬遅延	ISO3080/82、図 18 を参照	4	20	ns	
			4	12	ns	
PWD	パルス幅歪み ⁽¹⁾ 、 t _{PHL} - t _{PLH}	ISO3086/88、図 18 を参照	22		ns	
			22		ns	
t _{PZH} , t _{PZL}	伝搬遅延、High レベルから高インピーダンスまでの出力と高インピーダンスから High レベルまでの出力	図 19 を参照				
t _{PLZ} , t _{PHZ}	伝搬遅延、 High インピーダンスから Low レベルまでの出力と Low レベルから High インピーダンスまでの出力	図 20 を参照				

(1) 別名パルス・スキー

6.13 絶縁特性曲線

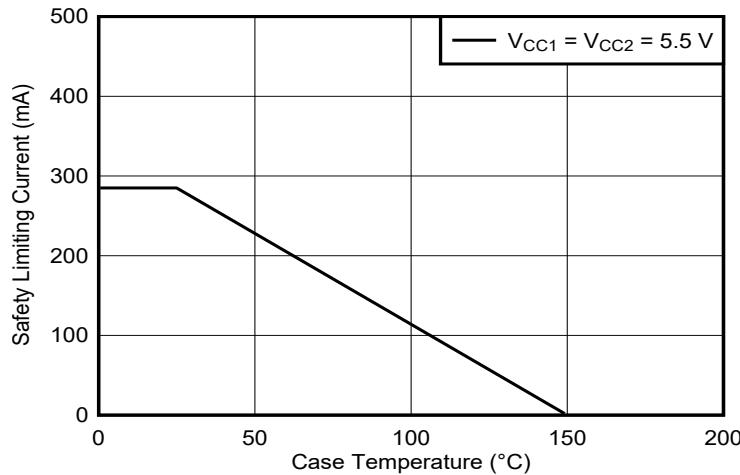


図 6-1. VDE に従う制限電流の熱特性低下曲線

6.14 代表的特性

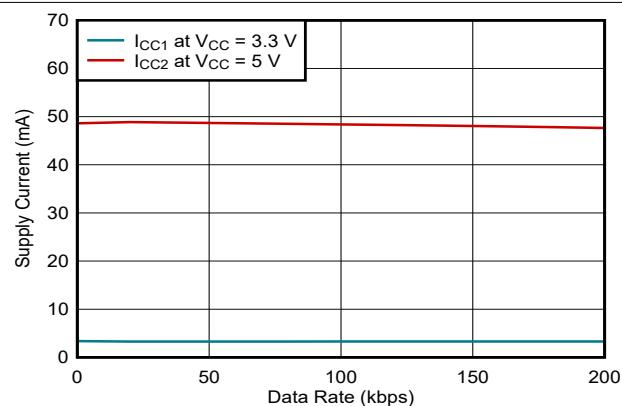


図 6-2. ISO3080 の電源電流とデータ・レートとの関係、負荷あり

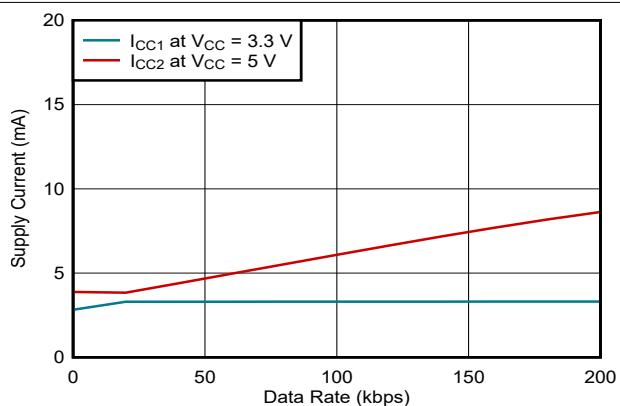


図 6-3. ISO3080 の電源電流とデータ・レートとの関係、負荷なし

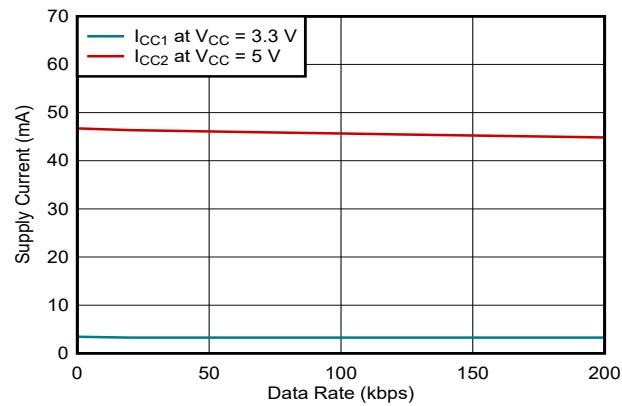


図 6-4. ISO3082 の電源電流とデータ・レートとの関係、負荷あり

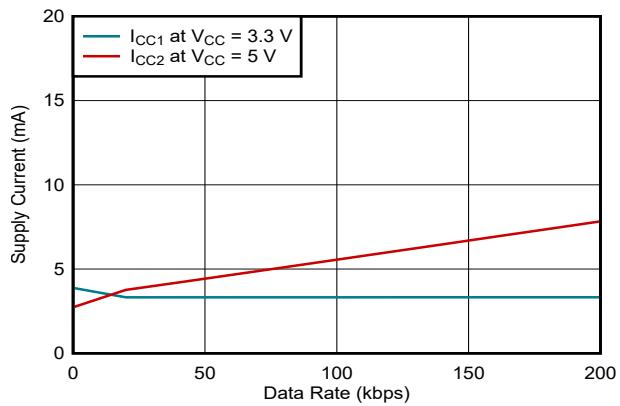


図 6-5. ISO3082 の電源電流とデータ・レートとの関係、負荷なし

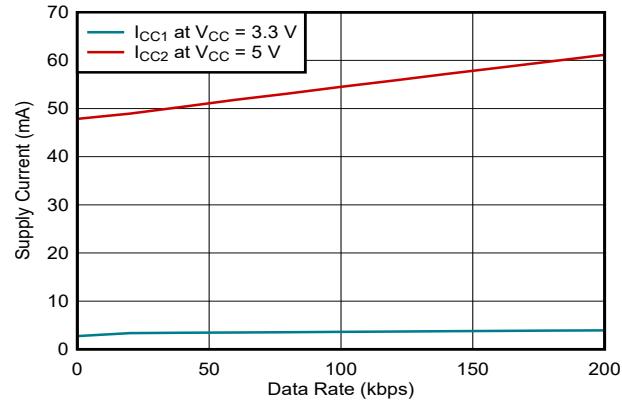


図 6-6. ISO3086 の電源電流とデータ・レートとの関係、負荷あり

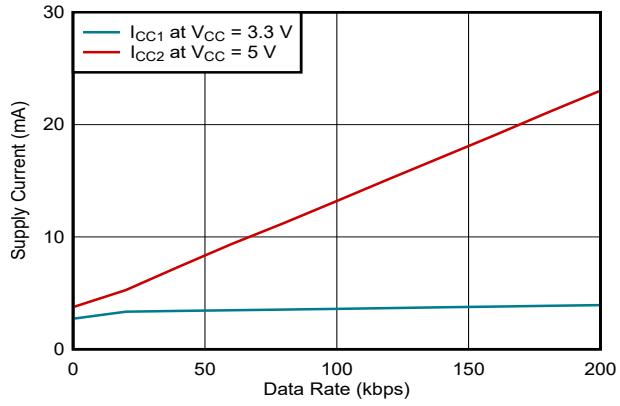


図 6-7. ISO3086 の電源電流とデータ・レートとの関係、負荷なし

6.14 代表的特性 (continued)

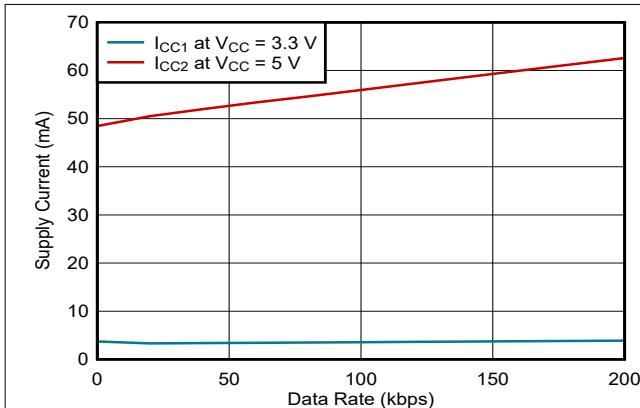


図 6-8. ISO3088 の電源電流とデータ・レートとの関係、負荷あり

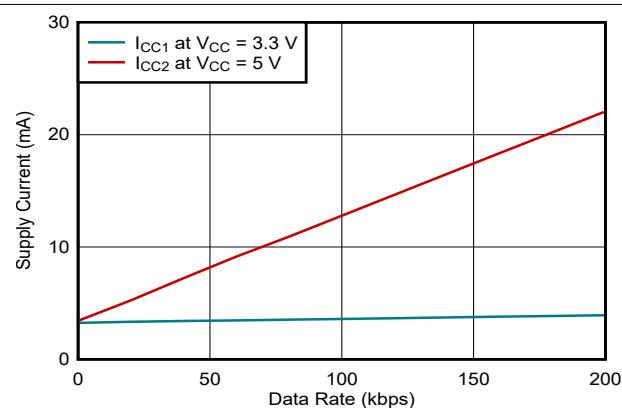


図 6-9. ISO3088 の電源電流とデータ・レートとの関係、負荷なし

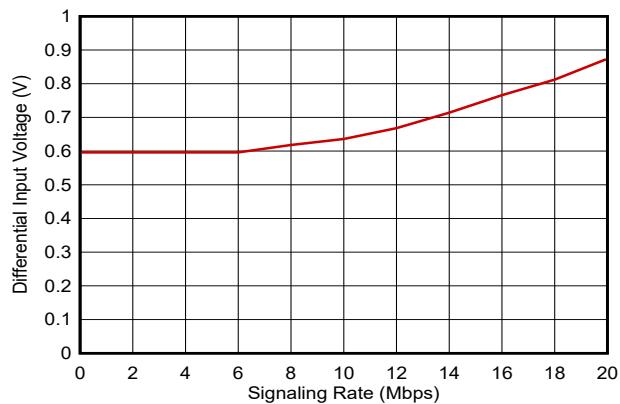


図 6-10. ISO3086 の推奨最小差動入力電圧と信号速度との関係

7 パラメータ測定情報

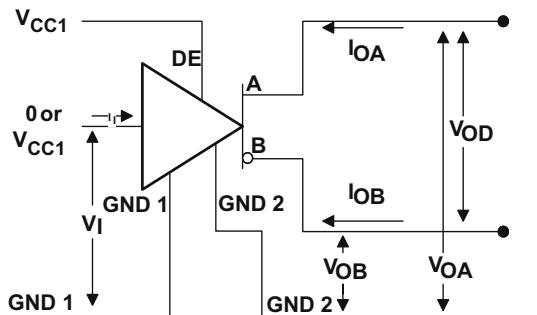


図 7-1. ドライバの V_{OD} のテストと電流の定義

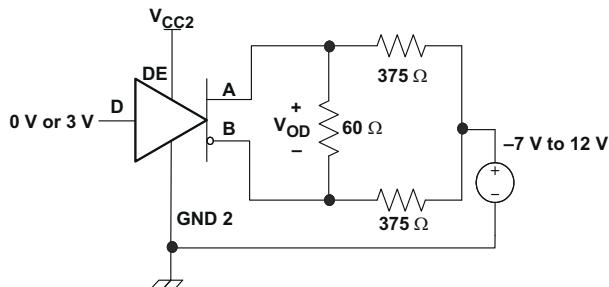


図 7-2. ドライバの V_{OD} の同相負荷でのテスト回路

注

特に記述のない限り、半二重デバイス ISO3082 および ISO3088 のテスト回路を示しています。全二重デバイスの場合、ドライバの出力ピンは Y と Z です。

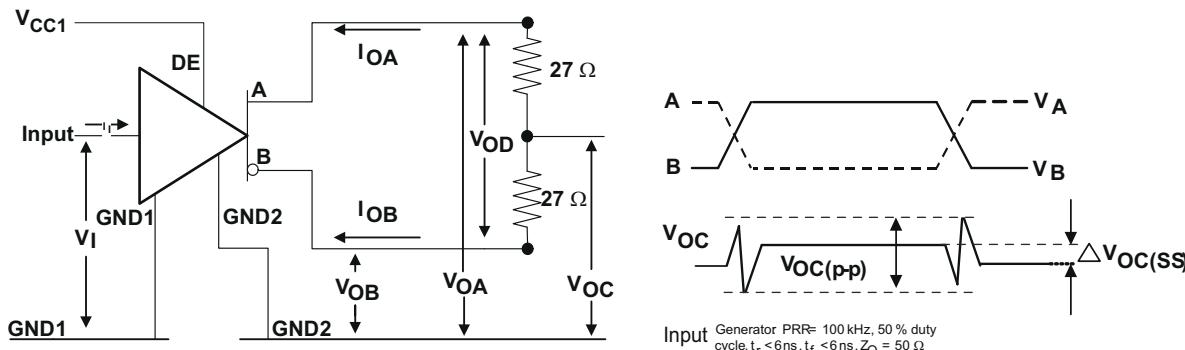


図 7-3. ドライバの同相出力電圧のテスト回路と波形の定義

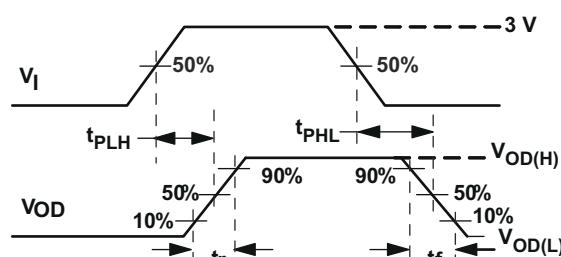
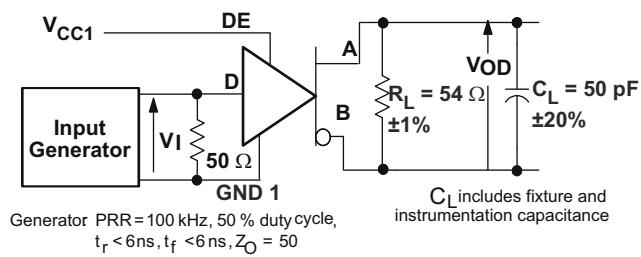


図 7-4. ドライバのスイッチングのテスト回路と電圧波形

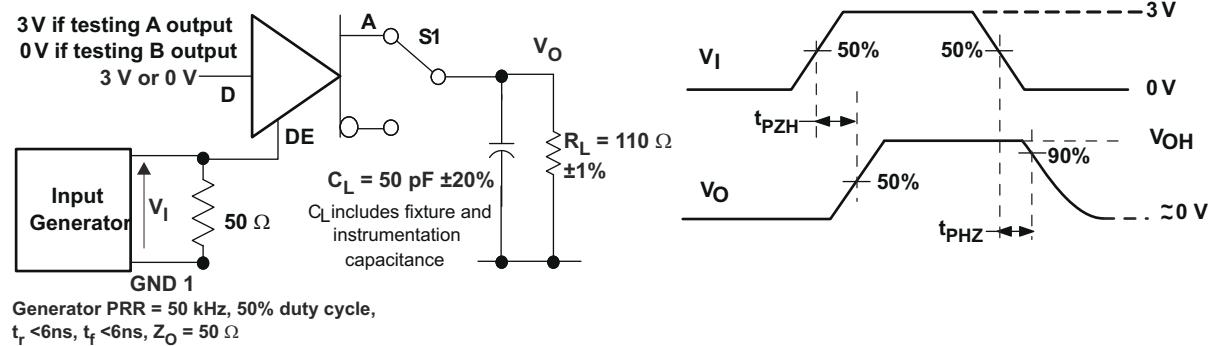


図 7-5. ドライバの High レベル出力のイネーブル / ディセーブル時間のテスト回路と電圧波形

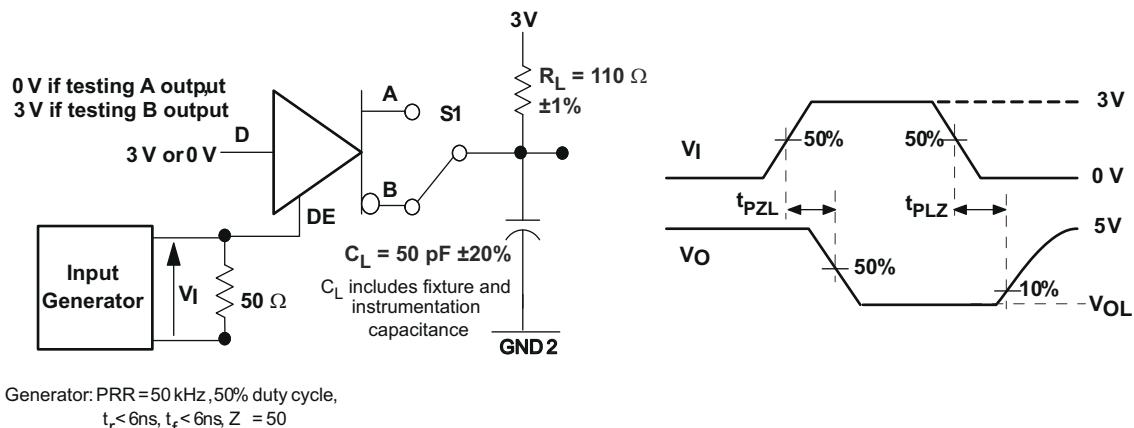


図 7-6. ドライバの Low レベル出力のイネーブル / ディセーブル時間のテスト回路と電圧波形

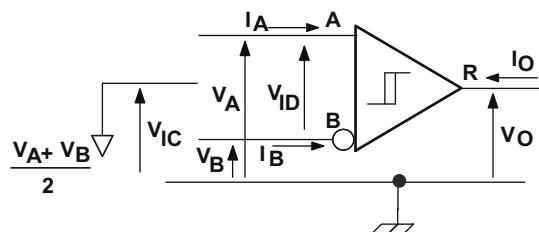


図 7-7. レシーバの電圧と電流の定義

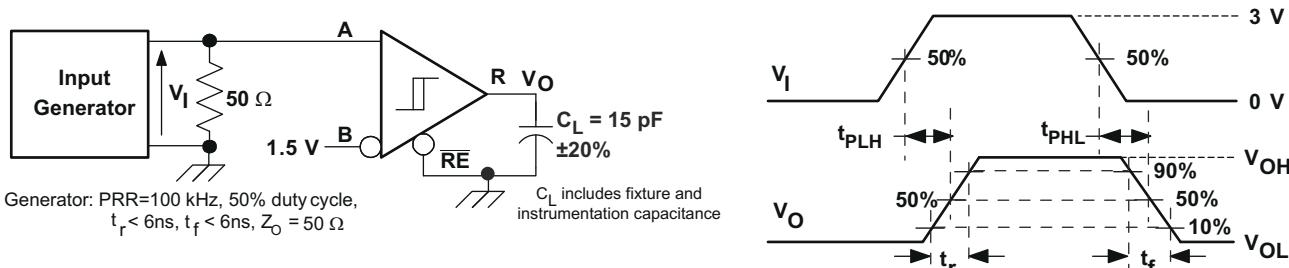


図 7-8. レシーバのスイッチングのテスト回路と波形

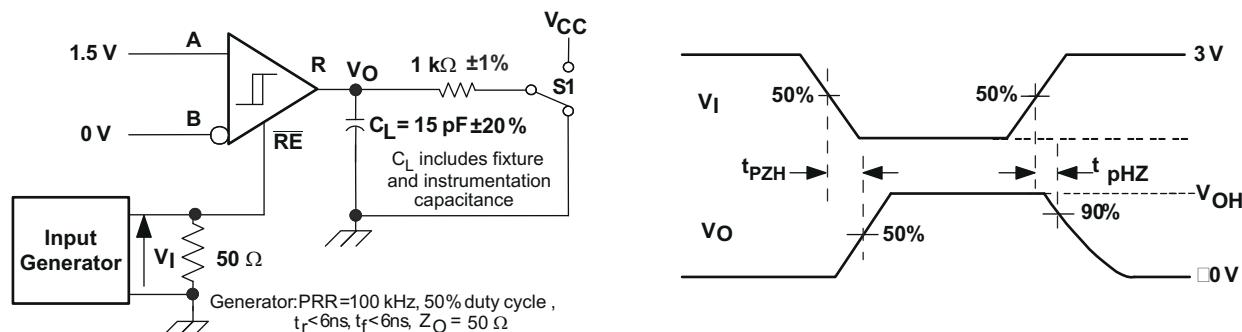


図 7-9. レシーバのイネーブルのテスト回路と波形、データ出力 High

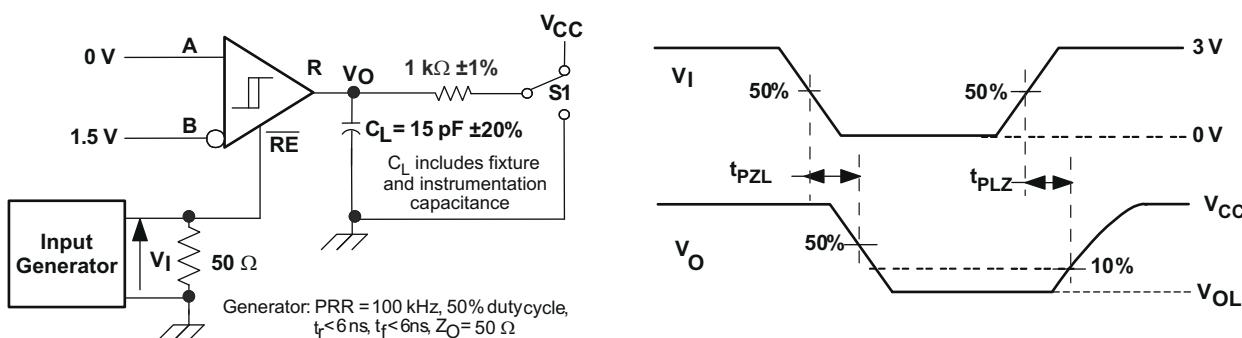
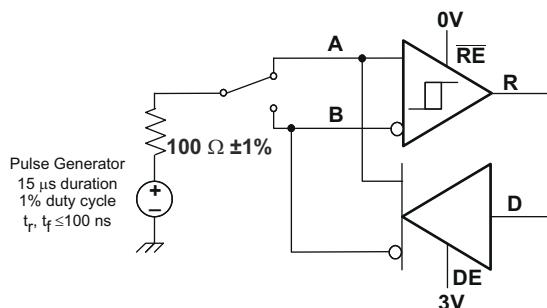


図 7-10. レシーバのイネーブルのテスト回路と波形、データ出力 Low



Note: This test is conducted to test survivability only.
Data stability at the R output is not specified.

図 7-11. 過渡過電圧のテスト回路

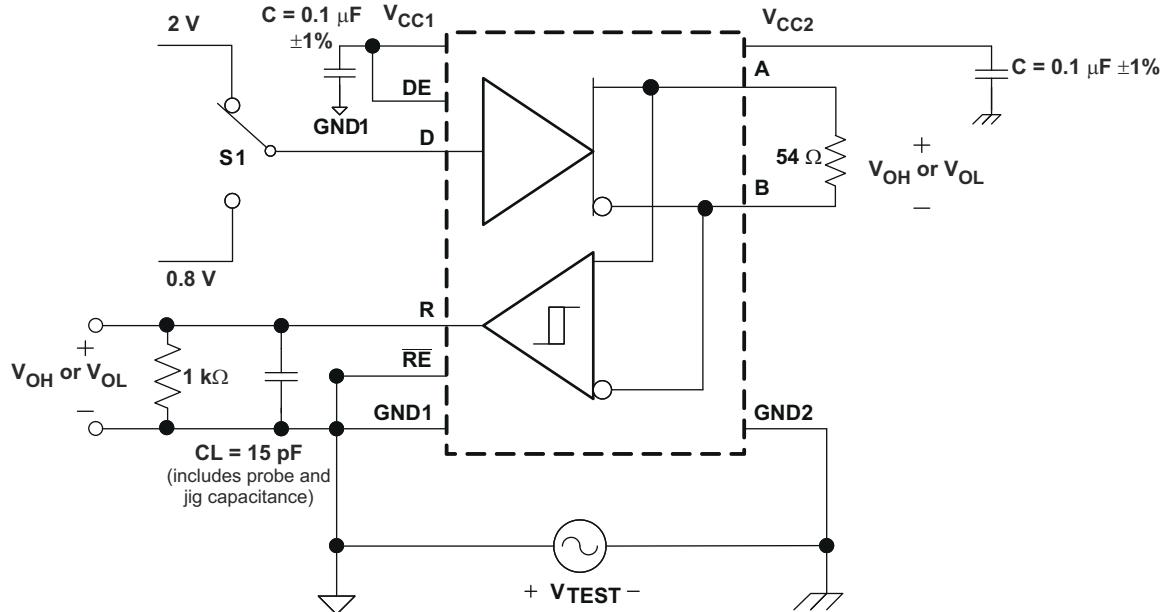


図 7-12. 半二重の同相過渡耐性のテスト回路

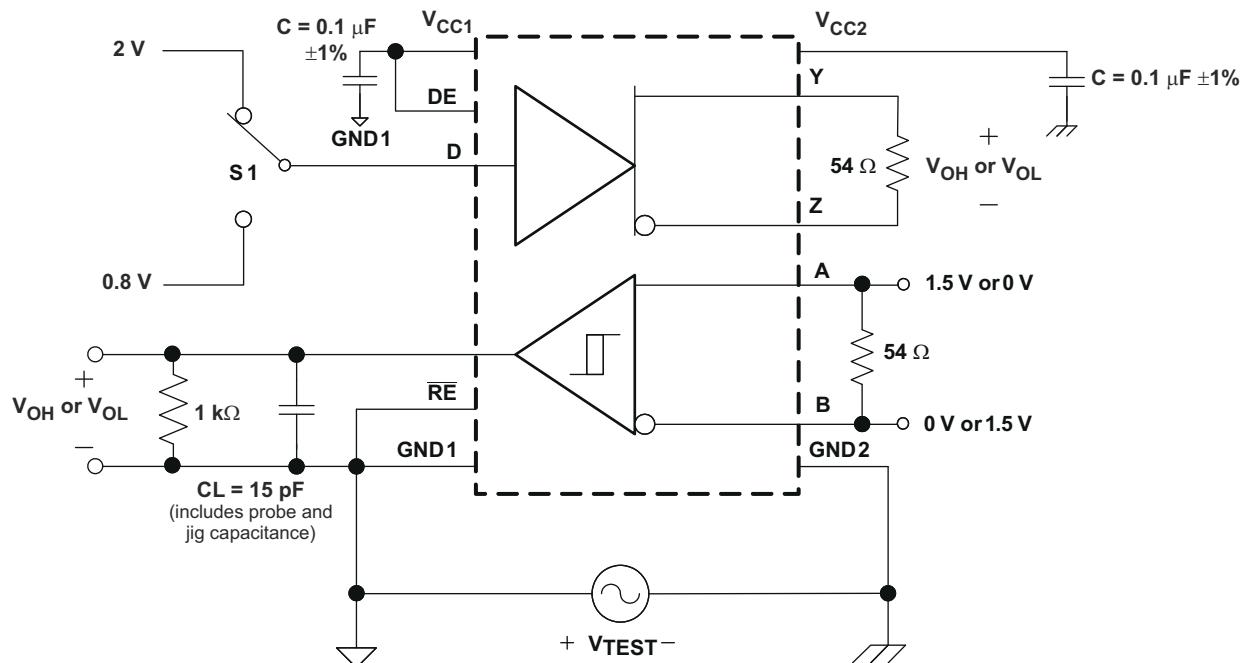


図 7-13. 全二重の同相過渡耐性のテスト回路

8 詳細説明

8.1 概要

ISO3080 および ISO3086 デバイスは TIA/EIA 485/422 アプリケーション向けの絶縁型全二重差動ライン・ドライバ / レシーバ、ISO3082 および ISO3088 デバイスは絶縁型半二重差動ライン・トランシーバです。規格に従い、最大 2500 V_{RMS} で 60 秒間のガルバニック絶縁を実現するように定められています。アクティブ HIGH のドライバ・イネーブルとアクティブ LOW のレシーバ・イネーブルでデータ・フローを制御します。最大 200kbps と 20Mbps のデータ転送に適した 2 つの速度グレードがあります。

ドライバ・イネーブル・ピン DE がロジック HIGH のとき、差動出力 Y および Z はデータ入力 D のロジック状態に従います。D のロジック HIGH により、Y は HIGH になり、Z は LOW になります。この場合、 $V_{OD} = V_Y - V_Z$ として定義される差動出力電圧は正です。D が LOW のとき、出力状態は反転し、Z は HIGH になり、Y は LOW になり、 V_{OD} は負になります。DE が LOW のとき、両方の出力は高インピーダンスになります。この条件では、D のロジック状態は無関係です。DE ピンにはグランドへの内部プルダウン抵抗があるため、オープンのままにすると、ドライバはデフォルトでディセーブル（高インピーダンス）になります。D ピンには V_{IO} への内部プルアップ抵抗があるため、ドライバがイネーブルのときにオープンのままにすると、出力 Y は HIGH になり、Z は LOW になります。

レシーバ・イネーブル・ピン RE がロジック LOW の場合、レシーバはイネーブルになります。 $V_{ID} = V_{(A)} - V_{(B)}$ として定義される差動入力電圧が正で、正の入力スレッショルド V_{IT+} を上回ると、レシーバの出力 R は HIGH になります。 V_{ID} が負で、負の入力スレッショルド V_{TH-} を下回ると、レシーバの出力 R は LOW になります。 V_{ID} が V_{IT+} と V_{IT-} の間にある場合、出力は不定です。RE がロジック HIGH またはオープンのままの場合、レシーバ出力は高インピーダンスで、 V_{ID} の大きさと極性は無関係です。レシーバ入力の内部バイアスにより、トランシーバがバスから切断されたとき（開路）、バス・ラインが短絡したとき（短絡）、またはバスがアクティブに駆動されていないとき（アイドル・バス）、出力はフェイルセーフ・ハイになります。

8.2 機能ブロック図

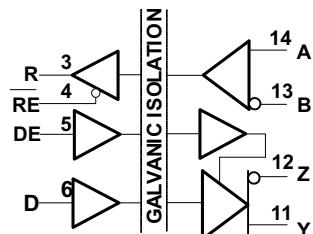


図 8-1. ISO3080、IOS3086 の機能図

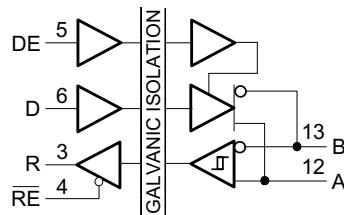


図 8-2. ISO3082、IOS3088 の機能図

8.3 機能説明

表 8-1 に、デバイスの機能概要を示します。

表 8-1. デバイスの機能

デバイス	絶縁定格 ⁽¹⁾	タイプ	データ・レート
ISO3080	4000 V _{PK} / 2500 V _{RMS}	全二重	200kbps
ISO3086	4000 V _{PK} / 2500 V _{RMS}	全二重	20Mbps
ISO3082	4000 V _{PK} / 2500 V _{RMS}	半二重	200kbps
ISO3088	4000 V _{PK} / 2500 V _{RMS}	半二重	20Mbps

(1) 絶縁定格の詳細については、「安全関連認証」の表を参照してください。

8.4 デバイスの機能モード

表 8-2 にドライバの機能モードを示し、表 8-3 にレシーバの機能モードを示します。

表 8-2. ドライバ機能表⁽¹⁾

V _{CC1}	V _{CC2}	入力 (D)	イネーブル入力 (DE)	出力 ⁽¹⁾	
				Y / A	Z / B
PU	PU	H	H	H	L
PU	PU	L	H	L	H
PU	PU	X	L	Hi-Z	Hi-Z
PU	PU	X	オープン	Hi-Z	Hi-Z
PU	PU	オープン	H	H	L
PD	PU	X	X	Hi-Z	Hi-Z
PU	PD	X	X	Hi-Z	Hi-Z
PD	PD	X	X	Hi-Z	Hi-Z

(1) ドライバの出力ピンは、全二重デバイスでは Y と Z、半二重デバイスでは A と B です。

表 8-3. レシーバ機能表⁽¹⁾

V _{CC1}	V _{CC2}	差動入力 V _{ID} = (V _A - V _B)	イネーブル (RE)	出力 (R)
PU	PU	-0.01V ≤ V _{ID}	L	H
PU	PU	-0.2V < V _{ID} < -0.01V	L	?
PU	PU	V _{ID} ≤ -0.2V	L	L
PU	PU	X	H	Hi-Z
PU	PU	X	オープン	Hi-Z
PU	PU	開路	L	H
PU	PU	短絡	L	H
PU	PU	アイドル(終端)バス	L	H
PD	PU	X	X	Hi-Z
PU	PD	X	L	H

(1) PU = 電源オン、PD = 電源オフ、H = ロジック High、L = ロジック Low、X = 無関係、Hi-Z = 高インピーダンス(オフ)、? = 不定

8.4.1 デバイス I/O 回路図

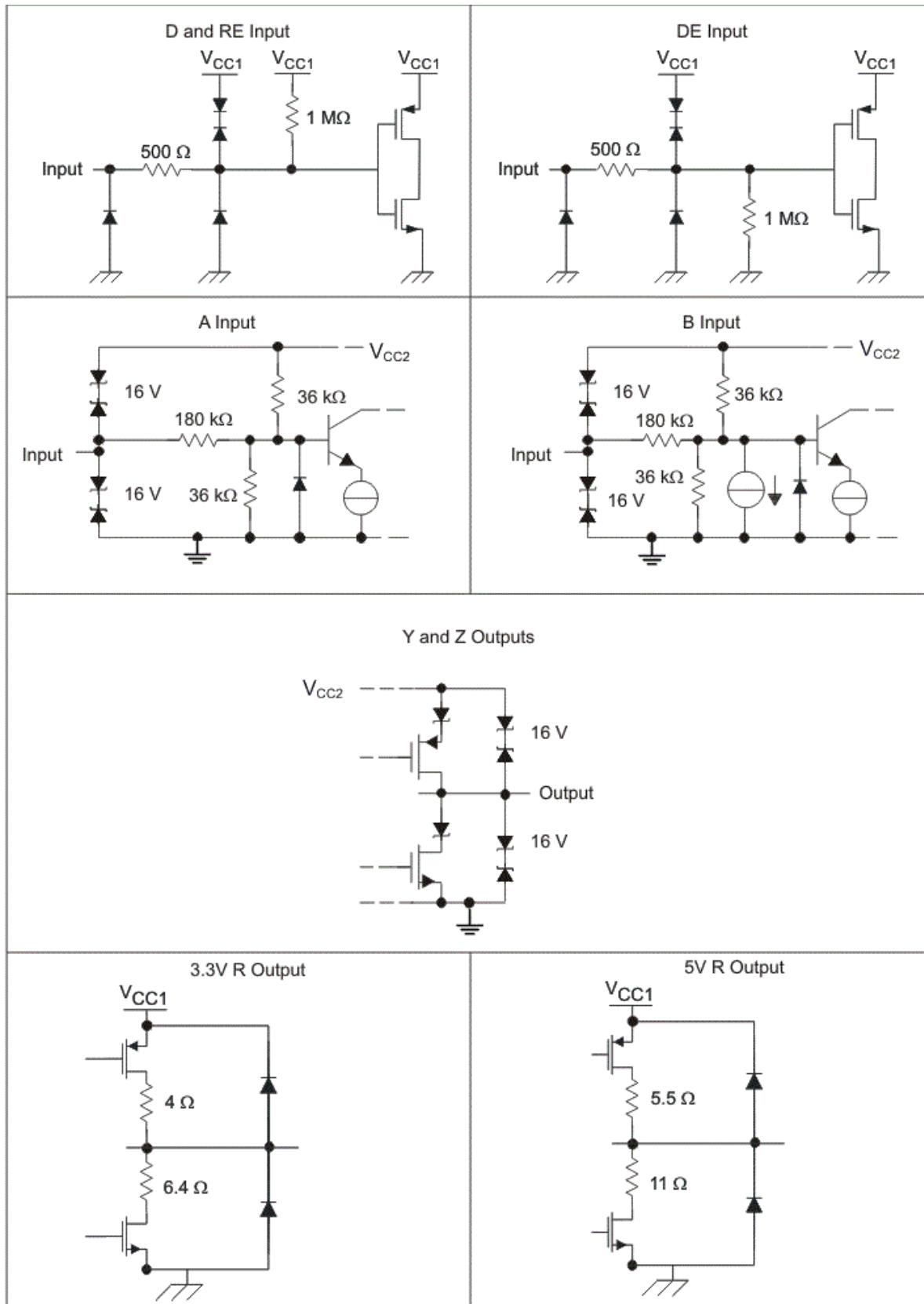


図 8-3. デバイス I/O 回路図

9 アプリケーションと実装

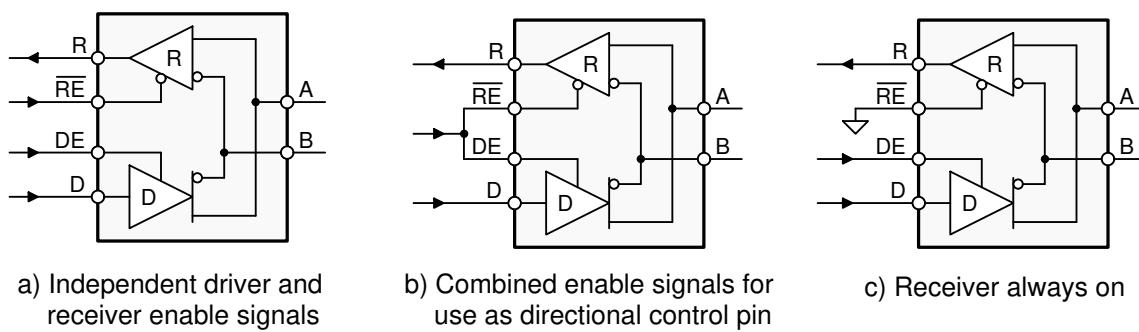
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

ISO308x ファミリは、非同期データ転送に一般に使用される RS-485 トランシーバで構成されています。全二重の実装には 2 組の信号ペア (4 線式) が必要であり、ノードごとに一方のペアでデータを送信しながら、同時にもう一方のペアでデータを受信できます。半二重の転送の場合、データの送信と受信の両方で 1 つのペアのみが共有されます。ラインの反射を除去するために、各ケーブルの端は終端抵抗 $R_{(T)}$ で終端します。この抵抗の値は、ケーブルの特性インピーダンス Z_0 と一致します。この方式は並列終端と呼ばれ、長いケーブル長にわたって高いデータ・レートを実現できます。

9.2 代表的なアプリケーション



Copyright © 2016, Texas Instruments Incorporated

図 9-1. 半二重トランシーバ構成

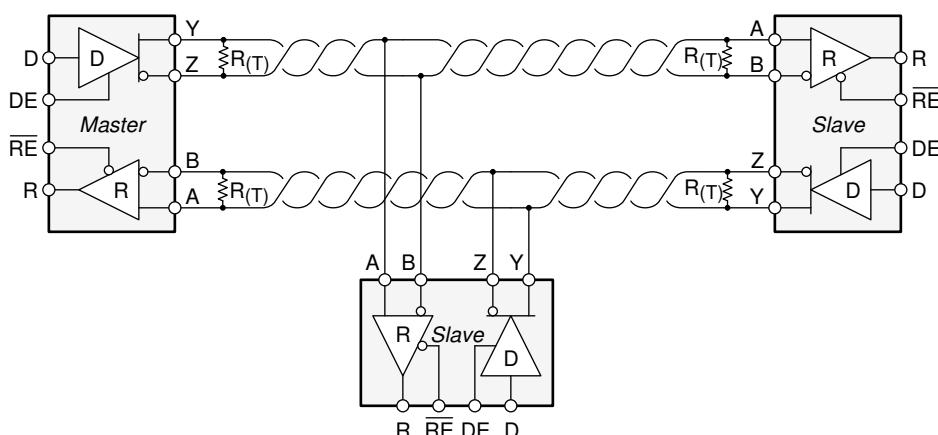


図 9-2. 全二重トランシーバを使用した標準的な RS-485 ネットワーク

9.2.1 設計要件

RS-485 は、長距離ネットワークに適した堅牢な電気規格であり、距離、データ・レート、ノード数などのさまざまな要件を持つ幅広いアプリケーションで使用できます。表 9-1 に、設計パラメータの一覧を示します。

表 9-1. 設計パラメータ

パラメータ	値
プルアップおよびプルダウン抵抗	1kΩ～10kΩ
デカップリング・コンデンサ	100nF

9.2.2 詳細な設計手順

データ・レートとケーブル長の間には逆関係があります。つまり、データ・レートが高くなると、ケーブル長が短くなります。逆に、データ・レートが低くなると、ケーブル長が長くなります。ノードをバスに接続するときは、トランシーバ入力とケーブル・トランクの間の距離 (スタブと呼ばれます) をできるだけ短くする必要があります。スタブは、終端されていないバス・ラインを示します。スタブの長さが長くなると、反射が発生する可能性があります。一般的なガイドラインとして、スタブの電気的長さ、つまり往復遅延は、ドライバの立ち上がり時間の 1/10 未満にする必要があります。RS-485 規格は、準拠ドライバが 32 個のユニット負荷 (UL) を駆動できる必要があることを規定しています。ここで、1 UL は約 12kΩ の負荷インピーダンスを表します。ISO308x ファミリは 1/8 UL トランシーバで構成されているため、最大 256 個のレシーバをバスに接続できます。

9.2.3 アプリケーション曲線

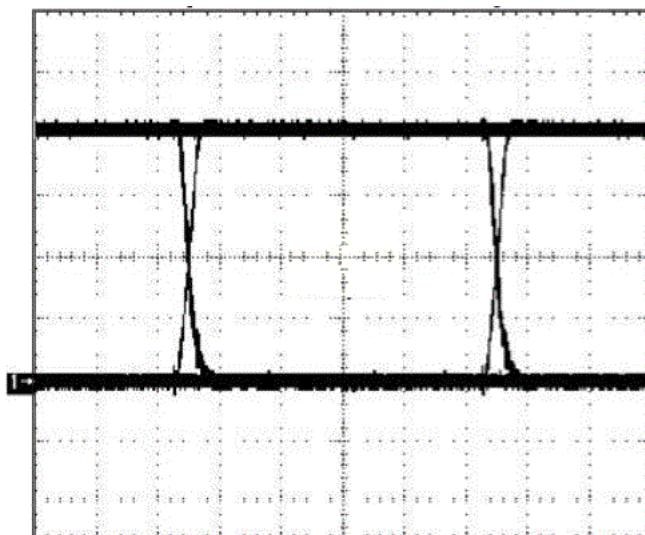


図 9-3. ISO308x の出力

10 電源に関する推奨事項

すべてのデータ・レートおよび電源電圧での信頼性の高い動作を確保するため、入力および出力電源ピン (V_{CC1} および V_{CC2}) に $0.1\mu F$ のバイパス・コンデンサを推奨します。コンデンサは電源ピンにできるだけ近付けて配置してください。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、テキサス・インスツルメンツの [SN6501](#) などのトランス・ドライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションについては、『[SN6501 絶縁電源用の変圧器ドライバ](#)』に、詳細な電源設計とトランス選択に関する推奨事項が記載されています。

11 レイアウト

11.1 レイアウトのガイドライン

オンチップ IEC-ESD 保護は、実験室や携帯用の機器には適していますが、産業環境で発生する EFT やサージ過渡に対しても十分ではありません。したがって、堅牢で信頼性の高いバス・ノードの設計には、外部の過渡保護デバイスを使用する必要があります。ESD および EFT 過渡は約 $3MHz \sim 3GHz$ という広い周波数帯域幅を持つため、PCB 設計で高周波レイアウト手法を適用する必要があります。低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です（[図 11-1](#) を参照）。

- 層の構成は、上層から下層に向かって、高速信号層、グランド・プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。
- 上層に高速パターンを配線することにより、ビアの使用（およびそれに伴うインダクタンスの発生）を避けて、データ・リンクのトランシミッタ回路およびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド・プレーンを配置することにより、伝送ライン相互接続のインピーダンスを制御し、リターン電流の優れた低インダクタンス・パスを実現します。
- グランド・プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 $100 pF/in^2$ 増加させることができます。
- 最下層に低速の制御信号を配線すれば、通常、これらの信号リンクには、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。
- 保護回路をバス・コネクタの近くに配置し、ノイズ過渡が基板に伝播するのを防止します。
- V_{CC} およびグランド・プレーンを使用して、低インダクタンスを実現します。高周波電流は、抵抗が必ずしも最小ではない、インピーダンスが最小であるパスに追従する可能性があります。
- 信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。
- 基板上のトランシーバ、UART、コントローラ IC の V_{CC} ピンにできるだけ近い位置に、 $0.1\mu F$ バイパス・コンデンサを配置します。
- 実効ビア・インダクタンスを最小化するため、バイパス・コンデンサと保護デバイスの V_{CC} およびグランド接続には少なくとも 2 つのビアを使用します。
- 過渡イベント時にこれらのラインのノイズ電流を制限するには、イネーブル・ラインに $1k\Omega \sim 10k\Omega$ のプルアップおよびプルダウン抵抗を使用します。
- TVS クランプ電圧がトランシーバ・バス・ピンの規定最大電圧よりも高い場合は、A と B の各バス・ラインにパルス耐性抵抗を挿入します。これらの抵抗は、トランシーバへの残留クランプ電流を制限し、ラッチアップを防止します。
- 純粋な TVS 保護は最大 $1kV$ のサージ過渡に十分ですが、過渡電圧が高い場合は、数百ボルトのクランプ電圧に過渡を低減する金属酸化物バリスタ（MOV）と、過渡電流を $1mA$ 未満に制限する過渡ブロッキング・ユニット（TBU）が必要です。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド・プレーン系統を層構成に追加します。これにより、基盤の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド・プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『デジタル・アイソレータ設計ガイド』を参照してください。

11.2 レイアウト例

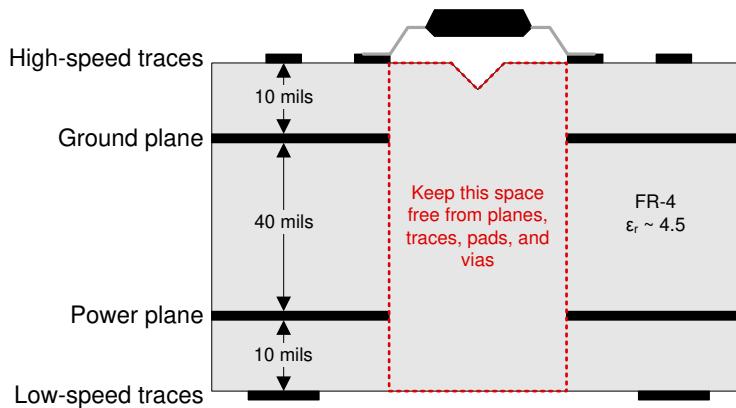


図 11-1. 推奨レイヤ構成

12 デバイスおよびドキュメントのサポート

12.1 ドキュメントのサポート

12.1.1 関連資料

関連資料については、以下を参照してください。

- ・『機能絶縁型 RS-485、CAN、I2C データ伝送向け通信モジュールのリファレンス・デザイン』
- ・『デジタル・アイソレータ・デザイン・ガイド』
- ・『デュアル絶縁型半二重 RS-485 リピータ』
- ・『絶縁の用語集』
- ・『Tiva C シリーズ ARM®Cortex®-M4 MCU 搭載プログラマブル・ロジック・コントローラ (PLC) I/O モジュール・フロントエンド・コントローラ』
- ・『小型フォーム・ファクタ、デジタル・アイソレータ・ベース半二重 RS-485 インターフェイス・モジュールのリファレンス・デザイン』
- ・『SN6501 絶縁電源用の変圧器ドライバ』

12.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

12.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

12.4 商標

TI E2E™ is a trademark of Texas Instruments.

ARM® and Cortex® are registered trademarks of ARM Ltd..

すべての商標は、それぞれの所有者に帰属します。

12.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

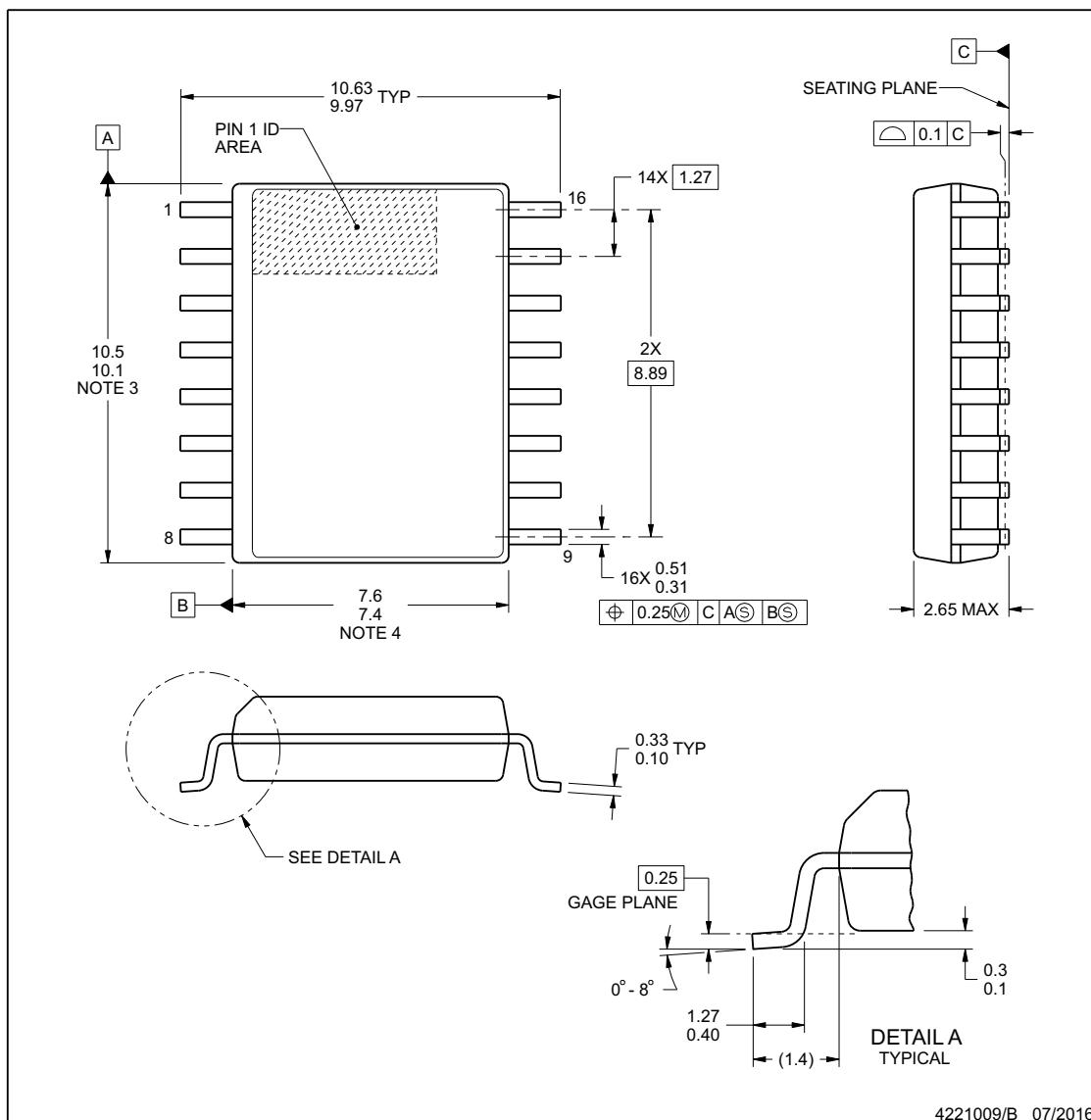


PACKAGE OUTLINE

DW0016B

SOIC - 2.65 mm max height

SOIC



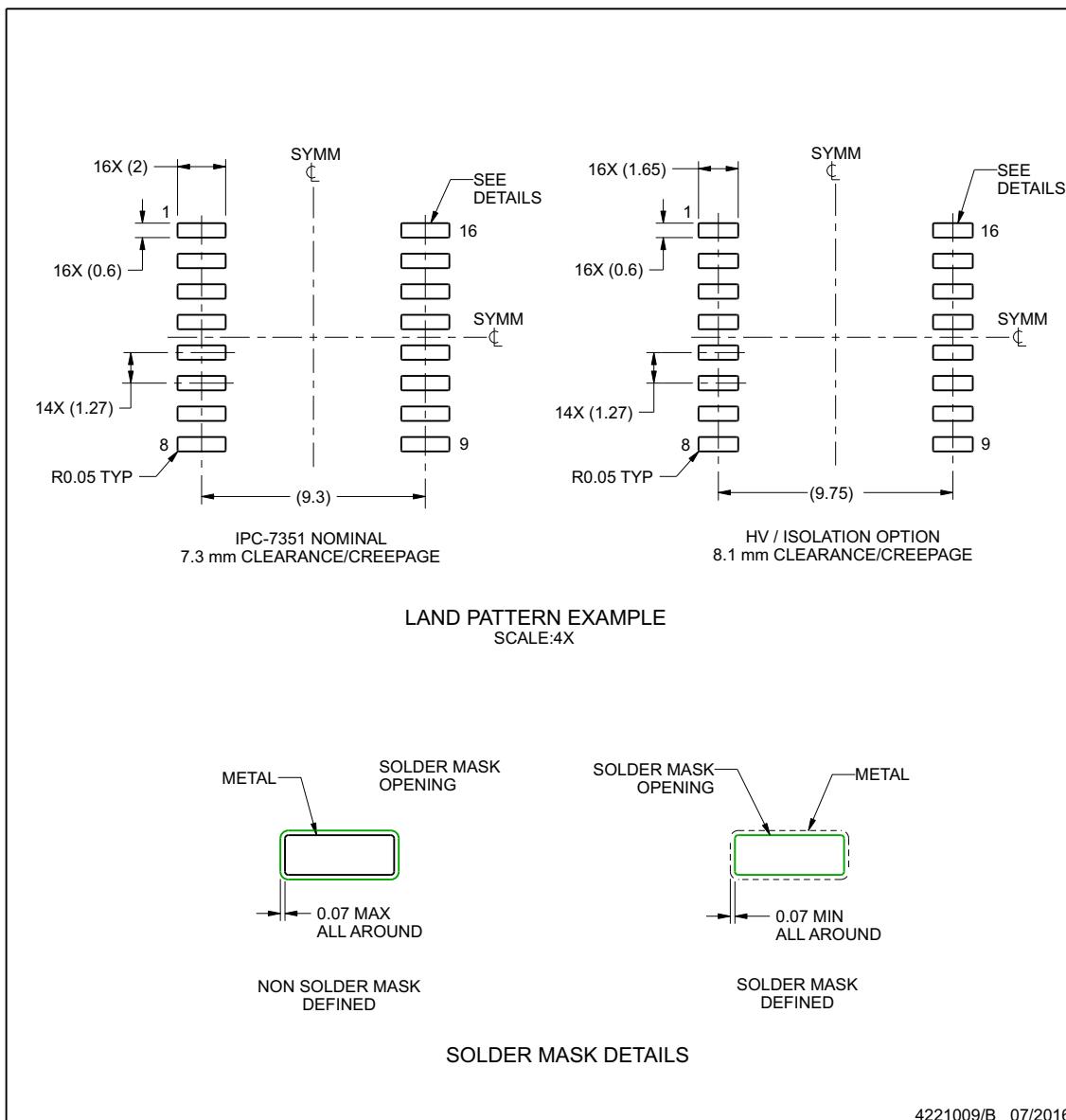
4221009/B 07/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT**DW0016B****SOIC - 2.65 mm max height**

SOIC



NOTES: (continued)

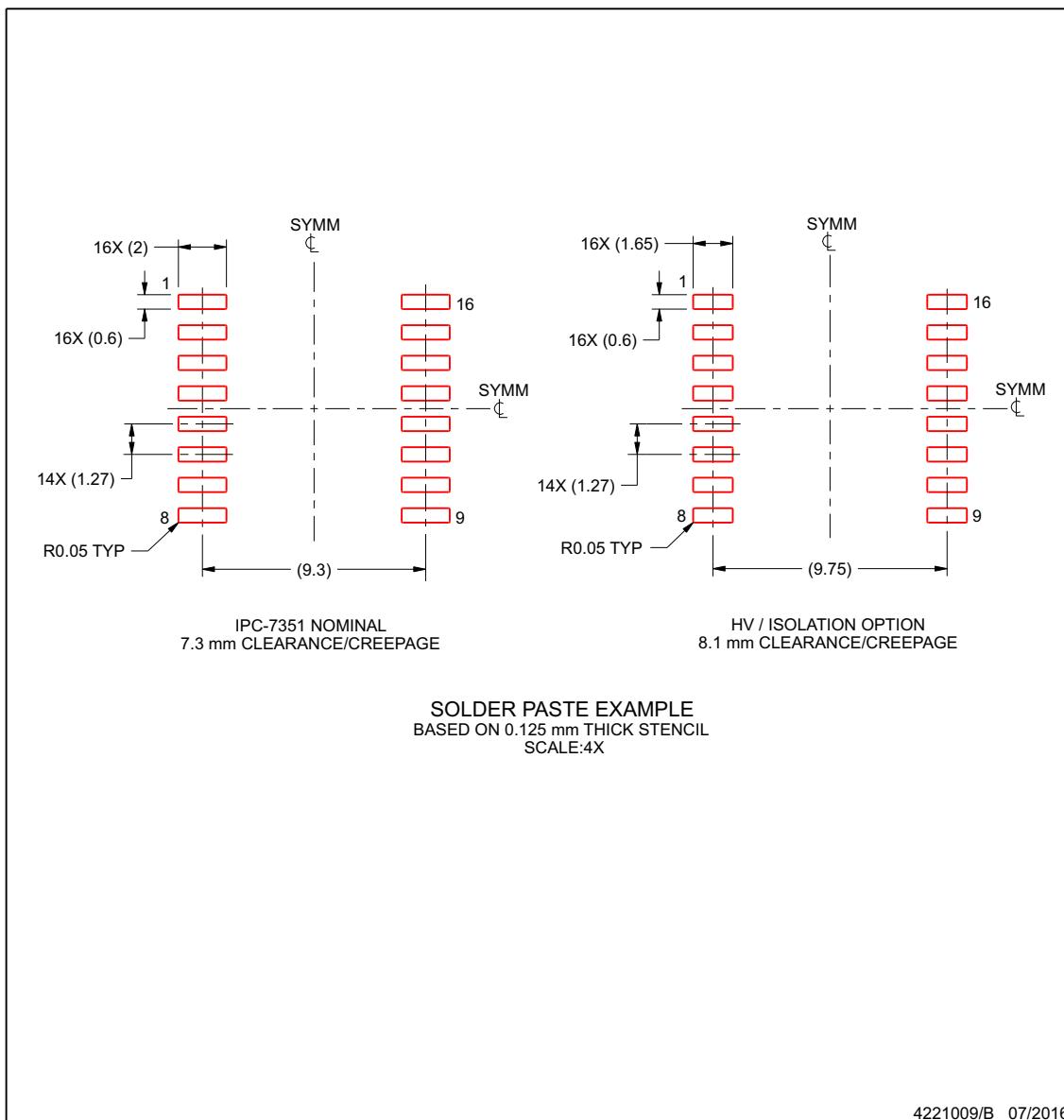
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO3080DW	Obsolete	Production	SOIC (DW) 16	-	-	Call TI	Call TI	-40 to 85	ISO3080
ISO3080DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3080
ISO3080DWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3080
ISO3080DWG4	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3080
ISO3080DWG4.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3080
ISO3082DW	Obsolete	Production	SOIC (DW) 16	-	-	Call TI	Call TI	-40 to 85	ISO3082
ISO3082DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3082
ISO3082DWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3082
ISO3082DWG4	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3082
ISO3086DW	Obsolete	Production	SOIC (DW) 16	-	-	Call TI	Call TI	-40 to 85	ISO3086
ISO3086DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3086
ISO3086DWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3086
ISO3086DWG4	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3086
ISO3086DWG4.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3086
ISO3088DW	Obsolete	Production	SOIC (DW) 16	-	-	Call TI	Call TI	-40 to 85	ISO3088
ISO3088DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3088
ISO3088DWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3088
ISO3088DWG4	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ISO3088

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

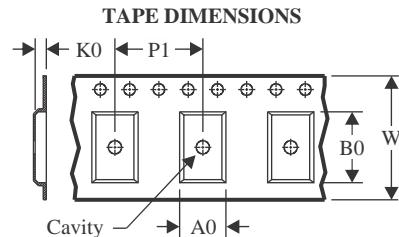
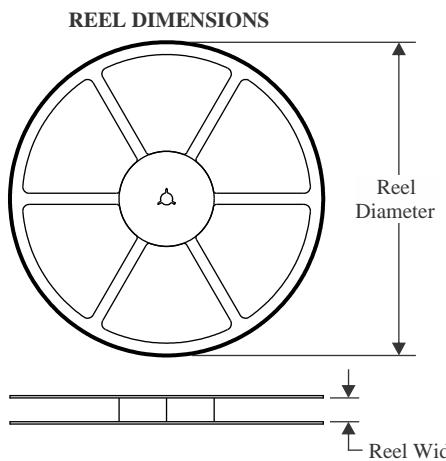
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

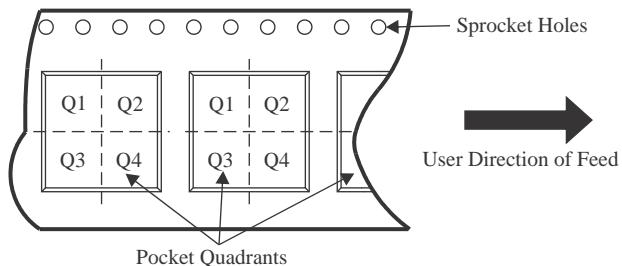
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



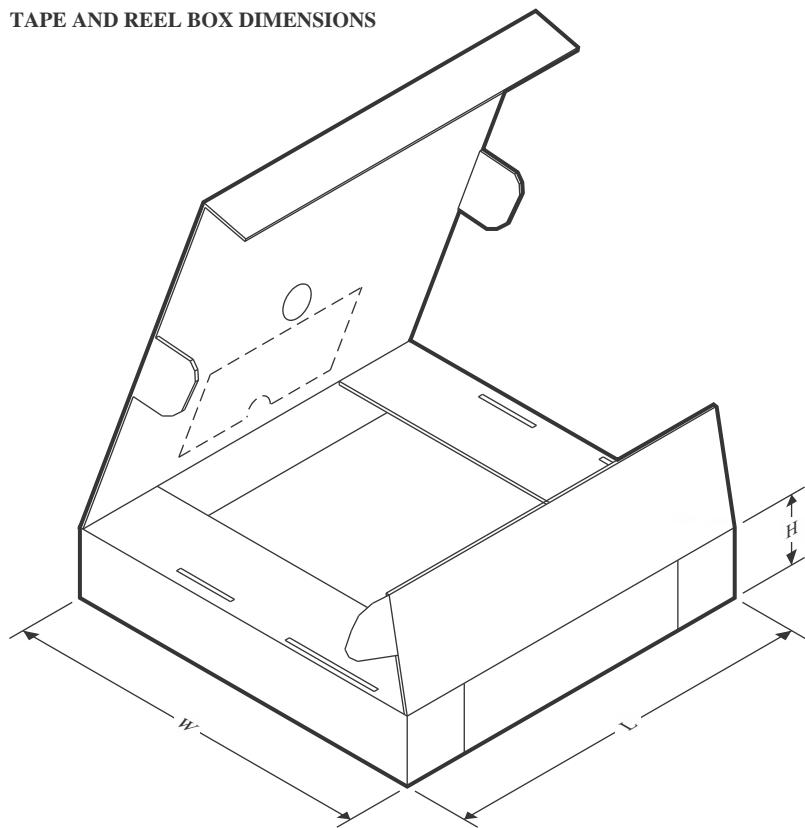
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO3080DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO3080DWRG4	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO3082DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO3086DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO3086DWRG4	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO3088DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO3080DWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO3080DWRG4	SOIC	DW	16	2000	353.0	353.0	32.0
ISO3082DWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO3086DWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO3086DWRG4	SOIC	DW	16	2000	353.0	353.0	32.0
ISO3088DWR	SOIC	DW	16	2000	353.0	353.0	32.0

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月