

# ISO644x 堅牢な EMC 性能を備えた汎用強化絶縁型クワッド チャネル デジタル アイソレータ

## 1 特長

- 最大 100Mbps のデータレート
- 堅牢な SiO<sub>2</sub> 絶縁バリア:
  - 幅広い温度範囲: -40°C~125°C
  - 最高 5000V<sub>RMS</sub> の絶縁定格
  - 最高 10.4kV のサージ耐量
  - CMTI: 標準値 ±100kV/μs
- 電源電圧範囲: 2.25V~5.5V
- デフォルト出力が High ( ISO644x ) と Low ( ISO644xF ) のオプション
- 小さい伝搬遅延: 6.2ns (標準値, 5V 時)
- 堅牢な電磁両立性 (EMC)
  - システムレベルでの ESD、EFT、サージ耐性
  - 低い放射
- ワイド SOIC (DW-16) パッケージ
- 安全性関連の認定 (予定)
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 部品認定プログラム
  - IEC 62368-1、IEC 61010-1、IEC 60601-1、GB 4943.1 認定

## 2 アプリケーション

- 電源
- 電力網、電力量計
- モータードライブ
- ファクトリオートメーション
- ビルオートメーション
- 照明器具
- 電化製品

## 3 概要

ISO644x デバイスは、UL 1577 準拠の最大 5000V<sub>RMS</sub> の絶縁定格を必要とするコスト重視のアプリケーションのための高性能クワッド チャネル デジタル アイソレータです。これらのデバイスは VDE、TUV、CSA、CQC の認定も受けています。

ISO644x デバイスは電磁気耐性が高く、放射が低く、低消費電力を実現し、CMOS または LVCMOS デジタル I/O が絶縁されています。ISO644x は、絶縁バリアとして SiO<sub>2</sub> を使用します。各絶縁チャネルはロジック入力と出力のバッファを搭載しており、それらのバッファは絶縁バリアによって電氣的に分離されています。これらのデバイスにはイネーブルピンがあり、対応する出力を高インピーダンスに移行して、パラレル (複数) 制御駆動アプリケーションに使用できます。

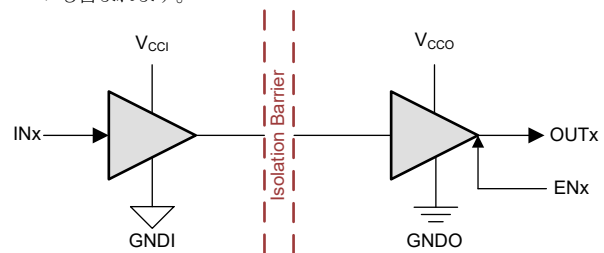
ISO6441 および ISO6441F デバイスには、逆方向チャネルが 1 つあります。

入力電力または入力信号が失われた場合のデフォルト出力は、接尾辞 F のないデバイスでは High、接尾辞 F のあるデバイスでは Low です。詳細は [デバイスの機能モード](#) セクションを参照してください。

### パッケージ情報

部品番号 (1)	パッケージ	パッケージサイズ (2)
ISO6441	ワイド SOIC (DW-16)	10.30mm × 10.30mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



V<sub>CCI</sub> = 入力電源、V<sub>CCO</sub> = 出力電源

GNDI = 入力グラウンド、GNDO = 出力グラウンド

概略回路図



## Table of Contents

<b>1 特長</b> .....	<b>1</b>	<b>7 Detailed Description</b> .....	<b>20</b>
<b>2 アプリケーション</b> .....	<b>1</b>	7.1 Overview.....	20
<b>3 概要</b> .....	<b>1</b>	7.2 Functional Block Diagram.....	20
<b>4 Pin Configuration and Functions</b> .....	<b>3</b>	7.3 Feature Description.....	21
<b>5 Specifications</b> .....	<b>4</b>	7.4 Device Functional Modes.....	21
5.1 Absolute Maximum Ratings.....	4	7.5 Device I/O Schematics.....	22
5.2 ESD Ratings.....	4	<b>8 Application and Implementation</b> .....	<b>24</b>
5.3 Recommended Operating Conditions.....	5	8.1 Application Information.....	24
5.4 Thermal Information.....	5	8.2 Typical Application.....	24
5.5 Power Ratings.....	6	8.3 Power Supply Recommendations.....	27
5.6 Insulation Specifications.....	7	8.4 Layout.....	27
5.7 Safety-Related Certifications.....	8	<b>9 Device and Documentation Support</b> .....	<b>29</b>
5.8 Safety Limiting Values.....	8	9.1 Documentation Support.....	29
5.9 Electrical Characteristics—5V Supply.....	9	9.2 ドキュメントの更新通知を受け取る方法.....	29
5.10 Supply Current Characteristics—5V Supply.....	10	9.3 サポート・リソース.....	29
5.11 Electrical Characteristics—3.3V Supply.....	11	9.4 Trademarks.....	29
5.12 Supply Current Characteristics—3.3V Supply.....	12	9.5 静電気放電に関する注意事項.....	29
5.13 Electrical Characteristics—2.5V Supply.....	13	9.6 用語集.....	29
5.14 Supply Current Characteristics—2.5V Supply.....	14	<b>10 Revision History</b> .....	<b>29</b>
5.15 Switching Characteristics—5V Supply.....	15	<b>11 Mechanical, Packaging, and Orderable Information</b> .....	<b>29</b>
5.16 Switching Characteristics—3.3V Supply.....	16	11.1 Package Option Addendum.....	30
5.17 Switching Characteristics—2.5V Supply.....	17	11.2 Tape and Reel Information.....	31
5.18 Insulation Characteristics Curves.....	18		
<b>6 Parameter Measurement Information</b> .....	<b>19</b>		

## 4 Pin Configuration and Functions

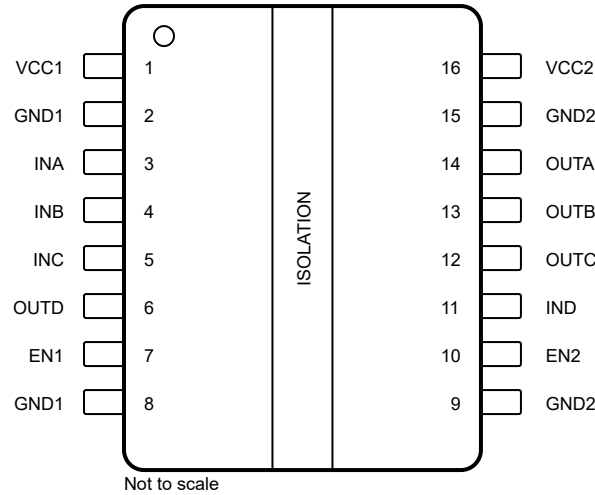


図 4-1. ISO6441 and ISO6441F Top View

表 4-1. Pin Functions

PIN		Type <sup>(1)</sup>	DESCRIPTION
NAME	ISO6441 , ISO6441F		
EN1	7	I	Output enable 1. Output pins on side 1 are enabled when EN1 is high or open and in high-impedance state when EN1 is low.
EN2	10	I	Output enable 2. Output pins on side 2 are enabled when EN2 is high or open and in high-impedance state when EN2 is low.
GND1	2,8	—	Ground connection for $V_{CC1}$
GND2	9,15	—	Ground connection for $V_{CC2}$
INA	3	I	Input, channel A
INB	4	I	Input, channel B
INC	5	I	Input, channel C
IND	11	I	Input, channel D
OUTA	14	O	Output, channel A
OUTB	13	O	Output, channel B
OUTC	12	O	Output, channel C
OUTD	6	O	Output, channel D
$V_{CC1}$	1	—	Power supply, side 1
$V_{CC2}$	16	—	Power supply, side 2

(1) I = Input, O = Output

## 5 Specifications

### 5.1 Absolute Maximum Ratings

See<sup>(1)</sup>

		MIN	MAX	UNIT
Supply voltage <sup>(2)</sup>	V <sub>CC1</sub> to GND1	-0.5	6	V
	V <sub>CC2</sub> to GND2	-0.5	6	
Digital Input Voltage	IN <sub>x</sub> to GND <sub>x</sub>	-0.5	6	V
Digital Input Voltage	EN <sub>x</sub> to GND <sub>x</sub>	-0.5	6	V
Digital Output Voltage	OUT <sub>x</sub> to GND <sub>x</sub>	-0.5	V <sub>CCx</sub> + 0.5 <sup>(3)</sup>	V
Digital Output current	I <sub>O</sub>	-15	15	mA
Temperature	Operating junction temperature, T <sub>J</sub>		150	°C
	Storage temperature, T <sub>stg</sub>	-65	150	°C

- Operation outside the Absolute Maximum Ratings may cause permanent device damage. Absolute Maximum Ratings do not imply functional operation of the device at these or any other conditions beyond those listed under Recommended Operating Conditions. If used outside the Recommended Operating Conditions but within the Absolute Maximum Ratings, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- All voltage values except differential I/O bus voltages are with respect to the local ground terminal (GND1 or GND2) and are peak voltage values
- Maximum voltage must not exceed 6V.

### 5.2 ESD Ratings

		VALUE	UNIT
V <sub>(ESD)</sub>	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins <sup>(1)</sup>	V
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins <sup>(2)</sup>	

- JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
- JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

### 5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
$V_{CC\_RO}$ <sup>(1)</sup>	Supply Voltage Side 1 (Recommended Operating Range)	$V_{CC1} = 2.5V$ to $5V$ <sup>(3)</sup>	2.25		5.5	V
	Supply Voltage Side 2 (Recommended Operating Range)	$V_{CC2} = 2.5V$ to $5V$ <sup>(3)</sup>	2.25		5.5	V
$V_{CC\_UVLO+}$	$V_{CC}$ UVLO threshold when supply voltage is rising				2.24	V
$V_{CC\_UVLO-}$	$V_{CC}$ UVLO threshold when supply voltage is falling		1.6			V
$V_{CC\_UVLO\_HYS}$	$V_{CC}$ Supply voltage UVLO hysteresis		0.1			V
$V_{IH(ENx)}$	Enable: High level Input voltage	Enable: High level Input voltage	$0.7 \times V_{CCI}$ <sup>(2)</sup>		$V_{CCI}$	V
$V_{IL(ENx)}$	Enable: Low level Input voltage	Enable: Low level Input voltage	0		$0.3 \times V_{CCI}$	V
$V_{IH(INx)}$	Input: High level Input voltage		$0.7 \times V_{CCI}$ <sup>(2)</sup>		$V_{CCI}$	V
$V_{IL(INx)}$	Input: Low level Input voltage		0		$0.3 \times V_{CCI}$	V
$I_{OH}$	Output: High level output current	$V_{CCO} = 5V$ <sup>(2)</sup>	-4			mA
		$V_{CCO} = 3.3V$ <sup>(2)</sup>	-2			mA
		$V_{CCO} = 2.5V$ <sup>(2)</sup>	-1			mA
$I_{OL}$	Output: Low level output current	$V_{CCO} = 5V$ <sup>(2)</sup>			4	mA
		$V_{CCO} = 3.3V$ <sup>(2)</sup>			2	mA
		$V_{CCO} = 2.5V$ <sup>(2)</sup>			1	mA
DR	Data Rate		0		100	Mbps
$T_A$	Ambient temperature		-40	25	125	°C

- (1)  $V_{CC1}$  and  $V_{CC2}$  can be set independent of one another  
 (2)  $V_{CCI} =$  Input-side  $V_{CC}$ ;  $V_{CCO} =$  Output-side  $V_{CC}$   
 (3) The channel outputs are in undetermined state when  $V_{CC\_UVLO-} \leq V_{CC1}$ ,  $V_{CC2} < V_{CC\_RO(MIN)}$ .

### 5.4 Thermal Information

PACKAGE	PINS	THERMAL METRIC <sup>(1)</sup>						UNIT
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	$\Psi_{JT}$	$\Psi_{JB}$	$R_{\theta JC(bot)}$	
DW (Wide-SOIC)	16	83	48.5	49	28	48.4	NA	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application note.

## 5.5 Power Ratings

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>ISO6441 (default high) and ISO6441F (default low, with F suffix)</b>						
$P_D$	Maximum power dissipation (both sides)	$V_{CC1} = V_{CC2} = 5.5V$ , $T_J = 150^\circ C$ , $C_L = 15pF$ , Input a 50MHz 50% duty cycle square wave			201.9	mW
$P_{D1}$	Maximum power dissipation (side-1)				79.8	mW
$P_{D2}$	Maximum power dissipation (side-2)				122.1	mW

## 5.6 Insulation Specifications

PARAMETER		TEST CONDITIONS	VALUE	UNIT
			16-DW	
<b>IEC 60664-1</b>				
CLR	External clearance <sup>(1)</sup>	Side 1 to side 2 distance through air	>8	mm
CPG	External creepage <sup>(1)</sup>	Side 1 to side 2 distance across package surface	>8	mm
DTI	Distance through the insulation	Minimum internal gap (internal clearance)	>17	μm
CTI	Comparative tracking index	IEC 60112	> 600	V
	Material Group	According to IEC 60664-1	I	
	Overvoltage category	Rated mains voltage ≤ 600V <sub>RMS</sub>	I-IV	
		Rated mains voltage ≤ 1000V <sub>RMS</sub>	I-III	
<b>DIN EN IEC 60747-17 (VDE 0884-17)<sup>(2)</sup></b>				
V <sub>IOTM</sub>	Maximum transient isolation voltage	V <sub>TEST</sub> = V <sub>IOTM</sub> , t = 60s (qualification); V <sub>TEST</sub> = 1.2 × V <sub>IOTM</sub> , t = 1s (100% production)	7071	V <sub>PK</sub>
V <sub>IMP</sub>	Maximum impulse voltage <sup>(3)</sup>	Tested in air, 1.2/50μs waveform per IEC 62368-1	8000	V <sub>PK</sub>
V <sub>IOSM</sub>	Maximum surge isolation voltage <sup>(4)</sup>	V <sub>IOSM</sub> ≥ 1.3 × V <sub>IMP</sub> ; Tested in oil (qualification test), 1.2/50μs waveform per IEC 62368-1	10400	V <sub>PK</sub>
q <sub>pd</sub>	Apparent charge <sup>(5)</sup>	Method a, After Input-output safety test subgroup 2/3, V <sub>ini</sub> = V <sub>IOTM</sub> , t <sub>ini</sub> = 60s; V <sub>pd(m)</sub> = 1.2 × V <sub>IORM</sub> , t <sub>m</sub> = 10s	≤ 5	pC
		Method a, After environmental tests subgroup 1, V <sub>ini</sub> = V <sub>IOTM</sub> , t <sub>ini</sub> = 60s; V <sub>pd(m)</sub> = 1.6 × V <sub>IORM</sub> , t <sub>m</sub> = 10s	≤ 5	
		Method b: At routine test (100% production); V <sub>ini</sub> = 1.2 × V <sub>IOTM</sub> , t <sub>ini</sub> = 1s; V <sub>pd(m)</sub> = 1.875 × V <sub>IORM</sub> , t <sub>m</sub> = 1s (method b1) or V <sub>pd(m)</sub> = V <sub>ini</sub> , t <sub>m</sub> = t <sub>ini</sub> (method b2)	≤ 5	
C <sub>IO</sub>	Barrier capacitance, input to output <sup>(6)</sup>	V <sub>IO</sub> = 0.4 × sin (2 πft), f = 1MHz	≈2.4	pF
R <sub>IO</sub>	Insulation resistance, input to output <sup>(6)</sup>	V <sub>IO</sub> = 500V, T <sub>A</sub> = 25°C	> 10 <sup>12</sup>	Ω
		V <sub>IO</sub> = 500V, 100°C ≤ T <sub>A</sub> ≤ 125°C	> 10 <sup>11</sup>	
		V <sub>IO</sub> = 500V at T <sub>S</sub> = 150°C	> 10 <sup>9</sup>	
	Pollution degree		2	
	Climatic category		40/125/21	
<b>UL 1577</b>				
V <sub>ISO</sub>	Withstand isolation voltage	V <sub>TEST</sub> = V <sub>ISO</sub> , t = 60s (qualification); V <sub>TEST</sub> = 1.2 × V <sub>ISO</sub> , t = 1s (100% production)	5000	V <sub>RMS</sub>

- Creepage and clearance requirements should be applied according to the specific equipment isolation standards of an application. Care should be taken to maintain the creepage and clearance distance of a board design to ensure that the mounting pads of the isolator on the printed-circuit board do not reduce this distance. Creepage and clearance on a printed-circuit board become equal in certain cases. Techniques such as inserting grooves, ribs, or both on a printed circuit board are used to help increase these specifications.
- This coupler is suitable for *safe electrical insulation* only within the safety ratings. Compliance with the safety ratings shall be ensured by means of suitable protective circuits.
- Testing is carried out in air to determine the surge immunity of the package.
- Testing is carried out in oil to determine the intrinsic surge immunity of the isolation barrier.
- Apparent charge is electrical discharge caused by a partial discharge (pd).
- All pins on each side of the barrier tied together creating a two-pin device.

## 5.7 Safety-Related Certifications

VDE	CSA	UL	CQC	TUV
Plan to certify according to DIN EN IEC 60747-17 (VDE 0884-17)	Plan to certify according to IEC 62368-1, IEC 61010-1 and IEC 60601	Plan to certify according to UL 1577 Component Recognition Program	Plan to certify according to GB4943.1	Plan to certify according to EN 61010-1 and EN 62368-1
Certificate planned	Certificate planned	Certificate planned	Certificate planned	Certificate planned

## 5.8 Safety Limiting Values

Safety limiting<sup>(1)</sup> intends to minimize potential damage to the isolation barrier upon failure of input or output circuitry.

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>DW-16 Package</b>						
$I_S$	Safety input, output, or supply current	$R_{\theta JA} = 83^\circ\text{C/W}$ , $V_I = 5.5\text{V}$ , $T_J = 150^\circ\text{C}$ , $T_A = 25^\circ\text{C}$			273.8	mA
		$R_{\theta JA} = 83^\circ\text{C/W}$ , $V_I = 3.6\text{V}$ , $T_J = 150^\circ\text{C}$ , $T_A = 25^\circ\text{C}$			418.3	mA
		$R_{\theta JA} = 83^\circ\text{C/W}$ , $V_I = 2.75\text{V}$ , $T_J = 150^\circ\text{C}$ , $T_A = 25^\circ\text{C}$			547.6	
$P_S$	Safety input, output, or total power	$R_{\theta JA} = 83^\circ\text{C/W}$ , $T_J = 150^\circ\text{C}$ , $T_A = 25^\circ\text{C}$			1506	mW
$T_S$	Maximum safety temperature				150	$^\circ\text{C}$

- (1) The maximum safety temperature,  $T_S$ , has the same value as the maximum junction temperature,  $T_J$ , specified for the device. The  $I_S$  and  $P_S$  parameters represent the safety current and safety power respectively. The maximum limits of  $I_S$  and  $P_S$  should not be exceeded. These limits vary with the ambient temperature,  $T_A$ .  
 The junction-to-air thermal resistance,  $R_{\theta JA}$ , in the table is that of a device installed on a high-K test board for leaded surface-mount packages. Use these equations to calculate the value for each parameter:  
 $T_J = T_A + R_{\theta JA} \times P$ , where  $P$  is the power dissipated in the device.  
 $T_{J(\text{max})} = T_S = T_A + R_{\theta JA} \times P_S$ , where  $T_{J(\text{max})}$  is the maximum allowed junction temperature.  
 $P_S = I_S \times V_I$ , where  $V_I$  is the maximum input voltage.



## 5.9 Electrical Characteristics—5V Supply

$V_{CC1} = V_{CC2} = 5V \pm 10\%$  (over recommended operating conditions unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{OH(OUTx)}$	OUTx (output) high-level output voltage	$I_{OH} = -4mA$ ; See <a href="#">セクション 6</a>	$V_{CCO} - 0.4$ <sup>(1)</sup>			V
$V_{OL(OUTx)}$	OUTx (output) low-level output voltage	$I_{OL} = 4mA$ ; See <a href="#">セクション 6</a>			0.4	V
$V_{IT+(INx)}$	INx (input) switching threshold voltage, rising			$0.7 \times V_{CCI}$ <sup>(1)</sup>		V
$V_{IT-(INx)}$	INx (input) switching threshold voltage, falling		$0.3 \times V_{CCI}$			V
$V_{I\_HYS(INx)}$	INx (input) switching threshold voltage hysteresis		$0.1 \times V_{CCI}$			V
$I_{IH(INx)}$	INx (input) high-level input current	$V_{IH} = V_{CCI}$ <sup>(1)</sup> at INx			10	$\mu A$
$I_{IL(INx)}$	INx (input) low-level input current	$V_{IL} = 0V$ at INx	-10			$\mu A$
$V_{IH(ENx)}$	ENx (enable) threshold voltage, rising			$0.7 \times V_{CCI}$ <sup>(1)</sup>		V
$V_{IL(ENx)}$	ENx (enable) threshold voltage, falling		$0.3 \times V_{CCI}$			V
$V_{I\_HYS(ENx)}$	ENx (enable) threshold voltage hysteresis		$0.1 \times V_{CCI}$			V
$I_{IH(ENx)}$	ENx (enable) high-level input current	$V_{IH} = V_{CCI}$ <sup>(1)</sup> at ENx			10	$\mu A$
$I_{IL(ENx)}$	ENx (enable) low-level input current	$V_{IL} = 0V$ at ENx	-10			$\mu A$
$C_i$	Input Capacitance <sup>(2)</sup>	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 2MHz$ , $V_{CC} = 5V$		1.5		pF

- (1)  $V_{CCI}$  = Input-side  $V_{CC}$ ;  $V_{CCO}$  = Output-side  $V_{CC}$   
(2) Measured from input pin to same side ground.

## 5.10 Supply Current Characteristics—5V Supply

 $V_{CC1} = V_{CC2} = 5V \pm 10\%$  (over recommended operating conditions unless otherwise noted)

PARAMETER	TEST CONDITIONS	SUPPLY CURRENT	MIN	TYP	MAX	UNIT	
<b>ISO6441 (default high) and ISO6441F (default low, with F suffix)</b>							
Supply current - DC signal (2)	$V_I = V_{CC1}$ (1)(default high); $V_I = 0V$ (default low, with F suffix)	$I_{CC1}$		3.5	4.6	mA	
		$I_{CC2}$		2.3	3		
	$V_I = 0V$ (default high); $V_I = V_{CC1}$ (default low, with F suffix)	$I_{CC1}$		9.8	11.5		
		$I_{CC2}$		4.4	5.1		
Supply current - AC signal (3)	All channels switching with square wave clock input; $C_L = 15\text{ pF}$	1Mbps	$I_{CC1}$		6.8		8
			$I_{CC2}$		3.5		4.1
		10Mbps	$I_{CC1}$		7.3		8.5
			$I_{CC2}$		5		5.7
		100Mbps	$I_{CC1}$		12.6	14.5	
			$I_{CC2}$		19	22.2	

 (1)  $V_{CCI} = \text{Input-side } V_{CC}$ 

 (2) Supply current valid for  $ENx = V_{CCx}$ 

 (3) Supply current valid for  $ENx = V_{CCx}$

## 5.11 Electrical Characteristics—3.3V Supply

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$  (over recommended operating conditions unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{OH(OUTx)}$	OUTx (output) high-level output voltage	$I_{OH} = -2mA$ ; See <a href="#">セクション 6</a>	$V_{CCO} - 0.2$ <sup>(1)</sup>			V
$V_{OL(OUTx)}$	OUTx (output) low-level output voltage	$I_{OL} = 2mA$ ; See <a href="#">セクション 6</a>			0.2	V
$V_{IT+(INx)}$	INx (input) switching threshold voltage, rising			$0.7 \times V_{CCI}$ <sup>(1)</sup>		V
$V_{IT-(INx)}$	INx (input) switching threshold voltage, falling		$0.3 \times V_{CCI}$			V
$V_{I\_HYS(INx)}$	INx (input) switching threshold voltage hysteresis		$0.1 \times V_{CCI}$			V
$I_{IH(INx)}$	INx (input) high-level input current	$V_{IH} = V_{CCI}$ <sup>(1)</sup> at INx			10	$\mu A$
$I_{IL(INx)}$	INx (input) low-level input current	$V_{IL} = 0V$ at INx	-10			$\mu A$
$V_{IH(ENx)}$	ENx (enable) threshold voltage, rising			$0.7 \times V_{CCI}$ <sup>(1)</sup>		V
$V_{IL(ENx)}$	ENx (enable) threshold voltage, falling		$0.3 \times V_{CCI}$			V
$V_{I\_HYS(ENx)}$	ENx (enable) threshold voltage hysteresis		$0.1 \times V_{CCI}$			V
$I_{IH(ENx)}$	ENx (enable) high-level input current	$V_{IH} = V_{CCI}$ <sup>(1)</sup> at ENx			10	$\mu A$
$I_{IL(ENx)}$	ENx (enable) low-level input current	$V_{IL} = 0V$ at ENx	-10			$\mu A$
$C_i$	Input Capacitance <sup>(2)</sup>	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 2MHz$ , $V_{CC} = 3.3V$		1.5		pF

(1)  $V_{CCI}$  = Input-side  $V_{CC}$ ;  $V_{CCO}$  = Output-side  $V_{CC}$

(2) Measured from input pin to same side ground.

## 5.12 Supply Current Characteristics—3.3V Supply

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$  (over recommended operating conditions unless otherwise noted)

PARAMETER	TEST CONDITIONS	SUPPLY CURRENT	MIN	TYP	MAX	UNIT	
<b>ISO6441 (default high) and ISO6441F (default low, with F suffix)</b>							
Supply current - DC signal (2)	$V_I = V_{CC1}$ (1)(default high); $V_I = 0V$ (default low, with F suffix)	$I_{CC1}$		3.6	4.6	mA	
		$I_{CC2}$		2.3	2.9		
	$V_I = 0V$ (default high); $V_I = V_{CC1}$ (default low, with F suffix)	$I_{CC1}$		10	11.4		
		$I_{CC2}$		4.4	5		
Supply current - AC signal (3)	All channels switching with square wave clock input; $C_L = 15pF$	1Mbps	$I_{CC1}$		6.8		7.9
			$I_{CC2}$		3.4		4
		10Mbps	$I_{CC1}$		7.2		8.2
			$I_{CC2}$		4.4		5
		100Mbps	$I_{CC1}$		10.7	12.1	
			$I_{CC2}$		13.7	15.6	

(1)  $V_{CCI} = \text{Input-side } V_{CC}$

(2) Supply current valid for  $ENx = V_{CCx}$

(3) Supply current valid for  $ENx = V_{CCx}$

### 5.13 Electrical Characteristics—2.5V Supply

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$  (over recommended operating conditions unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{OH(OUTx)}$	OUTx (output) high-level output voltage	$I_{OH} = -1mA$ ; See <a href="#">セクション 6</a>	$V_{CCO} - 0.1$ <sup>(1)</sup>			V
$V_{OL(OUTx)}$	OUTx (output) low-level output voltage	$I_{OL} = 1mA$ ; See <a href="#">セクション 6</a>			0.1	V
$V_{IT+(INx)}$	INx (input) switching threshold voltage, rising			$0.7 \times V_{CCI}$ <sup>(1)</sup>		V
$V_{IT-(INx)}$	INx (input) switching threshold voltage, falling		$0.3 \times V_{CCI}$			V
$V_{I\_HYS(INx)}$	INx (input) switching threshold voltage hysteresis		$0.1 \times V_{CCI}$			V
$I_{IH(INx)}$	INx (input) high-level input current	$V_{IH} = V_{CCI}$ <sup>(1)</sup> at INx			10	$\mu A$
$I_{IL(INx)}$	INx (input) low-level input current	$V_{IL} = 0V$ at INx	-10			$\mu A$
$V_{IH(ENx)}$	ENx (enable) threshold voltage, rising			$0.7 \times V_{CCI}$ <sup>(1)</sup>		V
$V_{IL(ENx)}$	ENx (enable) threshold voltage, falling		$0.3 \times V_{CCI}$			V
$V_{I\_HYS(ENx)}$	ENx (enable) threshold voltage hysteresis		$0.1 \times V_{CCI}$			V
$I_{IH(ENx)}$	ENx (enable) high-level input current	$V_{IH} = V_{CCI}$ <sup>(1)</sup> at ENx			10	$\mu A$
$I_{IL(ENx)}$	ENx (enable) low-level input current	$V_{IL} = 0V$ at ENx	-10			$\mu A$
$C_i$	Input Capacitance <sup>(2)</sup>	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 2MHz$ , $V_{CC} = 2.5V$		1.5		pF

(1)  $V_{CCI}$  = Input-side  $V_{CC}$ ;  $V_{CCO}$  = Output-side  $V_{CC}$

(2) Measured from input pin to same side ground.

### 5.14 Supply Current Characteristics—2.5V Supply

 $V_{CC1} = V_{CC2} = 2.5V \pm 10\%$  (over recommended operating conditions unless otherwise noted)

PARAMETER	TEST CONDITIONS	SUPPLY CURRENT	MIN	TYP	MAX	UNIT	
<b>ISO6441 (default high) and ISO6441F (default low, with F suffix)</b>							
Supply current - DC signal (2)	$V_I = V_{CC1}$ (1)(default high); $V_I = 0V$ (default low, with F suffix)	$I_{CC1}$		3.6	4.5	mA	
		$I_{CC2}$		2.3	2.9		
	$V_I = 0V$ (default high); $V_I = V_{CC1}$ (default low, with F suffix)	$I_{CC1}$		10	11.3		
		$I_{CC2}$		4.3	5		
Supply current - AC signal (3)	All channels switching with square wave clock input; $C_L = 15pF$	1Mbps	$I_{CC1}$		6.8		7.8
			$I_{CC2}$		3.4		4
		10Mbps	$I_{CC1}$		7.1		8.2
			$I_{CC2}$		4.1		4.9
		100Mbps	$I_{CC1}$		10.1	11.2	
			$I_{CC2}$		11.3	12.8	

 (1)  $V_{CCI} = \text{Input-side } V_{CC}$ 

 (2) Supply current valid for  $ENx = V_{CCx}$ 

 (3) Supply current valid for  $ENx = V_{CCx}$

## 5.15 Switching Characteristics—5V Supply

$V_{CC1} = V_{CC2} = 5V \pm 10\%$  (over recommended operating conditions unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}, t_{PHL}$	Propagation delay time	@100kbps		6.2	10	ns
PWD	Pulse width distortion <sup>(1)</sup> $ t_{PHL} - t_{PLH} $	See セクション 6		0.03	2.5	ns
$t_{sk(o)}$	Channel-to-channel output skew time <sup>(2)</sup>	Same-direction channels			1.5	ns
$t_{sk(pp)}$	Part-to-part skew time <sup>(3)</sup>				3	ns
$t_r$	Output signal rise time	See セクション 6			3	ns
$t_f$	Output signal fall time				3	ns
$t_{PHZ}$	Disable propagation delay, high-to-high impedance output	See セクション 6			9	ns
$t_{PLZ}$	Disable propagation delay, low-to-high impedance output				8	ns
$t_{PZH}$	Enable propagation delay, high impedance-to-high output for ISO644x				7	ns
$t_{PZL}$	Enable propagation delay, high impedance-to-low output for ISO644x				8	ns
$t_{PU}$	Time from $V_{CC}$ UVLO to valid output data	$V_{CC}$ ramp < 1 $\mu$ s			90	$\mu$ s
$t_{DO}$	Default output delay time from input power loss	Measured from the time $V_{CC}$ goes below $V_{CC\_UVLO-(MIN)}$ . See セクション 6		0.055	0.1	$\mu$ s
$t_{ie}$	Time interval error	$2^{16} - 1$ PRBS data at 100 Mbps		0.21		ns

- (1) Also known as pulse skew.
- (2)  $t_{sk(o)}$  is the skew between outputs of a single device with all driving inputs connected together and the outputs switching in the same direction while driving identical loads.
- (3)  $t_{sk(pp)}$  is the magnitude of the difference in propagation delay times between any terminals of different devices switching in the same direction while operating at identical supply voltages, temperature, input signals and loads.

## 5.16 Switching Characteristics—3.3V Supply

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$  (over recommended operating conditions unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}, t_{PHL}$	Propagation delay time	@100kbps		7	12	ns
PWD	Pulse width distortion <sup>(1)</sup> $ t_{PHL} - t_{PLH} $	See セクション 6		0.26	2.5	ns
$t_{sk(o)}$	Channel-to-channel output skew time <sup>(2)</sup>	Same-direction channels			1.5	ns
$t_{sk(pp)}$	Part-to-part skew time <sup>(3)</sup>				3	ns
$t_r$	Output signal rise time	See セクション 6			4	ns
$t_f$	Output signal fall time				4	ns
$t_{PHZ}$	Disable propagation delay, high-to-high impedance output	See セクション 6			14	ns
$t_{PLZ}$	Disable propagation delay, low-to-high impedance output				12	ns
$t_{PZH}$	Enable propagation delay, high impedance-to-high output for ISO644x				11	ns
$t_{PZL}$	Enable propagation delay, high impedance-to-low output for ISO644x				10	ns
$t_{PU}$	Time from $V_{CC}$ UVLO to valid output data	$V_{CC}$ ramp < 1 $\mu$ s			70	$\mu$ s
$t_{DO}$	Default output delay time from input power loss	Measured from the time $V_{CC}$ goes below $V_{CC\_UVLO-(MIN)}$ . See セクション 6		0.06	0.1	$\mu$ s
$t_{ie}$	Time interval error	$2^{16} - 1$ PRBS data at 100 Mbps		0.2		ns

(1) Also known as pulse skew.

(2)  $t_{sk(o)}$  is the skew between outputs of a single device with all driving inputs connected together and the outputs switching in the same direction while driving identical loads.

(3)  $t_{sk(pp)}$  is the magnitude of the difference in propagation delay times between any terminals of different devices switching in the same direction while operating at identical supply voltages, temperature, input signals and loads.



## 5.17 Switching Characteristics—2.5V Supply

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$  (over recommended operating conditions unless otherwise noted)

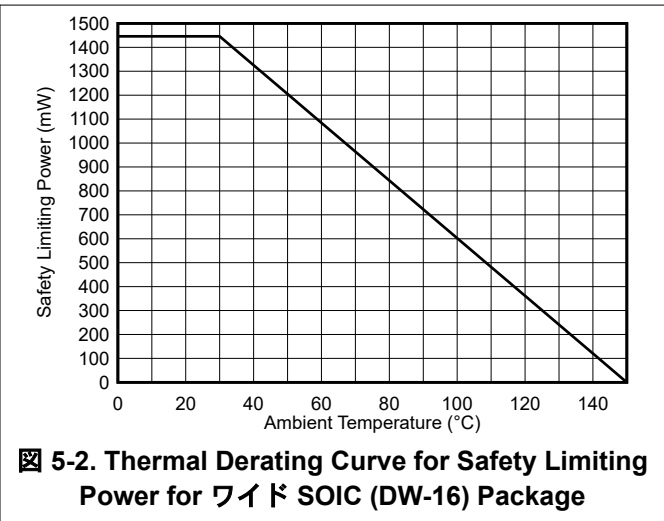
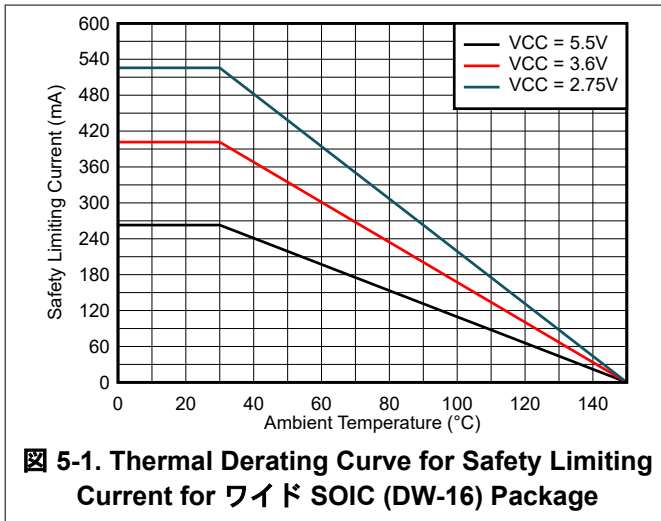
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}, t_{PHL}$	Propagation delay time	@100kbps		8.4	14.5	ns
PWD	Pulse width distortion <sup>(1)</sup> $ t_{PHL} - t_{PLH} $	See セクション 6		0.5	2.5	ns
$t_{sk(o)}$	Channel-to-channel output skew time <sup>(2)</sup>	Same-direction channels			1.5	ns
$t_{sk(pp)}$	Part-to-part skew time <sup>(3)</sup>				3	ns
$t_r$	Output signal rise time	See セクション 6			5	ns
$t_f$	Output signal fall time				5	ns
$t_{PHZ}$	Disable propagation delay, high-to-high impedance output	See セクション 6			19	ns
$t_{PLZ}$	Disable propagation delay, low-to-high impedance output				17	ns
$t_{PZH}$	Enable propagation delay, high impedance-to-high output for ISO644x				17	ns
$t_{PZL}$	Enable propagation delay, high impedance-to-low output for ISO644x				12	ns
$t_{PU}$	Time from $V_{CC}$ UVLO to valid output data	$V_{CC}$ ramp < 1 $\mu$ s			80	$\mu$ s
$t_{DO}$	Default output delay time from input power loss	Measured from the time $V_{CC}$ goes below $V_{CC\_UVLO-(MIN)}$ . See セクション 6		0.06	0.1	$\mu$ s
$t_{ie}$	Time interval error	$2^{16} - 1$ PRBS data at 100 Mbps		0.22		ns

- (1) Also known as pulse skew.
- (2)  $t_{sk(o)}$  is the skew between outputs of a single device with all driving inputs connected together and the outputs switching in the same direction while driving identical loads.
- (3)  $t_{sk(pp)}$  is the magnitude of the difference in propagation delay times between any terminals of different devices switching in the same direction while operating at identical supply voltages, temperature, input signals and loads.

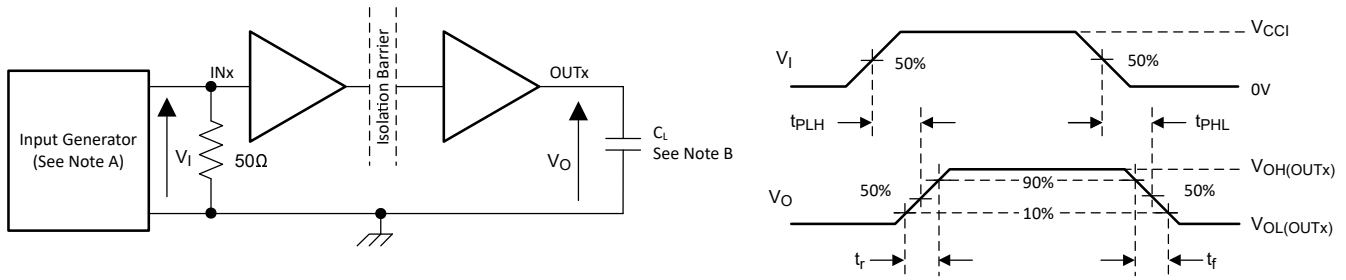
## 5.18 Insulation Characteristics Curves

### Insulation Characteristics Curves for ワイド SOIC (DW-16) Package

ADVANCE INFORMATION

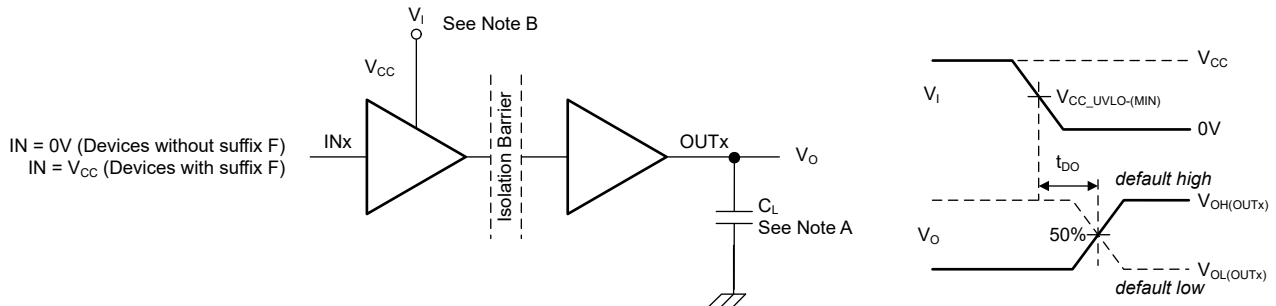


## 6 Parameter Measurement Information



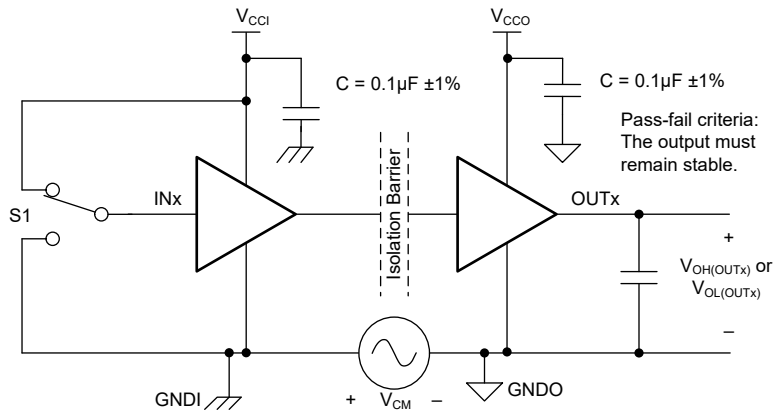
- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 50kHz、50% デューティ サイクル、 $t_r \leq 1\text{ns}$ 、 $t_f \leq 1\text{ns}$ 、 $Z_O = 50\Omega$ 。INx (入力) ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この 50Ω 抵抗は不要です。
- B.  $C_L = 15\text{pF}$  であり、±20% 以内の計測器および治具の容量が含まれています。

図 6-1. スイッチング特性試験回路と電圧波形



- A.  $C_L = 15\text{pF}$  であり、±20% 以内の計測器および治具の容量が含まれています。
- B. 電源ランプ レート = 10mV/ns

図 6-2. デフォルトの出力遅延時間テスト回路と電圧波形



- A.  $C_L = 15\text{pF}$  であり、±20% 以内の計測器および治具の容量が含まれています。
- B.  $ENx = V_{CC}$ 、CMTI テスト中チャンネルはイネーブルです。


図 6-3. 同相過渡電圧耐性試験回路

## 7 Detailed Description

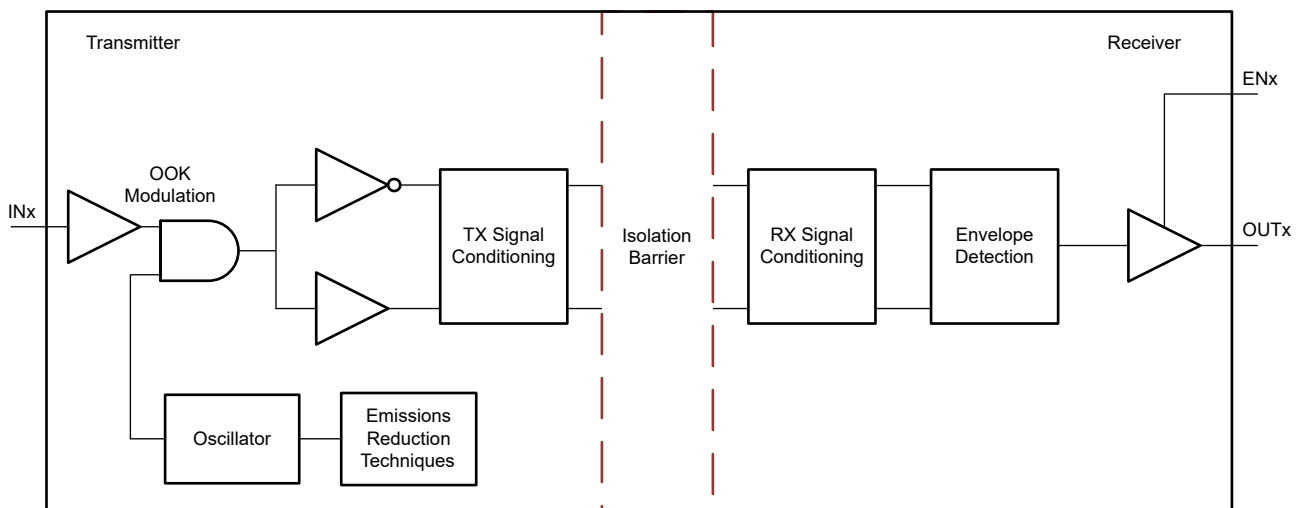
### 7.1 Overview

ISO644x ファミリのデバイスは、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します。

トランスミッタは、バリアを介して高周波キャリアを送信することによって、1 つのデジタル状態を表しています。また、信号を送信しないことによって、もう 1 つのデジタル状態を表しています。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。ISO644x デバイスには高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化しています。

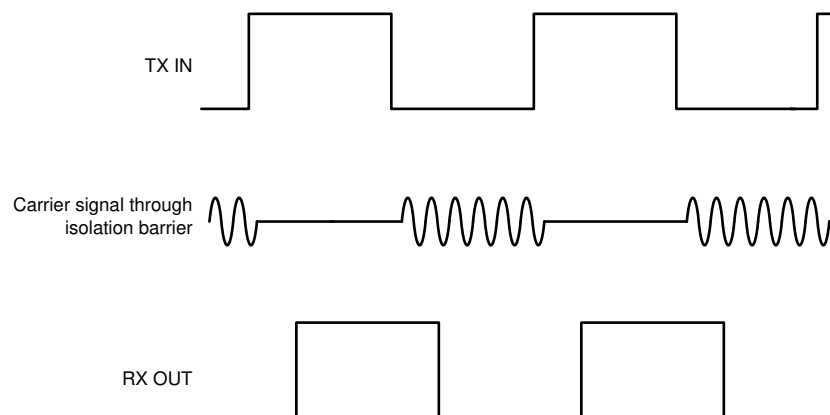
The conceptual block diagram of the digital isolator, , shows a functional block diagram of a typical channel.


### 7.2 Functional Block Diagram



 **7-1. Conceptual Block Diagram of an OOK Based Digital Isolator**

 7-2 shows a conceptual detail of how the ON-OFF keying scheme works.



 **7-2. On-Off Keying (OOK) Based Modulation Scheme**

## 7.3 Feature Description

表 7-1 provides an overview of the device features.

表 7-1. Device Features

PART NUMBER	CHANNEL DIRECTION	MAXIMUM DATA RATE	DEFAULT OUTPUT	PACKAGE
ISO6441	3 Forward 1 Reverse	100Mbps	High	DW-16
ISO6441F	3 Forward 1 Reverse	100Mbps	Low	DW-16

### 7.3.1 Electromagnetic Compatibility (EMC) Considerations

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4-x や CISPR 25 などの国際規格により規制されています。システム レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトに大きく左右されますが、ISO644x ファミリのデバイスは、数多くのチップ レベルの設計改善を取り入れて、システム全体の堅牢性を高めています。改善項目の一部を以下に示します。

- 入出力信号ピンおよびチップ間のボンド パッドに、堅牢な ESD 保護セル。
- 電源ピンおよびグランド ピンに、ESD セルの低抵抗接続。
- 低インピーダンス パスを経由して不要な高エネルギー信号をバイパスする、オンチップ デカップリング コンデンサの大容量化。
- ガードリングによって PMOS デバイスと NMOS デバイスを相互に絶縁し、寄生 SCR がトリガされるのを防止。
- 完全差動内部動作を確実にすることで、絶縁バリアをまたぐコモン モード電流を低減。

## 7.4 Device Functional Modes

表 7-2 lists the functional modes for the ISO644x devices.

表 7-2. Function Table

V <sub>CCI</sub> <sup>(1)</sup>	V <sub>CCO</sub>	INPUT (INx)	OUTPUT ENABLE (ENx)	OUTPUT (OUTx)	COMMENTS
PU	PU	H	H or open	H	Normal Operation: A channel output assumes the logic state of the input.
		L	H or open	L	
		Open	H or open	Default	Default mode: When INx is open, the corresponding channel output goes to the default logic state. Default is <i>High</i> for ISO644x and <i>Low</i> for ISO644xF (with F suffix).
X	PU	X	L	Z	A low value of output enable causes the outputs to be high-impedance.
PD	PU	X	H or open	Default	Default mode: When V <sub>CCI</sub> is unpowered, a channel output assumes the logic state based on the selected default option. Default is <i>High</i> for ISO644x and <i>Low</i> for ISO644xF (with F suffix). When V <sub>CCI</sub> transitions from unpowered to powered-up, a channel output assumes the logic state of the input. When V <sub>CCI</sub> transitions from powered-up to unpowered, channel output assumes the selected default state.
X	PD	X	X	Undetermined	When V <sub>CCO</sub> is unpowered, a channel output is undetermined <sup>(2)</sup> . When V <sub>CCO</sub> transitions from unpowered to powered-up, a channel output assumes the logic state of the input.

(1) V<sub>CCI</sub> = Input-side V<sub>CC</sub>; V<sub>CCO</sub> = Output-side V<sub>CC</sub>; PU = Powered up (V<sub>CC</sub> ≥ V<sub>CC\_RO(MIN)</sub>); PD = Powered down (V<sub>CC</sub> ≤ V<sub>CC\_UVLO-</sub>); X = Irrelevant; H = High level; L = Low level; Z = High Impedance

(2) The outputs are in undetermined state when V<sub>CC\_UVLO-</sub> ≤ V<sub>CCI</sub> or V<sub>CCO</sub> < V<sub>CC</sub> ≥ V<sub>CC\_RO(MIN)</sub>.

## 7.5 Device I/O Schematics

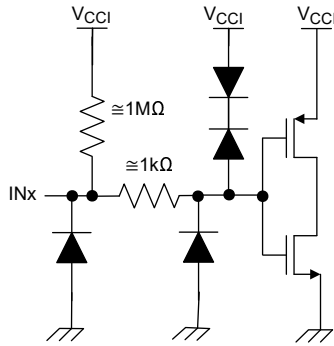


図 7-3. Input (INx) Default High (Device Without F Suffix Device) Schematics

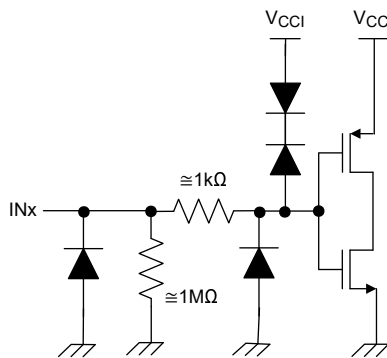


図 7-4. Input (INx) Default Low (Device With F Suffix Device) Schematics

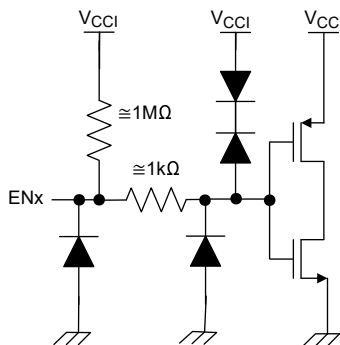


図 7-5. Enable (ENx) Schematics

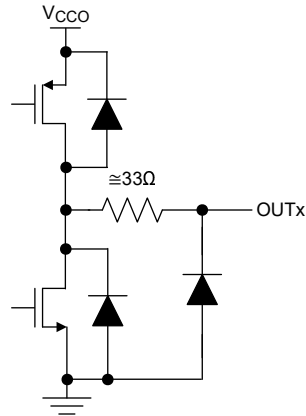


図 7-6. Output (OUTx) Schematics

## 8 Application and Implementation

### 注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

### 8.1 Application Information

ISO644x デバイスは、高性能のクワッド チャネル デジタル アイソレータです。これらのデバイスは両側にイネーブルピンがあり、対応する出力を高インピーダンスに移行して、パラレル (複数) ドライバマルチマスタ駆動アプリケーションに使用できます。ISO644x デバイスは、シングルエンド CMOS ロジック スイッチング テクノロジーを使用しています。

電源電圧の範囲は、 $V_{CC1}$  と  $V_{CC2}$  の両方の電源で 2.25V~5.5V です。絶縁バリアは 2 つの側を分離するため、推奨動作条件内の任意の電圧を使用し、それぞれの側を独立してソースできます。たとえば、ISO644x に 3.3V の  $V_{CC1}$  (2.25V~5.5V の範囲内) と 5V の  $V_{CC2}$  (これも 2.25V~5.5V の範囲内) を供給できます。デジタル アイソレータは、絶縁に加えて、ロジックレベルトランスレータとしても使用できます。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (MCU または FPGA) と、データ コンバータまたはライントランスシーバとの間に配置されます。

### 8.2 Typical Application

図 8-1 shows the isolated serial peripheral interface (SPI).

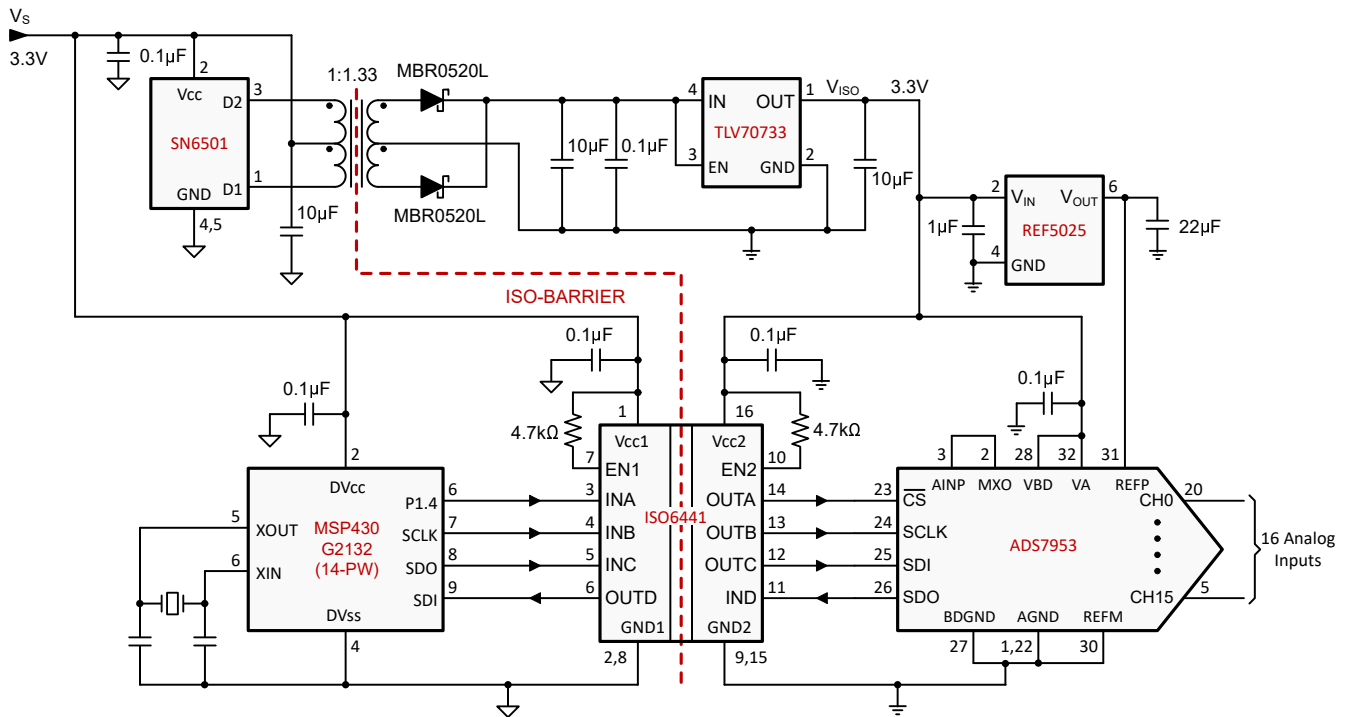


図 8-1. Isolated SPI for an Analog Input Module With 16 Inputs



### 8.2.1 Design Requirements

To design with these devices, use the parameters listed in 表 8-1.

表 8-1. Design Parameters

PARAMETER	VALUE
Supply voltage, $V_{CC1}$ and $V_{CC2}$	2.25V~5.5V
Decoupling capacitor between $V_{CC1}$ and GND1	0.1 $\mu$ F
Decoupling capacitor from $V_{CC2}$ and GND2	0.1 $\mu$ F

### 8.2.2 Detailed Design Procedure

Unlike optocouplers, which require external components to improve performance, provide bias, or limit current, the ISO644x family of devices only require two external bypass capacitors to operate.

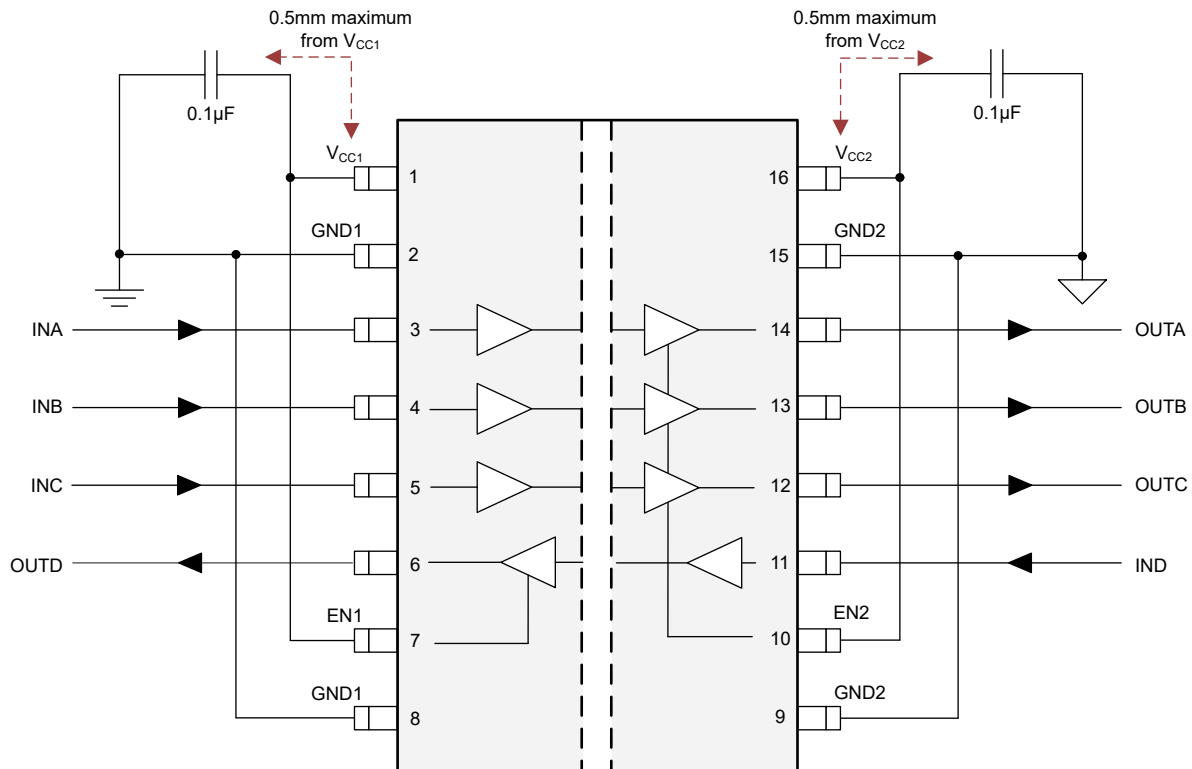
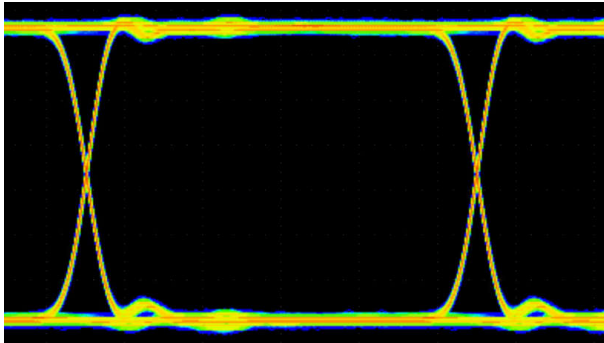


図 8-2. Typical ISO644x Circuit

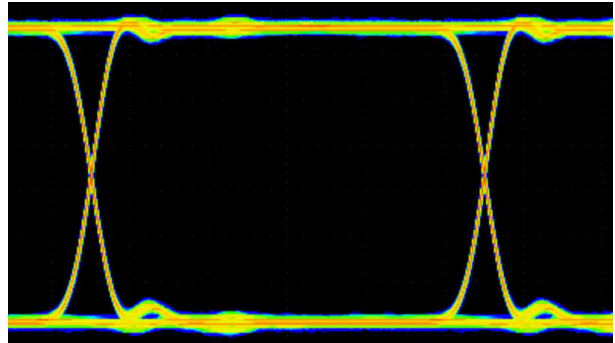
### 8.2.3 Application Curve

The following typical eye diagrams of the ISO644x family of devices indicates low jitter and wide open eye at the maximum data rate of 100Mbps.



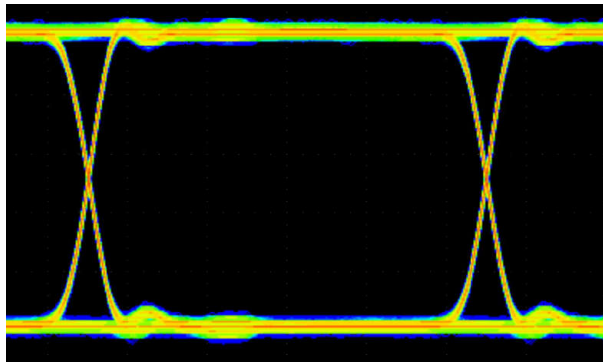
Horizontal 2ns / division, Vertical 1V / division.

☒ 8-3. ISO644x Eye Diagram at 100Mbps PRBS  $2^{16}$  – 1, 5V and 25°C



Horizontal 2ns / division, Vertical 500mV / division.

☒ 8-4. ISO644x Eye Diagram at 100Mbps PRBS  $2^{16}$  – 1, 3.3V and 25°C



Horizontal 2ns / division, Vertical 500mV / division.

☒ 8-5. ISO644x Eye Diagram at 100Mbps PRBS  $2^{16}$  – 1, 2.5V and 25°C

## 8.3 Power Supply Recommendations

To provide reliable operation at data rates and supply voltages, a 0.1 $\mu$ F bypass capacitor is recommended at the input and output supply pins ( $V_{CC1}$  and  $V_{CC2}$ ). The capacitors must be placed as close to the supply pins as possible. If only a single primary-side power supply is available in an application, isolated power can be generated for the secondary-side with the help of a transformer driver. For industrial applications, please use Texas Instruments' [SN6501](#) or [SN6505B](#). For such applications, detailed power supply design and transformer selection recommendations are available in [SN6501 Transformer Driver for Isolated Power Supplies](#) or [SN6505B Low-noise, 1-A Transformer Drivers for Isolated Power Supplies](#).

## 8.4 Layout

### 8.4.1 Layout Guidelines

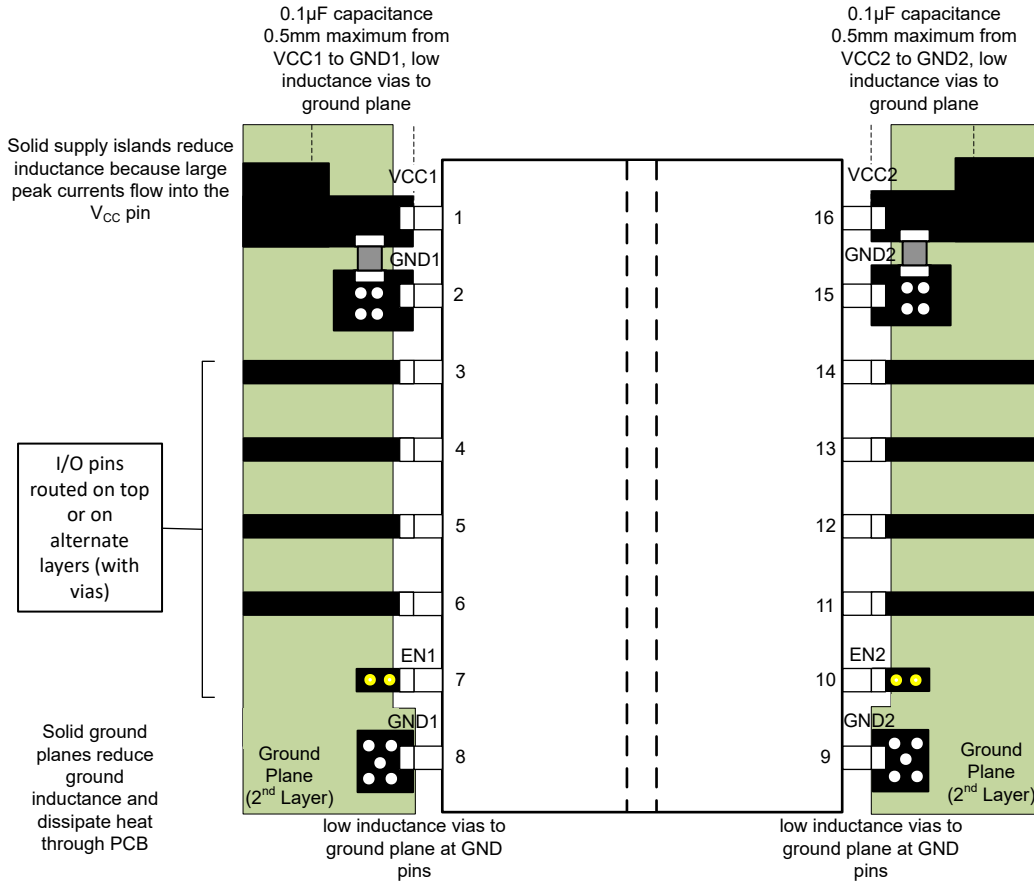
コストが最適化された低 EMI PCB の設計を実現するには、最小 2 層が必要です。EMI をさらに改善するために、4 層基板を使用できます ([Layout Example](#) を参照)。4 層基板の層は、上層から下層に向かって、高速信号層、グランドプレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランドプレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンスパスを実現します。
- グランドプレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100pF/インチ<sup>2</sup> 増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

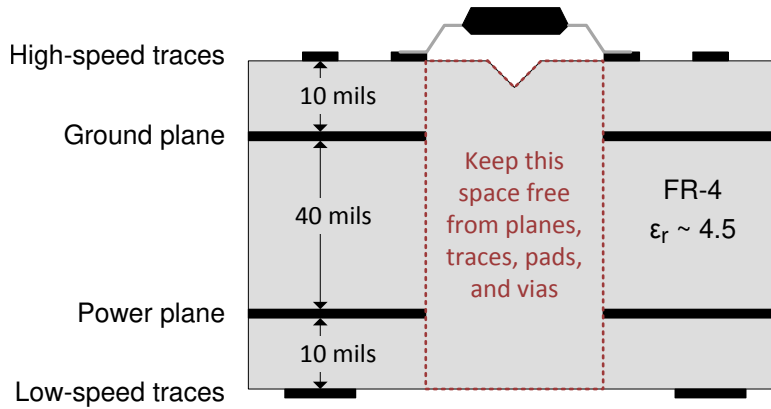
電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランドプレーン系統を層構成に追加します。この設計により、基板の層構成が機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランドプレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『[デジタル アイソレータ設計ガイド](#)』アプリケーション ノートを参照してください。

**8.4.2 Layout Example**



**図 8-6. Layout Example**



**図 8-7. Layout Example PCB cross section**

ADVANCE INFORMATION

## 9 Device and Documentation Support

### 9.1 Documentation Support

#### 9.1.1 Related Documentation

For related documentation, see the following:

- テキサス・インスツルメンツ、『デジタル アイスレータ設計ガイド』アプリケーション ノート
- テキサス・インスツルメンツ、『デジタル アイスレータ設計ガイド』アプリケーション ノート
- テキサス・インスツルメンツ、『絶縁用語集』アプリケーション ノート
- テキサス・インスツルメンツ、『産業用システムで ESD、EFT、サージの耐性を改善する目的で絶縁を使用する方法』アプリケーション ノート
- Texas Instruments, [SN6501 Transformer Driver for Isolated Power Supplies](#), data sheet
- Texas Instruments, [TPS76333 Low-Power 150-mA Low-Dropout Linear Regulators](#), data sheet

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

DATE	REVISION	NOTES
September 2024	*	Initial Release

## 11 Mechanical, Packaging, and Orderable Information

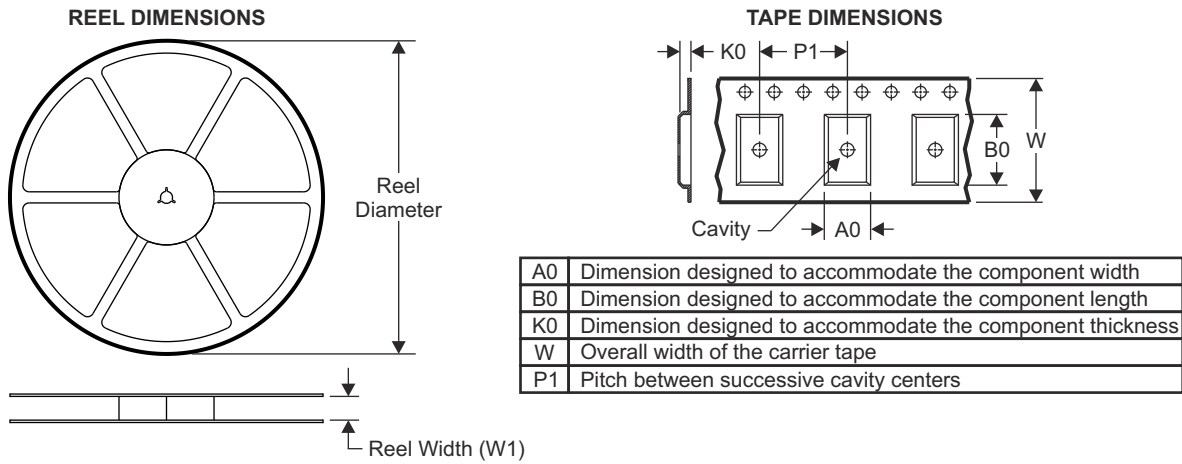
The following pages include mechanical packaging and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

## 11.1 Package Option Addendum

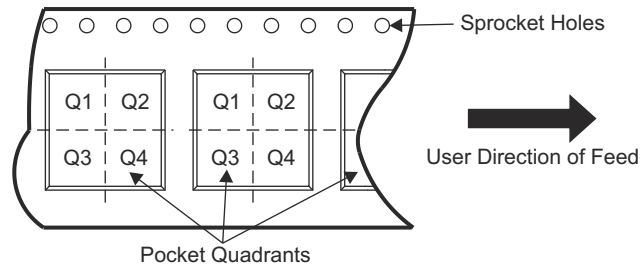
### Packaging Information

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish <sup>(6)</sup>	MSL Peak Temp <sup>(3)</sup>	Op Temp (°C)	Device Marking <sup>(4) (5)</sup>
ISO6441DWR	ACTIVE	SOIC	DW	16	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6441

## 11.2 Tape and Reel Information

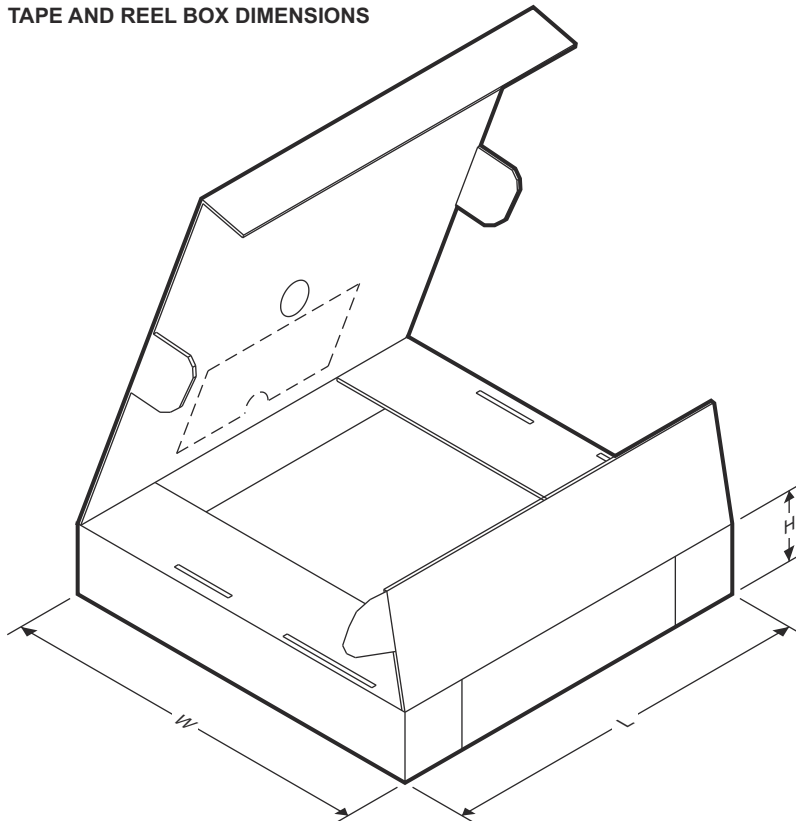


### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6441DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

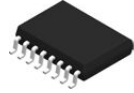
TAPE AND REEL BOX DIMENSIONS



Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6441DWR	SOIC	DW	16	2000	367.0	367.0	45.0

ADVANCE INFORMATION

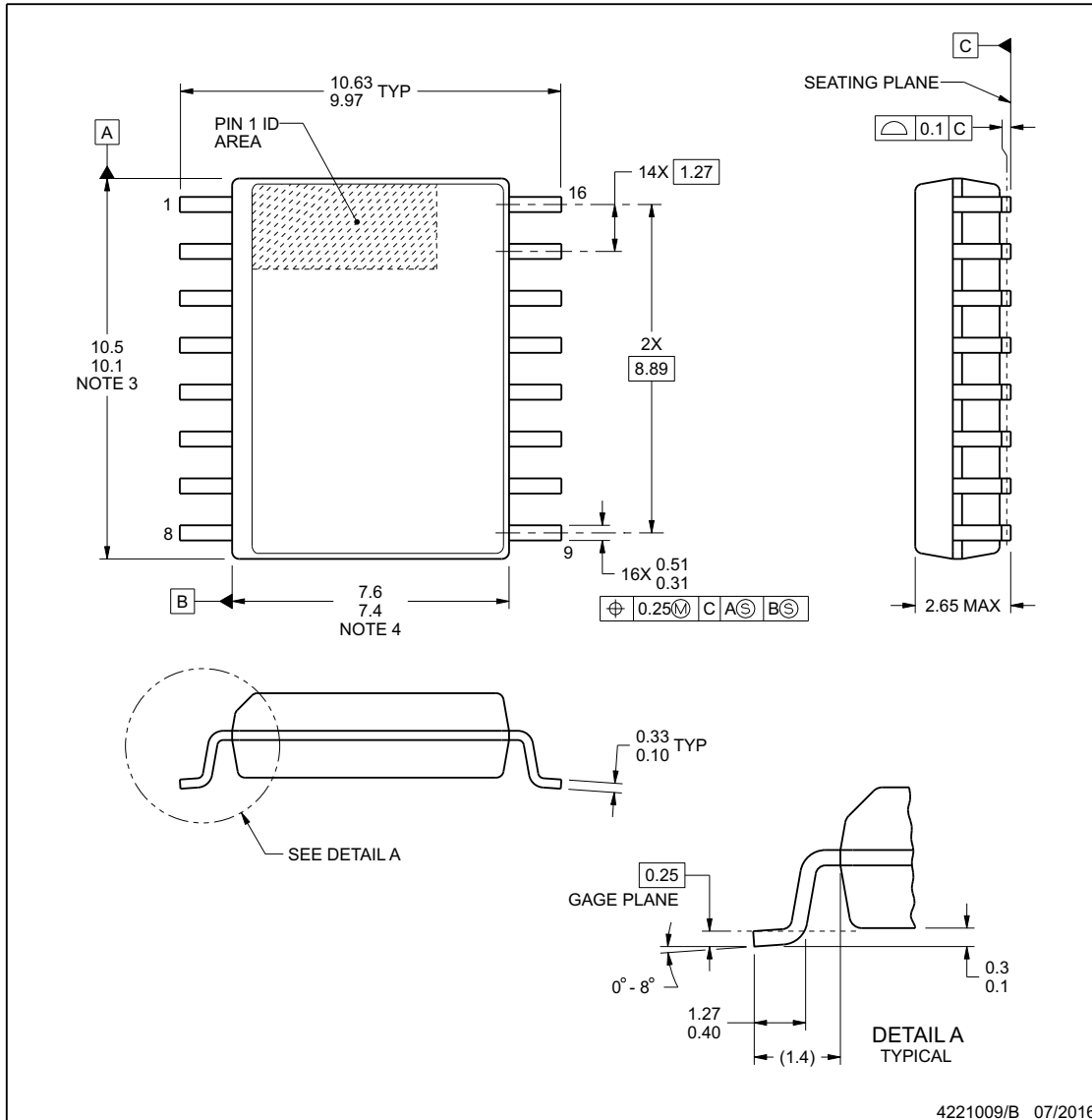




**DW0016B**

**PACKAGE OUTLINE**  
**SOIC - 2.65 mm max height**

SOIC



4221009/B 07/2016

**NOTES:**

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

[www.ti.com](http://www.ti.com)

**ADVANCE INFORMATION**

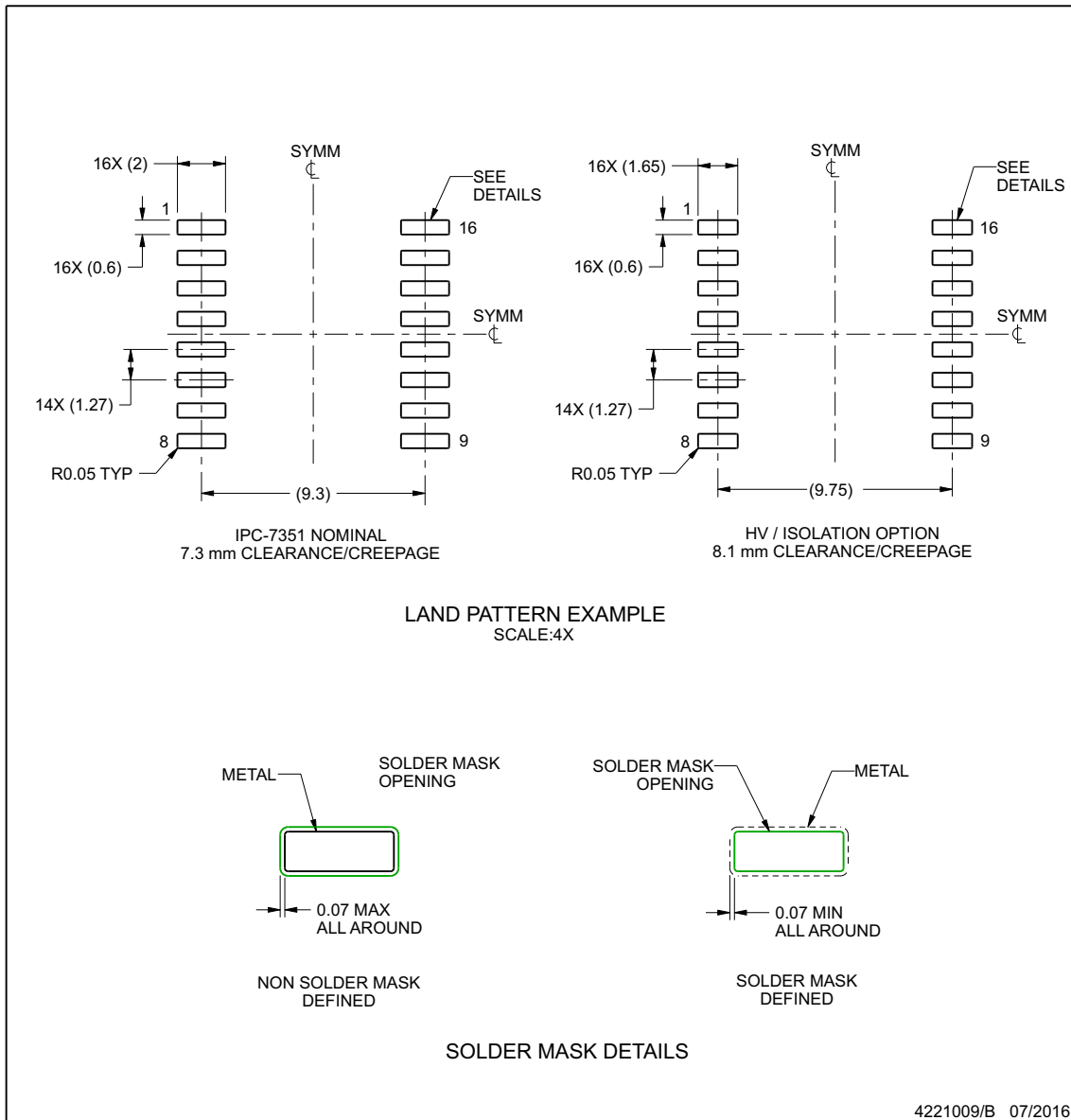
## EXAMPLE BOARD LAYOUT

**DW0016B**

**SOIC - 2.65 mm max height**

SOIC

ADVANCE INFORMATION



NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

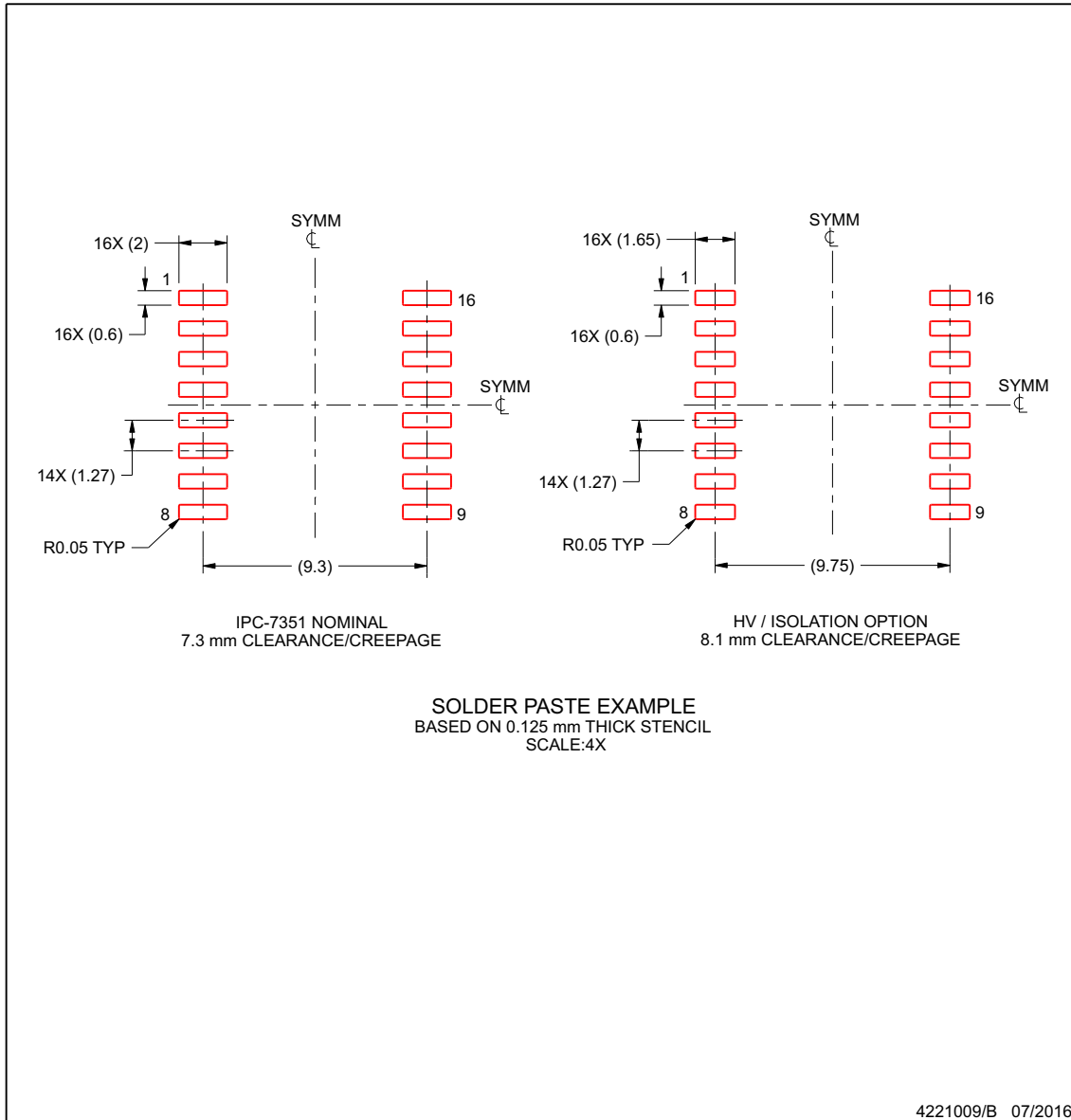
www.ti.com

## EXAMPLE STENCIL DESIGN

**DW0016B**

**SOIC - 2.65 mm max height**

SOIC



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

[www.ti.com](http://www.ti.com)

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated