

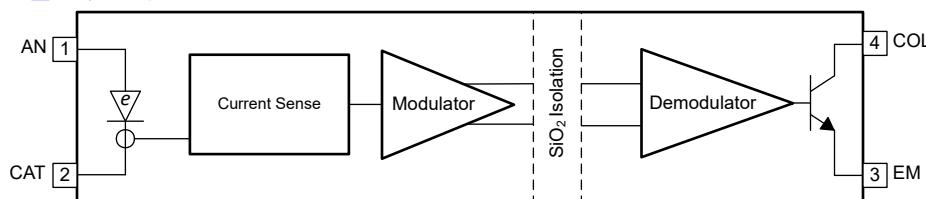
# ISOS510-SEP 放射線 耐性、電流駆動アナログ アイソレータ、トランジスタ出力付き

## 1 特長

- 耐放射線性能
  - 総照射線量 (TID) 特性 (ELDRS フリー) 最大 50krad(Si)
  - TID RLAT 最大 30krad(Si)
  - 125°C でのシングルイベント ラッチアップ (SEL) LET 耐性 43MeV-cm<sup>2</sup>/mg
  - シングルイベント機能割り込み (SEFI) およびシングルイベント過渡 (SET) は、最大 43MeV-cm<sup>2</sup>/mg の LET にて特性評価
- 宇宙用強化プラスチック (宇宙用 EP)
  - NASA ASTM E595 アウトガス仕様に適合
  - ミリタリー温度範囲 (-55°C~125°C)
- 1 チャネル ダイオード入力
- 電流伝達率 (CTR):  $I_F = 5\text{mA}$ ,  $V_{CE} = 5\text{V}$  のとき 100%~155%
- 高いコレクタ - エミッタ電圧:  $V_{CE} (\text{max}) = 30\text{V}$
- 堅牢  $\text{SiO}_2$  絶縁バリア
  - 絶縁定格: 3750V<sub>RMS</sub>
  - 動作電圧: 500V<sub>RMS</sub>, 707V<sub>PK</sub>
  - サージ耐性: 最大 10kV
- 応答時間:  $V_{CE} = 10\text{V}$ ,  $I_C = 2\text{mA}$ ,  $R_L = 100\Omega$  で 3μs (標準値)
- 小型 4 ピン パッケージ (DFG)
- 安全関連認証:
  - UL 1577 認定
  - VDE による DIN EN IEC 60747-17 (VDE 0884-17) 準拠

## 2 アプリケーション

- 衛星用電源システム (EPS)
- 通信ペイロード
- レーダー画像処理ペイロード



概略回路図

## 3 説明

ISOS510 耐放射線 / デバイスは、シングルチャネル、電流駆動のトランジスタ出力付きアナログ アイソレータです。本デバイスは、他の電流駆動アナログ アイソレータと比較して優れた信頼性と性能を備えています。高帯域幅、低ターンオフ遅延、低消費電力、広い温度範囲、平坦な電流伝達比 (CTR)、厳格なプロセス制御により、部品間スキーを低減しています。これらの性能上の利点が、放射線、温度範囲全体、寿命全体にわたって安定性を維持します。

ISOS510 は、3.75kV<sub>RMS</sub> の絶縁定格に対応した、2.54mm ピン ピッチの小型 SOIC-4 パッケージで供給されます。ISOS510 はその高い性能と信頼性により、絶縁型 DC/DC モジュールの帰還ループ、衛星推進電源処理ユニット、宇宙船のバッテリ管理システムなど、航空宇宙および防衛アプリケーションでの使用が可能です。

### パッケージ情報

部品番号	グレード	パッケージ (1)	パッケージ サイズ (2)
ISOS510-SEP	SEP	DFG (SO-4) 4 ピン プラスチック	7.0mm × 3.5mm 質量 = 89.6mg

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。

## 目次

1 特長	1	7.2 機能ブロック図	10
2 アプリケーション	1	7.3 機能説明	10
3 説明	1	7.4 デバイスの機能モード	10
4 ピン構成および機能	3	8 アプリケーションと実装	11
5 仕様	4	8.1 アプリケーション情報	11
5.1 絶対最大定格	4	8.2 電源に関する推奨事項	15
5.2 ESD 定格	4	8.3 レイアウト	15
5.3 推奨動作条件	4	9 デバイスおよびドキュメントのサポート	16
5.4 熱に関する情報	5	9.1 ドキュメントのサポート	16
5.5 絶縁仕様	6	9.2 ドキュメントの更新通知を受け取る方法	16
5.6 安全関連認証	7	9.3 サポート・リソース	16
5.7 安全限界値	7	9.4 商標	16
5.8 電気的特性	8	9.5 静電気放電に関する注意事項	16
5.9 スイッチング特性	8	9.6 用語集	16
6 パラメータ測定情報	9	10 改訂履歴	16
7 詳細説明	10	11 メカニカル、パッケージ、および注文情報	16
7.1 概要	10	11.1 テープおよびリール情報	20

## 4 ピン構成および機能

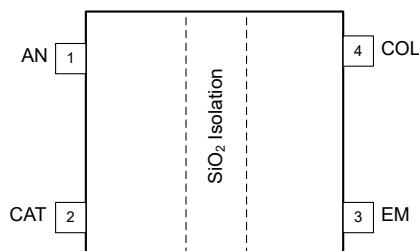


図 4-1. ISOS510 4 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
番号	名称		
1	AN	I	ダイオード入力のアノード接続
2	CAT	I	ダイオード入力のカソード接続
3	EM	O	トランジスタのエミッタ
4	COL	O	トランジスタのコレクタ

(1) I = 入力、O = 出力

## 5 仕様

### 5.1 絶対最大定格

自由空気中の動作温度範囲  $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$  内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
$I_{F(max)}$	最大入力順方向電流		15	mA
$V_{CEO}$	コレクタ - エミッタ間の電圧		35	V
$V_{ECO}$	エミッタ - コレクタ電圧		7	V
$I_{FP}$	入力パルス順方向電流 ( $T_A = 25^{\circ}\text{C}$ で $1\mu\text{s}$ 幅)		1	A
$V_R$	入力逆電圧		7	V
$P_I$	入力消費電力		86	mW
$I_C$	コレクタ電流		15	mA
$P_C$	コレクタ消費電力		86	mW
$P_T$	全消費電力		172	mW
$T_A$	周囲温度	-55	125	$^{\circ}\text{C}$
$T_J$	接合部温度	-55	150	$^{\circ}\text{C}$

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、またはこの文書の動作セクションに示された値を超えるその他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても記載された動作条件の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、すべてのピン <sup>(1)</sup>	$\pm 2000$	V
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン <sup>(2)</sup>	$\pm 1000$	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。  
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

自由空気中の動作温度範囲  $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$  内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$I_{F(ON)}$	入力オン状態順方向電流	0.7	10	mA	
$V_R$	入力逆電圧			5	V
$V_{CEO}$	コレクタ - エミッタ間の電圧	-5	30		V
$T_A$	周囲温度	-55	125		$^{\circ}\text{C}$

## 5.4 热に関する情報

热評価基準 <sup>(1)</sup>		ISOS510-SEP	単位
		DFG (SOIC)	
		4 ピン	
$R_{\theta JA}$	接合部から周囲への热抵抗	283.9	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への热抵抗	173.1	°C/W
$R_{\theta JB}$	接合部から基板への热抵抗	201.4	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	125.1	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	198.0	°C/W

(1) 従来および新しい热評価基準の詳細については、『半導体および IC パッケージの热評価基準』アプリケーション ノートを参照してください。

## 5.5 絶縁仕様

パラメータ		テスト条件	値 4-DFG	単位	
<b>IEC 60664-1</b>					
CLR	外部空間距離 <sup>(1)</sup>	空気を通したサイド 1 とサイド 2 の距離	> 5	mm	
CPG	外部沿面距離 <sup>(1)</sup>	パッケージ表面上でのサイド 1 とサイド 2 の距離	> 5	mm	
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>17	μm	
CTI	比較トラッキング インデックス	IEC 60112, UL 746A	>400	V	
材料グループ		IEC 60664-1 に準拠	II		
IEC 60664-1 に準拠した過電圧カテゴリ		定格商用電源 $V_{RMS}$ が 150V 以下	I-IV		
		定格商用電源 $V_{RMS}$ が 300V 以下	I-IV		
		定格商用電源 $V_{RMS}$ が 600V 以下	I-III		
<b>DIN VDE V 0884-11:2017<sup>(6)</sup></b>					
$V_{IORM}$	最大反復ピーク絶縁電圧	AC 電圧 (バイ波ーラ)	707	$V_{PK}$	
$V_{IOWM}$	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト	500	$V_{RMS}$	
		DC 電圧	707	$V_{DC}$	
$V_{IOTM}$	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$ 、 $t = 60s$ (認定)、 $V_{TEST} = 1.2 \times V_{IOTM}$ 、 $t = 1s$ (100% 出荷時テスト)	5303	$V_{PK}$	
$V_{IMP}$	最大インパルス電圧 <sup>(2)</sup>	気中でテスト、IEC 62368-1 に準拠した 1.2/50μs の波形	7200	$V_{PK}$	
$V_{IOSM}$	最大サージ絶縁電圧 <sup>(3)</sup>	$V_{IOSM} \geq 1.3 \times V_{IMP}$ 、油中でテスト (認定試験)、IEC 62368-1 に準拠した 1.2/50μs 波形	10000	$V_{PK}$	
$q_{pd}$	見掛けの電荷 <sup>(4)</sup>	方法 a: I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$ 、 $t_{ini} = 60s$ 、 $V_{pd(m)} = 1.2 \times V_{IORM}$ 、 $t_m = 10s$	≤ 5	pC	
		方法 a: 環境テスト サブグループ 1 の後、 $V_{ini} = V_{IOTM}$ 、 $t_{ini} = 60s$ 、 $V_{pd(m)} = 1.6 \times V_{IORM}$ 、 $t_m = 10s$	≤ 5		
		メソッド b: ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) で、 $V_{ini} = 1.2 \times V_{IOTM}$ 、 $t_{ini} = 1s$ 、 $V_{pd(m)} = 1.875 \times V_{IORM}$ 、 $t_m = 1s$	≤ 5		
$C_{IO}$	絶縁バリア容量、入力から出力へ <sup>(5)</sup>	$V_{IO} = 0.4 \times \sin(2\pi ft)$ 、 $f = 1MHz$	1	pF	
$R_{IO}$	絶縁抵抗、入力から出力へ <sup>(5)</sup>	$V_{IO} = 500V$ 、 $T_A = 25^\circ C$	$> 10^{12}$	$\Omega$	
		$V_{IO} = 500V$ ( $100^\circ C \leq T_A \leq 125^\circ C$ 時)	$> 10^{11}$		
		$V_{IO} = 500V$ ( $T_S = 150^\circ C$ 時)	$> 10^9$		
汚染度			2		
耐候性カテゴリ			40/125/21		
<b>UL 1577</b>					
$V_{ISO}$	絶縁耐圧	$V_{TEST} = V_{ISO}$ 、 $t = 60s$ (認定)、 $V_{TEST} = 1.2 \times V_{ISO}$ 、 $t = 1s$ (100% 出荷時テスト)	3750	$V_{RMS}$	

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- (2) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

- (6) この絶縁素子は、安全定格内の安全な電気的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。

## 5.6 安全関連認証

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17) による認証を計画	UL 1577 部品認定プログラムに従う認証を計画中
認証計画中	認証計画中

## 5.7 安全限界値

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>SO-4 パッケージ (DFG)</b>					
$I_S$	$R_{\theta JA} = 283.9^{\circ}\text{C}/\text{W}$ , $V_F = 1.4\text{V}$ , $T_J = 150^{\circ}\text{C}$ , $T_A = 25^{\circ}\text{C}$			300	mA
	$R_{\theta JA} = 283.9^{\circ}\text{C}/\text{W}$ , $V_{CEO} = 30\text{V}$ , $T_J = 150^{\circ}\text{C}$ , $T_A = 25^{\circ}\text{C}$			13.5	mA
	$R_{\theta JA} = 283.9^{\circ}\text{C}/\text{W}$ , $V_{CEO} = 24\text{V}$ , $T_J = 150^{\circ}\text{C}$ , $T_A = 25^{\circ}\text{C}$			17.5	mA
	$R_{\theta JA} = 283.9^{\circ}\text{C}/\text{W}$ , $V_{CEO} = 15\text{V}$ , $T_J = 150^{\circ}\text{C}$ , $T_A = 25^{\circ}\text{C}$			28	mA
$P_S$	$R_{\theta JA} = 283.9^{\circ}\text{C}/\text{W}$ , $T_J = 150^{\circ}\text{C}$ , $T_A = 25^{\circ}\text{C}$			420	mW
$T_S$	最高安全温度			150	°C

- (1)  $I_S$  および  $P_S$  パラメータはそれぞれ安全電流と安全電力を表します。 $I_S$  および  $P_S$  の最大限界値を超過してはなりません。これらの限界値は、周囲温度  $T_A$  によって異なります。  
表にある接合部から空気への熱抵抗  $R_{\theta JA}$  は、リード付き表面実装パッケージ向けの High-K テストボードに実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。  
 $T_J = T_A + R_{\theta JA} \times P$ 、ここで  $P$  は本デバイスで消費される電力です。  
 $T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ 、ここで  $T_{J(max)}$  は最大許容接合部温度です。  
 $P_S = I_S \times V_I$ 、ここで  $V_I$  は最大入力電圧です。

## 5.8 電気的特性

特に記述のない限り推奨動作条件範囲内にて、QML RHA および SEP デバイスのサブグループ番号が存在する場合は、 $T_A = 25^\circ\text{C}$  で RLAT を含む

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>入力</b>					
$V_F$	入力順方向電圧	$I_F = 5\text{mA}$		1.2	1.6
$I_R$	入力逆電流	$V_R = 5\text{V}$		10	$\mu\text{A}$
$C_{IN}$	入力容量	1MHz で $V_F = 0\text{V}$ 、 $T_A = 25^\circ\text{C}$		20	$\text{pF}$
<b>出力</b>					
$C_{CE}$	コレクタ - エミッタ間の容量	1MHz、 $V_F = 0\text{V}$ 、 $T_A = 25^\circ\text{C}$		15	$\text{pF}$
$V_{CE(\text{SAT})}$	コレクタ - エミッタ間の飽和電圧	$I_F = 10\text{mA}$ 、 $I_C = 1\text{mA}$		0.3	$\text{V}$
$I_{C\_DARK}$	コレクタの暗電流	$V_{CE} = 20\text{V}$ 、 $I_F = 0\text{mA}$		100	$\text{nA}$
$I_{EC}$	逆電流	$V_{EC} = 5\text{V}$ 、 $I_F = 0\text{mA}$		50	$\mu\text{A}$
$I_{C\_OFF}$	OFF_state コレクタ電流	$V_F = 0.7\text{V}$ 、 $V_{CE} = 30\text{V}$		10	$\mu\text{A}$
CTR <sup>(1)</sup>	電流の転送率	$I_F = 2\text{mA}$ 、 $V_{CE} = 5\text{V}$	80	130	180
		$I_F = 5\text{mA}$ 、 $V_{CE} = 5\text{V}$	100	120	155

(1)  $\text{CTR} (\%) = (I_C / I_F) \times 100\%$

## 5.9 スイッチング特性

すべての仕様は  $T_A = 25^\circ\text{C}$  でのものです (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>AC</b>					
$t_r$	立ち上がり時間、図 6-2 および 図 6-3 を参照	$V_{CC} = 10\text{V}$ 、 $I_C = 2\text{mA}$ 、 $R_L = 100\Omega$ 、 $C_L = 50\text{pF}$		3.2	$\mu\text{s}$
$t_f$	立ち下がり時間、図 6-2 および 図 6-3 を参照	$V_{CC} = 10\text{V}$ 、 $I_C = 2\text{mA}$ 、 $R_L = 100\Omega$ 、 $C_L = 50\text{pF}$		4.0	$\mu\text{s}$
$T_{ON}$	ターンオン時間、図 6-2 および 図 6-3 を参照	$V_{CC} = 10\text{V}$ 、 $I_C = 2\text{mA}$ 、 $R_L = 100\Omega$ 、 $C_L = 50\text{pF}$		5.7	$\mu\text{s}$
		$V_{CC} = 5\text{V}$ 、 $R_L = 4.7\text{k}\Omega$ 、 $I_F = 1.6\text{mA}$ 、 $C_L = 50\text{pF}$		3.5	$\mu\text{s}$
		$V_{CC} = 5\text{V}$ 、 $R_L = 1.9\text{k}\Omega$ 、 $I_F = 16\text{mA}$ 、 $C_L = 50\text{pF}$		0.62	$\mu\text{s}$
$T_{OFF}$	ターンオフ時間、図 6-2 および 図 6-3 を参照	$V_{CC} = 10\text{V}$ 、 $I_C = 2\text{mA}$ 、 $R_L = 100\Omega$ 、 $C_L = 50\text{pF}$		3.6	$\mu\text{s}$
		$V_{CC} = 5\text{V}$ 、 $R_L = 4.7\text{k}\Omega$ 、 $I_F = 1.6\text{mA}$ 、 $C_L = 50\text{pF}$		8	$\mu\text{s}$
		$V_{CC} = 5\text{V}$ 、 $R_L = 1.9\text{k}\Omega$ 、 $I_F = 16\text{mA}$ 、 $C_L = 50\text{pF}$		10	$\mu\text{s}$
$t_s$	保存時間とは、入力がオンになってオフに戻ったときに、出力波形が 0% (100%) から 10% (90%) まで変化するのに必要な時間。図 6-2 および 図 6-3 を参照	$V_{CC} = 5\text{V}$ 、 $I_F = 1.6\text{mA}$ 、 $R_L = 4.7\text{k}\Omega$		21	$\mu\text{s}$
$BW$	帯域幅、図 6-4 および 図 6-3 を参照	$V_{IN\_DC} = 5\text{V}$ 、 $V_{IN\_AC} = 1\text{Vpk}$ 、 $R_{IN} = 2\text{k}\Omega$ 、 $V_{CC} = 5\text{V}$ 、 $R_{LOAD} = 100\Omega$ 、 $C_L = 50\text{pF}$ 、 $V_{CE} -3\text{dB}$ で測定 (正弦波)		680	$\text{kHz}$

## 6 パラメータ測定情報

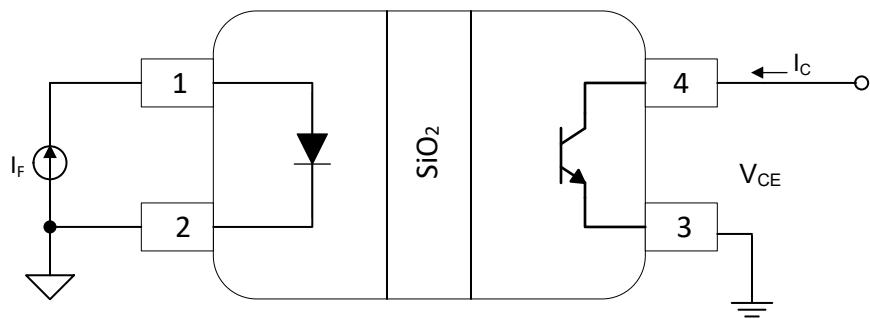


図 6-1. ISOS510 CTR のテスト回路

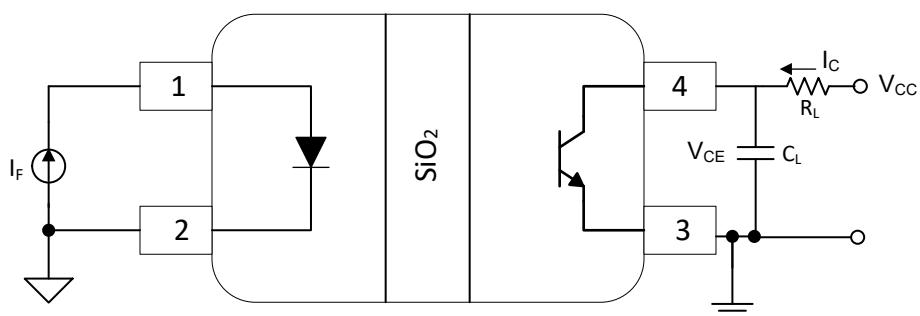


図 6-2. ISOS510 スイッチングタイミングのテスト回路

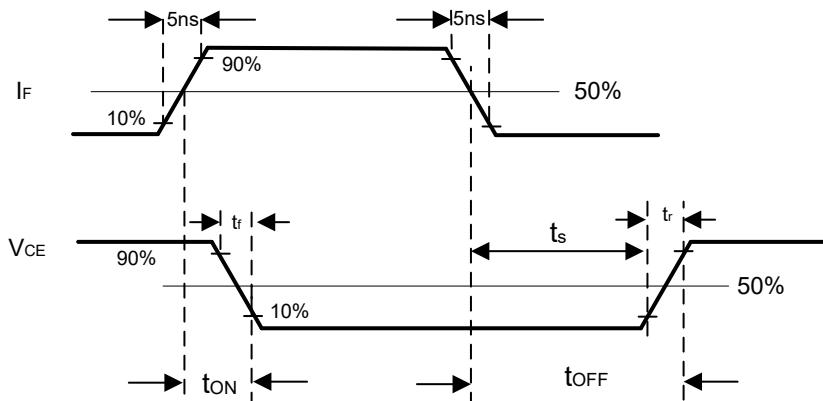


図 6-3. ISOS510 スイッチングタイミング波形

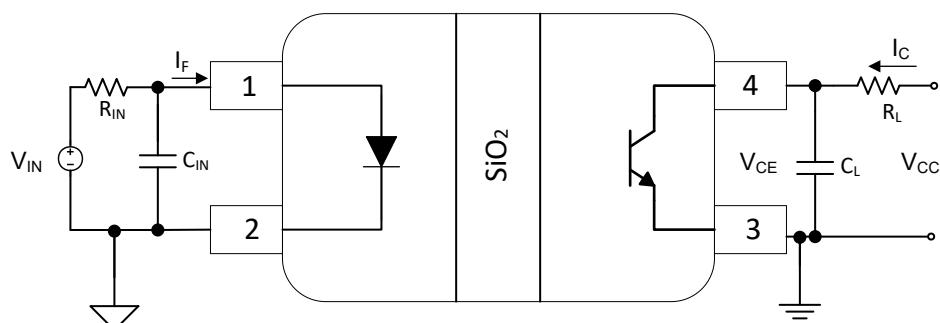


図 6-4. ISOS510 帯域幅のテスト回路

## 7 詳細説明

### 7.1 概要

セクション 7.2 に、ISOS510 デバイスの機能ブロック図を示します。入力信号は、オン / オフ キーイング (OOK) 変調方式を使用して絶縁バリアを通過します。トランシッタは、バリアを介して高周波キャリアを送信します。このキャリアには、入力ピンに流れている電流の量に関する情報が含まれています。レシーバは、高度なシグナル コンディショニングを行ってから信号を復調し、出力段でトランジスタを駆動します。このデバイスでは、帯域幅を最大化し、放射エミッションを最小化するための高度な回路手法も採用されています。図 7-2 に、OOK 方式の作用の詳細な概念図を示します。

### 7.2 機能ブロック図

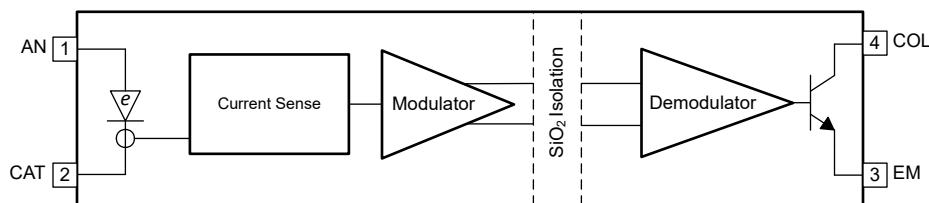


図 7-1. フォトカプラ エミュレータの概念ブロック図 ISOS510

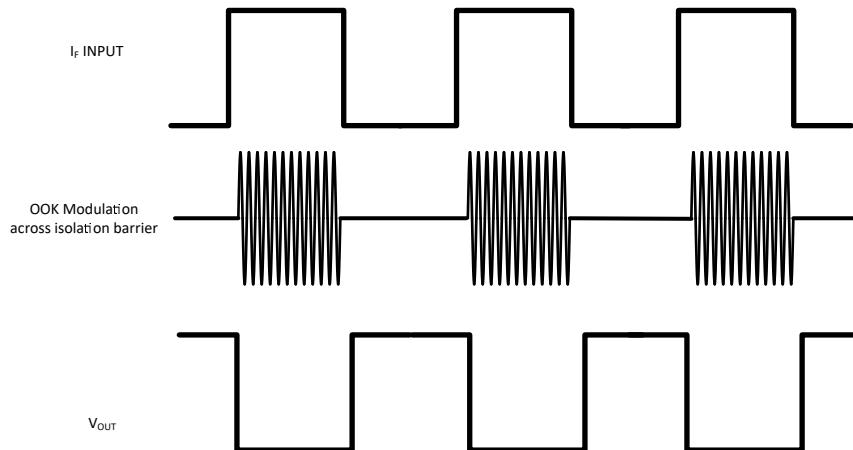


図 7-2. オン オフ キーイング (OOK) による変調方式

### 7.3 機能説明

ISOS510 デバイスは、電流駆動入力段により、アナログ信号とデジタル信号の両方を絶縁できます。0.7mA の入力電流 ( $I_F$ ) 以上を AN ピンに供給すると、変調器と電流センス ブロックを含む内部変調器に電力が供給されます。 $I_F$  を検出し、絶縁バリアをまたぐ高周波キャリアに変換します。デバイスの二次側で復調された信号は出力トランジスタをバイアスするために利用され、 $I_F$  の値に比例して、外部ソースからの電流を COL ピン ( $I_C$ ) にシンクしようとします。 $I_C$  と  $I_F$  の比率が電流伝達比 (CTR) です。

### 7.4 デバイスの機能モード

#### 7.4.1 アクティブモード

COL ピンに接続された外部ソースまたは回路が、特定の  $I_F$  値についてデバイスの CTR を満たすのに十分な電流を供給できる場合、デバイスは「アクティブ モード」とみなされます。このように、本デバイスを経由してアナログ信号が送信されます。

#### 7.4.2 飽和モード

COL ピンに接続された外部ソースまたは回路が特定の  $I_F$  値についてデバイスの CTR を満たすのに十分な電流を供給できない場合 (例として、 $I_F = 10\text{mA}$  の場合に  $I_C = 1\text{mA}$ )、出力トランジスタは飽和し、低インピーダンス状態に移行します。デバイスは「飽和モード」とみなされます。このようにして、本デバイスを介してデジタル信号が送信されます。

### 8 アプリケーションと実装

---

#### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

#### 8.1 アプリケーション情報

ISOS510 は、絶縁型電源のフィードバック制御ループで一般的に使用されます。本デバイスを使用すると、一次側と二次側のドメインを絶縁しつつ電流をフィードバックして出力電圧を制御するという課題を解決できます。

電源では、トランス (例: フライバック コンバータ) を使用して、出力電圧をメイン入力電圧から絶縁します。アナログ電源ユニットの場合、通常、コントローラ IC はトランスの 1 次側に配置します。閉ループ制御を実現するには、2 次側の出力電圧を測定し、その電圧を 1 次側のコントローラにフィードバックする必要があります。この設計を実現する最も一般的な方法は、ISOS510 のようなアイソレータ、エラー アンプ (一般に TL1431-SP) および電圧コンパレータを使用して、絶縁バリアを越えた帰還ループを構成することです

図 8-1 に、代表的な絶縁型電源を示します。この実装では、分圧抵抗 (R1 および R2) を使用して、エラーアンプによって出力電圧が検出されます。エラーアンプが検出する電圧レベルに応じて、TL1431-SP は ISOS510 の電流を上下に駆動することができ、その後これを基準電圧と比較します。この情報は、ISOS510 により絶縁バリアを超えて 1 次側に渡され、PWM 制御回路が電力段を変調して出力電圧を制御します。TL1431-SP および ISOS510 は、安定した帰還と制御ループにとって重要な役割を果たします。

ISOS510 デバイスは、その CTR が広い温度範囲にわたって安定しており、小型で低コスト、信頼性が高く、設計しやすい実装を実現するため、一般的に使用されるフォトカプラーに比べて過渡応答、信頼性、安定性を改善することができます。

### 8.1.1 代表的なアプリケーション

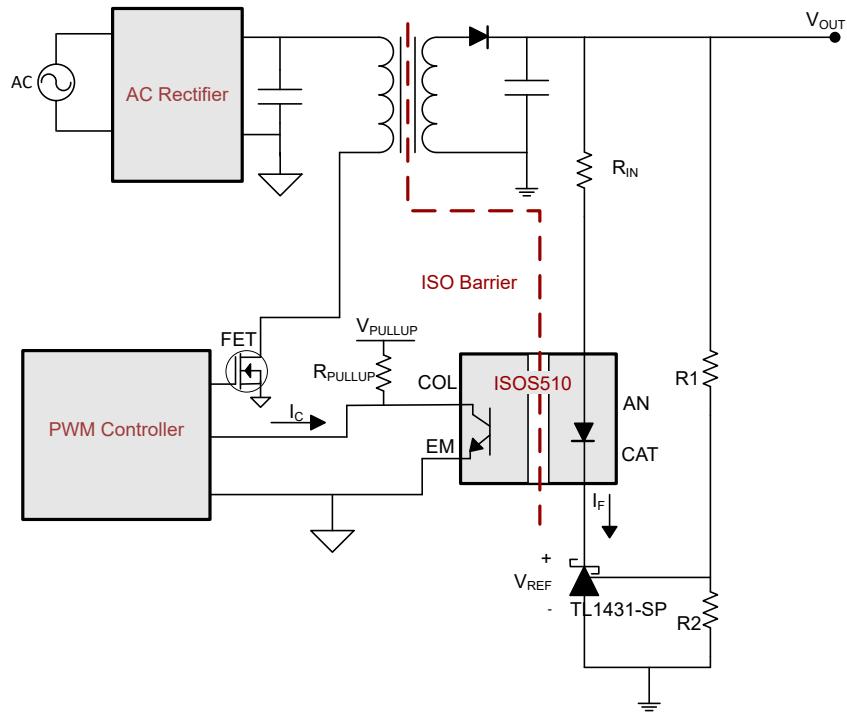


図 8-1. ISOS510 を使用した代表的な絶縁型電源アプリケーション

#### 8.1.1.1 設計要件

ISOS510 を用いた設計には 表 8-1 に記載のパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
入力順方向電流範囲、 $I_F$	0.7mA (最小値)、10mA (最大値)
電流伝達率 (CTR): $I_F = 5\text{mA}$ 、CTR のとき	100%~155%
コレクタの電流許容誤差、 $I_C$	30mA (最大)
コレクタ - エミッタ間電圧 (飽和)、 $V_{CE(SAT)}$	0.3V (最大値)
入力順方向電圧、 $V_F$	1.2V (標準値)

#### 8.1.1.2 詳細な設計手順

このセクションでは、ISOS510 デバイスを使用するための設計手順について説明します。推奨動作条件内で ISOS510 を動作させるには、外部部品を選択する必要があります。部品選択に関する以下の推奨事項は、絶縁型フライバックコンバータの標準的な帰還制御ループの設計に重点を置いています。

絶縁型電源のフィードバック制御ループでアイソレータを使用する場合、電源の出力電圧やフィードバック信号を送信するコントローラの種類などを含む、多くの変数がアイソレータの適切な使用方法に影響を及ぼす可能性があります。この例では、この電源の出力電圧  $V_{OUT}$  が 5V であり、使用されている PWM コントローラにはエラー アンプが内蔵されており、COMP ピンがこのアンプの出力となるものと仮定します。

### 8.1.1.2.1 $R_{PULLUP}$ のサイズ設定

ISOS510 のトランジスタ出力は、通常のトランジスタと同様に、アクティブ、飽和、リバース、カットオフ領域で動作します。出力が飽和してもダメージとならないことを確認するために、与えられたプルアップ電圧  $V_{PULLUP}$  について 式 1 により  $R_{PULLUP}$  の最小値を計算できます。

$$R_{PULLUP} > \frac{V_{PULLUP} - V_{CE(SAT)}}{I_C(MAX)} \quad (1)$$

帰還ループ アプリケーションの例として、 $V_{PULLUP}$  が 10V のときの  $R_{PULLUP}$  の必要な最低値を計算することができ、誤差アンプの最大出力電圧 ( $V_{COMP(MAX)}$ ) は 2.5V、エラーアンプの最大出力電流は内部で 1.6mA にクランプされます。 $R_{PULLUP}$  の計算式を 式 2 に示します。

$$R_{PULLUP} > \frac{V_{PULLUP} - V_{COMP(MAX)}}{I_{COMP(CLAMP)}} = \frac{10V - 2.5V}{1.6mA} = 4.66k\Omega \quad (2)$$

### 8.1.1.2.2 $R_{IN}$ のサイズ設定

ISOS510 の入力側は電流駆動です。AN ピンに流れる電流の量を制限するには、図 8-1 に示すように、直列抵抗  $R_{IN}$  を入力と直列に配置することをお勧めします。

ISOS510 デバイスがどのように使用されているかに応じて、 $R_{IN}$  の値はかなり変動します。ただし、High レベルで入力が損傷しないようにするために、与えられた入力電圧  $V_{IN}$  に対して  $R_{IN}$  の最小値を 式 3 で計算できます。

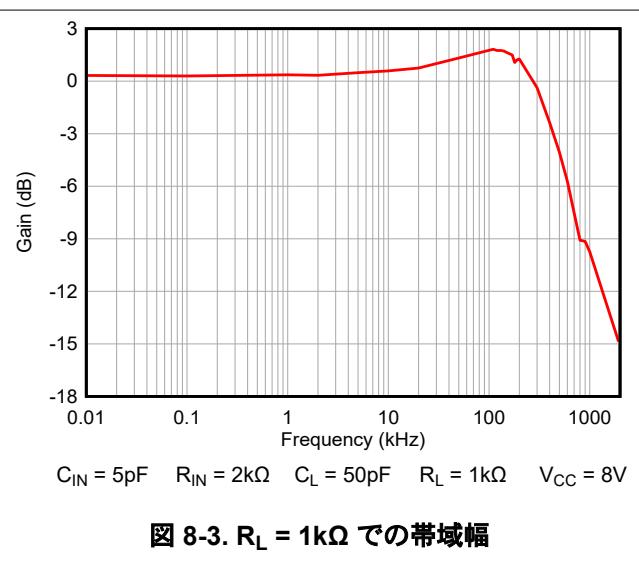
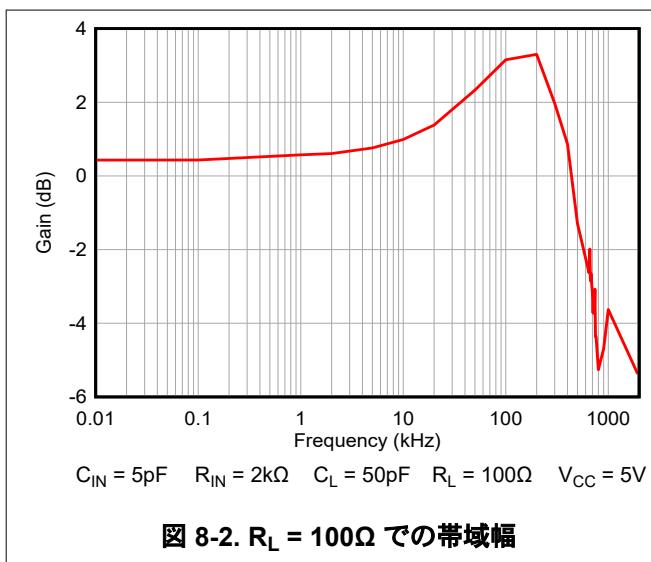
$$R_{IN} > \frac{V_{IN} - V_F}{I_C(MAX)} \quad (3)$$

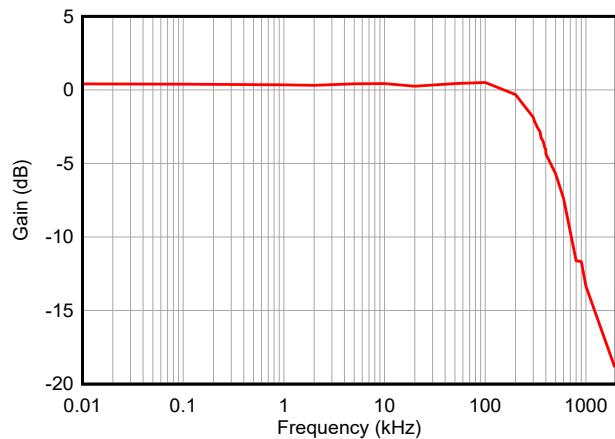
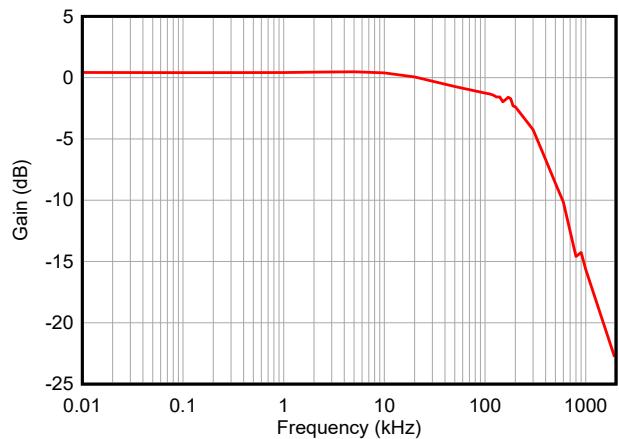
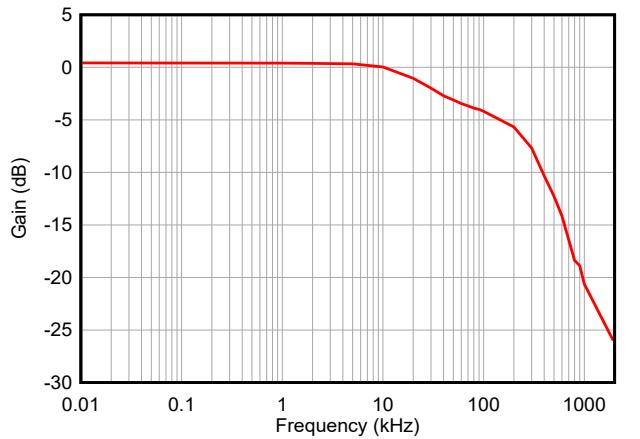
ただし、帰還ループの使用事例では、 $R_{IN}$  がループの中帯域ゲインに直接影響を及ぼします。TL1431-SP が 2.5V の基準電圧  $V_{REF}$  を供給するように構成されており、 $R_{PULLUP}$  が 5kΩ であると仮定すると、式 4 を使用して  $R_{IN}$  の最大値を計算することができ、1 次側の  $V_{COMP}$  電圧を ISOS510 の飽和電圧  $V_{CE(SAT)}$  までプルアップできることが確認できます。

$$R_{IN} < \frac{(V_{OUT} - V_{REF} - V_F) \times R_{PULLUP} \times CTR_{MIN}}{V_{PULLUP} - V_{CE(SAT)}} = \frac{(5V - 2.5V - 1.2V) \times 5k\Omega \times 100\%}{10V - 0.3V} = 670\Omega \quad (4)$$

### 8.1.1.3 アプリケーション曲線

以下の曲線は、ISOS510  $V_{IN} = 5V_{DC} + 2V_{PK}$  におけるさまざまな負荷条件での帯域幅性能を示しています。設定の詳細については、図 6-4 を参照してください。




**図 8-4.  $R_L = 2\text{k}\Omega$  での帯域幅**

**図 8-5.  $R_L = 4.7\text{k}\Omega$  での帯域幅**

**図 8-6.  $R_L = 10\text{k}\Omega$  での帯域幅**

## 8.2 電源に関する推奨事項

ISOS510 には電源ピンがないため、動作に専用電源は必要ありません。デバイスの適切な動作のため、 $I_F$  最小値などの推奨 I/O 仕様を必ず順守してください。

## 8.3 レイアウト

### 8.3.1 レイアウトのガイドライン

- インダクタンスを最小限に抑えるために、直接接続または 2 つのビアを使用して、グランドへのデバイス接続を PCB グランド プレーンに接続する必要があります。
- コンデンサや他の部品を PCB グランド プレーンに接続するには、インダクタンスを最小限に抑えるために、直接接続または 2 つのビアを使用する必要があります。

### 8.3.2 レイアウト例

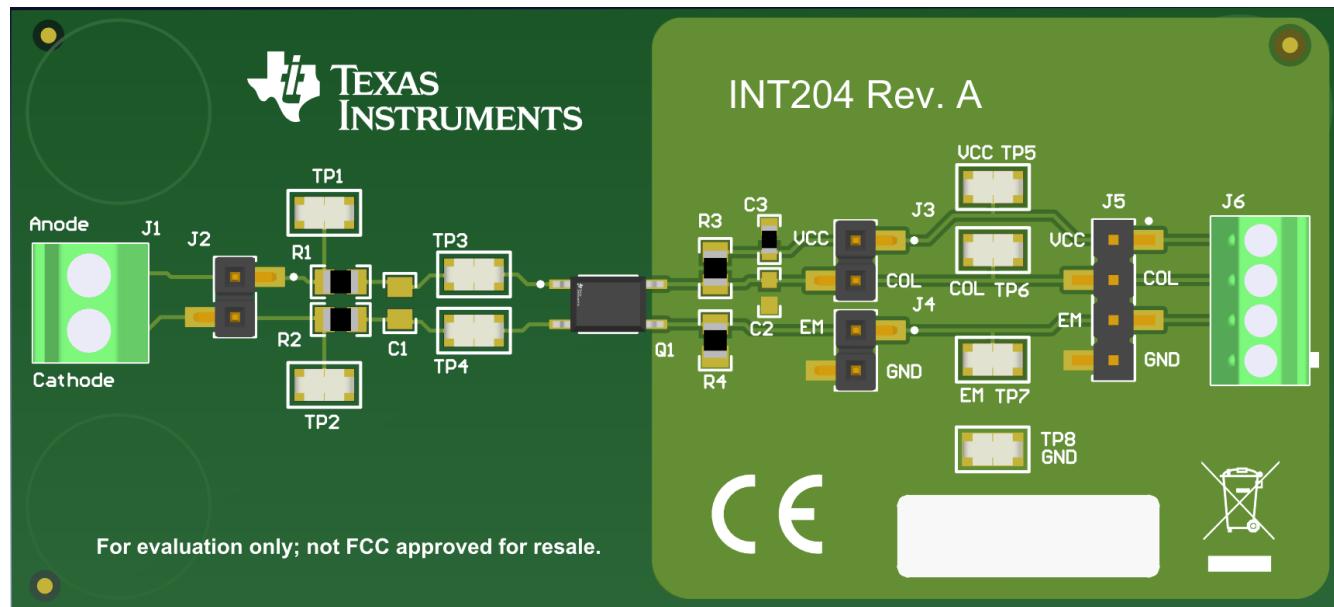


図 8-7. 1 層基板を使用した ISOS510 のレイアウト例

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『絶縁用語集』アプリケーションノート
- テキサス・インスツルメンツ、『フォトカプラ エミュレータの概要』アプリケーションノート

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2025	*	初版リリース

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

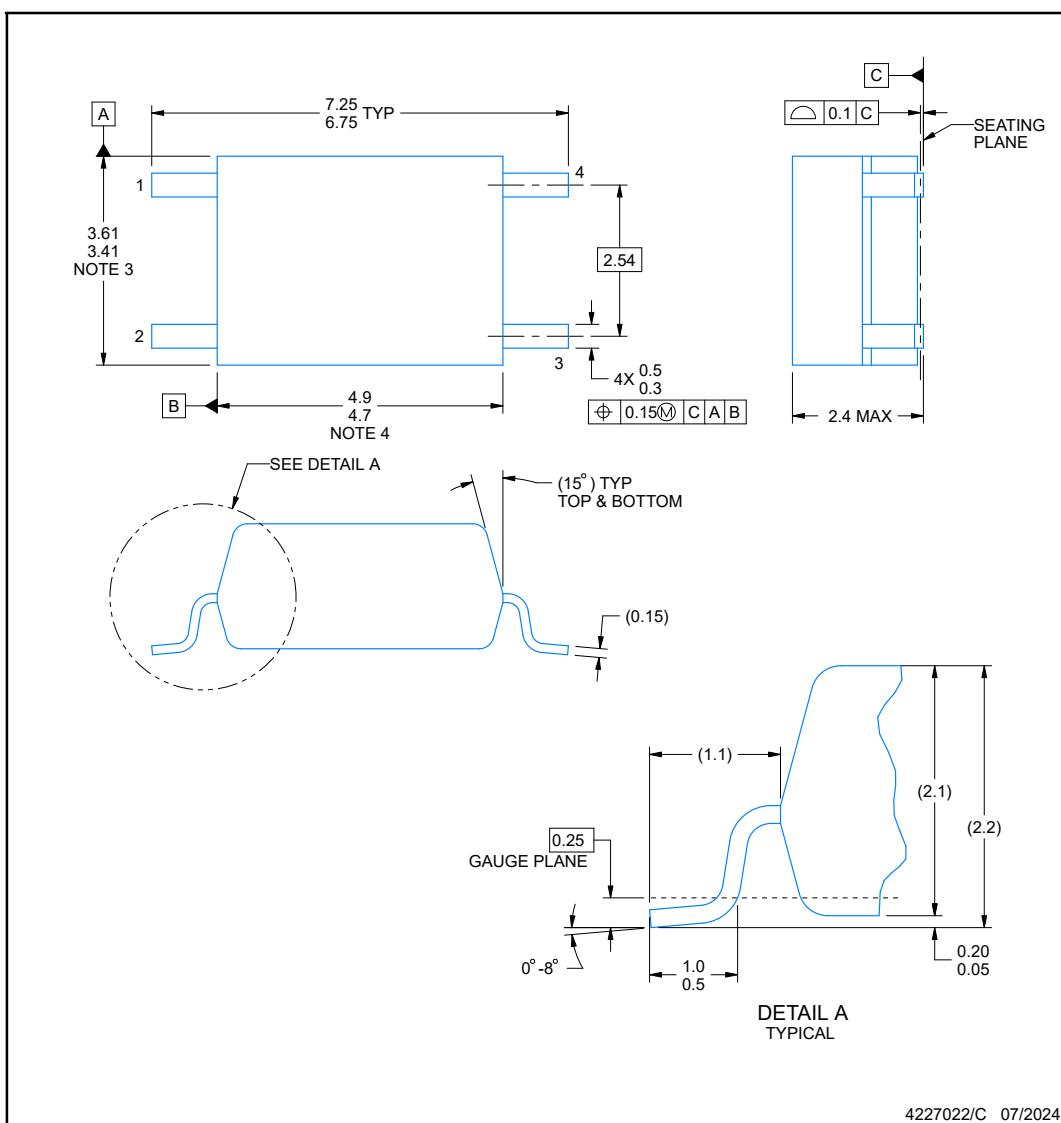
**DFG0004A**



**PACKAGE OUTLINE**

**SOIC - 2.4 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

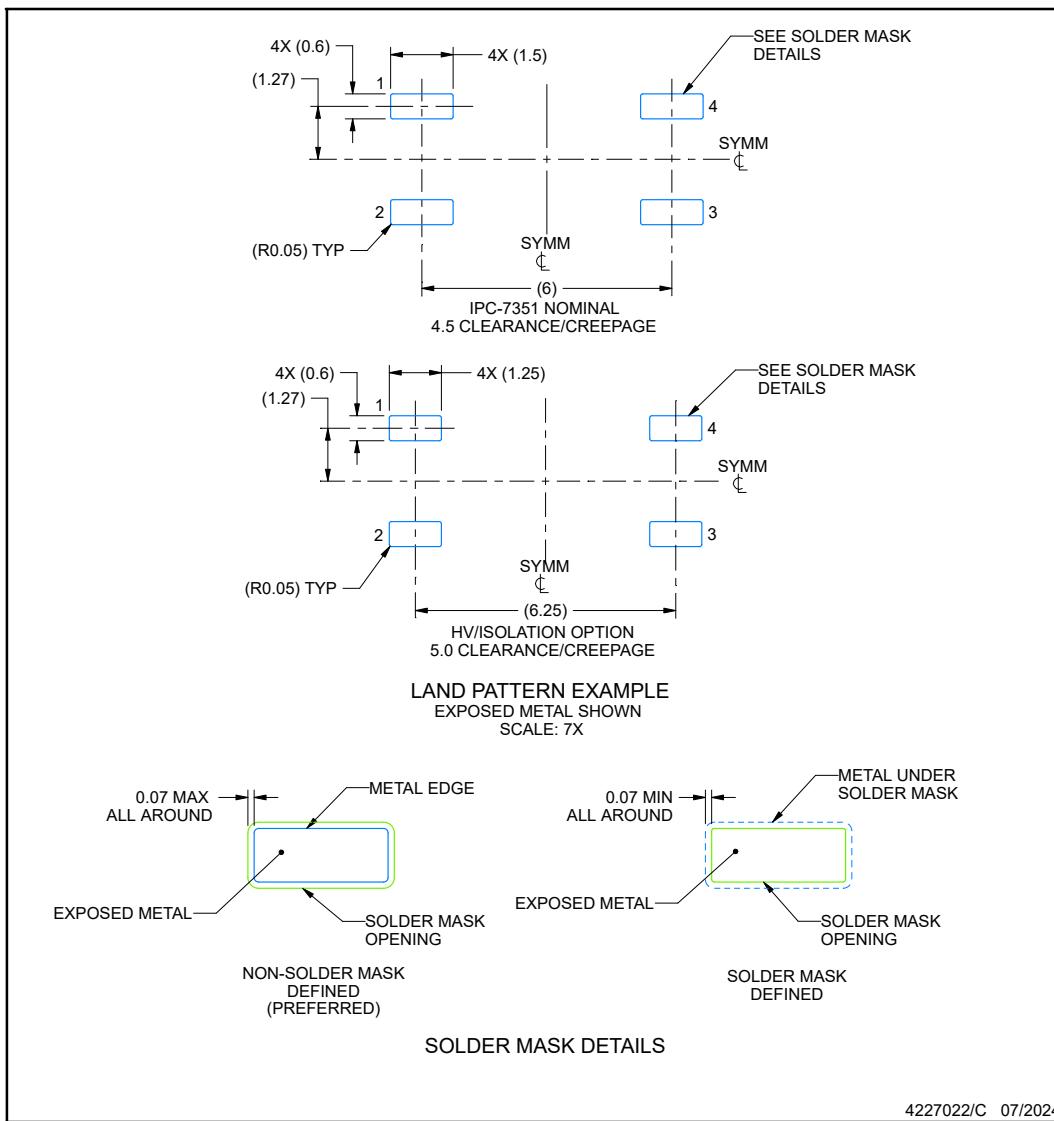
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash.

## EXAMPLE BOARD LAYOUT

### DFG0004A

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES: (continued)

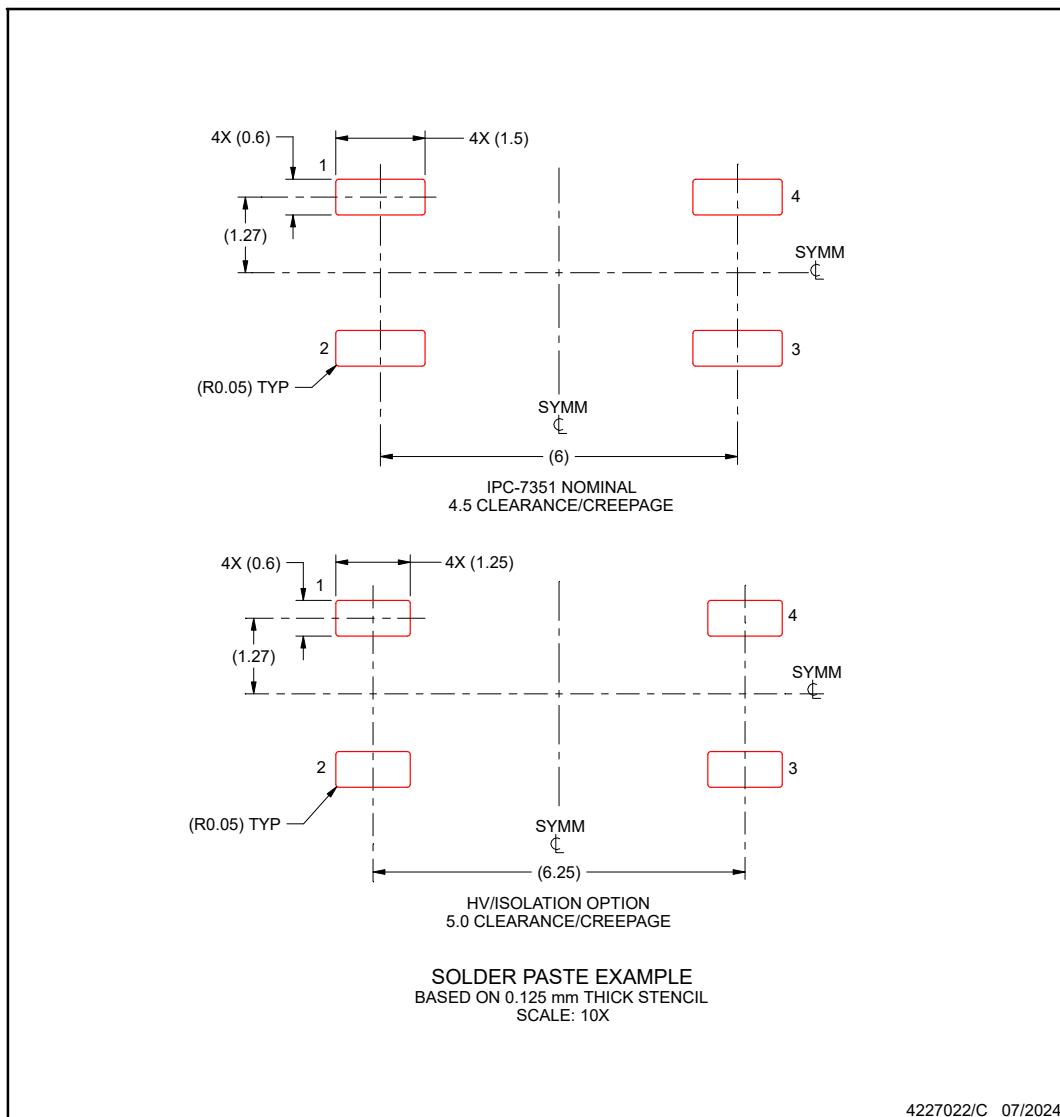
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

**DFG0004A**

**SOIC - 2.4 mm max height**

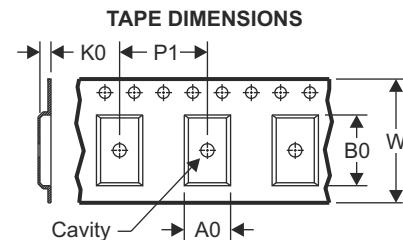
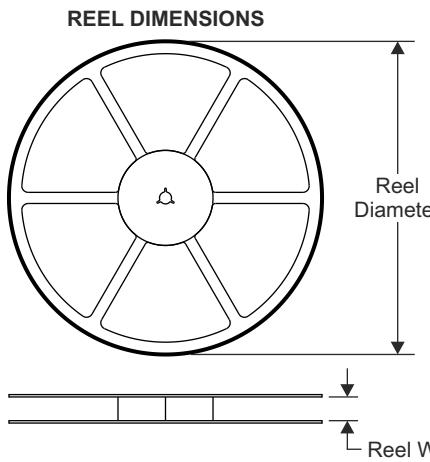
SMALL OUTLINE INTEGRATED CIRCUIT



NOTES: (continued)

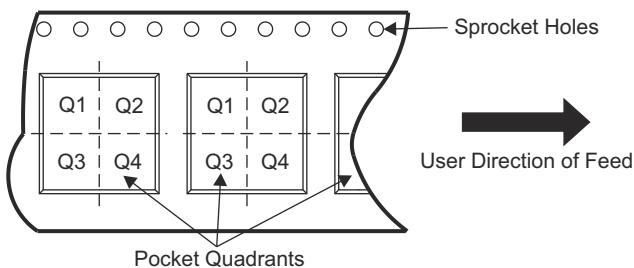
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

## 11.1 テープおよびリール情報



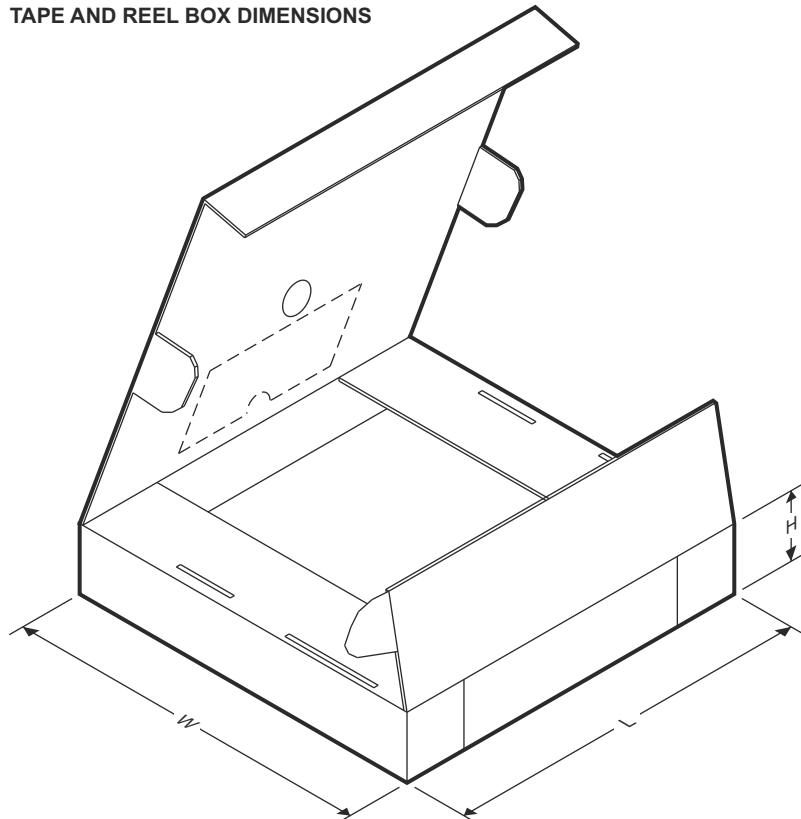
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
XISOS510DFGTSEP	SO-4	DFG	4	250	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
XISOS510DFGTSEP	SO-4	DFG	4	250	356.0	356.0	35.0

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XISOS510DFGTSEP	Active	Preproduction	SOIC (DFG)   4	250   SMALL T&R	-	Call TI	Call TI	-55 to 125	

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月