

LM25137-Q1 車載、4V ~ 42V、100% デューティサイクル対応、デュアルチャネル同期整流降圧コントローラ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ 125°C の動作時周囲温度
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 機能安全準拠オプション – ASIL B および ASIL D – リクエストにより入手可能
- デュアルチャネル、同期整流降圧 DC/DC コントローラ
 - 4V~42V の広い入力電圧範囲
 - 精度 1% の固定 3.3V、5V、12V 出力または可変出力 (0.8V~36V)
 - 接合部温度: 150°C (最大値)
 - 100% デューティサイクルに対応するチャージポンプゲートドライバ
- 2 つのインターリープ同期整流降圧チャネル
 - 2 チャネルまたは単一出力多相
 - 最大 4 相にスタック可能
 - SYNC In および SYNC Out 機能
- 堅牢な設計用の本質的な保護機能
 - ヒップモードによる過電流の内部保護
 - 独立した ENABLE および PGOOD 機能
 - 可変出力電圧ソフトスタート
 - VCC とゲート駆動の UVLO 保護
 - ヒステリシス付きのサーマルシャットダウン保護
- 超低 EMI 要件向けの設計
 - デュアルランダムスペクトラム拡散機能 (DRSS)
 - スイッチング周波数: 100kHz ~ 2.5MHz
- ウェッタブルフランク付き VQFN-36 パッケージ
- WEBENCH® Power Designer により、LM25137-Q1 を使用するカスタム設計を作成

2 アプリケーション

- 車載用電子システム
- インフォテインメントシステム、インストルメントクラスター
- 先進運転支援システム (ADAS)
- ボディエレクトロニクスおよび照明

3 説明

LM25137-Q1 は、42V の同期整流降圧 DC/DC コントローラファミリであり、機能安全を実現するための次の 3 つのオプションが用意されています。ASIL B、ASIL D 対応。インターリープ方式のスタック可能なピーク電流モードアーキテクチャにより、容易なループ補償、高速な過渡応答、優れた負荷 / ライン制御、並列化した相での正確なカレントシェア (電流共有) を実現し、より大きな出力電流に対応します。

最小オン時間 22ns のハイサイドスイッチは大きい降圧率に対応できるため、12V および 24V の車載用入力から低電圧レールへの直接変換が可能になり、システムの設計コストと複雑性を下げることができます。LM25137-Q1 は、最低 4V の入力電圧アップ時にも動作を継続でき、必要に応じて 100% のデューティサイクルでも動作できます。無負荷時静止電流 (出力電圧をレギュレートした状態) は 9µA であるため、バッテリ駆動の車載用システムの動作時間を延長できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
LM25137-Q1	RHA (VQFN, 36)	6.0mm × 6.0mm

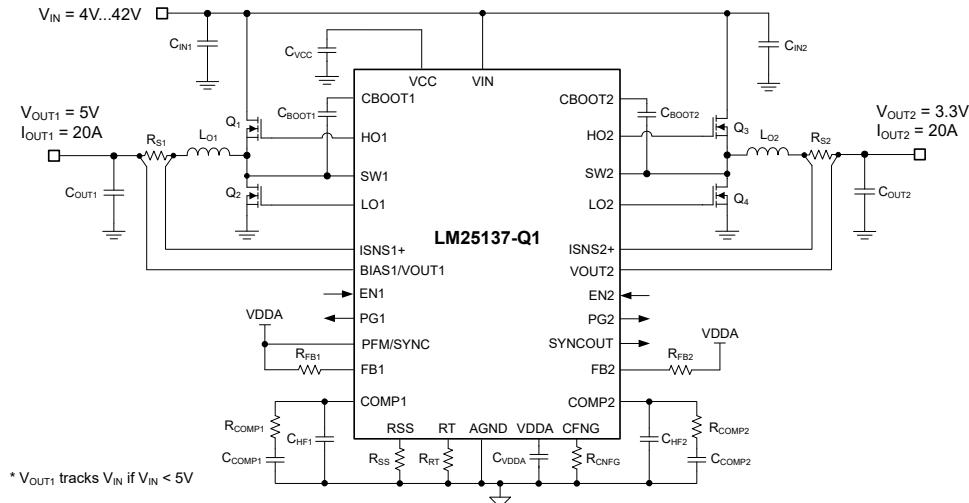
(1) 詳細については、セクション 11 を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: SNVSCU5



LM25137-Q1 デュアル出力降圧スイッチング レギュレータ - 概略回路図

CISPR 25 および車載用 EMI 要件への準拠を容易にする複数の機能が搭載されています。大電流 MOSFET ゲートドライバは、適応的にタイミングを制御し、スイッチング遷移時のボディダイオードの導通を最小限にとどめて、スイッチング損失を低減するとともに、高入力電圧および高スイッチング周波数時の熱および EMI 性能を高めます。入力コンデンサのリップル電流を小さくし、EMI フィルタを小型化するために、2 つの出力の 180° インターリーブ動作もサポートしています。90° 位相差のあるクロック出力は、カスケード、マルチチャネル、またはマルチフェーズ電力段に最適です。スイッチング周波数は、抵抗により最大 2.2MHz まで設定可能で、最大 2.5MHz の外部クロックソースと同期できるため、ノイズに敏感な用途でビート周波数を除去できます。

LM25137-Q1 のその他の機能として、最大 150°C の接合部温度での動作、ユーザー選択可能な PFM モードによる軽負荷時消費電流の低減、設定可能なソフトスタート機能、オープンドレインの PG フラグによるフォルト報告と出力監視、独立したイネーブル入力、プリバイアスされた負荷への単調なスタートアップ、内蔵 VCC バイアス電源レギュレータ (VIN または VOUT1 から電源を供給)、ヒップモード過負荷保護、自動回復機能付きサーマルシャットダウン保護があります。電流検出では、インダクタの DCR を使用して最高水準の効率を実現できます。また、オプションのシャント抵抗を使用すれば、高精度を実現できます。

LM25137-Q1 コントローラは、車載用アプリケーション向けの AEC-Q100 グレード 1 に認定済みであり、6mm × 6mm の熱特性強化された 36 ピンの VQFN パッケージに搭載されています。また、信頼性向上のための追加ピンクリアランスとウェッタブルフランクピン付きで、製造中の光学検査が容易になります。広い入力電圧範囲、低い静止電流消費、高温での動作、サイクルごとの電流制限、低い EMI シグネチャ、[小型設計サイズ](#)により、堅牢性と耐久性の向上が求められるアプリケーションに最適なポイントオブロードレギュレータを選択できます。

目次

1 特長	1	7.4 デバイスの機能モード	30
2 アプリケーション	1	8 アプリケーションと実装	31
3 説明	1	8.1 アプリケーション情報	31
4 関連製品	3	8.2 代表的なアプリケーション	39
5 ピン構成および機能	4	8.3 電源に関する推奨事項	54
5.1 ウエッタブル フランク	6	8.4 レイアウト	55
6 仕様	7	9 デバイスおよびドキュメントのサポート	60
6.1 絶対最大定格	7	9.1 デバイス サポート	60
6.2 ESD 定格	7	9.2 ドキュメントのサポート	61
6.3 推奨動作条件	8	9.3 ドキュメントの更新通知を受け取る方法	63
6.4 熱に関する情報	8	9.4 サポート・リソース	63
6.5 電気的特性	8	9.5 商標	63
6.6 代表的特性	12	9.6 静電気放電に関する注意事項	63
7 詳細説明	17	9.7 用語集	63
7.1 概要	17	10 改訂履歴	64
7.2 機能ブロック図	18	11 メカニカル、パッケージ、および注文情報	64
7.3 機能説明	19		

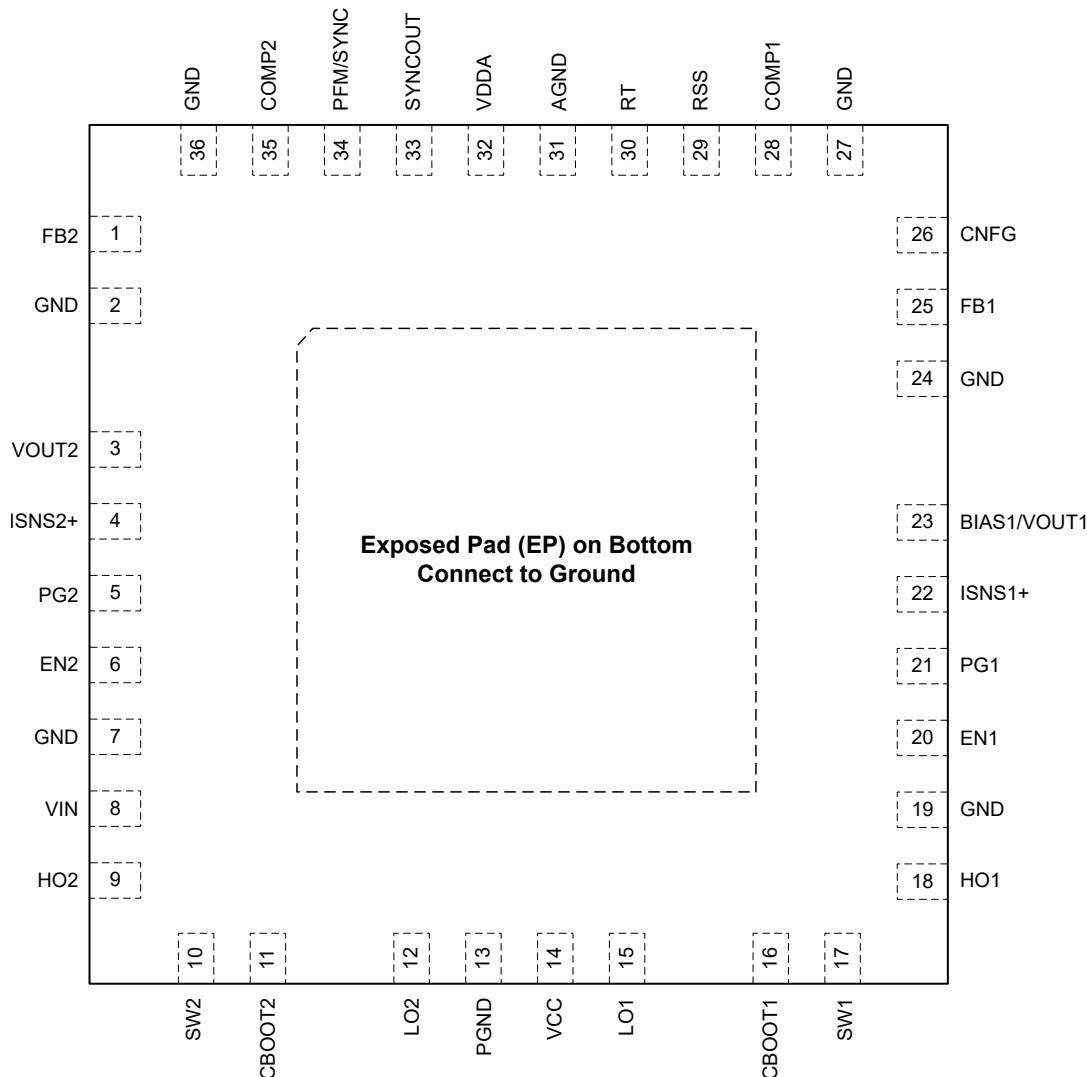
4 関連製品

表 4-1. 発注型番

ジェネリック型番	発注用製品型番	TI の機能安全の分類 ⁽¹⁾	製品データシート
LM25137-Q1	LM25137QRHARQ1	機能安全対応	このデータシート
LM25137F-Q1	LM25137FBQRHARQ1	ASIL B 機能安全準拠	こちらでご請求ください
	LM25137FDQRHARQ1	ASILD 機能安全準拠	

(1) TI の機能安全分類 (開発プロセス、分析レポート、診断の説明) については、[機能安全ホームページ](#)をご覧ください。

5 ピン構成および機能



底面の露出したパッドを PCB 上の AGND と PGND に接続します。

図 5-1. RHA パッケージ、ウェッタブルフランク付き 36 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
FB2	1	I	7.5kΩ、24.9kΩ、48.7kΩ のいずれかの抵抗を介して FB2 を VDDA に接続し、出力電圧をそれぞれ 3.3V、5V、12V に設定します。または、VOUT2 と FB2 の間に抵抗分圧器を使用して、チャネル 2 の出力電圧設定ポイントを 0.8V ~ 60V の範囲に設定します。FB2 のレギュレーション電圧は 0.8V です。
VOUT2	3	I	チャネル 2 の出力電圧センスと電流センスアンプ入力。チャネル 2 の電流センス抵抗の出力側（またはインダクタ DCR 電流センシングが使用されている場合は関連するセンスコンデンサ端子）に VOUT2 を接続します。
ISNS2+	4	I	チャネル 2 電流センスアンプ入力。低電流ケルビン接続を使用して、外部電流センス抵抗のインダクタ側（またはインダクタ DCR 電流センシングが使用されている場合は関連するセンスコンデンサ端子）に ISNS2+ を接続します。
PG2	5	O	VOUT2 が指定されたレギュレーションウインドウの範囲外である場合に Low になるオープンドレイン出力
EN2	6	I	アクティブ High 入力 ($V_{EN2} > 1V$ 標準値) により、チャネル 2 はイネーブルになります。 $V_{EN2} < 0.5V$ の場合、チャネル 2 はディスエーブルになり、PFC/SYNC に SYNC 信号が現れるまでシャットダウンモードで動作します。EN2 はオープン状態のままにしないでください。
VIN	8	P	VCC レギュレータの電源電圧入力ソース
HO2	9	P	チャネル 2 ハイサイドゲートドライバの出力
SW2	10	P	チャネル 2 降圧レギュレータのスイッチングノード。ブートストラップコンデンサ、ハイサイド MOSFET のソース端子、ローサイド MOSFET のドレイン端子に接続します。
CBOOT2	11	P	ブートストラップゲート駆動用のチャネル 2 ハイサイドドライバ電源
LO2	12	P	チャネル 2 ローサイドゲートドライバの出力
PGND	13	G	ローサイド MOSFET ゲートドライバの電源グランド接続ピン
VCC	14	P	VCC バイアス電源ピン。VCC と PGND の間にセラミックコンデンサを接続します。
LO1	15	P	チャネル 1 ローサイドゲートドライバの出力
CBOOT1	16	P	ブートストラップゲート駆動用のチャネル 1 ハイサイドドライバ電源
SW1	17	P	チャネル 1 降圧レギュレータのスイッチングノード。ブートストラップコンデンサ、ハイサイド MOSFET のソース端子、ローサイド MOSFET のドレイン端子に接続します。
HO1	18	P	チャネル 1 ハイサイドゲートドライバの出力
EN1	20	I	アクティブ High 入力 ($V_{EN1} > 1V$ 標準値) により、チャネル 1 はイネーブルになります。 $V_{EN1} < 0.5V$ の場合、チャネル 1 はディスエーブルになり、PFC/SYNC に SYNC 信号が現れるまでシャットダウンモードで動作します。EN1 はオープン状態のままにしないでください。
PG1	21	O	VOUT1 が指定されたレギュレーションウインドウの範囲外である場合に Low になるオープンコレクタ出力。
ISNS1+	22	I	チャネル 1 電流センスアンプ入力。低電流ケルビン接続を使用して、外部電流センス抵抗のインダクタ側（またはインダクタ DCR 電流センシングが使用されている場合は関連するセンスコンデンサ端子）に ISNS1+ を接続します。
BIAS1/ VOUT1	23	I	$V_{BIAS1} > 4.3V$ の場合、BIAS1 は内部 VCC レギュレータへの電源電圧になります。BIAS1 は、1 次側 VOUT1 センシングおよびチャネル 1 の電流センスアンプ入力としても機能します。BIAS/VOUT1 をチャネル 1 の電流センス抵抗の出力側に接続します。
CNFG	26	I	CNFG と GND の間に抵抗を接続して出力構成を設定し、2 つの変調周波数のいずれかで DRSS を有効化（または無効化）します。 表 7-1 を参照してください。
FB1	25	I	7.5kΩ、24.9kΩ、48.7kΩ のいずれかの抵抗を介して FB1 を VDDA に接続し、出力電圧をそれぞれ 3.3V、5V、12V に設定します。または、VOUT1 と FB1 の間に抵抗分圧器を使用して、チャネル 1 の出力電圧設定ポイントを 0.8V ~ 60V の範囲に設定します。FB1 のレギュレーション電圧は 0.8V です。
COMP1	28	O	チャネル 1 相互コンダクタンス エラー アンプの出力。COMP1 はインターリープモードまたは 2 次モードでハイインピーダンスです。インターリープモードで COMP1 が 100mV 未満にブレると、HO1 および LO1 ゲートドライバ出力は無効化されます。
RSS	29	I	RSS と GND の間に抵抗を接続して、ソフトスタート時間を 1.5ms ~ 20ms に設定します
RT	30	O	周波数プログラミングピン。RT と AGND の間に抵抗を配置することにより、発振器の周波数は 100kHz ~ 2.2MHz の範囲に設定されます。
AGND	31	G	アナロググランド接続。内部電圧リファレンスとアナログ回路のグランドの帰線。

表 5-1. ピンの機能 (続き)

ピン		種類 ⁽¹⁾	説明
名称	番号		
VDDA	32	P	内部アナログバイアスレギュレータ出力。VDDA と AGND の間に $1\mu\text{F}$ のセラミックデカップリングコンデンサを接続します。
SYNCOUT	33	O	SYNCOUT は、HO1 に約 90° 遅延する (または HO2 に 90° 先行する) 立ち上がりエッジを持つロジックレベル信号です。SYNCOUT を使用して 2 つ目の LM25137-Q1 コントローラを同期する場合、必要に応じて位相 0° 、 90° 、 180° 、 270° で動作します。
PFM/SYNC	34	I	LM25137-Q1 を PFM モードで動作させるには、PFM/SYNC を VDDA に接続します。PFM/SYNC を GND に接続すると、軽負荷時に連続導通して強制 PWM (FPWM) モードが有効になります。PFM/SYNC ピンを同期入力として使用して、内部発振器を外部クロックに同期します。
COMP2	35	O	チャネル 2 相互コンダクタンス エラー アンプの出力。COMP2 は、单一出力インターリープモードではハイインピーダンスです。インターリープモードで COMP2 が 100mV 未満にプルされると、HO2 および LO2 ゲートドライバ出力は無効化されます。
GND	2、7、19、 24、27、 36	G	未使用ピン – PCB 上の露出したパッドに接続します。

(1) P = 電源、G = グランド、I = 入力、O = 出力

5.1 ウェッタブル フランク

高い信頼性と堅牢性の要件を満たすには、通常は組み立て後に 100% の自動外観検査 (AVI) を行う必要があります。標準的なクワッド フラットのリードなし (QFN) パッケージでは、はんだ付け可能な部分や露出したピンと端子は外側から容易に視認できません。そのため、パッケージとプリント回路基板 (PCB) が確実にはんだ付けされているかどうかを視覚的に確認することは困難です。ウェッタブル フランク プロセスは、鉛フリーなパッケージにおける片面ウェットの問題を解決するために開発されました。LM25137-Q1 は、ウェッタブルフランク付きの 36 ピン VQFN パッケージを使用して組み立てられており、はんだ付け可能かどうかを視覚的に示すことができます。これにより、検査時間と製造コストを削減することができます。

6 仕様

6.1 絶対最大定格

接合部の動作時推奨温度である -40°C ~ 150°Cにおいて (特に記述のない限り)。⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN から PGND へ	-0.3	47	V
	SW1、SW2 から PGND へ	-0.3	47	V
	SW1、SW2 から PGND、過渡 < 20ns	-5		V
	BIAS1/VOUT1、VOUT2、EN1、EN2 から PGND	-0.3	47	V
	FB1、FB2 から AGND	-0.3	20	V
	PFM/SYNC、RT、CNFG、RSS から AGND	-0.3	6.5	V
	CNFG から AGND	-0.3	5.5	V
	AGND~PGND	-0.3	0.3	V
	ISNS1+、ISNS2+ から AGND	-0.3	47	V
出力電圧	PG1、PG2 から AGND	-0.3	47	V
	CBOOT1 から SW1 へ、CBOOT2 から SW2 へ	-0.3	6.5	V
	CBOOT1 から SW1、CBOOT2 から SW2、過渡 < 20ns	-0.3	6.5	V
	HO1 から SW1 へ、HO2 から SW2 へ	-0.3	$V_{CBOOT1/2} + 0.3$	V
	HO1 から SW1、HO2 から SW2、過渡 < 20ns	-0.5		V
	LO1、LO2 から PGND へ	-0.3	$V_{VCC} + 0.3$	V
	LO1、LO2 から PGND、過渡 < 20ns	-5		V
	VCC、VDDA、SYNCOUT から AGND	-0.3	6.5	V
動作時の接合部温度、T _J		-40	150	°C
保管温度、T _{stg}		-55	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「[推奨動作条件](#)」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「[推奨動作条件](#)」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750 その他のピン	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

接合部の動作時温度範囲 $-40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ (特に記載がない場合)。⁽¹⁾

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧範囲	4		42	V
V_{OUT}	出力電圧範囲	0.8		36	V
	SW1、SW2 から PGND へ	-0.3		42	V
	HO1 から SW1 へ、HO2 から SW2 へ	-0.3		$V_{\text{CBOOT1/2}} + 0.3$	V
	CBOOT1 から SW1 へ、CBOOT2 から SW2 へ	-0.3	5	5.3	V
	FB1、FB2 から AGND	-0.3		15	V
	EN1、EN2、PG1、PG2 から AGND	-0.3		42	V
	ISNS1+、ISNS2+、BIAS1/VOUT1、VOUT2 から AGND	-0.3		42	V
	VCC、VDDA、RSS から PGND	-0.3	5	5.3	V
I_{SYNCOUT}	SYNCOUT 電流			2	mA
	PGND から AGND へ	-0.3		0.3	V
T_J	動作時接合部温度	-40		150	$^{\circ}\text{C}$

(1) 推奨動作条件は、デバイスが機能すると想定されている条件です。仕様およびテスト条件については、「電気的特性」を参照してください。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM25137-Q1	単位
		RHA (VQFN)	
		36 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	33.2	$^{\circ}\text{C/W}$
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	24.2	$^{\circ}\text{C/W}$
$R_{\theta JB}$	接合部から基板への熱抵抗	14.1	$^{\circ}\text{C/W}$
Ψ_{JT}	接合部から上面への特性パラメータ	0.4	$^{\circ}\text{C/W}$
Ψ_{JB}	接合部から基板への特性パラメータ	14	$^{\circ}\text{C/W}$
$R_{\theta JC(\text{bot})}$	接合部からケース(底面)への熱抵抗	3.6	$^{\circ}\text{C/W}$

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』アプリケーションノートを参照してください。

6.5 電気的特性

$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、 $V_{\text{IN}} = 6\text{V} \sim 42\text{V}$ 。代表値は、 $T_J = 25^{\circ}\text{C}$ および $V_{\text{IN}} = 12\text{V}$ です (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力電源 (VIN)					
I_{Q-VIN1}	VIN シャットダウン電流	非スイッチング、 $V_{\text{EN1}} = V_{\text{EN2}} = 0\text{V}$	3.6		μA
I_{Q-VIN2}	VIN スタンバイ電流	非スイッチング、 $0.6\text{V} < V_{\text{EN1/2}} < 1\text{V}$	260		μA
I_{SLEEP1}	スリープ電流、 $V_{\text{VOUT1}} = 5\text{V}$ 、 $V_{\text{VOUT2}} = 3.3\text{V}$	$1.05\text{V} \leq V_{\text{EN1/2}} \leq 42\text{V}$ 、 $V_{\text{VOUT1}} = 5\text{V}$ 、 $V_{\text{VOUT2}} = 3.3\text{V}$ 、レギュレーション中に負荷なし、スイッチングなし、 $V_{\text{PFM/ SYNC}} = 5\text{V}$	10		μA
I_{SLEEP2}	スリープ電流、 $V_{\text{VOUT1}} = 5\text{V}$	$1.05\text{V} \leq V_{\text{EN1}} \leq 42\text{V}$ 、 $V_{\text{EN2}} = 0\text{V}$ 、 $V_{\text{VOUT1}} = 5\text{V}$ 、レギュレーション中に負荷なし、スイッチングなし、 $V_{\text{PFM/ SYNC}} = 5\text{V}$	9		μA
内部 LDO (VCC)					
$V_{\text{VCC-REG}}$	VCC のレギュレーション電圧	$I_{\text{VCC}} = 0\text{mA}$	4.7	5.0	5.3
$V_{\text{VCC-UVLO}}$	VCC UVLO 立ち上がりスレッショルド		3.7	3.8	3.9
$V_{\text{VCC-UVLO-HYST}}$	VCC UVLO ヒステリシス			300	mV
$I_{\text{VCC-REG}}$	内部 LDO 短絡電流制限		175	300	mA
$V_{\text{VCC-RIPPLE-DET}}$	VCC 出力電圧リップル検出スレッショルド		-8	8	%
$V_{\text{VCC-RIPPLE-DET-FREQ}}$	VCC 出力電圧リップル検出時間			15	サイクル

6.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$, $V_{IN} = 6V \sim 42V$ 。代表値は、 $T_J = 25^\circ\text{C}$ および $V_{IN} = 12V$ です (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位		
内部 LDO (VDDA)							
$V_{VDDA-REG}$	$VDDA$ のレギュレーション電圧		5		V		
R_{VDDA}	VCC に対する $VDDA$ 抵抗		12		Ω		
外部バイアス (BIAS1)							
$V_{BIAS-ON}$	$V_{BIAS1}/VOUT1$ 立ち上がり	4.1	4.3	4.5	V		
$V_{BIAS-HYST}$	バイアスヒステリシス電圧		130		mV		
リファレンス電圧 (FB1, FB2)							
V_{REF1}	レギュレーション済み FB 電圧	792	800	808	mV		
V_{BG1}	レギュレーション用バンドギャップ 1 電圧	1.214	1.221	1.227	V		
高精度イネーブル (EN1, EN2)							
$V_{SDN1/2}$	シャットダウンからスタンバイへのスレッショルド	$V_{EN1/2}$ 立ち上がり	0.6		V		
$V_{EN1/2-HIGH}$	イネーブル電圧立ち上がりスレッショルド	$V_{EN1/2}$ 立ち上がり、スイッチングが有効	0.95	1.0	1.05	V	
$V_{EN1/2-HYS}$	イネーブルヒステリシス電圧		50		mV		
$I_{EN1/2-HYS}$	ヒステリシス電流を有効にする	$V_{EN1/2} = 1.1V$	-12	-10	-8	μA	
出力電圧 (VOUT1/BIAS1, VOUT2)							
$V_{OUT1/2-3.3V}$	3.3V 固定出力設定ポイント	$R_{FB1/2} = 7.5\text{k}\Omega$, $4V \leq V_{in} \leq 42V$	3.267	3.3	3.33	V	
$V_{OUT1/2-5V}$	5V 固定出力設定ポイント	$R_{FB1/2} = 24.9\text{k}\Omega$	4.95	5	5.05	V	
$V_{OUT1/2-12V}$	12V 固定出力設定ポイント	$R_{FB1/2} = 48.7\text{k}\Omega$	11.82	12	12.18	V	
エラー アンプ (COMP1, COMP2)							
$g_{m1/2}$	EA 相互コンダクタンス	$\Delta V_{FB1/2} \pm 50\text{mV}$	400	600		μS	
$V_{COMP1/2-CLAMP}$	COMP クランプ電圧	$V_{FB1/2} = 0V$		1.75		V	
$I_{COMP1/2-SRC}$	EA ソース電流	$V_{COMP1/2} = 1V$, $V_{FB1/2} = 0.6V$		120		μA	
$I_{COMP1/2-SINK}$	EA シンク電流	$V_{COMP1/2} = 1V$, $V_{FB1/2} = 1V$		120		μA	
$V_{DRIVER1/2-DISABLE}$	それを下回るとドライバが無効化される Comp スレッショルド電圧			100		mV	
パワー グッド (PG1, PG2)							
$V_{PG1/2-OV}$	PG1/2 溢電圧	立ち上がりスレッショルド	103	105	107	%	
$V_{PG1/2-OV-HYST}$	PG1/2 OV ヒステリシス			1		%	
$V_{PG1/2-UV}$	PG1/2 低電圧	立ち下がりスレッショルド	93	95	98	%	
$V_{PG1-UV-HYST}$	PG1/2 UV ヒステリシス			1		%	
$t_{PG1/2-DEGLITCH(R)}$	PG1/2 グリッチ除去立ち上がり			1.4	2	2.6	ms
$t_{PG1/2-DEGLITCH(F)}$	PG1/2 グリッチ除去立ち下がり			60	90	120	μs
$R_{PG1/2(on)}$	PG1/2 オン抵抗	オープンドレイン、 $I_{PG1/2} = 250\mu\text{A}$		100	250	Ω	
スイッチング周波数 (RT)							
F_{SW1}	スイッチング周波数 1	$R_{RT} = 100\text{k}\Omega$ から AGND		230		kHz	
F_{SW2}	スイッチング周波数 2	$R_{RT} = 10\text{k}\Omega$ から AGND	1.98	2.2	2.42	MHz	
F_{SW3}	スイッチング周波数 3	$R_{RT} = 230\text{k}\Omega$ から AGND		100		kHz	
$SLOPE_1$	内部スロープ補償 1	$R_{RT} = 10\text{k}\Omega$ から AGND		500		$\text{mV}/\mu\text{s}$	
$SLOPE_2$	内部スロープ補償 2	$R_{RT} = 100\text{k}\Omega$ から AGND		42		$\text{mV}/\mu\text{s}$	
$t_{ON(min)}$	PWM 最小オン時間			22	35	ns	
$t_{OFF(min)}$	PWM 最小オフ時間	100% のデューティサイクルを達成するため、周波数がフォールドバックする前に、公称周波数で測定		45		ns	
D_{MAX}	最大デューティ サイクル			100		%	
同期出力 (SYNCOUT)							
$V_{SYNCOUT-HO}$	SYNCOUT の High 状態電圧	$I_{SYNCOUT} = -4\text{mA}$	2		V		

6.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$, $V_{IN} = 6V \sim 42V$ 。代表値は、 $T_J = 25^\circ\text{C}$ および $V_{IN} = 12V$ です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{SYNCOUT-LO}$	SYNCOUT の Low 状態電圧	$I_{SYNCOUT} = 4mA$			0.8	V
$t_{SYNCOUT1}$	HO1 の立ち上がりエッジから SYNCOUT の立ち上がりエッジまでの遅延	$V_{PFM/SYNC} = 0V$, $T_S = 1/F_{SW}$, F_{SW} は $R_{RT} = 230k\Omega$ で設定			2.5	μs
$t_{SYNCOUT2}$	HO1 の立ち上がりエッジから SYNCOUT の立ち下がりエッジまでの遅延	$V_{PFM/SYNC} = 0V$, $T_S = 1/F_{SW}$, F_{SW} は $R_{RT} = 230k\Omega$ で設定			7.5	μs
パルス周波数変調および同期入力 (PFM/SYNC)						
V_{PFM-LO}	PFM 検出スレッショルド Low			0.8	V	
V_{PFM-HI}	PFM 検出スレッショルド High			1.2	V	
V_{ZC-SW}	ゼロクロス検出スレッショルド			-5.5	mV	
F_{SYNCIN}	周波数同期範囲	$R_{RT} = 10k\Omega$, 公称発信器周波数の ±20%	1760	2640	kHz	
$t_{SYNC-MIN}$	外部同期の最小パルス幅			20	ns	
$t_{SYNCIN-HO}$	PFM/SYNC の立ち上がりエッジから HO1 の立ち上がりエッジまでの遅延			90	ns	
$t_{PFM-FILTER}$	SYNCIN から PFM モード			14	70	μs
ブートストラップ回路 (CBOOT1, CBOOT2)						
$V_{BOOT1/2-DROP}$	内部ダイオードの順方向電圧降下	$I_{CBOOT1/2} = 20mA$, VCC から CBOOT1/2			0.8	V
$I_{BOOT1/2}$	CBOOT から SW への静止電流、スイッチングなし	$V_{EN1/2} = 5V$, $V_{CBOOT1/2} - V_{SW1/2} = 5V$			2	μA
$V_{BOOT1/2-SW-UV-R}$	CBOOT から SW UVLO 立ち上がりスレッショルド	$V_{CBOOT1/2} - V_{SW1/2}$ 立ち上がり			2.7	V
$V_{BOOT1/2-SW-UV-F}$	CBOOT から SW UVLO 立ち下がりスレッショルド	$V_{CBOOT1/2} - V_{SW1/2}$ 立ち下がり			2.47	V
$V_{CHARGE-PUMP1/2-UNLOADED}$	チャージポンプ出力電圧	$I_{CBOOT1/2} = 0\mu A$			4.8	V
$I_{CHARGE-PUMP1/2}$	チャージポンプ出力電流	$V_{CBOOT1/2} = 3.5V$			20	μA
ハイサイドゲートドライバ (HO1, HO2)						
$V_{HO1/2-HIGH}$	HO1/2 High 状態出力電圧	$I_{HO1/2} = -100mA$			95	mV
$V_{HO1/2-LOW}$	HO1/2 Low 状態出力電圧	$I_{HO1/2} = 100mA$			43	mV
$I_{HO1/2-SRC}$	HO1/2 ピークソース電流	$V_{HO1/2} = V_{SW1/2} = 0V$			2	A
$I_{HO1/2-SINK}$	HO1/2 ピークシンク電流	$V_{CBOOT1/2} - V_{SW1/2} = 5V$			3	A
ローサイドゲートドライバ (LO1, LO2)						
$V_{LO1/2-HIGH}$	LO1/2 High 状態出力電圧	$I_{LO1/2} = -100mA$			100	mV
$V_{LO1/2-LOW}$	LO1/2 Low 状態出力電圧	$I_{LO1/2} = 100mA$			58	mV
$I_{LO1/2-SRC}$	LO1/2 ピークソース電流	$V_{LO1/2} = 0V$			2	A
$I_{LO1/2-SINK}$	LO1/2 ピークシンク電流	$V_{VCC} = 5V$			3	A
アダプティブ デッドタイム制御						
t_{DEAD1}	HO1/2 オフから LO1/2 のデッドタイム			20	ns	
t_{DEAD2}	LO1/2 オフから HO1/2 オンまでのデッドタイム			20	ns	
スタートアップ (RSS)						
R_{SS1}	1.5ms ソフトスタート時間	$R_{SS1} = 0\Omega$			1.5	ms
R_{SS2}	2ms ソフトスタート時間	$R_{SS2} = 8.06k\Omega$			2	ms
R_{SS3}	20ms ソフトスタート時間	$R_{SS3} = 95.3k\Omega$			20	ms
デュアルランダム拡散スペクトラム (DRSS)						
f_m	変調周波数			7.2	12	16.8
$\Delta f_{SS1/2-LF}$	低周波数の三角波スペクトラム拡散変調範囲 1 最大	$R_{CNFG} = 19.1k\Omega$ または $54.9k\Omega$	-5	5	%	
Δf_{SS2-LF}	低周波数の三角波スペクトラム拡散変調範囲 2 最大	$R_{CNFG} = 29.4k\Omega$ または $71.5k\Omega$	-10	10	%	

6.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$, $V_{IN} = 6V \sim 42V$ 。代表値は、 $T_J = 25^\circ\text{C}$ および $V_{IN} = 12V$ です (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
過電流保護 (ISNS1+、ISNS2+)					
$V_{CS1/2-TH}$	Current limit threshold	ISNS1/2+ から VOUT1/2 まで測定	54	60	66 mV
$t_{DELAY1/2-ISNS+}$	V_{CS-TH} から HO オフまでの ISNS+ 遅延			48	ns
$G_{CS1/2}$	CS アンプゲイン		9.5	10	10.5 V/V
$V_{CS-SHARE}$	COMP から電流の精度	$V_{COMP1/2} = 1.2V$	54	60	66 mV
内部ヒップアップモード					
HIC_{DLY}	ヒップアップモードの起動遅延	$V_{ISNS1/2+} - V_{VOUT1/2} > 60mV$		512	サイクル
HIC_{TIME}	ヒップアップモードの持続時間	$V_{ISNS1/2+} - V_{VOUT1/2} > 60mV$		16384	サイクル
サーマル シャットダウン					
T_{SHD}	サーマル シャットダウンのスレッショルド	温度上昇		175	°C
$T_{SHD-HYS}$	サーマル シャットダウン ヒステリシス			15	°C

6.6 代表的特性

$V_{IN} = 12V$ 、 $T_J = 25^{\circ}C$ 、特に記述のない限り。

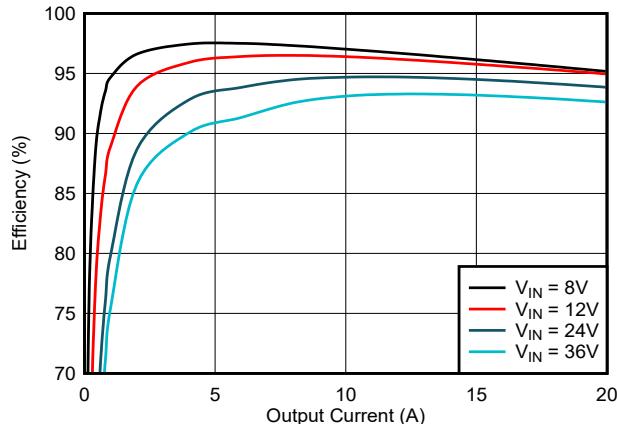


図 8-4 を参照

$V_{EN2} = 0V$ $F_{SW} = 440kHz$

図 6-1. 効率と負荷との関係、5V 出力

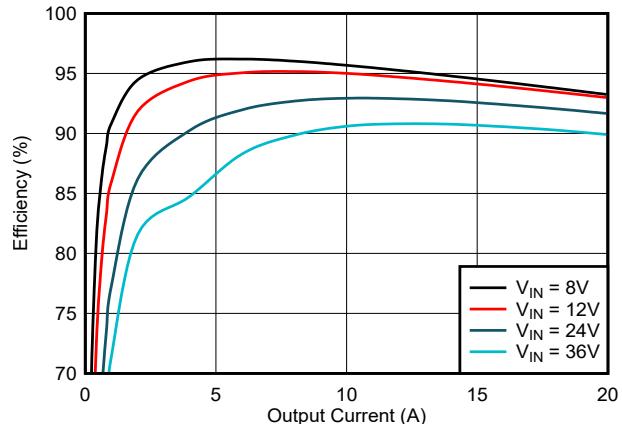


図 8-4 を参照

$V_{EN1} = 0V$ $F_{SW} = 440kHz$

図 6-2. 効率と負荷との関係、3.3V 出力

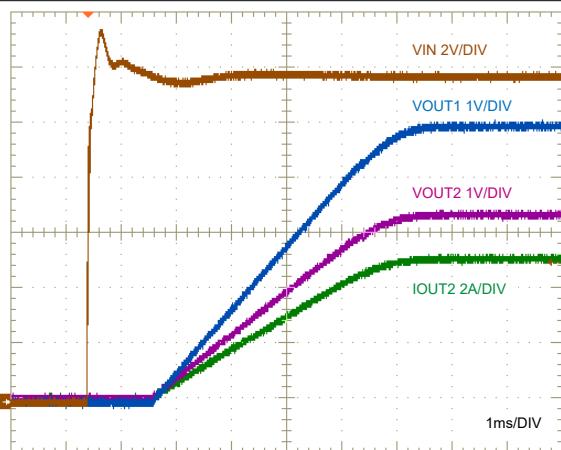


図 8-4 を参照

5A の抵抗性負荷

図 6-3. スタートアップ特性

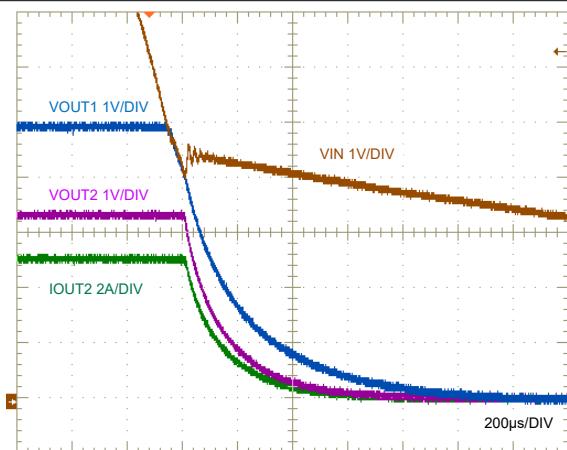


図 8-4 を参照

5A の抵抗性負荷

図 6-4. シャットダウン特性

6.6 代表的特性 (続き)

$V_{IN} = 12V$ 、 $T_J = 25^{\circ}\text{C}$ 、特に記述のない限り。

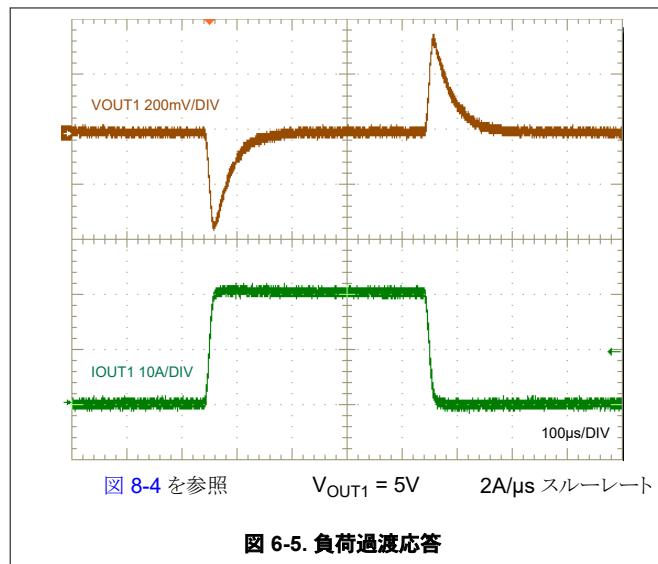


図 6-5. 負荷過渡応答

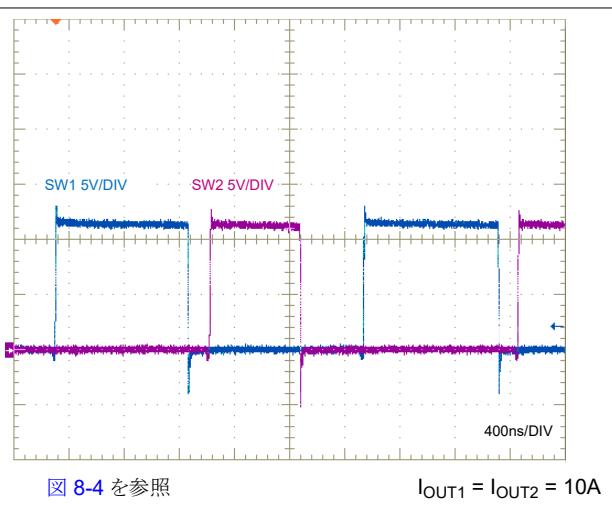


図 6-6. スイッチノード電圧

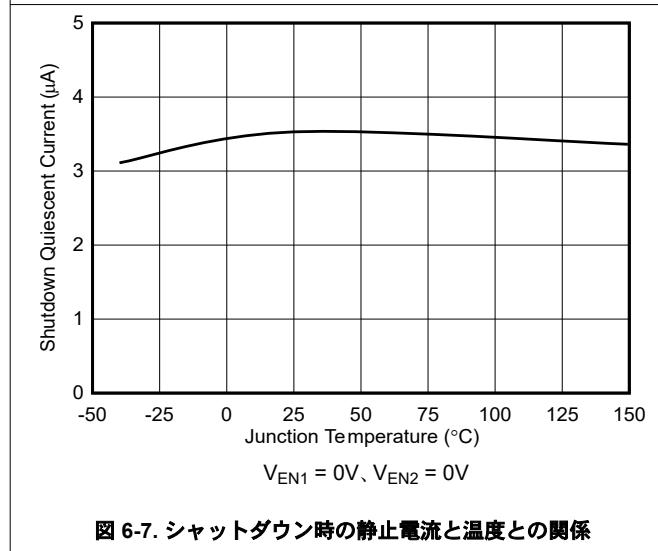


図 6-7. シャットダウン時の静止電流と温度との関係

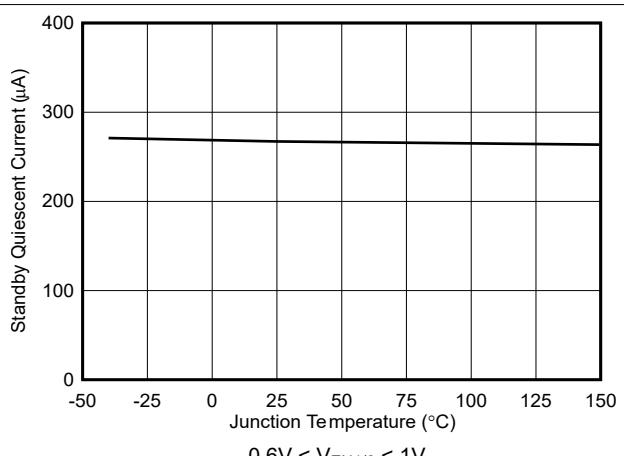


図 6-8. スタンバイ静止電流と温度との関係

6.6 代表的特性 (続き)

$V_{IN} = 12V$ 、 $T_J = 25^{\circ}\text{C}$ 、特に記述のない限り。

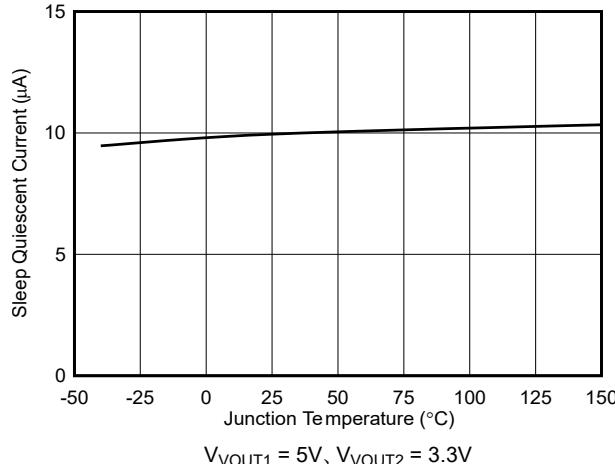


図 6-9. スリープ静止電流と温度との関係

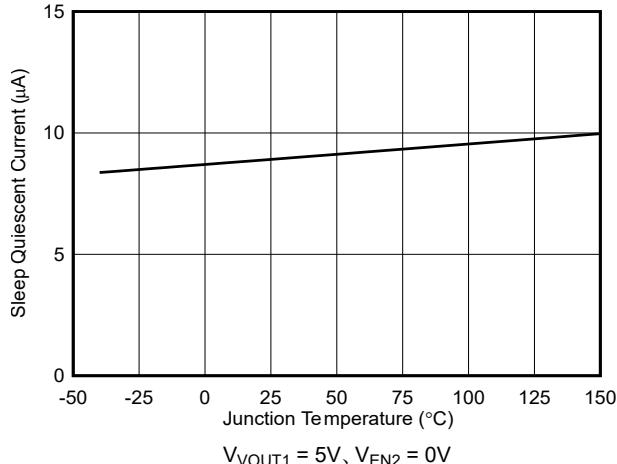


図 6-10. スリープ静止電流と温度との関係、Ch2 ディスエーブル

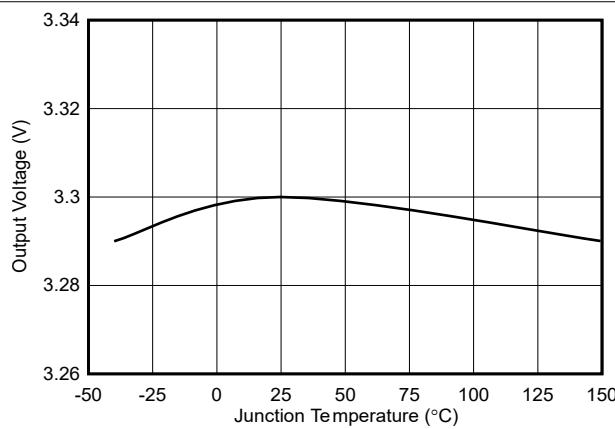


図 6-11. 固定 3.3V 出力電圧と温度との関係

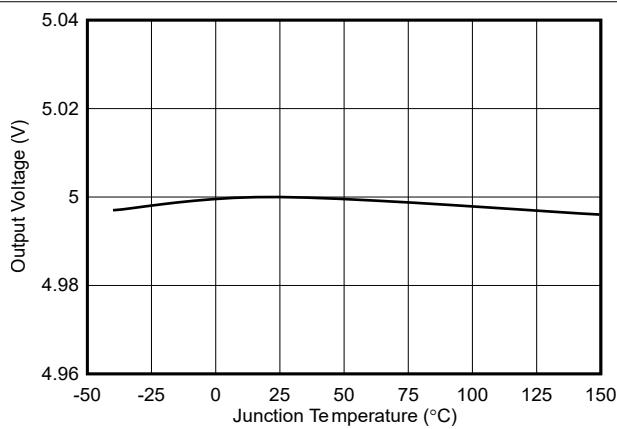


図 6-12. 固定 5V 出力電圧と温度との関係

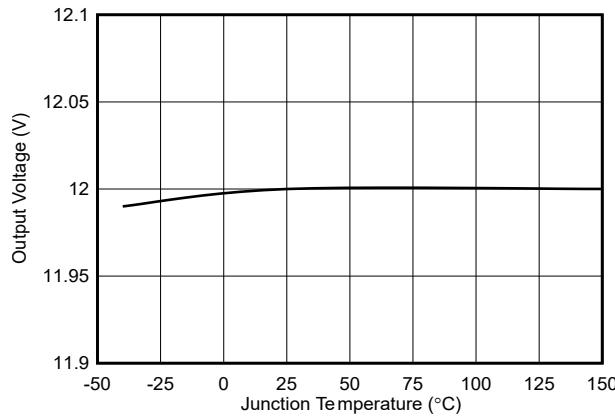


図 6-13. 固定 12V 出力電圧と温度との関係

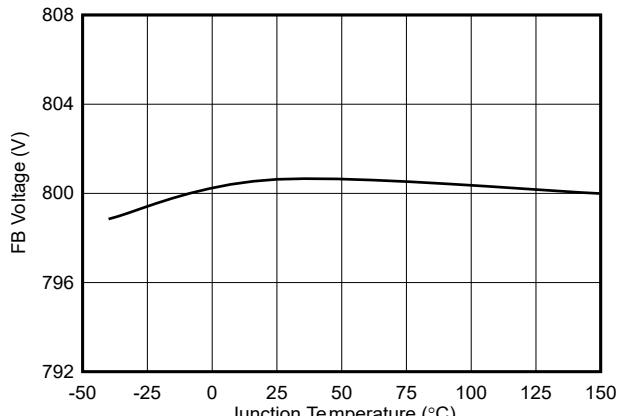


図 6-14. 帰還電圧と温度との関係

6.6 代表的特性 (続き)

$V_{IN} = 12V$ 、 $T_J = 25^{\circ}\text{C}$ 、特に記述のない限り。

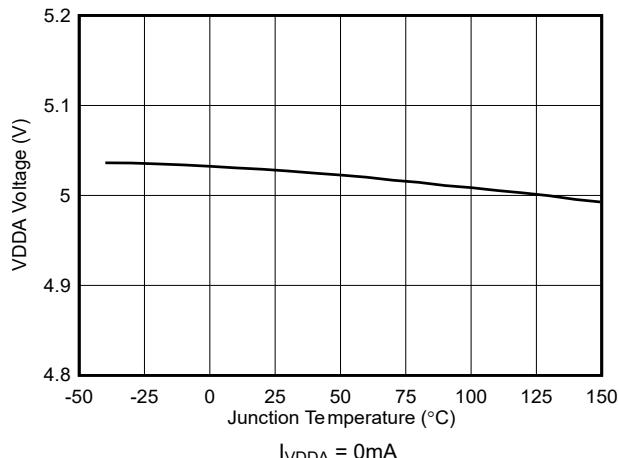


図 6-15. VDDA レギュレーション電圧と温度との関係

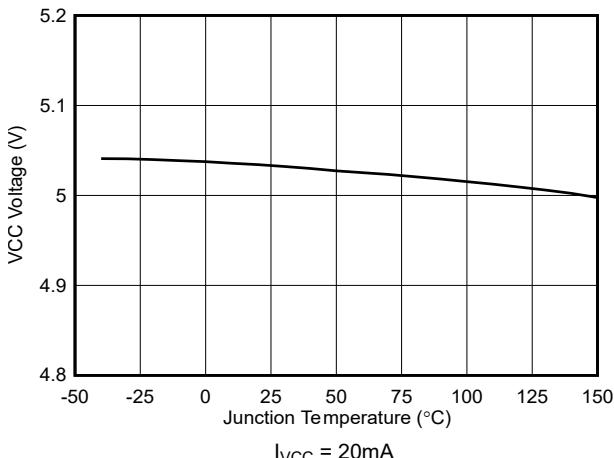


図 6-16. VCC レギュレーション電圧と温度との関係

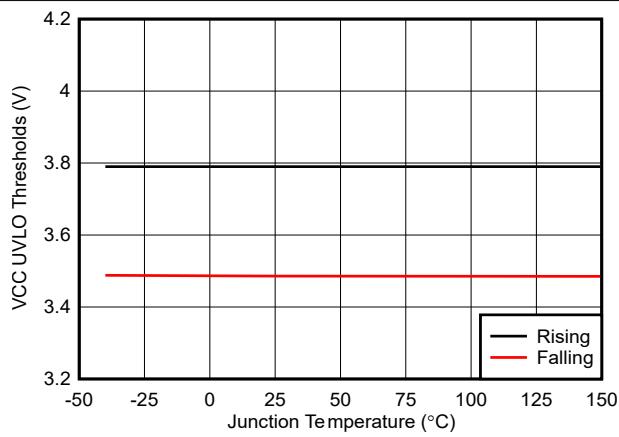


図 6-17. VCC UVLO スレッショルドと温度との関係

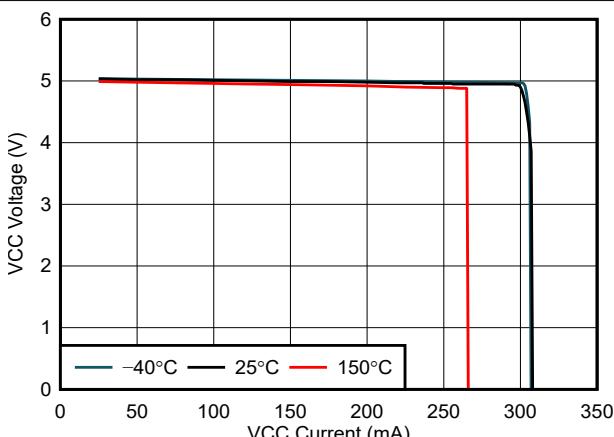


図 6-18. VCC 電流制限と温度との関係

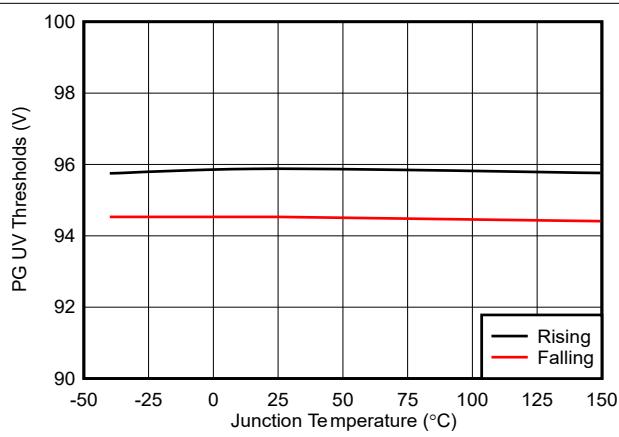


図 6-19. PG UV スレッショルドと温度との関係

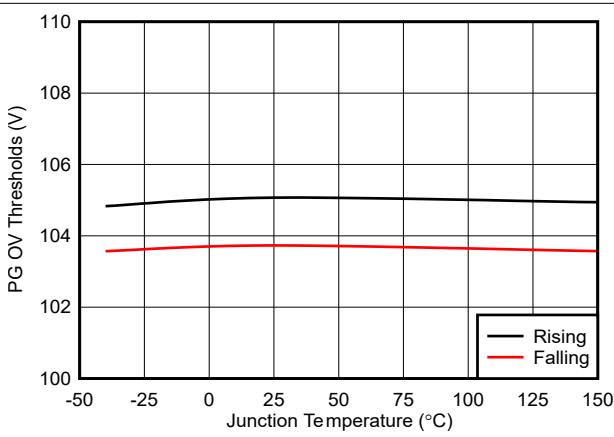


図 6-20. PG OV スレッショルドと温度との関係

6.6 代表的特性 (続き)

$V_{IN} = 12V$ 、 $T_J = 25^\circ C$ 、特に記述のない限り。

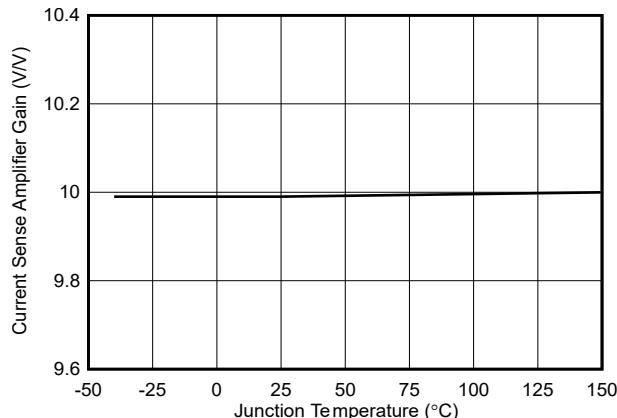


図 6-21. 電流センスアンプゲインと温度との関係

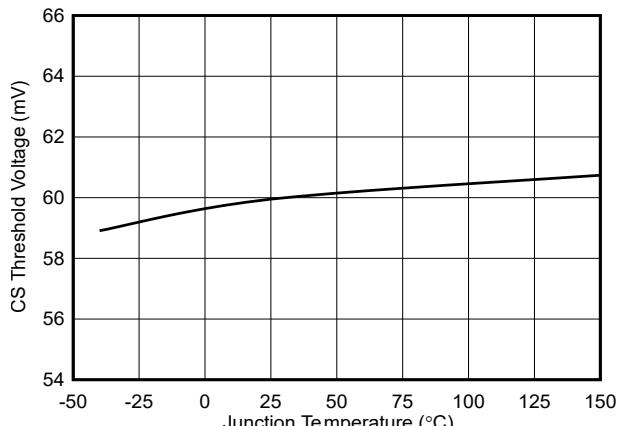


図 6-22. 電流センスレッショルドと温度との関係

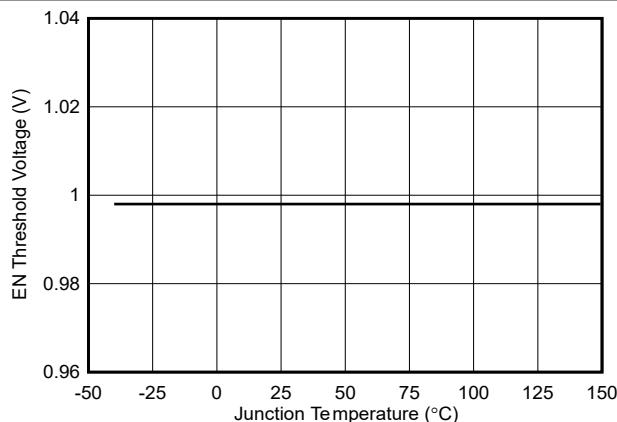


図 6-23. EN 立ち上がりリセット電圧と温度との関係

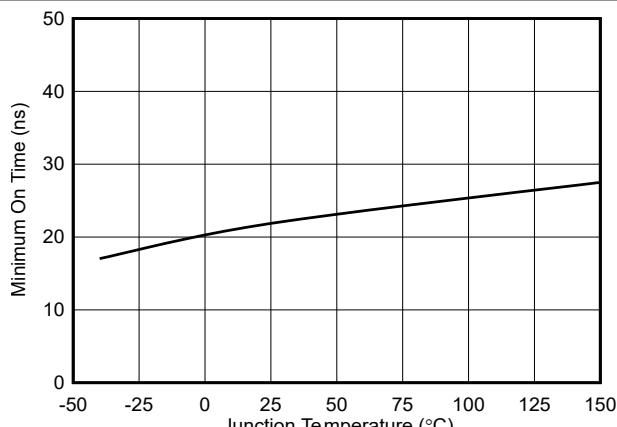


図 6-24. 最小オン時間と温度との関係

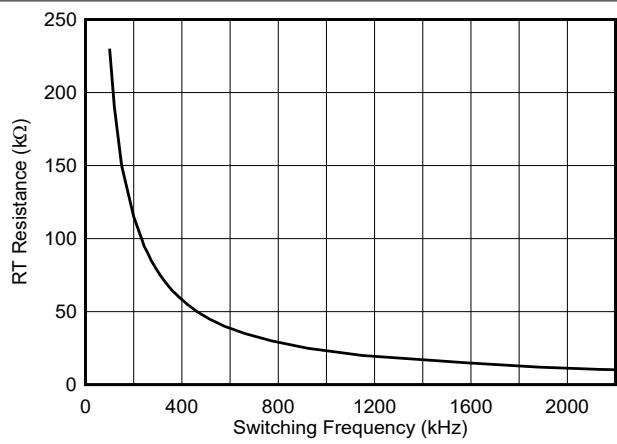


図 6-25. RT 抵抗とスイッチング周波数との関係

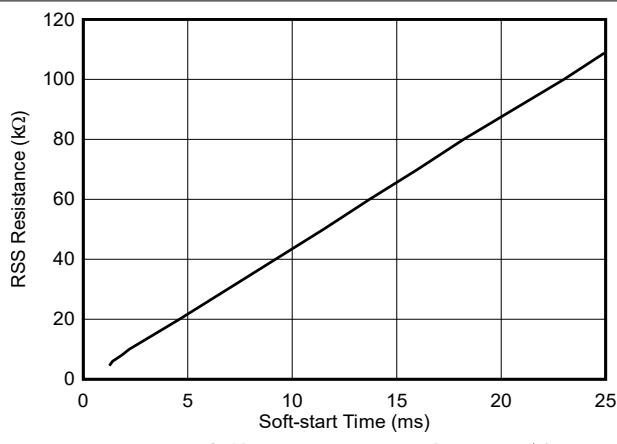


図 6-26. RSS 抵抗とソフトスタート時間との関係

7 詳細説明

7.1 概要

LM25137-Q1 は、高効率の同期整流降圧レギュレータを実装するために必要なすべての機能を備えた、デュアルチャネルスイッチング DC/DC コントローラです。このデバイスはコントローラファミリとして供給され、3 つの機能安全アプリケーションのオプションがあります：ASIL B または ASIL D 対応。後者の 2 つのオプションには部品番号の接尾辞「F」が付いています。

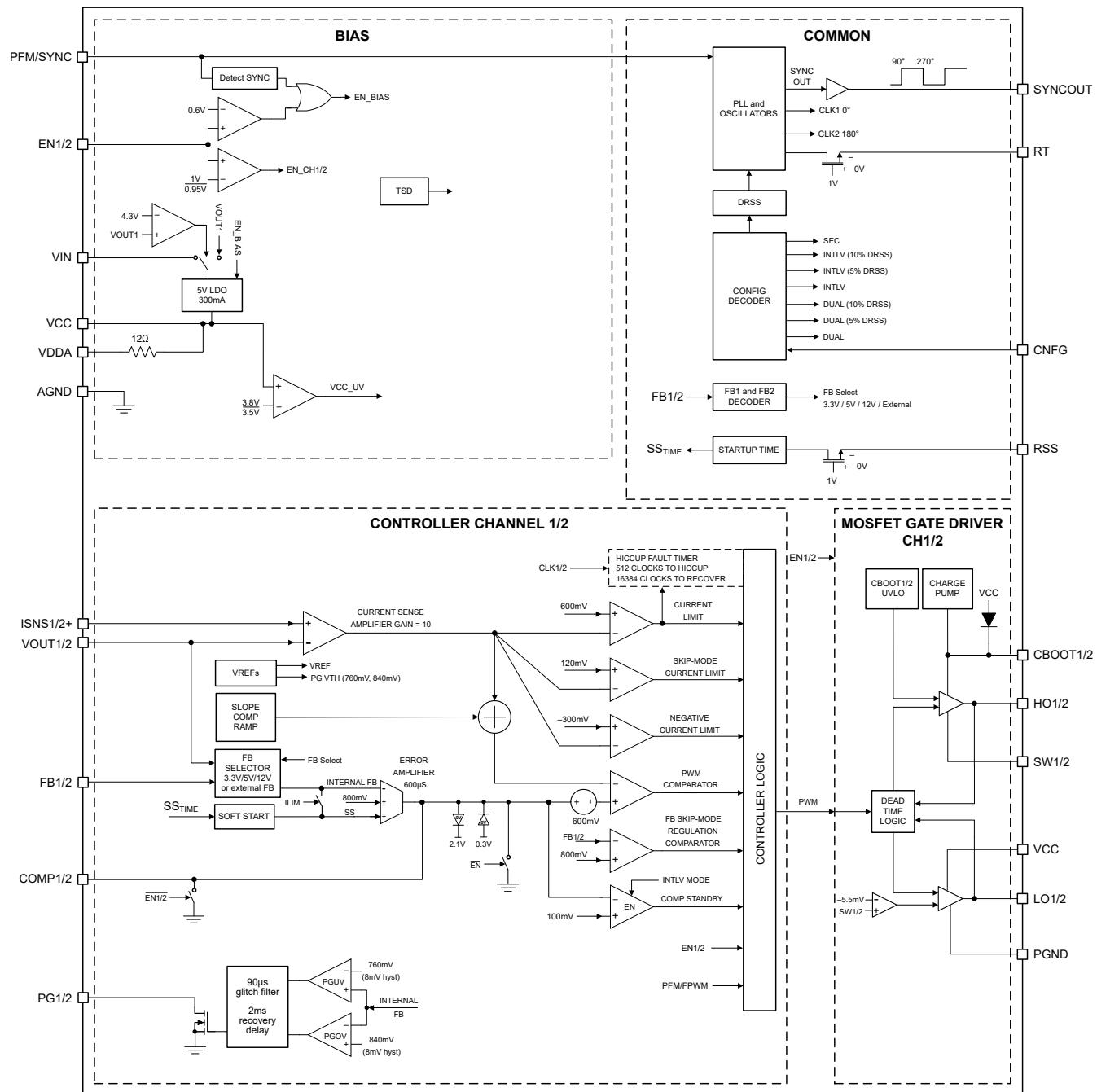
LM25137-Q1 は 4V ~ 42V の広い入力電圧範囲で動作し、3.3V、5V、または 12V の固定出力または 0.8V ~ 36V の可変出力を供給するよう構成されています。この使いやすいコントローラはハイサイドとローサイドの MOSFET ゲートドライバを内蔵しており、それぞれが 2A を供給し、3A のピーク電流をシンクできます。アダプティブ デッドタイム制御は、スイッチング遷移中のボディダイオードの導通を最小限に抑えるように設計されています。

シャント抵抗またはインダクタ DCR 電流センシングを使用するピーク電流モード制御により、固有ラインのフィードフォワード、サイクル単位のピーク電流制限、簡単なループ補償を実現します。また、電流モード制御は、高入力電圧と低ドロップアウトアプリケーションの場合だけでなく、高電圧変換比（たとえば、10 対 1）が必要な場合に、幅広いデューティサイクル範囲をサポートします。発振器の周波数は 100kHz ~ 2.2MHz の間でユーザーがプログラム可能であり、外部クロックを PFM/SYNC に適用することにより、最大 2.5MHz の周波数を同期することができます。ユーザーが選択可能な PFM モード機能により、不連続導通モード (DCM) 動作をイネーブルにして、軽負荷条件時の効率をさらに向上させ、消費電力を低減することができます。

LM25137-Q1 には、車載 EMI 要件 (CISPR 25) への準拠を簡易化する機能が搭載されています。オプションのスペクトラム拡散周波数変調 (DRSS) 技術によりピーク EMI シグネチャを低減しながら、同時にアダプティブゲートドライバで高周波放射を最小限に抑えます。最後に、2 つのコントローラ チャネルのインターリーブ動作の位相が 180° ずれていることにより、入力フィルタリングとコンデンサの要件が低減されます。

LM25137-Q1 は、放熱に役立つウェッタブルフランクピン配置と露出パッド付きの 36 ピン VQFN パッケージで供給されます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 入力電圧範囲 (VIN)

LM25137-Q1 の入力電圧動作範囲は 4V ~ 42V です。このデバイスは、12V および 24V の車載電源レールからの降圧変換を目的としています。図 7-1 の回路に、单一入力電源を使用した LM25137-Q1 ベースの幅広い V_{IN} のデュアル出力降圧レギュレータを実装するために必要なすべての部品を示します。

LM25137-Q1 は内蔵の LDO サブレギュレータを使用して、ゲート駆動および制御回路用の 5V VCC バイアスレールを供給します（入力電圧は 5V と必要とされるサブレギュレータのドロップアウト仕様を加算した値より大きいと仮定）。 V_{IN} が V_{OUT} 設定ポイントに近づくと、LM25137-Q1 は内蔵チャージポンプを作動させてハイサイド MOSFET をオンに維持し、真の 100% デューティサイクルを実現します。この動作により、出力で可能な限り低いドロップアウト電圧を実現できます。

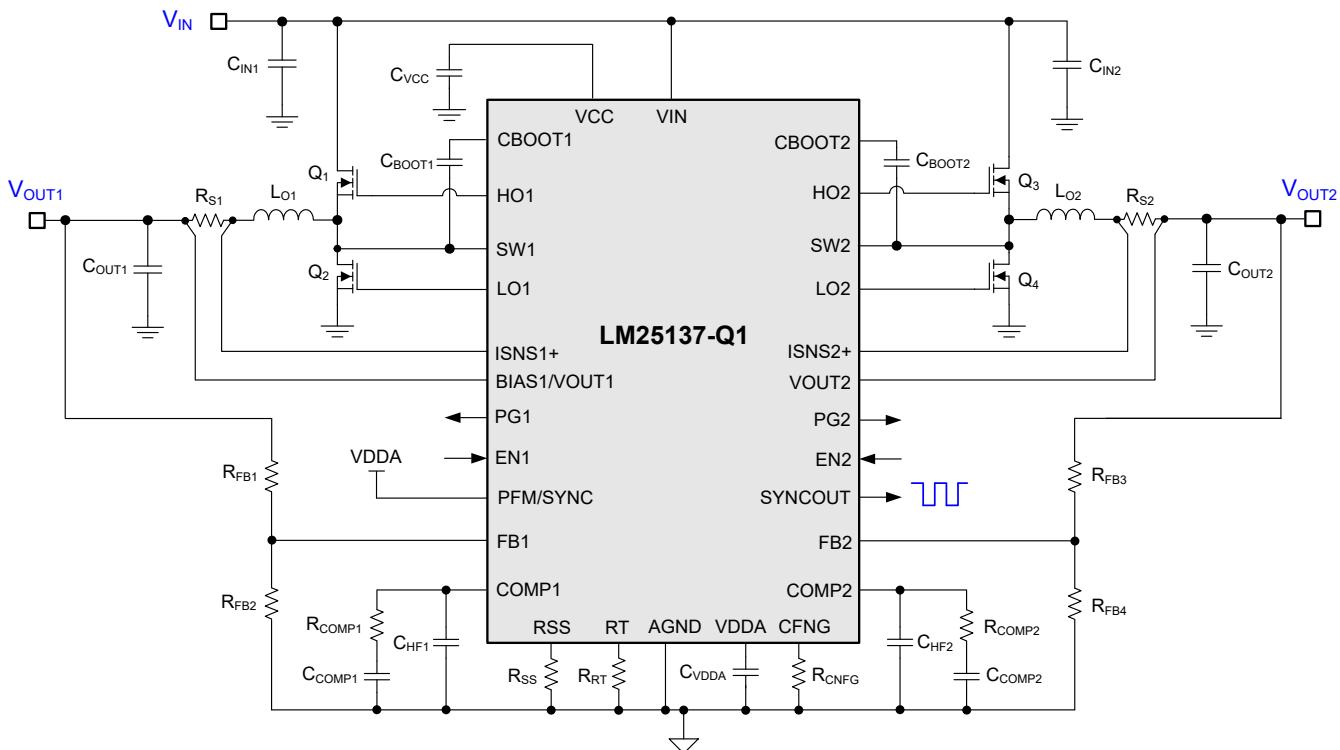


図 7-1. LM25137-Q1 デュアル出力レギュレータの回路図

高入力電圧のアプリケーションでは、ラインまたは負荷遷移イベント中は、VIN、SW1、SW2 の各ピンが 47V の絶対最大電圧定格を超えないように注意してください。**絶対最大定格**を超えて電圧が逸脱すると、IC が損傷する可能性があります。スイッチ電圧のオーバーシュートとリンギングを最小限に抑えるには、PCB 基板レイアウト中は注意深く作業を行い、高品質な入力バイパスコンデンサを使用してください。

7.3.2 バイアス電源レギュレータ (VCC, BIAS1/VOUT1, VDDA)

LM25137-Q1 には、高電圧 VCC バイアスレギュレータが内蔵されており、PWM コントローラ用バイアス電源と、外部 MOSFET 用ゲートドライバを供給します。入力電圧ピン (VIN) は、最大 42V 入力電圧源に直接接続します。入力電圧が VCC 設定点の 5V を下回っている場合、VCC 電圧は VIN からわずかな電圧降下を引いた値となります。

VCC レギュレータの電流制限は 175mA (最小値) です。電源オン時に、レギュレータは VCC コンデンサに電流を供給します。VCC 電圧が 3.8V (標準値) を超えると、出力チャネルは両方ともイネーブルになり (EN1 と EN2 が 1V 以上の場合)、ソフトスタートシーケンスが開始されます。VCC 電圧が VCC 電圧が立ち下がり UVLO スレッショルド 3.5V (標準値) を下回るまで降下するか、または EN が Low 状態に切り替わるまで、両方のチャネルはアクティブ状態を維持します。2.2μF ~ 10μF のセラミックコンデンサを VCC と PGND との間に接続します。

12Ω の内部抵抗により VDDA が VCC に接続されます。低ノイズの内部バイアスレールを実現するには、VDDA と AGND を $1\mu\text{F}$ のセラミックコンデンサでバイパスします。

BIAS1/VOUT1 電圧が 4.3V を上回っている場合、BIAS1/VOUT1 は内部で VCC レギュレータの 2 番目の入力に接続されます。この動作により、バイアス電流が VIN ではなく VOUT1 から供給されるため、LM25137-Q1 の内部消費電力を低減できます。BIAS1/VOUT1 または VOUT2 は 36V を超える電圧、または -0.3V 未満の電圧に接続しないでください。

7.3.3 高精度イネーブル (EN1、EN2)

LM25137-Q1 は、各 EN 入力に高精度イネーブル回路を備えています。EN1 または EN2 電圧が 1V を超えると、それぞれのチャネルでスイッチングがイネーブルになります。EN1 と EN2 を 0.5V 未満にプルすると、LM25137-Q1 はシャットダウン状態になり、 V_{IN} からの消費電流 I_Q は $3.6\mu\text{A}$ (標準値) になります。EN1 または EN2 電圧が $0.6\text{V} \sim 1\text{V}$ の場合、LM25137-Q1 はスタンバイモードになり、VCC レギュレータはアクティブですが、コントローラはスイッチングしません。スタンバイモードの入力静止電流は $260\mu\text{A}$ (標準値) です。

EN1/2 電圧が 1V を上回ると LM25137-Q1 はイネーブルになります。ただし、多くのアプリケーションでは、図 7-2 に示すように抵抗分圧器 R_{UV1} と R_{UV2} 使用することで、高精度 UVLO レベルを確立できる利点があります。追加の電圧ヒステリシスを供給するため、 R_{UV3} を直列に追加します。EN1 ピンと EN2 ピンをフローティングのままにしないでください。EN1/2 電圧を 42V 未満に維持します。

UVLO 抵抗を計算するには 式 1 を使用します。ここで、 $V_{IN(on)}$ および $V_{IN(off)}$ は必要な入力電圧のターンオンおよびターンオフスレッショルドです。

$$R_{UV2} = \left[\frac{V_{EN(off)} - (V_{IN(off)} / V_{IN(on)}) \cdot V_{EN(on)}}{I_{EN(hys)}} - R_{UV3} \right] \cdot \frac{V_{IN(on)}}{V_{IN(on)} - V_{EN(on)}} \quad (1)$$

$$R_{UV1} = R_{UV2} \cdot \left(\frac{V_{IN(on)}}{V_{EN(on)}} - 1 \right)$$

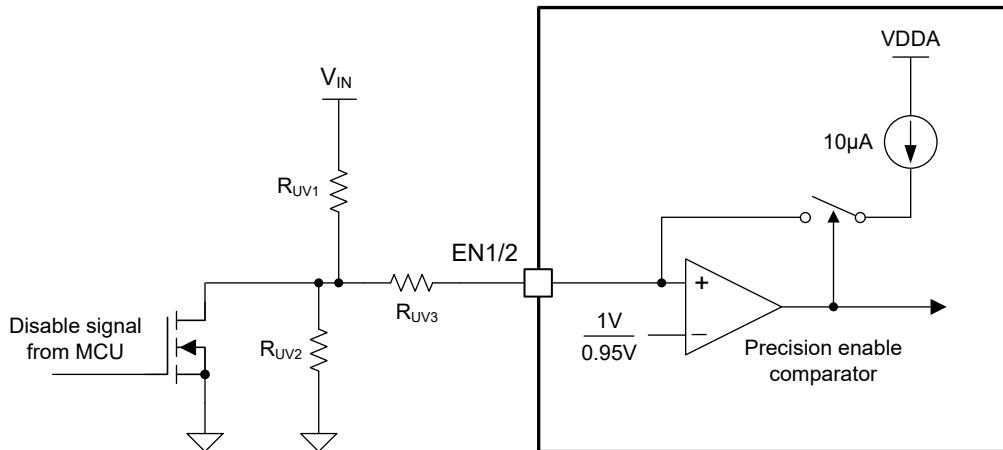


図 7-2. プログラマブル入力電圧 UVLO のオン/オフ

7.3.4 スイッチング周波数 (RT)

LM25137-Q1 発信機を RT から AGND の抵抗でプログラムし、フリーランニングスイッチング周波数を $100\text{kHz} \sim 2.2\text{MHz}$ に設定します。指定のスイッチング周波数に対する RT 抵抗を計算するには、式 2 を使用します。

$$R_{RT} [\text{k}\Omega] = \frac{\frac{10^6}{F_{SW} [\text{kHz}]} - 15}{42.8} \quad (2)$$

7.3.5 パルス周波数変調および同期 (PFM/SYNC)

ダイオードの代わりにローサイドの同期 MOSFET を実装した完全同期整流降圧レギュレータは、軽負荷、出力過電圧、プリバイアスのスタートアップ条件中は出力から負電流をシンクできます。LM25137-Q1 にはダイオード エミュレーション機能があり、ローサイド MOSFET の逆 (ドレインからソース) 電流を防止します。ダイオードエミュレーションモードに構成されている場合、ゼロクロスコンパレータを使用して SW 電圧を検出することによって逆電流が検出されると、ローサイド MOSFET はオフになります。この構成の利点は、軽負荷の状況で電力損失が小さいことです。ダイオードエミュレーションモードの欠点は、軽負荷時の過渡応答が遅くなることです。

ダイオードエミュレーションを構成するには、PFM/SYNC ピンを使用します。ダイオードエミュレーションをイネーブルにして、軽負荷時に高効率を実現するには、PFM/SYNC を VDDA に接続します。FPWM で連続導通モード (CCM) の動作が必要な場合は、PFM/SYNC を AGND に接続します。ダイオードエミュレーションは、プリバイアス起動中に逆電流が流れることを防止するため、自動的に動作します。DCM から CCM 動作へと段階的に変化することで、単調なスタートアップ性能が実現します。

LM25137-Q1 を外部クロックソースと同期させるには、ロジックレベルの信号を PFM/SYNC に適用します。LM25137-Q1 は、最大 2.5MHz のプログラムされたフリーランニング周波数の ±20% に同期します。RT 抵抗と同期クロック信号がある場合、LM25137-Q1 は RT 抵抗を無視し、外部クロックと同期します。ただし、高デューティサイクル時に最小オフ時間に達すると、同期は無視され、スイッチング周波数を低下させて出力電圧レギュレーションを維持できます。

7.3.6 同期出力 (SYNCOUT)

SYNCOUT 電圧は、約 90° 遅れの HO2 (または 90° 早い HO1) の立ち上がりエッジを持つロジックレベル信号です。SYNCOUT 信号を使用して 2 つ目の LM25137-Q1 コントローラを同期すると、4 つの位相の位相差はすべて 90° になり、リップル電流キャンセレーションが最適化されます。

7.3.7 デュアルランダムスペクトラム拡散機能 (DRSS)

LM25137-Q1 にはデジタルスペクトラム拡散機能があり、広い周波数範囲にわたってスイッチングレギュレータの EMI シグネチャを低減します。図 7-3 に示すように、DRSS 機能は、低周波数の三角波変調プロファイルと、高周波数のサイクル単位のランダム変調プロファイルを組み合わせたものです。低周波数変調は低い無線周波数帯域で性能を向上させ、高周波のランダム変調は高い無線周波数帯域で性能を向上させます。

スペクトラム拡散は、狭帯域信号を広帯域信号に変換し、エネルギーを複数の周波数にわたって拡散することで機能します。業界規格では周波数帯域ごとに異なる EMI レシーバ解像度の帯域幅 (RBW) 設定を要求しているため、RBW はスペクトラム拡散の性能に影響を及ぼします。DRSS は、低周波数の三角波変調と高周波数のサイクル単位ランダム変調プロファイルにより、それぞれ低 RBW および高 RBW での EMI 性能を同時に向上できます。DRSS により、伝導エミッションを CISPR 25 の低周波数帯域 (150kHz ~ 30MHz) で 10dB μ V、高周波帯域 (30MHz ~ 108MHz) で 5dB μ V に低減できます。PFM/SYNC に外部クロック信号を印加すると、DRSS が無効になります。CNFG から AGND への抵抗を使用して LM25137-Q1 を構成する場合は、表 7-1 を参照してください。

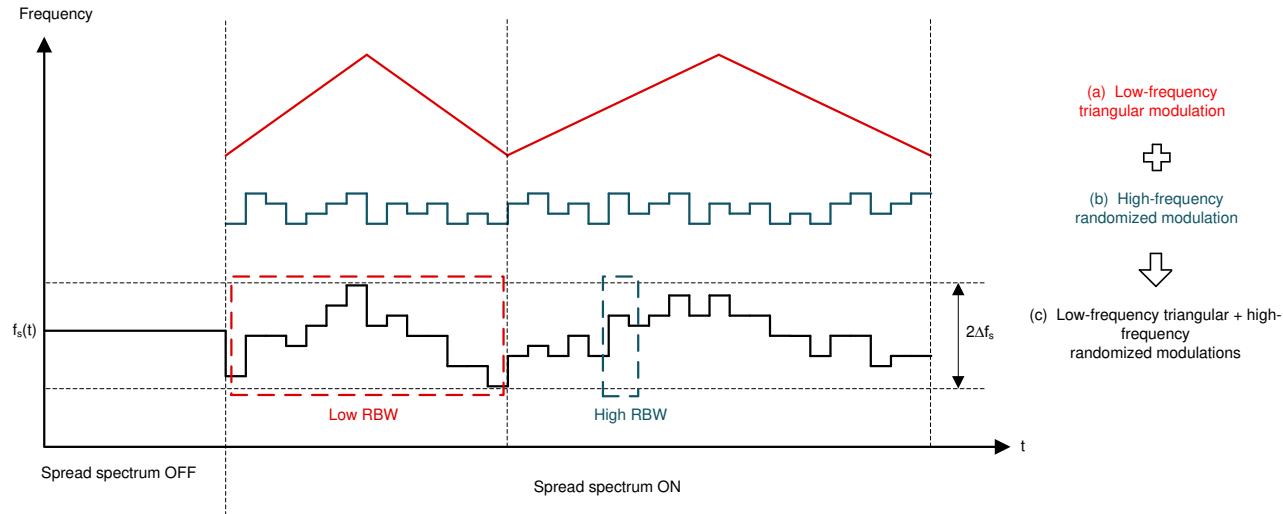


図 7-3. DRSS の実装

表 7-1. CNFG 抵抗の構成

R_{CNFG}	1 次側/2 次側	DRSS	独立またはインターリープ
10k Ω	1 次側	ディセーブル	個別
19.1k Ω	1 次側	$\pm 5\%$	個別
29.4k Ω	1 次側	$\pm 10\%$	個別
41.2k Ω	1 次側	ディセーブル	インターリープ型
54.9k Ω	1 次側	$\pm 5\%$	インターリープ型
71.5k Ω	1 次側	$\pm 10\%$	インターリープ型
90.9k Ω	セカンダリ	該当なし	インターリープ型

7.3.8 構成可能なソフトスタート (RSS)

LM25137-Q1 のソフトスタート機能は、レギュレータを徐々に定常状態動作点へと到達させることで、起動時のストレスや突入電流を低減します。RSS と AGND の間に抵抗を使用して、ソフトスタート時間をプログラムします。RSS ピンが AGND に短絡する場合、ソフトスタート時間は 1.5ms です。RSS 抵抗が 500k Ω より大きい場合（またはピンが解放回路のままになっている場合）、LM25137-Q1 はデフォルトで 6.5ms のソフトスタート時間になります。

式 3 を使用して、指定されたソフトスタート時間の RSS 抵抗を計算します。

$$R_{SS} [\text{k}\Omega] = 4.38 \cdot t_{SS} [\text{ms}] \quad (3)$$

7.3.9 出力電圧の設定ポイント (FB1、FB2)

LM25137-Q1 は、3 つの固定出力電圧の設定ポイント 1 つに対して個別に構成することも、または外付けの抵抗分割器を使用して目的の出力電圧に調整することも可能です。表 7-2 に示すように、それぞれの FB ピンを 7.5k Ω 、24.9k Ω 、48.7k Ω で VDDA に接続することで、3.3V、5V、12V の電圧設定ポイントに V_{OUT1} または V_{OUT2} を構成します。

表 7-2. 帰還構成抵抗

VDDA へのプルアップ抵抗	V_{OUT} 設定ポイント
7.5k Ω	3.3V
24.9k Ω	5V
48.7k Ω	12V

表 7-2. 帰還構成抵抗 (続き)

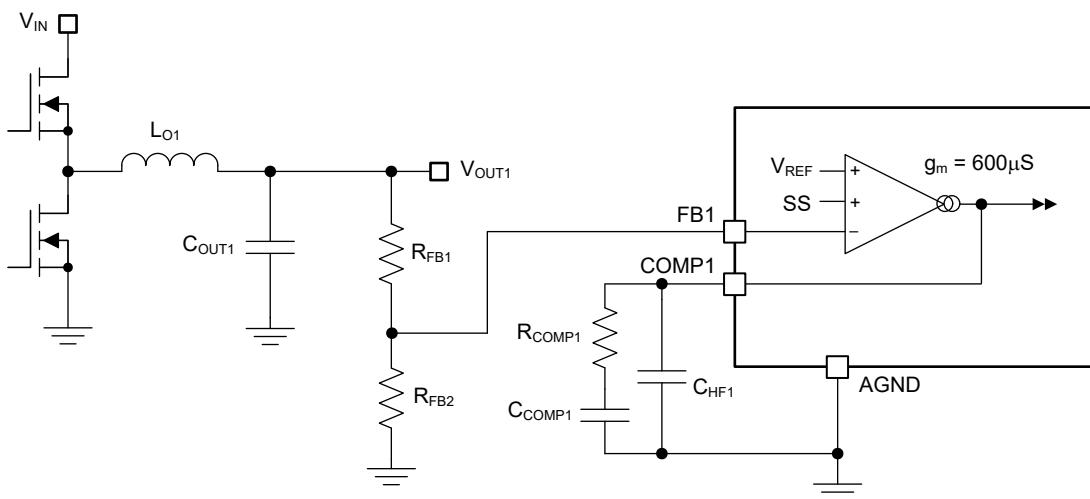
VDDA へのプルアップ抵抗	V _{OUT} 設定ポイント
設置されていません	外部 FB 分圧器の設定

LM25137-Q1 の VCC 電圧がその立ち下がり UVLO スレッショルド以下になるまで低下して電源がオフになり再びオンになります。VCC が 3.8V を超えるまで、構成の設定はラッチされ変更できません。

または、出力と AGND との間に外付けの抵抗分圧器を接続して出力電圧を設定します。FB レギュレーション電圧は 0.8V で、出力電圧設定ポイントの範囲は 0.8V ~ 36V です。式 4 を使用すると、それぞれ R_{FB1} と R_{FB2} と表される帰還抵抗の上限と下限を計算することができます。図 7-4 を参照してください。

$$R_{FB1} = \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \cdot R_{FB2} \quad (4)$$

R_{FB2} の推奨開始値は 10kΩ ~ 20kΩ です。


図 7-4. 可変出力設定による電圧ループ

軽負荷時の効率を向上させる必要がある場合は、外付け抵抗を注意深く選択してください。外付け分圧器の消費電流は、LM25137-Q1 のスリープ電流に加算されます。V_{IN} に反映される分割電流は、V_{OUT}/V_{IN} の比で増減します。

7.3.10 制御可能な最小オン時間

最小出力電圧の調整範囲には、LM25137-Q1 の 0.8V の電圧リファレンスと、制御可能なスイッチノードの最小パルス幅 t_{ON(min)} という 2 つの制約があります。

t_{ON(min)} は実質的に、指定されたスイッチング周波数における V_{OUT}/V_{IN} の電圧ステップダウン変換比を制限します。固定周波数の PWM 動作の場合、電圧の変換比は次の 式 5 を満たす必要があります。

$$\frac{V_{OUT}}{V_{IN}} > t_{ON(min)} \cdot F_{SW} \quad (5)$$

ここで、

- t_{ON(min)} は 22ns (標準値) です
- F_{SW} はスイッチング周波数です

目標とする電圧変換比が上記の条件を満たさない場合、LM25137-Q1 は固定スイッチング周波数動作からパルス スкиッピング モードに遷移して、出力電圧のレギュレーションを維持します。たとえば、目標の出力電圧が 1.2V で、入力電圧 24V、スイッチング周波数 2.1MHz の場合、式 6 の電圧変換比の基準を満たしています。

$$\frac{1.2V}{24V} > 22ns \cdot 2.1\text{MHz}$$

$$0.05 > 0.046$$

(6)

V_{IN} の範囲が広いアプリケーションで低出力電圧の場合、式 5 の要件を満たすためのもう 1 つの方法は、LM25137-Q1 のスイッチング周波数を下げることです。

7.3.11 エラー アンプと PWM コンパレータ (FB1, FB2, COMP1, COMP2)

LM25137-Q1 の各チャネルには独立した高ゲイン相互コンダクタンスアンプがあり、フィードバック電圧と内部高精度基準電圧 (0.8V) の間の差に比例した誤差電流を生成します。相互コンダクタンスアンプの出力は対応する COMP ピンに接続されるため、ユーザーが外部制御ループ補償を行うことができます。TI では一般的に、ピーク電流モード制御用の type-II 補償ネットワークをお勧めしています。COMP1/2 が 100mV 未満にプルされると、HO1/2 および LO1/2 のドライバ出力を無効化できます。

7.3.11.1 スロープ補償

LM25137-Q1 には、ピーク電流モード制御と 50% を超えるデューティサイクルで安定した動作を実現するスロープ補償が提供されています。式 7 を使用して降圧インダクタンスを計算し、スロープ補償の寄与がインダクタ電流のダウンスロープの 1 倍になるようにします。

$$L_{O(IDEAL)}[\mu H] = \frac{V_{OUT}[V] \cdot R_S[m\Omega]}{22 \cdot F_{SW}[MHz]} \quad (7)$$

- 一般に、インダクタンスの値が低いほど、ピークツーピークのインダクタリップル電流は増加します。これにより、サイズとコストは最小限に抑えられ、コア損失とピーク電流の増加によって軽負荷効率が下がる代わりに、過渡応答が向上します。
- 一般に、インダクタンスの値が大きいほどピークツーピークのインダクタリップル電流が低下し、スイッチピーカーと RMS 電流が現象しますが、負荷過渡仕様を満たすためにより大容量の出力コンデンサが必要になります。

7.3.12 インダクタ電流センス (ISNS1+, BIAS1/VOUT1, ISNS2+, VOUT2)

降圧出力段のインダクタ電流を検出する方法には 2 種類あります。1 つ目は、インダクタと直列に電流センス抵抗 (シャントとも呼ばれます) を使用する方法、2 つ目はインダクタの DC 抵抗を利用する方法 (DCR 電流センシング) です。

7.3.12.1 シャント電流センシング

図 7-5 に、シャント抵抗を使用したインダクタ電流センシングを示します。この構成では、インダクタ電流を継続的に監視して、動作温度範囲全体での正確な過電流保護を実現します。最適な電流センス精度と過電流保護を実現するため、インダクタと出力の間に $\pm 1\%$ の許容誤差の低寄生インダクタンスシャント抵抗を接続します。シャントでケルビンセンス接続を使用し、センスラインが LM25137-Q1 に差動で戻るように配線します。

[ISNS1+, BIAS1/VOUT1] または [ISNS2+, VOUT2] で差動的に検出されたピーク電流が 60mV の電流制限スレッショルドを超えた場合、電流制限コンパレータは直ちにサイクルごとの電流制限のための各 HO 出力を停止します。式 8 を使用してシャント抵抗を計算します。

$$R_S = \frac{V_{CS-TH}}{I_{OUT(CL)} + \frac{\Delta I_L}{2}} \quad (8)$$

ここで、

- V_{CS-TH} は、60mV の電流センススレッショルドです。
- $I_{OUT(CL)}$ は過電流設定ポイントで、最大負荷電流より大きな値を設定して、負荷過渡中の過電流コンパレータのトリッピングを防止します。
- ΔI_L は、ピークツーピークのインダクタ リップル電流です。

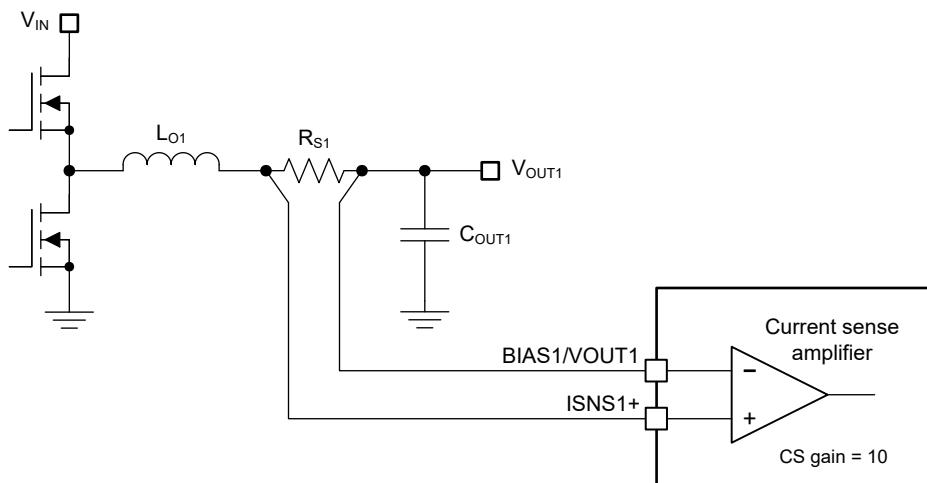


図 7-5. シャント電流センシングの実装

7.3.12.2 インダクタ DCR 電流センシング

精密な電流制限保護を必要としない大電力アプリケーションでは、インダクタ DCR 電流センシングが推奨されます。この手法では、インダクタと並列な RC センス ネットワークを利用して、ロスレスなインダクタ電流を実現して、これを連続監視することができます。室温で 10%~15% の範囲内での標準的な電流制限精度を得るには、DCR 許容誤差の小さなインダクタを選択します。図 7-6 の部品 R_{CS} と C_{CS} によりインダクタ間にローパス フィルタが作成され、インダクタ DCR 間の電圧降下の差動センシングが可能となります。

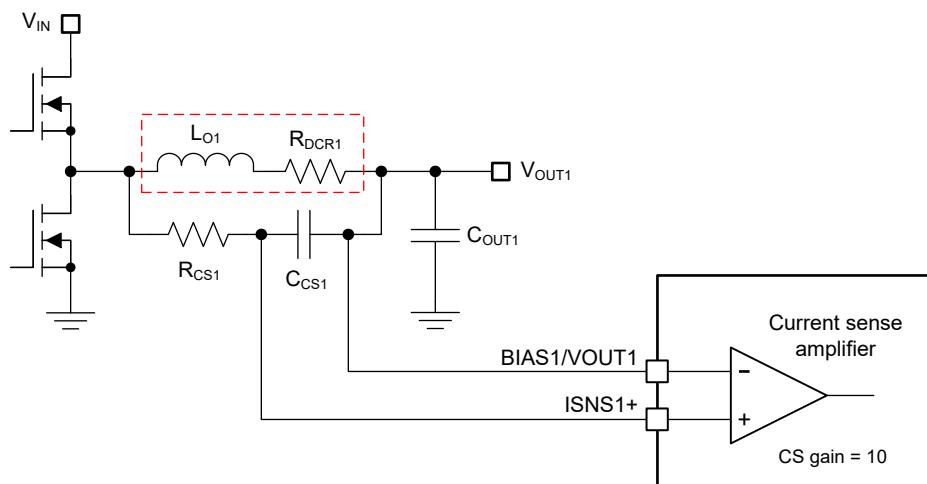


図 7-6. インダクタ DCR 電流センシングの実装

s ドメインのセンスコンデンサ間の電圧降下を計算するには、式 9 を使用します。 $R_{CS}C_{CS}$ 時定数が L_O/R_{DCR} に等しい場合、センスコンデンサ C_{CS} 間に発生する電圧はインダクタ DCR 電圧の複製であり、精密な電流センシングが可能となります。 $R_{CS}C_{CS}$ 時定数が L_O/R_{DCR} 時定数とは異なる場合、次のようなセンシング誤差が発生します。

- $R_{CS}C_{CS} > L_O/R_{DCR}$ の場合 → DC レベルは正しいが、AC 振幅は減衰する。

- $R_{CS}C_{CS} < L_O/R_{DCR}$ の場合 → DC レベルは正しいが、AC 振幅は増幅される。

$$V_{CS}(s) = \frac{1+s \cdot \frac{L_O}{R_{DCR}}}{1+s \cdot R_{CS} \cdot C_{CS}} \cdot R_{DCR} \cdot \left(I_{OUT(CL)} + \frac{\Delta I_L}{2} \right) \quad (9)$$

低インピーダンスセンシングネットワークを維持するために、100nF 以上の C_{CS} 容量を選択してください。この結果、スイッチノードからのノイズピックアップの影響が低減されます。[セクション 8.4.1](#) をよく読み、ノイズと DC 誤差によってそれぞれ ISNS1/2+ ピンと VOUT1/2 ピンの間に印加される差動電流センス信号に誤りが発生しないように注意してください。

7.3.13 MOSFET ゲートドライバ(HO1, HO2, LO1, LO2)

LM25137-Q1 には、MOSFET ゲートドライバと、関連するハイサイドレベルシフタが搭載されており、外部の N チャネルパワー MOSFET を駆動します。ハイサイドゲートドライバは、内蔵ブートストラップダイオードおよび外付けブートストラップコンデンサ C_{BOOT} と連動して動作します。ローサイド MOSFET の導通時間内は、SW 電圧が約 0V で、 C_{BOOT} はダイオードを経由して VCC から充電されます。

LM25137-Q1 は LO と HO 出力をアダプティブデッドタイム方式で制御するため、両方の出力 (LO と HO) が同時にイネーブルになることはなく、クロス導通を防止します。コントローラから LO をイネーブルにするようコマンドが送信されると、アダプティブデッドタイムロジックは最初に HO をディスエーブルにして、HO と GND 間の電圧が 2V (標準値) 以下に低下するまで待機します。次に、短い遅延 (HO の立ち下がりから LO の立ち上がりまでの遅延) の後に LO はイネーブルになります。同様に、LO 電圧が 2V を下回るまで、HO のターンオンは遅延されます。次に、短い遅延 (LO 立ち下がりから HO 立ち上がりまでの遅延) の後に HO はイネーブルになります。この方法により、任意のサイズの N チャネル MOSFET 部品や並列 MOSFET 構成に対して、適切なデッドタイムを確保することができます。

V_{IN} が V_{OUT} 設定ポイントに近づくと、LM25137-Q1 は内蔵チャージポンプを作動させてハイサイド MOSFET をオンに維持し、真の 100% デューティサイクルを実現します。この動作により、入力から出力まで可能な限り低いドロップアウト電圧を実現できます。直列ゲート抵抗を追加する場合は、直列ゲート抵抗のために実効デッドタイムが短くなる可能性があるため、注意が必要です。[式 10](#) に従って、選択したハイサイドパワー MOSFET により、適切なブートストラップコンデンサの値 C_{BOOT} が決まります。

$$C_{BOOT} = \frac{Q_G}{\Delta V_{CBOOT}} \quad (10)$$

ここで、

- Q_G は、該当のゲートドライブ電圧 (通常 5V) におけるハイサイド MOSFET のゲート電荷の総量です
- ΔV_{CBOOT} は、ターンオン後のハイサイド MOSFET ドライバの電圧変動です

C_{BOOT} を決定するには、利用可能なゲートドライブ電圧が大きな影響を受けないように ΔV_{CBOOT} を選択します。 ΔV_{CBOOT} の許容範囲は 100mV~200mV です。ブートストラップコンデンサは、通常 0.1μF の低 ESR セラミックコンデンサにする必要があります。公称 VCC 電圧が 5V であると仮定して、 $V_{GS} = 4.5V$ で定格 $R_{DS(on)}$ のロジックレベルパワー MOSFET を使用します。

7.3.14 出力構成(CNFG)

CNFG から AGND に接続した抵抗 R_{CNFG} を使用して、LM25137-Q1 を 1 次コントローラ (独立したデュアル出力またはインターリープ単一出力) として、または大電流アプリケーションの並列位相用の 2 次コントローラとして構成します。

7.3.14.1 独立したデュアル出力動作

LM25137-Q1 には独立して動作できる 2 つの出力があります。 V_{OUT1} と V_{OUT2} はいずれも、必要に応じて VDDA から FB1 または FB2 に接続する 1 つの抵抗により、3.3V、5V、12V の固定出力設定ポイントに設定できます。または、[式 4](#)

に基づき、外部帰還抵抗を使用して、出力電圧を 0.8V ~ 36V の範囲に設定します。表 7-3 と図 7-7 を参照してください。

表 7-3. 独立したデュアル出力の構成モード

R _{CNFG}	1 次側、2 次側	DRSS	独立出力またはインターリープ出力
10kΩ	1 次側	OFF	個別
19.1kΩ	1 次側	DRSS1	個別
29.4kΩ	1 次側	DRSS2	個別

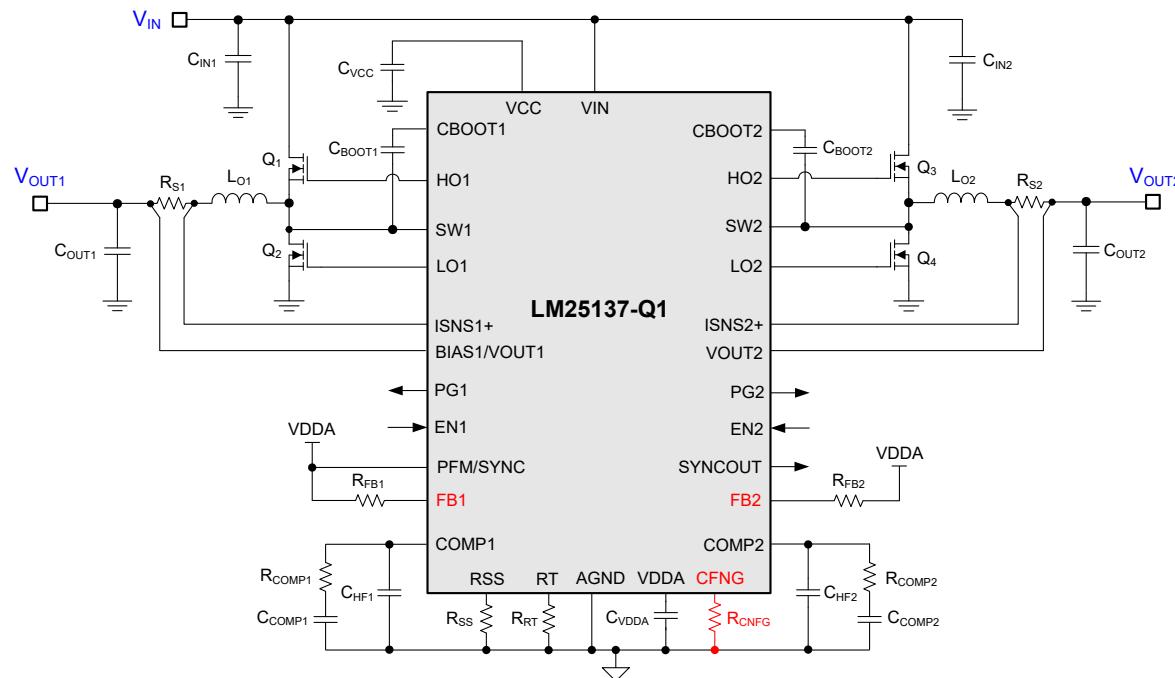


図 7-7. LM25137-Q1 独立したデュアル出力用に構成されたレギュレータの回路図

7.3.14.2 単一出力インターリープ動作

CNFG と AGND との間に接続された抵抗 R_{CNFG} に基づき、LM25137-Q1 を单一出力インターリープ動作用に構成します。表 7-4 に示すように、41.2kΩ を使用して DRSS を無効化し、54.9kΩ または 71.5kΩ を使用してそれぞれ 5% または 10% の周波数拡散で DRSS を有効化します。これにより、チャネル 2 のエラーアンプは無効化され、エラーアンプはハイインピーダンス状態になります。その後、コントローラは 1 次側、2 次側の構成になり、SYNCOUT クロックは HO2 から 180° 遅れます（または HO1 より 180° 先行します）。

図 7-8 に示すように、COMP1 を COMP2 に接続し、FB1 を使用して出力電圧設定ポイントを設定します。必要に応じて PG1 を使用し、PG2 をオープンのままにするか、GND に接続します。

表 7-4. 単一出力インターリープ動作の構成モード

R _{CNFG}	1 次側/2 次側	DRSS	独立出力またはインターリープ出力
41.2kΩ	1 次側	OFF	インターリープ型
54.9kΩ	1 次側	DRSS1	インターリープ型
71.5kΩ	1 次側	DRSS2	インターリープ型

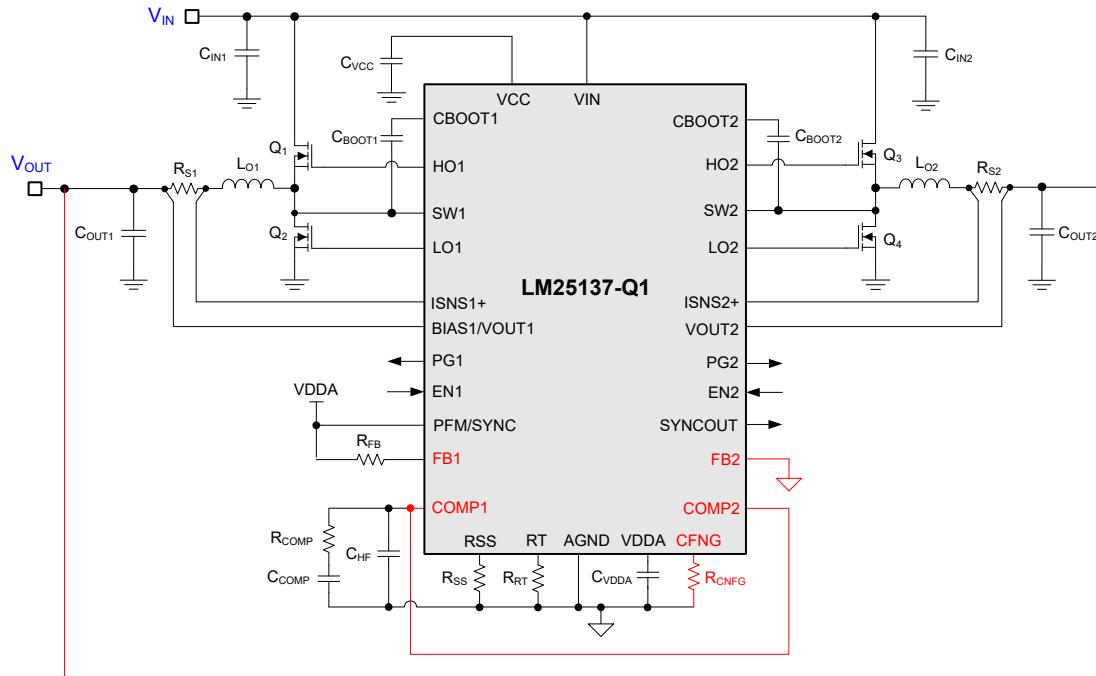


図 7-8. LM25137-Q1 単一出力インターリーブ動作用に構成された 2 相レギュレータの回路図

7.3.14.3 単一出力多相動作

マルチフェーズ（3 相または 4 相）レギュレータには、図 7-9 に示すように、2 つの LM25137-Q1 コントローラが必要です。

1 つ目のコントローラ (CNTRL1) を 1 次コントローラ、2 つ目のコントローラを 2 次コントローラ (CNTRL2) として構成します。2 つ目のコントローラを構成する場合は、90k Ω 抵抗を CNFG から AGND に接続します。この接続により、2 次コントローラの帰還エラーアンプは両方ともディスエーブルになり、ハイインピーダンス状態になります。

- COMP1 ピンと COMP2 ピンを、1 次コントローラと 2 次コントローラの両方に互いに接続
- 1 次の SYNCOUT を 2 次コントローラの PFM/SYNC に接続
- 両方のコントローラの RSS ピンを接続
- すべての出力をまとめて接続
- FB2 (1 次側コントローラ) と FB2 (2 次側コントローラ) を GND に接続
- PFM モード動作が必要な場合は、2 次コントローラの FB1 を 1 次コントローラの PFM/SYNC に接続します。必要な場合は、FB1 を GND に接続します。
- 1 次の PG1 のみが該当します。2 次コントローラの PG1/2 と PG2 はオープンな状態を維持、または GND に接続できます。

1 次コントローラの SYNCOUT は位相差 90°で、インターリーブ動作を容易にします。LM25137-Q1 が 2 次モードの場合、RT は発振器に使用されず、代わりにスロープ補償に使用されます。そのため、1 次コントローラと同じ RT 抵抗を選択します。表 7-5 を参照してください。

詳細については、『多相降圧コンバータの利点』ホワイトペーパーと、『多相降圧設計のすべて』アプリケーションレポートを参照してください。

表 7-5. 単一出力マルチフェーズ動作の構成モード

R _{CNFG}	1 次側、2 次側	DRSS	独立出力またはインターリーブ出力
41.2k Ω	1 次側	OFF	インターリーブ型
54.9k Ω	1 次側	DRSS1	インターリーブ型
71.5k Ω	1 次側	DRSS2	インターリーブ型

表 7-5. 単一出力マルチフェーズ動作の構成モード (続き)

R _{CNFG}	1 次側、2 次側	DRSS	独立出力またはインターリープ出力
90.9kΩ	セカンダリ	該当なし	インターリープ型

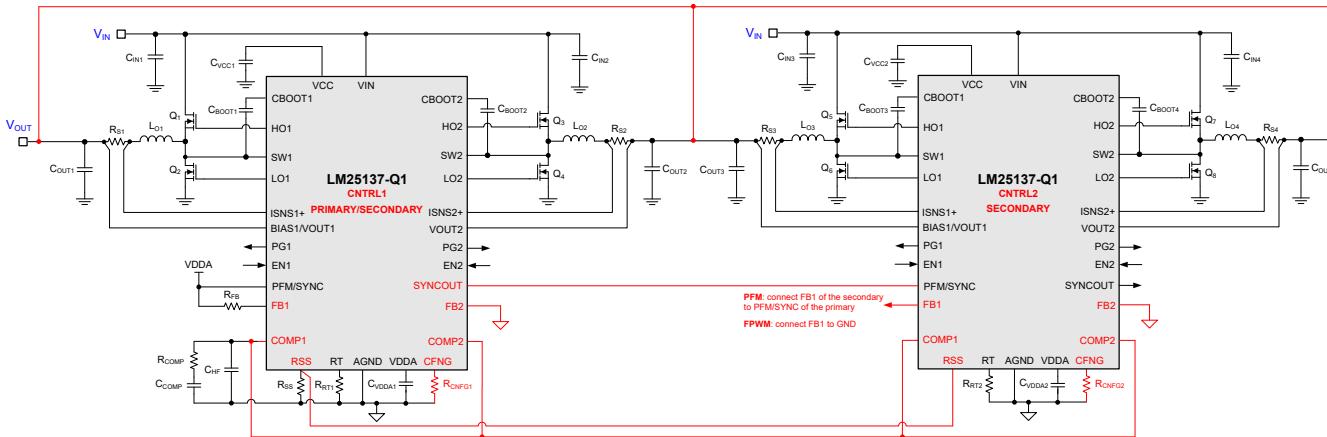


図 7-9. LM25137-Q1 単一出力インターリープ動作用に構成されたマルチフェーズレギュレータの回路図

7.4 デバイスの機能モード

7.4.1 スリープモード

LM25137-Q1 はピーク電流モード制御で動作するため、補償 (COMP) 電圧はピークインダクタ電流に比例します。無負荷または軽負荷状態では、出力コンデンサは非常にゆっくりと放電されます。その結果、COMP 電圧はサイクル単位でのドライバ出力パルスを要求しません。LM25137-Q1 のコントローラがスイッチングサイクルの検出に 16 回失敗すると、スリープモードに入り、低 I_Q 状態に切り替わって、入力から流れる電流を低減します。LM25137-Q1 をスリープモードにするには、ダイオードエミュレーション用にデバイスをプログラムする必要があります (PFM/SYNC を VDDA に接続)。

スリープモードにおける標準的なコントローラの I_Q は $9\mu A$ で、チャネル 1 は 5V 出力、チャネル 2 はディスエーブルに設定されます。LM25137-Q1 がスリープ状態になると、PG1/2 は無効化されます。

7.4.2 PFM モード

ダイオードの代わりにローサイドの MOSFET を実装した同期整流降圧レギュレータは、軽負荷、過電圧、プリバイアスのスタートアップ条件中は出力から負電流をシンクできます。LM25137-Q1 にはダイオード エミュレーション機能があり、ローサイド MOSFET の逆 (ドレンからソース) 電流を防止します。ダイオード エミュレーション (DEM) 用に構成されている場合、ゼロクロス コンパレータを使用して印加可能な SW 電圧を検出することによって逆電流が検出されると、ローサイド MOSFET はオフになります。この構成の利点は、軽負荷条件時に電力損失が低減されることです。また、欠点は軽負荷時の過渡応答が遅くなることです。

ダイオードエミュレーション機能を構成するには、PFM/SYNC ピンを使用します。ダイオードエミュレーションをイネーブルにして、軽負荷時に不連続導通モード (DCM) の動作を実現するには、PFM/SYNCIN を VDDA に接続します。FPWM または連続導通モード (CCM) の動作が必要な場合は、PFM/SYNC を AGND に接続します。[表 7-6](#) を参照してください。ダイオードエミュレーションは、プリバイアスのスタートアップ中に逆電流が流れることを防止するため、自動的に動作します (PFM と FPWM モードの両方で)。DCM から CCM 動作へと段階的に変化することで、単調なスタートアップ性能が実現します。

表 7-6. PFM の設定

PFM/SYNCIN	FPWM、PFM
VDDA	PFM
AGND	FPWM
外部クロック	FPWM

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LM25137-Q1 は、高入力電圧を 2 つの低出力電圧に変換するために使用する、デュアルチャネルまたはデュアル位相の、同期整流、降圧コントローラです。以下のセクションではパワートレインと補償部品について検討し、シングルおよびデュアル出力を実装するための具体的な回路設計例を紹介しています。LM25137-Q1 ベースのレギュレータの設計プロセスを迅速化および効率化するため、包括的な LM25137-Q1 [Quickstart Calculator クイックスタートカリキュレーター](#) をダウンロードして、特定のアプリケーションのコンポーネント選択を支援することができます。

8.1.1 パワートレイン コンポーネント

同期整流降圧レギュレータの設計を効果的で信頼性の高いものにするには、降圧レギュレータのパワートレインコンポーネントを包括的に理解することが不可欠です。次のセクションでは、以下について説明します：

- パワー MOSFET
- 降圧インダクタ
- 入力と出力の各コンデンサ
- EMI 入力フィルタ

8.1.1.1 パワー MOSFET

パワー MOSFET の選択は、DC/DC レギュレータの性能に並外れた影響を及ぼします。MOSFET は低オン抵抗 $R_{DS(on)}$ を内蔵しているため導通損失を低減し、同時に寄生容量が小さいため遷移時間が短くなり、スイッチング損失が低くなります。通常、MOSFET の $R_{DS(on)}$ が低くなるほど、ゲートの電荷と出力の電荷 (それぞれ Q_G と Q_{OSS}) は高くなり、逆もまた同じです。そのため、一般的に $R_{DS(on)}$ と Q_G の積は MOSFET の性能指標として規定されます。使用されているパッケージの熱抵抗が低いため、MOSFET の消費電力によって MOSFET のダイ温度が過剰な高温になることはありません。

LM25137-Q1 アプリケーションでパワー MOSFET の選択に影響を与える主なパラメータは次のとおりです：

- $R_{DS(on)}$ ($V_{GS} = 5V$ の場合)
- ドレン - ソース間電圧定格 BV_{DSS} は、最大入力電圧に応じて、標準で 30V、40V、60V です。
- $V_{GS} = 5V$ におけるゲート電荷パラメータ
- 関連入力電圧における出力電荷 Q_{OSS}
- ボディダイオードの逆回復電荷 Q_{RR}
- ゲートスレッショルド電圧 $V_{GS(th)}$ 。MOSFET データシートの Q_G と V_{GS} のプロットにおけるミラー プラトーから算出されます。ミラープラトー電圧は通常 2.5V ~ 3.2V の範囲にあるため、LM25137-Q1 の 5V ゲートドライブの振幅によって、オン時には MOSFET は十分強化され、オフ時には Cdv/dt 貫通に対するマージンが確保されます。

1 つのチャネルの MOSFET 関連の電力損失は、表 8-1 に示す式に集約されます。この式の添え字の 1 と 2 は、それぞれハイサイドとローサイド MOSFET のパラメータを表しています。インダクタのリップル電流の影響を考慮する場合でも、寄生インダクタンスやスイッチノード電圧のリンギングなどの 2 次損失モードは含まれません。LM25137-Q1 の製品フォルダから入手できる包括的な [クイックスタートカリキュレーター](#) では、 $R_{DS(on)}$ や Q_G などの、入力した MOSFET パラメータに基づいて電力損失を計算できます。

表 8-1. MOSFET の電力損失

電力損失モード	下限側 MOSFET	ローサイド MOSFET
MOSFET の導通 ^{(2) (3)}	$P_{cond1} = D \cdot \left(I_{OUT}^2 + \frac{\Delta I_L^2}{12} \right) \cdot R_{DS(on)1}$	$P_{cond2} = D' \cdot \left(I_{OUT}^2 + \frac{\Delta I_L^2}{12} \right) \cdot R_{DS(on)2}$
MOSFET のスイッチング	$P_{sw1} = \frac{V_{IN} \cdot F_{SW}}{2} \left[\left(I_{OUT} - \frac{\Delta I_L}{2} \right) \cdot t_R + \left(I_{OUT} + \frac{\Delta I_L}{2} \right) \cdot t_F \right]$	無視できる範囲
MOSFET ゲートドライブ ⁽¹⁾	$P_{Gate1} = V_{CC} \cdot F_{SW} \cdot Q_{G1}$	$P_{Gate2} = V_{CC} \cdot F_{SW} \cdot Q_{G2}$
MOSFET 出力電荷 ⁽⁴⁾	$P_{Coss} = F_{SW} \cdot (V_{IN} \cdot Q_{oss2} + E_{oss1} - E_{oss2})$	
ボディダイオード導通	該当なし	$P_{cond_BD} = V_F \cdot F_{SW} \left[\left(I_{OUT} + \frac{\Delta I_L}{2} \right) \cdot t_{dt1} + \left(I_{OUT} - \frac{\Delta I_L}{2} \right) \cdot t_{dt2} \right]$
ボディダイオードの逆回復 ⁽⁵⁾		$P_{RR} = V_{IN} \cdot F_{SW} \cdot Q_{RR2}$

- (1) ゲートドライブ損失は、MOSFET の内部ゲート抵抗、外付けの直列ゲート抵抗、LM25137-Q1 の関連ドライバ抵抗に基づき分配されます。
- (2) MOSFET の $R_{DS(on)}$ の正の温度係数は、約 4500ppm/°C です。MOSFET の接合部温度 T_J と、周囲温度と比べて接合部温度がどれだけ上昇するかは、デバイスの総消費電力とその熱インピーダンスに依存します。最小入力電圧や、それに近い電圧で動作する時には、MOSFET の $R_{DS(on)}$ は利用可能なゲートドライブ電圧の定格になります。
- (3) $D' = 1-D$ は、デューティサイクルの補数です。
- (4) MOSFET の出力容量 C_{oss1} と C_{oss2} は、電圧に対して高度な非線形形となります。これらの容量は、ハイサイド MOSFET ターンオフ時のインダクタ電流によりロスレスで充電されます。ただし、ターンオン時には電流は入力から流れため、ローサイド MOSFET の出力容量が充電されます。 C_{oss1} のエネルギー E_{oss1} はターンオン時に消費されますが、この消費は C_{oss2} に保存されているエネルギー E_{oss2} で相殺されます。詳細については、『[GaN FET とシリコン MOSFET における DC-DC コンバータ性能のデッドタイム効果の比較](#)』 ECCE 2016 を参照してください。
- (5) MOSFET ボディダイオードの逆回復電荷 Q_{RR} は、さまざまなパラメータ、特に順方向電流、電流遷移速度、温度に依存します。

ハイサイド (制御) MOSFET は、PWM のオン時間 (または D 間隔) 中にインダクタ電流を流し、通常はスイッチング損失のほとんどはここで発生します。そのため、導通損失とスイッチング損失への関与のバランスを取るハイサイド MOSFET を選択してください。ハイサイド MOSFET の総消費電力は、以下の合計になります。

- 導通による損失
- スイッチング (電圧と電流の重複)
- 出力電荷量
- 通常、ボディダイオードの逆回復に起因する正味の損失の 3 分の 2

ローサイド (同期) MOSFET は、ハイサイド MOSFET がオフ (または 1-D 間隔) のときにインダクタ電流を流します。ローサイド MOSFET はゼロ電圧でスイッチングするため、スイッチング損失は無視できます。電流はチャネルからボディダイオードへ流れますが、遷移デッドタイム中は逆方向にも流れます。LM25137-Q1 は適応型ゲートドライブタイミングを使用しているため、両方の MOSFET がオフのときに、ボディダイオードの導通損失を最小に抑えます。この損失は、スイッチング周波数に正比例します。

ステップダウン比の高いアプリケーションでは、スイッチング時間の大部分でローサイド MOSFET は電流を流します。そのため、高効率を実現するには、低 $R_{DS(on)}$ のときにローサイド MOSFET を最適化することが重要です。導通損失が大きすぎる場合、または目標とする $R_{DS(on)}$ が単一の MOSFET で実現可能な値より低い場合は、2 つのローサイド MOSFET を並列に接続します。ローサイド MOSFET の総消費電力は、チャネル導通、ボディダイオード導通、ボディダイオードの逆回復に起因する正味の損失の通常 3 分の 1 の合計になります。LM25137-Q1 は、TI の [パワー MOSFET](#) の製品ラインを駆動するのに最適です。

8.1.1.2 降圧インダクタ

多くのアプリケーションでは、公称入力電圧におけるインダクタのリップル電流 ΔI_L が最大 DC 出力電流の 30% ~ 50% の間になるように降圧インダクタンスを選択します。式 12 に示されるピークインダクタ電流に基づき、式 11 を使用してインダクタンスを選択します。

$$L_O = \frac{V_{OUT}}{\Delta I_L \cdot F_{SW}} \cdot \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \quad (11)$$

$$I_{L(peak)} = I_{OUT} + \frac{\Delta I_L}{2} \quad (12)$$

インダクタのデータシートを参照し、飽和電流定格が特定の設計のピークインダクタ電流よりも十分に大きいことを確認します。フェライトコアのインダクタはコア損失が非常に低く、高スイッチング周波数で好まれます。そのため、設計の目標を銅損と飽和の防止に集中することができます。低インダクタのコア損失は、無負荷の入力電流の低下と軽負荷時の効率の向上により明らかです。ただし、フェライトのコア素材は飽和特性が高く、飽和電流を超過するとインダクタンスは急激に低下します。この動作の結果、インダクタのリップル電流には並外れた増加が生じ、出力電圧リップルも上昇するため、当然効率は低下し、信頼性も損なわれます。一般的に、インダクタの飽和電流定格はコア温度が上がるにつれて減少することに注意してください。もちろん、インダクタの飽和を防止するには正確な過電流保護が重要です。

8.1.1.3 出力コンデンサ

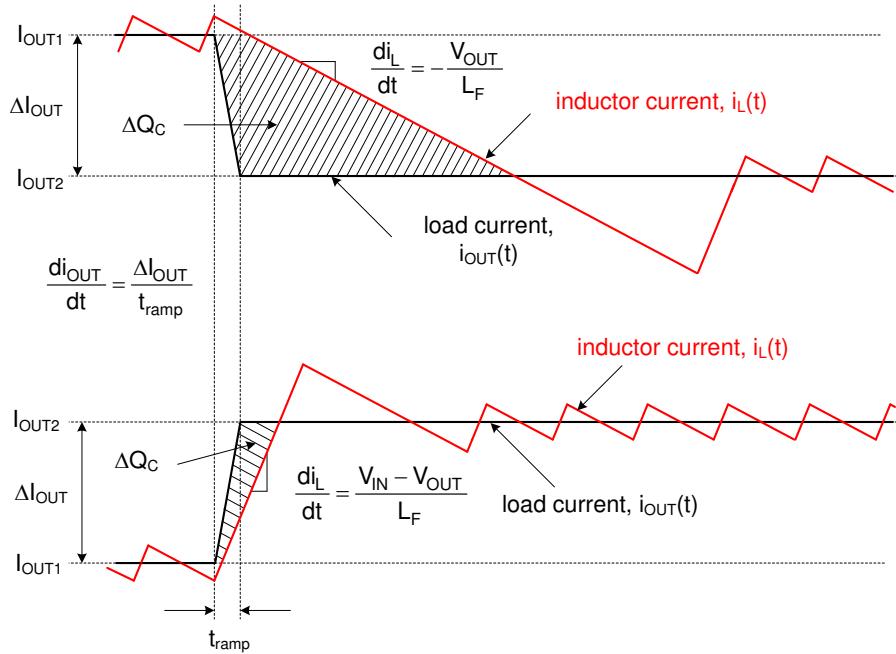
通常、出力コンデンサによるエネルギーの保存と制御ループ応答の組み合わせは、出力電圧の整合性を動的(過渡)許容誤差の仕様範囲内に保つために規定されます。電源管理アプリケーションで出力コンデンサを制限する通常の境界は、限られた中で利用可能なPCB面積、部品の取付面積とプロファイル、コストによって決まります。負荷ステップの振幅とスルーレートが増加するにつれて、コンデンサの寄生(等価直列抵抗(ESR)と等価直列インダクタンス(ESL))は、レギュレータの負荷過渡応答の形成において優先度がより高くなります。

出力コンデンサ C_{OUT} はインダクタのリップル電流をフィルタリングして、ステップ負荷過渡イベントのために電荷を蓄積します。一般的に、セラミックコンデンサの ESR は非常に低いため、出力電圧リップルとノイズスペイクは低減されますが、タンタルコンデンサとポリマー電解コンデンサは過渡負荷イベント用の比較的小さなフットプリントのものでも、バルク容量は非常に大きくなります。

ΔV_{OUT} で示されるピークツーピーク出力電圧リップルの静的仕様に基づき、式 13 で求められる値よりも高い出力容量を選択します。

$$C_{OUT} \geq \frac{\Delta I_L}{8 \cdot F_{SW} \sqrt{\Delta V_{OUT}^2 - (R_{ESR} \cdot \Delta I_L)^2}} \quad (13)$$

図 8-1 は、負荷の上昇遷移時と下降遷移時の関連電流の波形を概念的に表した図です。ここに示すように、インダクタ電流のスルーレートは、負荷過渡に伴い新しい負荷電流レベルに合うようにインダクタ電流が上昇する際の、大信号の制限を表しています。このスルーレートの制限により、出力コンデンサの電荷の損失はより大きくなります。そのため、負荷の上昇過渡時とその後はできる限り迅速に電荷を補充する必要があります。同様に、負荷の下降過渡時とその後は、インダクタ電流のスルーレートの制限により出力コンデンサの電荷が増大するため、できる限り早く放電する必要があります。

図 8-1. C_{OUT} の電荷の増大と損失を表す負荷過渡応答の図

低出力電圧 (3.3V など) への 12V 入力の標準的なレギュレータアプリケーションでは、負荷オフ時の過渡は出力電圧の過渡偏差という点でワーストケースになります。この電圧変換比では、定常状態のデューティサイクルは約 28% で、デューティサイクルがゼロに急減したときの大信号のインダクタ電流のスルーレートは約 $-V_{OUT}/L$ です。負荷オン過渡に比べると、インダクタ電流は必要なレベルに遷移するまでにかなり時間がかかります。出力コンデンサの電荷が過剰になると、出力電圧の深刻なオーバーシュートを引き起します。実際に、出力コンデンサからこの過剰な電荷をできるだけ早く放電するには、負荷ステップに従い、インダクタ電流が公称レベルを下回るようになります。このシナリオでは、出力容量が大きいほど有利に過剰な電荷を吸収して、電圧のオーバーシュートを最小限に抑えることができます。

このような負荷オフ過渡時に、出力電圧のオーバーシュート ($\Delta V_{OVERSHOOT}$ と表記され、出力電流の段階的な減少は Δi_{OUT} で与えられます) の動的要件に合わせるように、式 13 で出力容量を計算します。

$$C_{OUT} \geq \frac{L_O \cdot \Delta i_{OUT}^2}{(V_{OUT} + \Delta V_{OVERSHOOT})^2 - V_{OUT}^2} \quad (14)$$

コンデンサメーカーのデータシートには、ESR と ESL が、仕様として明記、またはインピーダンスと周波数曲線の関係によって暗黙的に記載されています。種類、サイズ、構造に応じて、電解コンデンサには $10m\Omega$ 以上の非常に大きな ESR と $10nH \sim 20nH$ の比較的高い ESL が内蔵されています。PCB パターンは寄生抵抗とインダクタンスにも寄与します。セラミック出力コンデンサはスイッチング周波数における ESR と ESL への寄与が小さく、容量性インピーダンスが優勢です。ただし、セラミックコンデンサのパッケージと電圧定格によっては、実効容量は印加された DC 電圧と動作温度で大幅に低下することがあります。

式 13 の ESR の項を無視すると、出力リップルの要件を満たすために必要な最小セラミック容量を簡単に見積もることができます。5V 出力の場合は、1210 のフットプリントで 4 つの $47\mu F$ 、10V、X7R コンデンサを選ぶのが一般的です。負荷オフ過渡のオーバーシュート要件を満たすために追加容量が必要かどうかを決定するには、式 14 を使用します。

セラミックコンデンサと電解コンデンサを混在させて実装することは、化学的性質が異なっていても性能補完が可能なコンデンサを並列に接続する理由になります。各コンデンサの周波数応答は累積的で、各コンデンサは適用可能な周波数範囲の特定の部分で必要な性能を発揮します。セラミックは、低 ESR と ESL で優れた中域周波数と高周波数のデカップリング特性を実現し、スイッチング周波数の出力リップルを最小限に抑えます。一方、大きなバルク容量を持つ電解デバイスは低周波数でエネルギー保存を行うため、低周波数負荷過渡要求に対応します。

8.1.1.4 入力コンデンサ

入力コンデンサは、スイッチング周波数の AC 電流により、降圧出力段への入力リップル電圧を制限する必要があります。テキサス・インスツルメンツは、幅広い温度範囲で低インピーダンスと高い RMS 電流定格を実現する X7S または X7R 誘電セラミックコンデンサの使用を推奨しています。スイッチングパワーループの寄生インダクタンスを最小化するためには、入力コンデンサをハイサイド MOSFET のドレイン側とローサイド MOSFET のソース側のできる限り近くに配置します。单一チャネル降圧レギュレータの入力コンデンサの RMS 電流を計算するには、式 15 を使用します。

$$I_{CIN,rms} = \sqrt{D \cdot \left(I_{OUT}^2 \cdot (1-D) + \frac{\Delta I_L^2}{12} \right)} \quad (15)$$

入力コンデンサの RMS 電流の最大値は $D = 0.5$ のときに発生します。この時点で、入力コンデンサの RMS 電流定格は出力電流の約半分になります。

入力電流の DC 成分は入力電圧源と入力セラミックコンデンサによる AC 成分から供給されることが理想です。インダクタリップル電流を無視すると、入力コンデンサは、D 間隔の間に振幅 ($I_{OUT} - I_{IN}$) の電流をソースし、1-D 間隔の間に I_{IN} をシンクします。そのため、入力コンデンサは、出力電流に等しいピークツーピーク振幅の方形波電流を導通します。この結果、AC リップル電圧の合成容量成分は三角波になります。ESR 関連のリップル成分だけでなく、ピークツーピークリップル電圧の振幅を計算するには、式 16 を使用します。

$$\Delta V_{IN} = \frac{I_{OUT} \cdot D \cdot (1-D)}{F_{SW} \cdot C_{IN}} + I_{OUT} \cdot R_{ESR} \quad (16)$$

ΔV_{IN} の入力電圧リップル仕様に基づいて、特定の負荷電流に必要な入力容量を計算するには、式 17 を使用します。

$$C_{IN} \geq \frac{D \cdot (1-D) \cdot I_{OUT}}{F_{SW} \cdot (\Delta V_{IN} - R_{ESR} \cdot I_{OUT})} \quad (17)$$

低 ESR のセラミックコンデンサは、より大きな値のバルク容量と並列に配置することで、レギュレータとダンピングの入力フィルタリングを最適化し、Q の高いセラミックと共振する入力寄生インダクタンスの影響を低減することができます。スイッチング周波数と負荷電流レベルにより異なりますが、通常 12V バッテリの車載用アプリケーションには、4 つの 10μF、50V、X7R のセラミックデカップリングコンデンサで十分です。セクション 8.1.1.5 で概説されているように、ディレーティングされたセラミック値の 3 ~ 4 倍に等しい入力バルクコンデンサを選択し、バルクコンデンサが全動作温度範囲で定格になるようにします。

もちろん、180°の位相差のあるインターリーブ スイッチング付き 2 チャネル降圧レギュレータは、入力リップル電流をキャンセルして、入力コンデンサの電流ストレスを低減することができます。上記の式は、1 つのチャネルがディスエーブルで他のチャネルが負荷状態のときに、計算結果が有効になります。

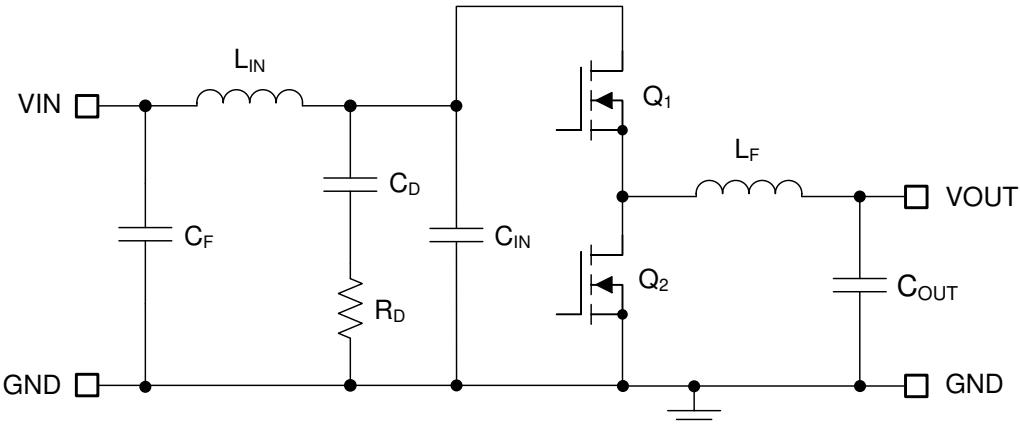
8.1.1.5 EMI フィルタ

スイッチングレギュレータは最小入力電圧および全負荷において最小となる負の入力インピーダンス特性を示します。LC フィルタの減衰不足は、フィルタの共振周波数に対して出力インピーダンスが高いことを示しています。安定性のため、LC 部品の特性インピーダンスで近似されるフィルタの出力インピーダンスは、レギュレータの入力インピーダンスの絶対値よりも小さくする必要があります。

$$Z_{IN} = \left| -\frac{V_{IN(min)}^2}{P_{IN}} \right| \quad (18)$$

EMI フィルタの設計手順は以下のとおりです。

- EMI フィルタに対して、スイッチング周波数で要求される減衰を計算します。ここで、 C_{IN} はスイッチングレギュレータの入力における既存の容量を表しています。
- 通常、入力フィルタインダクタ L_{IN} は $1\mu H \sim 6.8\mu H$ の間で選択されますが、大電流設計での損失を低減するためには、さらに小さい値にすることも可能です。
- 入力フィルタコンデンサ C_F を計算します。

図 8-2. π 段 EMI フィルタ付き降圧レギュレータ

入力電流波形のフーリエ級数から最初に高調波電流を計算し、その値に入力インピーダンス（インピーダンスは既存の入力コンデンサ C_{IN} で定義）を乗算します。式 19 は必要な減衰を求める式を示します。

$$Attn = 20 \log \left(\frac{I_{L(Peak)}}{\pi^2 \cdot F_{SW} \cdot C_{IN}} \cdot \sin(\pi \cdot D_{MAX}) \cdot \frac{1}{1\mu V} \right) - V_{MAX} \quad (19)$$

ここで、

- V_{MAX} は、適用可能な伝導 EMI仕様に許容される $dB\mu V$ ノイズレベルです (CISPR 25 クラス 5 など)
- C_{IN} は、降圧レギュレータの既存の入力容量です
- D_{MAX} は最大動作デューティサイクルです (最小入力電圧時)
- $I_{L(Peak)}$ はピークインダクタ電流です

フィルタ設計の目的のため、入力時の電流を方形波でモデリングすることができます。式 20 から EMI フィルタ容量 C_F を決定します。

$$C_F = \frac{1}{L_{IN}} \left(\frac{10^{40}}{2\pi \cdot F_{SW}} \right)^2 \quad (20)$$

図 8-2 に示すようにスイッチングレギュレータに入力フィルタを追加すると、制御から出力への伝達関数が変更されます。フィルタの出力インピーダンスは、入力フィルタが降圧レギュレータのループゲインに大きな影響を与えないように、十分低くする必要があります。インピーダンスは、フィルタの共振周波数でピークになります。フィルタの共振周波数を計算するには、式 21 を使用します。

$$f_{res} = \frac{1}{2\pi \cdot \sqrt{L_{IN} \cdot C_F}} \quad (21)$$

図 8-2 の R_D の目的は、共振周波数におけるフィルタのピーク出力インピーダンスを低減することです。コンデンサ C_D は、入力電圧の DC 成分をブロックして、 R_D での過剰な電力消費を防止します。コンデンサ C_D は、入力コンデンサ C_{IN} より大きな容量で、共振周波数において R_D よりも低インピーダンスの必要があります。この要件により、 C_{IN} がメインフィルタのカットオフ周波数に干渉することを防ぎます。共振周波数におけるフィルタの出力インピーダンスが高い場合は、ダンピングを追加する必要があります (L_{IN} と C_{IN} で形成されるフィルタの Q 値が大きすぎる場合)。式 22 に示されている値での並列ダンピングには、電解コンデンサ C_D を使用してください。

$$C_D \geq 4 \cdot C_{IN} \quad (22)$$

式 23 を使用して、ダンピング抵抗 R_D を選択します。

$$R_D = \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (23)$$

8.1.2 エラー アンプと補償

図 8-3 に、電圧ループに対して相互コンダクタンスのエラーアンプ (EA) を使用した type-II 補償器を示します。式 24 に示すように、EA の開ループゲインの支配極は、EA 出力抵抗 R_{O-EA} と、実効帯域幅制限容量 C_{BW} で設定します。

$$G_{EA(openloop)}(s) = -\frac{g_m \cdot R_{O-EA}}{1 + s \cdot R_{O-EA} \cdot C_{BW}} \quad (24)$$

式 24 は EA の寄生高周波数ポールは無視します。出力電圧から COMP ノードまでの補償器の伝達関数は、(内部または外部の) フィードバック抵抗ネットワークからのゲインの寄与を含めて 式 25 を使用して計算します

$$G_c(s) = \frac{\hat{v}_c(s)}{\hat{v}_{out}(s)} = -\frac{V_{REF}}{V_{OUT}} \cdot \frac{g_m \cdot R_{O-EA} \cdot \left(1 + \frac{s}{\omega_{z1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \cdot \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (25)$$

ここで、

- V_{REF} は、0.8V の内部帰還電圧リファレンスです
- g_m は、600 μ S の EA 相互コンダクタンスです
- R_{O-EA} は、74M Ω のエラーアンプ出力抵抗です

$$\omega_{z1} = \frac{1}{R_{COMP} \cdot C_{COMP}} \quad (26)$$

$$\omega_{p1} = \frac{1}{R_{O-EA} \cdot (C_{COMP} + C_{HF} + C_{BW})} \approx \frac{1}{R_{O-EA} \cdot C_{COMP}} \quad (27)$$

$$\omega_{p2} = \frac{1}{R_{COMP} \cdot (C_{COMP} \parallel (C_{HF} + C_{BW}))} \approx \frac{1}{R_{COMP} \cdot C_{HF}} \quad (28)$$

EA の補償部品は、原点近くの極、ゼロ、高周波極を生成します。通常、 $R_{COMP} \ll R_{O-EA}$ かつ $C_{COMP} \gg C_{BW}$ かつ C_{HF} のため、近似値が有効です。

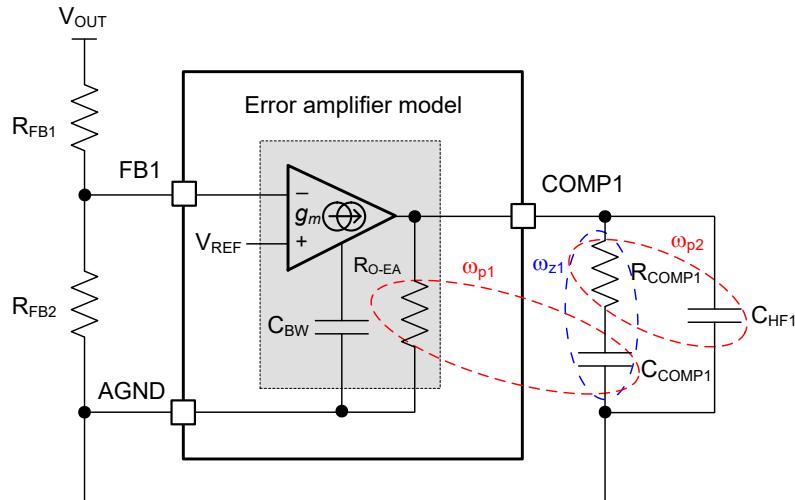


図 8-3. 電圧ループエラーアンプと補償ネットワーク

8.2 代表的なアプリケーション

注

ステップバイステップの設計手順、回路図、部品表、PCB ファイル、シミュレーション、LM25137-Q1 を電源として実装した場合のテスト結果については、[TI Designs](#) のリファレンスデザインライブラリを参照してください。

8.2.1 デザイン 1 - 12V 車載バッテリ アプリケーション向けのデュアル 5V および 3.3V、20A 降圧レギュレータ

図 8-4 に、各出力の出力電圧が 5V と 3.3V に設定され、定格負荷電流が 20A のデュアル出力同期整流降圧レギュレータの回路図を示します。この例では、6.5V ~ 36V の範囲内の公称入力電圧 13.5V に基づき、半負荷効率と全負荷効率のターゲットはそれぞれ、96% と 94% です。スイッチング周波数は、抵抗 R_{RT} により 440kHz に設定されます。5V 出力により、IC バイアス電力の損失を低減し、効率を向上させます。

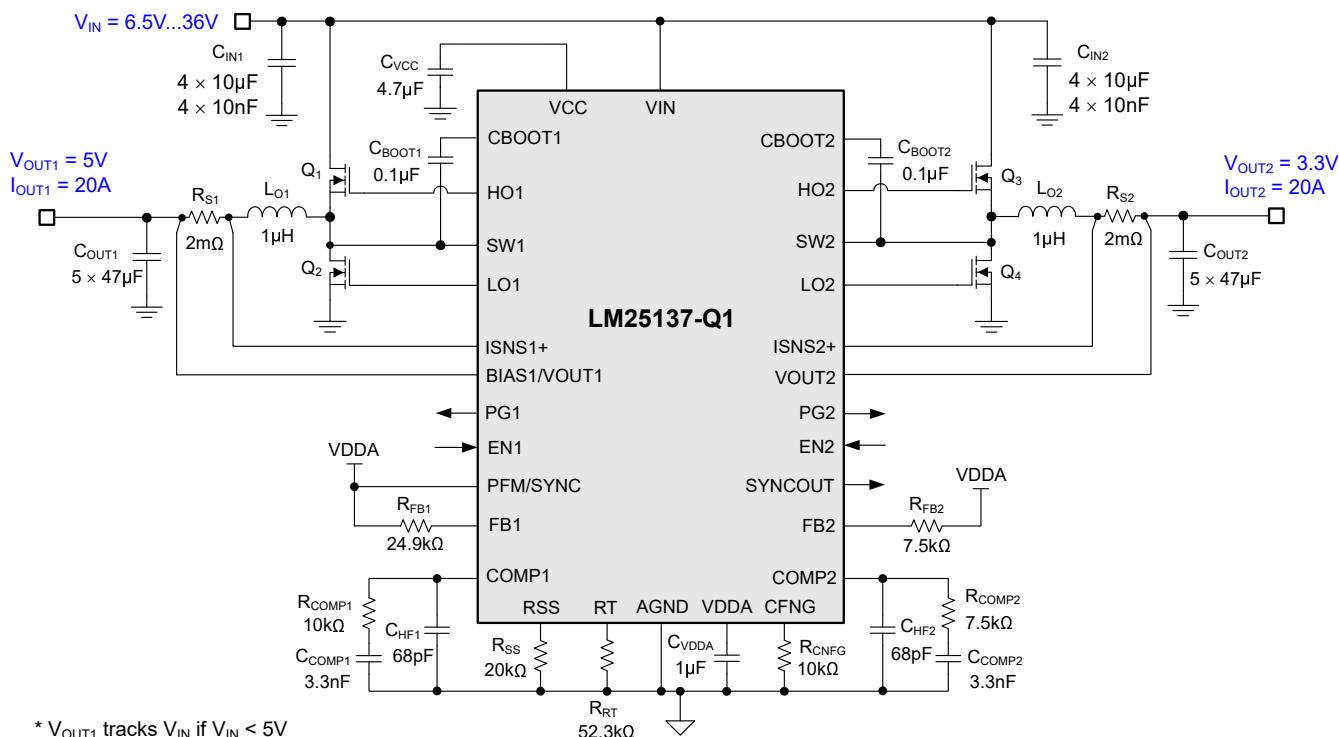


図 8-4. アプリケーション回路 1、LM25137-Q1 降圧レギュレータを 440kHz で使用

注

これ以降の回路例では、いくつかのアプリケーションにおける LM25137-Q1 コントローラを紹介します。入力電源のソースインピーダンスによっては、特に低入力電圧と大電力の動作時条件における安定性を確保するために、入力に電解コンデンサを接続します。詳細については、[セクション 8.3](#) を参照してください。

8.2.1.1 設計要件

表 8-2 に、この回路例の対象となる入力、出力、性能パラメータを示します。

表 8-2. 設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	6.5V ~ 36V、公称 13.5V
最小過渡入力電圧 (コールド クランク)	4.5V
最大過渡入力電圧 (負荷ダンプ)	36V
出力電圧	5V、3.3V
出力電力 (EDC) ⁽¹⁾	20A
出力電力 (TDC) ⁽¹⁾	15A
スイッチング周波数	440kHz
5V、15A 時のターゲット効率	96%
3.3V、15A 時のターゲット効率	94.5%
出力電圧レギュレーション	±1%
ループクロスオーバー周波数	60kHz
位相マージン	> 45°
無負荷スリープ電流、チャネル 2 はディスエーブル	20µA 未満
シャットダウン電流	4µA

(1) EDC と TDC は、それぞれ電気設計電流と熱設計電流を表します。

抵抗 R_{RT} は、スイッチング周波数を 440kHz に設定します。制御ループ性能については、この例では、ターゲットループクロスオーバー周波数がスイッチング周波数 60kHz の 10% ~ 15% の範囲に設定され、ターゲット位相マージンは 45° 以上になります。20kΩ の抵抗を RSS に接続すると、出力電圧のソフトスタート時間が 4.6ms に設定されます。

表 8-3 は、選択した降圧レギュレータのパワートレイン部品を示します。ほとんどの部品は複数のベンダから入手可能です。セクション 8.1.1.1 は、導通損失とスイッチング電力損失を最小限に抑えるためのパワー MOSFET の選択を示しています。このアプリケーション回路では、40V のロジックレベル MOSFET、低 DCR の金属合金降圧インダクタ、低 ESL シャント、セラミック入出力コンデンサを使用しています。すべて AEC 認定済みです。

表 8-3. アプリケーション回路 1 の部品表

リファレンス指定子	数量	仕様 ⁽¹⁾	製造元	部品番号
C_{IN1}, C_{IN2}	8	10µF、50V、X7R、1210、セラミック、AEC-Q200	TDK	CNA6P1X7R1H106K
		10µF、50V、X7S、1210、セラミック、AEC-Q200	Murata (村田製作所)	GCM32EC71H106K
			TDK	CGA6P3X7S1H106K
C_{OUT1}, C_{OUT2}	8	47µF、10V、X7S、1210、セラミック、AEC-Q200	TDK	CNA6P1X7S1A476M
			Murata (村田製作所)	GCM32EC71A476K
L_{O1}, L_{O2}	2	1µH、2.3mΩ、37A、10.85 × 10 × 5.2mm、AEC-Q200	Cyntec	VCHA105D-1R0MS6
		1µH、2.3mΩ、37A、11 × 10 × 5.1mm、AEC-Q200	Bourns	SRP1050WA-1R0M
		1µH、2.1mΩ、24A、10.8 × 10 × 5mm、AEC-Q200	イートン	HCM1A1105V2-1R0-R
		1µH、2.7mΩ、33.8A、10.85 × 10 × 3.8mm、AEC-Q200	Würth Electronik	784373680010
		1µH、2.4mΩ、36.6A、10.5 × 10 × 6.5mm、AEC-Q200	TDK	SPM10065VT-1R0M-D
Q_1, Q_3	2	40V、3.6mΩ、9nC、SON 5 × 6、AEC-Q101	Infineon	IAUCN04S7L028ATMA1
Q_2, Q_4	2	40V、2.4mΩ、15nC、SON 5 × 6、AEC-Q101	Infineon	IAUCN04S7L019ATMA1
R_{S1}, R_{S2}	2	シャント、2mΩ ±2%、±100ppm/°C、1225、3W、AEC-Q200	Susumu	KRL6432E-M-R002-G

表 8-3. アプリケーション回路 1 の部品表 (続き)

リファレンス指定子	数量	仕様 ⁽¹⁾	製造元	部品番号
U ₁	1	LM25137-Q1 42V デュアル出力降圧コントローラ、AEC-Q100	テキサス・インスツルメンツ	LM25137QRHARQ1

(1) 「サードパーティ製品に関する免責事項」をご覧ください。

8.2.1.2 詳細な設計手順

8.2.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM25137-Q1 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2.1.2.2 Excel クイックスタート ツールによるカスタム設計

LM25137-Q1 製品フォルダからダウンロード可能な LM25137-Q1 クイックスタートカリキュレータを使用して、レギュレータ仕様に基づき部品を選択します。

8.2.1.2.3 インダクタの計算

- 式 29 を使用して、公称入力電圧における約 30% のインダクタのピークツーピークリップル電流に基づき、各チャネルに必要な降圧インダクタンスを計算します。

$$\begin{aligned} L_{O1} &= \frac{V_{OUT1}}{\Delta I_{LO1} \cdot F_{SW}} \cdot \left(1 - \frac{V_{OUT1}}{V_{IN(nom)}} \right) = \frac{5V}{6A \cdot 440kHz} \cdot \left(1 - \frac{5V}{12V} \right) = 1.1\mu H \\ L_{O2} &= \frac{V_{OUT2}}{\Delta I_{LO2} \cdot F_{SW}} \cdot \left(1 - \frac{V_{OUT2}}{V_{IN(nom)}} \right) = \frac{3.3V}{6A \cdot 440kHz} \cdot \left(1 - \frac{3.3V}{12V} \right) = 0.9\mu H \end{aligned} \quad (29)$$

- どちらのチャネルにも、インダクタの標準値 $1\mu H$ を選択します。最大定常状態の入力電圧におけるピークインダクタ電流を計算するには、式 30 を使用します。ピーク電流モード制御に対して、デューティサイクルが 50% より大きいと分数調波振動が発生します。設計を簡略化するため、LM25137-Q1 にはスイッチング周波数に比例した内部スロープ補償ランプが内蔵されています。このスイッチング周波数は電流センス信号に追加され、分数調波振動が発生する性質を弱めます。

$$\begin{aligned} I_{LO1(PK)} &= I_{OUT1} + \frac{\Delta I_{LO1}}{2} = I_{OUT1} + \frac{V_{OUT1}}{2 \cdot L_{O1} \cdot F_{SW}} \cdot \left(1 - \frac{V_{OUT1}}{V_{IN(max)}}\right) = 20A + \frac{5V}{2 \cdot 1\mu H \cdot 440kHz} \cdot \left(1 - \frac{5V}{36V}\right) = 24.9A \\ I_{LO2(PK)} &= I_{OUT2} + \frac{\Delta I_{LO2}}{2} = I_{OUT2} + \frac{V_{OUT2}}{2 \cdot L_{O2} \cdot F_{SW}} \cdot \left(1 - \frac{V_{OUT2}}{V_{IN(max)}}\right) = 20A + \frac{3.3V}{2 \cdot 1\mu H \cdot 440kHz} \cdot \left(1 - \frac{3.3V}{36V}\right) = 23.4A \end{aligned} \quad (30)$$

3. 式 29 に基づき、式 31 を使用してインダクタンスのクロスチェックを行い、インダクタ電流の下り勾配の 1 倍の理想値にランプするスロープ補償に設定します。

$$\begin{aligned} L_{O1,sc} &= \frac{V_{OUT}[V] \cdot R_s[m\Omega]}{22 \cdot F_{SW}[MHz]} = \frac{5V \cdot 2m\Omega}{22 \cdot 0.44MHz} = 1.03\mu H \\ L_{O2,sc} &= \frac{V_{OUT}[V] \cdot R_s[m\Omega]}{22 \cdot F_{SW}[MHz]} = \frac{3.3V \cdot 2m\Omega}{22 \cdot 0.44MHz} = 0.68\mu H \end{aligned} \quad (31)$$

8.2.1.2.4 シャント抵抗

1. 全負荷時のピークインダクタ電流より少なくとも 20% 以上高い最大ピーク電流能力に基づいてシャント抵抗を計算し、スタートアップ中と負荷ステップでの過渡時に十分なマージンを提供します。式 32 を使用してシャント抵抗を計算します。

$$\begin{aligned} R_{S1} &= \frac{V_{CS(th)}}{1.2 \cdot I_{LO1(PK)}} = \frac{60mV}{1.2 \cdot 24.9A} = 2.01m\Omega \\ R_{S2} &= \frac{V_{CS(th)}}{1.2 \cdot I_{LO2(PK)}} = \frac{60mV}{1.2 \cdot 23.4A} = 2.14m\Omega \end{aligned} \quad (32)$$

ここで、

- $V_{CS(th)}$ は、60mV の電流制限スレッショルドです。
2. 両方のシャントについて、標準抵抗値 $2m\Omega$ を選択します。広範なアスペクト比の終端設計による 1225 フットプリント部品により、3W の電力定格、1nH 未満の寄生インダクタンス (ESL)、コンパクトな PCB レイアウトを実現しています。「レイアウトのガイドライン」内のレイアウトのガイドラインに従い、ノイズと DC 誤差によって [ISNS1+、VOUT1] と [ISNS2+、VOUT2] の各ピンで差動的に測定された電流センス電圧が誤出力とならないように注意してください。
3. インダクタの近くにシャント抵抗を配置します。
4. ケルビンセンス接続を使用し、シャントから LM25137-Q1 の該当ピンまでの差動を取りるようにセンスラインを配線します。
5. 電流センスから出力までの伝搬遅延 (電流制限コンパレータ、内部ロジックと電力 MOSFET ゲートドライバが要因) により、ピーク電流は計算した電流制限スレッショルドを超えて増加します。合計伝搬遅延 $t_{CS-DELAY}$ が 70ns の場合は、式 33 を使用して、出力が短絡した状態でのワーストケースのピークインダクタ電流を計算してください。

$$I_{LO1,pk-sc} = I_{LO2,pk-sc} = \frac{V_{CS(th)}}{R_{S1}} + \frac{V_{IN(max)} \cdot t_{CS-DELAY}}{L_{O1}} = \frac{60mV}{2m\Omega} + \frac{36V \cdot 70ns}{1\mu H} = 32.5A \quad (33)$$

6. この結果に基づき、全動作温度範囲で飽和電流が 33A より大きくなるインダクタを各チャネルごとに選択します。

8.2.1.2.5 セラミック出力コンデンサ

1. 式 34 を使用して、10A の負荷オフ遷移中の出力電圧のオーバーシュートを管理するために必要な出力容量を見積ります。このときの前提として、負荷遷移偏差仕様は 100mV です。

$$\begin{aligned} C_{\text{OUT1}} &\geq \frac{L_{\text{O1}} \cdot \Delta I_{\text{OUT1}}^2}{(V_{\text{OUT1}} + \Delta V_{\text{OVERSHOOT1}})^2 - V_{\text{OUT1}}^2} = \frac{1 \mu\text{H} \cdot (10 \text{A})^2}{(5 \text{V} + 100 \text{mV})^2 - (5 \text{V})^2} = 99 \mu\text{F} \\ C_{\text{OUT2}} &\geq \frac{L_{\text{O2}} \cdot \Delta I_{\text{OUT2}}^2}{(V_{\text{OUT2}} + \Delta V_{\text{OVERSHOOT2}})^2 - V_{\text{OUT2}}^2} = \frac{1 \mu\text{H} \cdot (10 \text{A})^2}{(3.3 \text{V} + 100 \text{mV})^2 - (3.3 \text{V})^2} = 149 \mu\text{F} \end{aligned} \quad (34)$$

2. 印加された電圧で実効容量が大幅に減少するセラミックコンデンサの電圧係数については、各チャネルに対して 4 つの $47\mu\text{F}$ 、 10V 、 $X7R$ 、 1210 セラミック出力コンデンサを選択します。コンデンサのベンダの設計ツールによると、これらのコンデンサはそれぞれ 5V と 3.3V の DC 電圧では実質的に $32\mu\text{F}$ と $41\mu\text{F}$ です。
3. 式 35 を使用して、公称入力電圧時におけるチャネル 1 のピーカツーピーク出力電圧リップルを見積ります。

$$\Delta V_{\text{OUT1}} = \Delta I_{\text{LO1}} \cdot \sqrt{\frac{1}{(8 \cdot F_{\text{SW}} \cdot C_{\text{OUT1}})^2} + R_{\text{ESR}}^2} = 6.8 \text{A} \cdot \sqrt{\frac{1}{(8 \cdot 440 \text{kHz} \cdot 128 \mu\text{F})^2} + (1 \text{m}\Omega)^2} \approx 16 \text{mV} \quad (35)$$

ここで、

- R_{ESR} は、出力コンデンサの実効等価直列抵抗 (ESR) です。
- $128\mu\text{F}$ は、 5V での合計実効 (ディレーティング) セラミック出力容量です。

4. 式 36 を使用して、最大入力電圧における出力コンデンサの RMS リップル電流を計算します。最大入力電圧での出力コンデンサの RMS リップル電流がコンデンサのリップル電流定格内であることを確認してください。

$$\begin{aligned} I_{\text{CO1,RMS}} &= \frac{\Delta I_{\text{LO1}}}{\sqrt{12}} = \frac{10 \text{A}}{\sqrt{12}} = 2.9 \text{A} \\ I_{\text{CO2,RMS}} &= \frac{\Delta I_{\text{LO2}}}{\sqrt{12}} = \frac{7 \text{A}}{\sqrt{12}} = 2 \text{A} \end{aligned} \quad (36)$$

8.2.1.2.6 セラミック入力コンデンサ

一般的に、スイッチング周波数における電源入力のソースインピーダンスは比較的高くなります。入力リップル電圧を制限するには、高品質な入力コンデンサが必要です。前述のように、デュアルチャネルインターリープ動作では入力リップルの振幅が大幅に低減します。一般的に、リップル電流は、スイッチング周波数におけるコンデンサの相対インピーダンスに基づいて、入力コンデンサ間で分割されます。

1. 入力コンデンサを選択する場合は、十分な電圧と RMS リップル電流定格を持つものにしてください。
2. 2 チャネル降圧レギュレータの入力リップルのワーストケースは一般に、1 つが全負荷で動作し、もう片方がディセブルか無負荷で動作する場合に対応しています。ワーストケースのデューティサイクル動作ポイントが 50% と想定し、式 37 を使用して、入力コンデンサの RMS リップル電流を計算します。

$$I_{\text{CIN,RMS}} = I_{\text{OUT1}} \cdot \sqrt{D \cdot (1-D)} = 20 \text{A} \cdot \sqrt{0.5 \cdot (1-0.5)} = 10 \text{A} \quad (37)$$

3. 式 38 を使用して、必要な入力容量を求めます。

$$C_{\text{IN}} \geq \frac{D \cdot (1-D) \cdot I_{\text{OUT1}}}{F_{\text{SW}} \cdot (\Delta V_{\text{IN}} - R_{\text{ESR}} \cdot I_{\text{OUT1}})} = \frac{0.5 \cdot (1-0.5) \cdot 20 \text{A}}{440 \text{kHz} \cdot (270 \text{mV} - 1 \text{m}\Omega \cdot 20 \text{A})} = 45 \mu\text{F} \quad (38)$$

ここで、

- ΔV_{IN} は、入力ピーカツーピークリップル電圧の仕様です。
- R_{ESR} は、入力コンデンサの ESR です。

4. セラミックコンデンサの電圧係数から、各チャネルに対して、4つの $10\mu\text{F}$ 、50V、X7R、1210 セラミック入力コンデンサを選択します。これらのコンデンサは、関連するパワー MOSFET の近くに配置してください。
5. 4つの 10nF 、50V、X7R、0603 セラミックコンデンサを各ハイサイド MOSFET の近くに配置して、MOSFET のスイッチング遷移時に di/dt の大きい電流を供給します。このコンデンサにより、高い自己共振周波数 (SRF) と 100MHz 以上での低実効インピーダンスが実現します。この結果、電源ループの寄生インダクタンスはさらに低下するため、低減された EMI シグネチャのスイッチノード電圧のオーバーシュートとリンギングは最小限に抑えられます。詳細な内容については、図 8-25 と 図 8-27 を参照してください。

8.2.1.2.7 帰還抵抗抵抗

それぞれの FB ピンを $24.9\text{k}\Omega$ 抵抗と $7.5\text{k}\Omega$ 抵抗経由で VDDA に接続することで、固定 5V と 3.3V の電圧設定ポイントにデュアル出力を構成します。

または LM25137-Q1 の 0.8V 帰還リファレンスに基づき、5V および 3.3V 出力電圧設定ポイントに対して、帰還抵抗分圧器の値を使用します。下側の抵抗の値が $15\text{k}\Omega$ であると仮定して、式 39 を使用し上側の帰還抵抗を計算します。

$$\begin{aligned} R_{FB1} &= R_{FB2} \cdot \left(\frac{V_{OUT1}}{V_{REF}} - 1 \right) = 15\text{k}\Omega \cdot \left(\frac{5\text{V}}{0.8\text{V}} - 1 \right) = 78.75\text{k}\Omega \\ R_{FB3} &= R_{FB4} \cdot \left(\frac{V_{OUT1}}{V_{REF}} - 1 \right) = 15\text{k}\Omega \cdot \left(\frac{3.3\text{V}}{0.8\text{V}} - 1 \right) = 46.88\text{k}\Omega \end{aligned} \quad (39)$$

式 40 により、 $78.7\text{k}\Omega$ 、 $47\text{k}\Omega$ 、 $15\text{k}\Omega$ の標準的な E192 の 0.5% 抵抗値を使用する際に得られる、出力電圧設定ポイントを計算します。

$$\begin{aligned} V_{OUT1} &= V_{REF} \cdot \left(1 + \frac{R_{FB2}}{R_{FB1}} \right) = 0.8\text{V} \cdot \left(1 + \frac{78.7\text{k}\Omega}{15\text{k}\Omega} \right) = 4.997\text{V} \\ V_{OUT2} &= V_{REF} \cdot \left(1 + \frac{R_{FB3}}{R_{FB4}} \right) = 0.8\text{V} \cdot \left(1 + \frac{47\text{k}\Omega}{15\text{k}\Omega} \right) = 3.306\text{V} \end{aligned} \quad (40)$$

固定出力オプションとは対照的に、適切な直列抵抗（標準値 50Ω ）で帰還抵抗分圧器を取り付けると、安定性の特性評価に必要なループゲイン特性を容易に測定できます。

8.2.1.2.8 入力電圧 UVLO 抵抗

図 7-2 入力ターンオンおよびターンオフ電圧がそれぞれ 6.5V と 4.5V に指定されている場合、式 41 および 式 42 を使用して、 R_{UV1} と R_{UV2} と呼ばれる入力 UVLO 分圧抵抗を計算します。大きい分圧器抵抗を使用せずに実効電圧ヒステリシスを増やすため、該当する EN ピンと直列に R_{UV3} と呼ばれる $10\text{k}\Omega$ 抵抗を使用します。

$$\begin{aligned} R_{UV2} &= \left[\frac{V_{EN(off)} - (V_{IN(off)} / V_{IN(on)}) \cdot V_{EN(on)}}{I_{EN(hys)}} - R_{UV3} \right] \cdot \frac{V_{IN(on)}}{V_{IN(on)} - V_{EN(on)}} \\ &= \left[\frac{0.95\text{V} - (4.5\text{V}/6.5\text{V}) \cdot 1\text{V}}{10\mu\text{A}} - 10\text{k}\Omega \right] \cdot \frac{6.5\text{V}}{6.5\text{V} - 1\text{V}} = 18.6\text{k}\Omega \end{aligned} \quad (41)$$

$$R_{UV1} = R_{UV2} \cdot \left(\frac{V_{IN(on)}}{V_{EN(on)}} - 1 \right) = 19.1\text{k}\Omega \cdot \left(\frac{6.5\text{V}}{1\text{V}} - 1 \right) = 105\text{k}\Omega \quad (42)$$

105kΩ と 19.1kΩ の標準的な 1% 抵抗値を選択し、式 43 を使用して、実際の入力電圧ターンオンおよびターンオフ設定ポイントを計算します。

$$\begin{aligned}
V_{IN(on)} &= V_{EN(on)} \cdot \left(1 + \frac{R_{UV1}}{R_{UV2}}\right) = 1V \cdot \left(1 + \frac{105k\Omega}{19.1k\Omega}\right) = 6.5V \\
V_{IN(off)} &= \left[V_{EN(off)} - I_{EN(hys)} \cdot (R_{UV3} + R_{UV1} \| R_{UV2}) \right] \cdot \left(1 + \frac{R_{UV1}}{R_{UV2}}\right) \\
&= \left[0.95V - 10\mu A \cdot (10k\Omega + 105k\Omega \| 19.1k\Omega) \right] \cdot \left(1 + \frac{105k\Omega}{19.1k\Omega}\right) = 4.5V
\end{aligned} \tag{43}$$

8.2.1.2.9 準備部品

以下の手順に従って、安定した制御ループの補償部品を選択します。

1. 60kHz に規定されたターゲットループクロスオーバー周波数 f_C に基づき、実効出力容量を $128\mu F$ と仮定して、式 44 を使用して R_{COMP1} を計算します。10kΩ と等しい R_{COMP1} を選択します。

$$R_{COMP1} = 2 \cdot \pi \cdot f_C \cdot \frac{V_{OUT}}{V_{REF}} \cdot \frac{R_s \cdot G_{CS}}{g_m} \cdot C_{OUT} = 2 \cdot \pi \cdot 60\text{kHz} \cdot \frac{5V}{0.8V} \cdot \frac{2m\Omega \cdot 10}{600\mu S} \cdot 128\mu F = 10k\Omega \tag{44}$$

2. C_{COMP1} を計算して、(1) クロスオーバー周波数の 1/10 または (2) 負荷ポールのうち、大きいほうにゼロを作成します。 C_{COMP1} のコンデンサの値は $3.3nF$ を選択します。一般的に、負荷過渡後の出力電圧の高速セトリング時間を維持するために、 R_{COMP1} および C_{COMP1} の時定数を約 $25\mu s$ に設定します。

$$C_{COMP1} = \frac{10}{2 \cdot \pi \cdot f_C \cdot R_{COMP1}} = \frac{10}{2 \cdot \pi \cdot 60\text{kHz} \cdot 10 k\Omega} = 2.6nF \tag{45}$$

3. C_{HF1} を計算して、ESR ゼロ周波数の低い方、または半分のスイッチング周波数にポールを作成します（高周波ノイズを減衰させるため）。 C_{HF1} のコンデンサの値は $68pF$ を選択します。

$$C_{HF1} = \frac{1}{2 \cdot \pi \cdot \frac{f_{SW}}{2} \cdot R_{COMP1}} = \frac{1}{2 \cdot \pi \cdot 220\text{kHz} \cdot 10 k\Omega} = 72pF \tag{46}$$

注

高い R_{COMP} と低い C_{COMP} 値で高ループクロスオーバー周波数を設定して、ドロップアウト状態の動作から復帰するときの大信号応答を改善します。

8.2.1.3 アプリケーション曲線

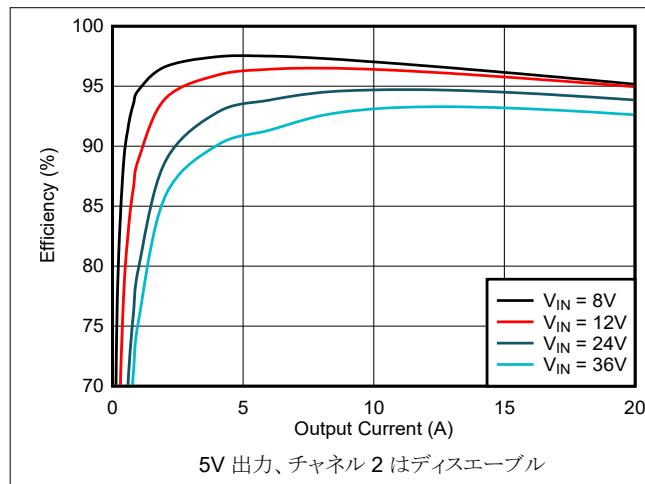


図 8-5. 効率と I_{OUT1} との関係

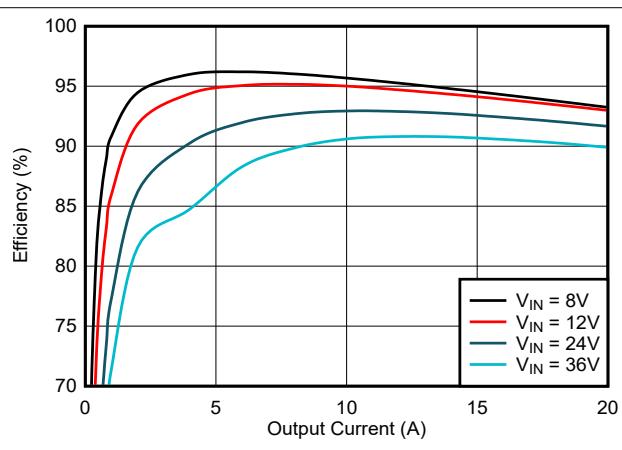


図 8-6. 効率と I_{OUT2} との関係

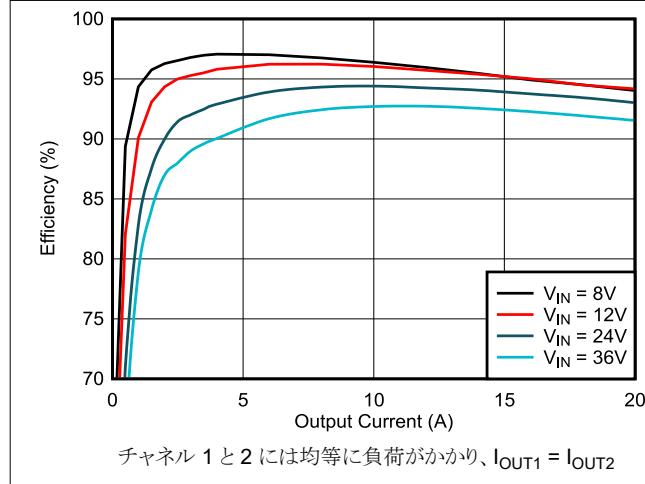


図 8-7. 効率と I_{OUT} との関係

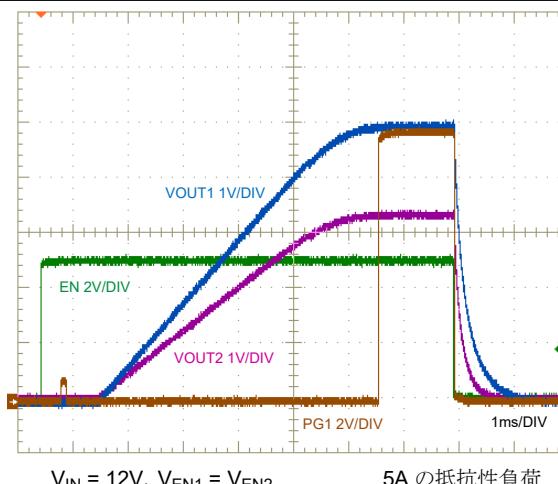


図 8-8. オンとオフ特性をイネーブルにする

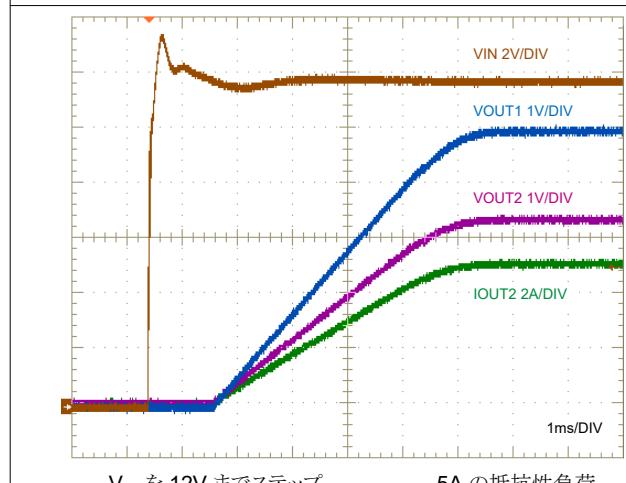


図 8-9. Ch1 および Ch2 のスタートアップ特性

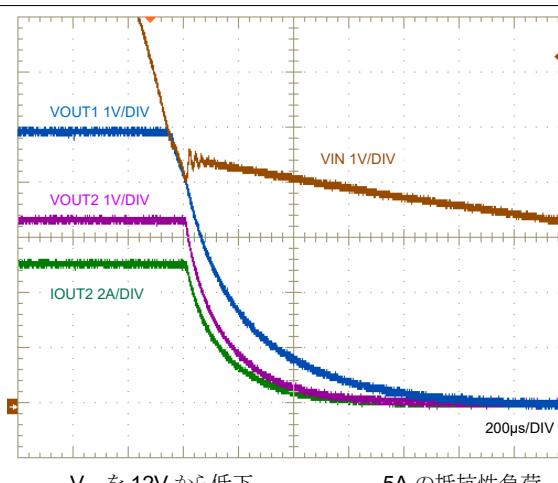


図 8-10. Ch1 と Ch2 のシャットダウン特性

8.2.1.3 アプリケーション曲線(続き)

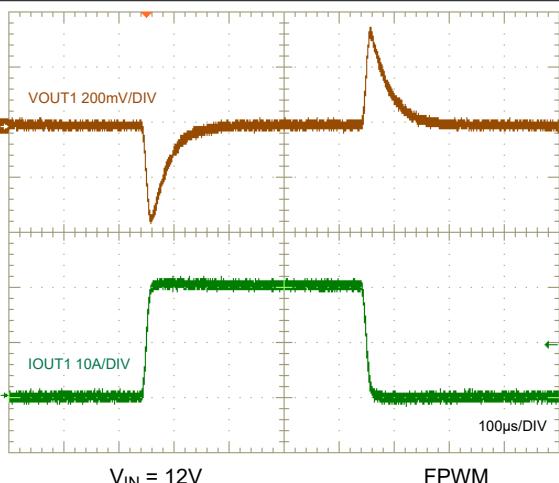


図 8-11. 負荷過渡、5V 出力、0A ~ 20A

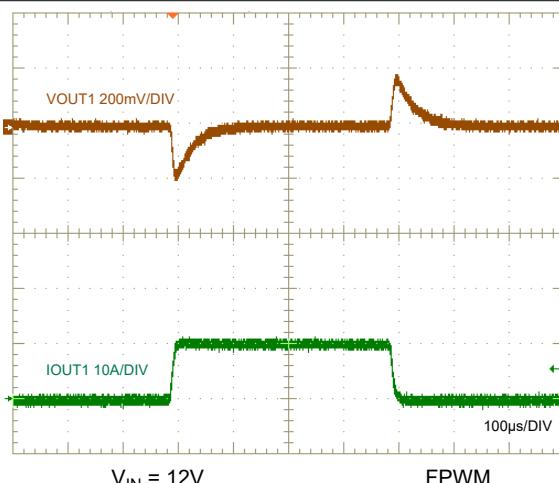


図 8-12. 負荷過渡、5V 出力、0A ~ 10A

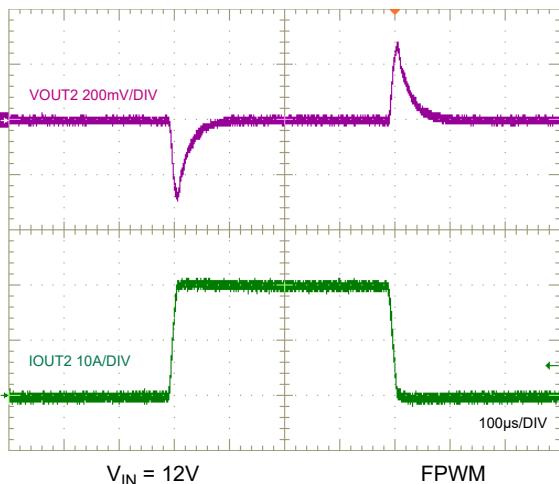


図 8-13. 負荷過渡、3.3V 出力、0A ~ 20A

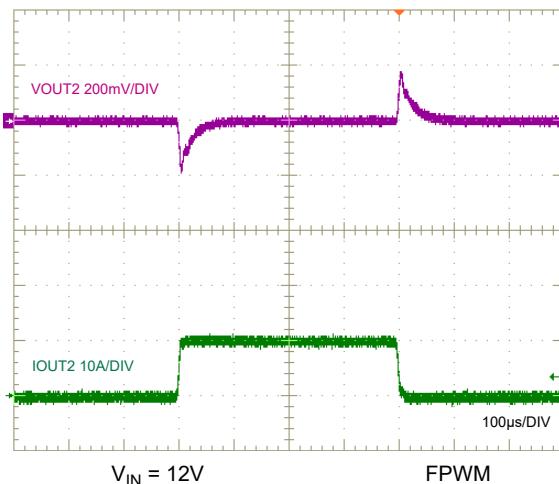


図 8-14. 負荷過渡、3.3V 出力、0A ~ 10A

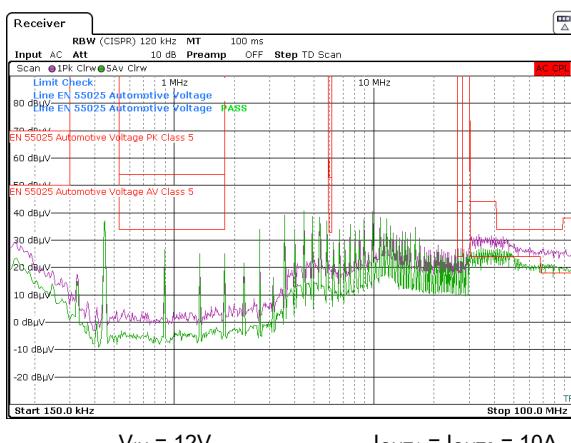


図 8-15. CISPR 25 Class 5 EMI の性能、どちらの出力も 10A 負荷

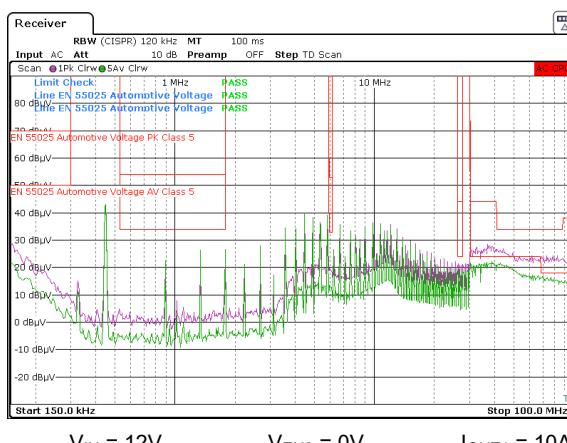
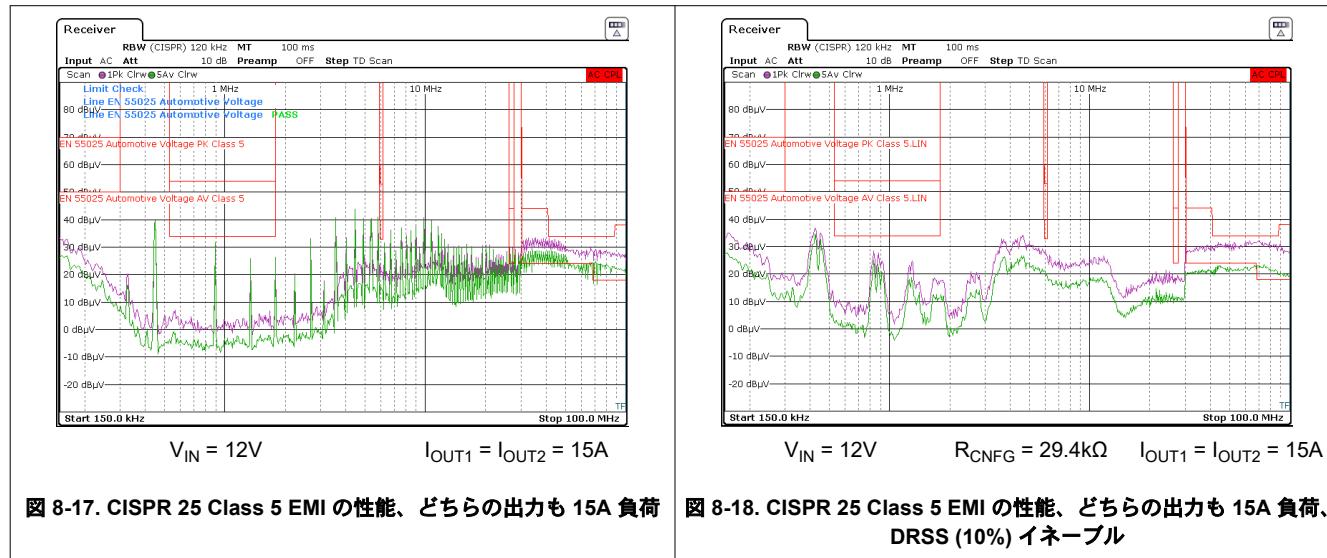


図 8-16. CISPR 25 Class 5 EMI の性能、10A での 5V 出力、Ch2 ディスエーブル

8.2.1.3 アプリケーション曲線(続き)



8.2.2 デザイン 2 - 車載用 ADAS アプリケーション向け 2 相、単一出力、同期整流降圧レギュレータ

図 8-19 は、出力電圧 5V、定格負荷電流 20A の单一出力、2 相同期整流降圧レギュレータの回路図を示しています。この例では、6V ~ 36V の範囲内の公称入力電圧 12V に基づき、半負荷効率と全負荷効率のターゲットはそれぞれ、93% と 91% です。スイッチング周波数は、抵抗 R_{RT} により 2.1MHz に設定されます。5V 出力は、軽負荷時の効率向上させるコントローラにバイアス電流を供給します。電圧設定抵抗 (FB1 から VDDA に接続する R_{FB}) を 24.9k Ω から 7.5k Ω に変更するだけで、3.3V の出力電圧も可能です。

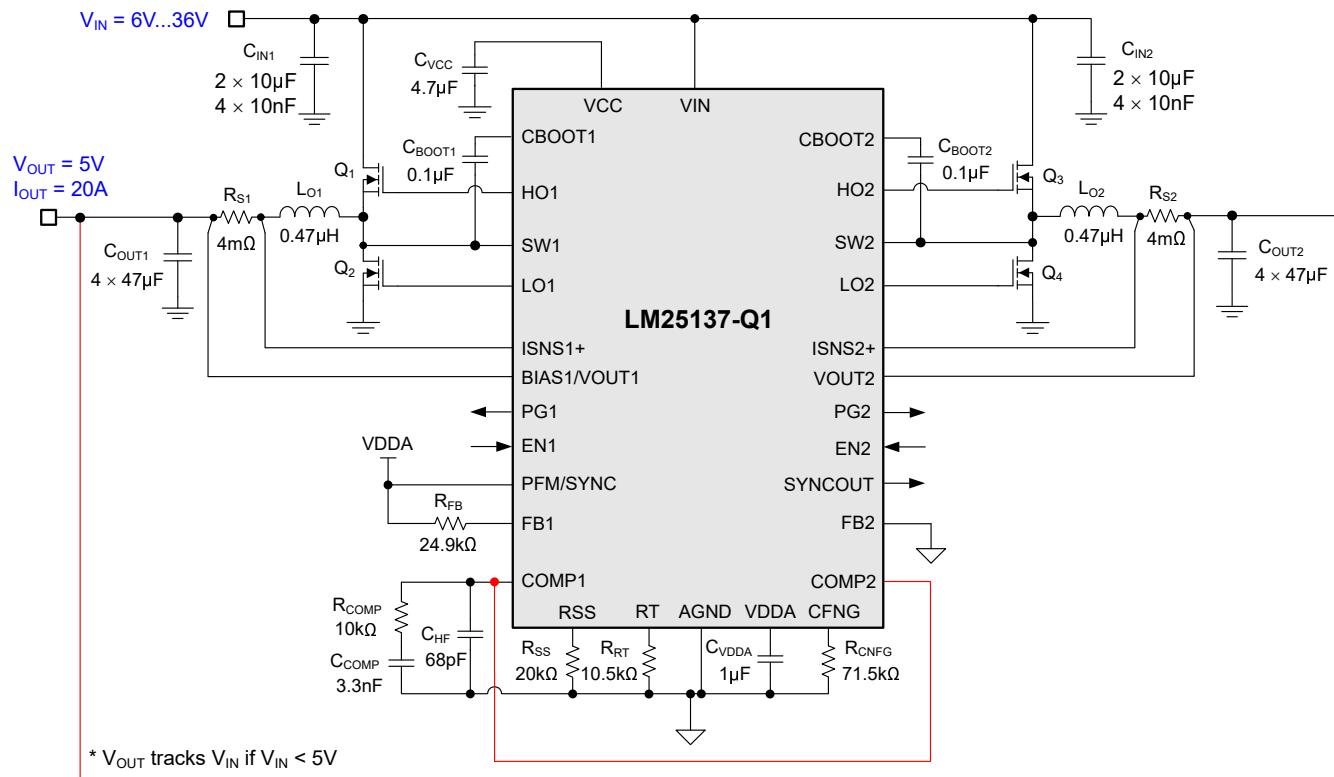


図 8-19. アプリケーション回路 2、LM25137-Q1 2 相降圧レギュレータを 2.1MHz で使用

8.2.2.1 設計要件

表 8-4 に、この車載用回路例の対象となる入力、出力、性能パラメータを示します。

表 8-4. 設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	8V ~ 18V
最小過渡入力電圧 (コールド クランク)	6V
最大過渡入力電圧 (負荷ダンプ)	36V
出力電圧	5V
出力電流	20A
スイッチング周波数	2.1MHz
出力電圧レギュレーション	±1%
位相 2 がディスエーブルのときの無負荷スリープ電流	20 μ A 未満
シャットダウン電流	4 μ A

10.5k Ω の抵抗 R_{RT} により、スイッチング周波数が 2.1MHz に設定されます。制御ループ性能について、対象のループクロスオーバー周波数は 50°以上の位相マージンで 80kHz です。RSS ピンをオープンにすると、出力電圧のソフトスタート時間が 6.5ms に設定されます。

表 8-5 は、選択した降圧レギュレータのパワートレイン部品を示します。ほとんどの部品は複数のベンダから入手可能です。回路例 1 と同様、このデザインには 40V のロジックレベル MOSFET、シールド付き降圧インダクタ、低 ESL を実現する広アスペクト比のシャント抵抗、完全セラミック入出力コンデンサを実装しています。

表 8-5. アプリケーション回路 2 の部品表

リファレンス指定子	数量	仕様 ⁽¹⁾	製造元	部品番号
C_{IN1}, C_{IN2}	4	10 μ F、50V、X7R、1210、セラミック、AEC-Q200	TDK	CNA6P1X7R1H106K
		10 μ F、50V、X7S、1210、セラミック、AEC-Q200	Murata (村田製作所)	GCM32EC71H106KA03
			TDK	CGA6P3X7S1H106M
C_{OUT1}, C_{OUT2}	8	47 μ F、6.3V、X7R、1210、セラミック、AEC-Q200	Murata (村田製作所)	GCM32ER70J476KE19L
			Taiyo Yuden	JMK325B7476KMHTR
		47 μ F、6.3V、X7S、1210、セラミック、AEC-Q200	TDK	CGA6P1X7S0J476M
L_{O1}, L_{O2}	2	0.47 μ H、2.2m Ω 、26.5A、6.71 × 6.51 × 3.1mm、AEC-Q200	Coilcraft	XGL6030-471MEC
		0.47 μ H、3m Ω 、25A、6.95 × 6.6 × 4.3mm、AEC-Q200	Cyntec	VCUW064ER47MS5
		0.47 μ H、3.1m Ω 、20A、7 × 6.9 × 3.8mm、AEC-Q200	Würth Electronik	744311047
		0.56 μ H、3m Ω 、29A、6.6 × 6.4 × 2.8mm、AEC-Q200	Bourns	SRP6030CA-R56M
Q_1, Q_3	2	40V、4.7m Ω 、7nC、SON 5 × 6、AEC-Q101	Infineon	IAUC60N04S6L039ATMA
Q_2, Q_4	2	40V、3.6m Ω 、9nC、SON 5 × 6、AEC-Q101	Infineon	IAUCN04S7L028ATMA
R_{S1}, R_{S2}	2	シャント、4m Ω ±1%、±50ppm/°C、0612、1.5W、AEC-Q200	Susumu	KRL3216E-C-R004-F
U_1	1	LM25137-Q1 42V 2 相同期整流降圧コントローラ、AEC-Q100	テキサス・インスツルメンツ	LM25137QRHARQ1

(1) 『サードパーティ製品の免責事項』を参照してください。

8.2.2.2 詳細な設計手順

セクション 8.2.1.2 を参照してください。

8.2.3 デザイン 3 - 12V、25A、400kHz、2 相降圧レギュレータ、24V 車載アプリケーション用

以下の図は、出力電圧 12V、定格負荷電流 25A の単一出力、2 相同期整流降圧レギュレータの回路図を示しています。この例では、18V ~ 34V の範囲内の公称入力電圧 24V、16V から 36V への過渡に基づき、半負荷効率と全負荷効率のターゲットは 95% です。スイッチング周波数は、抵抗 R_{RT} により 400kHz に設定されます。バイアス電力は 12V 出力から供給するため、軽負荷効率が向上します。48.7k Ω の R_{FB} (FB1 から VDDA に接続) により、12V の固定出力設定が確立します。

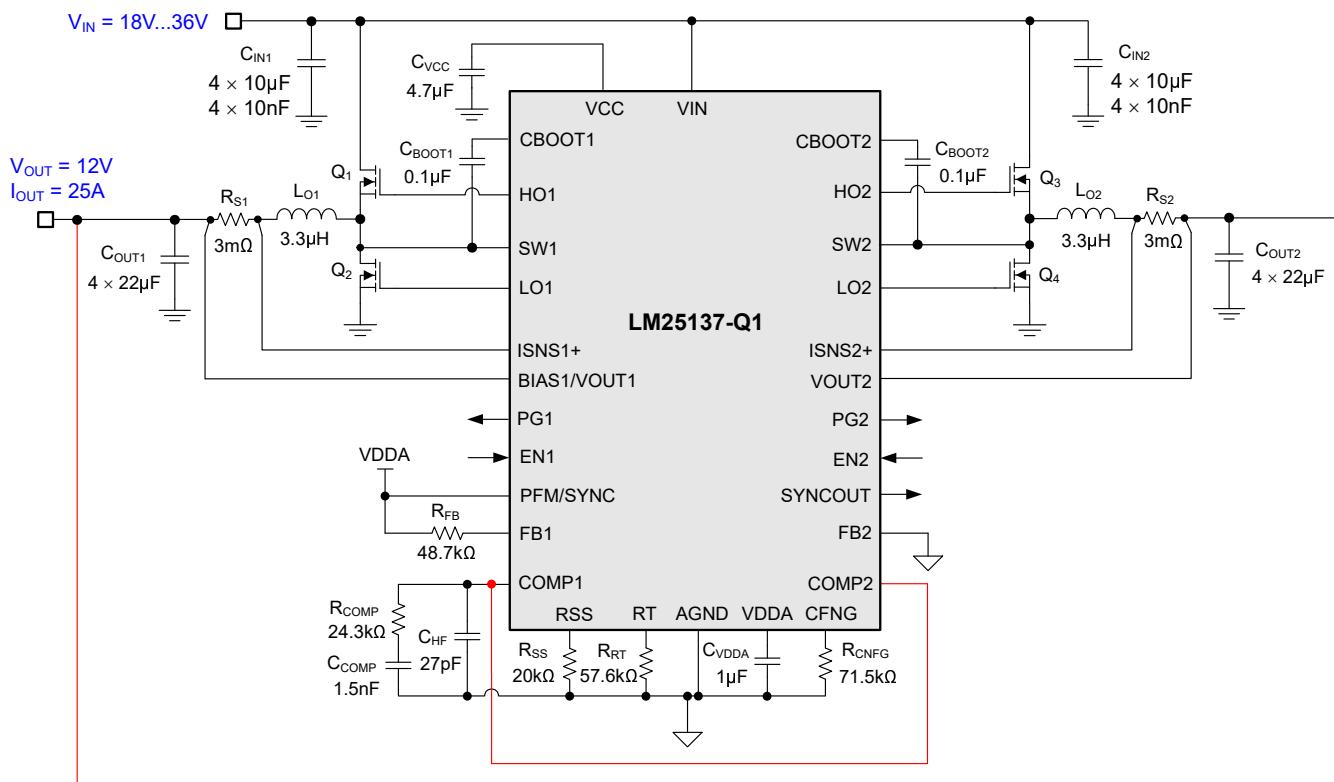


図 8-20. アプリケーション回路 3、LM25137-Q1 2 相降圧レギュレータを 400kHz で使用

8.2.3.1 設計要件

表 8-6 に、この車載用回路例の対象となる入力、出力、性能パラメータを示します。

表 8-6. 設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	18V ~ 34V
最小過渡入力電圧	16V
最大過渡入力電圧	36V
出力電圧	12V
出力電流	30A
スイッチング周波数	400kHz
25A でのターゲット効率	97%
入力電圧 UVLO オン、オフ	15V、13V
位相 2 がディスエーブルのときの無負荷スリープ電流	20 μ A 未満
シャットダウン電流	4 μ A

57.6k Ω の抵抗 R_{RT} により、スイッチング周波数が 400kHz に設定されます。制御ループ性能について、対象のループクロスオーバー周波数は 50°以上の位相マージンで 60kHz です。20k Ω の RSS 抵抗により、出力電圧のソフトスタート時間が 4.5ms に設定されます。

以下の表は、選択した降圧レギュレータのパワートレイン部品を示しており、ほとんどの部品は複数のベンダから入手可能です。このデザインでは、40V のロジックレベル MOSFET、シールド付き降圧インダクタ、低 ESL のためのアスペクト比が広いシャント抵抗、低 ESL、50V 定格のセラミック入力コンデンサ、25V 定格のセラミック出力コンデンサを使用しています。

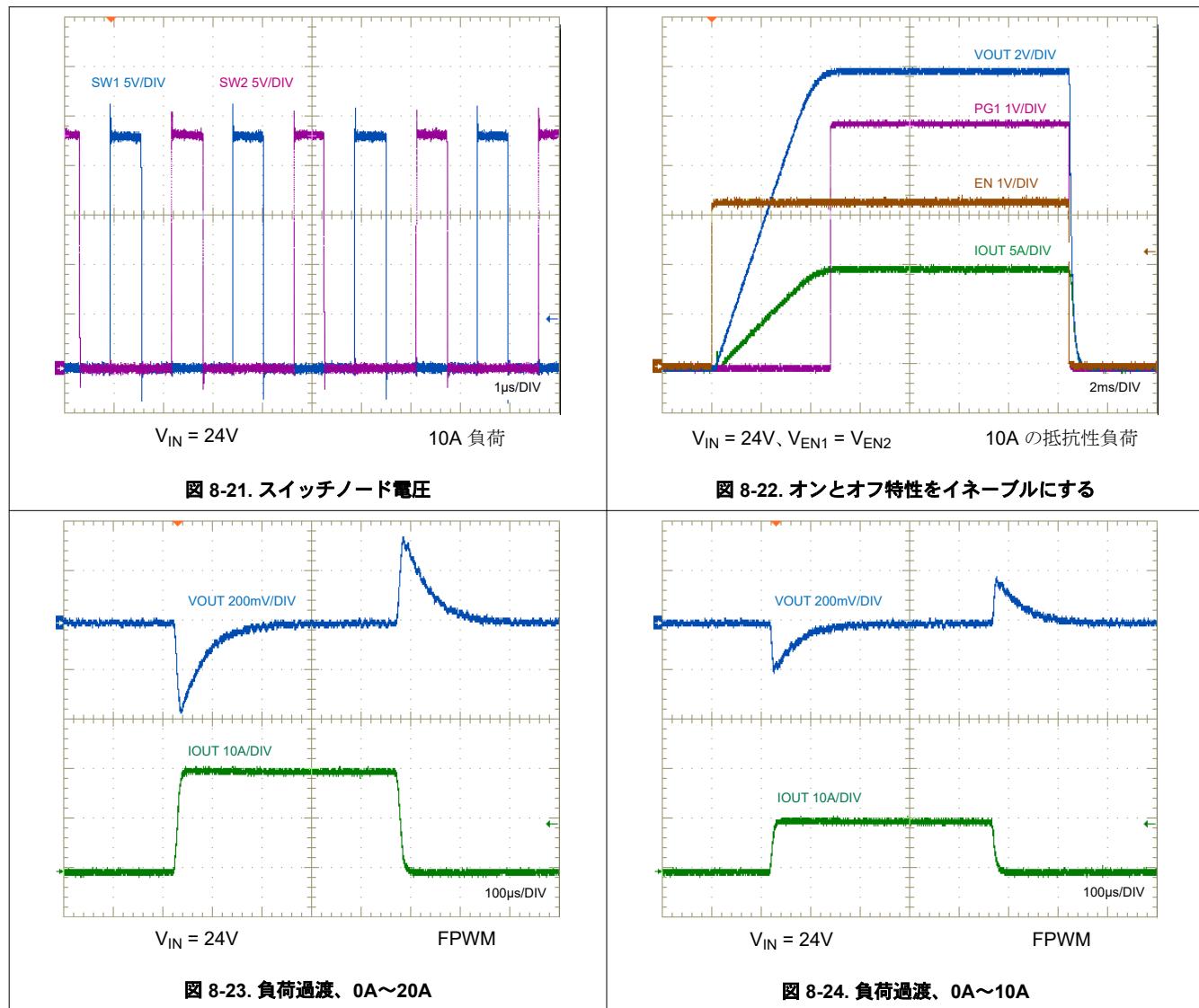
表 8-7. アプリケーション回路 3 の部品表

リファレンス指定子	数量	仕様 ⁽¹⁾	製造元	部品番号
C_{IN1}, C_{IN2}	8	10 μ F、50V、X7R、1210、セラミック、AEC-Q200	TDK	CNA6P1X7R1H106K
		10 μ F、50V、X7S、1210、セラミック、AEC-Q200	Murata (村田製作所)	GCM32EC71H106K
C_{OUT1}, C_{OUT2}	8	22 μ F、25V、X7R、1210、セラミック、AEC-Q200	TDK	CGA6P3X7R1E226M250
		22 μ F、25V、X7S、1210、セラミック、AEC-Q200	Murata (村田製作所)	GCM32EC71E226KE36
L_{O1}, L_{O2}	2	3.3 μ H、6.2m Ω 、19A、10.85 × 10 × 5.2mm、AEC-Q200	Cyntec	VCHA105D-3R3MS6
		3.3 μ H、6.2m Ω 、20A、11 × 10 × 5.1mm、AEC-Q200	Bourns	SRP1050WA-3R3M
		3.3 μ H、6m Ω 、28.6A、10.5 × 10 × 6.5mm、AEC-Q200	TDK	SPM10065VT-3R3M-D
		3.3 μ H、9.23m Ω 、16A、10.8 × 10 × 5mm、AEC-Q200	イートン	HCM1A1105V2-3R3-R
		3.3 μ H、9.9m Ω 、22.1A、10.85 × 10 × 3.8mm、AEC-Q200	Würth Electronik	784373680033
Q_1, Q_2, Q_3, Q_4	4	40V、3.6m Ω 、9nC、SON 5 × 6、AEC-Q101	Infineon	IAUCN04S7L028ATMA1
R_{S1}, R_{S2}	2	シャント、3m Ω ±1%、±50ppm/°C、0612 広アスペクト比、1.5W、AEC-Q200	Susumu	KRL3216E-C-R003-F
U_1	1	LM25137-Q1 42V 2 相同期整流降圧コントローラ、AEC-Q100	テキサス・インスツルメンツ	LM25137QRHARQ1

8.2.3.2 詳細な設計手順

セクション 8.2.1.2 を参照してください。

8.2.3.3 アプリケーション曲線



8.3 電源に関する推奨事項

LM25137-Q1 の降圧コントローラは、4V ~ 42V の広い入力電圧範囲で動作するよう設計されています。入力電源の特性は、「[絶対最大定格](#)」表と「[推奨動作条件](#)」表に適合している必要があります。また、入力電源は、全負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流を見積るには、[式 47](#) を使用します。

$$I_{IN} = \frac{P_{OUT}}{V_{IN} \cdot \eta} \quad (47)$$

ここで、

- η は効率です。

レギュレータが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼすことがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフを周期的に切り替わるたびに、VIN で過電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。こうした問題を解決する最善策は、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム製やタンタル製の入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。通常、容量の範囲が 47μF ~ 330μF であれば並列入力を減衰させるのに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

レギュレータの前に EMI 入力フィルタを使用することができます。ただし、設計に留意しなければ、これにより不安定な状態が起きる、または前述のような影響を及ぼすことがあります。『[DC/DC コンバータ向け伝導 EMI の簡単な成功事例 アプリケーションレポート](#)』では、スイッチングレギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

堅牢で信頼性の高い設計を実現するためには、大電流、高速スイッチング回路（大電流と電圧スルーレート対応）で適切な PCB 設計とレイアウトを行うことが重要です。LM25137-Q1 を使用して PCB レイアウトを設計するにあたり、あらかじめ特定の問題を考慮する必要があります。降圧レギュレータの出力段の高周波電力ループは、図 8-25 の色付きの範囲のループ 1 で表されています。降圧レギュレータのトポロジカルアーキテクチャは、特にループ 1 内の部品に流れる di/dt の大電流を意味し、この実効ループ面積を最小化することによって寄生インダクタンスを低減することが必須となります。また、図 8-25 のそれぞれ 2 と 3 に示されるローサイドとハイサイド MOSFET のゲート駆動ループも重要です。

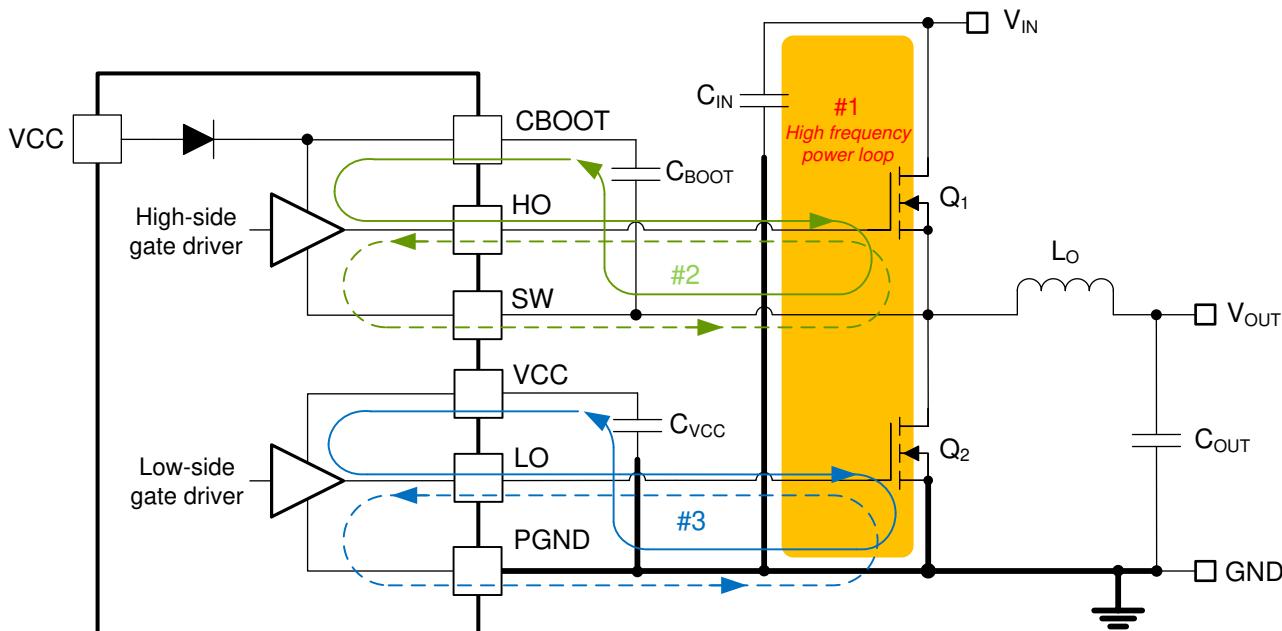


図 8-25. 出力段とゲート駆動回路スイッチング ループを内蔵した DC/DC レギュレータ グランドシステム

8.4.1.1 出力段レイアウト

1. 入力コンデンサ、出力コンデンサ、MOSFET は、降圧レギュレータの出力段の構成部品であり、一般に PCB の上面（はんだ側）に配置されます。システムレベルの気流を活用することにより、対流熱伝達の利点が最大化されます。通常、2 面 PCB レイアウトでは小信号部品は底面（部品側）に配置されます。少なくとも 1 つの内部プレーンを挿入してグランドに接続することにより、小信号パターンをシールドし、ノイズの多いパターンや線と分離します。
2. DC/DC レギュレータには、複数の大電流ループがあります。このループ領域を最小化すると、生成されるスイッチングノイズは抑制され、スイッチング性能を最適化することができます。
 - ループ 1: 最小化が最も重要なループ領域は、1 つ以上の入力コンデンサからハイサイド MOSFET とローサイド MOSFET を経由し、グランド接続を通過して 1 つ以上のコンデンサに戻る経路です。1 つ以上の入力コンデンサの負端子は、ローサイド MOSFET のソース（グランド側）の近くに接続します。同様に、1 つ以上の入力コンデンサの正端子は、ハイサイド MOSFET のドレイン（VIN 側）の近くに接続します。図 8-25 の「ループ 1」を参照してください。
 - もう 1 つのループはループ 1 よりは重要ではありませんが、ローサイド MOSFET からインダクタと 1 つ以上の出力コンデンサを経由し、グランドを通過して、ローサイド MOSFET のソースに戻る経路です。ローサイド MOSFET のソースと 1 つ以上の出力コンデンサの負端子をグランドのできるだけ近くで接続します。
3. SW ノードとして定義される PCB パターンは、ハイサイド（制御）MOSFET のソース、ローサイド（同期）MOSFET のドレイン、インダクタの高電圧側に接続され、短く幅広い配線で接続する必要があります。ただし、SW 接続は注入 EMI のソースのため、大きすぎてはいけません。

4. パッドの形状とはんだペーストのステンシル設計など、MOSFET メーカーが推奨する MOSFET のレイアウトの考慮事項に従ってください。
5. SW ピンは電力変換段のスイッチノードに接続され、ハイサイドゲートドライバのリターンパスとして動作します。**図 8-25** のループ 1 固有の寄生インダクタンスと両方のパワー MOSFET の出力容量 (C_{OSS}) により共振回路が形成され、SW ノードの高周波 (50MHz 以上) リンギングが誘発されます。このリンギングの電圧ピークは、制御されていないときは入力電圧よりも大幅に高くなることがあります。ピークリンギング振幅が SW ピンの絶対最大定格制限を超えないことを確認してください。たいていの場合、SW ノードから GND まで接続された直列抵抗とコンデンサのスナバネットワークにより、リンギングは減衰し、ピーク振幅は減少します。PCB レイアウトのスナバネットワークの部品を利用できるように準備します。SW ピンにおけるリンギング振幅が過剰なことが試験で明らかになった場合は、必要に応じてスナバ部品を入れてください。

8.4.1.2 ゲートドライブレイアウト

LM25137-Q1 のハイサイドおよびローサイドゲートドライバは、短い伝搬遅延、アダプティブデッドタイム制御、低インピーダンス出力段を内蔵しており、非常に高速な立ち上がり、立ち下がり時間で大きなピーク電流を供給できるため、パワー MOSFET の高速なターンオン遷移とターンオフ遷移を実現しています。パターンの長さとインピーダンスを十分制御できていない場合、 di/dt が非常に高いと許容不可能なリンギングが発生することがあります。

ゲートドライブのスイッチング性能を最適化するには、空電または寄生ゲートループインダクタンスの最小化が重要です。これは、MOSFET ゲートキャパシタンスで共振する直列ゲートインダクタンスでも、ゲートドライブコマンドに反して負のファイードバック成分を供給するコモンソースインダクタンス (ゲートとパワーループに共通) でも同様で、これにより MOSFET のスイッチング時間は長くなります。以下のループが重要です。

- ループ 2: ハイサイド MOSFET、Q₁。ハイサイド MOSFET のターンオン中は、ブートストラップ (ブート) コンデンサからゲートドライバとハイサイド MOSFET を経由して大電流が流れ、SW 接続を経由してブートコンデンサの負側の端子に戻ります。反対に、ハイサイド MOSFET をオフにするには、ハイサイド MOSFET のゲートからゲートドライバと SW を経由して大電流が流れ、SW パターンを経由してハイサイド MOSFET のソースに戻ります。**図 8-25** の「ループ 2」を参照してください。
- ループ 3: ローサイド MOSFET、Q₂。ローサイド MOSFET のターンオン中は、VCC デカップリングコンデンサからゲートドライバとローサイド MOSFET を経由して大電流が流れ、グランドを経由してコンデンサの負側の端子に戻ります。反対に、ローサイド MOSFET をオフにするには、ローサイド MOSFET のゲートからゲートドライバと GND を経由して大電流が流れ、グランドを経由してローサイド MOSFET のソースに戻ります。**図 8-25** の「ループ 3」を参照してください。

テキサス・インスツルメンツは、高速 MOSFET ゲートドライブ回路を使用して設計する際には、回路レイアウトのガイドラインを遵守することを強く推奨しています。

- ゲートドライバ出力 HO1/HO2、LO1/LO2 からハイサイドまたはローサイド MOSFET の各ゲートへの接続は、直列寄生インダクタンスを低減するために、できるだけ短くしてください。ピークリング電流は最大 3A になる可能性があることに注意してください。0.65mm (25mils) 以上の広いパターンを使用してください。これらのパターンには、必要に応じて、直径 0.5mm (20mils) 以上の 1 つまたは複数のビアを使用します。LM25137-Q1 から適切なハイサイド MOSFET まで [HO1、SW1] と [HO2、SW2] ゲートパターンを差動ペアとして配線し、フラックスキャンセレーションを利用します。
- 最大 3A の大電流が瞬間に流れることにより MOSFET のゲートキャパシタンスが充電されるため、VCC と C_{BOOT1}/C_{BOOT2} ピンから各コンデンサを流れる電流ループパスを最小化します。具体的には、ブートストラップコンデンサ C_{BOOT1} および C_{BOOT2} を LM25137-Q1 のそれぞれの [C_{BOOT1}、SW1] と [C_{BOOT2}、SW2] ピンのペアの近くに配置して、ハイサイドドライバに関連する「ループ 2」領域を最小限に抑えます。同様に、VCC コンデンサ C_{VCC} を LM25137-Q1 の VCC ピンと PGND ピンの近くに配置して、ローサイドドライバに関連するループ 3 の面積を最小化します。

8.4.1.3 PWM コントローラのレイアウト

ゲートドライバのパターン走行を最小限にするため、コントローラをパワー MOSFET のできる限り近くに配置する条件では、電流センシングだけでなく、アナログ信号と帰還信号に関連する部品について、以下のように考慮します：

1. 電源と信号のパターンを分けて、ノイズのシールドを実現するためにグランドプレーンを使用します。

2. 相互結合を防止するため、影響を受けやすいアナログパターンと COMP1/2, FB1/2, ISNS1/2+, RSS, RT に関する部品はすべて、SW1/2, HO1/2, LO1/2, CBOOT1/2 などの高電圧スイッチングノードから離して配置します。内部層をグランドプレーンとして使用します。特に、電源パターンと部品から帰還 (FB) パターンをシールドすることには注意してください。
3. FB のパターンができるだけ短くなるように、(必要に応じて) 上側と下側の帰還抵抗を各 FB ピンの近くに設置します。上側の帰還抵抗から負荷時に必要とされる出力電圧センスポイントまでのパターンを配線します。
4. ノイズピックアップを最小限にするために、差動ペアとして [ISNS1+、BIAS1/VOUT1] と [ISNS2+、VOUT1/2] パターンを配線し、適切なシャント抵抗 (シャント電流センシングの使用時) またはセンスコンデンサ (インダクタ DCR 電流センシングの使用時) にケルビン接続を使用します。特に、BIAS1/VOUT1 への接続には広いパターンを使用し、できれば 80mils (2mm) を使用して、電流センスに影響を及ぼす、ピンに流れるバイアス電流に関連する電圧降下を最小限に抑えます。
5. VCC、VIN ピンから、それぞれのデカップリングコンデンサを経由して、PGND ピンまでのループ領域を最小にします。これらのコンデンサは LM25137-Q1 のできるだけ近くに配置します。

8.4.1.4 熱設計およびレイアウト

ゲートドライバとバイアス電源 LDO レギュレータが内蔵された PWM コントローラの有効な温度範囲は、次の内容に大きく影響されます。

- パワー MOSFET の平均ゲート駆動電流の要件
- スイッチング周波数
- 動作入力電圧 (バイアスレギュレータの LDO 電圧降下、ひいてはその消費電力に影響する)
- パッケージと動作環境の熱特性

特定の温度範囲で有効になる PWM コントローラの場合、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。LM25137-Q1 コントローラは、豊富なアプリケーション要件を満たす小型の 6mm × 6mm、36 ピン VQFN (RHA) PowerPAD パッケージで供給されます。このパッケージの熱基準の概要については、「[熱に関する情報](#)」を参照してください。

36 ピン VQFN パッケージでは、パッケージの底面にある露出した熱パッドを介して、半導体のダイから熱が除去されます。パッケージの露出したパッドはパッケージの鉛部分に直接接触していません。パッケージの露出パッドは LM25137-Q1 デバイス (グランド) の基板に熱的に接続されています。この接続によってヒートシンクが大幅に改善されますが、熱除去サブシステムを完成させるには PCB の設計にサーマルランド、サーマルビア、グランドプレーンを入れることが必須となります。LM25137-Q1 の露出したパッドは、PCB 上でデバイスのパッケージの真下にある、グランドに接続された銅ランドにはんだ付けされているため、熱抵抗を非常に小さい値まで低減します。

サーマルランドから内部とはんだ側の 1 つ以上のグランドプレーンに接続された直径 0.3mm の大量のビアは、放熱に不可欠です。マルチレイヤ PCB 設計では、通常は電源部品の下の PCB 層にソリッドなグランドプレーンを配置します。このプレーンの配置には、電力段の電流を流すためだけでなく、熱を生成するデバイスから熱伝導経路を離す役割もあります。

MOSFET の熱特性も重要です。ハイサイド MOSFET のドレイン パッドは、通常ヒートシンクのために VIN プレーンに接続します。ハイサイド MOSFET のドレイン パッドはそれぞれの SW プレーンに接続しますが、SW プレーンの領域は EMI の懸念を和らげるために意図的にできるだけ小さくします。

8.4.1.5 グランドプレーン設計

ここまでで説明したように、TI ではソリッドグランドプレーンとして 1 つ以上の内部 PCB 層を使用することを推奨しています。グランド プレーンは敏感な回路やパターンのシールドとして機能するだけでなく、制御回路の低ノイズ基準電位を提供します。LM25137-Q1 の PGND ピンをシステムのグランドプレーンに接続するには、露出したパッドの下にある配列状のビアを使用します。また、PGND の銅部分は入力および出力コンデンサのリターン端子に直接接続します。PGND の配線にはスイッチング周波数におけるノイズが含まれており、負荷電流変動によりバウンドすることがあります。PGND、VIN、SW1/SW2 の電力段部品の電力パターンは、グランドプレーンの片側に制限することができます。グランドプレーンの反対側はノイズが非常に小さくなるため、敏感なアナログのパターン配線に最適です。

8.4.2 レイアウト例

LM25137F-Q1-EVM5D3 の設計に基づき、図 8-26 にデュアル出力同期整流降圧レギュレータの片面のレイアウトを示します。この設計では、電力ループのグランドリターンパスとして PCB のレイヤ 2 を最上層の真下に使用することで、約 2mm^2 の小さな面積のスイッチング電力ループを作成しています。このループ面積、つまり寄生インダクタンスは、スイッチノード電圧のオーバーシュートとリンク（つまり全体的な EMI シグネチャ）を最小限に抑えるために、できるだけ小さくする必要があります。詳細については、『[LM25137F-Q1-EVM5D3 EVM 評価基板 EVM ユーザーガイド](#)』を参照してください。

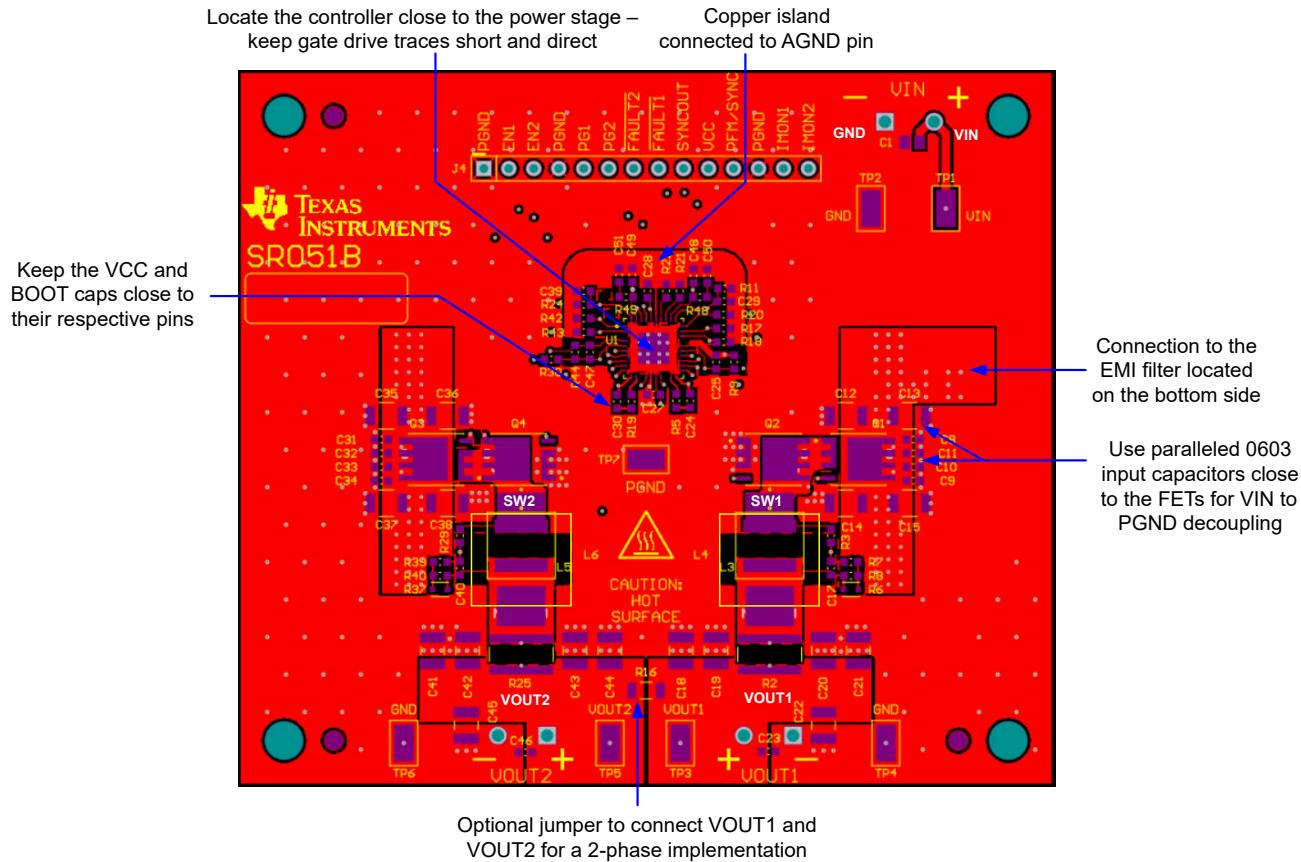


図 8-26. PCB の最上層

図 8-27 に示すように、高周波数電力ループ電流は、MOSFET の Q3 と Q4 から 2 層の電力グランドプレーンを通過し、0603 セラミックコンデンサ C30 から C33 を通って VIN に戻ります。垂直ループ構成で逆方向に流れる電流により、フィールドの自己キャンセルが可能となり、寄生ループインダクタンスは低減されます。図 8-28 に、マルチレイヤ PCB 構造で低プロファイル、自己キャンセル ループを作成する考え方を表す側面図を示します。図 8-27 に示す 2 層の GND プレーン層により、MOSFET の真下に Q4 ソース端子への密結合電流のリターン パスが作られます。

小型サイズの 0603 ケースに入った 4 つの 10nF 入力コンデンサは、各ハイサイド MOSFET のドレインの近くに並列に配置します。取付面積の小さなコンデンサの低 ESL と高自己共振周波数 (SRF) は、優れた高周波性能を実現します。これらのコンデンサの負端子は、直径 12mil (0.3mm) の複数のビアで 2 層の GND プレーンに接続され、寄生インダクタンスをさらに低減することができます。

このレイアウト例では、以下の追加ステップが使用されています。

- パワー MOSFET からインダクタまでの SW 接続（各チャネルごと）の銅の面積を最小限に抑えることで、静電結合と放射 EMI を低減することができます。
- ゲート駆動パターンが短く直接配線されるように、MOSFET のゲート端子の近くに IC を配置します。

- アナログ部品は敏感なので、アナロググランドプレーンは IC の近くに作成します。AGND プレーンと PGND 電源グランドプレーンは、IC のダイ取り付けパッド (DAP) の 1 点に接続します。

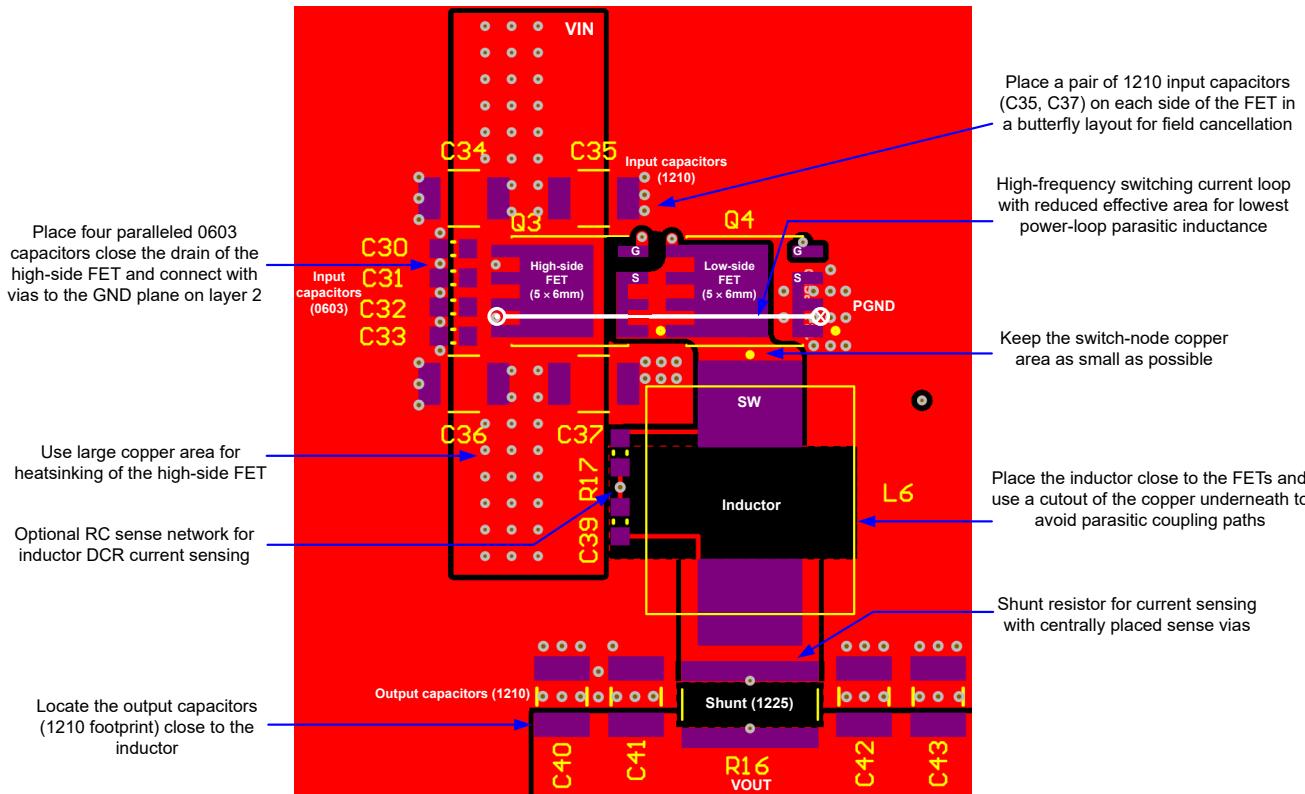
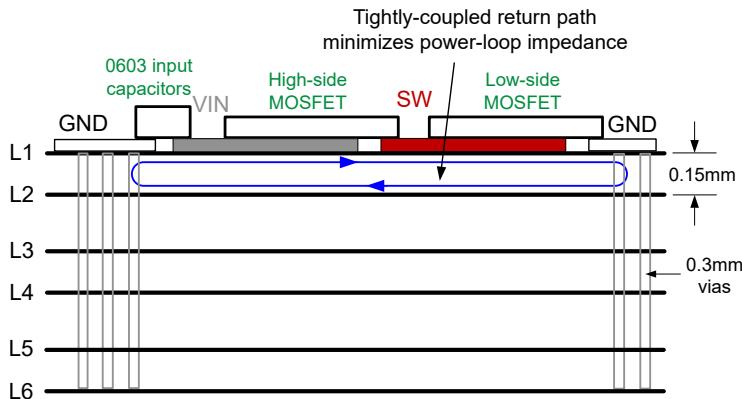


図 8-27. 出力段部品のレイアウト



注

詳細については、『最適化された出力段レイアウトによる大電流 DC/DC レギュレータのコストなしでの性能向上』アプリケーションブリーフを参照してください。

図 8-28. 低 L1-L2 内部層空間のある PCB のスタッカップ図

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.1.2 開発サポート

表 9-1 で規定されている最低 3.5V、最大 100V の入力動作電圧では、テキサス・インスツルメンツの LM(2)514x-Q1 ファミリの車載用同期整流降圧コントローラは、幅広いアプリケーションに対応できるスケーラビリティと最適化されたソリューションを実現します。

ASIL D までの機能安全システムの設計に役立つ LM5137F-Q1 および LM25137F-Q1 が入手可能です。このコントローラファミリを使用すると、高密度、低 EMI、高いシステム信頼性を備えた DC/DC 設計が可能になります。すべてのコントローラは最大動作接合部温度 150°C の定格で、AEC-Q100 グレード 1 認証を受けています。

表 9-1. 車載用同期整流降圧 DC/DC コントローラ ファミリ

DC/DC コントローラ	シングルまたはデュアル	V _{IN} 範囲	制御方式	ゲート駆動電圧	同期出力	主な機能
LM5137-Q1	デュアル	4V ~ 80V	ピーク電流モード	5V	90°位相シフト	100% デューティ サイクル
LM5137F-Q1	デュアル	4V ~ 80V	ピーク電流モード	5V	90°位相シフト	ASIL B または D
LM25137-Q1	デュアル	4V ~ 42V	ピーク電流モード	5V	90°位相シフト	100% デューティ サイクル
LM25137F-Q1	デュアル	4V ~ 42V	ピーク電流モード	5V	90°位相シフト	ASIL B または D
LM5141-Q1	シングル	3.8V ~ 65V	ピーク電流モード	5V	該当なし	分割ゲートドライブ
LM25141-Q1	シングル	3.8V ~ 42V	ピーク電流モード	5V	該当なし	分割ゲートドライブ
LM5143A-Q1	デュアル	3.5V ~ 65V	ピーク電流モード	5V	90°位相シフト	分割ゲートドライブ
LM25143-Q1	デュアル	3.5V ~ 42V	ピーク電流モード	5V	90°位相シフト	分割ゲートドライブ
LM5145-Q1	シングル	5.5V ~ 75V	電圧モード	7.5V	180°位相シフト	シャントなし
LM5146-Q1	シングル	5.5V ~ 100V	電圧モード	7.5V	180°位相シフト	100V 入力能力
LM5148-Q1	シングル	3.5V ~ 80V	ピーク電流モード	5V	180°位相シフト	DRSS
LM25148-Q1	シングル	3.5V ~ 42V	ピーク電流モード	5V	180°位相シフト	DRSS
LM5149-Q1	シングル	3.5V ~ 80V	ピーク電流モード	5V	180°位相シフト	AEF
LM25149-Q1	シングル	3.5V ~ 42V	ピーク電流モード	5V	180°位相シフト	AEF
LM5190-Q1	シングル	5V ~ 80V	ピーク電流モード	7.5V	該当なし	CC/CV
LM25190-Q1	シングル	5V ~ 42V	ピーク電流モード	7.5V	該当なし	CC/CV

開発サポートについては、以下を参照してください。

- LM25137-Q1 DC/DC コントローラ クイックスタート カリキュレータと PSPICE シミュレーションモデル
- LM5137F-Q1-EVM12V と LM25137F-Q1-EVM5D3 Altium レイアウトソースファイル
- テキサス・インスツルメンツの WEBENCH 設計環境については、WEBENCH® 設計センターを参照してください。
- テキサス・インスツルメンツのリファレンス デザイン ライブドキュメントについては、TI Designs を参照してください。
- テキサス・インスツルメンツの設計:
 - 車載用の幅広い V_{IN}、デジタル コックピット処理ユニット向けのフロントエンド リファレンス デザイン

9.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM25137-Q1 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- ユーザー ガイド:
 - テキサス・インスツルメンツ、『[LM5137F-Q1 同期整流降圧コントローラ評価基板](#)』
 - テキサス・インスツルメンツ、『[LM25137F-Q1 同期整流降圧コントローラ評価基板](#)』
 - テキサス・インスツルメンツ、『[LM5143-Q1 同期整流降圧コントローラ評価基板](#)』
 - テキサス・インスツルメンツ、『[LM5141-Q1 同期整流降圧コントローラ評価基板](#)』
 - テキサス・インスツルメンツ、『[LM5146-Q1 EVM ユーザー ガイド](#)』
 - テキサス・インスツルメンツ、『[LM5145EVM-HD-20A 高密度評価基板](#)』
 - テキサス・インスツルメンツ、『[LM5149-Q1 降圧コントローラ評価基板](#)』
 - テキサス・インスツルメンツ、『[LM5190-Q1 CC-CV 降圧コントローラ評価基板](#)』
- アプリケーション レポート:
 - テキサス・インスツルメンツ、『[LM5143-Q1 車載用 ADAS アプリケーション向け 4 相降圧レギュレータの設計](#)』
 - テキサス・インスツルメンツ、『[LM5140-Q1 デュアル同期整流降圧コントローラによる車載用コールドクランク中の出力電圧レギュレーションの維持](#)』
- 技術関連ブログ記事:
 - テキサス・インスツルメンツ、『[車載用バッテリ直結型降圧プリレギュレータの設計で機能安全準拠を実現](#)』
 - テキサス・インスツルメンツ、『[TI の機能安全準拠降圧レギュレータを活用した次世代 ADAS プロセッサへの電力供給](#)』

9.2.1.1 低 EMI 設計リソース

- テキサス・インスツルメンツ、『[低 EMI](#)』ランディングページ
- テキサス・インスツルメンツ、『[EMI の問題の対応](#)』企業ブログ
- テキサス・インスツルメンツ、『[DC/DC レギュレータの EMI エンジニアガイド](#)』e-book
- テキサス・インスツルメンツ、『[低 EMI 電源の設計](#)』ビデオシリーズ
- ホワイトペーパー:
 - テキサス・インスツルメンツ、『[電源の伝導 EMI 仕様の概要](#)』
 - テキサス・インスツルメンツ、『[電源の放射 EMI 仕様の概要](#)』
 - テキサス・インスツルメンツ、『[電源における EMI 低減のための短時間でコスト効率の高いインベーション](#)』

- テキサス・インスツルメンツ、『[コスト効率が高く要求品質の高いアプリケーション用の広範な \$V_{IN}\$ 、低 EMI 同期整流降圧回路の評価](#)』
- アプリケーションノート:
 - テキサス インスツルメンツ、『[最適化された出力段レイアウトによる大電流 DC/DC レギュレータ EMI のコストなしでの性能向上](#)』
 - テキサス・インスツルメンツ、『[誘導性寄生の最小化による降圧コンバータの EMI と電圧ストレスの低減](#)』

9.2.1.2 热設計についてのリソース

- ホワイトペーパー:
 - テキサス・インスツルメンツ、『[放熱強化パッケージによる高周囲温度環境での熱性能の改善](#)』
- アプリケーションノート:
 - テキサス・インスツルメンツ、『[過去ではなく、現在の議見による熱設計](#)』
 - テキサス・インスツルメンツ、『[露出パッドパッケージで最良の熱抵抗を実現するための基板レイアウトガイド](#)』
 - テキサス・インスツルメンツ、『[半導体およびICパッケージの熱評価基準](#)』
 - テキサス・インスツルメンツ、『[放熱特性に優れたPowerPAD™パッケージ](#)』
 - テキサス・インスツルメンツ、『[PowerPAD™の簡単な使用法](#)』
 - テキサス・インスツルメンツ、『[新しい熱評価基準の解説](#)』

9.2.1.3 PCB レイアウトについてのリソース

- LM5137F-Q1-EVM12V と LM25137F-Q1-EVM5D3 Altium レイアウトソースファイル
- アプリケーションノート:
 - テキサス・インスツルメンツ、『[最適化された出力段レイアウトによる大電流DC/DCレギュレータEMIパフォーマンスのコストなしでの性能向上](#)』
 - テキサス・インスツルメンツ、『[AN-1149 スイッチング電源のレイアウトのガイドライン](#)』
- セミナー:
 - テキサス・インスツルメンツ、『[独自電源の構築 - レイアウトの考慮事項](#)』

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

日付	改訂	注
June 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM25137QRHARQ1	Active	Production	VQFN (RHA) 36	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	25137Q RHARQ1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

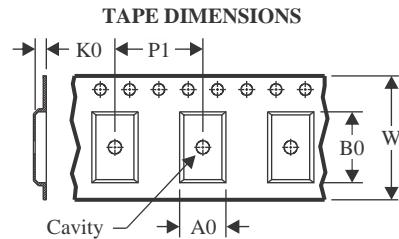
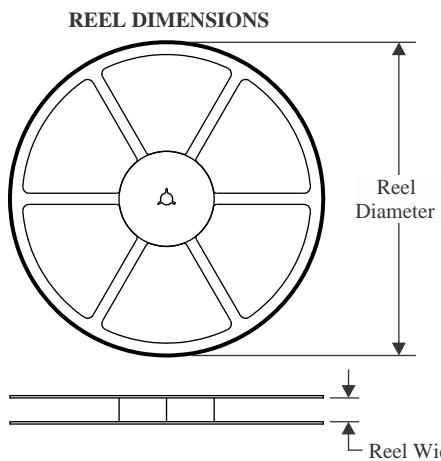
OTHER QUALIFIED VERSIONS OF LM25137-Q1 :

- Catalog : [LM25137](#)

NOTE: Qualified Version Definitions:

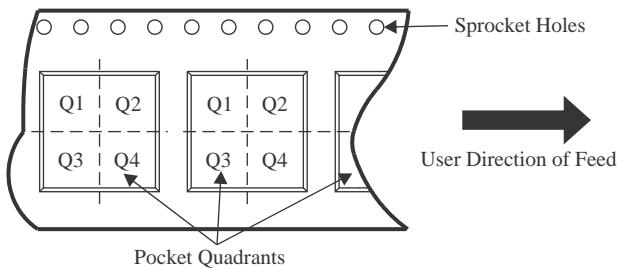
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



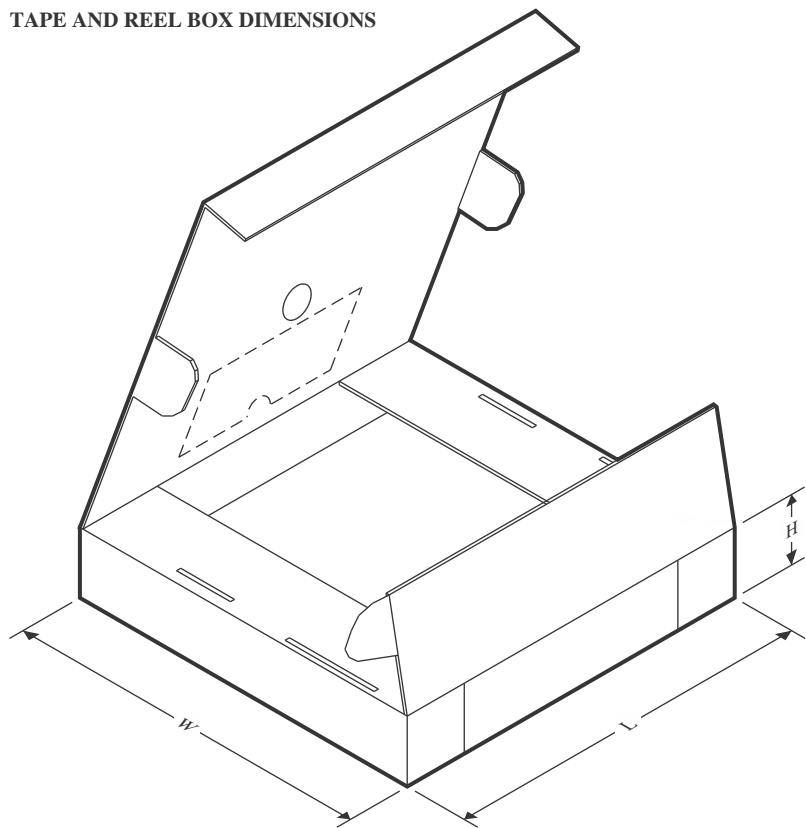
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM25137QRHARQ1	VQFN	RHA	36	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM25137QRHARQ1	VQFN	RHA	36	2500	367.0	367.0	38.0

GENERIC PACKAGE VIEW

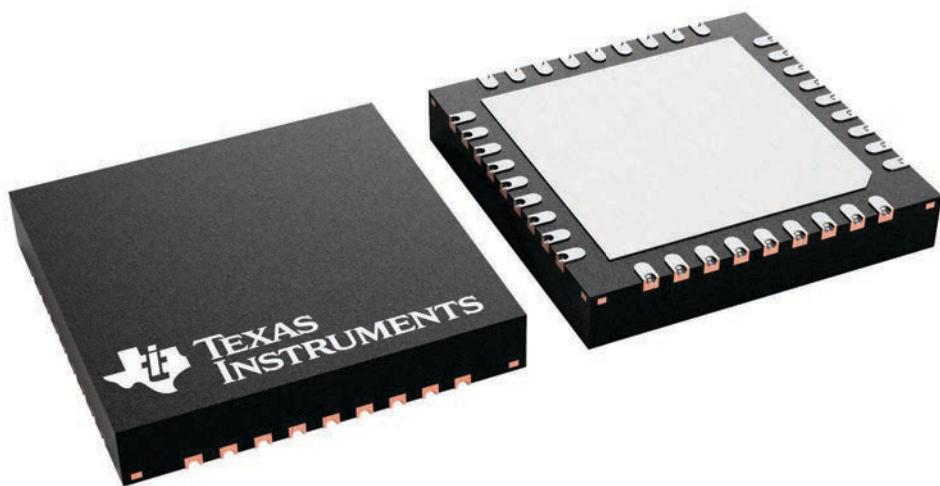
RHA 36

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

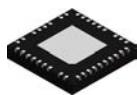
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4228438/A

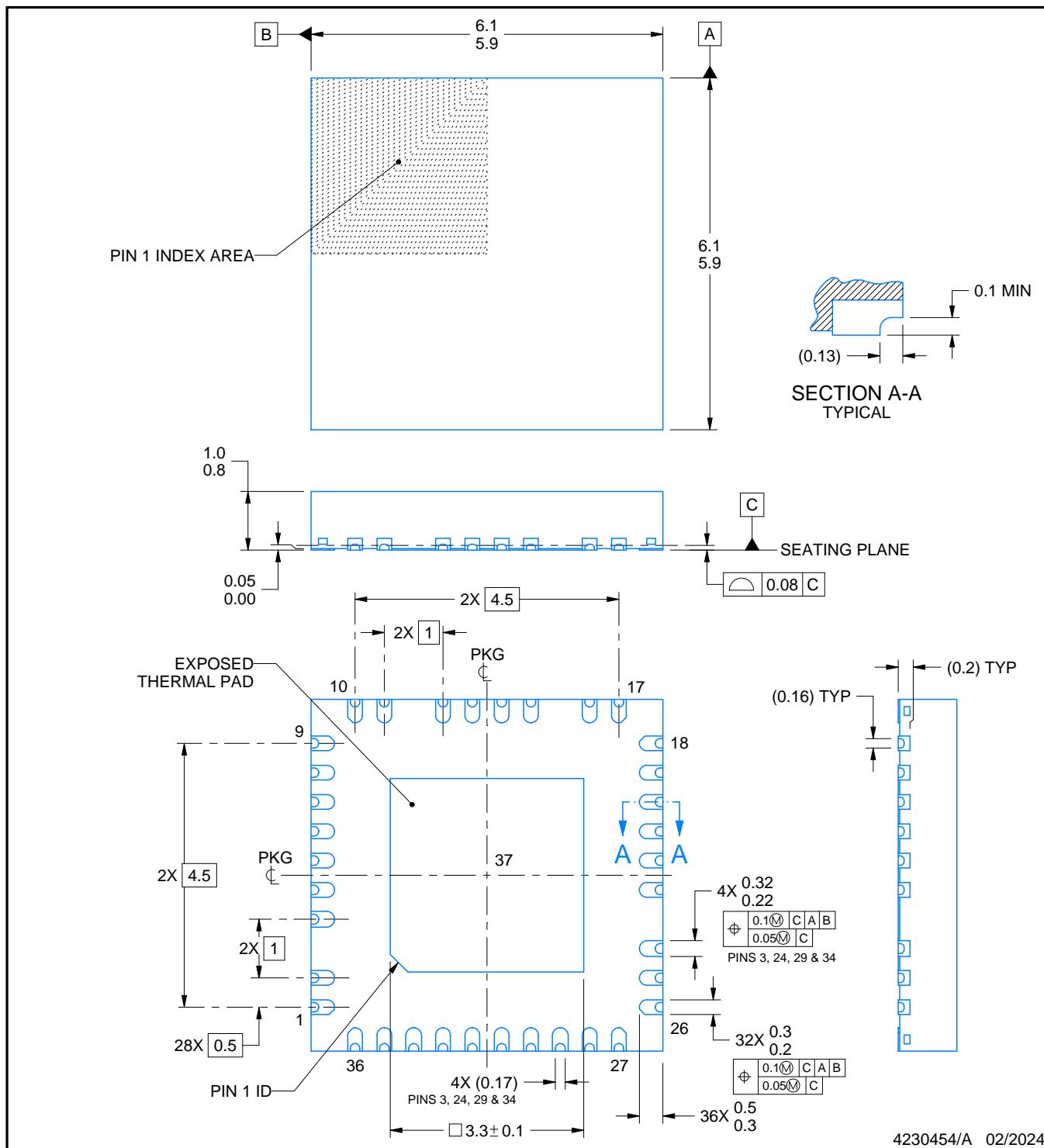
PACKAGE OUTLINE

RHA0036D



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

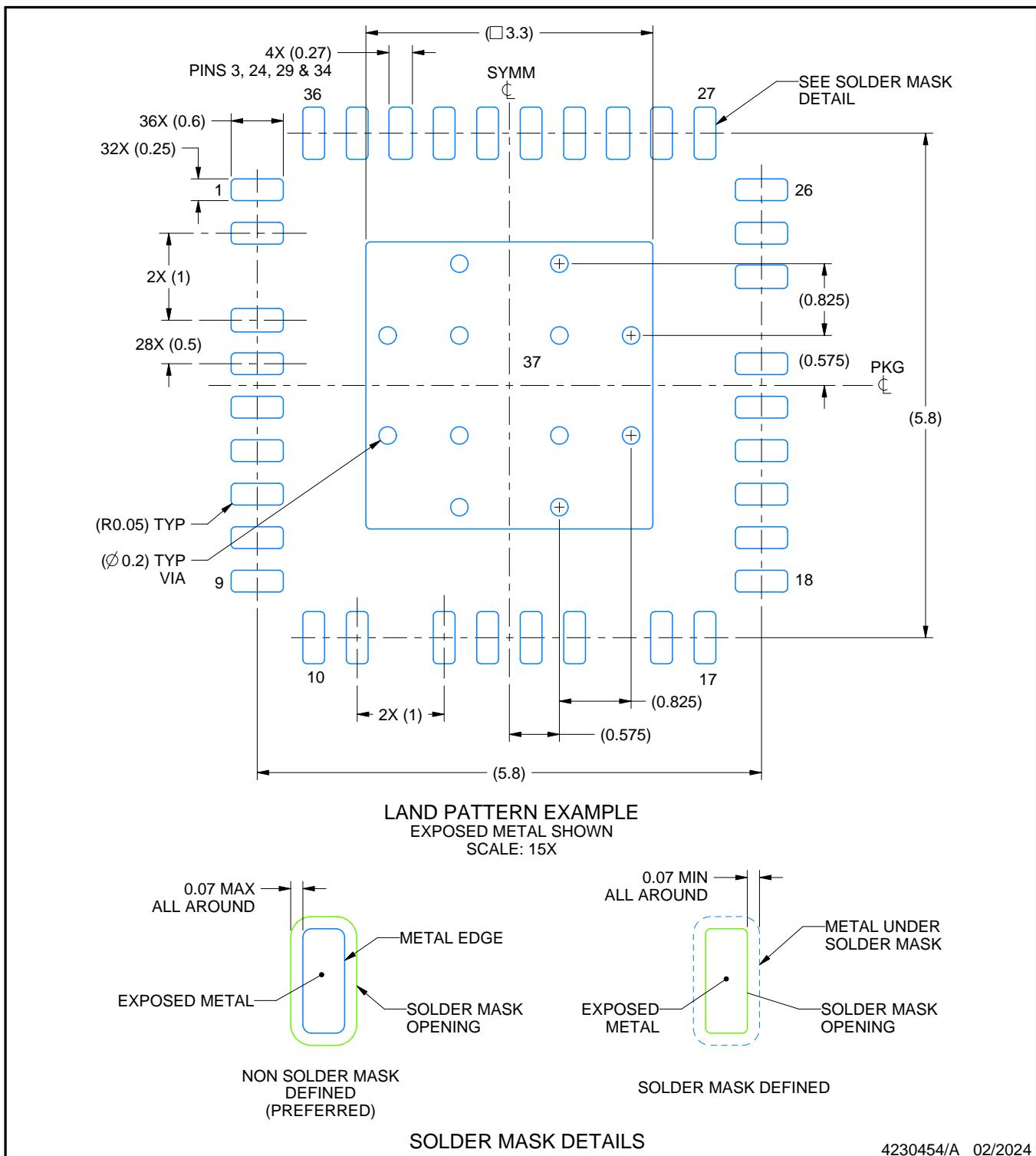


EXAMPLE BOARD LAYOUT

RHA0036D

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

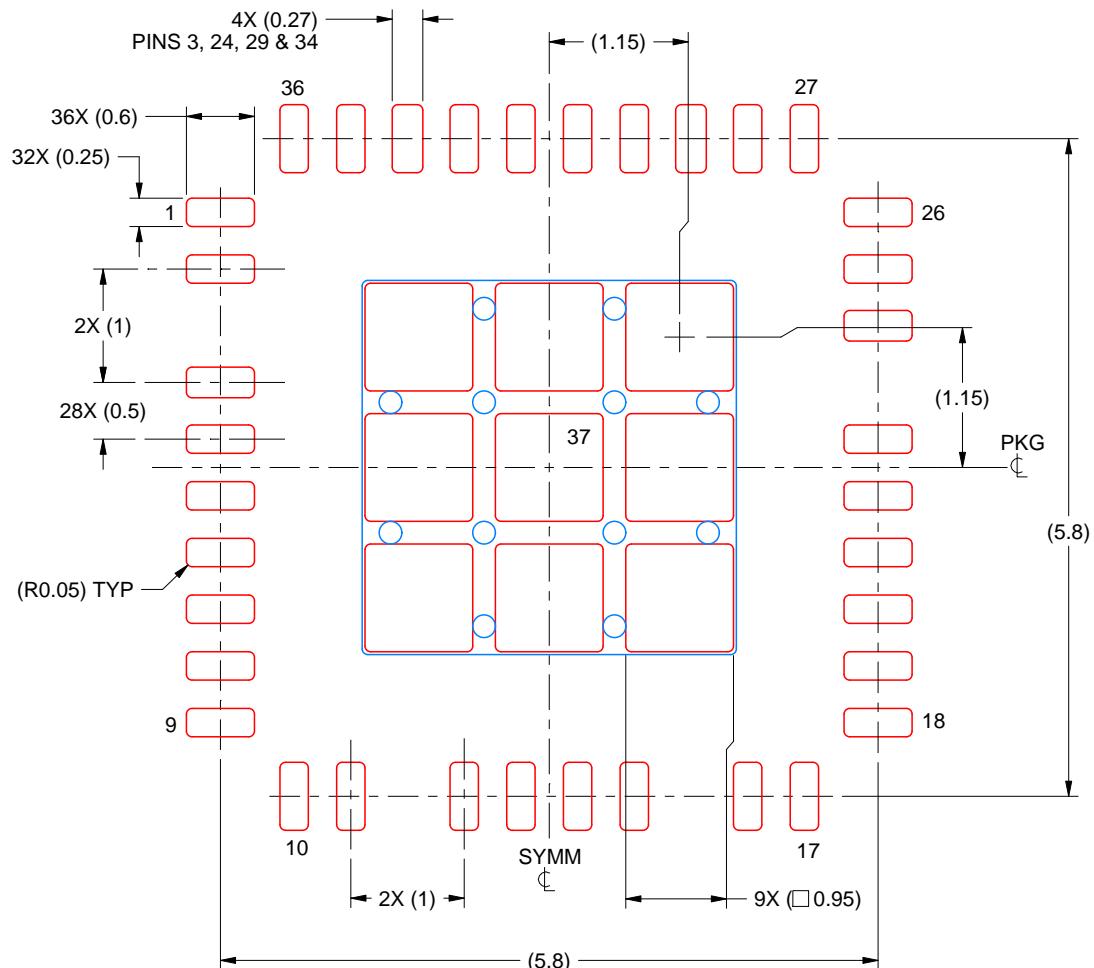
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 - Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHA0036D

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 MM THICK STENCIL SCALE: 15X

EXPOSED PAD 37

4230454/A 02/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月