

LM3302 クワッド差動コンパレータ

1 特長

- シングル電源またはデュアル電源
- 広い電源電圧範囲。..2V ~ 28V
- 電源電圧にかかわらず低い電源電流ドレン。..0.8mA (代表値)
- 低い入力バイアス電流。..25nA (標準値)
- 低い入力オフセット電流。..3nA (標準値)
- 低い入力オフセット電圧。..3mV (標準値)
- 同相入力電圧範囲にグランドを含む
- 差動入力電圧範囲が最大定格電源電圧と同じ:±28V
- 低い出力飽和電圧
- TTL、MOS、CMOS 互換出力
- より広い温度範囲については、[LM2901](#) を参照してください
- シングル バージョンについては、[TL331](#) を参照してください
- デュアル バージョンについては、[LM393](#) または [LM2903](#) を参照してください

2 アプリケーション

- ロボット掃除機
- 単相 UPS
- サーバー PSU
- コードレス電動工具
- ワイヤレス インフラ
- 電化製品
- ビル オートメーション
- ファクトリ オートメーション / 制御
- モータードライブ
- インフォテインメントおよびクラスタ

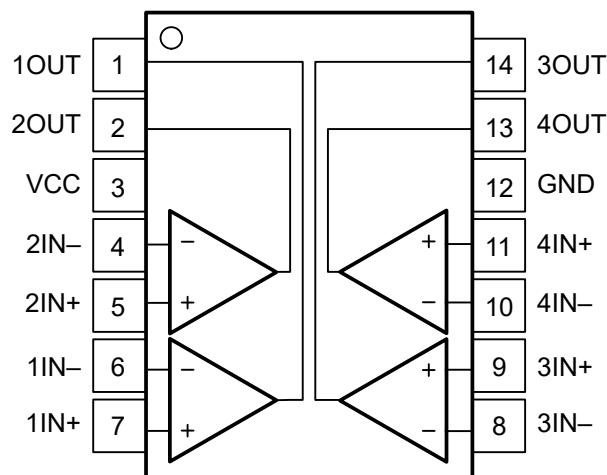
3 説明

このデバイスは、広い電圧範囲にわたって单一電源で動作するように設計された 4 つの独立した電圧コンパレータで構成されています。デュアル電源でも、2 つの電源間の差分が 2V~28V の範囲内であり、VCC が入力同相電圧より少なくとも 1.5V 以上高ければ、動作可能です。電流ドレンは、電源電圧に依存しません。出力を他のオープンコレクタ出力に接続し、ワイヤード AND 関係を構築できます。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ(公称) ⁽²⁾
LM3302	SOIC (14)	8.70mm × 3.90mm
	PDIP (14)	19.30mm × 6.40mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージサイズ(長さ × 幅)は公称値であり、該当する場合はピンも含まれます。



LM3302 ピン配置



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.3 機能説明	8
2 アプリケーション	1	6.4 デバイスの機能モード	8
3 説明	1	7 アプリケーションと実装	9
4 ピン構成および機能	3	7.1 アプリケーション情報	9
5 仕様	4	7.2 代表的なアプリケーション	9
5.1 絶対最大定格	4	7.3 電源に関する推奨事項	11
5.2 ESD 定格	4	7.4 レイアウト	11
5.3 推奨動作条件	4	8 デバイスおよびドキュメントのサポート	12
5.4 熱に関する情報	4	8.1 ドキュメントの更新通知を受け取る方法	12
5.5 電気的特性	5	8.2 サポート・リソース	12
5.6 スイッチング特性	5	8.3 商標	12
5.7 代表的特性	6	8.4 静電気放電に関する注意事項	12
6 詳細説明	8	8.5 用語集	12
6.1 概要	8	9 改訂履歴	12
6.2 機能ブロック図	8	10 メカニカル、パッケージ、および注文情報	13

4 ピン構成および機能

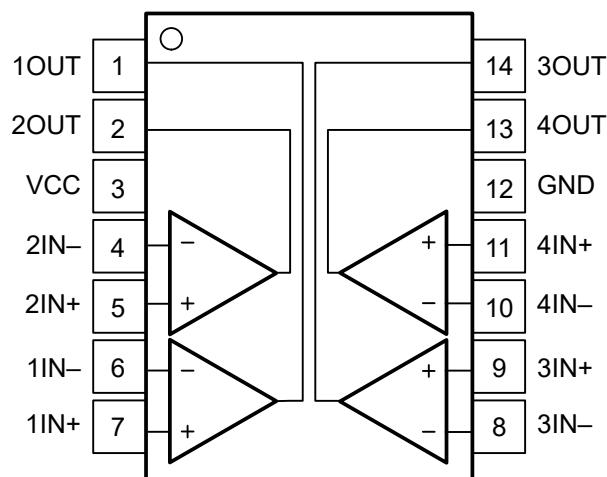


図 4-1. D、N パッケージ
14 ピン SOIC、PDIP
上面図

表 4-1. ピンの機能

ピン		I/O	説明
名称 ⁽¹⁾	D、N		
OUT1 ⁽¹⁾	1	出力	コンパレータ 2 の出力ピン
OUT2 ⁽¹⁾	2	出力	コンパレータ 1 の出力ピン
V _{CC}	3	—	正電源
IN2- ⁽¹⁾	4	入力	コンパレータ 1 の負入力ピン
IN2+ ⁽¹⁾	5	入力	コンパレータ 1 の正入力ピン
IN1- ⁽¹⁾	6	入力	コンパレータ 2 の負入力ピン
IN1+ ⁽¹⁾	7	入力	コンパレータ 2 の正入力ピン
IN3-	8	入力	コンパレータ 3 の負入力ピン
IN3+	9	入力	コンパレータ 3 の正入力ピン
IN4-	10	入力	コンパレータ 4 の負入力ピン
IN4+	11	入力	コンパレータ 4 の正入力ピン
GND	12	—	負電源
OUT4	13	出力	コンパレータ 4 の出力ピン
OUT3	14	出力	コンパレータ 3 の出力ピン

(1) 一部のメーカーでは、チャネル 1 と 2 の名前が入れ替わります。ピン配置は電気的に同一ですが、チャネル命名規則が異なります。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
電源電圧: $V_S = (V+) - (V-)$		28	V
差動入力電圧: V_{ID} ⁽²⁾		±28	V
入力ピン (IN+、IN-)	-0.3	28	V
入力ピンへの電流 (IN+、IN-)		-20	mA
出力ピン (OUT)	-0.3	28	V
出力シンク電流		20	mA
出力短絡時間 ⁽³⁾		制限なし	s
接合部温度、 T_J		150	°C
保管温度、 T_{stg}	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、推奨動作条件に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。
- (2) 差動電圧は、IN- を基準とする IN+ です。
- (3) 出力から V+ への短絡が発生すると、過熱や最終的な破壊の原因となる可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		人体モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±1000	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
電源電圧: $V_S = (V+) - (V-)$	2	28	V
周囲温度、 T_A	-40	85	°C
入力電圧範囲、 V_{IVR}	V_-	$(V+) - 2.0$	V
出力電圧	V_-	28	V

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM3302		単位
		N (PDIP)	D (SOIC)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	114.9	111.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	93.8	66.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	77.7	67.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	60.4	28.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	76.7	67.4	°C/W

- (1) 従来および新しい熱評価基準の詳細については、「半導体および IC パッケージの熱評価基準」レポート (SPRA953) を参照してください。

5.5 電気的特性

指定された自由空気温度で、 $V_{CC} = 5V$ (特に記述のない限り)

パラメータ		テスト条件 ⁽¹⁾	T_A	LM3302			単位
				最小値	標準値	最大値	
V_{IO}	入力オフセット電圧	$V_{IC} = V_{ICR}$ 最小値、 $V_O = 1.4V$ 、 $V_{CC} = 5V \sim 28V$	25°C		3	20	mV
			-40°C ~ +85°C			40	
I_{IO}	入力オフセット電流	$V_O = 1.4V$	25°C		3	100	nA
			-40°C ~ +85°C			300	
I_{IB}	入力バイアス電流		25°C		-25	-500	nA
			-40°C ~ +85°C			-1000	
V_{ICR}	同相入力電圧範囲		25°C	0 ~ $V_{CC} - 1.5$			V
			-40°C ~ +85°C	0 ~ $V_{CC} - 2$			
A_{VD}	大信号の差動電圧増幅	$V_{CC} = 15V$ 、 $V_O = 1.4V \sim 11.4V$ 、 $R_L \geq 15k\Omega$ を V_{CC} に接続	25°C	2	30		V/mV
I_{OH}	High レベル出力電流	$V_{ID} = 1V$	$V_{OH} = 5V$	25°C		0.1	nA
				-40°C ~ +85°C		1	μA
V_{OL}	Low レベル出力電圧	$V_{ID} = -1V$	$I_{OL} = 4mA$	25°C		150	mV
				-40°C ~ +85°C		700	
I_{OL}	Low レベル出力電流	$V_{ID} = -1V$ 、	$V_{OL} = 1.5 V$	25°C	6	16	mA
I_{CC}	電源電流 (4 つのコンバレータ)	$V_O = 2.5V$ 、 無負荷	$V_{CC} = 5 V$	25°C		0.8	mA

(1) 特に記述のない限り、すべての特性はゼロ同相入力電圧で測定されます。

5.6 スイッチング特性

$V_{CC} = 5V$ 、 $T_A = 25^\circ C$

パラメータ	テスト条件	LM3302		単位
		標準値		
応答時間	R_L は $5.1k\Omega$ 経由で $5V$ に接続、 $C_L = 15pF$ ⁽¹⁾ ⁽²⁾	5mV オーバードライブで $100mV$ の入力 ステップ	1.3	μs
		TTL レベルの入力ステップ	0.3	

(1) C_L にはプローブと治具の容量が含まれます。

(2) 記載されている応答時間は、入力ステップの動作から、出力が $1.4V$ を超える瞬間までの時間です。

5.7 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_{PULLUP} = 5.1\text{k}$ 、 $C_L = 15\text{pF}$ 、 $V_{CM} = 0\text{V}$ 、 $V_{UNDERDRIVE} = 100\text{mV}$ 、 $V_{OVERDRIVE} = 100\text{mV}$ (特に記述のない限り)。

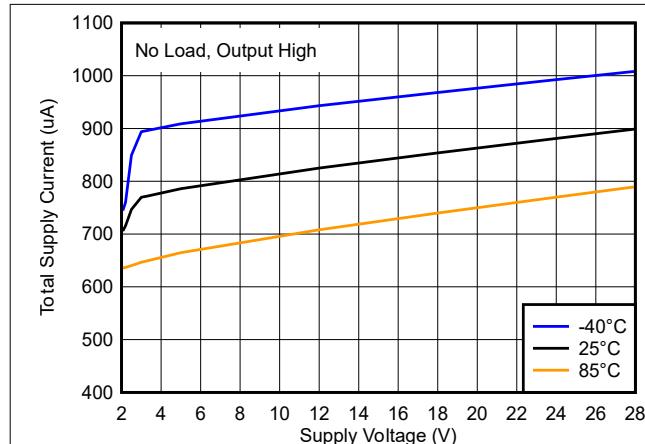


図 5-1. 合計電源電流と電源電圧との関係

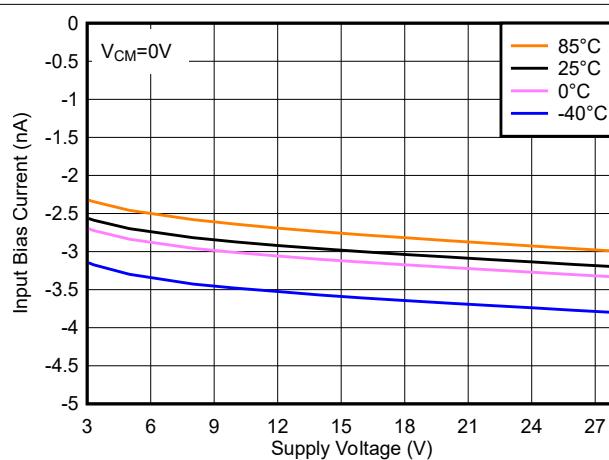


図 5-2. 入力バイアス電流と電源電圧との関係

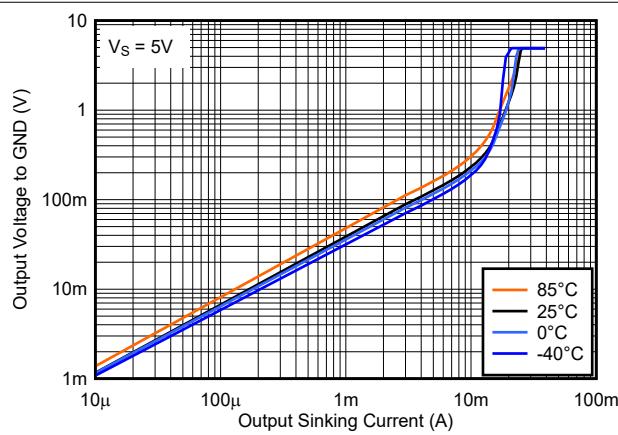


図 5-3. 出力 Low 電圧と出力シンク電流の関係、5V

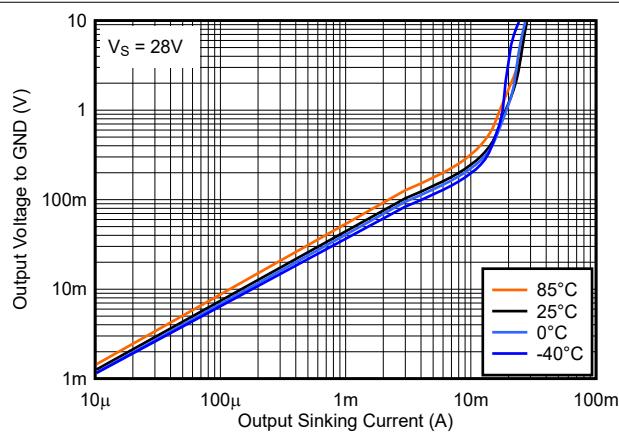


図 5-4. 出力 Low 電圧と出力シンク電流の関係、28V

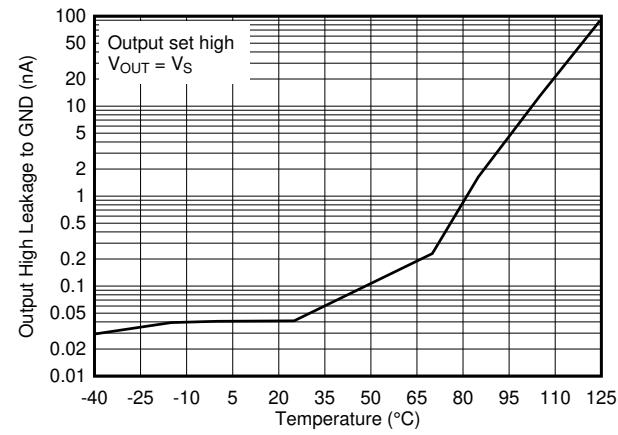


図 5-5. 出力 High リーク電流と温度との関係、5V

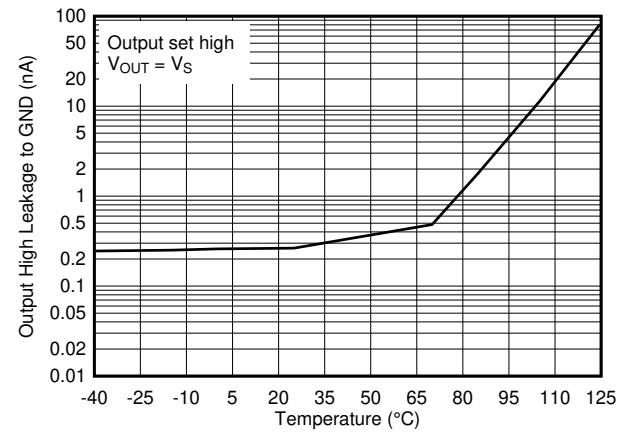


図 5-6. 出力 High リーク電流と温度との関係、28V

5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_{PULLUP} = 5.1\text{k}$ 、 $C_L = 15\text{pF}$ 、 $V_{CM} = 0\text{V}$ 、 $V_{UNDERDRIVE} = 100\text{mV}$ 、 $V_{OVERDRIVE} = 100\text{mV}$ (特に記述のない限り)。

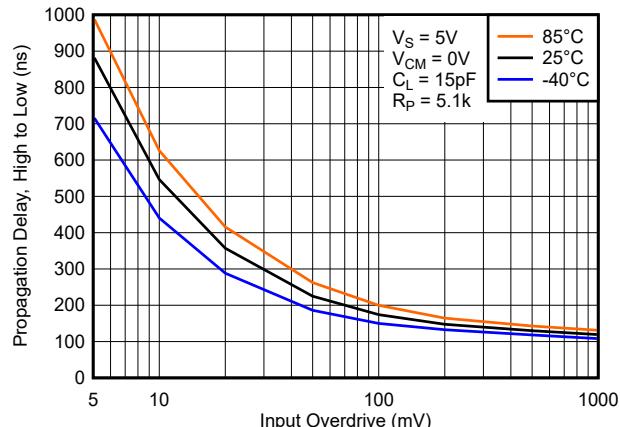


図 5-7. High から Low までの伝搬遅延と入力オーバードライブ電圧との関係、5V

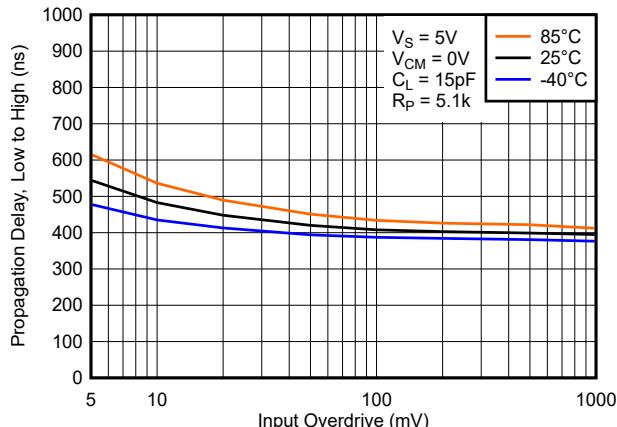


図 5-8. Low から High までの伝搬遅延と入力オーバードライブ電圧との関係、5V

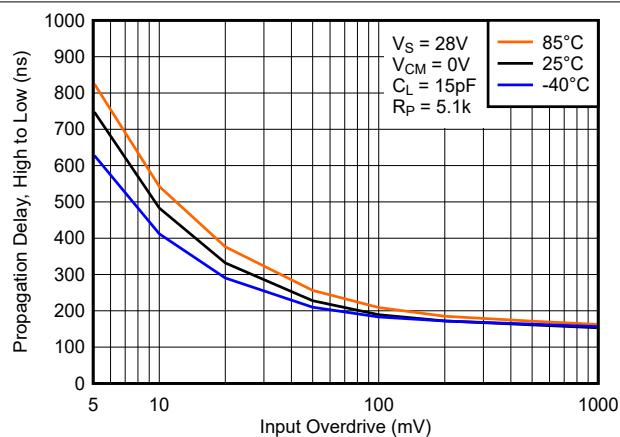


図 5-9. High から Low までの伝搬遅延と入力オーバードライブ電圧との関係、28V

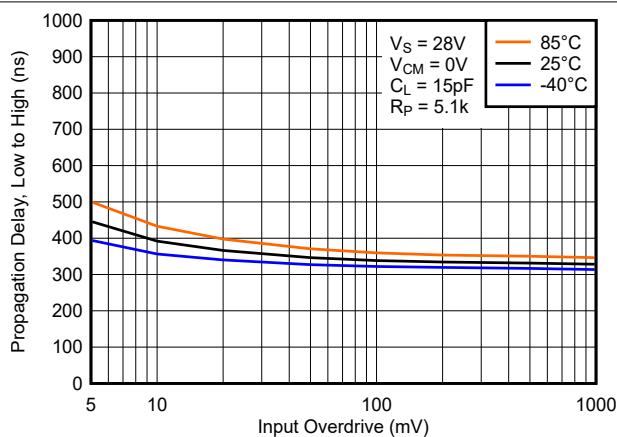


図 5-10. Low から High までの伝搬遅延と入力オーバードライブ電圧との関係、28V

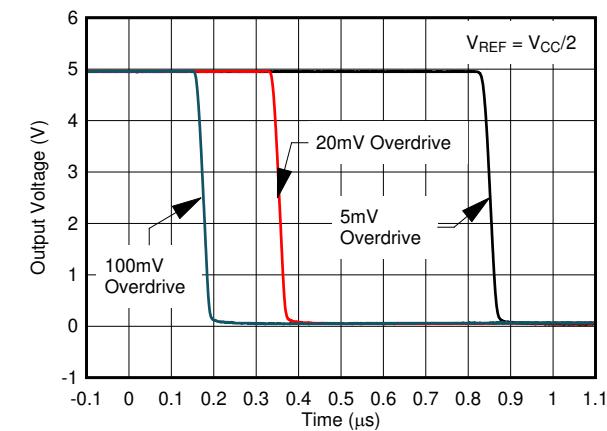


図 5-11. 各種オーバードライブの応答時間、High から Low への遷移

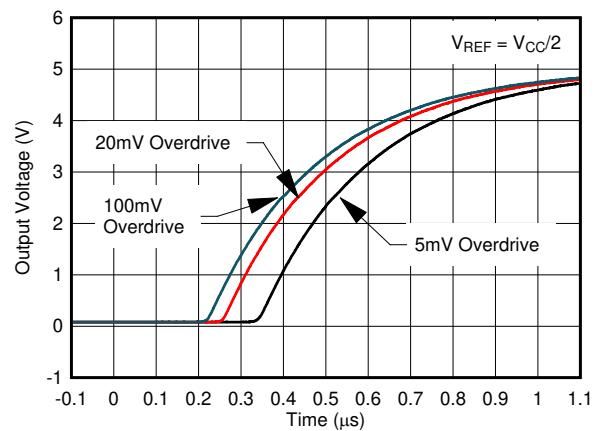


図 5-12. 各種オーバードライブの応答時間、Low から High への遷移

6 詳細説明

6.1 概要

これらのクワッドコンパレータは、電源ピンで絶対最大定格 28V まで動作できます。本デバイスは、広範なアプリケーションにわたる普遍性と汎用性が証明されています。これは、非常に広い電源電圧範囲、低 I_{q} 、およびデバイスの高速な応答によるものです。

オープンコレクタ出力により、VCC に依存しない目的のロジックレベルにレベルシフトできると同時に、複数の出力を一緒に接続した場合、AND で機能を有効化することもできます。

6.2 機能ブロック図

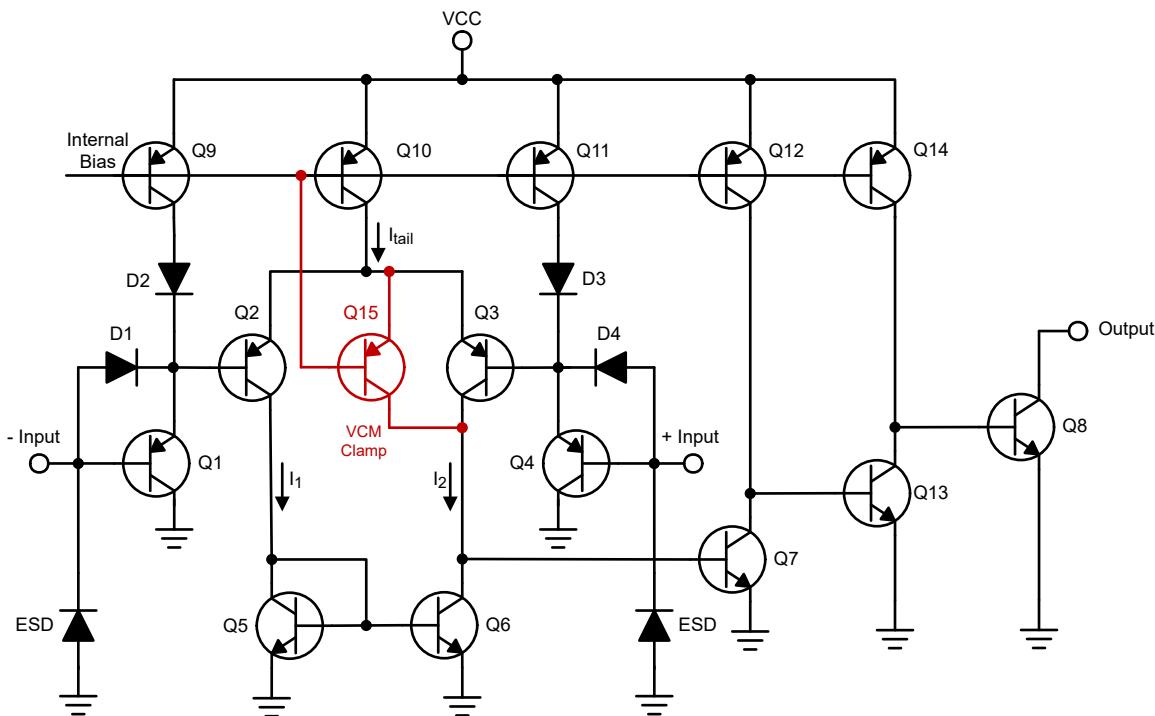


図 6-1. 回路図 (各コンパレータ)

6.3 機能説明

このコンパレータは PNP ダーリントンペア入力で構成されており、入力バイアス電流を最小限に抑えながら、非常に高いゲインと高速な応答で動作できます。入力ダーリントンペアにより、入力同相電圧能力に制限が生じ、コンパレータは全温度範囲においてグランドから $V_{CC} - 2V$ までの入力で正確に機能できます。元の従来型シリコンの入力電圧範囲を上回る動作を模倣するため、Q3 の周囲にクランプを追加しました。

出力は、オープンドレインの NPN (プルダウンまたはローサイド)トランジスタで構成されています。負の入力電圧が正の入力電圧およびオフセット電圧よりも高い場合、出力 NPN は電流をシンクします。 V_{OL} は抵抗性で、出力電流に応じてスケーリングされます。出力電流の V_{OL} 値については、「出力 Low 電圧と出力シンク電流」のグラフを参照してください。

6.4 デバイスの機能モード

6.4.1 電圧の比較

本コンパレータは電圧コンパレータとしてのみ動作し、正のピンと負のピンとの差動電圧を比較して、入力差動極性に基づいてロジック Low または高インピーダンス (プルアップによりロジック High) を出力します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

一般的に、コンパレータは、単一信号を基準電圧または 2 つの異なる信号と比較します。多くのユーザーは、オープンドレン出力を活用して、比較ロジックの出力を、MCU またはロジックデバイスのロジック電圧レベルに駆動します。広い電源電圧範囲と高い電圧能力から、LM3302 は高電圧または低電圧へのレベルシフトに最適です。

7.2 代表的なアプリケーション

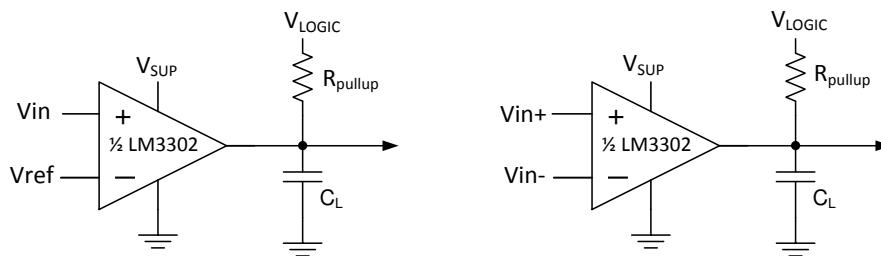


図 7-1. シングルエンドおよび差動コンパレータの構成

7.2.1 設計要件

この設計例では、表 7-1 に記載されているパラメータを入力パラメータとして使用します。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧範囲	0V~Vs ^{up} - 2V
電源電圧	4.5V~V _{CC} 最大値
ロジック電源電圧	0V~V _{CC} 最大値
出力電流 (R _{PULLUP})	1μA~4mA
入力オーバードライブ電圧	100mV
基準電圧	2.5V
負荷容量 (C _L)	15pF

7.2.2 詳細な設計手順

一般的なコンパレータアプリケーションで LMx39 を使用する場合、次の仕様を決定します。

- 入力電圧範囲
- 最小オーバードライブ電圧
- 出力および駆動電流
- 応答時間

7.2.2.1 入力電圧範囲

入力電圧範囲を選択するときは、入力同相電圧範囲 (V_{ICR}) を考慮する必要があります。動作温度が 25°C よりも低い場合、 V_{ICR} の範囲は $0\text{V} \sim V_{CC} - 2.0\text{V}$ です。これにより、入力電圧範囲は最大 $V_{CC} - 2.0\text{V}$ 、最小 0V に制限されます。この範囲外の動作では、誤った比較が行われる可能性があります。

入力電圧の状況と、それぞれの結果の一覧を、以下に示します。

1. IN- と IN+ の両方が同相範囲内の場合:
 - a. IN- が IN+ およびオフセット電圧より高い場合、出力は Low になり、出力トランジスタは電流をシンクします
 - b. IN- が IN+ およびオフセット電圧より低い場合、出力は高インピーダンスになり、出力トランジスタは導通しません
2. IN- が同相範囲より高く、IN+ が同相範囲内のとき、出力は Low になり、出力トランジスタは電流をシンクします
3. IN+ が同相範囲より高く、IN- が同相範囲内のとき、出力は高インピーダンスになり、出力トランジスタは導通しません
4. IN- と IN+ の両方が同相範囲より高い場合は、『LM339, LM393, TL331 ファミリ コンパレータ (新しい B バージョンを含む) のアプリケーション設計ガイドライン』のセクション 2 を参照してください。

7.2.2.2 最小オーバードライブ電圧

オーバードライブ電圧は、オフセット電圧 (V_{IO}) 上で、コンパレータの正の入力と負の入力の間で生成される差動電圧です。正確な比較を行うには、オーバードライブ電圧 (V_{OD}) を入力オフセット電圧 (V_{IO}) よりも高くする必要があります。オーバードライブ電圧は、コンパレータの応答時間を決定することもできます。オーバードライブが増加すると、応答時間が短くなります。オーバードライブ電圧に対する正と負の応答時間を、図 7-2 と図 7-3 に示します。

7.2.2.3 出力および駆動電流

出力電流は、負荷、プルアップ抵抗、ロジック電圧およびプルアップ電圧によって決定されます。出力電流は、コンパレータから低レベルの出力電圧 (V_{OL}) を生成します。ここで、 V_{OL} は出力電流に比例します。

出力電流は、過渡応答にも影響を及ぼすことがあります。

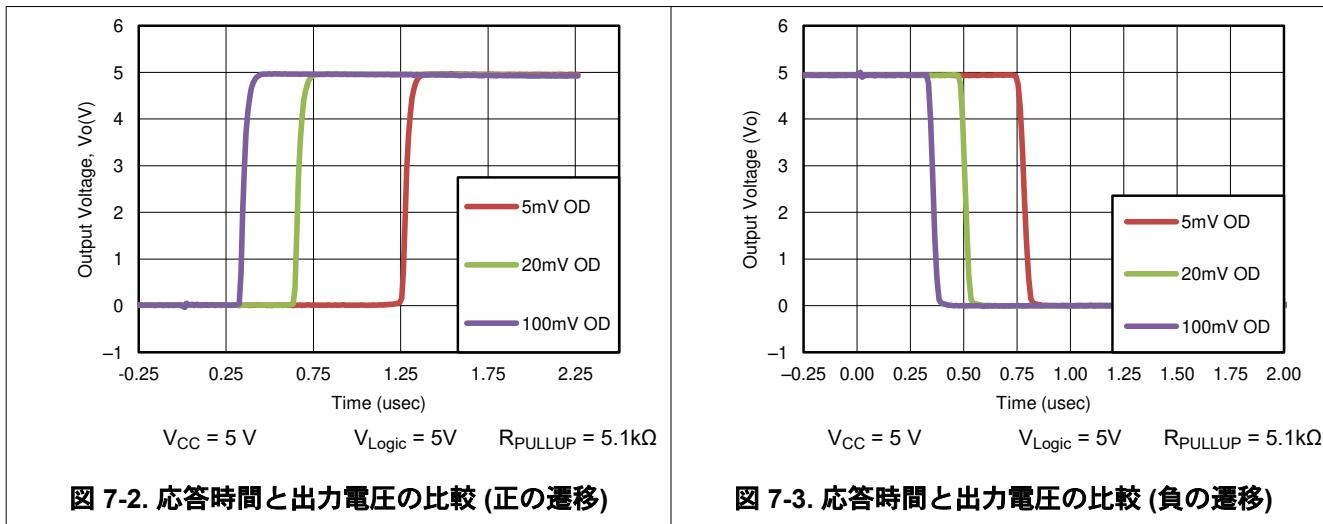
7.2.2.4 応答時間

応答時間は、オーバードライブに対する入力の関数です。標準応答時間については、代表的特性 のグラフを参照してください。立ち上がりおよび立ち下がり時間は、負荷容量 (C_L)、負荷/プルアップ抵抗 (R_{PULLUP})、および等価コレクタ-エミッタ間抵抗 (R_{CE}) によって決定できます。

- 立ち上がり時間 (t_R) は、約 $t_R = R_{PULLUP} \times C_L$ です。
- 立ち下がり時間 (t_F) は、約 $t_F = R_{CE} \times C_L$ です。
 - R_{CE} は、図 5-11 で目的の温度における線形領域の勾配を計測するか、 V_{OL} を I_{out} で除算することで決定できます。

7.2.3 アプリケーション曲線

図 7-2 と 図 7-3 は、スコーププローブの寄生容量 50pF を使用して生成したものです。



7.3 電源に関する推奨事項

ノイズの多い入力や AC 入力を使用し、高速な応答と比較を行うアプリケーションでは、電源ピンにバイパスコンデンサを使用して、電源電圧の変動を除去することを推奨します。このような変動がコンパレータ入力の同相範囲に影響を与え、比較が不正確になる可能性があります。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

高精度でヒステリシスなしのコンパレータ アプリケーションでは、ノイズやグリッチを最小限に抑えながら、安定した電源を維持することが重要です。電源電圧とグランドとの間にバイパス コンデンサを追加するのが最良の事例です。このコンデンサは、正の電源と負の電源(存在する場合)に実装できます。負の電源を使用しない場合は、**GND** ピンとシステムグランドとの間にコンデンサを配置しないでください。

出力の発振を防ぐため、出力と反転入力との間のカップリングを最小限に抑えます。カップリングを低減するため、出力と反転入力の配線の間に V_{CC} または GND の配線が存在する場合を除いて、出力と反転入力の配線を並列に配置してはいけません。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。

7.4.2 レイアウト例

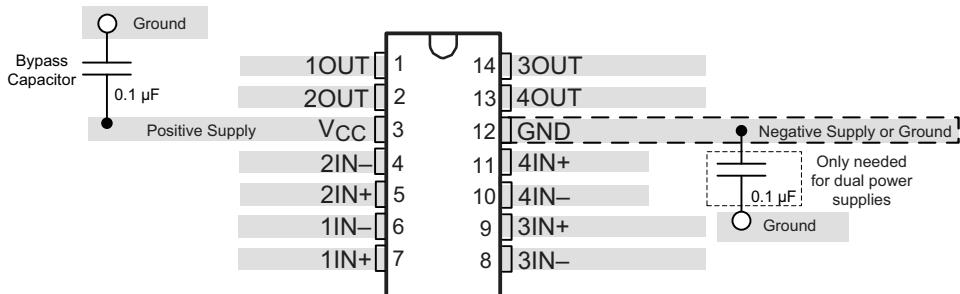


図 7-4. LM3302 のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の【アラートを受け取る】をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (August 2003) to Revision B (April 2025)	Page
• 新しい TI データシートのフォーマットに更新。電気特性表の仕様に変更なし。	1
• 新しいパッケージの ESD 表を更新。	4
• 新しいパッケージの「熱に関する情報」の表を更新。	4
• 「代表的なグラフ」を追加。	6
• 機能ブロック図を更新。	8

Changes from Revision * (October 1977) to Revision A (August 2003)	Page
• セラミック「J」パッケージを削除。SOIC 注文オプションを追加。	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM3302D	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-40 to 85	LM3302
LM3302DR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LM3202, LM3302)
LM3302DR.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LM3202, LM3302)
LM3302DRE4	Active	Production	SOIC (D) 14	2500 LARGE T&R	-	Call TI	Call TI	-40 to 85	
LM3302N	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LM3302N
LM3302N.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LM3302N

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

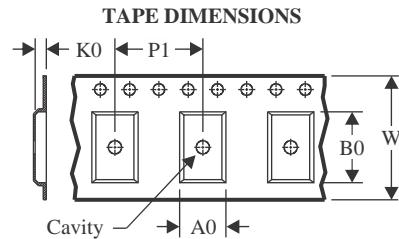
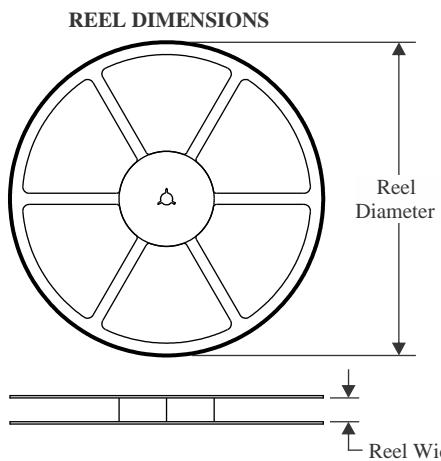
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

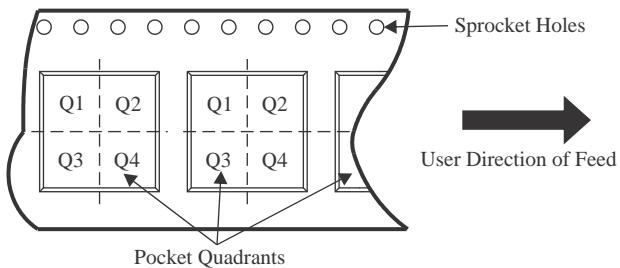
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



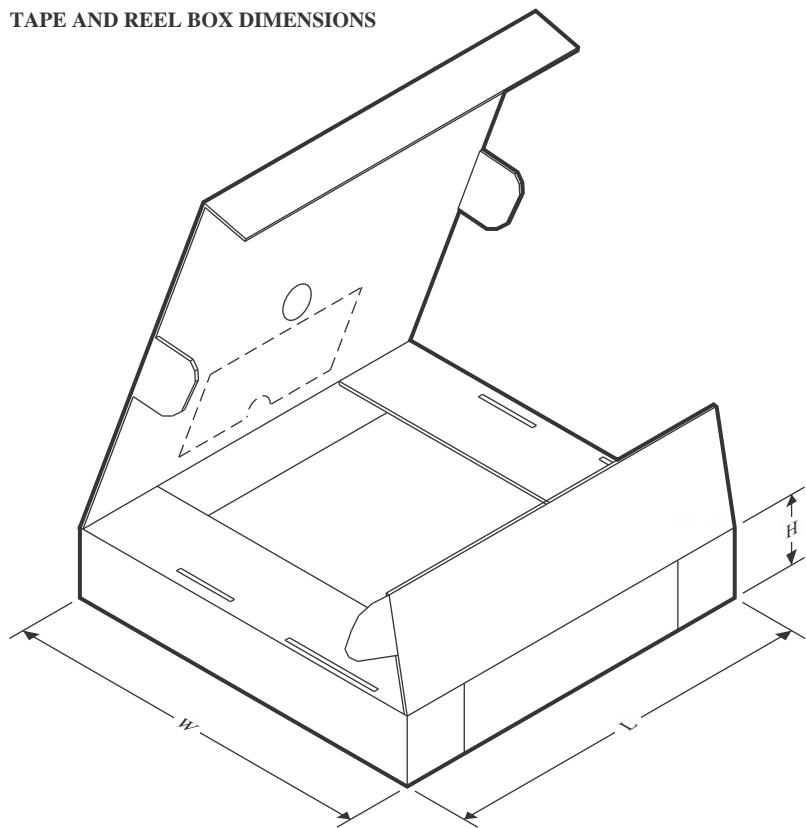
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



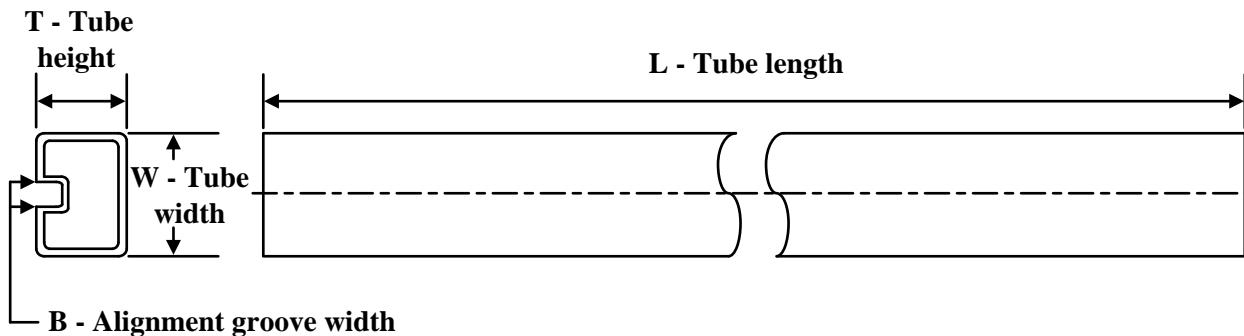
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM3302DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LM3302DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM3302DR	SOIC	D	14	2500	353.0	353.0	32.0
LM3302DR	SOIC	D	14	2500	353.0	353.0	32.0

TUBE


*All dimensions are nominal

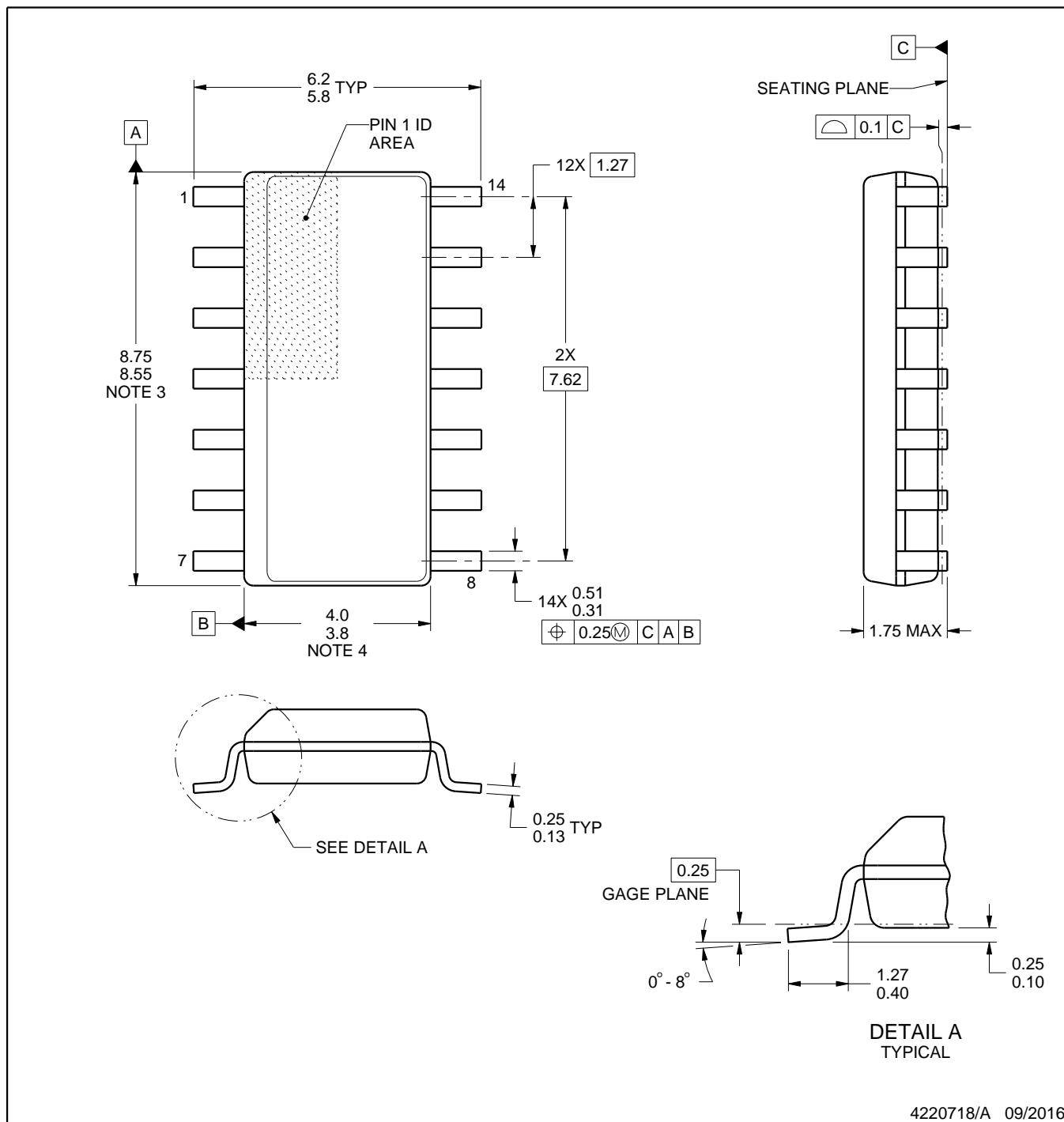
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
LM3302N	N	PDIP	14	25	506	13.97	11230	4.32
LM3302N	N	PDIP	14	25	506	13.97	11230	4.32
LM3302N.A	N	PDIP	14	25	506	13.97	11230	4.32
LM3302N.A	N	PDIP	14	25	506	13.97	11230	4.32

PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

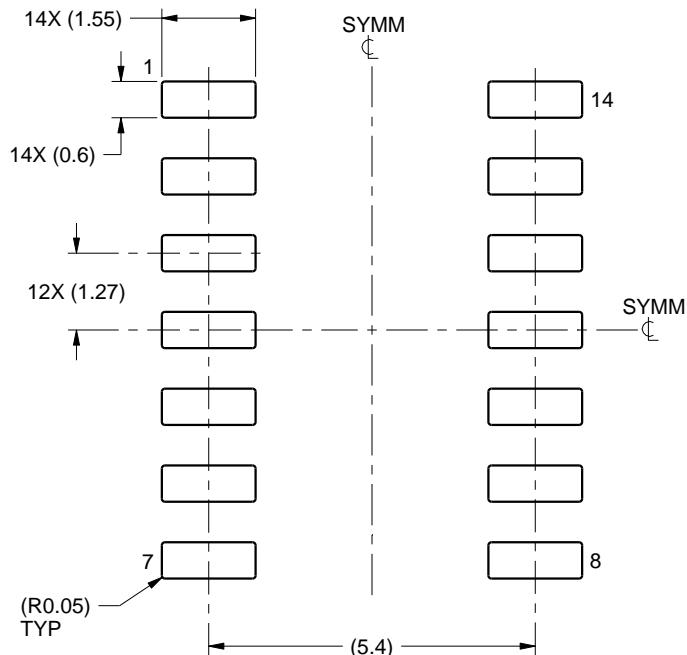
- All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
- Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

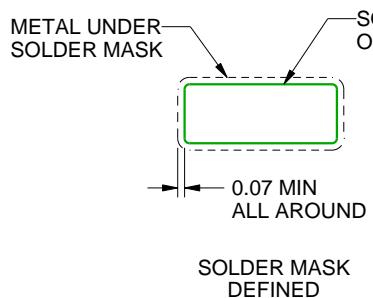
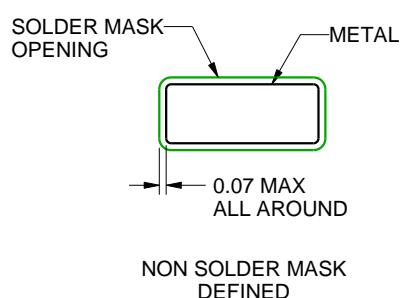
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

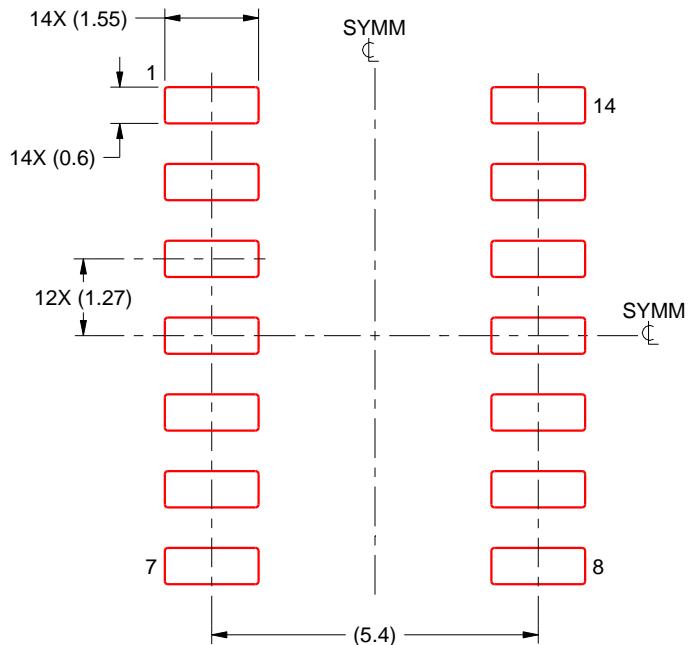
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

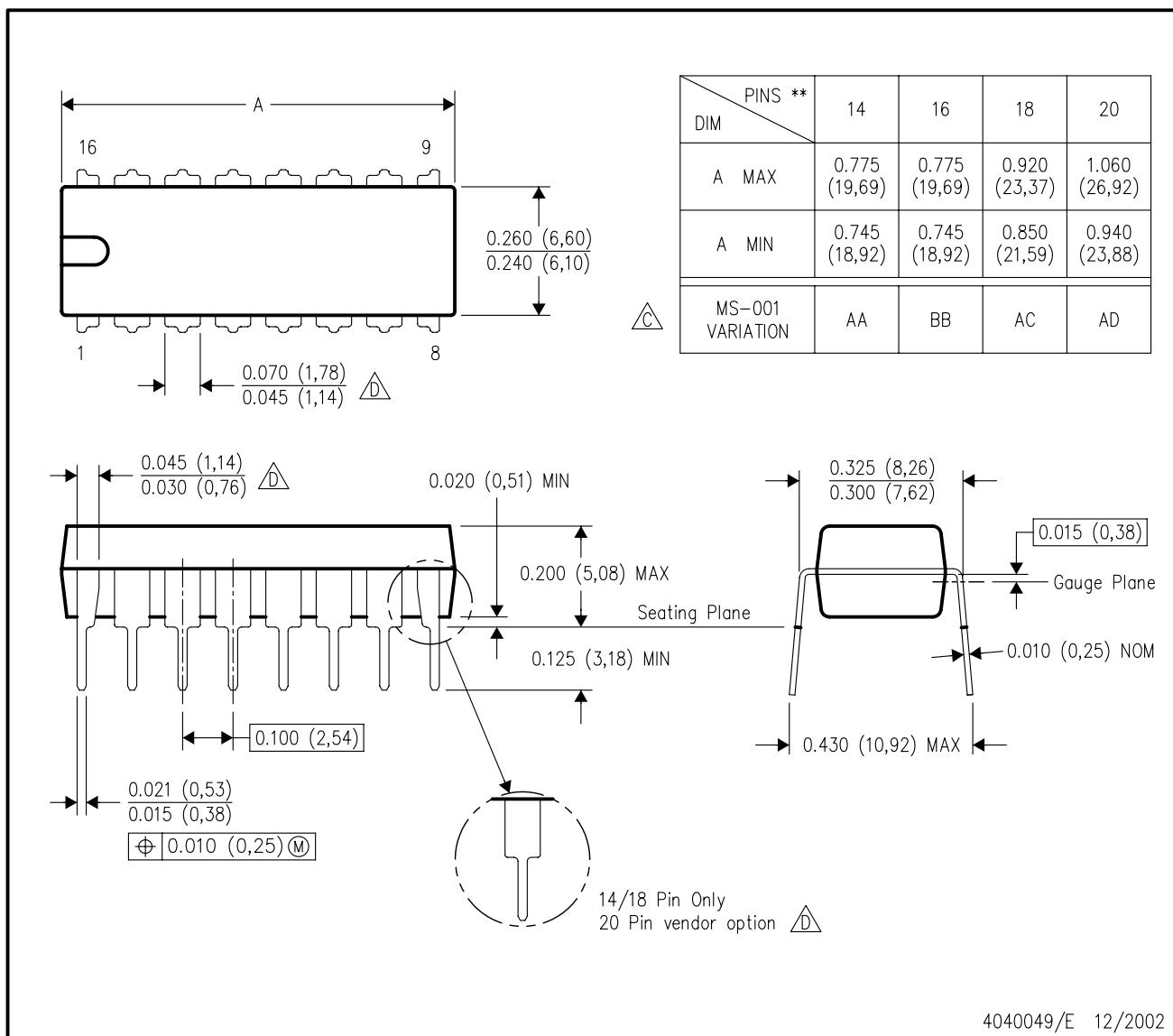
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月