LM3488Q-Q1 昇圧、SEPIC、およびフライバック DC/DC コンバータ用、高効率コントローラ

1 特長

- 車載グレード製品、AEC-Q100 認定済み
- 8 リードの VSSOP パッケージ
- 1A のピーク電流能力を備えた内部プッシュプル ドライバを内蔵
- 電流制限およびサーマル シャットダウン保護機能
- コンデンサと抵抗により周波数補償を最適化
- 内部ソフト スタート
- 電流モード動作
- ヒステリシス付きの低電圧誤動作防止
- 主な仕様:
  - 広い電源電圧範囲:2.97V～40V
  - 100kHz ～ 1MHz 可変および同期可能なクロック周波数
  - ±1.5% (過熱時)内部リファレンス
  - 5μA のシャットダウン電流 (過熱時)
- WEBENCH Power Designer により、LM3488Q-Q1 を使用するカスタム設計を作成

2 アプリケーション

- スタート ストップ アプリケーション
- ADAS ドライバ情報
- トラクションインバータおよびオンボード充電器の絶縁型電源 (フライバック)
- デジタルコックピットおよびヘッドユニット

3 説明

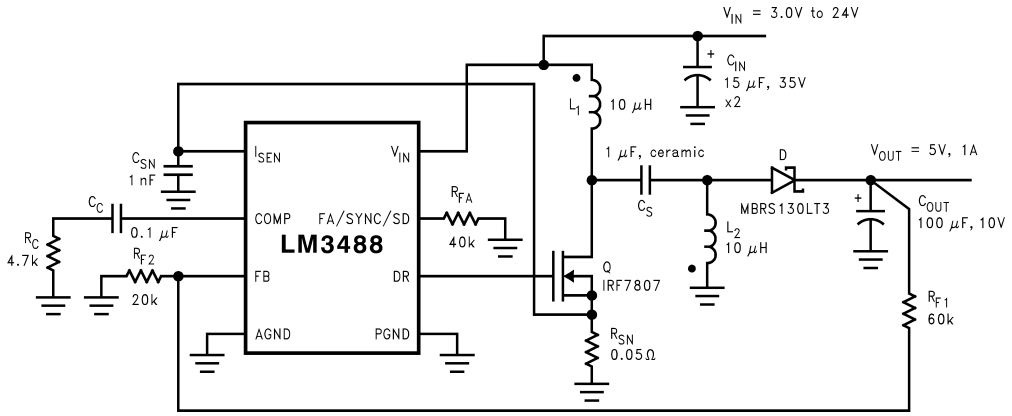
LM3488Q-Q1 は、スイッチング レギュレータ用のローサイド、N チャネル FET、高性能コントローラで、さまざまな用途に使用できます。このデバイスは、昇圧、フライバック、SEPIC など、ローサイド FET を必要とするトポロジに適しています。さらに、LM3488Q-Q1 デバイスは、非常に高いスイッチング周波数で動作可能なため、ソリューション全体を小型化できます。LM3488Q-Q1 デバイスのスイッチング周波数は、1 個の外付け抵抗を使用するか、または外部クロックと同期させることにより、100kHz～1MHz の任意の値に調整できます。電流モード制御を使うと、サイクルごとの電流制限が可能になることに加え、優れた帯域幅と過渡応答が得られます。出力電流は、1 個の外付け抵抗で設定できます。

LM3488Q-Q1 にはサーマル シャットダウン、短絡保護、過電圧保護などの機能が組み込まれています。省電力シャットダウン モードにより、合計消費電流は 5μA に低減され、電源シーケンスを実行できます。内部ソフトスタートにより、スタートアップ時の突入電流が制限されます。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
LM3488Q-Q1	VSSOP (8)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



代表的な SEPIC コンバータ

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....3
5.1 絶対最大定格.....3
5.2 ESD 定格.....3
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....4
5.6 代表的特性.....6
6 詳細説明.....10
6.1 概要.....10
6.2 機能ブロック図.....11
6.3 機能説明.....11
6.4 デバイスの機能モード.....15
7 アプリケーションと実装.....16
7.1 使用上の注意.....16
7.2 代表的なアプリケーション.....16
8 電源に関する推奨事項.....27
9 レイアウト.....28
9.1 レイアウトのガイドライン.....28
9.2 レイアウト例.....29
10 デバイスおよびドキュメントのサポート.....30
10.1 WEBENCH ツールによるカスタム設計.....30
10.2 ドキュメントの更新通知を受け取る方法.....30
10.3 サポート・リソース.....30
10.4 商標.....30
10.5 静電気放電に関する注意事項.....30
10.6 用語集.....30
11 改訂履歴.....30
12 メカニカル、パッケージ、および注文情報.....31

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

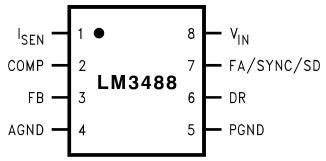


図 4-1. 8 ピン DGK VSSOP パッケージ (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
I_{SEN}	1	I	電流検出入力ピン。外部センス抵抗の両端で生成される電圧がこのピンに供給されます。
COMP	2	A	補償ピン。このピンに抵抗とコンデンサを組み合わせて接続することで、制御ループを補正できます。
FB	3	I	フィードバック ピン。出力電圧は、分圧抵抗を使用して、このピンに 1.26V を供給するよう調整する必要があります。
AGND	4	P	アナログ グランド ピン。
PGND	5	P	電源グランド ピン。
DR	6	O	IC の駆動ピン。外部 MOSFET のゲートをこのピンに接続する必要があります。
FA/SYNC/SD	7	A	周波数調整、同期、シャットダウンピン。このピンに接続する抵抗によって、発信機周波数が設定されます。このピンに外部クロック信号を印加すると、コントローラがクロックの周波数に同期されます。このピンが 30µs よりも長い間 High になると、デバイスはオフになります。これにより、デバイスが電源から取り出す電流は 10µA 未満になります。
V_{IN}	8	P	電源入力ピン。

5 仕様

5.1 絶対最大定格

(1)		最小値	最大値	単位
入力電圧			45	V
FB ピン電圧		$-0.4 < V_{FB}$	$V_{FB} < 7$	V
FA/SYNC/SD ピン電圧		$-0.4 < V_{FA/SYNC/SD}$	$V_{FA/SYNC/SD} < 7$	V
ピークドライバ出力電流 (< 10µs)			1	A
消費電力			内部的に制限	
接合部温度			150	°C
リード温度	気相 (60 秒)		215	°C
	赤外線 (15 秒)		260	°C
DR ピン電圧		-0.4 ≤ VDR	VDR ≤ 8	V
I_{SEN} ピン電圧			600	mV

(1) 絶対最大定格は、これを超過するとデバイスが損傷する可能性がある限界値です。セクション 5.3 は、デバイスが意図どおりに機能することを想定した条件です。仕様および試験条件については、セクション 5.5 を参照してください。

5.2 ESD 定格

				最小値	最大値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)		-2000	2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	コーナー ピン (1、4、5、8)	-750	750	
			その他のピン	-750	750	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

5.3 推奨動作条件

	最小値	最大値	単位
電源電圧	$2.97 \le V_{IN}$	$V_{IN} \le 40$	V
接合部温度範囲	$-40 \le T_J$	$T_J \le 125$	°C
スイッチング周波数	$100 \le F_{SW}$	$F_{SW} \le 1000$	kHz

5.4 熱に関する情報

熱評価基準[1]		LM3488-Q1 DGK 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	151.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	45.3	
$R_{\theta JB}$	接合部から基板への熱抵抗	85.6	
Ψ_{JT}	接合部から上面への熱特性パラメータ	1.5	
Ψ_{JB}	接合部から基板への熱特性パラメータ	84.2	

(1) 従来および最新の熱評価基準の詳細については、アプリケーションノート、「*IC パッケージの熱評価基準*」を参照してください。

5.5 電気的特性

特に記述のない限り、V_{IN} = 12V、R_{FA} = 40kΩ、T_J = 25°C

	パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{FB}	帰還電圧	V_{COMP} = 1.4V、$2.97 \le V_{IN} \le 40$V	1.2507	1.26	1.2753	V
		V_{COMP} = 1.4V、$2.97 \le V_{IN} \le 40$V、$-40°C \le T_J \le 125°C$	1.24		1.28	
ΔV_{LINE}	帰還電圧ラインレギュレーション	$2.97 \le V_{IN} \le 40$V		0.001		%/V
ΔV_{LOAD}	出力電圧負荷レギュレーション	I_{EAO} ソース/シンク		±0.5		%/A
V_{UVLO}	入力低電圧誤動作防止			2.85		V
		$-40°C \le T_J \le 125°C$			2.97	
$V_{UV(HYS)}$	入力低電圧誤動作防止ヒステリシス			170		mV
		$-40°C \le T_J \le 125°C$	130		210	
F_{nom}	公称スイッチング周波数	R_{FA} = 40KΩ		400		kHz
		R_{FA} = 40KΩ、$-40°C \le T_J \le 125°C$	360		430	
$R_{DS1\ (ON)}$	ドライバスイッチオン抵抗 (上)	I_{DR} = 0.2A、V_{IN}= 5V		16		Ω
$R_{DS2\ (ON)}$	ドライバスイッチオン抵抗 (下)	I_{DR} = 0.2A		4.5		Ω
$V_{DR\ (max)}$	最大駆動電圧振幅[1]	V_{IN} < 7.2V		V_{IN}		V
		$V_{IN} \geqq 7.2$V		7.2		
D_{max}	最大デューティ サイクル[2]			100%		
T_{min} (on)	最小オン時間			325		ns 秒
		$-40°C \le T_J \le 125°C$	230		550	
I_{SUPPLY}	電源電流 (スイッチング)	[3] を参照		2.7		mA
		[3] を参照、$-40°C \le T_J \le 125°C$			3.0	
I_Q	シャットダウン モードの静止電流	$V_{FA/SYNC/SD}$ = 5V[4]、V_{IN} = 5V		5		μA
		$V_{FA/SYNC/SD}$ = 5V[4]、V_{IN} = 5V、$-40°C \le T_J \le 125°C$			7	
V_{SENSE}	電流検出スレッショルド電圧	V_{IN} = 5V	135	156	180	mV
		V_{IN} = 5V、$-40°C \le T_J \le 125°C$	125		190	
V_{SC}	短絡電流制限検出電圧	V_{IN} = 5V		343		mV
		V_{IN} = 5V、$-40°C \le T_J \le 125°C$	250		415	

Copyright © 2026 Texas Instruments Incorporated

特に記述のない限り、V_{IN} = 12V、R_{FA} = 40kΩ、T_J = 25°C

	パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{SL}	内部補償ランプ電圧	V_{IN} = 5V		92		mV
		V_{IN} = 5V、−40°C ≤ T_J ≤ 125°C	52		132	
V_{SL} 率	V_{SL}/V_{SENSE}		0.30	0.49	0.70	
V_{OVP}	出力過電圧保護 (帰還電圧を基準)(5)	V_{COMP} = 1.4V	32	50	78	mV
		V_{COMP} = 1.4V、−40°C ≤ T_J ≤ 125°C	25		85	
$V_{OVP(HYS)}$	出力過電圧保護ヒステリシス(5)	V_{COMP} = 1.4V		60		mV
		V_{COMP} = 1.4V、−40°C ≤ T_J ≤ 125°C	20		110	
Gm	エラーアンプ相互コンダクタンス	V_{COMP} = 1.4V、I_{EAO} = 100µA (ソース/シンク)	600	800	1000	µmho
		V_{COMP} = 1.4V、I_{EAO} = 100µA (ソース/シンク)、−40°C ≤ T_J ≤ 125°C	365		1265	
A_{VOL}	エラーアンプ電圧ゲイン	V_{COMP} = 1.4V、I_{EAO} = 100µA (ソース/シンク)		38		V/V
		V_{COMP} = 1.4V、I_{EAO} = 100µA (ソース/シンク)、−40°C ≤ T_J ≤ 125°C	26		44	
I_{EAO}	エラーアンプの出力電流 (ソース/シンク)	ソース、V_{COMP} = 1.4V、V_{FB} = 0V	80	110	170	µA
		ソース、V_{COMP} = 1.4V、V_{FB} = 0V、-40°C ≤ T_J ≤ 125°C	50		220	
		シンク、V_{COMP} = 1.4V、V_{FB} = 1.4V	-70	-140	-180	µA
		シンク、V_{COMP} = 1.4V、V_{FB} = 1.4V、-40°C ≤ T_J ≤ 125°C	-60		-185	
V_{EAO}	エラーアンプの出力電圧振幅	上限:V_{FB} = 0V、COMP ピンはフローティング		2.2		V
		上限:V_{FB} = 0V、COMP ピンはフローティング、−40°C ≤ T_J ≤ 125°C	1.8		2.4	
		下限:V_{FB} = 1.4 V		0.56		V
		下限:V_{FB} = 1.4V、–40°C ≤ T_J ≤ 125°C	0.2		1.0	
T_{SS}	内部ソフトスタート遅延	V_{FB} = 1.2V、V_{COMP} = フローティング		4		ms
T_r	駆動ピンの立ち上がり時間	Cgs = 3000pf、V_{DR} = 0 ～ 3V		25		ns
T_f	駆動ピンの立ち下がり時間	Cgs = 3000pf、V_{DR} = 0 ～ 3V		25		ns
VSD	シャットダウンおよび同期信号のスレッショルド (6)	出力 = High		1.27		V
		出力 = High、−40°C ≤ T_J ≤ 125°C			1.4	
		出力 = Low		0.65		V
		出力 = Low、−40°C ≤ T_J ≤ 125°C	0.3			
I_{SD}	シャットダウンピンの電流	V_{SD} = 5V		-1		µA
		V_{SD} = 0V		+1		
I_{FB}	フィードバックピンの電流			15		nA
TSD	サーマル シャットダウン			165		°C
T_{sh}	サーマル シャットダウンのヒステリシス			10		°C

(1) 駆動ピン上の電圧 V_{DR} は、入力電圧が 7.2V 未満の場合に入力電圧と等しくなります。入力電圧が 7.2V 以上の場合、V_{DR} は 7.2V と等しくなります。
(2) この部品では最大デューティサイクルが 100% 未満の動作を許可していないため、最大デューティサイクルの制限値は指定できません。
(3) このテストでは、40K の抵抗を使用して FA/SYNC/SD ピンをグランドにプルします。
(4) このテストでは、40K の抵抗を使用して FA/SYNC/SD ピンを 5V にプルします。
(5) 過電圧保護機能は、帰還電圧を基準に指定されています。これは、過電圧保護回路が帰還電圧を追跡するためです。過電圧保護スレッショルドは、過電圧保護仕様に帰還電圧 (V_{FB}) を追加することで計算できます。
(6) レギュレータをオフにするには、FA/SYNC/SD ピンを抵抗経由で V_{IN} にプルする必要があります。

5.6 代表的特性

特に記述のない限り、V_{IN} = 12V、T_J = 25℃。

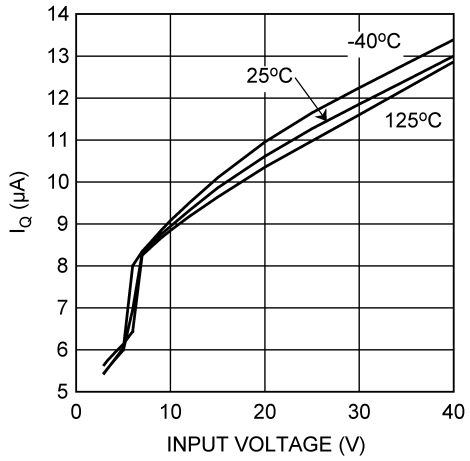


図 5-1. I_Q と温度および入力との関係

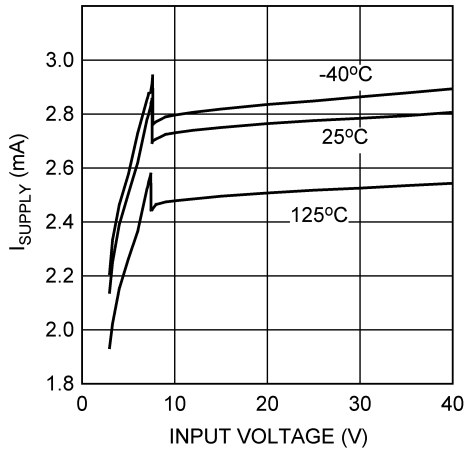


図 5-2. I_{Supply} と入力電圧との関係 (非スイッチング)

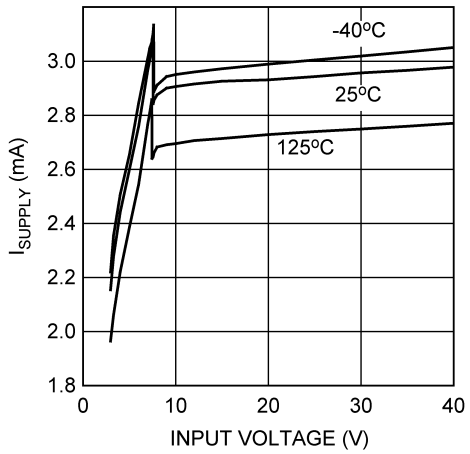


図 5-3. I_{Supply} と V_{IN} との関係

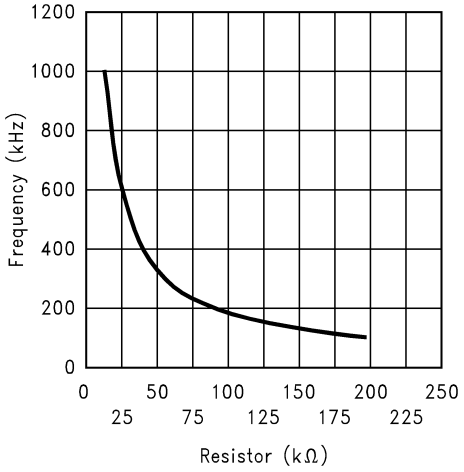


図 5-4. スイッチング周波数と RFA との関係

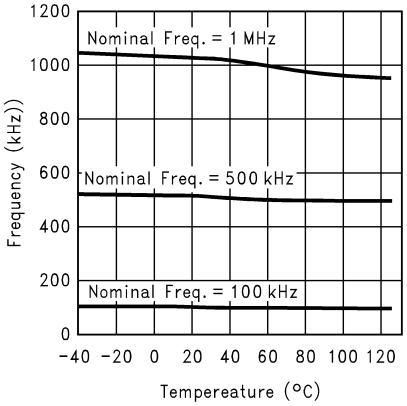


図 5-5. 周波数と温度との関係

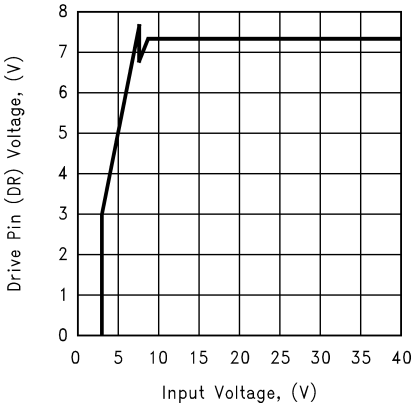


図 5-6. 駆動電圧と入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

特に記述のない限り、V_{IN} = 12V、T_J = 25℃。

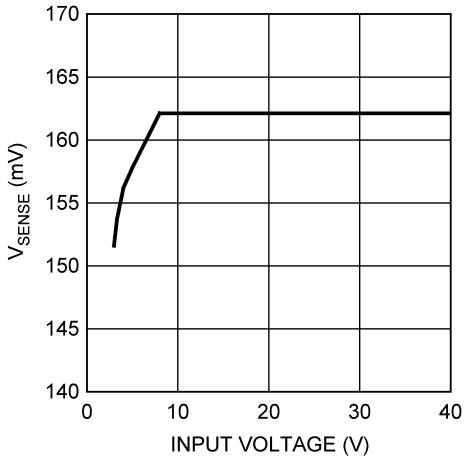


図 5-7. 電流検出スレッショルドと入力電圧との関係

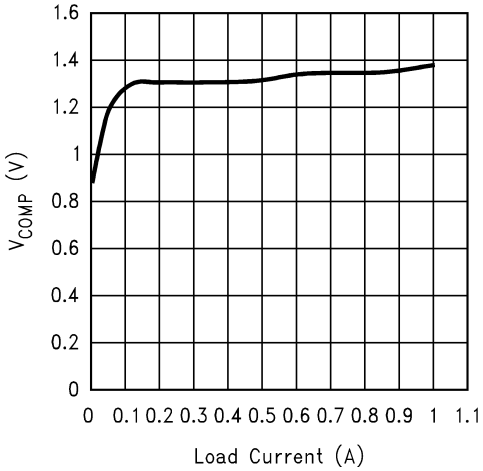


図 5-8. COMP ピンの電圧と負荷電流との関係

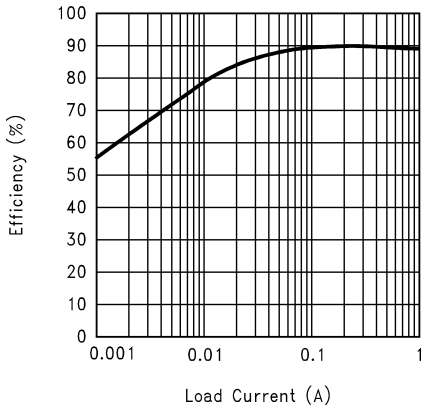


図 5-9. 効率と負荷電流との関係 (3.3V In および 12V Out)

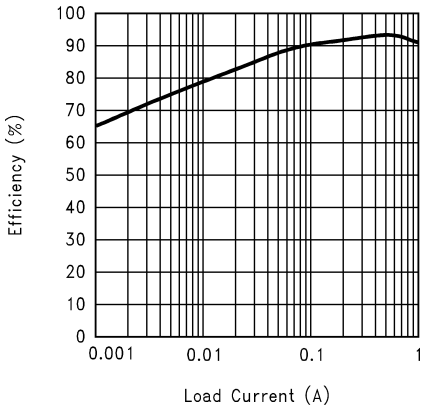


図 5-10. 効率と負荷電流との関係 (5V In および 12V Out)

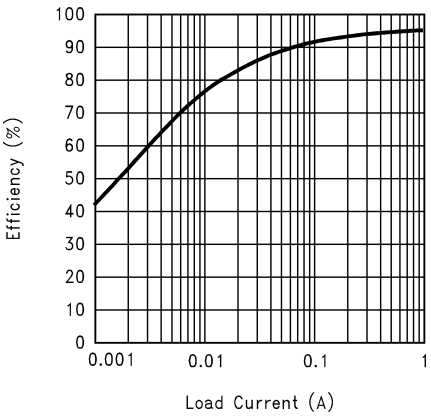


図 5-11. 効率と負荷電流との関係 (9V In および 12V Out)

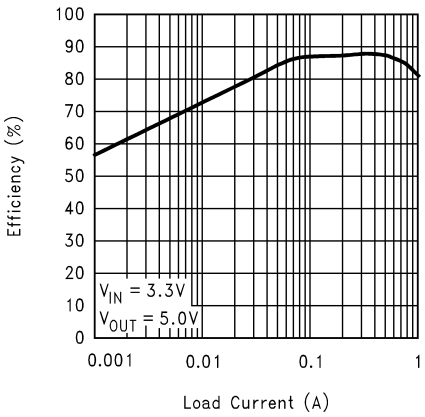


図 5-12. 効率と負荷電流との関係 (3.3V In および 5V Out)

5.6 代表的特性 (続き)

特に記述のない限り、V_{IN} = 12V、T_J = 25℃。

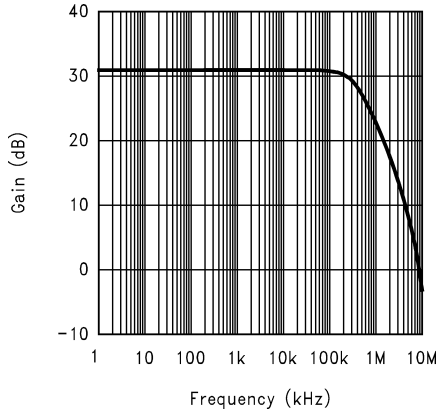


図 5-13. エラーアンプのゲイン

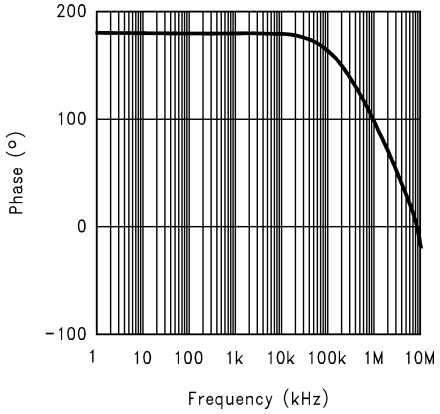


図 5-14. エラーアンプの位相

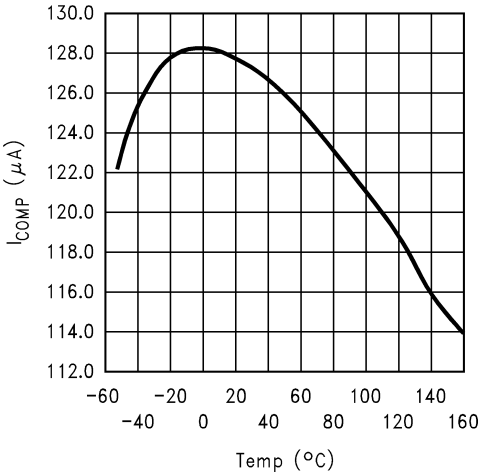


図 5-15. COMP ピンソース電流と温度との関係

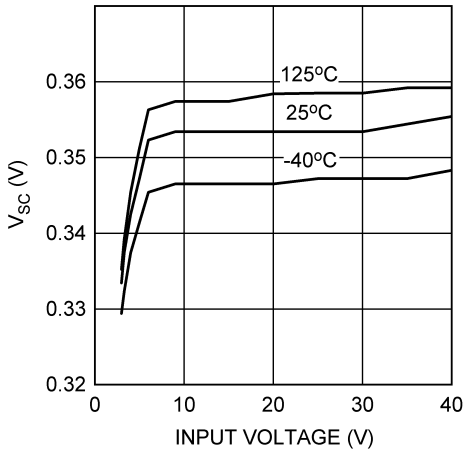


図 5-16. 短絡保護回路と入力電圧との関係

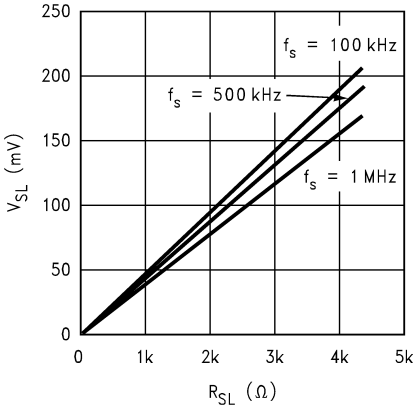


図 5-17. 補償ランプと補償抵抗との関係

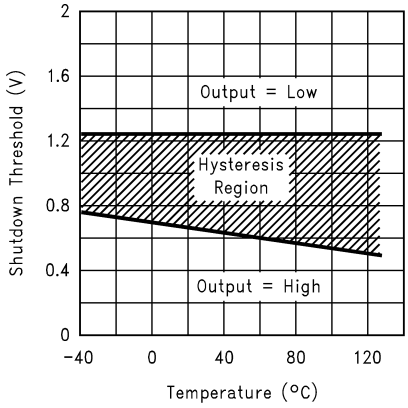


図 5-18. シャットダウンスレッショルドのヒステリシスと温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

特に記述のない限り、V_{IN} = 12V、T_J = 25℃。

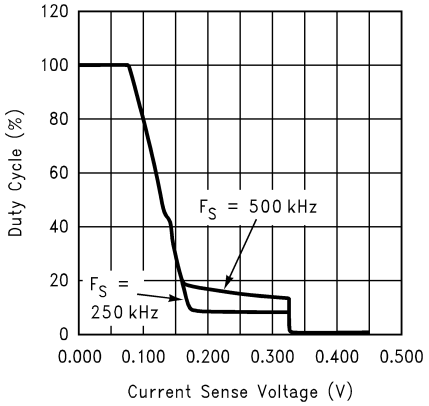


図 5-19. 電流検出電圧とデューティ サイクルとの関係

6 詳細説明

6.1 概要

LM3488Q-Q1 は、固定周波数のパルス幅変調 (PWM) 電流モード制御アーキテクチャを使用しています。代表的なアプリケーション回路では、外部 MOSFET を流れるピーク電流は外部センス抵抗を介して検出されます。この抵抗の両端の電圧は、I_{SEN} ピンに供給されます。この電圧はレベルシフトされて PWM コンパレータの正の入力に供給されます。出力電圧も外部帰還抵抗分圧回路を介して検出され、エラーアンプの負入力 (フィードバックピン、FB) に供給されます。エラーアンプ (COMP ピン) の出力はスロープ補償ランプに追加され、PWM コンパレータの負入力に供給されます。

スイッチングサイクルが開始されると、発振器は SET/ブランクアウトとスイッチロジックブロックを使用して RS ラッチを設定します。これにより、DR ピン (外部 MOSFET のゲート) に High 信号が強制的に印加され、外部 MOSFET がオンになります。PWM コンパレータの正入力の電圧が負入力を超えると、RS ラッチがリセットされ、外部 MOSFET がオフになります。

図 6-1 に示すように、センス抵抗の両端で検出される電圧には通常、スプリアスノイズスパイクが含まれています。これらのスパイクにより、PWM コンパレータが RS ラッチのリセット時期が早まる可能性があります。これらのスパイクによってラッチがリセットされないようにするため、IC 内部のブランクアウト回路は、ラッチがセットされた後の短時間 PWM コンパレータによるラッチのリセットを防止します。この時間は約 150ns で、ブランクアウト時間と呼ばれます。

非常に軽負荷または無負荷の状況では、ブランクアウト時間中に外部 MOSFET がオンのときに出力コンデンサに供給されるエネルギーは、負荷に供給されるエネルギーよりも大きくなります。LM3488Q-Q1 に内蔵された過電圧コンパレータは、このような状況で出力電圧が上昇することを防止します。過電圧コンパレータは帰還 (FB ピン) 電圧を検出し、これらの条件下で RS ラッチをリセットします。出力が減衰して公称値になるまで、ラッチはリセット状態を維持します。

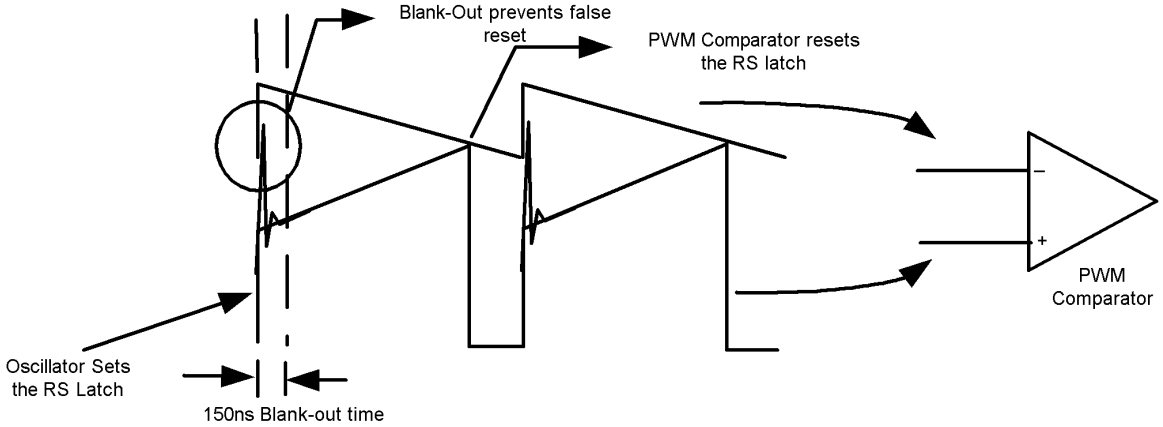
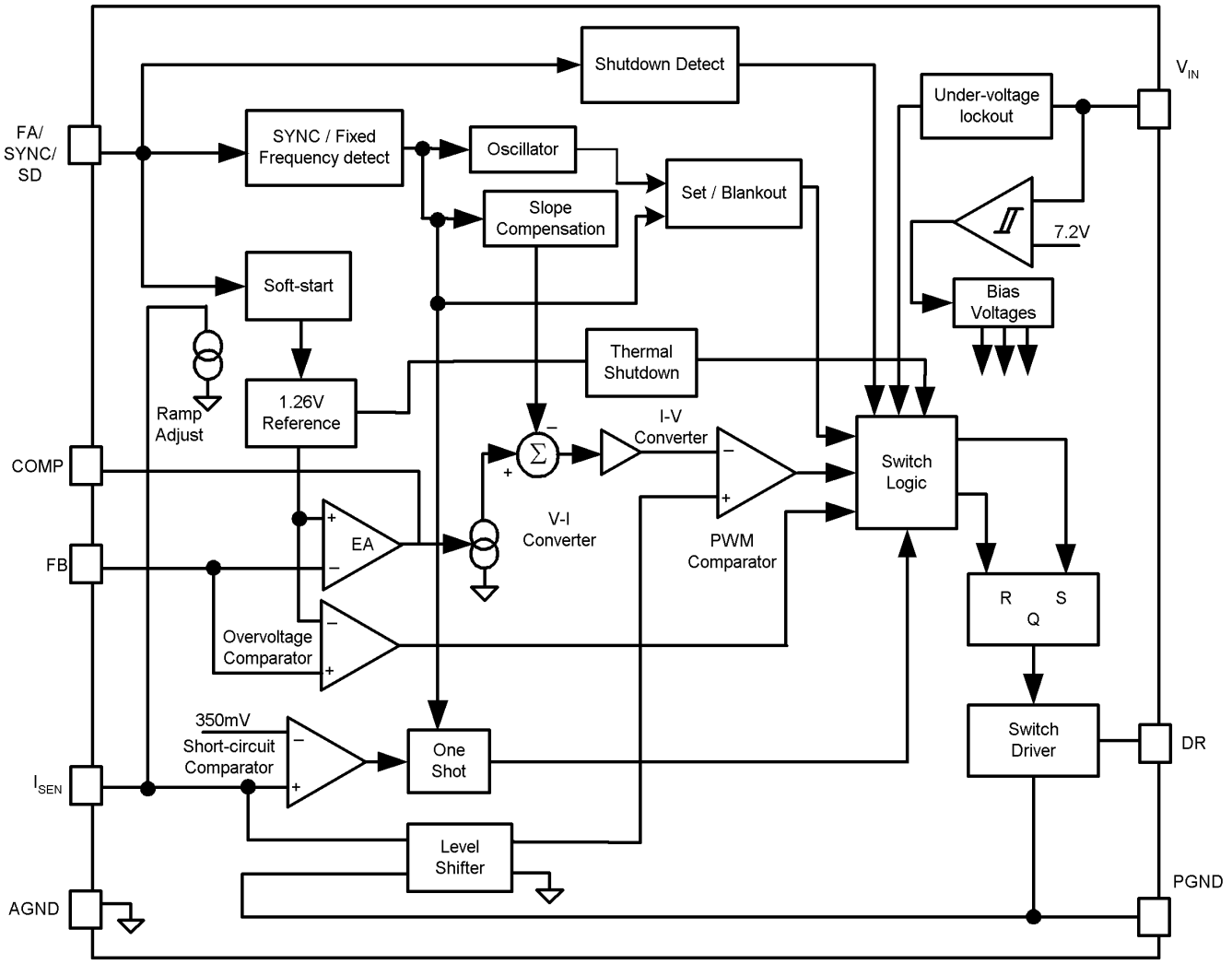


図 6-1. PWM コンパレータの基本動作

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図



6.3 機能説明

6.3.1 スロープ補償ランプ

LM3488Q-Q1 は電流モード制御方式を使用しています。電流モード制御の主な利点は、スイッチのための固有のサイクル単位の電流制限と、単純な制御ループ特性です。電流共有が自動的であるため、電流モード制御を使用して出力段を並列接続することも容易です。

図 6-2 に示すように、デューティ サイクルが 50% を超えると電流モード制御は本質的に不安定です。図 6-2 に示すように、負荷電流がわずかに増加すると、スイッチ電流は ΔI_O 増加します。この負荷変化の影響は、ΔI_1 です。

$$\Delta I_1 = -\left(\frac{M_2}{M_1}\right)\Delta I_O = -\left(\frac{D}{1-D}\right)\Delta I_O \tag{1}$$

上の式から、デューティ サイクルが 0.5 を超える場合、ΔI_1 は ΔI_O よりも大きくなります。つまり、乱れは発散しています。負荷の摂動が非常に小さいと乱れが増加します。

サブハーモニック発振を防ぐため、図 6-3 に示すように制御信号に補償ランプを加えます。

補償ランプを加えた場合、

$$\Delta I_1 = -\left(\frac{M_2 - M_C}{M_1 + M_C}\right)\Delta I_O \tag{2}$$

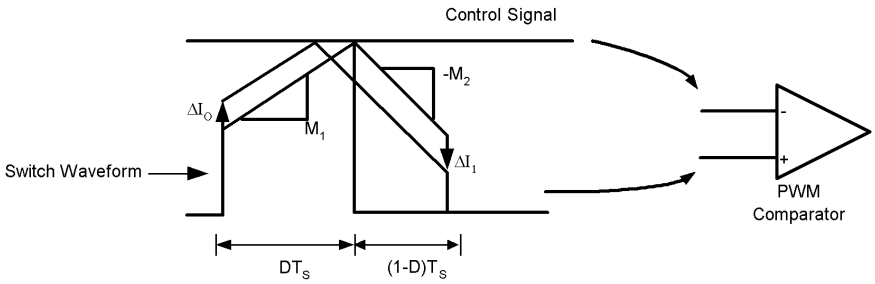


図 6-2. D > 0.5 におけるサブハーモニック発振

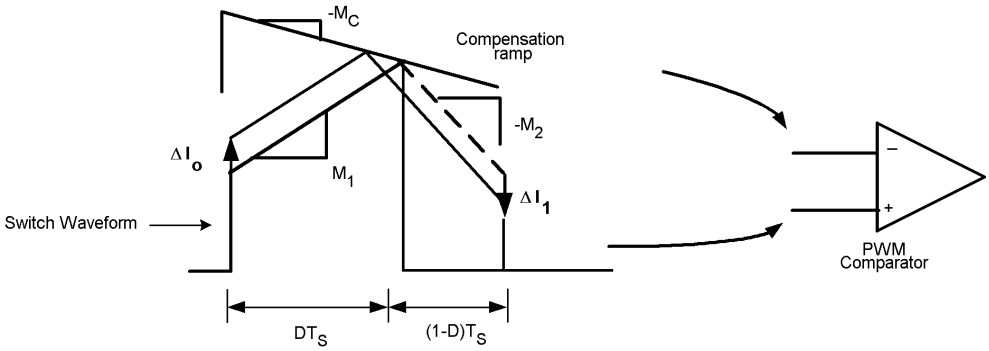


図 6-3. 補償ランプによるサブハーモニック発振の抑制

LM3488Q-Q1 では、補償ランプが内部に組み込まれています。この補償ランプのスロープは、大半のアプリケーションで適切に機能するように選定されています。内部補償ランプのスロープは、周波数に依存します。このスロープは次の式を使用して計算できます:

$$M_C = V_{SL}.F_S \text{ Volts/second} \tag{3}$$

上の式では、V_{SL} は内部補償ランプの振幅です。V_{SL} の制限は『電気的特性』のセクションに示しています。

さらに柔軟性を高めるために、IC には特許取得済みの方式が実装されており、必要な場合に補償ランプのスロープを外部的に増やすことができます。図 6-4 に示すように、単一の外部抵抗 R_{SL} を追加すると、補償ランプの M_c のスロープは次のように増加します。

$$\Delta M_C = \frac{40\text{x}10^{-6} \cdot R_{SL} \cdot F_S}{R_{SEN}} \frac{\text{Amps}}{\text{second}} \tag{4}$$

この式において、ΔV_{SL} は 40.10^{-6} R_{SL} と等しくなります。したがって、

$$\Delta M_C = \frac{\Delta V_{SL}.F_S}{R_{SEN}} \frac{\text{Amps}}{\text{second}} \tag{5}$$

異なる周波数について、ΔV_{SL} と R_{SL} との関係を 図 6-5 にプロットしています。

Copyright © 2026 Texas Instruments Incorporated

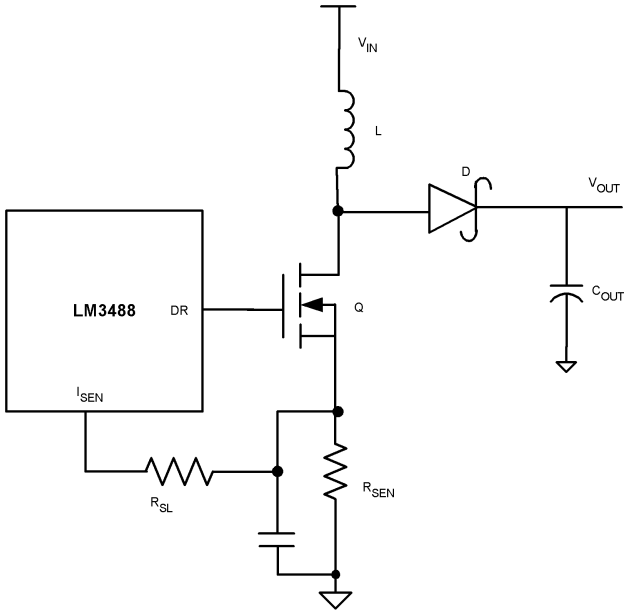


図 6-4. 補償ランプのスロープの増加

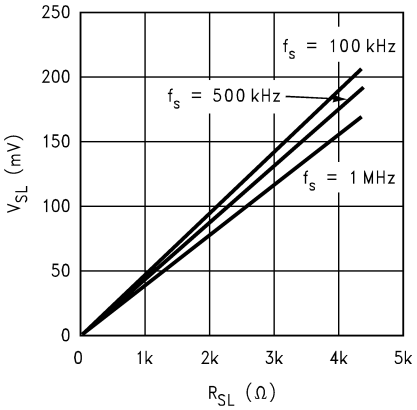


図 6-5. ΔV_{SL} と R_{SL} との関係

6.3.2 周波数調整、同期、シャットダウン

LM3488Q-Q1 のスイッチング周波数は、1 個の外付け抵抗を使用することにより 100kHz ～ 1MHz に調整できます。図 6-6 に示すように、この抵抗は FA/SYNC/SD ピンとグランドの間に接続する必要があります。目的のスイッチング周波数に必要な抵抗値を判断するには、代表的特性を参照してください。

LM3488Q-Q1 は外部クロックに同期できます。図 6-7 に示すように、外部クロックは抵抗 R_{SYNC} を介して FA/SYNC/SD ピンに接続する必要があります。この抵抗の値は、同期パルスのオフ時間 $T_{OFF(SYNC)}$ に依存します。表 6-1 は、指定された $T_{OFF(SYNC)}$ に対して使用する抵抗範囲を示しています。

表 6-1. 同期の推奨直列抵抗

$T_{OFF(SYNC)}$ (µs)	R_{SYNC} 範囲 (kΩ)
1	5～13
2	20～40
3	40～65
4	55～90

表 6-1. 同期の推奨直列抵抗 (続き)

$T_{OFF(SYNC)}$ (µs)	R_{SYNC} 範囲 (kΩ)
5	70～110
6	85～140
7	100～160
8	120～190
9	135～215
10	150～240

同期パルス幅は、コンバータのデューティ サイクルよりも広くする必要があります (DR ピンが High でスイッチングポイントが Low の場合)。また、同期パルス幅は 300ns 以上にする必要があります。

FA/SYNC/SD ピンはシャットダウンピンとしても機能します。FA/SYNC/SD ピンに High 信号 (High 信号の定義については セクション 5.5 を参照) が発生すると、LM3488Q-Q1 はスイッチングを停止して低電流モードに移行します。これらの条件では、IC の総電源電流は 10µA よりも小さくなります。

図 6-8 および 図 6-9 に、周波数調整モードと同期モードで動作している場合の、それぞれのシャットダウン機能の実装方法を示します。周波数調整モードでは、FA/SYNC/SD ピンをグランドに接続すると、クロックは強制的に特定の周波数で動作するようになります。このピンを High にプルすると IC がシャットダウンします。周波数調整または同期モードでは、30µs 以上 High 信号を印加すると IC がシャットダウンします。

図 6-10 は、R_{FA} 抵抗による周波数調整と、R_{SYNC} による周波数同期の両方の実装を示しています。同期信号が入力されていない場合、スイッチング周波数は R_{FA} によって定義されます。同期信号が入力されると、R_{FA} 設定は無効になります。

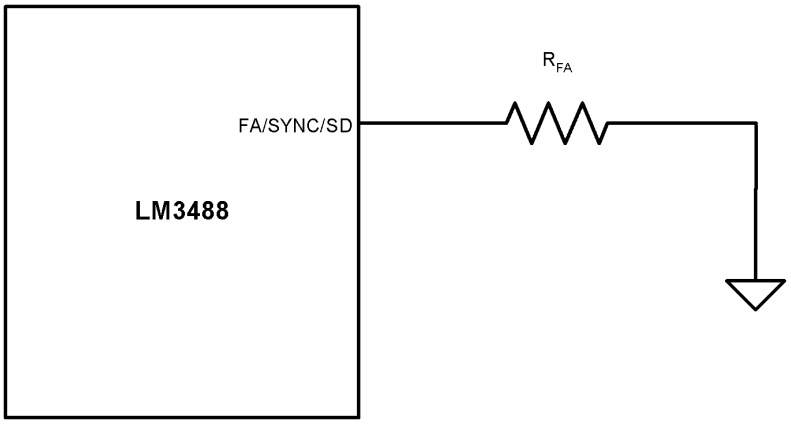


図 6-6. 周波数調整

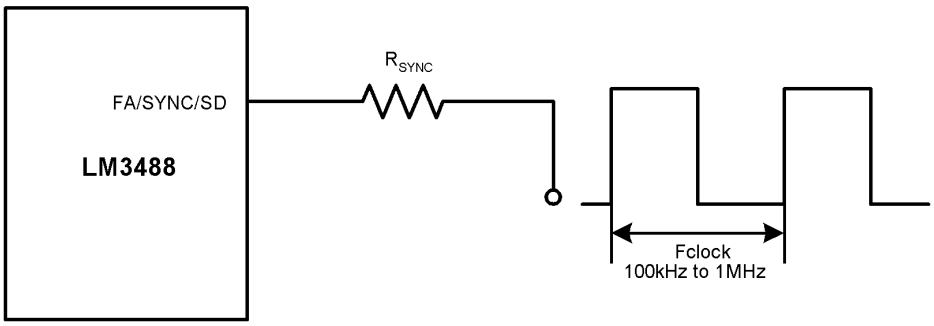


図 6-7. 周波数同期

Copyright © 2026 Texas Instruments Incorporated

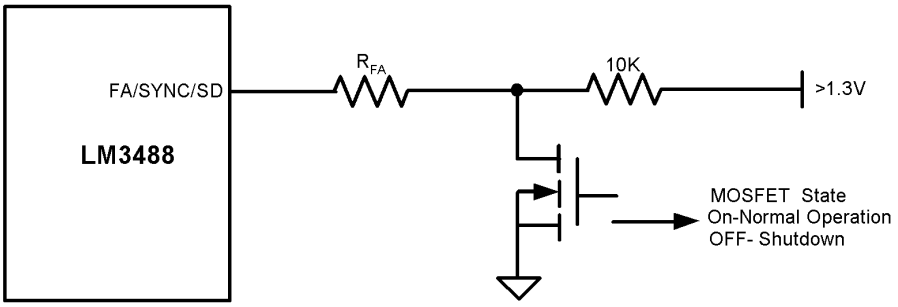


図 6-8. 周波数調整モードでのシャットダウン動作

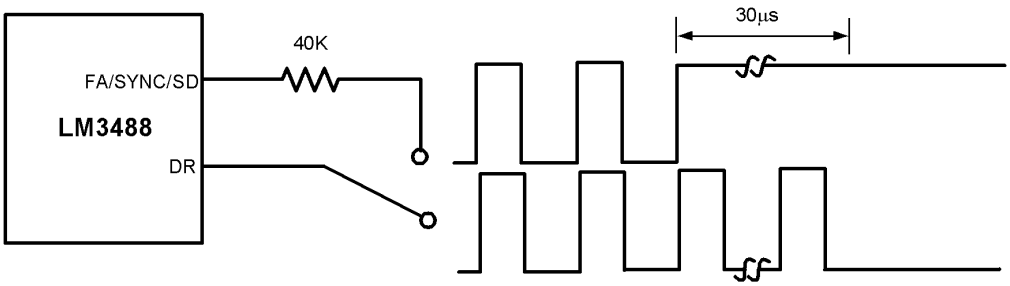


図 6-9. 同期モードでのシャットダウン動作

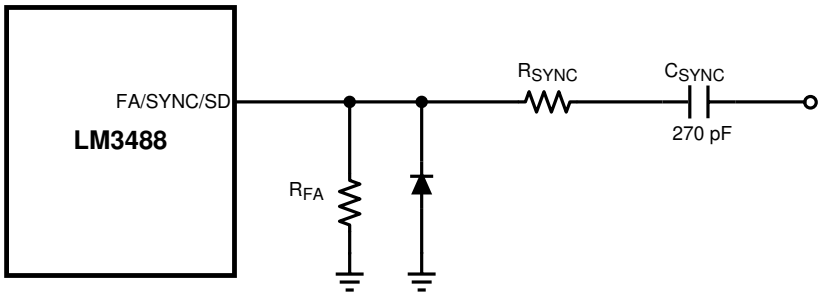


図 6-10. 周波数調整または周波数同期

6.3.3 短絡保護

(I_{SEN} ピンで測定された) センス抵抗の両端の電圧が 350mV を超えると、短絡電流制限保護が有効になります。LM3488Q-Q1 内蔵のコンパレータによりスイッチング周波数が 5 分の 1 に低下し、短絡が解消されるまでこの状態を維持します。

6.4 デバイスの機能モード

本デバイスは、入力電圧が UVLO のセットポイントを超えるとすぐに、FA/SYNC/SD ピンのプルダウン抵抗によって設定された周波数で動作するか、FA/SYNC/SD ピンに印加される波形で設定された周波数で動作するように設定されます。

FA/SYNC/SD ピンが High にプルされると、LM3488Q-Q1 はシャットダウンモードに移行します。

I_{SEN} ピンの電圧が V_{sc} を超えると、デバイスは短絡保護モードに移行します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

LM3488Q-Q1 は、連続または不連続導通モードのいずれかで動作します。以下のアプリケーションは連続導通動作用に設計されています。この動作モードは、不連続モードと比較して効率が高く EMI 特性が低くなります。

7.2 代表的なアプリケーション

7.2.1 昇圧コンバータ

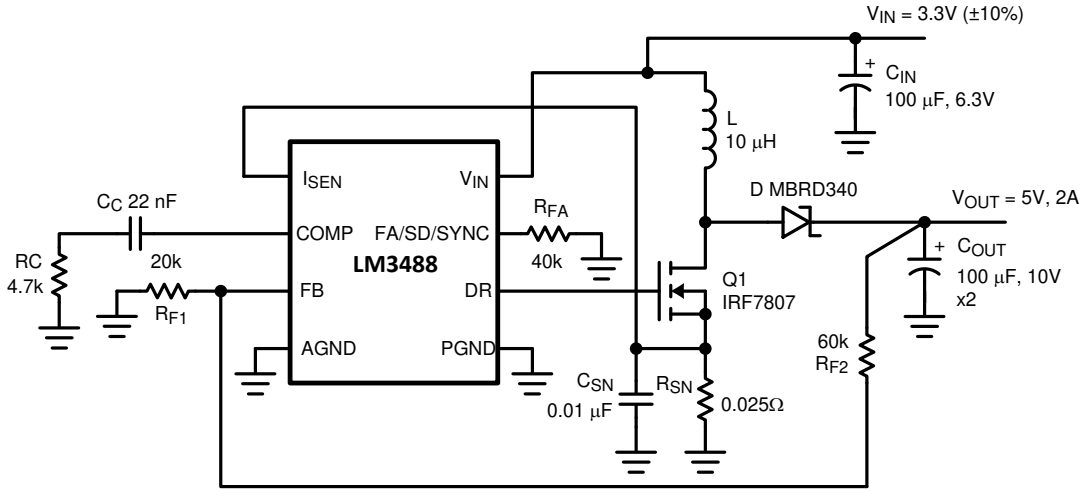


図 7-1. 一般的な高効率昇圧 (ブースト) コンバータ

LM3488Q-Q1 で最も一般的なトポロジは昇圧またはステップアップトポロジです。昇圧コンバータは、低入力電圧を高出力電圧に変換します。昇圧レギュレータの基本構成を 図 7-2 に示します。連続導通モードでは (定常状態でインダクタ電流がゼロにならない場合)、昇圧レギュレータは 2 サイクルで動作します。最初の動作サイクルでは、MOSFET Q がオンになり、エネルギーがインダクタに蓄積されます。このサイクルでは、ダイオード D は逆バイアスされ、出力コンデンサ C_{OUT} から負荷電流が供給されます。

Copyright © 2026 Texas Instruments Incorporated

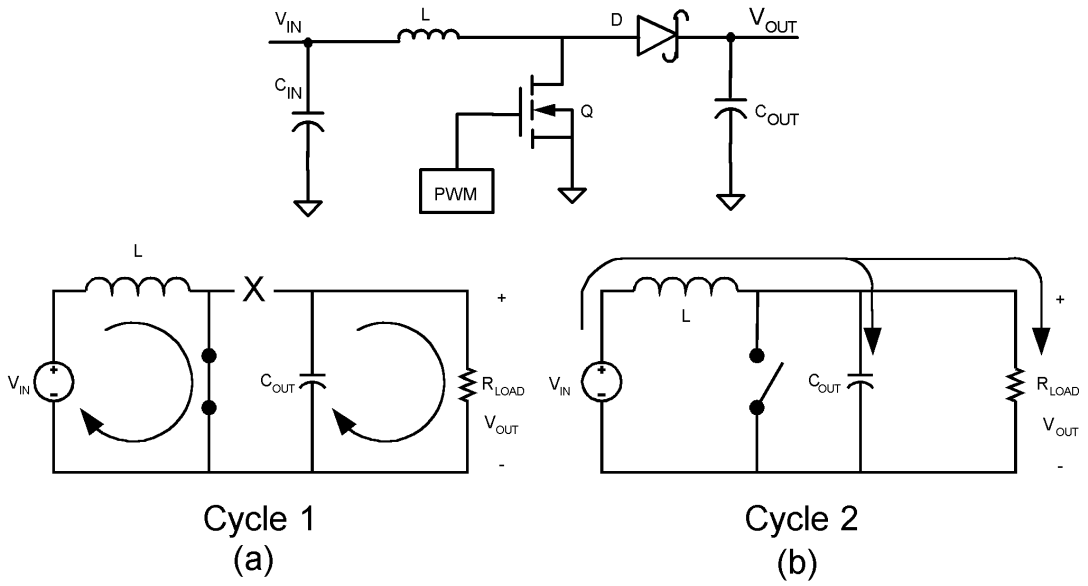


図 7-2. 昇圧コンバータ簡略図 (a) 最初の動作サイクル (b) 2 番目の動作サイクル

2 番目のサイクルでは、MOSFET Q がオフになり、ダイオードが順方向にバイアスされます。インダクタに蓄積したエネルギーは負荷と出力コンデンサに伝達されます。これら 2 サイクルの比によって出力電圧が決まります。出力電圧は、次のように定義されます:

$$V_{OUT} = \frac{V_{IN}}{1-D} \tag{6}$$

(MOSFET とダイオードの両端の降下を無視)、または

$$V_{OUT} + V_D = \frac{V_{IN} - V_Q}{1-D} \tag{7}$$

ここで

- D はスイッチングのデューティ サイクルです
- V_D は、ダイオードの順方向電圧降下です
- V_Q は、MOSFET がオン時の降下です

7.2.1.1 設計要件

昇圧コンバータの部品値を計算するには、表 7-1 に示されている電源パラメータを把握しておく必要があります。図 7-1 に示されている設計は、表 7-1 に示された例示値を出発点として作成された結果です。

表 7-1. 昇圧の設計パラメータ

設計パラメータ	数値の例
入力電圧範囲	3V ～ 3.6V
出力電圧	5V
最大電流	2A
動作周波数	350kHz

7.2.1.2 詳細な設計手順

7.2.1.2.1 WEBENCH ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM3488Q-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、V_{IN}、V_{OUT}、I_{OUT} の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化し、この設計と、テキサス・インスツルメンツによる他の可能なソリューションとを比較します。
3. WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格や部品の在庫情報と併せて参照できます。
4. ほとんどの場合、以下の内容も可能となります:
   - 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
   - 熱シミュレーションを実行し、基板の熱性能を把握する。
   - カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットでエクスポートする。
   - 設計のレポートを PDF で印刷し、同僚と設計を共有する。
5. WEBENCH ツールの詳細は、www.ti.com/ja-jp/webench でご覧になれます。

7.2.1.2.2 パワー インダクタの選択

インダクタは昇圧コンバータ内にある 2 つのエネルギー蓄積素子の 1 つです。図 7-3 に、スイッチングサイクル中のインダクタ電流がどのように変化するかを示します。インダクタを流れる電流は次のように定量化されます:

$$V_L(t) = L \frac{di_L(t)}{dt} \tag{8}$$

図 7-3. A. インダクタ電流 B. ダイオード電流 C. スイッチ電流

$V_L(t)$ が一定である場合、$di_L(t)/dt$ は一定である必要があります。そのため、指定の入力電圧と出力電圧に対して、インダクタの電流は一定の速度で変化します。

適切なインダクタンス値を決定する際に重要な量は $\bar{I}_L$ (平均インダクタ電流) と Δi_L (インダクタ電流リップル) です。Δi_L が $\bar{I}_L$ より大きい場合、サイクルの一部でインダクタ電流が 0 に低下し、コンバータは不連続導通モードで動作します。Δi_L が $\bar{I}_L$ より小さい場合、インダクタ電流は 0 を超え、コンバータは連続導通モードで動作します。このデータシートのすべての解析は連続導通モードでの動作を想定しています。連続導通モードで動作させる場合は、以下の条件を満たす必要があります:

$$I_L > \Delta i_L \tag{9}$$

$$\frac{I_{OUT}}{1-D} > \frac{DV_{IN}}{2f_S L} \tag{10}$$

$$L > \frac{D(1-D)V_{IN}}{2I_{OUT}f_S} \tag{11}$$

最小 I_{OUT} を選択して最小 L を決定します。一般的には Δi_L を $\bar{I}_L$ の 30% に設定します。インダクタの適切なコアサイズを選択するには、インダクタを流れる平均電流とピーク電流を計算する必要があります。昇圧コンバータでは、

$$\bar{I}_L = \frac{I_{OUT}}{1-D} \tag{12}$$

Copyright © 2026 Texas Instruments Incorporated

また、$I_{L_peak} = \bar{I}_L$(最大)＋ Δi_L(最大)、

ここで

$$\Delta i_L = \frac{DV_{IN}}{2f_S L} \tag{13}$$

これらの値よりも定格が高いコアサイズを選択する必要があります。コアの定格が適切でない場合は、飽和により全体的な効率が大幅に低下します。

LM3488Q-Q1 は非常に高い周波数でのスイッチングに設定できます。スイッチング周波数が高い場合、非常に小さなインダクタ値でコンバータを動作させることができます。インダクタ値が小さい場合、特に軽負荷条件下では、ピークインダクタ電流が出力電流よりも非常に大きくなる場合があります。

LM3488Q-Q1 はスイッチを流れるピーク電流を検出します。スイッチを流れるピーク電流は、上記で計算したピーク電流と同じです。

7.2.1.2.3 出力電圧の設定

図 7-4 のように、出力と帰還ピンの間の抵抗分圧回路を使用して、出力電圧をプログラムできます。これらの抵抗は、フィードバック ピンの電圧が 1.26V になるように選択します。R_{F1} と R_{F2} は、次の式を使用して選択できます

$$V_{OUT} = 1.26\left(1 + \frac{R_{F1}}{R_{F2}}\right) \tag{14}$$

ノイズを低減するため、帰還ピンとグランドピンの間に 100pF コンデンサを接続することもできます。

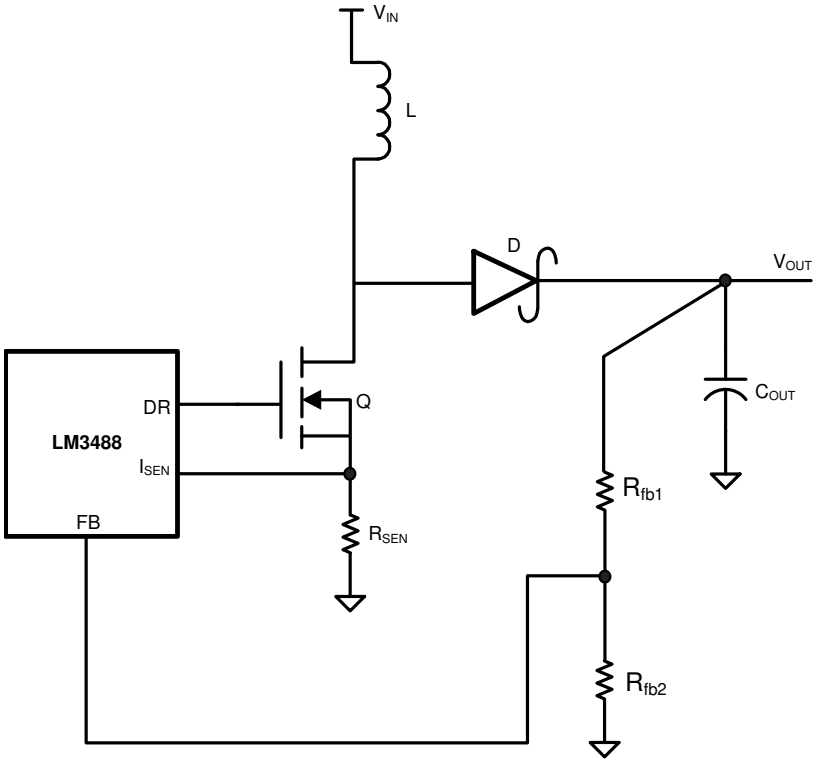


図 7-4. 出力電圧の調整

7.2.1.2.4 電流制限の設定

負荷に供給できる電流の最大量は、センス抵抗 R_{SEN} によって設定されます。電流制限は、センス抵抗の両端に生じる電圧が電流検出スレッショルド電圧 V_{SENSE} と等しいときに発生します。このスレッショルドに達すると、次のサイクルまでスイッチはオフになります。V_{SENSE} の制限値は、セクション 5.5 に示しています。V_{SENSE} は、内部制御信号 V_{CS} の最大値を表します。ただし、この制御信号は一定の値ではなく、内部補償ランプに起因して一定期間にわたって変化します (図 6-1 参照)。そのため、電流制限スレッショルドも変化します。実際の電流制限スレッショルドは、検出電圧 (V_{SENSE}) と内部補償ランプの関数です。

$$R_{SEN} \times ISW_{LIMIT} = VCS_{MAX} = V_{SENSE} - (D \times V_{SL}) \tag{15}$$

ここで

- ここで、ISW_{LIMIT} はピークスイッチ電流制限で、以下の式で定義されます。デューティサイクルが増加すると、V_{SL} の上昇に伴い制御電圧が低下します。電流制限スレッショルドはデューティ サイクルによって異なるため、R_{SEN} を選択し、適切な電流制限スレッショルドを設定するには、以下の式を使用してください。

$$R_{SEN} = \frac{V_{SENSE} - (D \times V_{SL})}{ISW_{LIMIT}} \tag{16}$$

上記の式の分子は V_{CS} で、ISW_{LIMIT} は次の式で計算されます。

$$ISW_{LIMIT} = \left[\frac{I_{OUT}}{(1-D)} + \frac{(D \times V_{IN})}{(2 \times f_S \times L)}\right] \tag{17}$$

誤トリガを防止するため、電流制限値は最大動作値 (標準値 120%) を多少上回るマージンを確保する必要があります。V_{SENSE} と V_{SL} の両方の値は、*セクション 5.5* で指定されています。ただし、これら 2 つの仕様の制限付きで計算を行うと、非現実的に広い電流制限または R_{SEN} 範囲となる場合あります。そのため、セクション 5.5 に示された V_{SL} 比の値を使用して、以下の式を使用することが推奨されます。

$$R_{SEN} = \frac{V_{SENSE} - (D \times V_{SENSE} \times V_{SL}ratio)}{ISW_{LIMIT}} \tag{18}$$

R_{SEN} は電流モード制御ループの一部で、制御ループの安定性に多少の影響を及ぼします。そのため、電流制限スレッショルドを設定した後、ループの安定性を検証する必要があります。安定性を確認するには、次の式を使用します。

$$R_{SEN} < \frac{2 \times V_{SL} \times f_S \times L}{Vo - (2 \times V_{IN})} \tag{19}$$

選択した R_{SEN} がこの値よりも大きい場合、安定性を確保するため、追加のスロープ補償を加える必要があります。詳細は『外部スロープ補償を使用した電流制限』のセクションを参照してください。

7.2.1.2.5 外部スロープ補償を使用した電流制限

必要に応じて、R_{SL} を使用してスロープ補償を追加します。ほとんどの設計では必要なく、R_{SL} は必要以上に大きくしないでください。以下の式に沿って R_{SL} を選択します。

$$R_{SL} > \frac{\frac{R_{SEN} \times (Vo - 2V_{IN})}{2 \times f_S \times L} - V_{SL}}{40\ \mu A} \tag{20}$$

ここで

Copyright © 2026 Texas Instruments Incorporated

- ここで、R_{SEN} は電流制限に基づいて選択した値です。R_{SL} を取り付けると、制御信号にはループを安定させるための追加の外部スロープが含まれるようになり、このスロープは電流制限スレッショルドにも影響を及ぼします。そのため、以下の式に示すように、電流制限スレッショルドを再検証する必要があります。

$$V_{CS} = V_{SENSE} - (D \times (V_{SL} + \Delta V_{SL})) \tag{21}$$

ここで

- ΔV_{SL} は、生成および計算される追加のスロープ補償です。

$$\Delta V_{SL} = 40\ \mu A \times R_{SL} \tag{22}$$

これにより、電流制限 (または R_{SEN}) の式が次のように変更されます。

$$ISW_{LIMIT} = \frac{V_{SENSE} - (D \times (V_{SL} + \Delta V_{SL}))}{R_{SEN}} \tag{23}$$

目的の電流制限と安定動作の両方を実現するため、R_{SEN} と R_{SL} の値を繰り返し計算する必要があります。一部の設計では、ISEN ピンのノイズをフィルタリングするのに R_{SL} も有効です。

リップル電流が推奨の 30% の値で、電流制限スレッショルドが最大ピークの 120% であるようにインダクタを選択する場合は、より簡単な方法を使用して R_{SEN} を決定できます。次の式は、上記の 2 つの条件が満たされていれば、RSL なしで最適な安定性を提供します。

$$R_{SEN} = \frac{V_{SENSE}}{ISW_{LIMIT} + \left(\frac{Vo - Vi}{L \times f_S}\right) \times D} \tag{24}$$

7.2.1.2.6 パワー ダイオードの選択

昇圧コンバータ回路を観察すると、ダイオードを流れる平均電流が平均負荷電流であり、ダイオードを流れるピーク電流がインダクタを流れるピーク電流であることがわかります。ダイオードは、そのピーク電流以上を処理可能な定格が必要です。ピークダイオード電流は、以下の式を使って計算できます:

$$I_{D(Peak)} = I_{OUT} / (1-D) + \Delta I_L \tag{25}$$

上記の式で、I_{OUT} は出力電流で、ΔI_{OUT} は 図 7-3 で定義しています。

昇圧コンバータのピーク逆電圧は、レギュレーションされた出力電圧と等しくなります。ダイオードはこの電圧を処理できる必要があります。効率を向上させるには、順方向電圧降下の小さいショットキーダイオードをお勧めします。

7.2.1.2.7 パワー MOSFET の選択

LM3488Q-Q1 の駆動ピンは、外部 MOSFET のゲートに接続する必要があります。昇圧トポロジでは、外部 N チャネル MOSFET のドレインをインダクタに接続し、ソースをグランドに接続します。駆動ピン (DR) 電圧は、入力電圧により異なります (『代表的特性』のセクションを参照)。ほとんどのアプリケーションでは、ロジックレベル MOSFET を使用できます。入力電圧が非常に低い場合は、サブロジックレベルの MOSFET を使用する必要があります。

選択した MOSFET は効率を直接制御します。MOSFET を選択するための重要なパラメータは次のとおりです:

1. 最小スレッショルド電圧 V_{TH} (MIN)
2. オン抵抗、R_{DS}(ON)
3. 総ゲート電荷量、Q_g
4. 逆伝達キャパシタンス、C_{RSS}
5. 最大ドレイン-ソース間電圧、$V_{DS(MAX)}$

MOSFET のオフ状態電圧は、出力電圧とほぼ等しくなります。MOSFET の $V_{DS(MAX)}$ は出力電圧より高い必要があります。MOSFET の電力損失は、導通損失と AC スイッチングまたは遷移の損失に分類することができます。導通損失を推定するには $R_{DS(ON)}$ が必要です。導通損失 P_{COND} は MOSFET での I^2R 損失です。最大の導通損失は次の式で与えられます:

$$P_{COND(MAX)} = \left[\left(\frac{I_{OUT}}{1-D_{MAX}}\right)^2 + \left(\frac{\Delta I}{3}\right)^2\right] D_{MAX} R_{DS(ON)} \tag{26}$$

ここで

- D_{MAX} は、最大デューティ サイクルです。

$$D_{MAX} = \left(1 - \frac{V_{IN(MIN)}}{V_{OUT}}\right) \tag{27}$$

MOSFET のターンオン遷移とターンオフ遷移には、数十ナノ秒の時間が必要です。これらの遷移時に発生する大きな瞬間的な電力損失を推定するには、C_{RSS} と Q_g が必要です。

MOSFET をターンオンにするために必要なゲート電流は、次の式で計算できます。

$$I_G = Q_g.F_S \tag{28}$$

MOSFET をターンオンさせるために必要なゲート駆動電力は、スイッチング周波数に、ゲート電荷電圧を V_{DR} に下げるための電荷の供給に必要なエネルギーを乗じた値に等しくなります (駆動電圧仕様については表 セクション 5.5 と『代表的特性』のセクションを参照してください)。

$$P_{Drive} = F_S.Q_g.V_{DR} \tag{29}$$

7.2.1.2.8 入力コンデンサの選択

図 7-3 に示すように、昇圧コンバータの入力にインダクタが存在するため、入力電流波形は連続して三角波になります。インダクタにより、入力コンデンサに印加されるリップル電流がかなり低くなります。ただし、入力コンデンサが小さくなると、入力リップルは増加します。入力コンデンサの実効値電流は以下で求められます:

$$I_{CIN(RMS)} = \Delta i_L / \sqrt{3} = \frac{1}{2\sqrt{3}}\left(\frac{V_{OUT} - V_{IN}}{V_{OUT} L f_S}\right) \tag{30}$$

入力コンデンサは実効値電流に対応できる必要があります。入力コンデンサは昇圧アプリケーションではそれほど重要ではありませんが、値が小さいとインピーダンスの相互作用が発生する可能性があります。そのため、10µF ～ 20µF の範囲で、高品質のコンデンサを選択する必要があります。10µF より低い値を使用すると、インピーダンスの相互作用またはスイッチングノイズの問題により LM3488Q-Q1 に影響が及ぶ可能性があります。性能を向上させるため、特に V_{IN} が 8V 未満の場合には、入力に 20Ω の抵抗による RC フィルタを使用することを推奨します。抵抗は V_{IN} ピンと直列に配置し、V_{IN} ピンにはバイパスコンデンサのみを直接接続します (図 7-5 を参照)。この構成では、0.1µF または 1µF のセラミックコンデンサが必要です。バルク入力コンデンサとインダクタは、入力電源の抵抗の反対側に接続します。

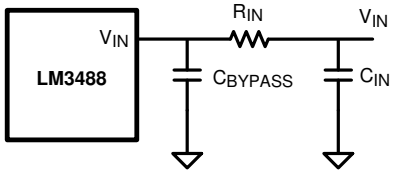


図 7-5. IC 入力ノイズの低減

Copyright © 2026 Texas Instruments Incorporated

7.2.1.2.9 出力コンデンサの選択

昇圧コンバータの出力コンデンサは、インダクタの充電時にすべての出力電流を供給します。その結果、大きなリップル電流が発生します。出力コンデンサは、最大実効値電流を取り扱える必要があります。出力コンデンサの実効値電流は以下になります:

$$I_{COUT(RMS)} = \sqrt{(1-D)\left[I_{OUT}^2 \frac{D}{(1-D)^2} + \frac{\Delta i_L^2}{3}\right]} \tag{31}$$

ここで

$$\Delta i_L = \frac{DV_{IN}}{2Lf_S} \tag{32}$$

デューティサイクル D は $(V_{OUT} - V_{IN})/V_{OUT}$ と等しくなります。

出力のリップルが出力コンデンサの ESR と ESL によって直接制御されます。高効率と低リップル電圧を実現するために、出力で ESR と ESL が低いコンデンサを使用します。出力には、表面実装タンタル、表面実装ポリマー電解とポリマータンタル、Sanyo-OSCON、または多層セラミックコンデンサを推奨します。

7.2.1.3 アプリケーション曲線

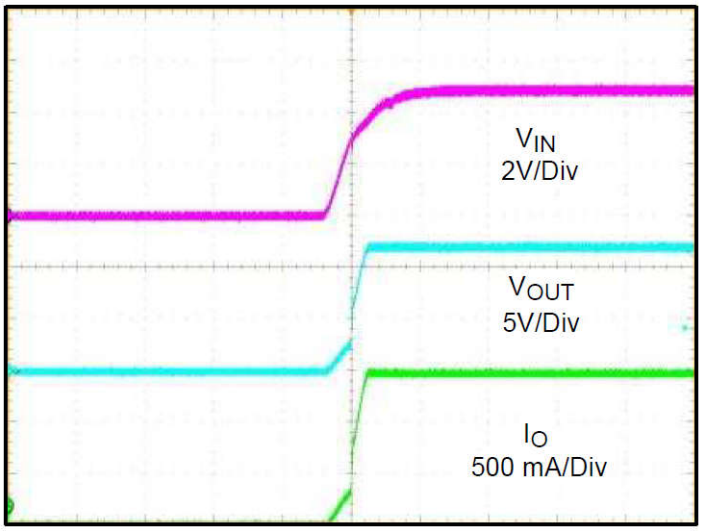


図 7-6. 代表的な起動波形 (水平スケール：10ms/DIV)

7.2.2 LM3488Q-Q1 を使用した SEPIC の設計

LM3488Q-Q1 はローサイド N チャネル MOSFET を制御するため、SEPIC (シングルエンド 1 次インダクタンスコンバータ) アプリケーションでも使用できます。LM3488Q-Q1 を使用した SEPIC の例が 図 7-7 に示されています。図 7-7 に示されるように、出力電圧が入力電圧よりも高いまたは低い場合があります。SEPIC は 2 つのインダクタを使用して、入力電圧の昇圧または降圧を行います。スイッチングサイクル全体でインダクタの両端に同じ電圧が印加されるため、インダクタ L1 と L2 は、2 つのディスクリートインダクタ、または結合トランスの 2 つの巻線になります。2 つのディスクリートインダクタを使用すると、カスタムトランスとは対照的に、カタログの磁気素子を使用できます。L1 と L2 にトランスの結合巻線を使用することで、入力リップルとサイズを小さくできます。

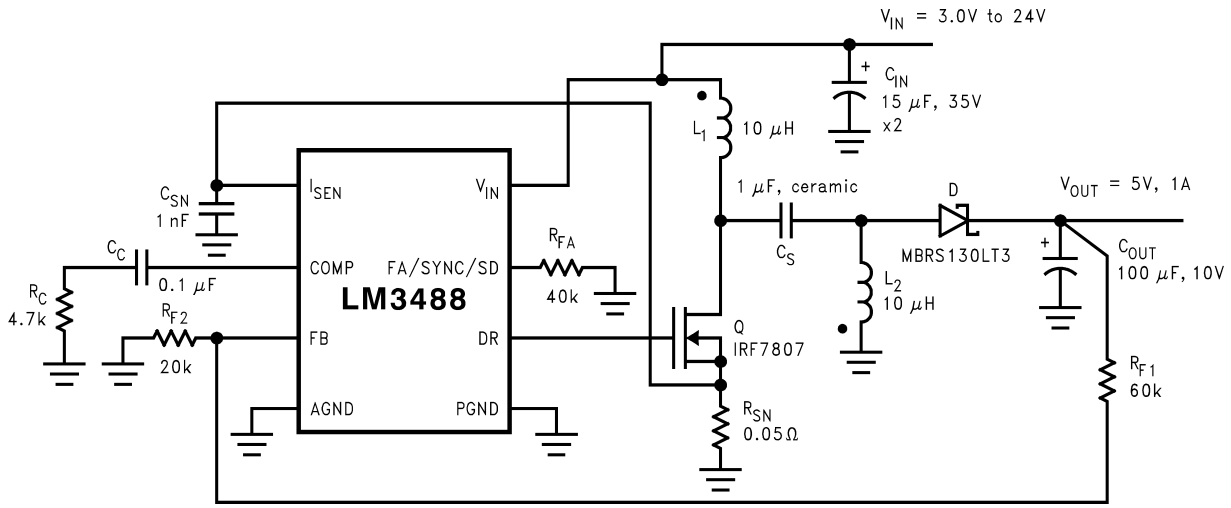


図 7-7. 代表的な SEPIC コンバータ

入力にインダクタ L1 を配置しているため、SEPIC は昇圧コンバータのすべての利点を継承します昇圧コンバータにおける SEPIC の主な利点の 1 つは、入力と出力を本質的に絶縁できることです。コンデンサの CS により入力と出力が絶縁され、負荷短絡や誤動作から保護されます。そのため、完全なシャットダウンが必要な場合の昇圧回路の置き換えに SEPIC が有用です。つまり、スイッチがオフになった時点で、出力電圧は 0V に低下します。昇圧コンバータでは、出力は入力電圧からダイオードの電圧降下を引いた値までしか降下できません。

SEPIC のデューティサイクルは以下を使用して求められます:

$$D = \frac{V_{OUT} + V_{DIODE}}{V_{OUT} + V_{IN} - V_Q + V_{DIODE}} \tag{33}$$

上の式では、V_Q は MOSFET のオン状態電圧 Q で、V_{DIODE} はダイオードの順方向電圧降下です。

7.2.2.1 設計要件

SEPIC コンバータの部品値を計算するには、表 7-2 に示されている電源パラメータを把握しておく必要があります。図 7-7 に示されている設計は、表 7-2 に示された例示値を出発点として作成された結果です

表 7-2. SEPIC の設計パラメータ

設計パラメータ	数値の例
入力電圧範囲	3V ～ 24V
出力電圧	5V
最大電流	1A
動作周波数	350kHz
最大ピーク ツー ピーク出力リップル	200mV

7.2.2.2 詳細な設計手順

7.2.2.2.1 パワー MOSFET の選択

昇圧コンバータにおいて、MOSFET の選択を左右するパラメータは、最小スレッショルド電圧 $V_{TH(MIN)}$、オン抵抗 $R_{DS(ON)}$、合計ゲート電荷 Q_g、逆伝達キャパシタンス C_{RSS}、最大ドレイン-ソース間電圧 $V_{DS(MAX)}$ です。SEPIC のピークスイッチ電圧は以下を使用して求められます:

$$V_{SW(PEAK)} = V_{IN} + V_{OUT} + V_{DIODE} \tag{34}$$

Copyright © 2026 Texas Instruments Incorporated

選択する MOSFET は、次の条件を満たす必要があります:

$$V_{DS(MAX)} > V_{SW(PEAK)} \tag{35}$$

ピークスイッチ電流は以下で求められます:

$$I_{SW(PEAK)} = I_{L1(AVG)} + I_{OUT} + \frac{\Delta I_{L1} + \Delta I_{L2}}{2} \tag{36}$$

スイッチを流れる実効値電流は以下で求められます:

$$I_{SWRMS} = \sqrt{\left[I_{SWPEAK}^2 - I_{SWPEAK}\left(\Delta I_{L1} + \Delta I_{L2}\right) + \frac{\left(\Delta I_{L1} + \Delta I_{L2}\right)^2}{3}\right] D} \tag{37}$$

7.2.2.2.2 パワー ダイオードの選択

ピーク電流とピーク逆電圧を処理できるパワーダイオードを選択する必要があります。SEPIC では、ダイオードのピーク電流はスイッチのピーク電流と同じになります。ダイオードのオフ状態電圧またはピーク逆電圧は $V_{IN} + V_{OUT}$ です。昇圧コンバータと同様、平均ダイオード電流は出力電流に等しくなります。ショットキーダイオードをお勧めします。

7.2.2.2.3 インダクタ L1 および L2 の選択

連続電流モードを維持するようにインダクタ L1 と L2 を適切に選択するには、以下のパラメータを計算する必要があります。

インダクタの平均電流:

$$I_{L1AVE} = \frac{DI_{OUT}}{1-D} \tag{38}$$

$$I_{L2AVE} = I_{OUT} \tag{39}$$

必要に応じてコア損失を計算するための、ピークツーピークのリップル電流:

$$\Delta I_{L1} = \frac{(V_{IN} - V_Q)\,D}{(L1)f_S} \tag{40}$$

$$\Delta I_{L2} = \frac{(V_{IN} - V_Q)\,D}{(L2)f_S} \tag{41}$$

連続電流導通を維持するため、$I_L > \Delta i_L/2$ の条件を下回らないように保ちます。

$$L1 > \frac{(V_{IN} - V_Q)(1-D)}{2I_{OUT}f_S} \tag{42}$$

$$L2 > \frac{(V_{IN} - V_Q)D}{2I_{OUT}f_S} \tag{43}$$

インダクタが飽和しないようにするための、インダクタのピーク電流:

$$I_{L1PK} = \frac{DI_{OUT}}{1-D} + \frac{\Delta I_{L1}}{2} \tag{44}$$

$$I_{L2PK} = I_{OUT} + \frac{\Delta I_{L2}}{2} \tag{45}$$

I_{L1PK} は、電流センス抵抗で設定された最大電流定格よりも小さくする必要があります。

入力リップルと出力リップルを低減するため、L1 の値を推奨最小値より大きくすることができます。ただし、D_{IL1} が I_{L1AVE} の 20% 未満になると、出力リップルに対する利点は最小限になります。

L2 の値を推奨最小値より大きくすると、Δ_{IL2} を減らすことができ、結果として出力リップル電圧が低減します。

$$\Delta V_{OUT} = \left(\frac{I_{OUT}}{1-D} + \frac{\Delta I_{L2}}{2}\right) \text{ ESR} \tag{46}$$

ここで

- ここで、ESR は、出力コンデンサの実効直列抵抗です。

L1 と L2 が同じコア上に巻かれている場合、L1 = L2 = L となります。上記の式はすべて、インダクタンスを 2L に置き換えると真になります。等しい巻数のトランスには、Coiltronics CTX シリーズ Octopack が適しています。

7.2.2.2.4 センス抵抗の選択

スイッチを流れるピーク電流 $I_{SW(PEAK}$ は、電流センス抵抗 R_{SEN} を使用して調整でき、特定の出力電流を供給できます。以下の式を使用して抵抗 R_{SEN} を選択できます:

$$R_{SEN} = \frac{V_{SENSE} - D(V_{SL} + \Delta V_{SL})}{I_{SWPEAK}} \tag{47}$$

7.2.2.2.5 SEPIC コンデンサの選択

SEPIC コンデンサ CS の選択は実効値電流に依存します。SEPIC コンデンサの実効値電流は以下で求められます:

$$I_{CSRMS} = \sqrt{I_{SWRMS}^2 + \left(I_{L1PK}^2 - I_{L1PK}\Delta I_{L1} + \Delta I_{L1}^2\right)\left(1-D\right)} \tag{48}$$

SEPIC コンデンサには、出力電力に対する大きな ACrms 電流の定格が必要です。この特性があるため、SEPIC は、コンデンサを流れる実効値電流が比較的小さい (コンデンサ テクノロジーと比較する場合) 低消費電力アプリケーションに適しています。SEPIC コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。サイズに対して実効値電流定格が高い SMT には、タンタルコンデンサの方が最適です。セラミックコンデンサを使用することもできますが、C 値が小さいと、大電流によりコンデンサの両端の電圧変化が大きくなる傾向があります。C 値が高いセラミックは高価です。電解コンデンサは、実効値電流定格を満たすために必要なサイズに対応できるスルーホールアプリケーションに適しています。CS と L1 の間にはエネルギーバランスがあり、これを使用してコンデンサ値を決定できます。基本的なエネルギーバランスの方程式は次のようになります:

$$\frac{1}{2} C_S \Delta V_S^2 = \frac{1}{2} L_1 \Delta I_{L1}^2 \tag{49}$$

ここで

Copyright © 2026 Texas Instruments Incorporated

$$\Delta V_S = \left(\frac{V_{OUT}}{V_{OUT} + V_{IN} - V_Q + V_{DIODE}}\right)\frac{I_{OUT}}{f_S C_S} \tag{50}$$

は SEPIC コンデンサ両端のリップル電圧で、

$$\Delta I_{L1} = \frac{(V_{IN} - V_Q)\,D}{L_1 f_S} \tag{51}$$

はインダクタ L1 を流れるリップル電流です。エネルギーバランスの式を解き、C_S の最小値を求めるには以下を使用します:

$$C_S \geq L_1 \frac{I_{OUT}^2}{(V_{IN} - V_Q)^2} \tag{52}$$

7.2.2.2.6 入力コンデンサの選択

昇圧コンバータと同様に、SEPIC の入力用インダクタが 1 個あります。したがって、入力電流波形は連続的な三角波です。インダクタにより、入力コンデンサに印加されるリップル電流がかなり低くなります。ただし、入力コンデンサが小さくなると、入力リップルは増加します。入力コンデンサの実効値電流は以下で求められます:

$$I_{CIN(RMS)} = \Delta I_{L1}/\sqrt{12} = \frac{D}{2\sqrt{3}}\left(\frac{V_{IN} - V_Q}{L_1 f_S}\right) \tag{53}$$

入力コンデンサは実効値電流に対応できる必要があります。入力コンデンサは昇圧アプリケーションではそれほど重要ではありませんが、値が小さいとインピーダンスの相互作用が発生する可能性があります。そのため、10µF ～ 20µF の範囲で、高品質のコンデンサを選択する必要があります。10µF より低い値を使用すると、インピーダンスの相互作用またはスイッチングノイズの問題により LM3488Q-Q1 に影響が及ぶ可能性があります。性能を向上させるため、特に V_{IN} が 8V 未満の場合には、入力に 20Ω の抵抗による RC フィルタを使用することを推奨します。抵抗は V_{IN} ピンと直列に配置し、V_{IN} ピンにはバイパスコンデンサのみを直接接続します (図 7-5 を参照)。この構成では、0.1µF または 1µF のセラミックコンデンサが必要です。バルク入力コンデンサとインダクタは、入力電源の抵抗の反対側に接続します。

7.2.2.2.7 出力コンデンサの選択

出力のリップルが出力コンデンサの ESR と ESL によって直接制御されます。高効率と低リップル電圧を実現するために、出力で ESR と ESL が低い低用量コンデンサを使用します。出力には、表面実装タンタル、表面実装ポリマー電解とポリマータンタル、Sanyo-OSCON、または多層セラミックコンデンサを推奨します。

昇圧コンバータの出力コンデンサと同様に、SEPIC の出力コンデンサには非常に大きなリップル電流が発生します。出力コンデンサを流れる実効値電流は、以下を使用して求められます:

$$I_{RMS} = \sqrt{\left[I_{SWPK}^2 - I_{SWPK}(\Delta I_{L1} + \Delta I_{L2}) + \frac{(\Delta I_{L1} + \Delta I_{L2})^2}{3}\right](1-D) - I_{OUT}^2} \tag{54}$$

出力のリップルが出力コンデンサの ESR と ESL によって直接制御されます。高効率と低リップル電圧を実現するために、出力で ESR と ESL が低い低用量コンデンサを使用します。低リップルの出力には、表面実装タンタル、表面実装ポリマー電解とポリマータンタル、Sanyo-OSCON、または多層セラミックコンデンサを推奨します。

8 電源に関する推奨事項

LM3488Q-Q1 は、車載バッテリを含む、さまざまな DC 電源で動作するように設計されています。その場合、48V を超える逆電圧と電圧ダンプから VIN 入力を保護する必要があります。入力過渡電流の影響で VIN の UVLO レベルを下回る

ことがないように、入力電源レールの抵抗を十分小さい値にする必要があります。入力電源が長い配線を使用して接続されている場合、通常の入力コンデンサに加えてバルク容量の追加が必要になることがあります。

9 レイアウト

9.1 レイアウトのガイドライン

LM3488Q-Q1 などのスイッチングコントローラでは適切な基板レイアウトが重要です。まず、グランドプレーン領域を放熱のために十分確保する必要があり、2 番目に、スイッチングノイズの影響を低減するために適切なガイドラインに従う必要があります。スイッチング コンバータは超高速スイッチング デバイスです。このようなデバイスでは、入力電流が急速に増加すると共にトレースの寄生インダクタンスが生じるため、望ましくない Ldi/dt ノイズスパイクが発生します。このノイズの大きさは、出力電流が大きくなるにつれて増大する傾向があります。この寄生スパイクノイズにより電磁干渉 (EMI) が発生して、デバイス性能に問題が生じる可能性もあります。そのため、このスイッチングノイズの影響を最小限に抑えるようレイアウトに注意する必要があります。電流モードデバイスの電流検知回路は容易にスイッチングノイズの影響を受けます。このノイズによりデューティサイクルジッタが発生し、スペクトルノイズが増加します。レイアウトの最も重要なルールは、AC 電流ループをできるだけ小さくすることです。図 9-1 に、昇圧コンバータの電流フローを示します。上側の回路図はオン状態での電流フローを表す点線、中央の回路図はオフ状態での電流フローを示しています。下側の回路図は AC 電流と呼ばれる電流を示しています。電流は非常に短期間で変化するので、これらは最も重要なものです。下側の回路図の点線のトレースは、できるだけ短くする必要があります。

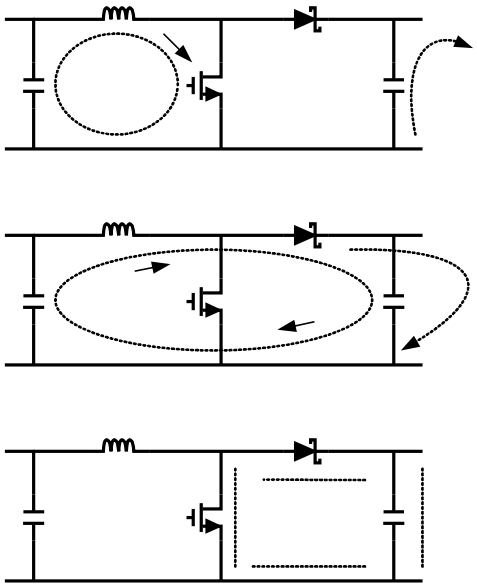


図 9-1. 昇圧アプリケーションでの電流フロー

PGND および AGND ピンは、IC のすぐ近くの同じグランドに接続する必要があります。グランドループ電流を避けるため、システムのすべてのグランドを 1 つのポイントにのみ接続してください。セラミック入力コンデンサは、Vin ピンにできる限り近づけて接続し、GND ピンの近くにグランド接続します。レイアウト例については、『AN-1204 LM378 LM3488Q-Q1 評価ボード (SNVA656A)』を参照してください。スイッチ モード電源のレイアウトの詳細については、『AN-1229 SIMPLE SWITCHER® PCB レイアウト ガイドライン (SNVA054c)』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

9.2 レイアウト例

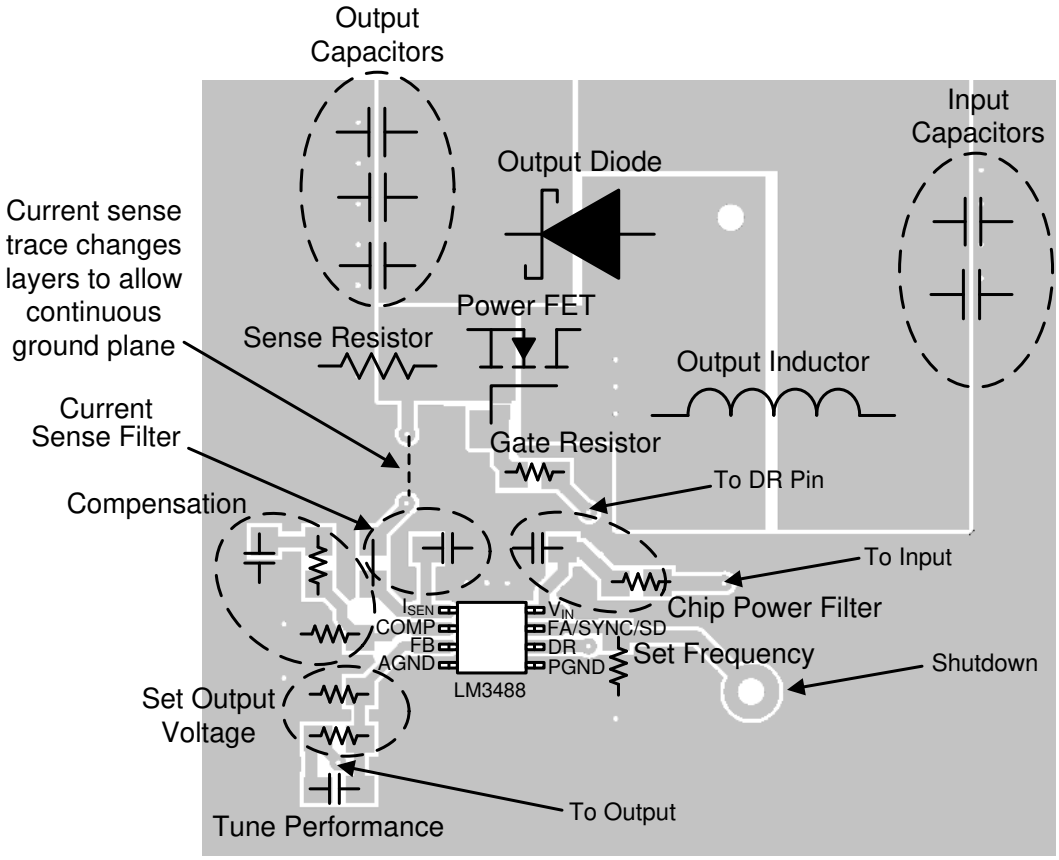


図 9-2. LM3488Q-Q1 を使用した昇圧アプリケーションのレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 WEBENCH ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM3488Q-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、V_{IN}、V_{OUT}、I_{OUT} の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化し、この設計と、テキサス・インスツルメンツによる他の可能なソリューションとを比較します。
3. WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格や部品の在庫情報と併せて参照できます。
4. ほとんどの場合、以下の内容も可能となります:
   - 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
   - 熱シミュレーションを実行し、基板の熱性能を把握する。
   - カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットでエクスポートする。
   - 設計のレポートを PDF で印刷し、同僚と設計を共有する。
5. WEBENCH ツールの詳細は、www.ti.com/ja-jp/webench でご覧になれます。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
January 2026	*	初版リリース

Copyright © 2026 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM3488QMM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	SSKB
LM3488QMM/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	SSKB
LM3488QMM/NOPB.B	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	SSKB
LM3488QMMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	SSKB
LM3488QMMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	SSKB
LM3488QMMX/NOPB.B	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	SSKB

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

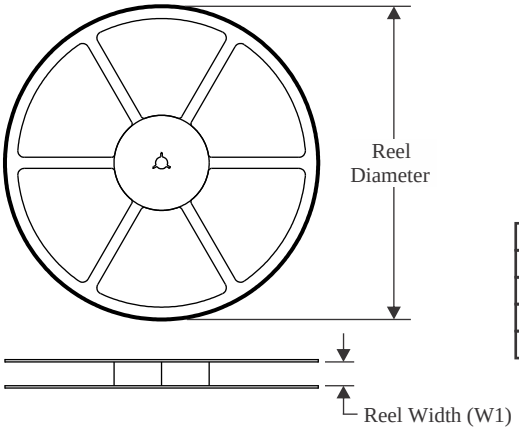
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

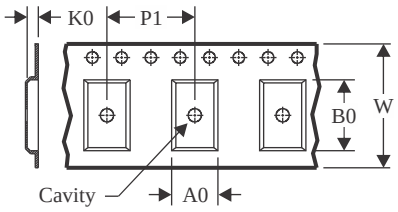
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

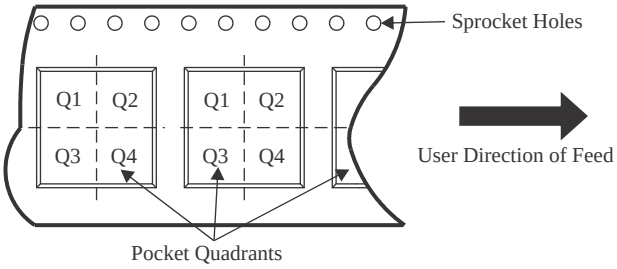


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

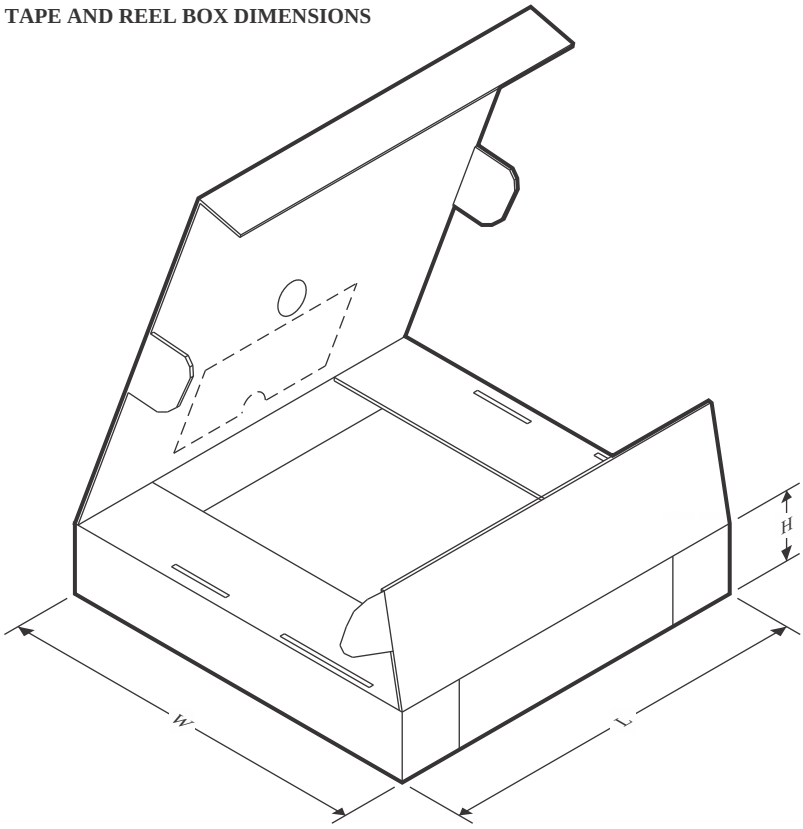
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM3488QMM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM3488QMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

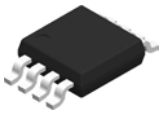


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM3488QMM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LM3488QMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0

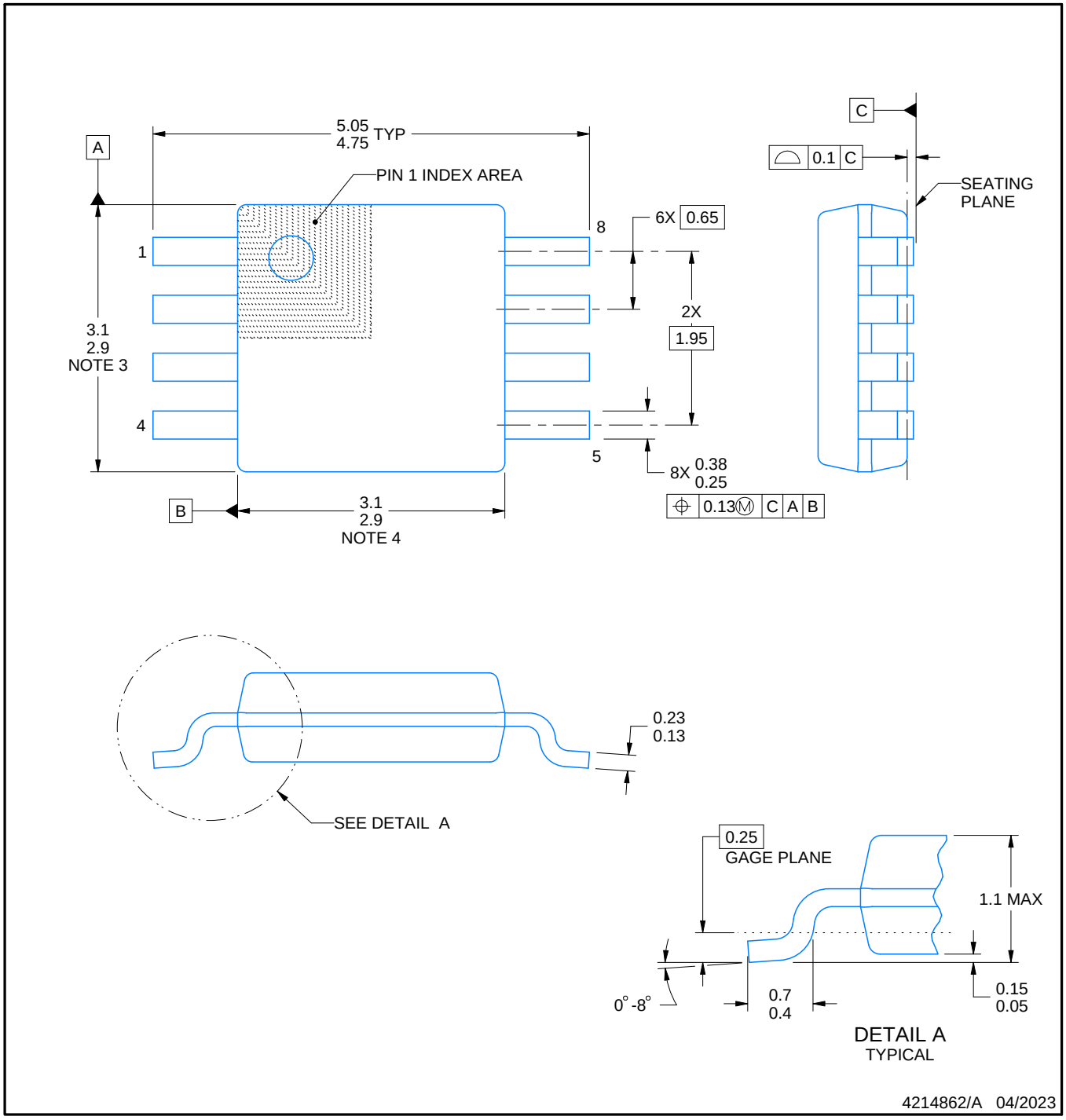
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

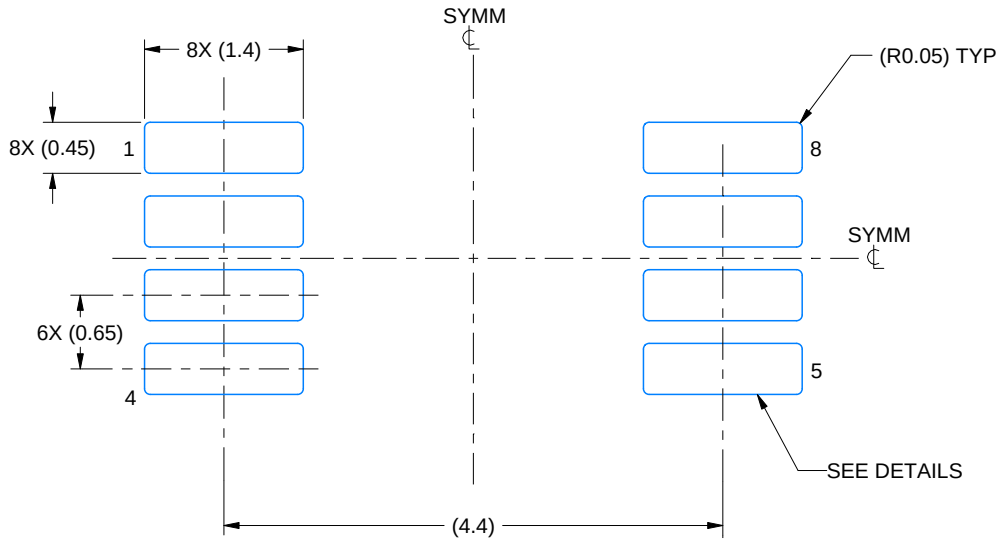
SMALL OUTLINE PACKAGE



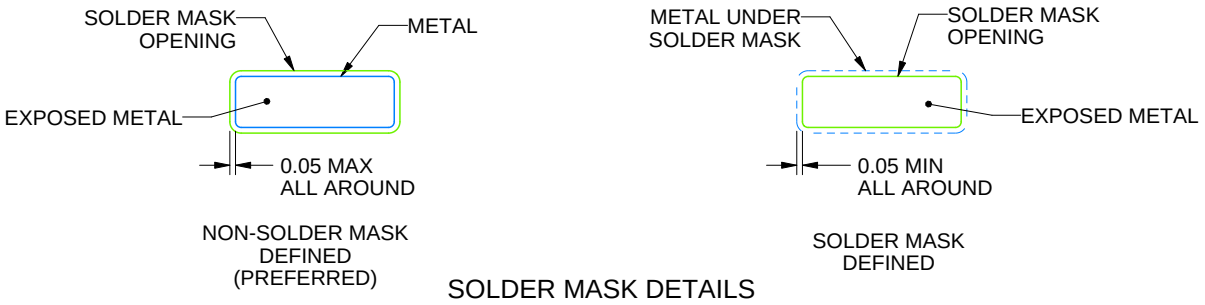
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

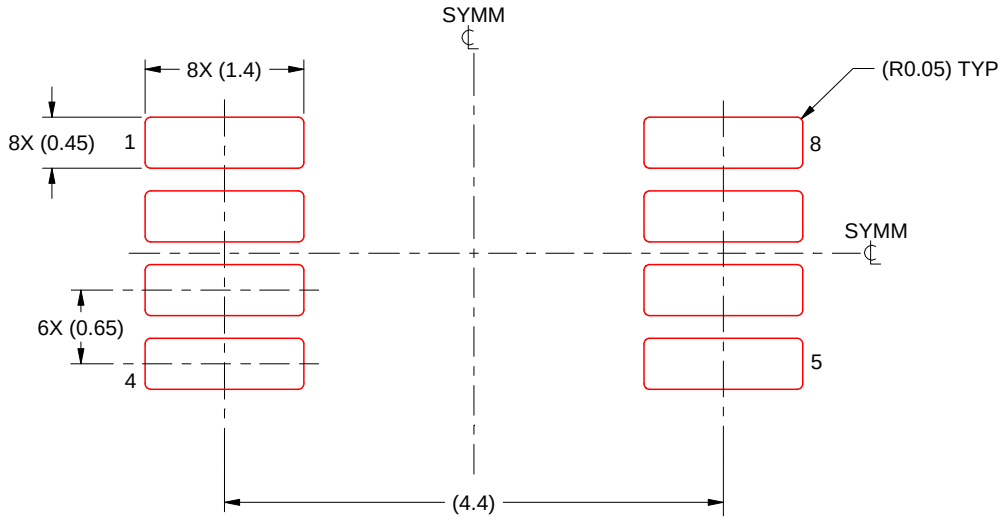


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月