

LMG5126 入力範囲の広い 2.5MHz の昇圧コンバータ

1 特長

- 入力電圧: 6.5V~42V
 - $V_{\text{BIAS}} \geq 6.5\text{V}$ または $V_{\text{OUT}} \geq 6\text{V}$ について最低 2.5V
- 出力電圧 6V~60V
 - 精度 2%、内部帰還抵抗
 - $V_{\text{I}} > V_{\text{OUT}}$ のときバイパス動作
 - 20kHz を超えるオーディオ帯域からのブートリフレッシュ
 - 動的出力電圧追跡
 - デジタル PWM トラッキング (DTRK)
 - アナログトラッキング (ATRK)
 - 過電圧保護 (65V、50V、35V、25V)
- 小さいシャットダウン I_{SD} : 標準値 5 μA (最大値 100 μA)
- 小さい動作 I_{Q} : 標準値 1.5mA (最大値 2.5mA)
- マルチフェーズ インターリーブ動作によるスタッキング
 - 外部クロックなしで最大 4 個のデバイス
- スイッチング周波数: 300kHz~2.5MHz
 - 外部クロックへの同期 (SYNCIN)
 - スペクトラム拡散 (DRSS)
- スイッチング モードを動的に選択可能 (FPWM、ダイオード エミュレーション)
- 電流センス抵抗、または DCR センシング
- 平均インダクタ電流モニタ
- 平均入力電流制限
- 電流制限 (29mV または 60mV) を選択可能
- 遅延時間 (DLY) を選択可能
- パワー グッド インジケータ
- プログラム可能な V_{I} 低電圧誤動作防止 (UVLO)
- ウェットプル フランク付きリードレス RLF-22 パッケージ
- WEBENCH® Power Designer により、LMG5126 を使用するカスタム設計を作成

2 アプリケーション

- ハイエンド オーディオ電源
- 電圧安定化モジュール
- スタート ストップ アプリケーション

3 説明

LMG5126 は、スタッカブルなマルチフェーズ同期整流昇圧コンバータです。このデバイスは、より低い入力電圧または等しい入力電圧に対してレギュレートされた出力電圧を供給し、消費電力を節約するため、 V_{I} から V_{OUT} のバイパス モードにも対応しています。最大 4 つのデバイスを外部クロックあり、またはなしでスタックできます。

V_{OUT} は、デジタルまたはアナログの ATRK/DTRK 機能を使用して動的にプログラムできます。 V_{BIAS} が 6.5V 未満のときは内部 VCC 電源が自動的に V_{BIAS} から V_{OUT} に切り替わるため、スタートアップ後は V_{I} を最低 2.5V にできます。固定スイッチング周波数は、RT ピンに接続された抵抗または SYNCIN クロックを使用して、300kHz と 2.5MHz の間に設定されます。スイッチング モード、FPWM、またはダイオード エミュレーションは、動作中に変更できます。

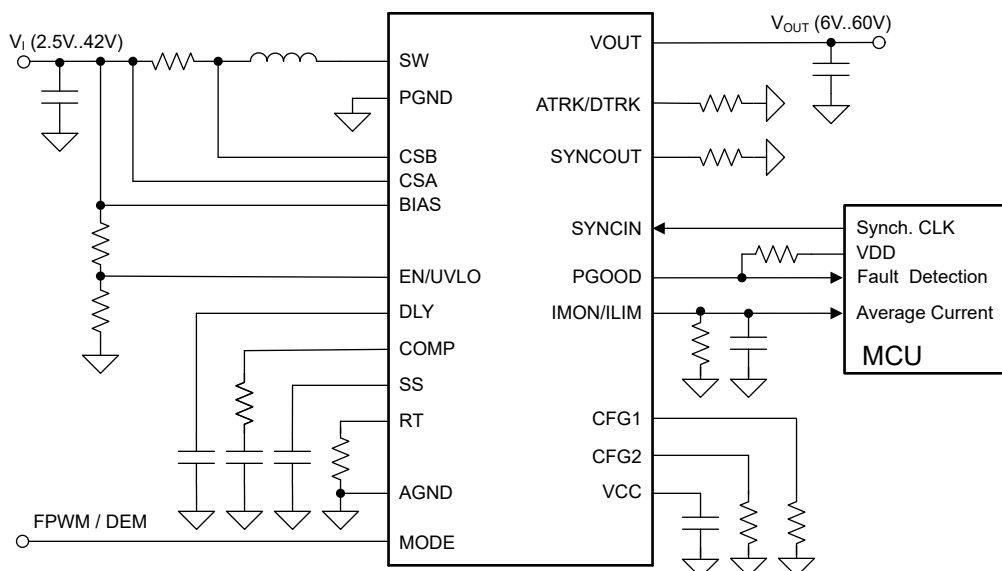
実装されている保護機能である、ピーク電流制限、平均入力電流制限、120% の入力電流制限、平均インダクタ電流モニタ、過電圧および低電圧保護、サーマル シャットダウンにより、デバイスおよびアプリケーションを保護します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
LMG5126	VBT (VQFN-FCRLF, 22)	6mm × 4.5mm

- 供給されているすべてのパッケージについては、セクション 10 を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





代表的なアプリケーション

目次

1 特長	1	6.4 デバイスの機能モード	36
2 アプリケーション	1	7 アプリケーションと実装	37
3 説明	1	7.1 アプリケーション情報.....	37
4 ピン構成および機能	4	7.2 代表的なアプリケーション.....	39
5 仕様	6	7.3 電源に関する推奨事項.....	52
5.1 絶対最大定格.....	6	7.4 レイアウト.....	52
5.2 ESD 定格.....	6	8 デバイスおよびドキュメントのサポート	54
5.3 推奨動作条件.....	7	8.1 デバイス サポート.....	54
5.4 熱に関する情報.....	7	8.2 ドキュメントのサポート.....	54
5.5 電気的特性.....	7	8.3 ドキュメントの更新通知を受け取る方法.....	54
5.6 タイミング要件.....	12	8.4 サポート・リソース.....	54
5.7 代表的特性.....	13	8.5 商標.....	55
6 詳細説明	17	8.6 静電気放電に関する注意事項.....	55
6.1 概要.....	17	8.7 用語集.....	55
6.2 機能ブロック図.....	18	9 改訂履歴	55
6.3 機能説明.....	19	10 メカニカル、パッケージ、および注文情報	55

4 ピン構成および機能

注

上面に取り付けられたヒートシンクは、露出した GaN ダイの SW 端子と PGND 端子を短絡しないように絶縁する必要があります。

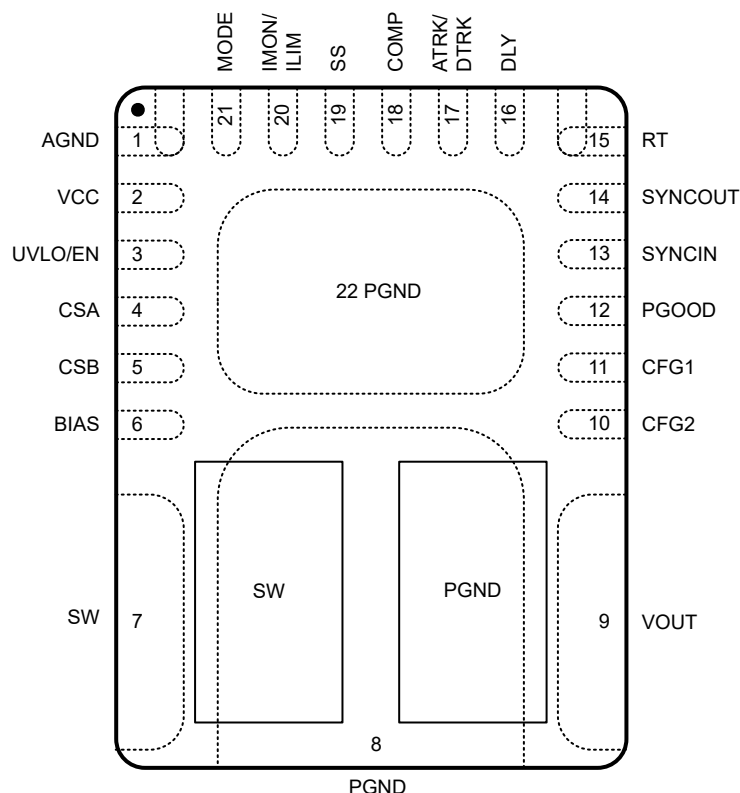


図 4-1. LMG5126 のピン配置 (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
AGND	1	G	アナログ グランド ピン。広く短いパスを通して、アナログ グランド プレーンに接続します。
ATRK/DTRK	17	I	出力レギュレーション ターゲットのプログラミング ピン。出力電圧のレギュレーション ターゲットは、ピンを抵抗経路で AGND に接続するか、ピンの推奨動作範囲内の電圧 (0.2V~2.0V) で直接ピン電圧を制御することでプログラムできます。デジタル PWM 信号が 8%~80% のデューティ サイクルになると、出力電圧レギュレーションが推奨動作範囲内に設定されます。
BIAS	6	P	VCC レギュレータの電源電圧入力。1μF のローカル BIAS コンデンサを、ピンとグランドとの間に接続します。
CFG1	11	I	デバイス構成ピン。スペクトラム拡散モード、120% のピーク電流制限ラッチオフ、センス電圧、ゲート駆動強度を設定します。ピンと AGND との間に抵抗を接続します。
CFG2	10	I	デバイス構成ピン。デバイスが内部または外部クロックを使用してシングル、プライマリ、またはセカンダリ デバイスとして構成されているかどうか、および PGOOD の構成を設定します。ピンと AGND との間に抵抗を接続します。
COMP	18	O	内部の相互コンダクタンス エラー アンプの出力。ピンと AGND との間にループ補償部品を接続します。
CSA	4	I	電流検出アンプ入力。このピンは正の入力ピンとして動作します。入力電圧に対する内部低電圧誤動作防止機能への入力。このピンはセンス抵抗に接続します。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
CSB	5	I	電流検出アンプ入力。このピンは負の入力ピンとして動作します。このピンはセンス抵抗に接続します。
DLY	16	O	平均入力電流制限遅延設定ピン。DLY と AGND の間にコンデンサを接続することで、V _{IMON} が 1.1V に達したときから平均入力電流制限が有効になるまでの遅延が設定されます。
EP	22	G	パッケージの露出パッド。露出パッドは、熱抵抗を減らすために、AGND に接続し、大きなグラウンドプレーンに半田付けする必要があります。
IMON/ILIM	20	O	入力電流モニタおよび平均入力電流制限設定ピン。差動電流のセンス電圧に比例する電流を供給します。このピンと AGND との間に抵抗を接続します。
モード	21	I	DEM または FPWM を選択する動作モード選択ピン。このピンは、抵抗を介して AGND または VCC に接続します。このピンはコントローラに接続することもできます。
PGND	8	G	ローサイド FET の電源グラウンド接続ピン。
PGOOD	12	O	オープンドレイン出力段のパワー グッド インジケータ。CFG2 ピンの設定に基づいて、出力電圧が低電圧スレッシュホールドを下回るか、過電圧スレッシュホールドを上回ると、このピンは Low にプルされます。フォルトを通知する場合も Low にプルされます。未使用時は、このピンをフローティングにできます。
RT	15	O	スイッチング周波数の設定ピン。スイッチング周波数は、ピンと AGND との間の単一の抵抗によりプログラムされます。スイッチング周波数は動作中に動的にプログラムできます。
SS	19	O	ソフトスタート時間のプログラミング ピン。外付けコンデンサと内部の電流ソースにより、ソフトスタート中の内部エラー アンプのリファレンス電圧のランプ レートが設定されます。デバイスは、ソフトスタート時間中にダイオード エミュレーションを強制的に実行します。
SW	7	P	スイッチ ノード接続。
SYNCIN	13	I	外部クロック同期ピン。フリーランニング内部発振器をオーバーライドする外部クロックの入力。SYNCIN ピン未使用時は、ピンをグラウンドに接続します。
SYNCOUT	14	O	クロック出力、OVP、および ATRK 電流の構成ピン。SYNCOUT は、CFG2 ピン で設定された位相シフト クロック出力を供給します。このピンに抵抗を接続して LMG5126 OVP レベルを選択し、20μA の ATRK 電流を有効にします。
UVLO/EN	3	I	低電圧誤動作防止のプログラム用ピン。このピンを抵抗デバイダを介して電源電圧に接続することで、コンバータのスタートアップおよびシャットダウン レベルをプログラムできます。V _{UVLO-RISING} より高くなるとデバイスが有効になります。
VCC	2	P	内部 VCC レギュレータの出力と内部 FET ドライバの電源電圧入力。このピンと PGND との間に 4.7μF コンデンサを接続します。
VOUT	9	P	出力電圧ピン。内部の帰還抵抗分圧器をピンと AGND との間に接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グラウンド、P = 電源。

5 仕様

5.1 絶対最大定格

接合部の推奨動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
入力 ⁽²⁾	BIAS から AGND へ	-0.3	50	V
	UVLO/EN から AGND へ	-0.3	BIAS + 0.3	
	CSA から AGND へ	-0.3	50	
	CSA から CSB へ	-0.3	0.3	
	VOUT から AGND へ	-0.3	75	
	SW から AGND へ	-5	75	
	SW から AGND へ (10ns)	-15	85	
	CFG1、CFG2、SYNCIN、ATRK/DTRK、DLY、MODE、	-0.3	5.5	
	RT から AGND へ	-0.3	2.5	
	GND から AGND へ	-0.3	0.3	
	GND から AGND へ (10ns)	-2	2	
出力 ⁽²⁾	VCC から AGND へ	-0.3	5.8 ⁽³⁾	V
	PGOOD、SYNCOOUT、SS、COMP、IMON/ILIM から AGND へ	-0.3	5.5	
	SW、VOUT 電流 (連続)、T _J = 25°C		35	A
	SW、VOUT 電流 (パルス、300μs)、T _J = 25°C		125	A
動作時の接合部温度、T _J ⁽⁴⁾		-40	150	°C
保管温度、T _{STG}		-55	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 外部電圧を COMP、SS、RT の各ピンに直接印加することはできません。
- (3) ピンの電圧が 5.5V を超えると、動作寿命が短くなります。
- (4) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

5.2 ESD 定格

				値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾		±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			角のピン	±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

接合部の推奨動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	公称値	最大値	単位
V_I	昇圧入力電圧 (BIAS $\geq 6.5V$ または $V_{OUT} \geq 6V$ 時)	2.5		42	V
V_{OUT}	昇圧出力電圧	6		60	V
V_{BIAS}	BIAS 入力電圧	6.5		42	V
$V_{UVLO/EN}$	UVLO/EN 入力電圧	0		42	V
V_{MODE}	MODE 入力電圧	0		5.25	V
V_{CSA}, V_{CSB}	電流検出入力電圧	2.5		42	V
V_{ATRK}	ATRK 入力電圧	0.2		2	V
V_{DTRK}	DTRK 入力電圧	0		5.25	V
V_{DLY}	DLY 電圧	0		5.25	V
V_{PGOOD}	PGOOD 電圧	0		5.25	V
$V_{IMON/ILIM}$	IMON/ILIM 電圧	0		5.25	V
V_{SYNCIN}	同期パルス入力電圧	0		5.25	V
f_{SW}	スイッチング周波数範囲	300		2500 ⁽²⁾	kHz
f_{SYNCIN}	同期パルス周波数範囲	300		2500 ⁽²⁾	kHz
f_{DTRK}	DTRK 周波数範囲	100		2200	kHz
T_J	動作時の接合部温度	-40		150 ⁽³⁾	°C

(1) 動作定格は、デバイスが機能する前提の条件です。仕様およびテスト条件については、「電気的特性」を参照してください。

(2) 最大スイッチング周波数は、 R_{RT} によってプログラムされます。このデバイスは、最大 2500kHz のスイッチングをサポートします。

(3) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		LMG5126	単位
		VQFN-FCRLF	
		22 ピン	
R_{qJA}	接合部から周囲への熱抵抗	29.1	°C/W
$R_{qJC(top)}$	接合部からケース (上面) への熱抵抗	1.0	°C/W
R_{qJB}	接合部から基板への熱抵抗	5.0	°C/W
γ_{JT}	接合部から上面への特性パラメータ	3.7	°C/W
γ_{JB}	接合部から基板への特性パラメータ	5.0	°C/W
$R_{qJC(bot)}$	接合部からケース (底面) への熱抵抗	4.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

代表値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $V_I = V_{BIAS} = 12V$ 、 $V_{OUT} = 24V$ 、 $f_{SW} = 400\text{kHz}$

パラメータ	テスト条件	最小値	標準値	最大値	単位
消費電流 (BIAS, VCC)					
I_{SD}	シャットダウン状態での V_I 電流 (BIAS を V_I に接続)。BIAS, CSA, CSB, SW への電流。	$V_{UVLO/EN} = 0V$ 、 $V_{OUT} = 12V$ 、 $T_J = -40^\circ\text{C} \sim 85^\circ\text{C}$		5	100 μA
I_{SD_BIAS}	シャットダウン状態での BIAS ピンの電流。	$V_{UVLO/EN} = 0V$ 、 $V_{OUT} = 12V$ 、 $T_J = -40^\circ\text{C} \sim 85^\circ\text{C}$		2	5 μA

LMG5126

JASVT7A – DECEMBER 2024 – REVISED DECEMBER 2025

代表値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $V_I = V_{\text{BIAS}} = 12\text{V}$ 、 $V_{\text{OUT}} = 24\text{V}$ 、 $f_{\text{SW}} = 400\text{kHz}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{\text{SD_VOUT}}$	シャットダウン状態での V_{OUT} ピンの電流。	$V_{\text{UVLO/EN}} = 0\text{V}$ 、 $V_{\text{OUT}} = 12\text{V}$ 、 $T_J = -40^\circ\text{C} \sim 85^\circ\text{C}$	0.001	0.5		μA
$I_{\text{Q_BIAS_FPWM}}$	アクティブ状態での BIAS ピンの静止電流、 FPWM モード、内部クロック (スイッチングなし、 RT および IMON の電流は除外)。	$V_{\text{UVLO/EN}} = 2.0\text{V}$ 、 $\text{CFG1} = \text{レベル } 10$ 、 $\text{CFG2} = \text{レベル } 1$ 、 $V_{\text{ATRK}} = 0.8\text{V}$ 、無負荷、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$	1.5	2.5		mA
$I_{\text{Q_BIAS_DEM}}$	アクティブ状態での BIAS ピンの静止電流、 DEM モード、内部クロック (スイッチングなし、 RT および IMON の電流は除外)。	$V_{\text{UVLO/EN}} = 2.0\text{V}$ 、 $\text{CFG1} = \text{レベル } 10$ 、 $\text{CFG2} = \text{レベル } 1$ 、 $V_{\text{ATRK}} = 0.8\text{V}$ 、無負荷、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$	1.6	2		mA
$I_{\text{Q_VOUT_FPWM}}$	アクティブ状態での V_{OUT} ピンの静止電流、 FPWM モード、内部クロック (スイッチングなし)。	$V_{\text{UVLO/EN}} = 2.0\text{V}$ 、 $\text{CFG1} = \text{レベル } 10$ 、 $\text{CFG2} = \text{レベル } 1$ 、 $V_{\text{ATRK}} = 0.8\text{V}$ 、無負荷、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$	20	750		μA
$I_{\text{Q_BIAS_BYP}}$	バイパス状態での BIAS ピンの電流 (RT および IMON の電流は除外)。	$V_{\text{UVLO/EN}} = 2.0\text{V}$ 、 $\text{CFG1} = \text{レベル } 10$ 、 $\text{CFG2} = \text{レベル } 1$ 、 $V_{\text{OUT}} = 12\text{V}$ 、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$	1.5	8.5		mA
I_{BIAS}	VCC が BIAS から供給されときの BIAS ピンのバイアス電流、 FPWM モード (スイッチングなし、 RT および IMON の電流は除外)。	$V_{\text{BIAS}} = 12\text{V}$ 、 $I_{\text{VCC}} = 100\text{mA}$	100	110		mA
I_{VOUT}	VCC が V_{OUT} から供給されているときの V_{OUT} ピンのバイアス電流、 FPWM モード (スイッチングなし)。	$V_{\text{BIAS}} = 3.3\text{V}$ 、 $I_{\text{VCC}} = 100\text{mA}$	100	110		mA
VCC レギュレータ (VCC)						
$V_{\text{BIAS-RISING}}$	VCC 電源を V_{OUT} ピンからバイアス ピンに切り替えるスレッショルド	V_{BIAS} 立ち上がり	6.0	6.25	6.5	V
$V_{\text{BIAS-FALLING}}$	VCC 電源をバイアス ピンから V_{OUT} ピンに切り替えるスレッショルド	V_{BIAS} 立ち下がり	5.6	5.9	6.2	V
$V_{\text{BIAS-HYS}}$	VCC 電源スレッショルドのヒステリシス		250	350		mV
$V_{\text{VCC-REG1}}$	VCC レギュレーション	無負荷	5.1	5.3	5.5	V
$V_{\text{VCC-REG2}}$	ドロップアウト時の VCC レギュレーション	$V_{\text{BIAS}} = 5.9\text{V}$ 、 $I_{\text{VCC}} = 100\text{mA}$	4.5	5.2		V
$V_{\text{VCC-UVLO-RISING}}$	VCC UVLO スレッショルド	VCC 立ち上がり	4.1	4.2	4.3	V
$V_{\text{VCC-UVLO-FALLING}}$	VCC UVLO スレッショルド	VCC 立ち下がり	3.8	3.9	4.0	V
$V_{\text{VCC-UVLO-HYS}}$	VCC UVLO スレッショルドのヒステリシス	VCC 立ち下がり		300		mV
$I_{\text{VCC-CL}}$	VCC のソース電流制限	$V_{\text{VCC}} = 4\text{V}$	100			mA
イネーブル (EN/UVLO)						
$V_{\text{EN-RISING}}$	イネーブル スレッショルド	EN 立ち上がり	0.50	0.55	0.6	V
$V_{\text{EN-FALLING}}$	イネーブル スレッショルド	EN 立ち下がり	0.40	0.45	0.50	V
$V_{\text{EN-HYS}}$	イネーブル ヒステリシス	EN 立ち下がり		75		mV
R_{EN}	EN プルダウン抵抗	$V_{\text{EN}} = 0.2\text{V}$	30	37	50	$\text{k}\Omega$
$V_{\text{UVLO-RISING}}$	UVLO スレッショルド	UVLO 立ち上がり	1.05	1.1	1.15	V
$V_{\text{UVLO-FALLING}}$	UVLO スレッショルド	UVLO 立ち下がり	1.025	1.075	1.125	V
$V_{\text{UVLO-HYS}}$	UVLO ヒステリシス	UVLO 立ち下がり		25		mV
$I_{\text{UVLO-HYS}}$	UVLO プルダウン ヒステリシス電流	$V_{\text{UVLO}} = 0.7\text{V}$	9	10	11	μA

代表値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $V_I = V_{\text{BIAS}} = 12\text{V}$ 、 $V_{\text{OUT}} = 24\text{V}$ 、 $f_{\text{SW}} = 400\text{kHz}$

パラメータ			テスト条件	最小値	標準値	最大値	単位
I _{UVLO/EN}	UVLO/EN ピンのバイアス電流	V _{UVLO/EN} = 0.3V、プルダウン抵抗 = アクティブ。		8	11	μA	
		V _{UVLO/EN} = 0.7V、10μA 電流 = アクティブ。		9	10	11	μA
		V _{UVLO/EN} = 3.3V			1	μA	
パワー スイッチ							
R _{DS(on)}	GaN FET のオン抵抗	ハイサイド	T _J = 25°C、	4	8.5	mΩ	
		ローサイド		4	8.5	mΩ	
構成 (CFG1、CFG2、SYNCOUT)							
R _{CFGx_1}	CFGx レベル 1 抵抗			0	0.1	kΩ	
R _{CFGx_2}	CFGx レベル 2 抵抗			0.496	0.51	0.526	kΩ
R _{CFGx_3}	CFGx レベル 3 抵抗			1.11	1.15	1.19	kΩ
R _{CFGx_4}	CFGx レベル 4 抵抗			1.81	1.9	1.93	kΩ
R _{CFGx_5}	CFGx レベル 5 抵抗			2.65	2.7	2.82	kΩ
R _{CFGx_6}	CFGx レベル 6 抵抗			3.71	3.8	3.94	kΩ
R _{CFGx_7}	CFGx レベル 7 抵抗			4.95	5.1	5.26	kΩ
R _{CFGx_8}	CFGx レベル 8 抵抗			6.29	6.5	6.68	kΩ
R _{CFGx_9}	CFGx レベル 9 抵抗			8.00	8.3	8.50	kΩ
R _{CFGx_10}	CFGx レベル 10 抵抗			10.18	10.5	10.81	kΩ
R _{CFGx_11}	CFGx レベル 11 抵抗			12.90	13.3	13.70	kΩ
R _{CFGx_12}	CFGx レベル 12 抵抗			15.71	16.2	16.69	kΩ
R _{CFGx_13}	CFGx レベル 13 抵抗			19.88	20.5	21.11	kΩ
R _{CFGx_14}	CFGx レベル 14 抵抗			24.15	24.9	25.65	kΩ
R _{CFGx_15}	CFGx レベル 15 抵抗			29.20	30.1	31.00	kΩ
R _{CFGx_16}	CFGx レベル 16 抵抗			35.40	36.5	38.60	kΩ
R _{SYNCOUT_1}	SYNCOUT レベル 1 抵抗			0	24.9	26.15	kΩ
R _{SYNCOUT_2}	SYNCOUT レベル 2 抵抗			29.94	31.5	33.09	kΩ
R _{SYNCOUT_3}	SYNCOUT レベル 3 抵抗			37.92	39.9	41.91	kΩ
R _{SYNCOUT_4}	SYNCOUT レベル 4 抵抗			46.17	48.6	51.03	kΩ
R _{SYNCOUT_5}	SYNCOUT レベル 5 抵抗			58.44	61.5	64.59	kΩ
R _{SYNCOUT_6}	SYNCOUT レベル 6 抵抗			70.98	75	78.45	kΩ
R _{SYNCOUT_7}	SYNCOUT レベル 7 抵抗			85.8	90.9	94.83	kΩ
R _{SYNCOUT_8}	SYNCOUT レベル 8 抵抗			104.04	110	200	kΩ
スイッチング周波数							
V _{RT}	RT レギュレーション			0.7	0.75	0.8	V
f _{SW1}	スイッチング周波数	f _{SW} = 300kHz、RT = 104.4kΩ		255	300	345	kHz
f _{SW2}		f _{SW} = 2500kHz、RT= 12kΩ		2250	2500	2750	kHz
t _{ON-MIN}	最小の制御可能なオン時間	f _{SW} = 2500kHz		14	20	50	ns
t _{OFF-MIN}	最小強制オフ時間	f _{SW} = 2500kHz		45	65	85	ns
D _{MAX1}	最大デューティ サイクル制限	f _{SW} = 300kHz		97%	98%	99%	
D _{MAX2}		f _{SW} = 2500kHz		78%	84%	90%	
同期 (SYNCIN、SYNCOUT)							

代表値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $V_I = V_{\text{BIAS}} = 12\text{V}$ 、 $V_{\text{OUT}} = 24\text{V}$ 、 $f_{\text{SW}} = 400\text{kHz}$

パラメータ			テスト条件	最小値	標準値	最大値	単位
f _{SYNC_DET_min}	SYNCIN 周波数アクティビティ検出	スペクトラム拡散 = オフ	f _{SW} = 300kHz	120			kHz
f _{SYNC_DET}	SYNCIN 周波数の動作検出と RT SET のスイッチング周波数との関係	スペクトラム拡散 = オフ	RT = 12kΩ ~ 104.4kΩ	-60%			
	SYNCIN 動作検出サイクル			3			サイクル
f _{SYNC}	同期時の RT 設定周波数からの同期周波数範囲。	シングル デバイス	周波数は外部クロックに同期、最小 = 300kHz、最大 = 2500kHz。	-45%		45%	
		マルチ デバイス		-22%		22%	
V _{SYNCIN_H}	SYNCIN の High レベル入力電圧		SYNCIN 立ち上がり	1.19		5.25	V
V _{SYNCIN_L}	SYNCIN の Low レベル入力電圧		SYNCIN 立ち下がり	-0.3		0.41	V
I _{SYNCIN}	SYNCIN バイアス電流			0.01		1	μA
	SYNCIN の最小プルアップ / プルダウンパルス幅			135			ns
VO _{UT} プログラミング (ATRK/DTRK)							
V _{OUT_REG}	ATRK 電圧による V _{OUT} レギュレーション		ATRK = 0.2V	5.85	6	6.15	V
			ATRK = 0.4V	11.82	12	12.18	V
			ATRK = 0.8V	23.64	24	24.36	V
			ATRK = 1.6V	47.28	48	48.72	V
			ATRK = 2V	59.10	60	60.90	V
G _{DTRK}	DTRK デューティサイクルの V _{ATRK} への変換率		f _{DTRK} = 100kHz、2200kHz	25			mV / %
	DTRK デューティサイクル範囲			8%		80%	
V _{ATRK}	指定された DTRK デューティサイクルに対する ATRK 電圧		f _{DTRK} = 100kHz、DC = 8%	0.192	0.2	0.208	V
			f _{DTRK} = 100kHz、DC = 40%	0.98	1	1.02	V
			f _{DTRK} = 100kHz、DC = 80%	1.98	2	2.02	V
			f _{DTRK} = 500kHz、DC = 8%	0.19	0.2	0.215	V
			f _{DTRK} = 500kHz、DC = 40%	0.98	1	1.02	V
			f _{DTRK} = 500kHz、DC = 80%	1.98	2	2.02	V
V _{DTRK_H}	DTRK の High レベル入力電圧		DTRK 立ち上がり	1.19		5.25	V
V _{DTRK_L}	DTRK の Low レベル入力電圧		DTRK 立ち下がり	-0.3		0.41	V
I _{ATRK}	SYNCOUT の抵抗設定によってアクティブになったときのソース電流			19.8	20	20.2	μA
I _{ATRK/DTRK}	ATRK/DTRK ピンのバイアス電流		20μA 電流はディスエーブル、V _{ATRK/DTRK} = 2V	0.01		1	μA
	最小 DTRK プルアップ / プルダウンのパルス幅			25			ns
ソフトスタート (SS/)							
I _{SS}	ソフトスタート電流			42.5	50	57.5	μA
V _{SS-DONE}	ソフトスタート完了スレッシュホールド			2.15	2.2	2.25	V
R _{SS}	SS プルダウン スイッチの R _{DS(ON)}				37	70	Ω
V _{SS-DIS}	SS 放電検出スレッシュホールド			20	45	70	mV
電流センス (CSA、CSB)							
A _{CS}	電流センス アンプのゲイン				10		V/V
V _{CLTH}	正のピーク電流制限スレッシュホールド	60mV センシング	CS 入力を基準とします	54	60	66	mV
		29mV センシング		24	29	35	mV

代表値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $V_I = V_{\text{BIAS}} = 12\text{V}$ 、 $V_{\text{OUT}} = 24\text{V}$ 、 $f_{\text{SW}} = 400\text{kHz}$

パラメータ			テスト条件	最小値	標準値	最大値	単位
V _{NCLTH}	負のピーク電流制限スレッシュ ホールド	60mV、29mV セ ンシング	CS 入力、FPWM モードを基準とし ます	-34	-28	-22	mV
V _{ICL}	入力電流制限	60mV センシング	CS 入力を基準とします	64	72	84	mV
		29mV センシング		30	38	45	mV
ΔV _{ICL_CLTH}	ICL と正のピーク電流スレッシ ョルド間のデルタ電圧	60mV センシング	ICL と正のピーク電流スレッシュ ョルド間のデルタ電圧	6	12		mV
		29mV センシング		3	6		mV
	ピーク電流制限トリップ遅延				60		ns
V _{ZCD}	ZCD スレッシュホールド (CSA - CSB)		CS 入力の立ち下がり、DEM	0	3	6	mV
			CS 入力の立ち下がり、DEM、T _J = 0°C ~ 85°C	0	3	5	mV
V _{ZCD_BYP}	バイパス モードでの ZCD スレッシュホールド (CSA - CSB)。			-6	-2.5	0	mV
V _{SLOPE}	ピーク勾配補償アンプ		CS 入力を基準とし、f _{SW} = 300kHz	40	45	52	mV
I _{CSA}	CSA 電流		デバイスがスタンバイ状態、V _I = V _{BIAS} = V _{OUT} = 12V		150	170	μA
I _{CSB}	CSB 電流					1.2	μA
遅延付き電流モニタ / リミッタ (IMON/ILIM)							
G _{IMON}	相互コンダクタンス ゲイン			0.320	0.333	0.346	μA/mV
I _{OFFSET}	オフセット電流			2.7	4	5	μA
V _{ILIM}	ILIM のレギュレーション ターゲット			0.93	1	1.07	V
V _{ILIM_th}	ILIM の起動スレッシュホールド			1.05	1.1	1.25	V
V _{ILIM_reset}	DLY リセットのスレッシュホールド		ILIM の立ち下がり、V _{ILIM} を基準と する	85%	89%	93%	
I _{DLY}	DLY ソース / シンク電流			4	5	6	μA
V _{DLY_peak_rise}			V _{DLY} 立ち上がり	2.45	2.6	2.75	V
V _{DLY_peak_fall}			V _{DLY} 立ち下がり	2.25	2.4	2.55	V
V _{DLY_valley}					0.2		V
エラー アンプ (COMP)							
G _m	相互コンダクタンス			0.7	1	1.3	mA/V
A _{COMP-PWM}	COMP から PWM へのゲイン				1		V/V
V _{COMP-MAX}	COMP 最大クランプ電圧		COMP 立ち上がり	2.3	2.55	2.9	V
V _{COMP-MIN}	COMP 最小クランプ電圧、DEM で有効		COMP 立ち下がり	0.38	0.48	0.55	V
	COMP 最小クランプ電圧、FPWM で有効		COMP 立ち下がり	0.13	0.16	0.19	V
V _{COMP-offset}	最小クランプを基準としたオフセット		COMP 立ち下がり	0.01	0.03	0.06	V
I _{SOURCE-MAX}	最大 COMP ソーシング電流		V _{COMP} = 1V、V _{ATRK} = 2V	150			μA
I _{SINT-MAX}	最大 COMP シンキング電流		V _{COMP} = 1V、V _{ATRK} = 0.5V	90			μA
動作モード							
V _{MODE_H}	MODE ピンの High レベル	FPWM		1.19		5.25	V
V _{MODE_L}	MODE ピンの Low レベル	DEM		-0.3		0.41	V
I _{MODE}	MODE ピンのバイアス電流		MODE = 3.3V		0.01	1	μA
過電圧と低電圧のモニタ							
V _{OVP-H}	過電圧スレッシュホールド立ち上がり		V _{OUT} の立ち上がり (エラー アンプの リファレンスを基準とする)	108%	110%	112%	
V _{OVP-L}	過電圧スレッシュホールド立ち下がり		V _{OUT} の立ち下がり (エラー アンプの リファレンスを基準とする)	101%	103%	105%	

代表値は $T_J = 25^\circ\text{C}$ に対応します。最小および最大の制限値は、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$ の範囲で適用されます。特に記述のない限り、 $V_I = V_{\text{BIAS}} = 12\text{V}$ 、 $V_{\text{OUT}} = 24\text{V}$ 、 $f_{\text{SW}} = 400\text{kHz}$

パラメータ			テスト条件	最小値	標準値	最大値	単位
V _{OVP_max-H}	最大過電圧スレッシュヨルド立ち上がり	25V 設定	V _{OUT} の立ち上がり (エラー アンプのリファレンスを基準とする)	23	24	25	V
		35V 設定		33	34	35	V
		50V 設定		48	49	50	V
		65V 設定		63	64	65	V
V _{OVP_max-L}	最大過電圧スレッシュヨルド立ち下がり	25V 設定	V _{OUT} の立ち下がり (エラー アンプのリファレンスを基準とする)	22	23	24	V
		35V 設定		32	33	34	V
		50V 設定		47	48	49	V
		65V 設定		62	63	64	V
V _{UVP-H}	低電圧スレッシュヨルド		V _{OUT} の立ち上がり (エラー アンプのリファレンスを基準とする)	91%	93%	95%	
V _{UVP-L}	低電圧スレッシュヨルド		V _{OUT} の立ち下がり (エラー アンプのリファレンスを基準とする)	88%	90%	92%	
PGOOD							
R _{PGOOD}	PGOOD プルダウン スイッチの R _{DS(on)}		1mA のシンク		90	180	Ω
	有効な PGOOD の最小 BIAS		R _{5V} = 7.81kΩ、V _{PGOOD} = < 0.4V	2			V
サーマル シャットダウン(TSD)							
T _{TSD-RISING}	サーマル シャットダウンのスレッシュヨルド		温度上昇		175		°C
T _{TSD-HYS}	サーマル シャットダウン ヒステリシス				15		°C
タイミング							
t _d	デッド タイム		ドライバ設定 = 強		5		ns
STANDBY _{timer}	スタンバイ タイマ			130	150	170	μs

5.6 タイミング要件

動作接合部温度範囲および推奨電源電圧範囲 (特に記載のない限り)

			最小値	公称値	最大値	単位
全体的なデバイス機能						
	最小時間 Low EN トグル	EN から測定した時間 H から L、L から H への切り替え	1			μs

5.7 代表的特性

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、V_{BIAS} = 12V

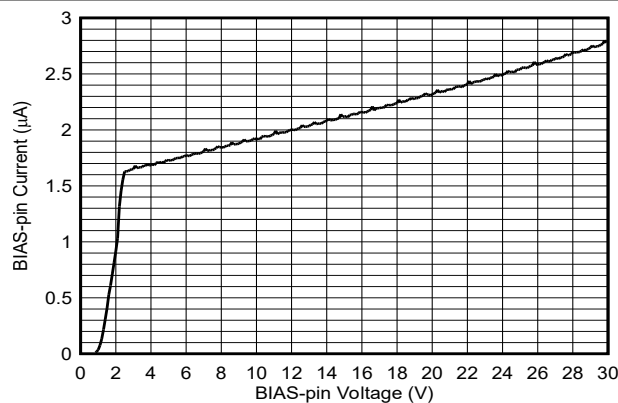


図 5-1. シャットダウン時の BIAS ピンの電流と BIAS ピンの電圧との関係

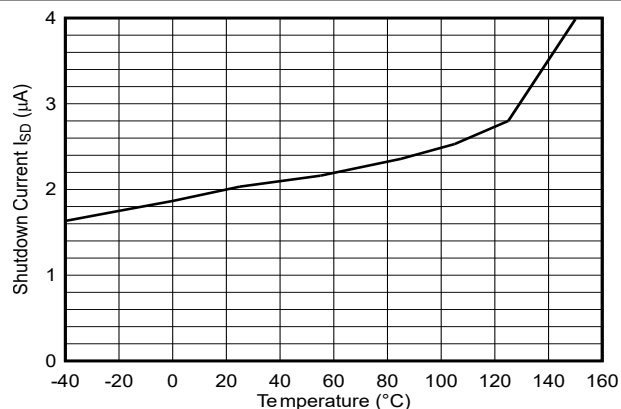


図 5-2. シャットダウン電流と温度との関係

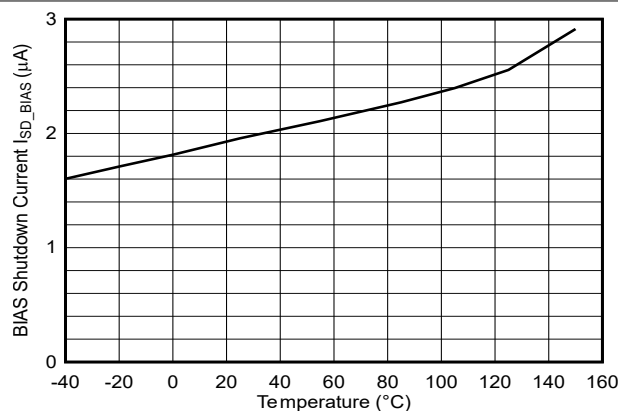
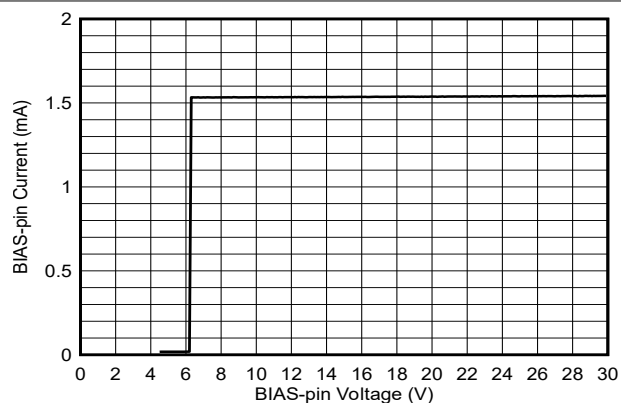
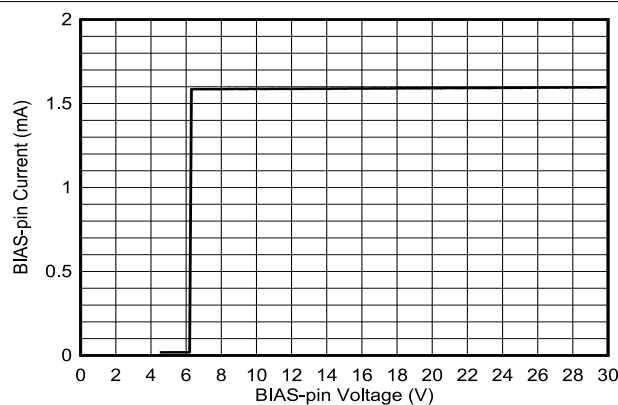


図 5-3. シャットダウン時の BIAS ピンの電流と温度との関係



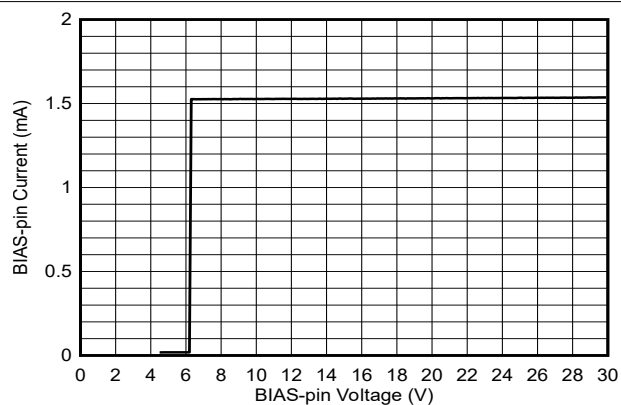
モード = FPWM

図 5-4. BIAS ピンの静止電流と BIAS ピンの電圧との関係



MODE = DEM

図 5-5. BIAS ピンの静止電流と BIAS ピンの電圧との関係

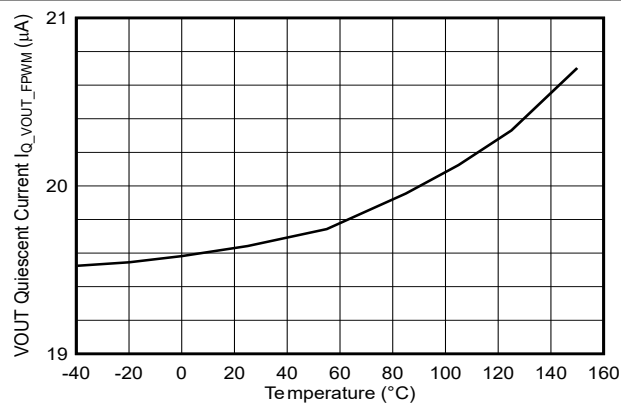


MODE = BYPASS

図 5-6. BIAS ピンの静止電流と BIAS ピンの電圧との関係

5.7 代表的特性 (続き)

以下の条件が適用されます (特に記述のない限り)。 $T_J = 25^{\circ}\text{C}$ 、 $V_{\text{BIAS}} = 12\text{V}$



モード = FPWM

図 5-7. VOUT ピンの静止電流と温度との関係

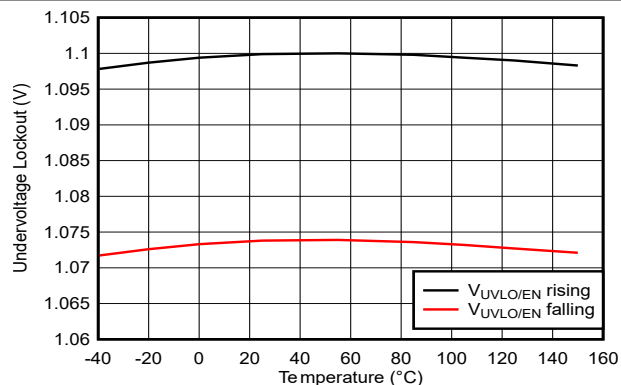


図 5-8. 低電圧誤動作防止 (UVLO) と温度との関係

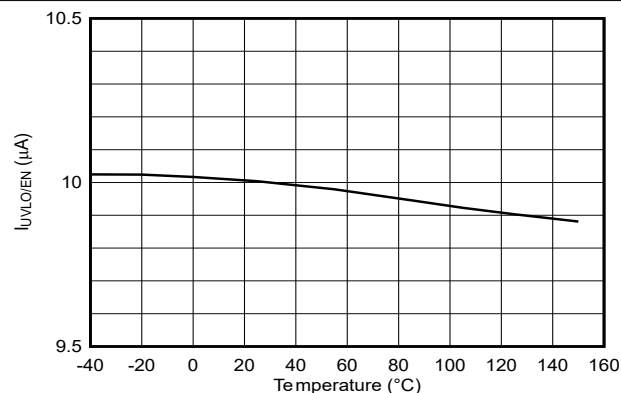


図 5-9. 低電圧誤動作防止のヒステリシス電流と温度との関係

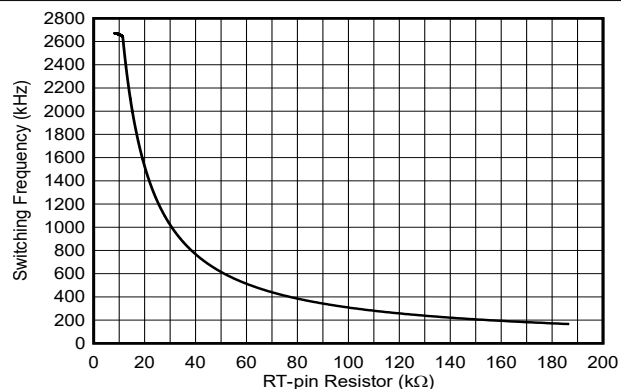
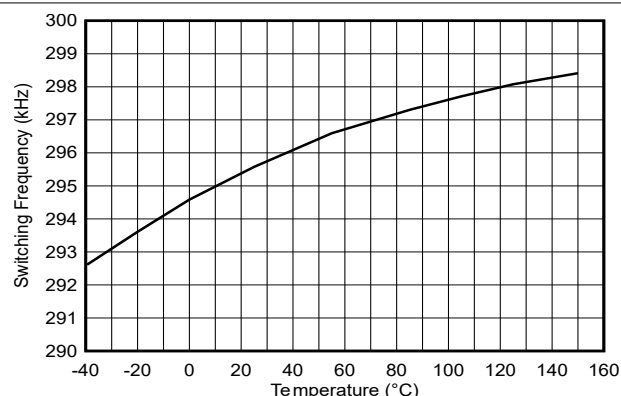
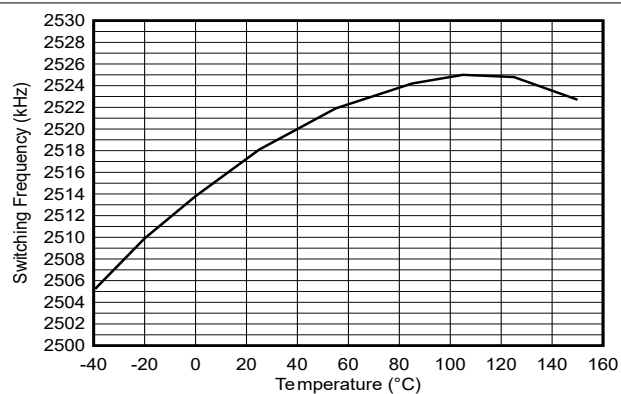


図 5-10. スイッチング周波数と RT 抵抗との関係



$f_{\text{SW}} = 300\text{kHz}$

図 5-11. スイッチング周波数と温度との関係



$f_{\text{SW}} = 2500\text{kHz}$

図 5-12. スイッチング周波数と温度との関係

5.7 代表的特性 (続き)

以下の条件が適用されます (特に記述のない限り)。 $T_J = 25^\circ\text{C}$ 、 $V_{\text{BIAS}} = 12\text{V}$

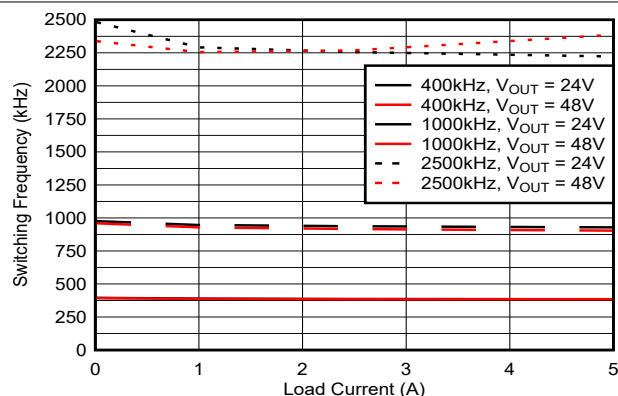


図 5-13. スイッチング周波数とロード電流との関係

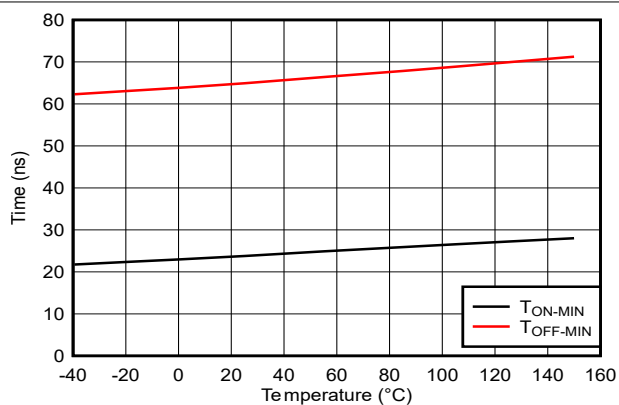


図 5-14. 制御可能な最小オン時間と温度との関係

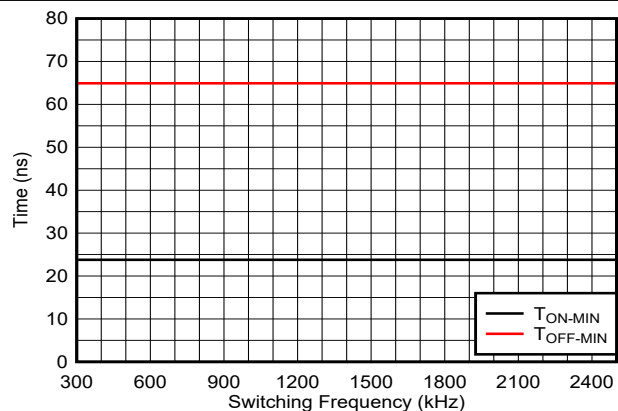


図 5-15. 制御可能な最小オン時間と周波数との関係

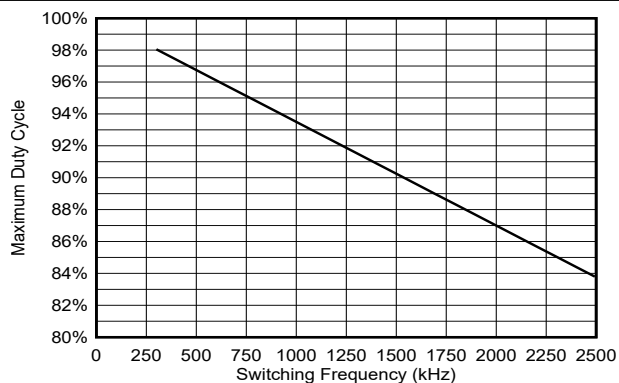
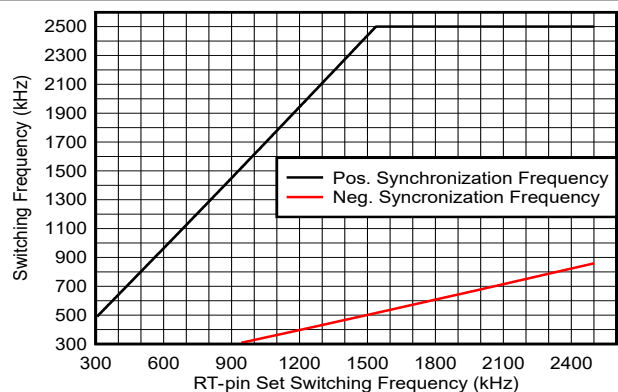


図 5-16. 最大デューティ サイクルとスイッチング周波数との関係



シングル デバイス

図 5-17. 同期スイッチング周波数 (SYNCIN) と RT ピンで設定されるスイッチング周波数との関係

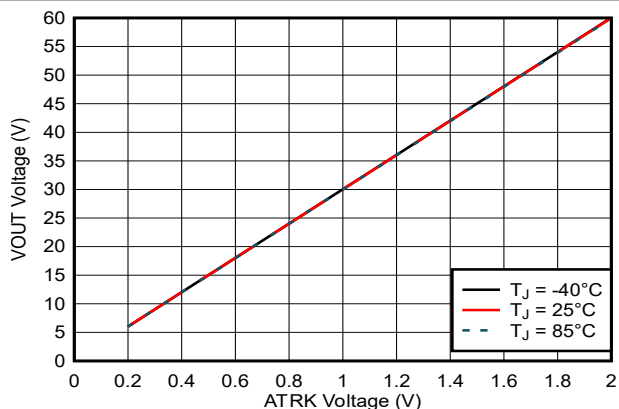
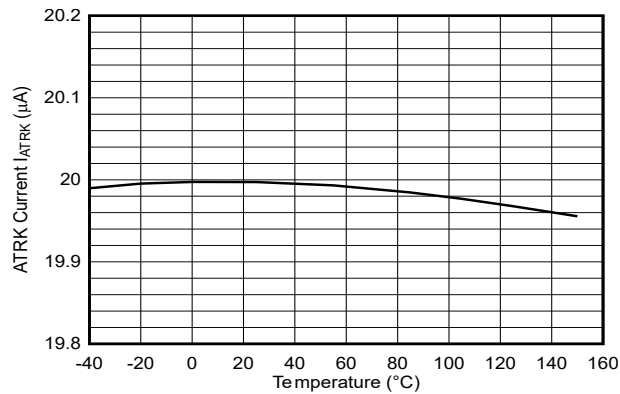


図 5-18. V_{OUT} 電圧と V_{ATRK} 電圧との関係

5.7 代表的特性 (続き)

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、V_{BIAS} = 12V



20μA の ATRK 電流
= アクティブ

図 5-19. ATRK 電流 I_{ATRK} と温度との関係

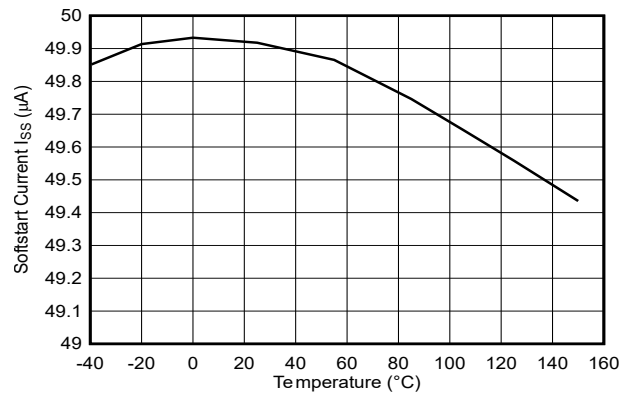


図 5-20. ソフトスタート電流 I_{SS} と温度との関係

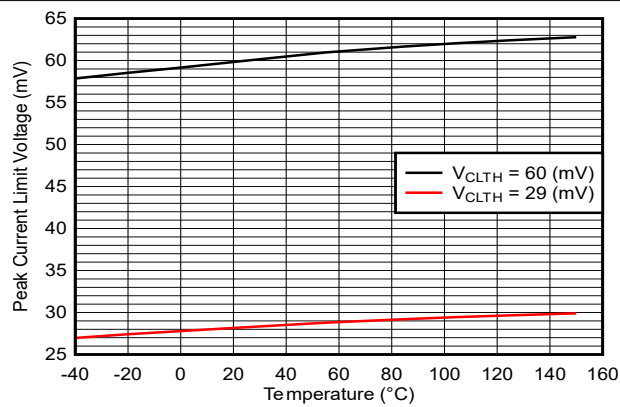


図 5-21. ピーク電流制限電圧 V_{CLTH} と温度との関係

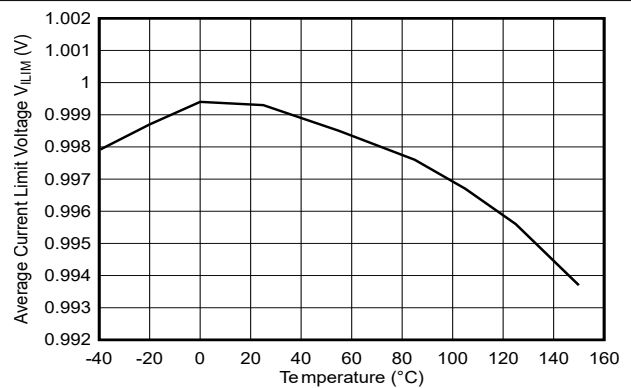


図 5-22. 平均電流制限電圧 V_{ILIM} と温度との関係

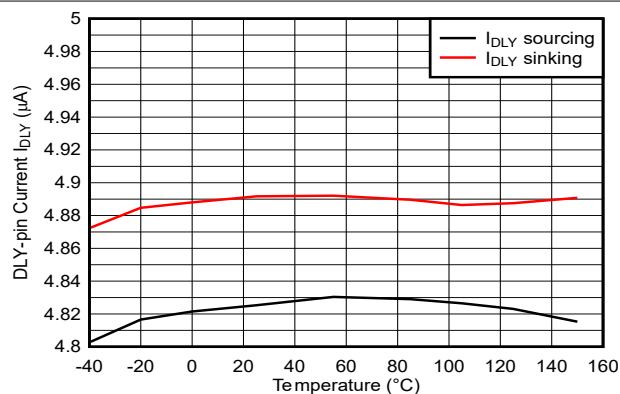


図 5-23. DLY 電流 I_{DLY} と温度との関係

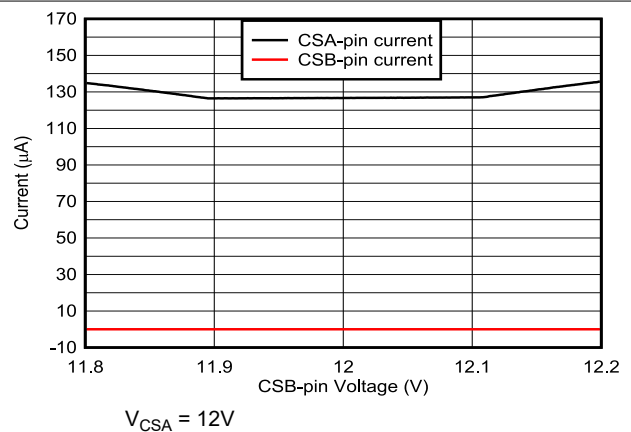


図 5-24. CSA および CSB 電流と CSB 電圧との関係

6 詳細説明

6.1 概要

LMG5126 は、GaN FET を内蔵し、入力範囲の広い昇圧コンバータです。本デバイスは入力電圧が、調整された出力電圧よりも高等しい、または低い場合に、レギュレートされた出力電圧を供給します。抵抗・デジタル間 (R2D) インターフェイスにより、すべてのデバイス機能を簡単かつ確実に選択できます。

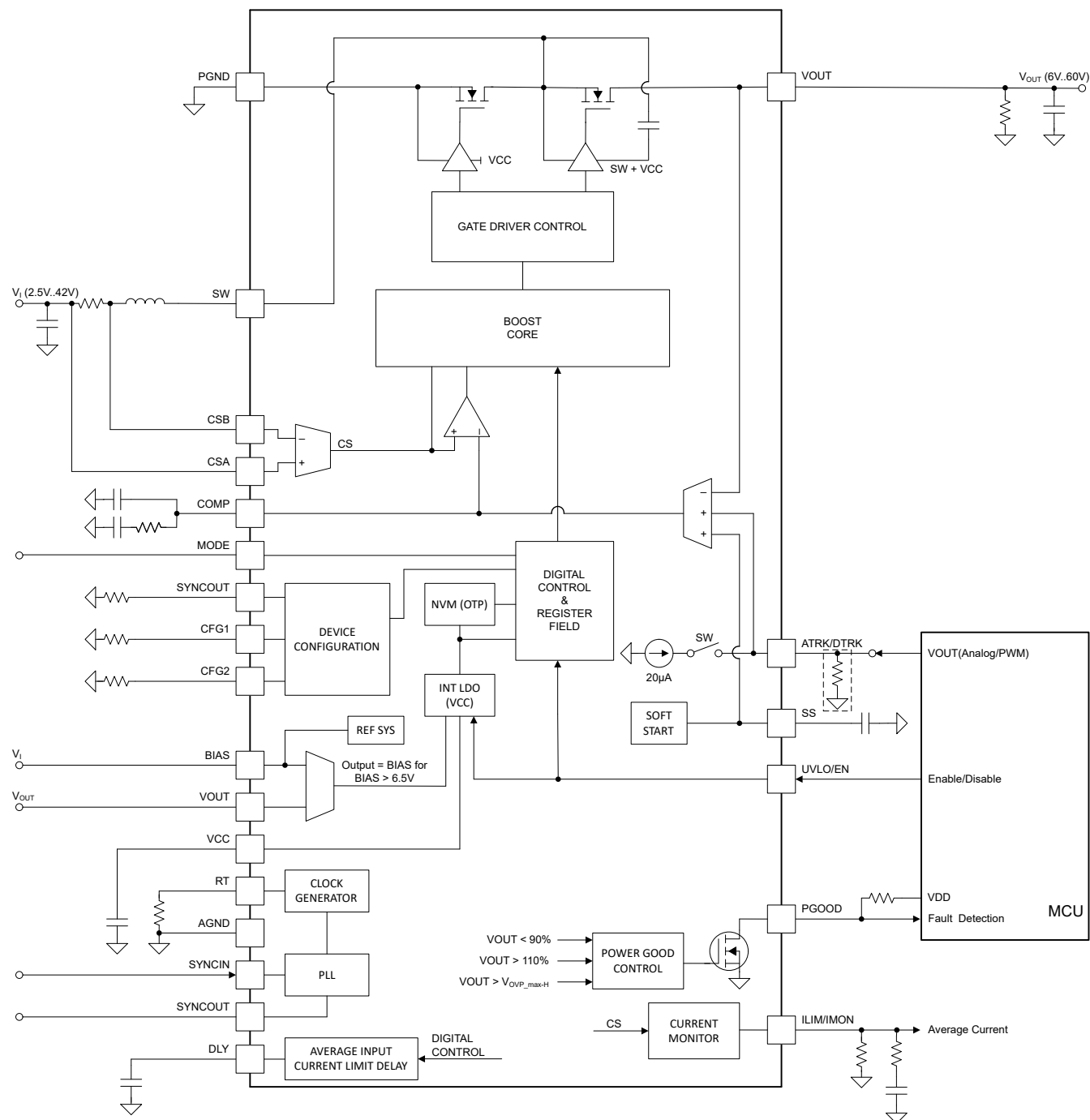
動作モード DEM (ダイオード エミュレーション モード) と FPWM (強制パルス幅変調) は、動作中にオンザフライでピンを選択できます。ピーク電流モード制御は、RT ピンで設定される固定スイッチング周波数で動作します。デュアル ランダム スペクトラム拡散動作を起動することにより、設計プロセスのどの時点でも EMI の低減を実現できます。

内蔵の平均電流モニタは、入力電流の監視や制限に役立ちます。動作中に出力電圧を動的に調整可能です (動的な電圧スケーリングとエンベロープ追跡)。この調整は、ATRK/DTRK ピンのアナログ基準電圧を変更するか、ATRK/DTRK ピンの PWM 入力信号を使って直接調整できます。

内蔵の広入力 LDO は、さまざまな入力および出力電圧状況下で、デバイス機能に対して確実に電源供給します。高い駆動能力と、自動およびヘッドルームによる電圧選択により、電力損失は最小限に抑えられます。個別のバイアス ピンを入力、出力、または外部電源に接続して、デバイス内の電力損失をさらに減らすことができます。未定義のエラー処理を避けるため、常に内部電源電圧が監視されます。

内蔵の保護機能により、さまざまな故障状況で安全な動作が実現します。ブラウンアウト状態を回避するため、 V_I 低電圧誤動作防止保護機能があります。入力 UVLO スレッシュホールドとヒステリシスは、外部の帰還デバイダを使用して構成できるため、さまざまな設計においてブラウンアウトが回避されます。このデバイスには、出力過電圧保護機能が搭載されています。選択可能なヒックアップ過電流保護により、内部的なサイクル単位のピーク電流保護機能を使用して、過剰な短絡電流を防止します。デバイスにはサーマル シャットダウンが内蔵されているため、過負荷状態により生じる、熱による損傷から保護されます。すべての出力関連の故障イベントは監視され、デバイスのオープンドレイン PGOOD ピンで通知されます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 デバイス設定

CFG1 ピンは、クロック ディザリング、120% の入力電流制限保護 (I_{CL_latch})、最大値過電圧保護動作 (OVP_{max_latch})、センス電圧、およびゲートドライバの強度を定義します。表 6-1 に示すレベルは、セクション 5 に指定された抵抗によって選択されます。

クロック ディィザリング:	デュアル ランダム スペクトラム拡散 (DRSS) クロック ディィザリングをイネーブル、またはクロック ディィザリングをディスエーブルします。			
$latch_{ICL\&OVP_max}$:	$latch_{ICL\&OVP_max}$ がイネーブルで、ピーク電流制限を 20% 超えるか、 V_{OUT} が OVP_{max} に達すると、デバイスは FAULT 状態に移行します (ターンオフしてラッチされます)。 $latch_{ICL\&OVP_max}$ がディスエーブルのとき、デバイスはアクティブのままで、ピーク電流制限に合わせて、または V_{OUT} が OVP_{max} レベル未満になるようにインダクタ電流の制限を試みます。			
センス電圧:	センス抵抗でのデバイスのインダクタ ピーク電流制限電圧 $V_{(CSA-CSB)}$ は、29mV または 60mV に設定できます。			
ゲート駆動強度:	内部 GaN FET のゲートドライバ強度は、弱 (低速のスイッチ ノードの立ち上がり / 立ち下がり) または強 (高速のスイッチ ノードの立ち上がり / 立ち下がり) に設定できます。最高の性能 (効率) を実現するには、強の設定を使用できますが、EMI を最小にする場合や、PCB レイアウトが最適化されていない場合は、弱の設定の方が適しています。			

表 6-1. CFG1 ピンの設定、

レベル	クロック ディィザリング	$latch_{ICL\&OVP_max}$	ゲート駆動強度	センス電圧
1	有効 (DRSS)	有効	弱	29mV
2				60mV
3			強	29mV
4				60mV
5		ディスエーブル	弱	29mV
6				60mV
7			強	29mV
8				60mV
9	ディスエーブル	有効	弱	29mV
10				60mV
11			強	29mV
12				60mV
13		ディスエーブル	弱	29mV
14				60mV
15			強	29mV
16				60mV

CFG2 ピンは、パワー グッド ピンの OVP 動作、およびデバイスが内部クロック ジェネレータと、SYNCIN ピンに印加される外部クロックのどちらかを使用するかを定義します。また CFG2 ピンは、デバイスがシングル デバイスカ、またはマルチ デバイス構成の一部かを構成し、SYNCIN および SYNCOUT ピンは、それに応じて有効化 / 無効化されます。クロック同期中クロック ディィザ機能は無効化されます。表 6-2 に示すレベルは、セクション 5 に指定された抵抗によって選択されます。

$PGOOD_{OVP_enable}$:	$PGOOD_{OVP_enable}$ がイネーブルのとき、 $PGOOD$ ピンは V_{OUT} が OVP (過電圧保護) を上回るか UV (低電圧) スレッショルドを下回ると Low になります。 $PGOOD_{OVP_enable}$ がディスエーブルの場合、 $PGOOD$ ピンは V_{OUT} が UV (低電圧) スレッショルドを下回ったときのみ Low になります。
-------------------------	---

シングル / マルチチップ:

デバイスが内部発振器または外部クロックを使用してスタンドアロンで使用される (シングル) のか、マルチチップ構成で使用されるのかを定義します。デバイスがマルチ デバイス構成で、内部発振器、または SYNCIN ピンに印加される外部クロックを使用してプライマリとして構成されている場合、デバイスはコントローラとして動作します。SYNCOUT ピンでは、次のデバイス用に位相シフトされたクロック (90°、120°、180°) が生成されます。デバイスがセカンダリとして構成されているときは、SYNCIN ピン信号へのクロックのセカンダリ同期として使用されます。SYNCOUT ピンでは、次のデバイス用に位相シフトされたクロック (90°または 120°) を生成できます。

SYNCIN:

SYNCIN ピンのクロック同期機能が有効か無効かを定義します。本デバイスは、SYNCIN がアクティブのとき、SYNCIN ピンに印加された外部クロックとのみ同期します。SYNCIN が無効化されたときは、電力を節約するため SYNCIN ピンの回路は無効化されます。

SYNCOUT:

SYNCOUT ピンが有効か無効かを定義します。SYNCOUT がアクティブのとき、クロックは SYNCOUT ピンでのみ生成されます。SYNCOUT が無効化されたときは、電力を節約するため SYNCOUT ピンのクロック生成は無効化されます。

SYNCOUT の位相シフト:

SYNCOUT 信号の位相シフト。

クロック ディザリング:

内部発振器を使用する場合、CFG1 ピンの設定クロック ディザリング モードに応じてクロック ディザリングを設定します。外部クロックを使用する場合、CFG1 ピンの設定を無視して、クロック ディザリング機能は無効化されます。

表 6-2. CFG2 ピンの設定、

レベル	PGOOD _{OVP_enable}	シングル / マルチチップ	SYNCIN	SYNCOUT	クロック ディザリング
1	有効	シングル内部クロック	ディセーブル	ディセーブル 90° 120° 180° ディセーブル 90° 120°	CFG1 ピン
2		シングル外部クロック	有効		
3		プライマリ			
4					120°
5					180°
6		セカンダリ			ディセーブル
7					90°
8					120°
9	ディセーブル	シングル内部クロック	ディセーブル	ディセーブル 90° 120° 180° ディセーブル 90° 120°	CFG1 ピン
10		シングル外部クロック	有効		
11		プライマリ			
12					120°
13					180°
14		セカンダリ			ディセーブル
15					90°
16					120°

起動時に SYNCOUT ピンを使用して、最大 V_{OUT} 過電圧保護レベル (OVP_{max}) と 20 μ A の ATRK ピン電流を定義します。20 μ A の ATRK ピン電流を有効にして、抵抗で V_{OUT} をプログラムできます。電圧トラッキングを行う場合は、TI では電流を無効にすることを推奨しています。表 6-3 に示すレベルは、セクション 5 に指定された抵抗によって選択されます。

OVP_{max} : 最大 V_{OUT} 過電圧保護レベルを、25V、35V、50V、または 65V に設定します。

20 μ A の ATRK ピン電流: 20 μ A の ATRK ピン電流を有効または無効にします。

表 6-3. SYNCOUT ピンの設定

レベル	OVP _{max}	20μA の ATRK ピン電流
1	25V	有効
2		ディセーブル
3	35V	有効
4		ディセーブル
5	50V	有効
6		ディセーブル
7	65V	有効
8		ディセーブル

6.3.2 デバイスの有効化と無効化 (UVLO/EN)

シャットダウン中、UVLO/EN ピンは内部抵抗 R_{EN} によって Low になります。 $V_{UVLO/EN}$ が $V_{EN-RISING}$ を上回ると、 R_{EN} がディセーブルになり、 $I_{UVLO/EN}$ (標準値 10μA) 電流ソースがイネーブルになって UVLO 機能を提供します。デバイスが起動し、構成を読み取り、STANDBY 状態に入ります (「機能状態図」を参照)。 $V_{UVLO/EN}$ が $V_{UVLO-RISING}$ を上回ると、 $I_{UVLO/EN}$ 電流ソースがディセーブルになり、デバイスは START 状態に移行し、DEM 動作中に V_{OUT} を上昇させるソフト スタートを実行します。ヒステリシス V_{EN-HYS} および $V_{UVLO-HYS}$ が実装されています。式 1 と式 2 に従って、外部 UVLO 抵抗分圧器 (R_{UVT} と R_{UVB}) を選択します。

$$R_{UVT} = \frac{V_{I_ON} - \frac{V_{UVLO-RISING}}{V_{UVLO-FALLING}} \times V_{I_OFF}}{I_{UVLO-HYS}} \quad (1)$$

$$R_{UVB} = \frac{V_{UVLO-FALLING} \times R_{UVT}}{V_{I_OFF} - V_{UVLO-FALLING}} \quad (2)$$

ここで、

- V_{I_ON} は、デバイスがオンになる入力電圧です。
- V_{I_OFF} は、デバイスがオフになる入力電圧です。

スタートアップ時または低 V_I での負荷過渡時に V_I が一時的に V_{OFF} を下回る場合に備えて、UVLO コンデンサ (C_{UVLO}) が必要です。必要な UVLO コンデンサが大きい場合、追加の直列 UVLO 抵抗 (R_{UVLOS}) を使用することで、 $I_{UVLO-HYS}$ が有効化のときに UVLO ピンの電圧を急速に上昇させることができます。

UVLO/EN ピンとバイアス ピンの間の ESD ダイオードが導通しているため、UVLO/EN ピンの電圧はバイアス ピンの電圧 + 0.3V を超えることはできません (絶対最大定格を参照)。ただし、直列抵抗を使用して電流が最大 100μA に制限されている場合、UVLO/EN ピンに最大 42V (推奨動作条件) の高い電圧を印加できます。

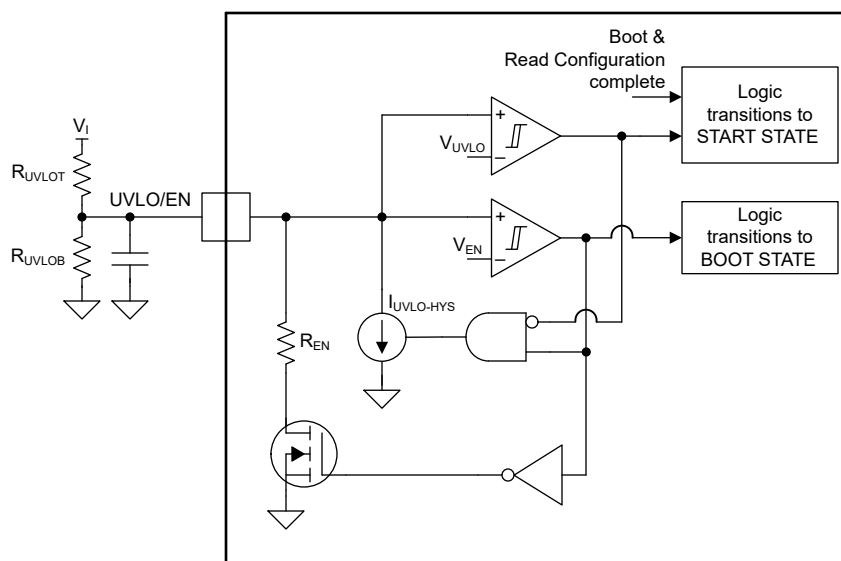


図 6-1. 機能ブロック図 UVLO と EN

6.3.3 マルチ デバイス動作

マルチ デバイス構成では、位相間の位相シフトは CFG2 ピン (「[CFG2 ピンの設定](#)」を参照)により設定されます。CFG2 ピンはブート アップ時に読み取られ、設定がラッチされます。プライマリ デバイスのスイッチング周波数は、SYNCIN ピンに印加される外部クロックと同期できます ([スイッチング周波数および同期 \(SYNCIN\)](#)を参照)。プライマリ デバイスはスイッチング周波数を設定し、SYNCOUT ピンを使用してセカンダリ デバイスと動作モードを通信します。

表 6-4. プライマリ デバイスからセカンダリ デバイスへの通信

ピン	プライマリ SYNCIN = オフ	プライマリ SYNCIN = オン	セカンダリ SYNCOUT = オフ	セカンダリ SYNCOUT = オン
SYNCIN	ディセーブル	High: 内部発振器を使用。 パルス: 外部クロックに同期。 Low: 内部発振器を使用。	High: バイパス モード。 パルス: MODE ピンの定義により動作。 Low: スイッチングを停止。	High: バイパス モード。 パルス: MODE ピンの定義により動作。 Low: スイッチングを停止。
SYNCOUT	High: バイパス モードをセカンダリ デバイスへ通信。 パルス: 通常動作を通信。 Low: スイッチング停止をセカンダリ デバイスへ通信。	High: バイパス モードをセカンダリ デバイスへ通信。 パルス: 通常動作を通信。 Low: スイッチング停止をセカンダリ デバイスへ通信。	ディセーブル	High: バイパス モードをセカンダリ デバイスへ通信。 パルス: 通常動作を通信。 Low: スイッチング停止をセカンダリ デバイスへ通信。

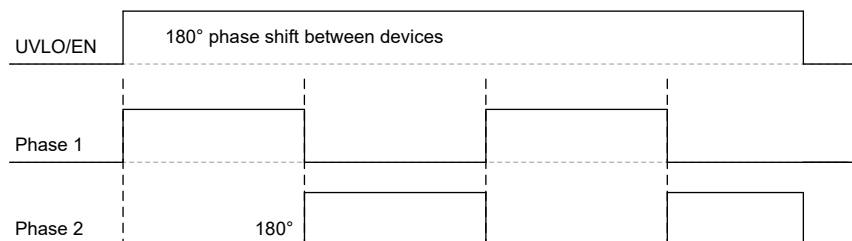


図 6-2. 2 つのデバイスの 2 相動作

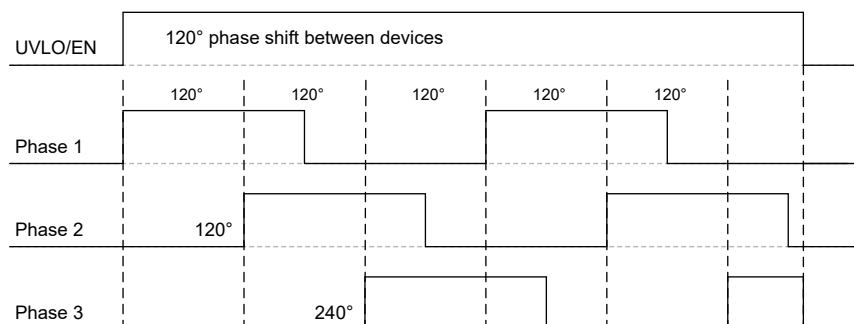


図 6-3. 3つのデバイスの3相動作

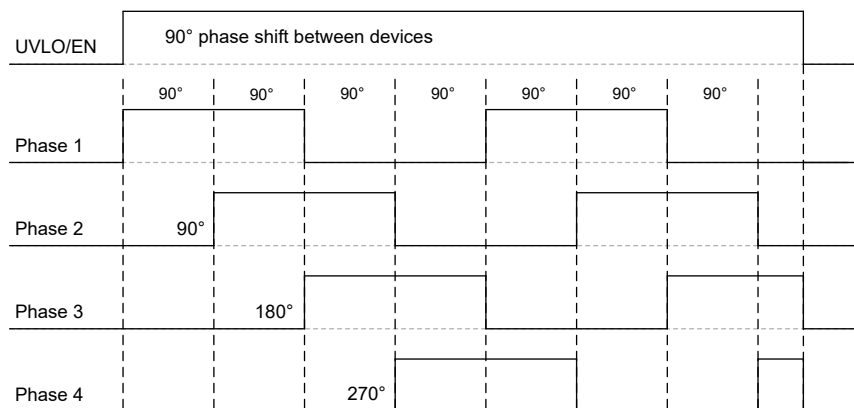


図 6-4. 4つのデバイスの4相動作

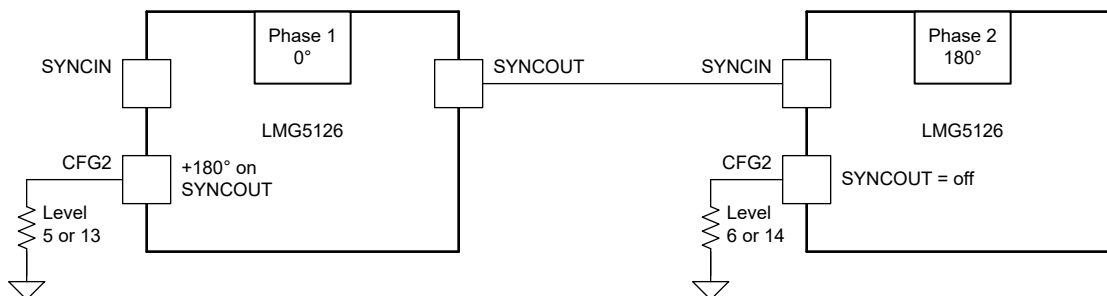


図 6-5. 2デバイスの構成

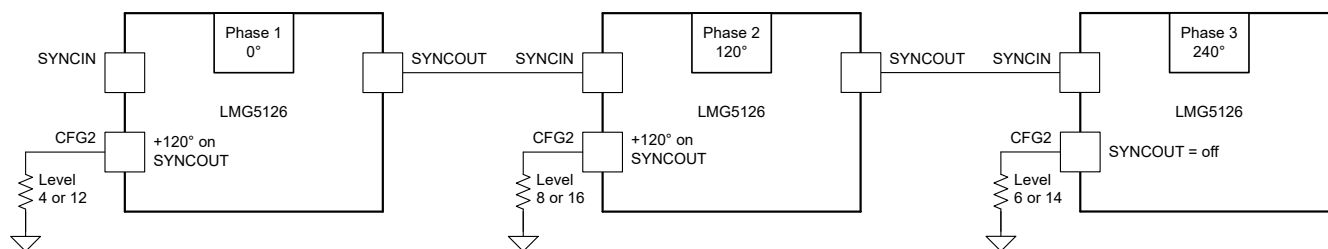


図 6-6. 3デバイスの構成

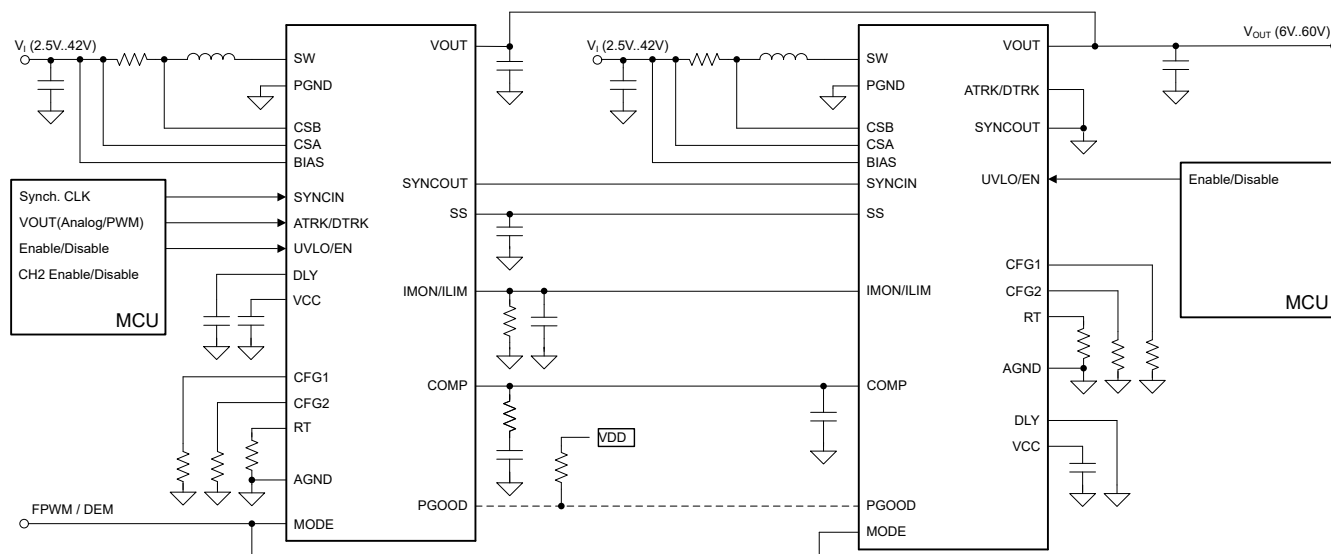


図 6-7. 2 デバイス、2 相動作の代表的なアプリケーション

6.3.4 スイッチング周波数および同期 (SYNCIN)

300kHz～2.5MHz のスイッチング周波数は、RT ピンおよび AGND ピンの間に接続された RT 抵抗により設定されます。RT 抵抗は**式 4** に従って、12kΩ と 100kΩ との間で選択する必要があります。外部クロックを使用するように構成している場合、本デバイスは SYNCIN ピンに印加される外部クロックにスイッチング周波数を同期できます。シングル デバイス構成では、RT ピンによって設定された周波数の $\pm 50\%$ 以内、マルチ デバイス構成では $\pm 25\%$ 以内に同期可能です。内部クロックは、SYNCIN ピンに印加された外部クロック信号の立ち上がりエッジで同期されます。周波数同期中、およびクロック デザリングが無効化されている間、CFG1 ピンのスペクトラム拡散設定は無視されます。

デバイスは常に内部クロックで起動し、**START PHASE** および **ACTIVE** 状態の間に、印加される外部クロックと同期を開始します (「[機能状態図](#)」を参照)。本デバイスは、クロックが印加されるとすぐに外部クロックに同期し、外部クロックが停止した場合には内部クロックに戻ります。

$$F_{SW} = \frac{1}{\frac{R_{RT} \times s}{31.560} + 18ns} \quad (3)$$

$$R_{RT} = \left(\frac{1}{F_{SW}} - 18 \text{ ns} \right) \times 31.5 \frac{\text{G}\Omega}{\text{s}} \quad (4)$$

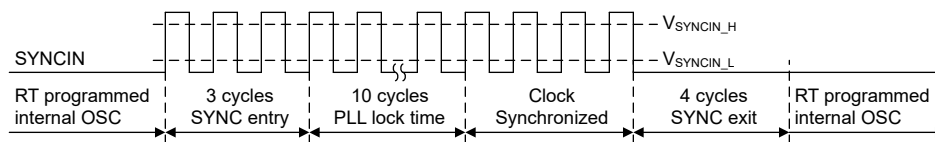


図 6-8. クロックの同期

6.3.5 デュアル ランダム スペクトラム 拡散機能 (DRSS)

このデバイスにはデジタル スペクトラム拡散機能があり、広い周波数範囲にわたって電源の EMI を低減します。の CFG1 ピン設定によりスペクトラム拡散を有効にします。スペクトラム拡散が有効になると、内部変調器が内部クロックをディザリングします。SYNCIN ピンで印加される外部クロックを使用するようにデバイスを構成している場合、内部スペクトラム拡散は無効化されます。DRSS 機能は、低周波数の三角波変調プロファイルと、高周波数のサイクル単位のランダム変調プロファイルを組み合わせたものです。低周波数の三角波変調は低い無線周波数帯域 (AM 帯域など) で性能を向上させ、高周波のランダム変調は高い無線周波数帯域 (FM 帯域など) で性能を向上させます。さらに、可聴音が発生する可能性を低減するために、三角波変調の周波数がさらにランダムに変調されます。スペクトラム拡散により発生する出力

電圧リップルを最小限に抑えるため、ディザリングが有効な場合は、デューティ サイクルをサイクル単位で調整し、ほぼ一定に維持します。

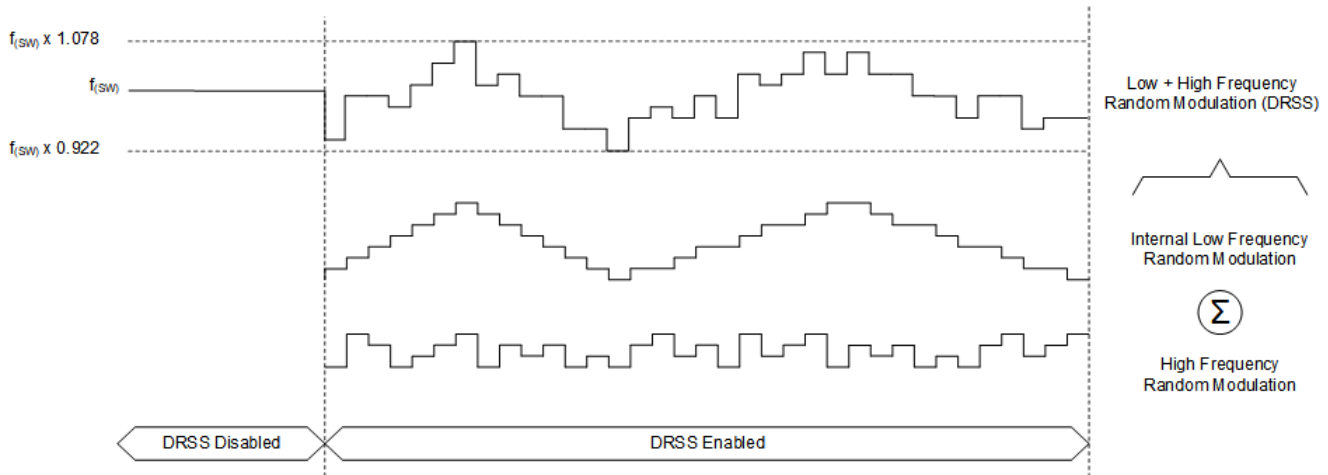


図 6-9. デュアル ランダム スペクトラム拡散

6.3.6 動作モード (バイパス、DEM、FPWM)

このデバイスは、バイパス モード、強制 PWM (FPWM)、ダイオード エミュレーション モード (DEM) 動作をサポートしています。このモードは動作中に変更でき、MODE ピンの 設定されます。V_{OUT} < V_I の場合、バイパス モードが自動的に有効になります。マルチデバイスのスタック動作では、すべてのデバイスが同じモードを使用する必要があります。

デバイスの動作モードは、V_{MODE} < 0.4V の場合は DEM に、V_{MODE} > 1.2V の場合は FPWM に設定されます。

表 6-5. MODE ピンの設定

動作モード	MODE ピン
DEM	V _{MODE} < 0.4V
FPWM	V _{MODE} > 1.2V

ダイオード エミュレーション モード (DEM) では、V_{OUT} から V_I に電流が流れるのを防ぎます。ハイサイドのオン タイム中に SW ピンの電圧が監視され、ゼロ電流検出スレッショルド V_{ZCD} を下回ると、ハイサイド スイッチがオフになります。このデバイスは軽負荷時には不連続導通モード (DCM) で動作し、最後にパルスをスキップして軽負荷時の効率を向上させます。DEM 動作では、COMP が標準 460mV を下回ると、コントローラはパルスをスキップし始めます。スキップ エントリポイントは、入力電流については式 5 を使用し、出力電流については式 6 を使用して計算します。ハイサイド FET を駆動するため、ブートリフレッシュ パルスが発生するパルス スキップ中も、内部のブート コンデンサは充電された状態を維持する必要があります。V_{OUT} から V_I に電流が流れるのが防止されるため、パルス スキップ中に V_{OUT} 電圧の暴走を防ぐために、式 7 および式 8 に従って最小負荷が必要です。ブートリフレッシュ パルスを補償するのに十分な負荷がない場合、V_{OUT} はプログラムされた V_{OVP_max} レベルまで上昇します。

$$I_{L_skip} = \frac{1.5\mu \times \frac{V_I}{L}}{0.48 \times \frac{f_{SW}}{40K} + 250\mu \times R_{SNS} \times \frac{V_I}{L}} \quad (5)$$

$$I_{OUT_skip} = \frac{\frac{V_I}{V_{OUT}} \times \frac{V_I}{L} \times 1.5\mu}{0.48 \times \frac{f_{SW}}{40K} + 250\mu \times R_{SNS} \times \frac{V_I}{L}} \quad (6)$$

$$I_{OUT_LOAD} = \frac{V_I^2 \times F_{SW} \times 0.0484\mu s^2}{2 \times (V_{OUT} - V_I) \times L} \quad (7)$$

$$R_{LOAD} = \frac{2 \times V_{OUT} \times (V_{OUT} - V_I) \times L}{V_I^2 \times F_{SW} \times 0.0484\mu s^2} \quad (8)$$

強制パルス変調モード (FPWM) では、コンバータは連続導通モード (CCM) で、固定周波数によって軽負荷時にもスイッチングを継続します。このモードでは、軽負荷の過渡応答が改善されます。

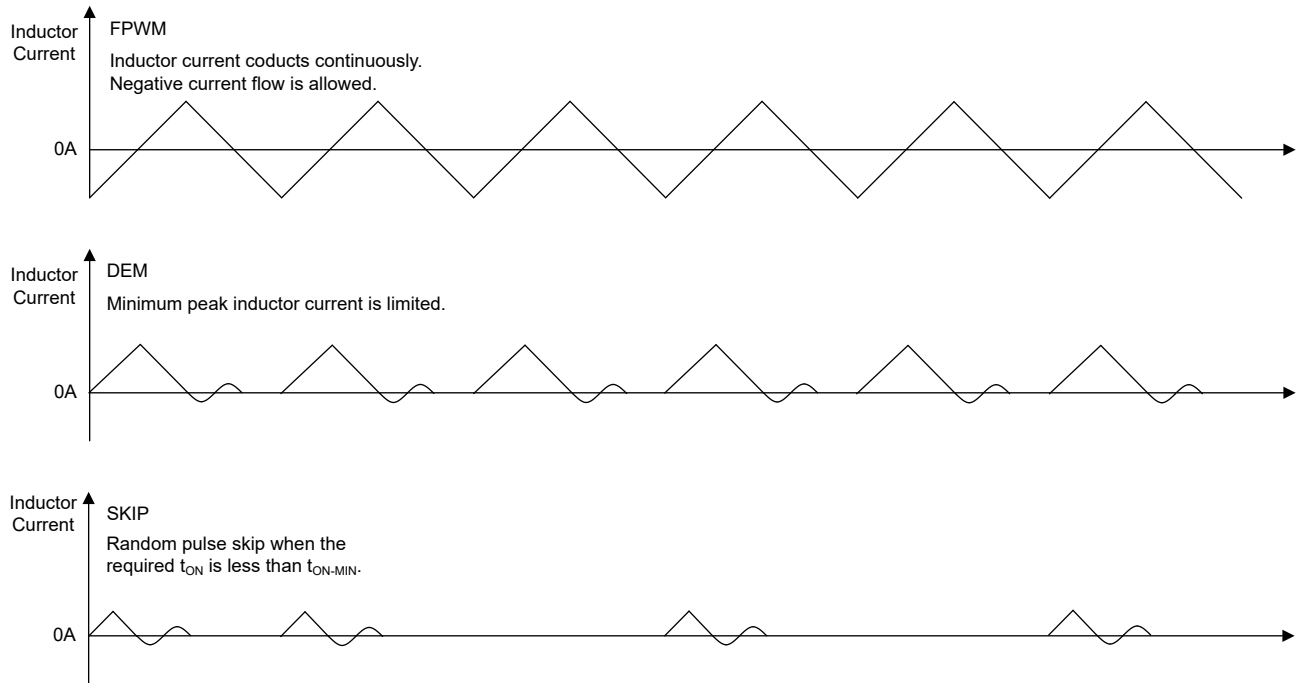


図 6-10. 各種動作モードにおけるインダクタ電流波形。

バイパス モード (BYPASS) では、ハイサイド FET をオンにすることで、 V_I を V_{OUT} (レギュレーションなし) に接続します。DEM 設定では V_{OUT} から V_I への電流の流れが防止され、FPWM 設定では V_{NCLTH} に制限されているため、 I_L から V_{OUT} に流れる正電流は制御できません。バイパス モード中、デバイスはブートコンデンサを充電した状態に維持するため、20kHz を超える周波数でブートリフレッシュパルスを開始します。

表「[バイパス モードの開始、終了](#)」の条件が満たされると、デバイスはバイパス モードを開始 / 終了します。

表 6-6. バイパス モードの開始、終了

動作モード	バイパス	条件
DEM/FPWM	開始	$V_{OUT} < V_I - 100\text{mV}$ および $V_{COMP} < V_{COMP-MIN} + 100\text{mV}$
DEM	終了	$V_{COMP} > V_{COMP-MIN} + 100\text{mV} \parallel$ $(V_{CSA} - V_{CSB}) < V_{ZCD_BYP}$
FPWM	終了	$V_{COMP} > V_{COMP-MIN} + 100\text{mV} \parallel$ $(V_{CSA} - V_{CSB}) < V_{NCLTH}$

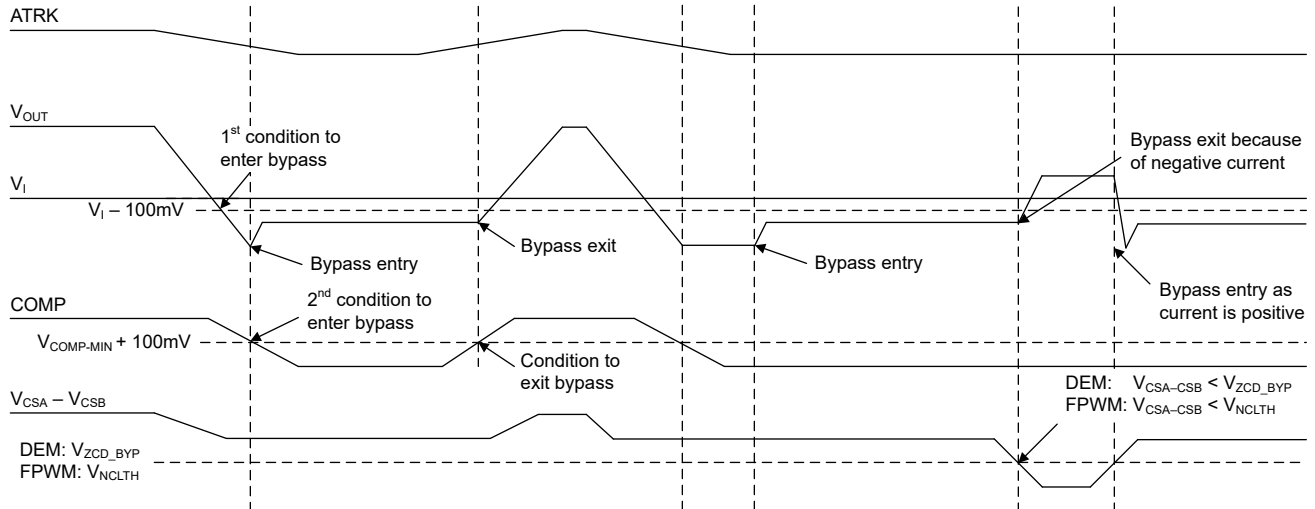


図 6-11. バイパス モードの開始、終了

6.3.7 VCC レギュレータ、BIAS (BIAS ピン、VCC ピン)

ゲートドライバは、内部の 5V VCC レギュレータから電力供給されます。VCC レギュレータは、 $V_{BIAS} > V_{BIAS-RISING}$ の場合は BIAS ピンから電力を供給され、最大 42V をサポートし、 $V_{BIAS} < V_{BIAS-FALLING}$ の場合は VOUT ピンから電源を供給されます。リファレンス システムは BIAS ピンから永続的な電力を供給され、電圧が 2V 未満の場合にシャットダウンできるため、BIAS ピンは 2.5V 以上の電圧 (例: V_I または 5V) に接続します。推奨される VCC コンデンサの値は 4.7 μ F です。

内蔵の電流制限機能により、VCC の過負荷時、または VCC ピンがグランドに短絡したときにデバイスの損傷を防止します。VCC は、100mA (I_{VCC-CL}) までの電圧を供給できます。

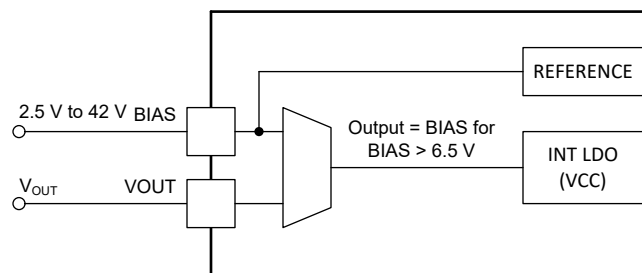


図 6-12. その場でのバイアス電源の選択

6.3.8 ソフトスタート(SS ピン)

START 状態 (「機能状態図」を参照) での起動時に、デバイスは SS ピン電圧または ATRK/DTRK ピン電圧のいずれか低い方に合わせて、エラー アンプのリファレンス電圧をレギュレートします。安定化リファレンスにより、出力電圧 V_{OUT} が次第に上昇します。ソフトスタート中、デバイスは、ソフトスタート完了信号が生成されるまで、強制的にダイオード エミュレーション モード (DEM) を実行します。

外部ソフトスタートコンデンサは、まず V_{SS-DIS} 電圧まで放電され、次に I_{SS} 電流によって充電され、 $V_{SS-DONE}$ に達したときにソフトスタート完了信号が生成されます。スタートアップ時に V_{OUT} が V_I と等しいため、ソフトスタート時間 (t_{SS}) は入力電源電圧によって変化します。ソフト スタートの図では、 t_1 の時点でソフトスタート電流がアクティブになります。 t_2 の時点で、ソフト スタート電圧は V_I 電圧レベルに達し、 V_{OUT} が t_3 のプログラムされた V_{OUT} 値に達するまで、 V_{OUT} の上昇を開始します。SS ピンの電圧が $V_{SS-DONE}$ に達すると、ソフト スタート完了信号が t_4 に生成されます。 V_{VCC} に達するまで、SS ピンの電圧は上昇を続け、ここでソフト スタート電流が無効になります。

$$t_{SS_t1_t4} = 2.2 \times \frac{C_{SS}}{I_{SS}} \quad (9)$$

$$t_{SS_t2_t3} = \frac{C_{SS}}{I_{SS}} \times \frac{V_{OUT} - V_I}{30} \quad (10)$$

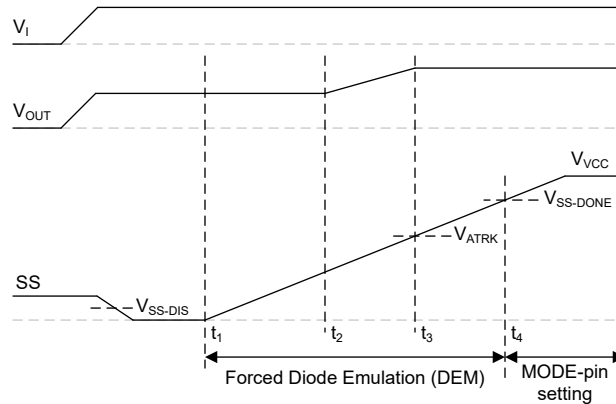


図 6-13. ソフトスタート

6.3.9 V_{OUT} のプログラミング (V_{OUT} , $ATRK$, $DTRK$)

出力電圧 V_{OUT} は V_{OUT} ピンで検出されます。 V_{OUT} は、を使用して 6V～60V の範囲でプログラミングします。10kΩ を 100kΩ 抵抗と $ATRK/DTRK$ ピンに接続し、0.2V～2V の電圧または 8%～80% のデューティ サイクルの範囲のデジタル信号を印加します。スタートアップ中の **STANDBY** 状態 (「機能状態図」を参照) 時に、 $ATRK/DTRK$ ピンのプログラミング方式のアナログ信号またはデジタル信号が検出されます。**START** 状態への遷移時に、 $ATRK/DTRK$ ピンのプログラミング方式はラッチされ、動作中の変更ができなくなります。プログラミング方式がラッチされる前に $DTRK$ 信号を検出できるように、 $DTRK$ 信号は少なくとも 3 サイクル存在するようにします。 $ATRK$ は最大 10kHz の信号をサポートしますが、 V_{OUT} が追従できるように $ATRK$ ピンの電圧または $DTRK$ のデューティ サイクルの変更は十分に遅くする必要があります。 $ATRK/DTRK$ ピンの設定基準電圧がコンバータの帯域幅よりも高速に変化した場合、勾配補償が安定するまで、インダクタ電流はピーク電流制限を超えます。このデバイスは、 $ATRK < 0.2V$ または $ATRK > 2V$ に対しても V_{OUT} の調整を試みますが、性能は持続できません。抵抗による V_{OUT} プログラミングのために、 $SYNCOUT$ 設定で 20μA の電流を有効にします。20μA の電流は $ATRK$ ピン経由でソースされ、目標の V_{OUT} 電圧に必要な $ATRK$ 電圧を外付け抵抗により生成します。アナログトラッキング ($ATRK$) またはデジタルトラッキング ($DTRK$) の場合、TI では 20μA の電流を無効化することを推奨します。

抵抗で V_{OUT} をプログラミングする式:

$$R_{ATRK} = \frac{V_{OUT}}{6V} \times 10k\Omega \quad (11)$$

電圧 ($ATRK$) で V_{OUT} をプログラミングする式:

$$V_{OUT} = V_{ATRK} \times 30 \quad (12)$$

デジタル信号 ($DTRK$) で V_{OUT} をプログラミングする式:

$$V_{OUT} = 0.75 \frac{V}{\%} \times \text{Duty Cycle} \quad (13)$$

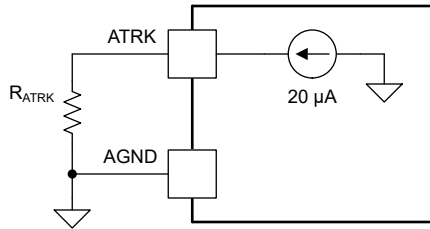


図 6-14. 抵抗による V_{OUT} のプログラミング

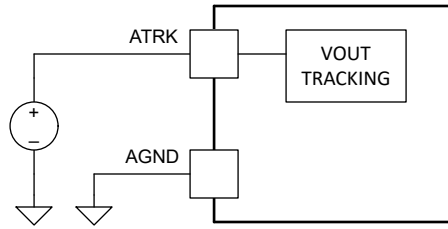


図 6-15. アナログ電圧による V_{OUT} のトラッキング

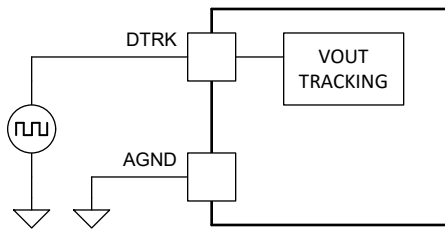


図 6-16. デジタル信号による V_{OUT} のトラッキング

6.3.10 保護

次の保護機能が実装されています。図 6-17 は、「機能状態図」のどの状態で、どの保護がアクティブになっているかを示します。保護は、同じグレーシェーディングを持つ灰色の影付きの状態でアクティブになります。たとえば、TSD はサーマルシャットダウン状態を含むスタンバイ状態でアクティブになりますが、フォルト状態ではアクティブになりません。

- 過熱時にデバイスをオフにするサーマルシャットダウン (TSD)。
- 低電圧誤動作防止 (UVLO) により、電源電圧が低いときにデバイスをオフにします。
- VCC 低電圧誤動作防止 (VCC UVLO) により、ローサイドゲートドライバ電圧が低すぎることを回避。VCC が回復するまで、デバイスはスイッチングを停止します。
- BOOT CAP 低電圧誤動作防止 (BOOT CAP UVLO) により、ハイサイドゲートドライバ電圧の過度の低下を回避します。本デバイスはリフレッシュパルスを開始します (ヒカップモードのオフ時間は 512 サイクル)。詳しくは、[GAN ドライバ](#)、[内蔵ブートコンデンサおよびダイオード](#)、[ヒカップモードのフォルト保護機能](#) を参照してください。
- 過電圧保護 (OVP)、トリガが発生すると、 V_{OUT} が目標値に戻るまで、デバイスはスイッチングを停止します。2 つの OVP が実装されています。
 - OVP_{max} は、プログラマブル絶対値 (通常は 64V、49V、34V、24V) です。トリガされると、デバイスはスイッチングを停止して FAULT 状態 ($latch_{ICL\&OVP_max} = 1$) に遷移するか、または V_{OUT} が目標値に戻る ($latch_{ICL\&OVP_max} = 0$) までスイッチングを停止します。
 - OVP がトリガされ、 V_{OUT} がプログラムされた値の 110% になるとトリガされます。トリガが発生すると、 V_{OUT} が目標値に戻るまで、デバイスはスイッチングを停止します。
- 低電圧保護 (UVP)、トリガされると、デバイスは動作を継続しますが、PGOOD ピンは Low にプルされます。
- ピーク電流制限 (PCL) により、スイッチ電流を制限します。詳しくは、[電流センス設定とスイッチピーク電流制限 \(CSA、CSB\)](#) を参照してください。
- 入力電流制限 (ICL)、ピークスイッチ電流をピーク電流制限の 120% に制限します。この保護は、 $latch_{ICL\&OVP_max}$ プログラミングにより有効化または無効化されます。
- 平均入力電流制限 (ILIM) により、平均入力電流を R_{ILIM} でプログラムされた値に制限します。詳しくは、[入力電流制限および監視 \(ILIM、IMON、DLI\)](#) を参照してください。

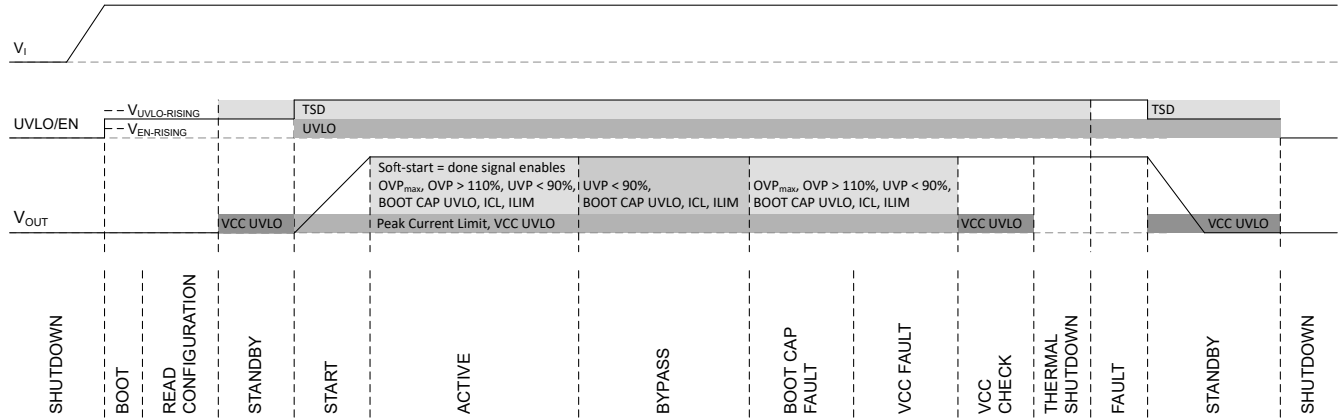


図 6-17. 保護素子

6.3.10.1 V_{OUT} 過電圧保護 (OVP)

過電圧保護 (OVP) は、2 つのスレッシュホールドを使用して V_{OUT} ピンを監視します。プログラマブル スレッシュホールド V_{OVP_max-H} により、V_{OUT} を 64V、49V、34V、または 24V に制限し、V_{OVP-H} スレッシュホールドにより、プログラムされた V_{OUT} をプログラムされた電圧の 110% に制限します。BYPASS 状態では、110% OVP-H の検出は無効化されますが、V_{OVP_max-H} はアクティブになります。

V_{OUT} が V_{OVP-H} スレッシュホールドを上回ると (バイパス中はアクティブではない)、ローサイドドライバはオフに、ハイサイドドライバはオンになります。V_I から V_{OUT} への電流が CSA - CSB を介して監視される場合、V_I から V_{OUT} に電流が流れるようになります。V_I から V_{OUT} の電流がゼロまたは負になると、ハイサイドドライバはオフになり、V_{OUT} から V_I に電流が流れるのを防止します。V_{OUT} が V_{OVP_max-L} または V_{OVP-L} スレッシュホールドを下回ると、デバイスは通常動作を継続します。

プログラム可能な latch_{ICL&OVP_max} ビットは、V_{OUT} が V_{OVP_max-H} スレッシュホールドを上回ったときのデバイスの動作を設定します。latch_{ICL&OVP_max} = 0 のとき、デバイスは V_{OVP-H} のトリガのように動作し、latch_{ICL&OVP_max} = 1 の場合にドライバはオフになり、デバイスは FAULT 状態に移行します。latch_{ICL&OVP_max} = 1a のとき、OVP_{max} がトリガされると、デバイスを再起動するにはパワー サイクルか UVLO/EN ピンのトグルが必要です。

6.3.10.2 サーマル シャットダウン (TSD)

内部サーマル シャットダウン (TSD) は、接合部温度 (T_J) が T_{TSD-RISING} スレッシュホールドを超えると、ローサイドドライバを無効にし、ハイサイドドライバを 100% のデューティ サイクルで有効化することで、デバイスを保護します。サーマル シャットダウン中、デバイスはブート コンデンサを充電した状態に維持するため、20kHz を超える周波数でブート リフレッシュパルスを開始します。接合部温度 (T_J) が T_{TSD-HYS} ヒステリシス分だけ低下した後で、デバイスは機能状態図に従って動作を継続します。

6.3.11 パワー グッド・インジケータ (PGOOD ピン)

このデバイスは、パワー グッド インジケータ (PGOOD) を備えており、シーケンシングと監視を簡素化できます。PGOOD はオープンドレイン出力で、プルアップ抵抗を外部に接続できます。V_{OUT} ピンの電圧が V_{UVP-H} 低電圧スレッシュホールドより高い場合、PGOOD スイッチはオープンになります。PGOOD は、次の条件で Low になります。

- V_{OUT} ピンの電圧は、V_{OUT} 立ち下がり低電圧スレッシュホールド V_{UVP-L} を下回っています。
- V_{OUT} ピンの電圧は、110% V_{OVP_H} またはプログラムされた V_{OVP_max-H} 立ち上がりスレッシュホールドを上回っており、PGOOD_{OVP_enable} 機能は有効です (CFG2 ピンの設定、を参照)。PGOOD_{OVP_enable} 機能が無効化されると、PGOOD は Low にプルされません。
- デバイスは SHUTDOWN 状態で、V_{BIAS} は約 1.7V を上回ります (機能状態図を参照)。
- EN/UVLO ピンの電圧は、低電圧誤動作防止スレッシュホールド電圧 V_{UVLO-FALLING} を下回っています。
- VCC レギュレータの電圧 VCC は、低電圧誤動作防止スレッシュホールド V_{VCC-UVLO-FALLING} を下回っています。
- サーマル シャットダウンがトリガされます (機能状態図を参照)。

- 内蔵 BOOT CAP の電圧は V_{HB} の立ち下がり $V_{HB-UVLO}$ スレッシュホールドを下回り、ブートリフレッシュは 512 サイクルのヒカップ モード オフ時間に入ります (「[GAN ドライバ、内蔵ブートコンデンサおよびダイオード、ヒカップ モードのフォルト保護機能](#)」を参照)。PGOOD は、ヒカップのオフ時間中のみ Low になります。
- スイッチのピーク電流制限を 20% 超え、 $\text{latch}_{ICL\&OVP_max}$ 機能が有効化されます (「[CFG1 ピンの設定、](#)」を参照)。
- OTP メモリ故障が発生しました (CRC エラー)。

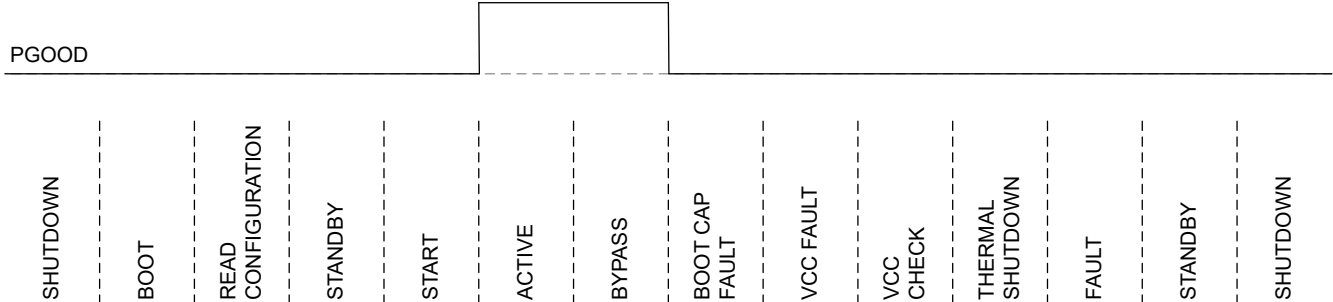


図 6-18. すべてのデバイス状態の PGOOD ステータス

6.3.12 勾配補償 (CSA、CSB)

電流センスアンプのゲインは 10 (ACS) であり、勾配補償ランプを内蔵することにより、高いデューティ サイクルでのサブハーモニック発振を防止できます。補償ランプの勾配は、検出されるインダクタ電流の立ち下がり勾配の半分を上回る必要があります。これは、式 14 の Margin が 1 より大きい場合に満たされます。

$$\frac{V_{OUT} - V_I}{2 \times L} \times R_{SNS} \times \text{Margin} < V_{SLOPE} \times f_{SW} \quad (14)$$

6.3.13 電流センス設定とスイッチ ピーク電流制限 (CSA、CSB)

ピーク電流制限は、センス抵抗 R_{SNS} で設定されます。正のピーク電流制限は、CSA – CSB がスレッシュホールド V_{CLTH} (標準値 60mV または 29mV) に達したときアクティブになります。負のピーク電流制限は、 V_{NCLTH} (標準値 -28mV) に達するとアクティブになります。図 6-19 の R_1 と R_2 は 0Ω 、 R_3 はオープンです。

$$R_{SNS} = \frac{I_{peak_lim}}{V_{CLTH}} \quad (15)$$

ピーク電流制限は、抵抗 R_1 、 R_2 、 R_3 を追加することで調整します。抵抗 R_1 と R_2 は同じ値にする必要があります。CS アンプは CSA ピンから供給されるため、 1Ω 未満の抵抗を選択する必要があります。 R_3 は、 $1\Omega \sim 20\Omega$ の範囲で選択します。

$$I_{peak_lim} = \left(\frac{R_1 + R_2}{R_3} + 1 \right) \times \frac{V_{CLTH}}{R_{SNS}} \quad (16)$$

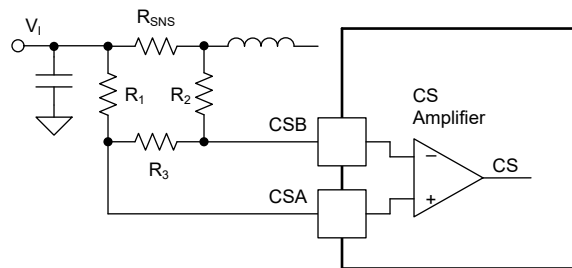


図 6-19. 追加の抵抗によりピーク制限を調整できます

負のピーク電流制限は通常 -28mV であり、負の電流がすでに COMP ピンの電圧によって制限されているため、通常はその値には達しません。 V_{COMP} は標準 160mV でクランプされるため、 -20mV 程度のセンス電圧でスイッチ電流が制限されます。

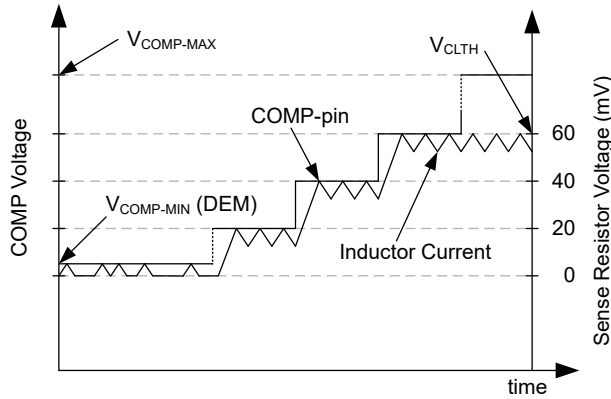


図 6-20. COMP ピンおよびセンス抵抗電圧によるスイッチ電流の制限 (DEM)

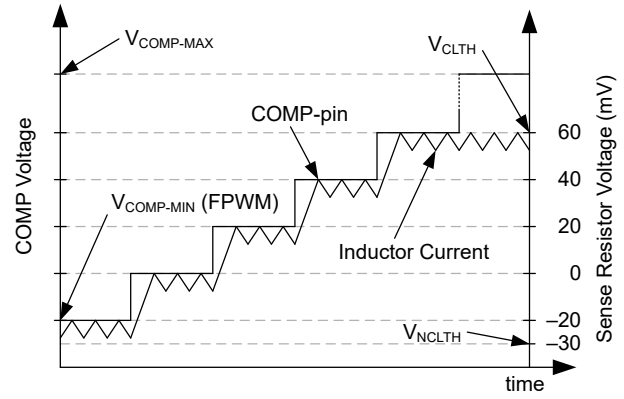


図 6-21. COMP ピンおよびセンス抵抗電圧によるスイッチ電流の制限 (FPWM)

6.3.14 入力電流制限および監視 (ILIM、IMON、DLY)

IMON ピンで平均 V_I 入力電流を監視します。CSA および CSB ピンの平均センス電流により、IMON ピンにソース電流が生成され、抵抗 R_{IMON} によって電圧に変換されます。その結果として得られる電圧 V_{IMON} は式 18 に従って計算され、必要な抵抗 R_{IMON} は式 17 に従って計算されます。 V_{IMON} は最大 3V にレギュレートでき、絶対最大値に達しないように自己保護機能が働いています。

$$R_{\text{IMON}} = \frac{V_{\text{IMON}}}{R_{\text{CS}} \times I_{\text{IN}} \times G_{\text{IMON}} + I_{\text{OFFSET}}} \quad (17)$$

$$V_{\text{IMON}} = (R_{\text{CS}} \times I_{\text{IN}} \times G_{\text{IMON}} + I_{\text{OFFSET}}) \times R_{\text{IMON}} \quad (18)$$

R_{CS} はセンス抵抗、 I_{IN} は入力電流、 G_{IMON} は相互コンダクタンス ゲイン、 I_{OFFSET} は電気的特性表に記載されているオフセット電流です。

平均入力電流は、ILIM ピンに接続される適切な抵抗を選択することで制限します。入力電流制限がアクティブなときには、設定された平均入力電流制限に達するまで、 V_{OUT} がレギュレートされます。 V_{OUT} が V_I 電圧よりも低い値にレギュレートされている場合は、電流はもはや制限できません。DLY ピンのコンデンサ C_{DLY} は、平均入力電流制限をアクティブおよび非アクティブにするための追加の遅延時間 t_{DLY} を追加します（「平均電流制限」を参照）。ILIM ピンの電圧がスレッショルド $V_{\text{ILIM_th}}$ (標準値 1.1V) に達すると、ソース電流 I_{DLY} がアクティブになり、DLY ピンのコンデンサ C_{DLY} を充電します。DLY ピンの電圧 V_{DLY} は、 $V_{\text{DLY_peak_rise}}$ に達するまで上昇し、それによって平均入力電流制限がアクティブになります。ILIM ピンの電圧は V_{ILIM} (標準値 1V) にレギュレートされ、入力電流は R_{ILIM} で設定された平均入力電流制限まで低下するため、 V_{OUT} の電圧降下が生じます。平均電流制限レギュレーションを終了するには、出力負荷が低下する必要があります。これにより、 V_{OUT} が上昇し、 V_{ILIM} が $V_{\text{ILIM_reset}}$ (標準値 0.89V) を下回ります。 $V_{\text{ILIM_reset}}$ はシンク電流 I_{DLY} を有効にして、DLY ピン コンデンサ C_{DLY} を放電します。 V_{DLY} が $V_{\text{DLY_peak_fall}}$ に達すると、平均入力電流制限が無効化され、DLY ピンは $V_{\text{DLY_valley}}$ まで放電されます。必要な抵抗値 R_{ILIM} は式 19 に従って計算され、コンデンサ C_{DLY} は式 21 に従って計算されます。

$$R_{\text{ILIM}} = \frac{1\text{V}}{R_{\text{CS}} \times I_{\text{IN_LIM}} \times G_{\text{IMON}} + I_{\text{OFFSET}}} \quad (19)$$

$$t_{\text{DLY}} = \frac{2.6 \times C_{\text{DLY}}}{5 \times 10^{-6}} \quad (20)$$

$$C_{DLY} = t_{DLY} \times \frac{5 \times 10^{-6}}{2.6} \quad (21)$$

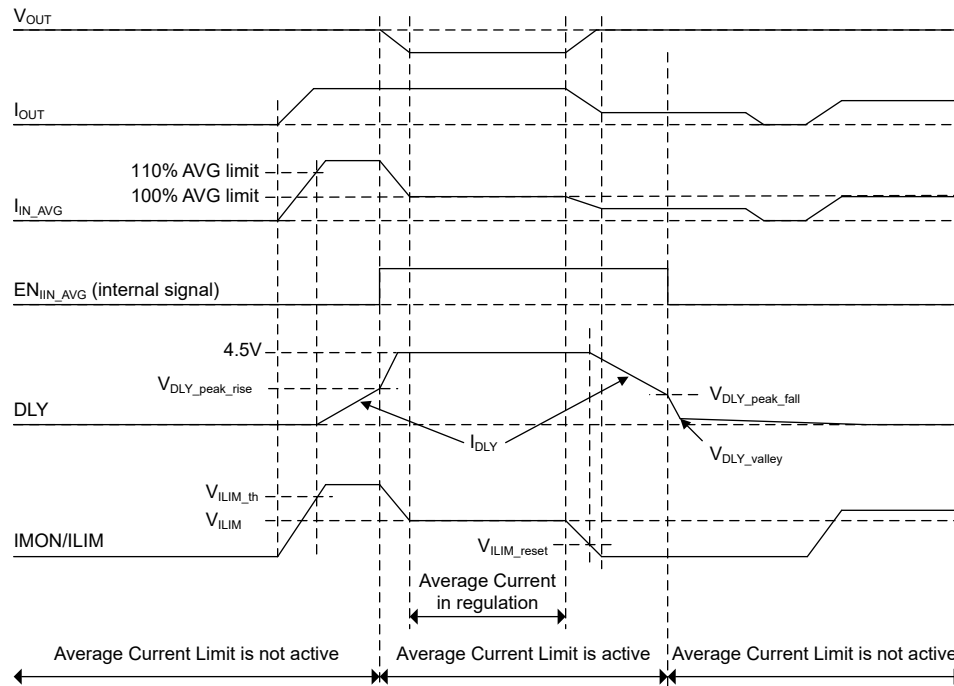


図 6-22. 平均電流制限

DLY ピンに接続されたコンデンサによって一定の遅延が付加されますが、 R_{ILIM} 抵抗と並列に RC タンクを ILIM/IMON ピンへ追加することで V_{OUT} 負荷に依存した遅延をさらに付加することができます。RC タンク抵抗 R_{C_IMON} は式 22 に従って計算され、コンデンサ C_{IMON} は式 23 に従って計算されます。

$$R_{C_IMON} = \frac{1}{20\pi \times C_{IMON}} \quad (22)$$

$$C_{IMON} = \frac{t_{delay}}{R_{IMON} \times \ln\left(\frac{R_{IMON} \times I_{MON} - V_{IMON_0A}}{R_{IMON} \times I_{MON} - V_{ILIM}}\right)} \quad (23)$$

6.3.15 最大デューティ サイクルと最小の制御可能なオン時間の制限

抵抗性素子による理想的でない要因をカバーするため、最大デューティ サイクル制限 D_{MAX} と最小の強制オフ時間が実装されています。CCM 動作では、プログラムされた出力電圧 V_{OUT} についてサポートされる最小入力電圧 V_{I_MIN} は、最大デューティ サイクル D_{MAX} によって定義されます (式 24 を参照)。DEM 動作では、最小入力電圧 V_{I_MIN} は D_{MAX} によって制限されません。

$$V_{I_MIN} \cong V_{OUT} \times (1 - D_{MAX}) + I_{I_MAX} \times (R_{DCR} + R_{SNS} + R_{DS(ON)}) \quad (24)$$

ここで、

- I_{I_MAX} は、最小入力電圧 V_{I_MIN} での最大入力電流です
- R_{DCR} はインダクタの DC 抵抗
- $R_{SENSExx}$ はセンス抵抗の抵抗値
- $R_{DS(ON)}$ はデバイスのオン抵抗

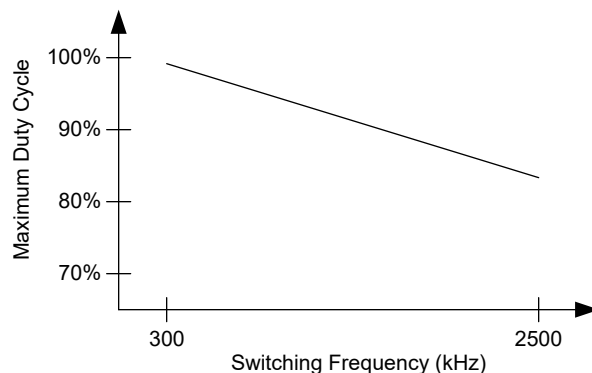


図 6-23. スイッチング周波数と最大デューティ サイクルとの関係

非常に軽い負荷条件、または V_I が V_{OUT} に近い場合、 V_{OUT} 暴走を回避するために必要なオン時間が t_{ON-MIN} より短い場合、デバイスはローサイドドライバのパルスをスキップします。このパルス スキップは、ランダムな動作のように見えます。 V_I が V_{OUT} よりもさらに高い電圧まで上昇すると、必要なオン時間は 0 になり、最終的にデバイスはバイパス 動作に移行します。このモードでは、ハイサイドドライバが 100% オンになります。

6.3.16 GAN ドライバ、内蔵ブート コンデンサおよびダイオード、ヒカップモードのフォルト保護機能

このデバイスは GAN ドライバを内蔵しており、内蔵 GAN FET を駆動します。ローサイドドライバは VCC から電源供給され、ハイサイドドライバは内蔵ブート キャパシタから電力供給されます。ローサイド FET をオンにすることで、SW ピンの電圧が約 0V になると、内蔵のブート コンデンサ C_{boot} は内部ブート ダイオードを経由して VCC から充電されます。シャットダウン中、ゲートドライバの出力はハイ インピーダンスになります。

内蔵ブート コンデンサの電圧が低すぎて GAN FET を駆動できない場合、 $V_{BOOT-UVLO}$ によってヒカップ モード フォルト保護がトリガされます。内蔵のブート コンデンサの電圧が UVLO スレッシュホルド ($V_{BOOT-UVLO}$) を下回ると、ローサイドドライバは 160ns にわたって強制的にオンになり、ブート コンデンサを再充電します。このデバイスでは、最大 2 つの連続した再充電スイッチング サイクルが可能です。最大 2 つの連続したブート再充電スイッチング サイクルの後で、デバイスは 13 サイクルにわたってスイッチングをスキップします。2 つの連続した再充電スイッチング サイクルが 4 セット行われた後に、デバイスがブート コンデンサを再充電できなかった場合、デバイスはスイッチングを停止し、512 サイクルのヒカップモード オフ時間に移行します。ヒカップ モードのオフ時間中、PGOOD = Low で、SS ピンは接地されています。

6.3.17 信号のグリッチ除去の概要

以下の画像は信号のグリッチ除去を示しています。すべての信号について、同じグリッチ除去時間で、立ち上がりエッジと立ち下がりエッジのグリッチ除去が行われます。

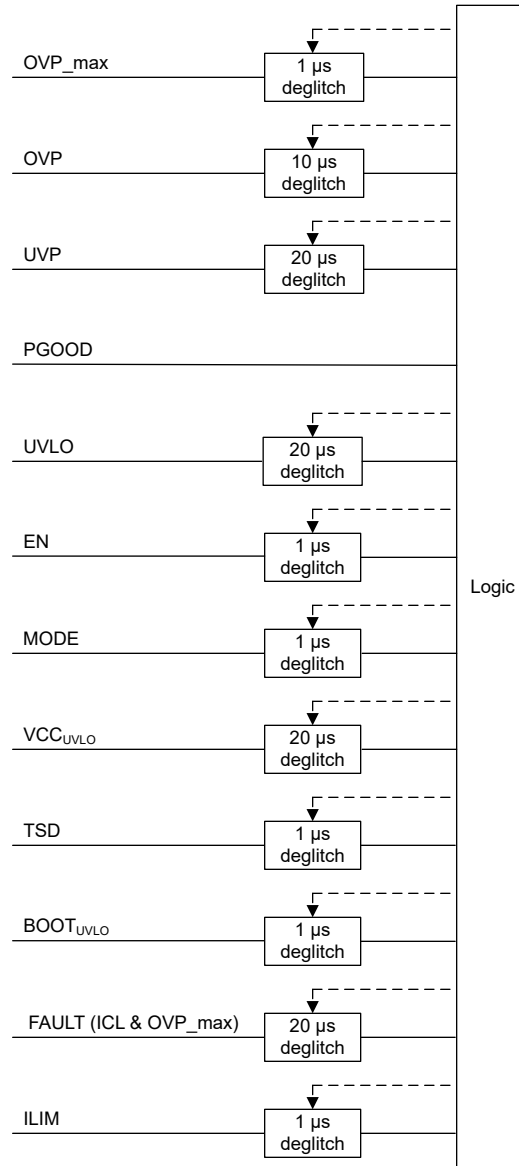


図 6-24. 信号のグリッチ除去

6.4 デバイスの機能モード

それぞれの動作モードを、「機能状態図」に示します。

- (1) : Does not include BOOT, READ CONFIGURATION, THERMAL SHUTDOWN, VCC CHECK, and FAULT LATCH state.
 (2) : GND for $V_{BIAS} > 1.7\text{ V}$, HiZ for $V_{BIAS} < 1.7\text{ V}$.
 (3) : See the Bypass Mode Entry, Exit table in the Operation Modes section for details how the bypass = active and bypass = inactive signal is generated.
 (4) : ATRK/DTRK function (resistor, analog, digital) is detected during STANDBY state and latched at the transition to the START state.
 (5) : SYNCOUT = LOW for single device configuration.

|| : logic OR
 & : logic AND
 ! : logic NOT
 TSD : Thermal Shutdown
 ①②③ : Priority

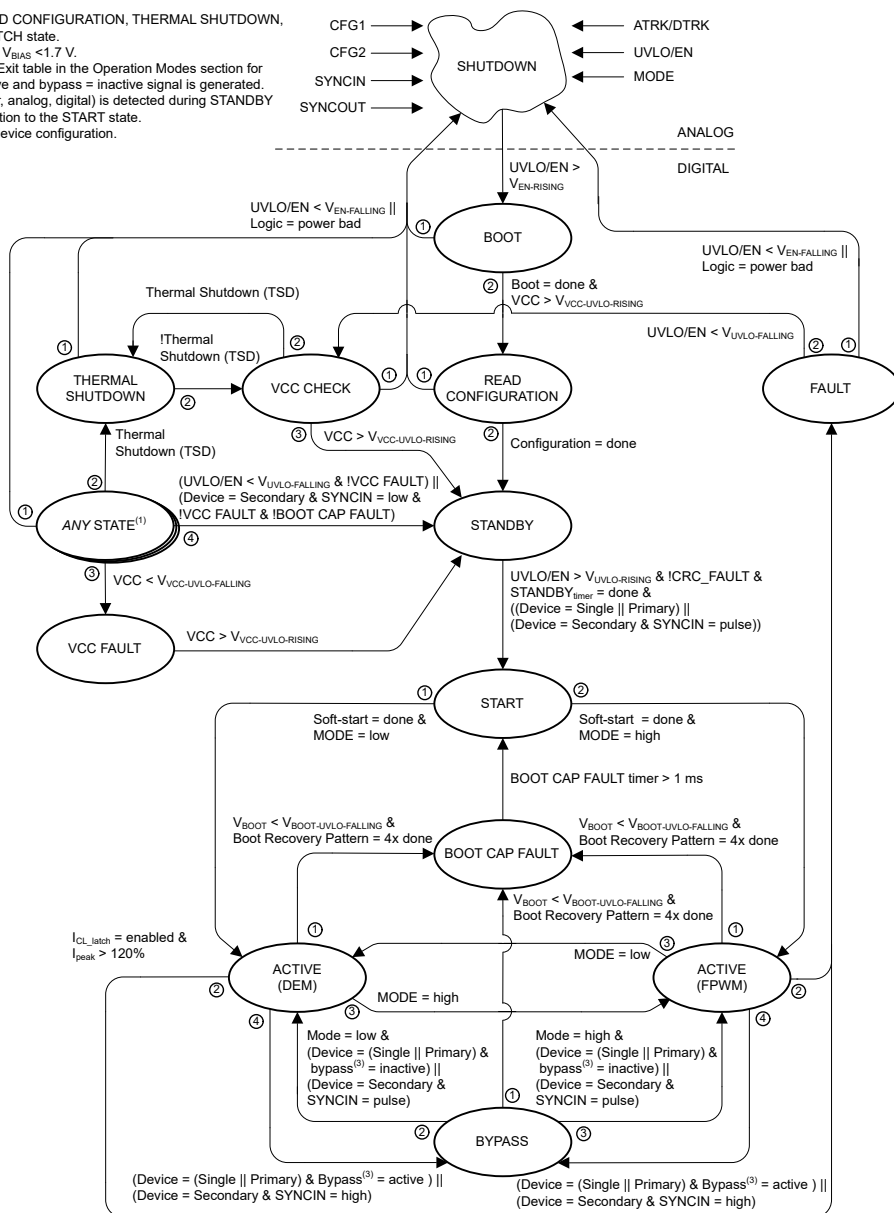
THERMAL SHUTDOWN	
Output stage	= OFF
VCC	= OFF
CFGx	= OFF
PGOOD	= GND
STANDBY _{timer}	= RESET
SYNCOUT	= LOW

VCC CHECK	
Output stage	= OFF
VCC	= ON
CFGx	= OFF
PGOOD	= GND
SYNCOUT	= LOW

VCC FAULT	
Output stage	= ON
VCC	= ON
PGOOD	= GND
Operation Mode	= no switching
STANDBY _{timer}	= ON
SYNCOUT	= LOW

BOOT CAP FAULT	
Output stage	= ON
VCC	= ON
PGOOD	= GND
Operation Mode	= no switching
BOOT FAULT timer	= start
SYNCOUT	= LOW

BYPASS	
Output stage	= ON
VCC	= ON
PGOOD	= HiZ
Operation Mode	= BYPASS
SYNCOUT	= HIGH ⁽⁵⁾



SHUTDOWN	
Output stage	= OFF
VCC	= OFF
CFGx/SYNCOUT	= RESET
PGOOD	= GND ⁽²⁾
SYNCOUT	= HiZ

BOOT	
Read OTP	= ON
Output stage	= OFF
VCC	= ON
CFGx	= OFF
PGOOD	= GND
SYNCOUT	= LOW

READ CONFIGURATION	
Read OTP	= OFF
Output stage	= OFF
VCC	= ON
CFGx/SYNCOUT	= READ
PGOOD	= GND
STANDBY _{timer}	= RESET
SYNCOUT	= current

FAULT	
Output stage	= OFF
VCC	= OFF
PGOOD	= GND
STANDBY _{timer}	= RESET
SYNCOUT	= LOW

STANDBY	
Output stage	= ON
VCC	= ON
CFGx	= OFF
PGOOD	= GND
Operation Mode	= no switching
ATR/DTRK Mode	= detect ⁽⁴⁾
STANDBY _{timer}	= ON
SYNCOUT	= LOW

START	
Output stage	= ON
VCC	= ON
CFGx	= OFF
PGOOD	= GND
Operation Mode	= DEM
ATR/DTRK Mode	= latched ⁽⁴⁾
SYNCOUT	= pulse ⁽⁵⁾

ACTIVE	
Output stage	= ON
VCC	= ON
PGOOD	= HiZ
Operation Mode	= DEM/FPWM
ATR/DTRK Mode	= latched ⁽⁴⁾
SYNCOUT	= pulse ⁽⁵⁾

図 6-25. 機能状態図

6.4.1 シャットダウン状態

デバイスは、UVLO/EN ピンが Low のときシャットダウンし、BIAS ピンからの消費電流は 2μA、V_I に接続されているピンからの消費電流は 5μA になります。シャットダウンでは、COMP、SS、PGOOD はグラウンドに接続されます。VCC レギュレータは無効です。

7 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

このデバイスには、システムの設計要件を満たすため、入力 UVLO、プログラマブル ソフトスタート時間、クロック同期、スペクトラム拡散、平均入力電流レギュレーション、インダクタ電流監視、5V 互換 BIAS ピンによる熱能力強化、コールド クランクのサポート、同期、動的出力電圧トラッキングなど、いくつかのオプション機能が内蔵されています。

代表的なアプリケーションおよび曲線については、[LMG5126 評価基板](#)を参照してください。

[LMG5126 クイック スタート カリキュレータ](#)を使用すると、特定のアプリケーション用に、レギュレータを簡単に設計できます。

あるいは、[WEBENCH®](#) 回路設計および選択シミュレーション サービスを使用して、完全な設計を生成することもできます。[WEBENCH](#) ソフトウェアは、反復的な設計手順を使用し、包括的な部品データベースにアクセスして設計を生成します。

ここでは、設計手順について簡単に説明します。

7.1.1 帰還補償

昇圧レギュレータのオープン ループ応答は、変調器の伝達関数と帰還伝達関数との積で定義されます。dB スケールでプロットした場合、開ループ ゲインは、変調器のゲインと帰還ゲインとの和として示されます。電流モード昇圧レギュレータの変調器の伝達関数は、組込み電流ループ付きの電力段の伝達関数も含めて、1 つのポール、1 つのゼロ、1 つの右半面ゼロ (RHPZ) システムに単純化できます。

変調器の伝達関数は、次のように定義されます。

$$\frac{\hat{v}_{out}}{\hat{v}_{comp}} = A_M \times \frac{\left(1 + \frac{s}{\omega_{Z_ESR}}\right)\left(1 - \frac{s}{\omega_{RHPZ}}\right)}{1 + \frac{s}{\omega_{P_LF}}} \times G_{ACB}(s) \quad (25)$$

ここで、

- 変調器の DC ゲイン:

$$A_M = \frac{R_{out} \times D'}{2 \times A_{CS} \times R_{cs_eq}} \quad (26)$$

- 負荷ポール:

$$\omega_{P_LF} = \frac{2}{R_{out} \times C_{out}} \quad (27)$$

- ESR ゼロ:

$$\omega_{Z_ESR} = \frac{1}{R_{ESR} \times C_{out}} \quad (28)$$

- RHPZ:

$$\omega_{RHPZ} = \frac{R_{out} \times D'^2}{L_{m_eq}} \quad (29)$$

- 等価負荷抵抗:

$$R_{out} = \frac{V_{out}^2}{P_{out_total}} \quad (30)$$

- 等価インダクタンス:

$$L_{m_eq} = \frac{L_m}{N_p} \quad (31)$$

- 等価電流センス抵抗:

$$R_{cs_eq} = \frac{R_{cs}}{N_p} \quad (32)$$

- N_p は位相の数です。

C_{out} (R_{ESR}) の等価直列抵抗 (ESR) が十分小さく、RHPZ 周波数がターゲット クロスオーバー周波数から大きく離れている場合、変調器の伝達関数を 1 ポール システムにさらに簡素化し、電圧ループを 2 つの補償部品 R_{COMP} および C_{COMP} だけで閉ループにでき、クロスオーバー周波数でのシングル ポール応答だけが残ります。クロスオーバー周波数におけるシングル ポール応答により、90°の位相マージンを持つ、非常に安定したループが得られます。

図 7-1 に示すように、出力電圧エラー アンプとして g_m アンプが使用されます。帰還伝達関数には、帰還分圧抵抗のゲインと、エラー アンプのループ補償が含まれます。 R_{COMP} 、 C_{COMP} 、および C_{HF} は、エラー アンプのゲインと位相の特性を設定し、原点のポール、低周波ゼロ点、高周波ポールを形成します。

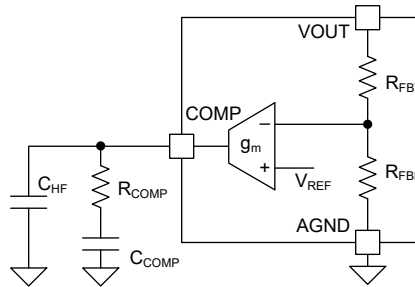


図 7-1. タイプ II g_m アンプ補償

帰還伝達関数は、次のように定義されます。

$$-\frac{\hat{v}_{comp}}{\hat{v}_{out}} = \frac{A_{VM} \times \omega_{Z_EA}}{s} \times \frac{1 + \frac{s}{\omega_{Z_EA}}}{1 + \frac{s}{\omega_{P_EA}}} \quad (33)$$

ここで、

- 中帯域の電圧ゲイン:

$$A_{VM} = K_{FB} \times g_m \times R_{COMP} \quad (34)$$

- 帰還分圧抵抗のゲイン:

$$K_{FB} = \frac{R_{FBB}}{R_{FBT} + R_{FBB}} \quad (35)$$

内部帰還分圧抵抗の場合:

$$K_{FB} = \frac{1}{30} \quad (36)$$

- 低周波数のゼロ:

$$\omega_{Z_EA} = \frac{1}{R_{COMP} \times C_{COMP}} \quad (37)$$

- 高周波数ポール:

$$\omega_{P_EA} \cong \frac{1}{R_{COMP} \times C_{HF}} \quad (38)$$

原点のポールは、出力の定常状態誤差を最小化します。低周波ゼロ点は、変調器の負荷ポールを打ち消すように配置します。高周波数の極は、出力コンデンサの ESR により生じるゼロを打ち消すため、またはエラー アンプのノイズ感受性を減らすために使用できます。クロスオーバー周波数より 1 桁低い、低周波ゼロ点を配置することで、クロスオーバー周波数において最大限の位相ブーストを実現できます。C_{HF} の追加により、帰還伝達関数にポールが追加されるため、高周波ポールは、クロスオーバー周波数より高い周波数に配置してください。

クロスオーバー周波数 (開ループ帯域幅) は通常、RHPZ 周波数の 1/5 に制限されます。

クロスオーバー周波数を高くするには、R_{COMP} を増やし、それに比例して C_{COMP} を減らします。その逆に、R_{COMP} を減らし、それに比例して C_{COMP} を増やすと帯域幅は狭くなり、帰還伝達関数のゼロ周波数は変わらずに維持されます。

7.2 代表的なアプリケーション

7.2.1 アプリケーション

代表的なアプリケーション例は、図 7-2 に示す単相昇圧コンバータです。このコンバータは、Class-H オーディオ アンプ向けの設計を採用しています。出力電圧は最大 60V まで調整可能です。

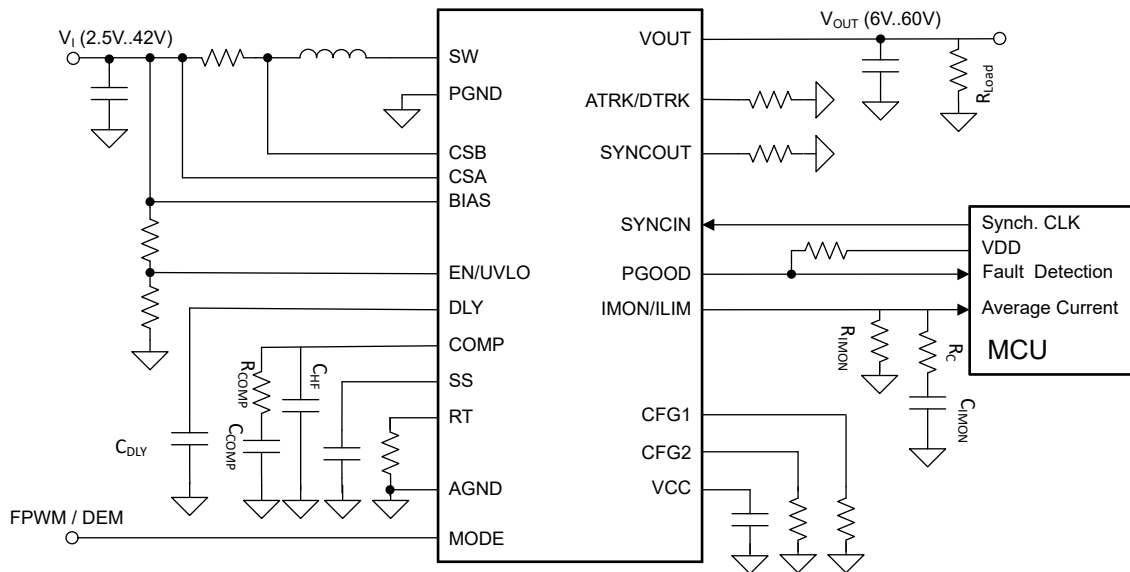


図 7-2. 単相昇圧コンバータの回路図

7.2.2 設計要件

表 7-1. 設計パラメータ

パラメータ	値
最小入力電圧 V _{in_min}	9V
標準入力電圧 V _{in_typ}	14.4
最大入力電圧 V _{in_max}	18V
公称出力電圧 V _{out_nom}	24V
最大出力電圧 V _{out_max}	45V
最大出力電力 P _{out_total}	400W

表 7-1. 設計パラメータ (続き)

パラメータ	値
推定効率、 η	95%

7.2.3 詳細な設計手順

7.2.3.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#)すると、WEBENCH® Power Designer により、LMG5126 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

7.2.3.2 合計フェーズ番号の決定

インターリーブ動作には、大電流アプリケーションにおいて、効率の向上、部品への低いストレス、入力および出力リップルの減少など、多くの利点があります。デュアル位相のインターリーブ動作では、出力電力パスが分割され、各位相の入力電流を半分に減らします。各チャンネルが互いに 180° の位相差で動作するため、入力および出力コンデンサのリップル電流が大幅に減少します。[デュアル位相インターリーブにより、入力電流リップルが低減](#)に示すように、入力電流リップルは大幅に低減されています。

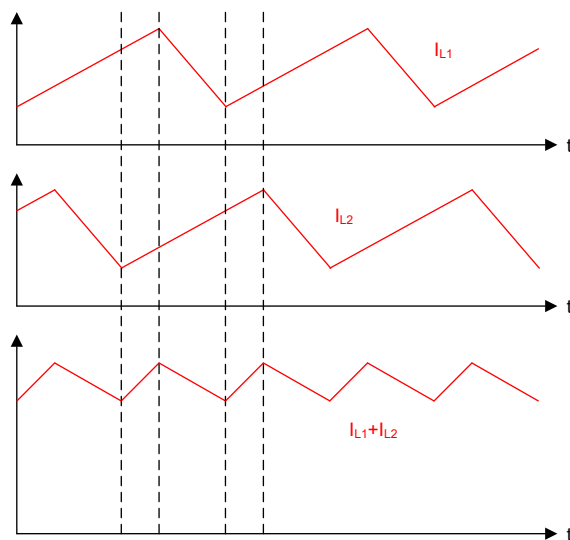


図 7-3. デュアル位相インターリーブにより、入力電流リップルが低減

ここでは、設計用に 1 つの相を選択します。

$$N_p = 1 \quad (39)$$

合計電力 P_{out_total} は位相間で共有され、各位相の電力は次のように求めます。

$$P_{out} = \frac{P_{out_total}}{N_p} = 400W \quad (40)$$

7.2.3.3 デューティ サイクルの決定

CCM でのデューティ サイクルは次のように定義されます：

$$D = \frac{V_{out} - V_{in}}{V_{out}} \quad (41)$$

$$D' = 1 - D \quad (42)$$

このアプリケーションでは、次の式を使用して最大デューティ サイクルが求められます：

$$D_{max} = \frac{V_{out_max} - V_{in_min}}{V_{out_max}} = 0.8 \quad (43)$$

7.2.3.4 タイミング抵抗 R_T

一般に、スイッチング周波数 (f_{sw}) が高いほど、サイズが小さくなり、損失が大きくなります。サイズ、効率、EMI を考慮すると、400kHz 付近での動作は妥当な折衷点になります。400kHz のスイッチング周波数について、 R_T の値は次のように計算されます。

$$R_T = \left(\frac{1}{f_{sw}} - 18ns \right) \times 31.5 \frac{\Omega}{ns} = 78.2k\Omega \quad (44)$$

R_T には標準値 78.7k Ω が選択されます。

7.2.3.5 インダクタの選択 L_M

インダクタンスの値を選択するときは、インダクタの電流リップル比 (RR)、インダクタの電流の立ち下がり勾配、制御ループの RHPZ 周波数という 3 つの主要パラメータを考慮します。

- インダクタの電流リップル比は、インダクタの巻線損失とコアでの損失との間でバランスをとるように選択します。リップル電流が増加すると、コアでの損失は増加し、銅での損失は減少します。
- インダクタ電流の立ち下がり勾配が、分数調波発振を防止するため十分に小さいことを確認します。インダクタンス値が大きいと、インダクタ電流の立ち下がり勾配が小さくなります。
- 制御ループのクロスオーバー周波数を高くするには、RHPZ を高周波数に配置します。インダクタンス値が小さくなると、RHPZ 周波数が上昇します。

ピーク電流モードの制御理論に従い、勾配補償ランプの勾配は、高いデューティ サイクルにおいて分数調波の発振を防止するため、検出されるインダクタ電流の立ち下がり勾配の半分よりも大きい必要があります。

$$V_{slope} \times f_{sw} > \frac{V_{out_max} - V_{in_min}}{2 \times L_m} \times R_{cs} \quad (45)$$

ここで、

- V_{slope} は、電流センス アンプの入力における 48mV ピーク (100% デューティ サイクル時) の勾配補償ランプです。

インダクタンスの下限は次のように求められます。

$$L_m > \frac{V_{out_max} - V_{in_min}}{2 \times V_{slope} \times f_{sw}} \times R_{cs} \quad (46)$$

$R_{cs} = 2m\Omega$ と想定すると:

$$L_m > 1.9\mu H \quad (47)$$

RHPZ 周波数は次のように求められます。

$$\omega_{RHPZ} = \frac{R_{out} \times D'^2}{L_{m_eq}} \quad (48)$$

クロスオーバー周波数が、RHPZ 周波数の 1/5 よりも低いことを確認します。

$$f_c < \frac{1}{5} \times \frac{\omega_{RHPZ}}{2\pi} \quad (49)$$

クロスオーバー周波数として 1kHz が求められると仮定すると、インダクタンスの上限は次のように計算されます。

$$L_m < 6.2\mu H \quad (50)$$

インダクタのリップル電流は、インダクタのコア損失と巻線損失との適切な折衷点として、一般に全負荷電流の 30%～70% に設定されます。

位相ごとの入力電流は次のように計算できます。

$$I_{in_vinmax} = \frac{P_{out}}{V_{in_max}} = 23.4A \quad (51)$$

連続導通モード (CCM) 動作では、最大リップル比はデューティ サイクルが 33% のときに発生します。最大リップル比の結果となる入力電圧は、次のように求められます。

$$V_{in_RRmax} = V_{out_max} \times (1 - 0.33) = 30V \quad (52)$$

したがって、最大入力電圧 V_{in_max} を使用して最大リップル比を計算します。

この例では、リップル比 0.3、入力電流の 30% が選択されています。スイッチング周波数と標準出力電圧が既知の場合、インダクタの値は次のように計算できます。

$$L_m = \frac{V_{in_max}}{I_{in} \times RR} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_max}}{V_{out_max}}\right) = \frac{18V}{23.4A \times 0.3} \times \frac{1}{400kHz} \times 0.6 = 3.8\mu H \quad (53)$$

最も近い標準値である 3.3μH を、 L_m に対して選択しました。

標準入力電圧でのインダクタリップル電流は、次のように計算できます。

$$I_{pp} = \frac{V_{in_typ}}{L_m} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_typ}}{V_{out}}\right) = 4.36A \quad (54)$$

フェライト コア インダクタを選択する場合は、ピーク電流制限時にインダクタが飽和しないようにしてください。フェライト コア インダクタのインダクタンスは飽和するまでほぼ一定です。フェライト コアは大きなサイズでコア損失が小さい特長があります。

パウダー コア インダクタの場合、DC 電流が大きくなるとインダクタンスは緩やかに低下します。この挙動は、大きいインダクタ電流でリップル電流の増加につながります。この例では、ピーク電流制限時にインダクタンスが 0A に比べて 70% まで低下します。ピーク電流制限時の電流リップルは、次のように求められます。

$$I_{pp_bias} = \frac{V_{in_typ}}{0.7 \times L_m} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_typ}}{V_{out}}\right) = 6.8A \quad (55)$$

7.2.3.6 電流センス抵抗 R_{cs}

標準入力電圧と最大出力電圧における位相ごとの最大平均入力電流は、次のように計算できます。

$$I_{in_vintyp} = \frac{P_{out}}{\eta \times V_{in_typ}} = 29.2A \quad (56)$$

ピーク電流は、次のようにで計算されます。

$$I_{pk_vintyp} = I_{in_vintyp} + \frac{I_{pp_bias}}{2} = 29.2A + \frac{6.8A}{2} = 32.6A \quad (57)$$

電流センス抵抗は、次のように求められます。

$$R_{cs} = \frac{V_{CLTH}}{I_{pk_vintyp}} = \frac{60mV}{32.6A} = 1.84m\Omega \quad (58)$$

R_{cs} には標準値 $2m\Omega$ が選択されます。

7.2.3.7 電流センス フィルタ R_{CSFA} 、 R_{CSFB} 、 C_{CS}

電流センシングには RC フィルタを推奨します。通常は、 $100pF$ の C_{CS} と 1Ω の R_{CSFA} および R_{CSFB} が推奨されます。 C_{CS} は デバイスの近くに配置します。

CSA と CSB のパターンは、電流センス抵抗にケルビン接続を使用して一緒に配線します。

C_{CS} と R_{CSFB} を大きくして、RC 時定数を増やします。 R_{CSFA} を大きくすると、大きな電流検出誤差が発生します。

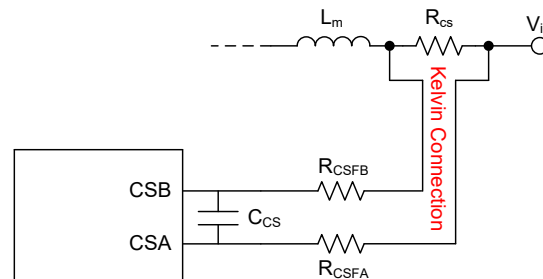


図 7-4. 電流センス フィルタ

7.2.3.8 スナバ部品

スイッチ ノードとグランドとの間に抵抗とコンデンサのスナバ回路を配置すると、スイッチング ノードのリンギングおよびスパイクが減少します。過剰なリンギングおよびスパイクは、誤動作を引き起こし、出力電圧にノイズも結合させます。スナバの値の選択には、実験的な手法が最適です。最初に、スナバ接続のリードが非常に短いことを確認します。抵抗値は、 $5\sim 50\Omega$ から開始します。スナバ コンデンサの値を増やすとダンピングが増えますが、スナバでの損失も大きくなります。スナバ コンデンサは、重負荷時にスイッチ波形のスパイクを十分にダンピングできる、最小の値から開始します。最適化されたレイアウトでは、スナバは必要ありません。

7.2.3.9 V_{out} プログラミング

固定出力電圧の場合、抵抗を $ATRK/DTRK$ に接続して、高精度の内部 $20\mu A$ 電流源をオンにすることで、 V_{OUT} をプログラムできます。

$$R_{ATRK} = \frac{V_{out_max}}{6V} \times 10k\Omega = 75k\Omega \quad (59)$$

Class-H オーディオ アプリケーションでは、 V_{out} を調整して効率を最適化できます。ATRK/DTRK を使用して、アナログ トラッキングまたはデジタルトラッキングを適用できます。

アナログ トラッキングの場合、ATRK/DTRK に電圧を印加して、 V_{out} をプログラムします。電圧は次のように求められます。

$$V_{ATRK_max} = \frac{V_{out_max}}{30} = 1.5V \quad (60)$$

$$V_{ATRK_nom} = \frac{V_{out_nom}}{30} = 0.8V \quad (61)$$

デジタル PWM 信号 (DTRK) によっても出力電圧をプログラムできます。デューティ サイクル D_{TRK} は次のように求められます。

$$D_{TRK} = \frac{V_{out_max}}{0.75V} \times 100\% = 60\% \quad (62)$$

$$D_{TRK_min} = \frac{V_{out_min}}{0.75V} \times 100\% = 10.7\% \quad (63)$$

DTRK 周波数が 100kHz～2200kHz の範囲内であることを確認してください。IC が有効の場合は、DTRK PWM 信号を印加する必要があります。

図 7-5 に示すように、オフセット付きの 2 段 RC フィルタを利用して、デジタル PWM 信号をアナログ電圧に変換できます。

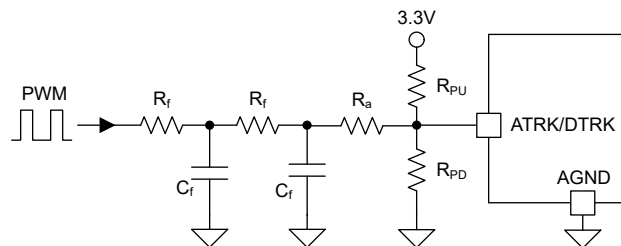


図 7-5. 2 段 RC フィルタから ATRK/DTRK へ

2 段構成の RC フィルタは、PWM 信号をスムーズなアナログ電圧にフィルタリングするために使用されます。ATRK/DTRK の電圧リップルとセッティング タイムを考慮して、2 段構成の RC フィルタが選択されます。

100% の PWM デューティ サイクルでは出力電圧が V_{out_max} に設定され、0% の PWM デューティ サイクルでは V_{out_min} に設定されます。 R_t と R_b は、ATRK/DTRK のオフセット電圧の調整に使用されます。

V_{trk_max} および V_{trk_min} は次のように求められます。

$$V_{ATRK_max} = V_{dd} \frac{R_b}{(2R_f + R_a) \parallel R_t + R_b} \quad (64)$$

$$V_{ATRK_min} = V_{dd} \frac{(2R_f + R_a) \parallel R_b}{(2R_f + R_a) \parallel R_b + R_t} \quad (65)$$

ここで、 V_{dd} は PWM 信号の振幅、 d は PWM のデューティ サイクルです。

入力から V_{ATRK} への AC 伝達関数は、次のように求められます。

$$G_{\text{trk}}(s) = \frac{\frac{R_L}{2R_f + R_L}}{1 + 2\zeta \frac{s}{\omega_n} + \left(\frac{s}{\omega_n}\right)^2} \quad (66)$$

ここで

$$R_L = R_a + R_b \parallel R_t \quad (67)$$

$$\omega_n = \frac{1}{R_f \times C_f \sqrt{\frac{R_L}{2R_f + R_L}}} \quad (68)$$

$$\zeta = \frac{1}{2} \left(\frac{R_f}{R_L} + 3 \right) \sqrt{\frac{R_L}{2R_f + R_L}} \quad (69)$$

分母のルートは次のように求められます。

$$s_1 = -\zeta\omega_n + \omega_n\sqrt{\zeta^2 - 1} \quad (70)$$

$$s_2 = -\zeta\omega_n - \omega_n\sqrt{\zeta^2 - 1} \quad (71)$$

$\zeta > 1$ なので、これは過剰減衰二次系です。 s_1 は支配的なポールです。2% のセトリング タイム t_s は次のように推定されます。

$$t_s = \frac{1}{s_1} \times \ln \left(-\frac{0.02 \times 2s_1 \sqrt{\zeta^2 - 1}}{\omega_n} \right) \quad (72)$$

このアプリケーションでは、400kHz の PWM 周波数を採用しています。 $R_f = 4.99\text{k}\Omega$ 、 $C_f = 47\text{nF}$ 、 $R_a = 1.5\text{k}\Omega$ 、 $R_t = 51\text{k}\Omega$ 、 $R_b = 7.87\text{k}\Omega$ が選択されます。2% のセトリング タイムは約 1.3ms です。

7.2.3.10 入力電流制限 (ILIM/IMON)

オーディオ アプリケーションでは過渡電力が大きくなります。このアプリケーションでは、ピーク出力電力として 400W を選択します。ただし、通常、平均電力はピーク電力よりもはるかに小さくなります。平均電力として 240W を選択します。適切な ILIM/IMON 設定を使用すると、300ms で 400W のピークを許容しながら、平均入力電流を 240W 未満に制限します。平均電流ループがトリガされると、入力と出力の電力が平衡するまで、 V_{OUT} が低下します。

平均出力電力および標準入力電圧における相ごとの入力電流は、次のように求めます。

$$I_{\text{avg}} = \frac{P_{\text{avg_total}}}{1 \times \eta \times V_{\text{in_typ}}} = 17.5\text{A} \quad (73)$$

平均入力電流制限として 22A が選択されます。

$$I_{\text{lim}} = 22\text{A} \quad (74)$$

ILIM/IMON からの電流は、次のように求めます。

$$I_{\text{MON_lim}} = (R_{\text{CS}} \times I_{\text{lim}} \times G_{\text{IMON}} + I_{\text{OFFSET}}) = (2\text{m}\Omega \times 22\text{A} \times 0.333\text{mA/V} + 4\mu\text{A}) = 18.6\mu\text{A} \quad (75)$$

R_{ILIM} は次のように計算されます。

$$R_{\text{IMON}} = \frac{V_{\text{ILIM}}}{I_{\text{MON}}} = \frac{1\text{V}}{11\mu\text{A}} = 53.7\text{k}\Omega \quad (76)$$

R_{IMON} には標準値 $53.6k\Omega$ が選択されます。

図 7-6 に示すように、 C_{IMON} と R_c を使用して、平均電流ループがトリガされる前に適切な遅延を作成します。

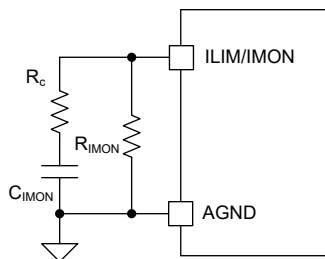


図 7-6. ILIM/IMON ピンの構成

このアプリケーションでは、 $400W$ で $300ms$ の遅延が必要です。

負荷がゼロのとき、ILIM/IMON から出力される電流は次のように求めます。

$$I_{MON_0A} = I_{OFFSET} = 4\mu A \quad (77)$$

ゼロ負荷時の ILIM/IMON 電圧は次のように計算されます。

$$V_{IMON_0A} = R_{IMON} \times I_{MON_0A} = 0.21V \quad (78)$$

定格電力の 1.6 倍である $400W$ のとき、ILIM/IMON から出力される電流は次のように求めます。

$$I_{MON_tr} = (R_{CS} \times 1.6 \times I_{lim} \times G_{IMON} + I_{OFFSET}) = (2m\Omega \times 35.2A \times 0.333mA/V + 4\mu A) = 27.4\mu A \quad (79)$$

C_{IMON} は次の式で求めます。

$$C_{IMON} = \frac{t_{delay}}{R_{IMON} \times \ln\left(\frac{R_{IMON} \times I_{MON_tr} - V_{IMON_0A}}{R_{IMON} \times I_{MON_tr} - V_{ILIM_th}}\right)} = 4.5\mu F \quad (80)$$

C_{IMON} には標準値 $4.7\mu F$ が選択されます。

R_c は次の式で求めます。

$$R_c = \frac{1}{20\pi \times C_{IMON}} = 3.38k \quad (81)$$

R_c には標準値 $3.4k\Omega$ が選択されます。

7.2.3.11 最小負荷抵抗

DEM でのパルス スキップ中に出力電圧の暴走を防ぐため、最小負荷抵抗を出力に配置する必要があります。

「動作モード」セクションを参照してください。

最小負荷抵抗は次のように計算します：

$$R_{LOAD} = \frac{2 \times V_{OUT_nom} \times (V_{OUT_nom} - V_{I_max}) \times L}{V_{I_max}^2 \times F_{SW} \times 0.0484\mu s^2} = 67.3k\Omega \quad (82)$$

R_{Load} には標準値 $66.5k\Omega$ が選択されます。

7.2.3.12 UVLO ディバイダ

目的のスタートアップ電圧とヒステリシスは、分圧抵抗 R_{UVT} および R_{UVB} により設定されます。この設計では、スタートアップ電圧 (V_{in_on}) を 8.5V に設定します。これは、 V_{in_min} より 0.5V 低い値です。UVLO ヒステリシス電圧は 1V に設定されています。この動作により、UVLO シャットダウン電圧 (V_{in_off}) が 7.5V になります。 R_{UVT} と R_{UVB} の値は次のように計算されます。

$$R_{UVT} = \frac{V_{in_on} - \frac{V_{UVLO_RISING}}{V_{UVLO_FALLING}} \times V_{in_off}}{I_{UVLO_HYS}} = \frac{8.5V - \frac{1.1V}{1.075V} \times 7.5V}{10\mu A} = 82.6k\Omega \quad (83)$$

R_{UVT} には標準値 82.5kΩ が選択されます。

$$R_{UVB} = \frac{V_{UVLO_FALLING} \times R_{UVT}}{V_{in_off} - V_{UVLO_FALLING}} = \frac{1.075V \times 82.5k\Omega}{7.5V - 1.075V} = 13.8k\Omega \quad (84)$$

R_{UVB} には標準値 13.8kΩ が選択されます。

100nF UVLO コンデンサ (C_{UVLO}) は、スタートアップ時、または低入力電圧での厳しい負荷過渡時に V_{in} が V_{in_off} を瞬間的に下回った場合に選択されます。

7.2.3.13 ソフト スタート

最大出力電圧でのソフト スタート時間が最長です。6Ms のソフトスタート時間を得るためのソフト スタート コンデンサは次のように求められます。

$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{ATRK_max}} \left(\frac{V_{out_max}}{V_{out_max} - V_{in_typ}} \right) = \frac{50\mu A \times 6ms}{1.5V} \left(\frac{45V}{45V - 14.4V} \right) = 0.29\mu F \quad (85)$$

C_{SS} には標準値 0.33μF が選択されます。

7.2.3.14 出力コンデンサ C_{OUT}

出力コンデンサは、出力電圧のリップルを平滑化し、負荷過渡状況において充電の電源になります。

出力コンデンサのリップル電流定格は、慎重に選択する必要があります。ブートレギュレータでは、出力は不連続電流によって供給され、通常はリップル電流の要件が高くなります。実際には、大きなアルミ電解コンデンサよりも先に、電力スイッチの近くに高品質のセラミックコンデンサを配置することで、リップル電流の要件を大幅に低減できます。

出力電圧リップルは、出力コンデンサの ESR の影響を大きく受けます。出力コンデンサの並列化は、実効 ESR を最小化し、コンデンサへの出力リップル電流を分割するための適切な選択肢です。

単相昇圧出力 RMS リップル電流は、次のように表すことができます。

$$I_{1p_rms} \cong I_{out} \times \sqrt{\frac{D}{D'}} \quad (86)$$

出力 RMS 電流は、図 7-7 に示すようにインターリーブにより低減されます。2 相インターリーブ昇圧出力 RMS リップル電流は、次のように表すことができます。

$$I_{out_2p_rms} \cong \begin{cases} \frac{I_{out}}{\sqrt{2}} \times \sqrt{\frac{D \times (1-2D)}{D'}}, & D < 0.5 \\ \frac{I_{out}}{\sqrt{2}} \times \sqrt{\frac{2D-1}{D'}}, & D \geq 0.5 \end{cases} \quad (87)$$

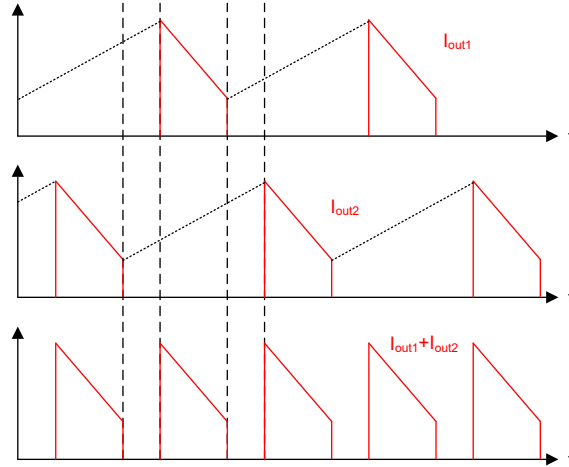


図 7-7. 正規化された出力コンデンサの RMS リップル電流

MOSFET の電圧スパイクを最小化するためのデカップリング コンデンサが不可欠です。これは、EMI の観点からも重要です。ごく少数の 0603/100nF セラミック コンデンサを、「垂直ループ」コンセプトに従って、MOSFET の近くに配置しています。詳細については、『最適化された出力段レイアウトによる大電流 DC/DC レギュレータのコストなしでの EMI 性能向上』アプリケーション ブリーフを参照してください。

出力電圧リップルを低減し、出力リップル電流を分割するために、いくつかの 10μF セラミック コンデンサも必要です。

通常、高静電容量の場合はアルミ電解コンデンサが必要となります。この例では、4 つの 150μF アルミ電解コンデンサを選択しています。

出力の過渡応答は、ループ ゲインの帯域幅と出力容量に密接に関係しています。『過渡応答測定から帯域幅を判定する方法』の技術資料から、オーバーシュートまたはアンダーシュート V_p を次のように推定できます。

$$V_p = \frac{\Delta I_{\text{tran}}}{2\pi \times f_c \times C_{\text{out}}} \quad (88)$$

ここで、 ΔI_{tran} は過渡負荷電流ステップです。

負荷ステップ中に、コンバータが常に CCM または FPWM で動作している場合のみ式 88 は有効であることに注意してください。軽負荷時にコンバータが DCM またはパルス スキップ モードに移行すると、オーバーシュートが悪化します。

入力から出力への本質的なパスの関係で、入力電圧が急速に上昇して出力コンデンサを充電するときに、無制限の突入電流が発生する可能性があります。入力電圧の立ち上がりスローレートは、突入電流がインダクタ、センス抵抗、またはハイサイド FET を損傷しないよう、ホットスワップまたは入力電源のソフト スタートによって制御される必要があります。

7.2.3.15 入力コンデンサ C_{in}

安定した入力電圧を供給するために、入力コンデンサは常に必要です。入力コンデンサは、インダクタのリップル電流に対応できることが必要です。

単相昇圧入力 RMS リップル電流は、次のように表します。

$$I_{\text{in_1p_rms}} = \frac{I_{\text{pp}}}{\sqrt{12}} \quad (89)$$

入力コンデンサは、入力フィルタの重要な部分でもあります。静電容量と ESR が大きいほど、入力フィルタの減衰を改善するのに役立ちます。アルミ電解コンデンサは、静電容量と ESR が大きい入力コンデンサに最適な選択肢です。詳細については、『スイッチング電源用の入力フィルタ設計』アプリケーション ノートを参照してください。

7.2.3.16 VCC コンデンサ C_{VCC}

VCC コンデンサの主な目的は、ゲートドライバのピーク過渡電流を供給し、VCC レギュレータを安定させることです。 C_{VCC} には、高品質で ESR の低いセラミック コンデンサを使用します。 C_{VCC} は、デバイスのピンの近くに配置します。

この設計例では、 $4.7\mu\text{F}$ の値が選択されています。

7.2.3.17 バイアス コンデンサ

C_{BIAS} には高品質のセラミック コンデンサを使用します。 C_{BIAS} は、物理的にデバイスの近くに配置します。

この設計例では、 $1\mu\text{F}$ の値が選択されています。

7.2.3.18 VOUT コンデンサ

C_{OUT} には高品質のセラミック コンデンサを使用します。 C_{OUT} は、物理的にデバイスの近くに配置します。

この設計例では、 $0.1\mu\text{F}$ の値が選択されています。

7.2.3.19 ループ補償

R_{COMP} 、 C_{COMP} 、 C_{HF} は、エラー アンプのゲインと位相特性を設定し、安定した電圧ループを生み出します。手早く開始するには、次の 4 つの手順に従います。

1. クロスオーバー周波数 f_c を選択します。RHPZ 周波数の $1/5$ 、またはスイッチング周波数の $1/10$ のうち、どちらか低い方のクロスオーバー周波数 (f_c) を選択します。最小入力電圧および最大出力電圧で RHPZ を選択します。

$$\frac{f_{sw}}{10} = 40\text{kHz} \quad (90)$$

$$\frac{f_{RHPZ}}{5} = \frac{R_{out} \times D'^2}{5 \times 2\pi \times L_{m_eq}} = 1.9\text{kHz} \quad (91)$$

クロスオーバー周波数 $f_c = 1.9\text{kHz}$ を選択します。

2. 必要な R_{COMP} の判定

f_c が判明していれば、 R_{COMP} は次のように計算されます。

$$R_{COMP} = \frac{2\pi \times f_c \times C_{out} \times A_{cs} \times R_{cs_eq}}{D' \times K_{FB} \times g_m \times G_{ACB}(2\pi \times f_c)} = \frac{2\pi \times 1.9\text{kHz} \times 700\mu\text{F} \times 10 \times 2\text{m}\Omega}{0.2 \times \frac{1}{30} \times 1 \frac{\text{mA}}{\text{V}} \times \frac{1}{2}} = 50.1\text{k}\Omega \quad (92)$$

R_{COMP} には標準値 $50\text{k}\Omega$ が選択されます

3. 必要な C_{COMP} の判定

負荷ポールを相殺するため、負荷ポールの周波数 ω_{P_LF} に ω_{Z_EA} を配置します。 R_{COMP} が判明していれば、 C_{COMP} は次のように計算されます。

$$C_{COMP} = \frac{1}{R_{COMP} \times \omega_{P_LF}} = \frac{1}{50\text{k}\Omega \times \frac{2}{50700\mu\text{F}}} = 35\text{nF} \quad (93)$$

C_{COMP} には標準値 35nF が選択されます

4. C_{HF} を決定します。

ω_{RHPZ} または ω_{Z_ESR} のどちらか低い方に ω_{HF} を配置します。 R_{COMP} 、RHPZ、ESR ゼロが判明していれば、 C_{HF} は次のように計算されます。

$$C_{HF} = \frac{1}{R_{COMP} \times \omega_{HF}} = \frac{1}{50\text{k}\Omega \times 9.5\text{kHz}} = 2\text{nF} \quad (94)$$

C_{HF} には標準値 2.2nF が選択されます。

7.2.4 アプリケーション曲線

7.2.4.1 効率

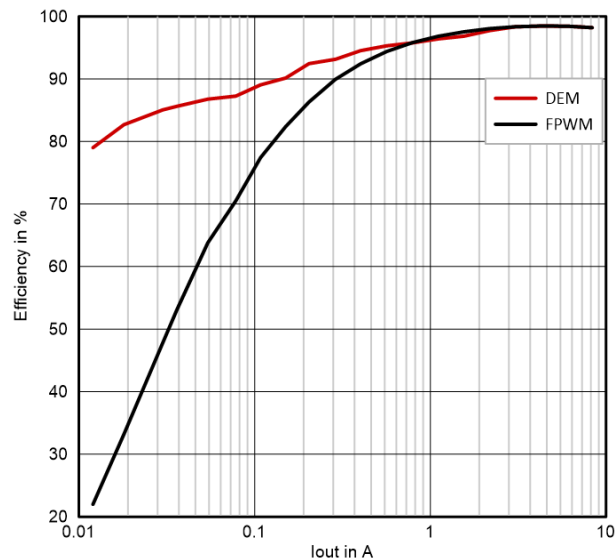


図 7-8. 効率と出力電流との関係、 $V_{in} = 14.4V$ 、 $V_{out} = 24V$

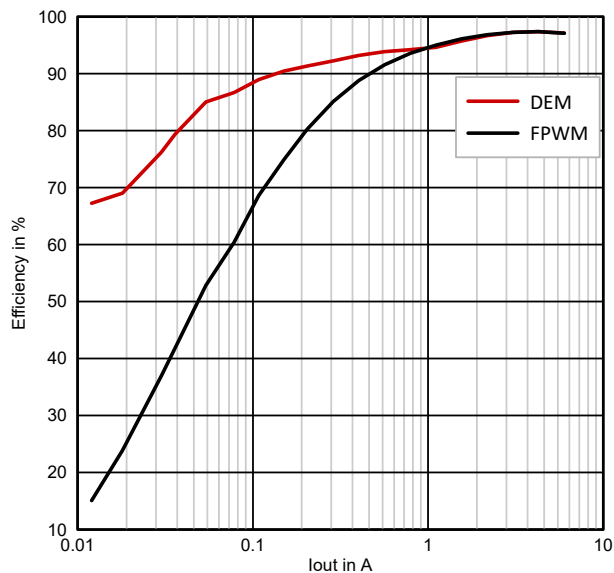


図 7-9. 効率と出力電流との関係、 $V_{in} = 14.4V$ 、 $V_{out} = 45V$

7.2.4.2 定常状態波形

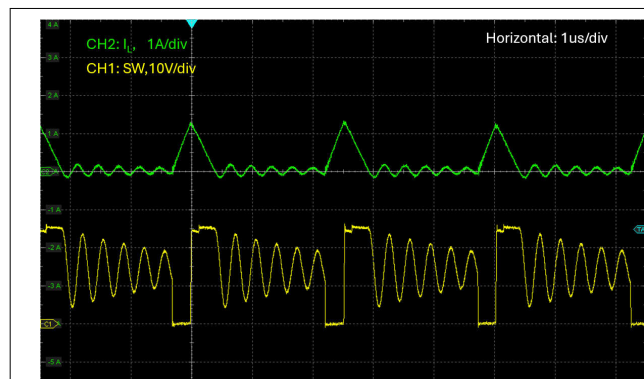


図 7-10. $V_{in} = 14.4V$ 、 $V_{out} = 24V$ 、DEM、 $I_{load} = 0.1A$

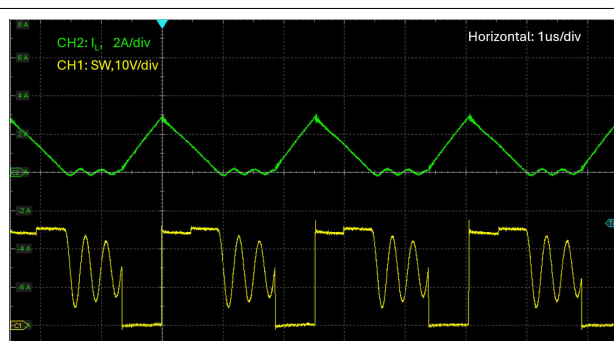


図 7-11. $V_{in} = 14.4V$ 、 $V_{out} = 24V$ 、DEM、 $I_{load} = 0.5A$

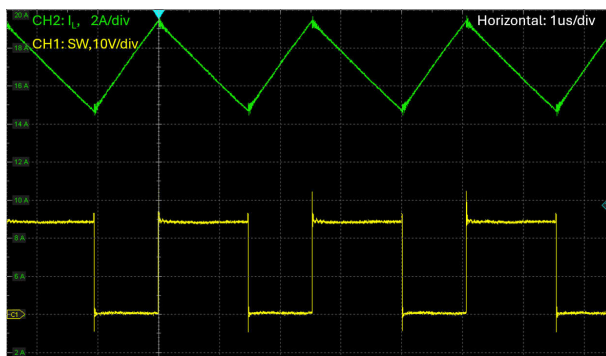


図 7-12. $V_{in} = 14.4V$ 、 $V_{out} = 24V$ 、DEM、 $I_{load} = 10A$

7.2.4.3 ステップ負荷応答

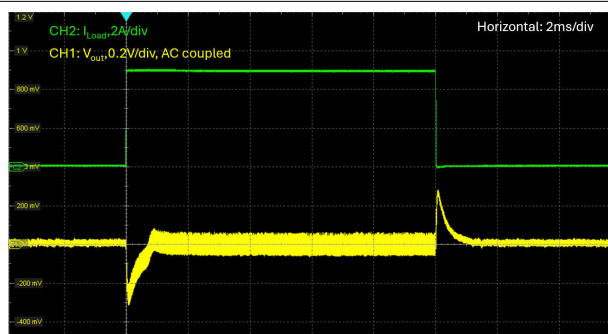


図 7-13. 負荷過渡応答、 $V_{in} = 14V$ 、 $V_{out} = 24V$ 、
FPWM、 $I_{load} = 0A \sim 5A$ ($1A/\mu s$)

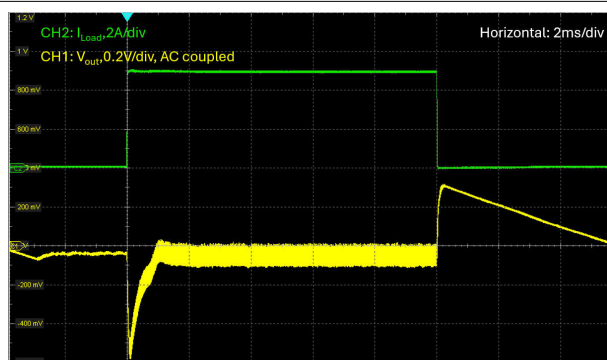


図 7-14. 負荷過渡応答、 $V_{in} = 14V$ 、 $V_{out} = 24V$ 、DEM、
 $I_{load} = 0A \sim 5A$ ($1A/\mu s$)

7.2.4.4 熱性能

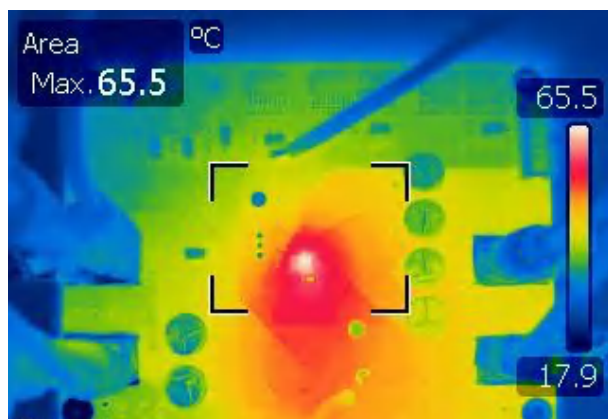


図 7-15. $V_{IN} = 14.4V$ 、 $V_{OUT} = 24V$ 、 $P_{OUT} = 240W$ 、自
然対流

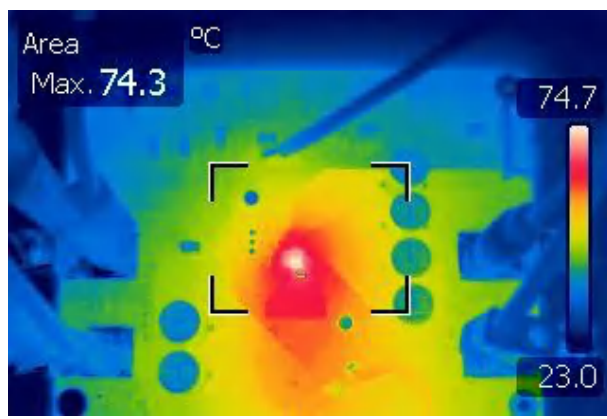


図 7-16. $V_{IN} = 14.4V$ 、 $V_{OUT} = 45V$ 、 $P_{OUT} = 240W$ 、自
然対流

7.3 電源に関する推奨事項

LMG5126 は、広い入力電圧範囲で動作するように設計されています。入力電源の特性は、「絶対最大定格」と「推奨動作条件」に適合している必要があります。また、入力電源は、全負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流を見積るには、式 95 を使用します。

$$I_I = \frac{P_O}{\eta V_I} \quad (95)$$

ここで、

- η は効率です。

効率の値を得る方法の 1 つは、ワースト ケースの動作モードにおけるセクション 7.2.4.1 の効率グラフのデータを取得することです。ほとんどのアプリケーションでは、昇圧動作は入力電流が最大の領域となります。

デバイスが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフを周期的に切り替わるたびに、 V_I で過電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。こうした問題を解決する方法の 1 つは、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム製やタンタル製の入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。コンバータの電力段の前には、多くの場合に EMI 入力フィルタが使用されます。設計に留意しない限り、EMI 入力フィルタは不安定性の原因になる可能性があるほか、前述のような影響を及ぼす可能性があります。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

スイッチング コンバータの性能は、PCB レイアウトの品質に大きく依存します。PCB の設計が不適切な場合、その他のコンバータの不安定性、ロード レギュレーションの問題、ノイズまたは EMI の問題が発生する可能性があります。VCC に対するパワーパスの熱軽減接続は、熱軽減接続によって大きなインダクタンスが追加されるため、使用しないでください。

- VCC および BIAS コンデンサは、デバイスの対応するピンの近くに配置します。コンデンサには大きなピーク電流が流れるため、インダクタンスを最小化するために、コンデンサは短く幅広いパターンで接続します。VCC コンデンサのグラウンドを電源グラウンド (PGND) に、BIAS コンデンサのグラウンドをアナロググラウンド (AGND) に接続します。
- CSA および CSB のフィルタ抵抗とコンデンサは、対応するデバイスピンの近くに配置することで、フィルタとデバイスとの間のノイズ結合を最小限に抑えます。インダクタ近くに配置されたセンス抵抗 R_{CS} にパターンを配線し、差動ペアとしてグラウンドで囲むことで、ノイズ結合を避けることができます。センス抵抗にはケルビン接続を使用します。
- 補償回路 R_{COMP} 、 C_{COMP} 、および周波数設定抵抗 R_{RT} を対応するデバイスピンの近くに配置して、短いパターンで接続することで、ノイズ結合を避けることができます。アナロググラウンドピン AGND をこれらの部品に接続します。
- ATRK 抵抗 R_{ATRK} (使用する場合) を ATRK ピンの近くに配置し、 R_{ATRK} を AGND に接続します。
- 以下の部品のレイアウトはそれほど重要ではありません：
 - ソフトスタートコンデンサ C_{SS}
 - DLY コンデンサ C_{DLY}
 - ILIM/IMON 抵抗とコンデンサ R_{ILIM} および C_{ILIM}
 - CFG1、CFG2、SYNCOUT 抵抗
 - UVLO/EN 抵抗
- フィルタ V_{OUT} コンデンサ (小型サイズのセラミック) は、 V_{OUT} ピンの近くに配置します。短く幅広いパターンを使用することで、 C_{OUT} から V_{OUT} 接続までの電力段ループを最小限に抑えることができ、高電圧スパイクを避けることができます。
- 高電圧スパイクを引き起こすインダクタンスを最小化するため、PGND ピンは短く幅広いパターンで V_{OUT} および V_I コンデンサのグラウンドに接続します。

- TI では、デバイスでスター接続を形成するために、AGND ピンと PGND ピンを露出パッド (EP) に直接接続することを推奨しています。
- いくつかのビアを持つデバイスの露出パッド (EP) をグランド プレーンに接続することで、熱を逃がします。
- 電源と信号のパターンを分けて、ノイズのシールドを実現するためにグランド プレーンを使用します。

コンバータとインダクタで生成される熱を拡散するため、インダクタをコンバータから離して配置します。ただし、インダクタとコンバータとの間のパターンが長いほど、EMI とノイズ放射は大きくなります。最高の効率を得るには、インダクタを広く短い配線で接続することで、抵抗性損失を最小限に抑えます。

7.4.2 レイアウト例

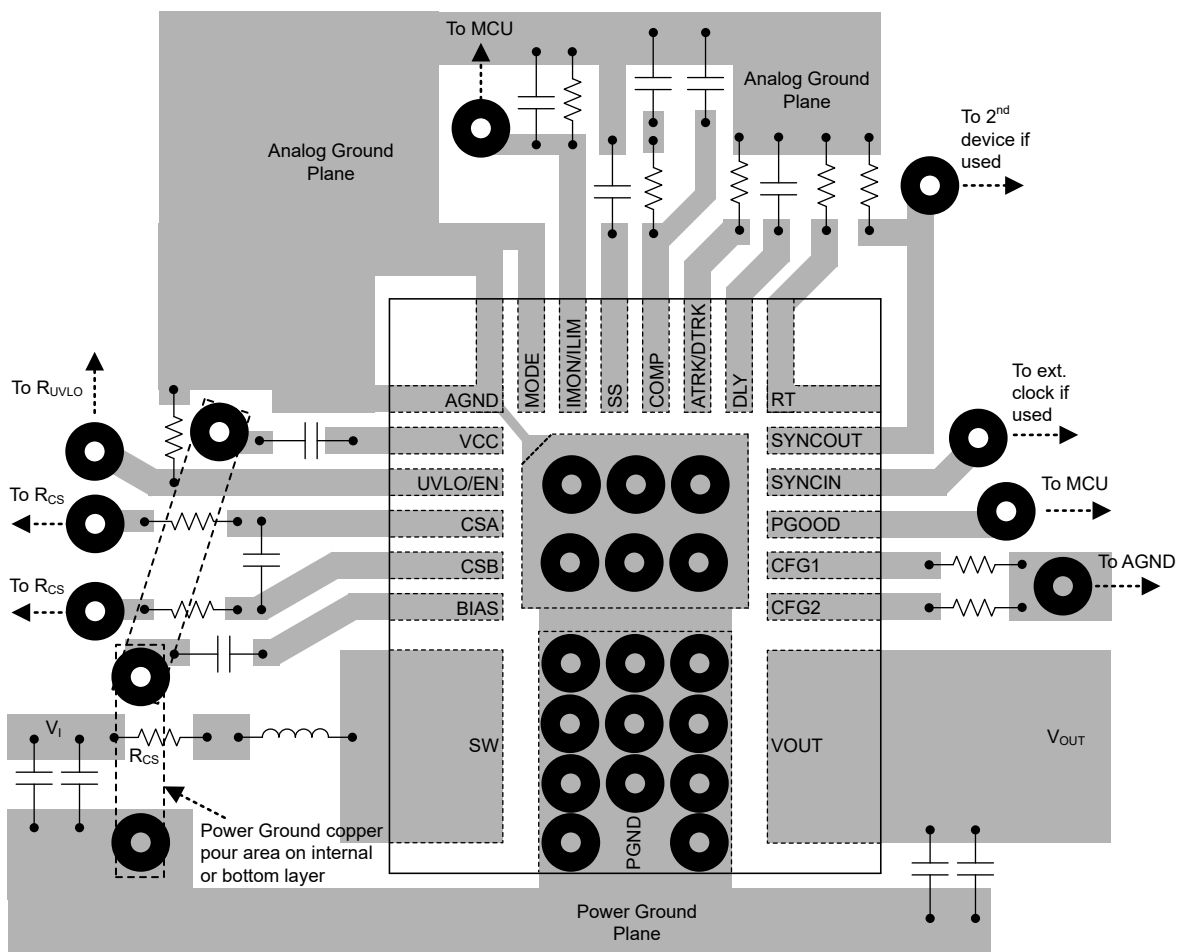


図 7-17. レイアウト例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.1.2 開発サポート

8.1.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#)すると、WEBENCH® Power Designer により、LMG5126 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電氣的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2 ドキュメントのサポート

8.2.1 関連資料

- テキサス インスツルメンツ、『最適化された出力段レイアウトによる大電流 DC/DC レギュレータの EMI 性能向上』アプリケーション ブリーフ
- テキサス インスツルメンツ、『スイッチング電源の入力フィルタ設計』アプリケーション ノート

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2024) to Revision A (December 2025)	Page
• データシート ステータスを「事前情報」から「量産データ」に変更.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMG5126VBTR	Active	Production	VQFN-FCRLF (VBT) 22	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LG5126
XLMG5126VBTT	Active	Preproduction	VQFN-FCRLF (VBT) 22	250 SMALL T&R	-	Call TI	Call TI	-40 to 125	
XLMG5126VBTT.A	Active	Preproduction	VQFN-FCRLF (VBT) 22	250 SMALL T&R	-	Call TI	Call TI	-40 to 125	
XLMG5126VBTT.B	Active	Preproduction	VQFN-FCRLF (VBT) 22	250 SMALL T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMG5126VBTR	VQFN-FCRLF	VBTR	22	3000	330.0	16.4	4.8	5.8	1.15	8.0	16.0	Q1
LMG5126VBTR	VQFN-FCRLF	VBTR	22	3000	330.0	16.4	4.8	6.3	1.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMG5126VBTR	VQFN-FCRLF	VB	22	3000	367.0	367.0	38.0
LMG5126VBTR	VQFN-FCRLF	VB	22	3000	367.0	367.0	38.0

GENERIC PACKAGE VIEW

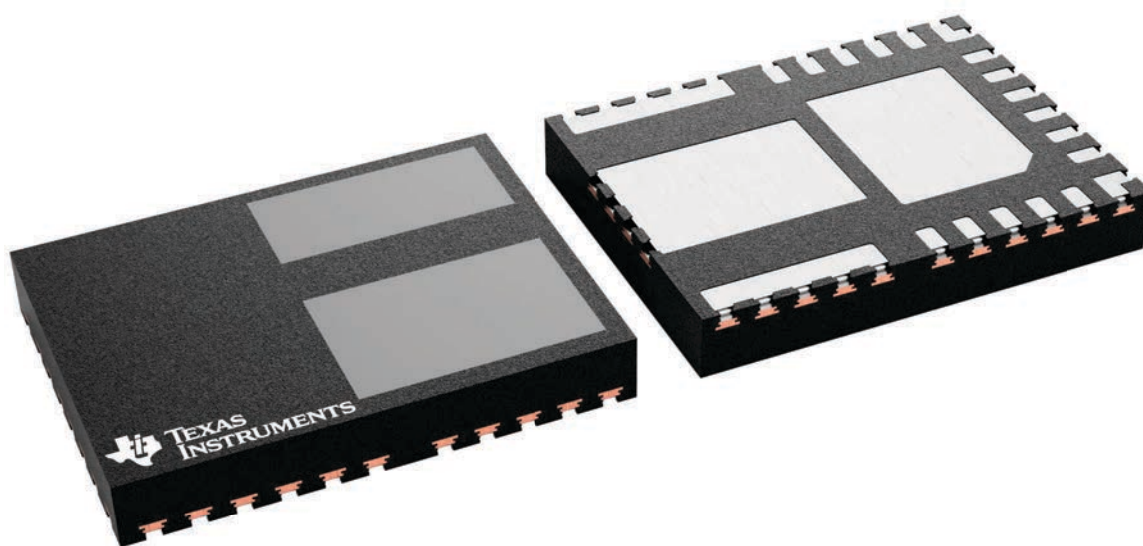
VBT 22

VQFN-FCRLF - 0.85 mm max height

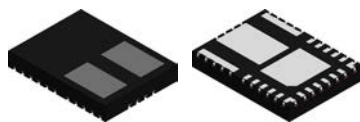
4.5 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



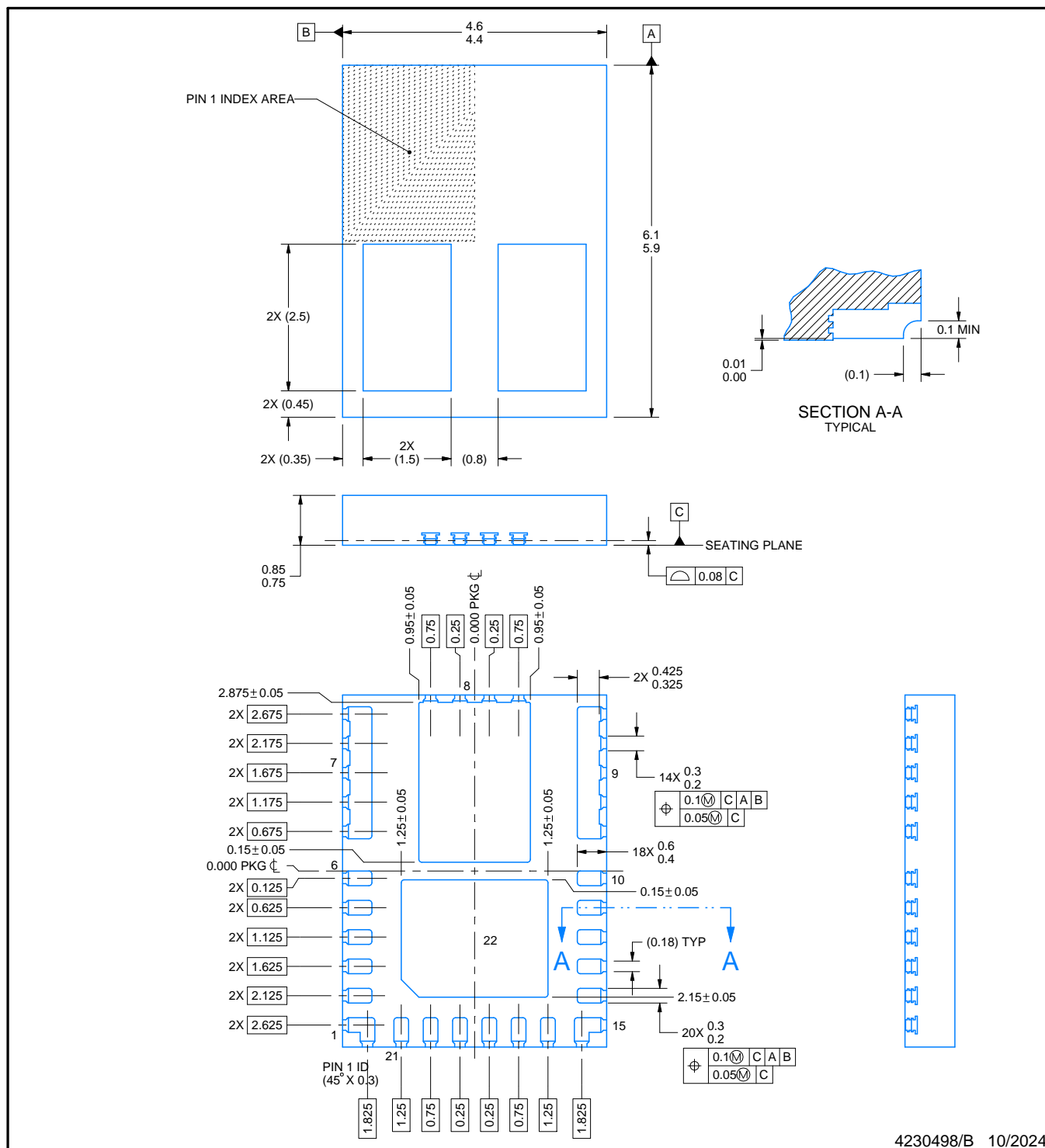
4231389/A

VBT0022A

PACKAGE OUTLINE

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4230498/B 10/2024

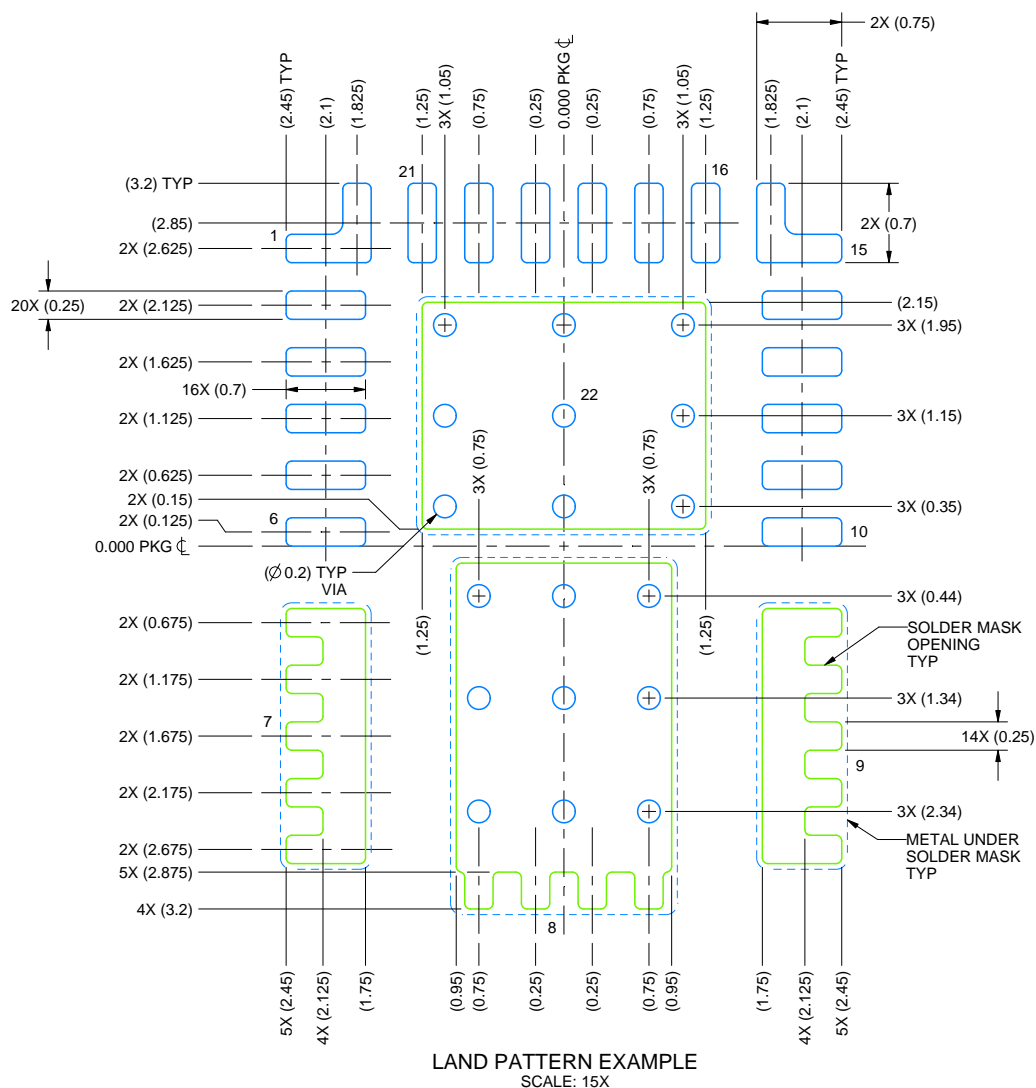
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

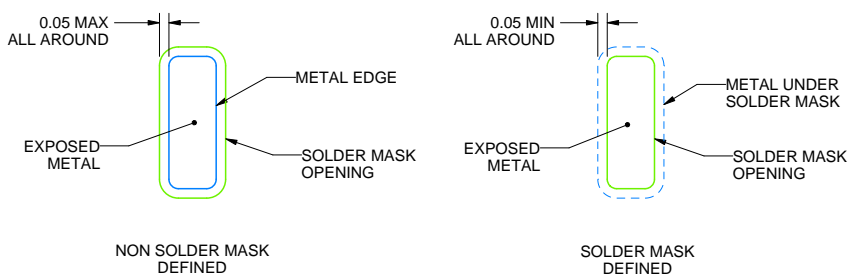
VB T0022A

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE: 15X



SOLDER MASK DETAILS

4230498/B 10/2024

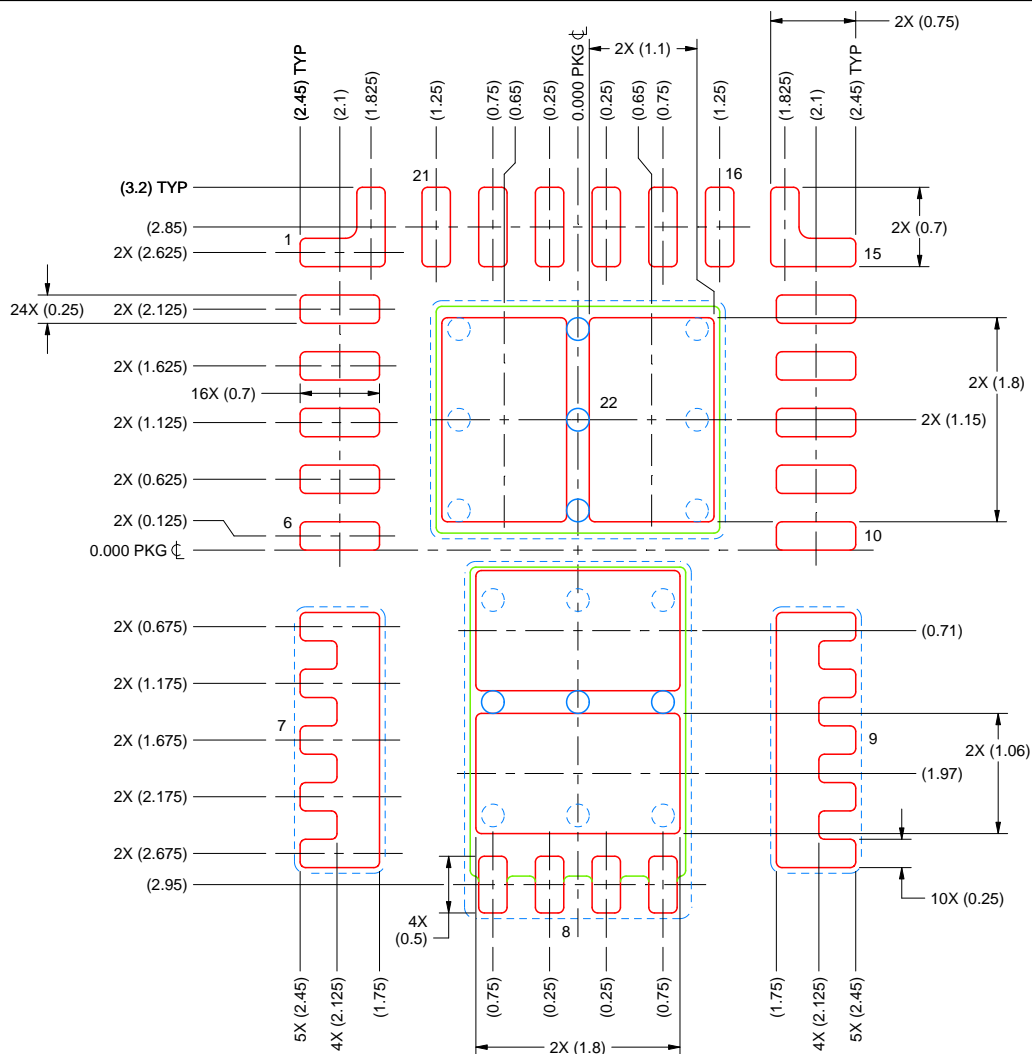
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

VB T0022A

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 8: 78%
PAD 22: 79%

4230498/B 10/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月