

LMH6550

LMH6550 Differential, High Speed Op Amp



Literature Number: JAJ SAB4

LMH6550

差動高速オペアンプ

概要

LMH[®]6550 は、電圧帰還型の高性能差動アンプです。LMH6550 は、高性能 A/D コンバータのドライブに必要な高速、低歪率特性を備えているだけでなく、CAT 5 データ・ケーブルなどの平衡伝送線路上の信号をドライブするための電流駆動能力も備えています。LMH6550 は、広範なビデオ信号形式およびデータ形式を処理できます。

ゲイン設定抵抗を外付けすることにより、LMH6550 は所望のゲインで使用できます。ゲイン設定が柔軟であり、高速であることから、LMH6550 は高性能通信装置の IF アンプとしての使用が適しています。

LMH6550 の供給パッケージは、省スペース型の SOIC および MSOP パッケージです。

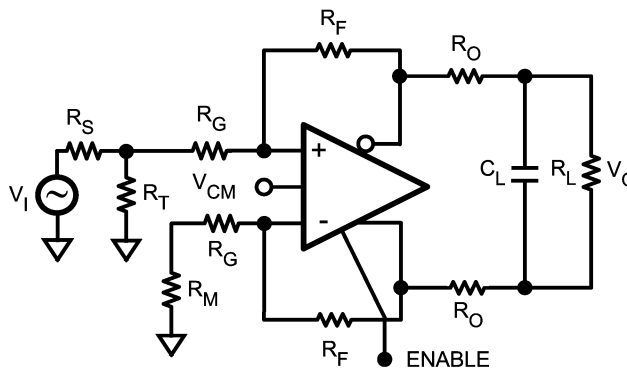
特長

- 3dB 帯域幅 ($V_{OUT} = 0.5V_{PP}$) 400MHz
- 0.1dB 帯域幅 90MHz
- スルーレート 3000V/ μ s
- セトリング・タイム (0.1%) 8ns
- 92/ - 103dB HD2/HD3 @ 5 MHz
- シャットダウン / イネーブル 10ns

アプリケーション

- 差動 A/D コンバータ・ドライバ
- ツイストペア・ケーブル上のビデオ信号の処理
- 差動ライン・ドライバ
- シングルエンド入力差動出力コンバータ
- 高速差動信号処理回路
- IF/RF 増幅器
- SAW フィルタ・バッファ/ドライバ

代表的なアプリケーション



$$\text{SET } R_M = R_T \parallel R_S$$

$$\text{SET } R_T = \frac{1}{\left(\frac{1}{R_S} - \frac{1}{R_{IN}}\right)}$$

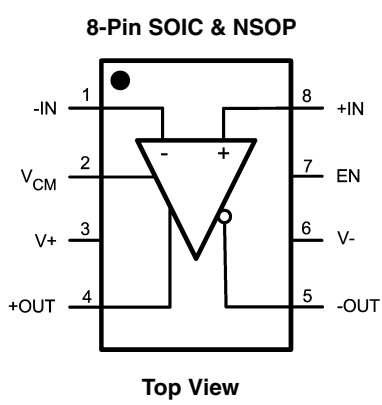
$$R_{IN} = \frac{R_G}{1 - \left(\frac{R_F}{2 * (R_F + R_G)}\right)}$$

Single Ended Input Differential Output.

$$\text{Gain} = A_V = 0.5 * R_F / R_G$$

LMH[®] はナショナル セミコンダクター社の登録商標です。

配置図



製品情報

Package	Part Number	Package Marking	Transport Media	NSC Drawing
8-Pin SOIC	LMH6550MA	LMH6550MA	95/Rails	M08A
	LMH6550MAX		2.5k Units Tape and Reel	
8-Pin MSOP	LMH6550MM	AL1A	1k Units Tape and Reel	MUA08A
	LMH6550MMX		3.5k Units Tape and Reel	

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
 関連する電気的信頼性試験方法の規格を参照ください。

赤外線または対流方式 (20 秒)	235
流動ハンダ付け (10 秒)	260

ESD 耐圧 (Note 5)

人体モデル	2000V
マシン・モデル	200V
電源電圧	13.2V
同相入力電圧範囲	$\pm V_S$
最大入力電流 (ピン 1、2、7、8)	30mA
最大出力電流 (ピン 4、5)	(Note 3)
ハンダ付け条件	

動作定格 (Note 1)

動作周囲温度範囲	- 40 ~ + 85
保存周囲温度範囲	- 65 ~ + 150
総電源電流	4.5V ~ 12V
パッケージ熱抵抗 (J_A) (Note 4)	
8 ピン SOIC	150 /W
8 ピン MSOP	235 /W

± 5V 電気的特性 (Note 2)

特記のない限り、シングルエンド入力差動出力、 $T_A = 25$ 、 $A_V = +1$ 、 $V_S = \pm 5V$ 、 $V_{CM} = 0V$ 、 $R_F = R_G = 365$ 、 $R_L = 500$ 。
 太文字表記のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
AC Performance (Differential)						
SSBW	Small Signal -3 dB Bandwidth	$V_{OUT} = 0.5 V_{PP}$		400		MHz
LSBW	Large Signal -3 dB Bandwidth	$V_{OUT} = 2 V_{PP}$		380		MHz
	Large Signal -3 dB Bandwidth	$V_{OUT} = 4 V_{PP}$		320		MHz
	0.1 dB Bandwidth	$V_{OUT} = 0.5 V_{PP}$		90		MHz
	Slew Rate	4V Step (Note 6)	2000	3000		V/ μ s
	Rise/Fall Time	2V Step		1		ns
	Settling Time	2V Step, 0.1%		8		ns
V_{CM} Pin AC Performance (Common Mode Feedback Amplifier)						
	Common Mode Small Signal Bandwidth	V_{CM} Bypass Capacitor Removed		210		MHz
	Slew Rate	V_{CM} Bypass Capacitor Removed		200		V/ μ s
Distortion and Noise Response						
HD2	2 nd Harmonic Distortion	$V_O = 2 V_{PP}$, $f = 5$ MHz, $R_L = 800\Omega$		-92		dBc
		$V_O = 2 V_{PP}$, $f = 20$ MHz, $R_L = 800\Omega$		-78		
		$V_O = 2 V_{PP}$, $f = 70$ MHz, $R_L = 800\Omega$		-59		
HD3	3 rd Harmonic Distortion	$V_O = 2 V_{PP}$, $f = 5$ MHz, $R_L = 800\Omega$		-103		dBc
		$V_O = 2 V_{PP}$, $f = 20$ MHz, $R_L = 800\Omega$		-88		
		$V_O = 2 V_{PP}$, $f = 70$ MHz, $R_L = 800\Omega$		-50		
e_n	Input Referred Voltage Noise	$f \geq 1$ MHz		6.0		nV/ \sqrt{Hz}
i_n	Input Referred Noise Current	$f \geq 1$ MHz		1.5		pA/ \sqrt{Hz}
Input Characteristics (Differential)						
V_{OSD}	Input Offset Voltage	Differential Mode, $V_{ID} = 0$, $V_{CM} = 0$		1	± 4 ± 6	mV
	Input Offset Voltage Average Temperature Drift	(Note 10)		1.6		μ V/ $^{\circ}$ C
I_{BI}	Input Bias Current	(Note 9)	0	-8	-16	μ A
	Input Bias Current Average Temperature Drift	(Note 10)		9.6		nA/ $^{\circ}$ C
	Input Bias Difference	Difference in Bias Currents Between the Two Inputs		0.3		μ A
CMRR	Common Mode Rejection Ratio	DC, $V_{CM} = 0V$, $V_{ID} = 0V$	72	82		dBc
R_{IN}	Input Resistance	Differential		5		M Ω
C_{IN}	Input Capacitance	Differential		1		pF

± 5V 電気的特性 (Note 2) (つづき)

特記のない限り、シングルエンド入力差動出力、 $T_A = 25$ 、 $A_V = +1$ 、 $V_S = \pm 5V$ 、 $V_{CM} = 0V$ 、 $R_F = R_G = 365$ 、 $R_L = 500$ 。太文字表記のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
CMVR	Input Common Mode Voltage Range	CMRR > 53 dB	+3.1 -4.6	+3.2 -4.7		V
V_{CM} Pin Input Characteristics (Common Mode Feedback Amplifier)						
V _{OSC}	Input Offset Voltage	Common Mode, V _{ID} = 0		1	±5 ±8	mV
	Input Offset Voltage Average Temperature Drift	(Note 10)		25		μV/°C
	Input Bias Current	(Note 9)		-2		μA
	V _{CM} CMRR	V _{ID} = 0V, 1V Step on V _{CM} Pin, Measure V _{OD}	70	75		dB
	Input Resistance			25		kΩ
	Common Mode Gain	$\Delta V_{O,CM}/\Delta V_{CM}$	0.995	0.997	1.005	V/V
Output Performance						
	Output Voltage Swing	Peak to Peak, Differential	7.38 7.18	7.8		V
	Output Common Mode Voltage Range	V _{ID} = 0 V,	±3.69	±3.8		V
I _{OUT}	Linear Output Current	V _{OUT} = 0V	±63	±75		mA
I _{SC}	Short Circuit Current	Output Shorted to Ground V _{IN} = 3V Single Ended (Note 3)		±200		mA
	Output Balance Error	ΔV_{OUT} Common Mode / ΔV_{OUT} Differential, V _{OUT} = 1 V _{PP} Differential, f = 10 MHz		-68		dB
Miscellaneous Performance						
	Enable Voltage Threshold	Pin 7	2.0			V
	Disable Voltage Threshold	Pin 7			1.5	V
	Enable/Disable Time			10		ns
A _{VOL}	Open Loop Gain	Differential		70		dB
PSRR	Power Supply Rejection Ratio	DC, $\Delta V_S = \pm 1V$	74	90		dB
	Supply Current	R _L = ∞	18	20	24 27	mA
	Disabled Supply Current			1	1.2	mA

5V 電気的特性 (Note 2)

特記のない限り、シングルエンド入力差動出力、 $T_A = 25$ 、 $A_V = +1$ 、 $V_S = 5V$ 、 $V_{CM} = 2.5V$ 、 $R_F = R_G = 365$ 、 $R_L = 500$ 。太文字表記のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
SSBW	Small Signal -3 dB Bandwidth	R _L = 500Ω, V _{OUT} = 0.5 V _{PP}		350		MHz
LSBW	Large Signal -3 dB Bandwidth	R _L = 500Ω, V _{OUT} = 2 V _{PP}		330		MHz
	0.1 dB Bandwidth			60		MHz
	Slew Rate	2V Step (Note 6)		1500		V/μs
	Rise/Fall Time, 10% to 90%	1V Step		1		ns
	Settling Time	1V Step, 0.05%		12		ns
V_{CM} Pin AC Performance (Common Mode Feedback Amplifier)						
	Common Mode Small Signal Bandwidth			185		MHz
	Slew Rate			180		V/μs

5V 電気的特性 (Note 2) (つづき)

特記のない限り、シングルエンド入力差動出力、 $T_A = 25$ 、 $A_V = +1$ 、 $V_S = 5V$ 、 $V_{CM} = 2.5V$ 、 $R_F = R_G = 365$ 、 $R_L = 500$ 。
太文字表記のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
Distortion and Noise Response						
HD2	2 nd Harmonic Distortion	$V_O = 2 V_{PP}$, $f = 5$ MHz, $R_L = 800\Omega$		-89		dBc
		$V_O = 2 V_{PP}$, $f = 20$ MHz, $R_L = 800\Omega$		-88		
HD3	3 rd Harmonic Distortion	$V_O = 2 V_{PP}$, $f = 5$ MHz, $R_L = 800\Omega$		-85		dBc
		$V_O = 2 V_{PP}$, $f = 20$ MHz, $R_L = 800\Omega$		-70		
e_n	Input Referred Noise Voltage	$f \geq 1$ MHz		6.0		nV/√Hz
i_n	Input Referred Noise Current	$f \geq 1$ MHz		1.5		pA/√Hz
Input Characteristics (Differential)						
V_{OSD}	Input Offset Voltage	Differential Mode, $V_{ID} = 0$, $V_{CM} = 0$		1	± 4 ± 6	mV
	Input Offset Voltage Average Temperature Drift	(Note 10)		1.6		$\mu V/^\circ C$
I_{BIAS}	Input Bias Current	(Note 9)	0	-8	-16	μA
	Input Bias Current Average Temperature Drift	(Note 10)		9.5		nA/°C
	Input Bias Current Difference	Difference in Bias Currents Between the Two Inputs		0.3		μA
CMRR	Common-Mode Rejection Ratio	DC, $V_{ID} = 0V$	70	80		dBc
	Input Resistance	Differential		5		M Ω
	Input Capacitance	Differential		1		pF
V_{ICM}	Input Common Mode Range	CMRR > 53 dB	+3.1 +0.4	+3.2 +0.3		
V_{CM} Pin Input Characteristics (Common Mode Feedback Amplifier)						
	Input Offset Voltage	Common Mode, $V_{ID} = 0$		1	± 5 ± 8	mV
	Input Offset Voltage Average Temperature Drift			18.6		$\mu V/^\circ C$
	Input Bias Current			3		μA
	V_{CM} CMRR	$V_{ID} = 0$, 1V Step on V_{CM} Pin, Measure V_{OD}	70	75		dB
	Input Resistance	V_{CM} Pin to Ground		25		k Ω
	Common Mode Gain	$\Delta V_{O,CM}/\Delta V_{CM}$		0.991		V/V
Output Performance						
V_{OUT}	Output Voltage Swing	Peak to Peak, Differential, $V_S = \pm 2.5V$, $V_{CM} = 0V$	2.4	2.8		V
I_{OUT}	Linear Output Current	$V_{OUT} = 0V$ Differential	± 54	± 70		mA
I_{SC}	Output Short Circuit Current	Output Shorted to Ground $V_{IN} = 3V$ Single Ended (Note 3)		250		mA
CMVR	Common Mode Voltage Range	$V_{ID} = 0$, V_{CM} Pin = 1.2V and 3.8V	3.72	3.8		V
			1.23	1.2		
	Output Balance Error	ΔV_{OUT} Common Mode / ΔV_{OUT} Differential, $V_{OUT} = 1 V_{PP}$ Differential, $f = 10$ MHz		-65		dB
Miscellaneous Performance						
	Enable Voltage Threshold	Pin 7	2.0			V
	Disable Voltage Threshold	Pin 7			1.5	V
	Enable/Disable Time			10		ns
	Open Loop Gain	DC, Differential		70		dB

5V 電気的特性 (Note 2) (つづき)

特記のない限り、シングルエンド入力差動出力、 $T_A = 25$ 、 $A_V = +1$ 、 $V_S = 5V$ 、 $V_{CM} = 2.5V$ 、 $R_F = R_G = 365$ 、 $R_L = 500$ 。太文字表記のリミット値は全動作温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 8)	Typ (Note 7)	Max (Note 8)	Units
PSRR	Power Supply Rejection Ratio	DC, $\Delta V_S = \pm 0.5V$	72	77		dB
I_S	Supply Current	$R_L = \infty$	16.5	19	23.5 26.5	mA
I_{SD}	Disabled Supply Current			1	1.2	mA

Note 1: 絶対最大定格とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。「動作定格」は、デバイスの意図する動作条件を示し、特定の性能を保証するものではありません。仕様および試験条件の保証値に関して「電気的特性」を参照してください。

Note 2: 「電気的特性」の値は、記載温度における工場出荷試験条件にのみ適用されます。工場試験条件で生じる自己発熱は、 $T_J = T_A$ となる程度にきわめてわずかです。「電気的特性」には、自己発熱により $T_J > T_A$ となる条件下で保証されるパラメータ性能値は記載されていません。

Note 3: 最大出力電流 (I_{OUT}) はデバイスの最大消費電力で決まります。

Note 4: 最大許容消費電力 P_D は、 $T_{J(MAX)}$ 、 J_A 、 T_A の関数です。任意の周囲温度での最大許容電力損失は、 $P_D = (T_{J(MAX)} - T_A) / J_A$ です。すべての数値は 2 層プリント基板に直接ハンダ付けされたパッケージに適用されます。

Note 5: 人体モデルでは 1.5k Ω と 100pF が直列接続され、マシン・モデルでは 0 Ω と 200pF が直列接続されます。

Note 6: スルー・レートは立ち上がり / 立ち下がりエッジの平均値です。

Note 7: 代表値は最も標準的な数値です。

Note 8: リミット値は 25 $^{\circ}C$ で全数テストされます。動作温度範囲内のリミット値は、統計的品質管理 (SQC: Statistical Quality Control) 手法を使用した相関関係に基づいて保証されます。

Note 9: 負の入力電流にはデバイスから流れ出る電流が含まれます。

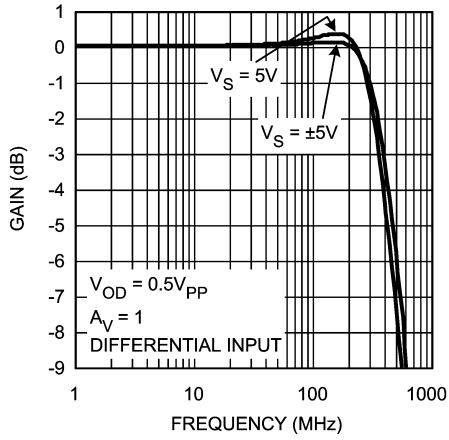
Note 10: ドリフトは、2 点の温度間で生じたパラメータの変化量を、2 点の温度間の温度差で除したものです。

Note 11: パラメータは設計保証値です。

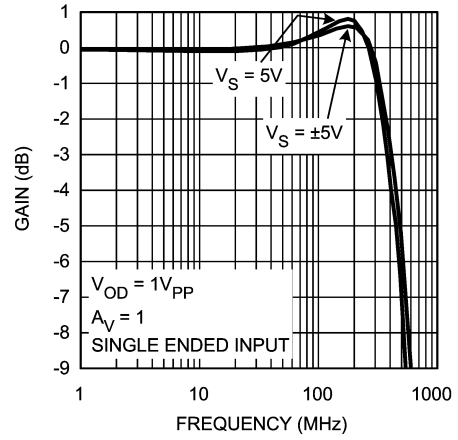
代表的な性能特性

特記のない限り、 $T_A = 25$ 、 $V_S = \pm 5V$ 、 $R_L = 500$ 、 $R_F = 365$ 、 $A_V = +1$ 。

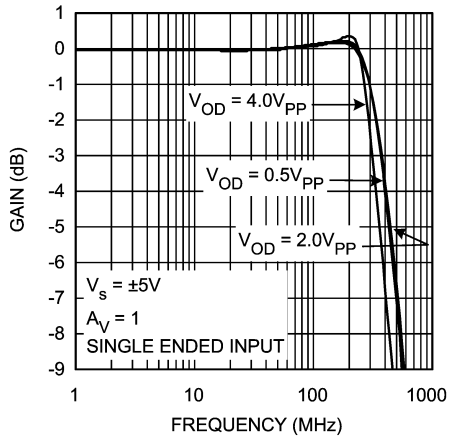
Frequency Response vs. Supply Voltage



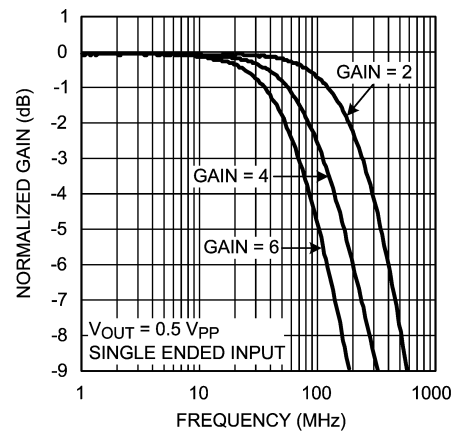
Frequency Response



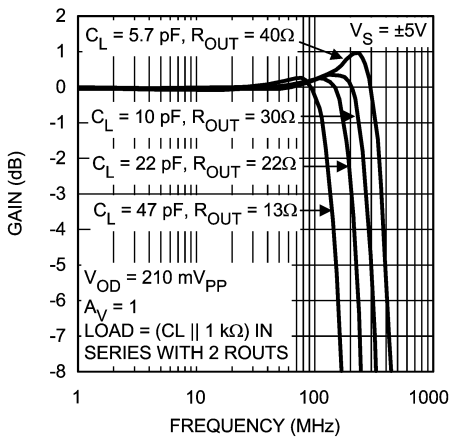
Frequency Response vs. V_{OUT}



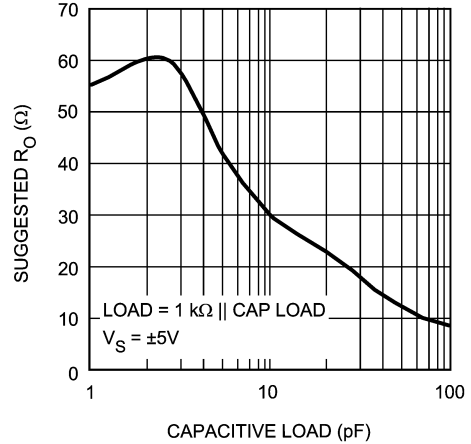
Frequency Response vs. Gain



Frequency Response vs. Capacitive Load



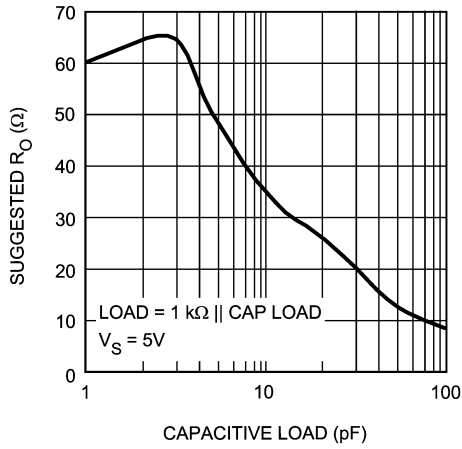
Suggested R_{OUT} vs. Cap Load



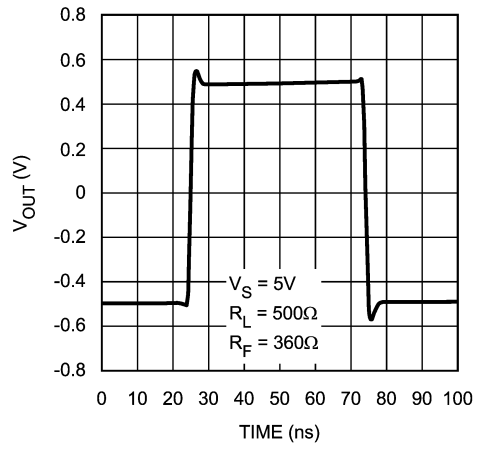
代表的な性能特性 (つづき)

特記のない限り、 $T_A = 25$ 、 $V_S = \pm 5V$ 、 $R_L = 500$ 、 $R_F = 365$ 、 $A_V = +1$ 。

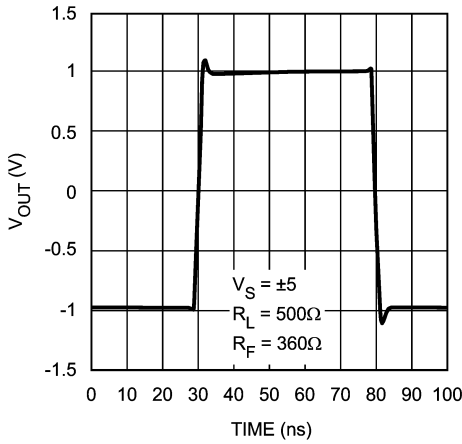
Suggested R_{OUT} vs. Cap Load



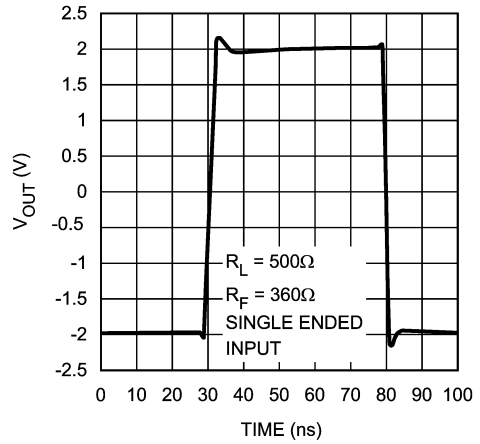
1 V_{PP} Pulse Response Single Ended Input



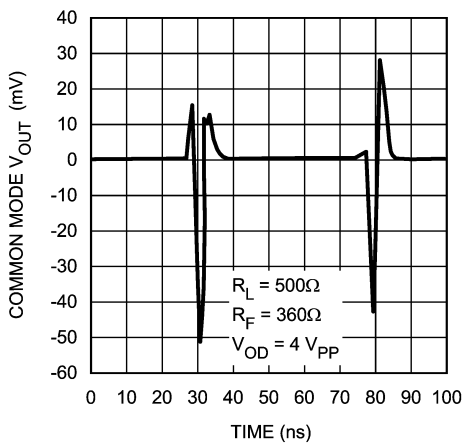
2 V_{PP} Pulse Response Single Ended Input



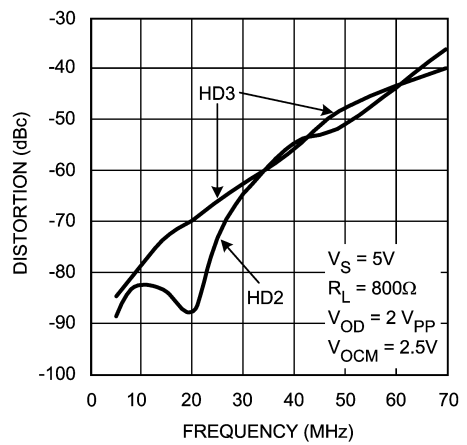
Large Signal Pulse Response



Output Common Mode Pulse Response



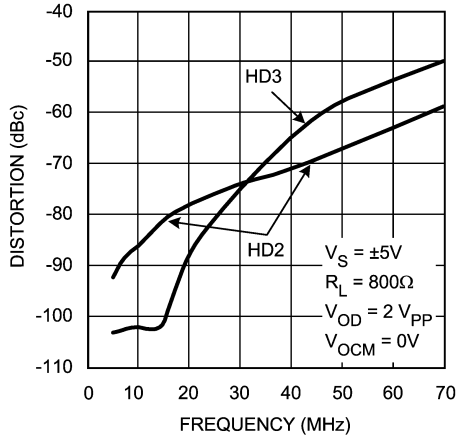
Distortion vs. Frequency Single Ended Input



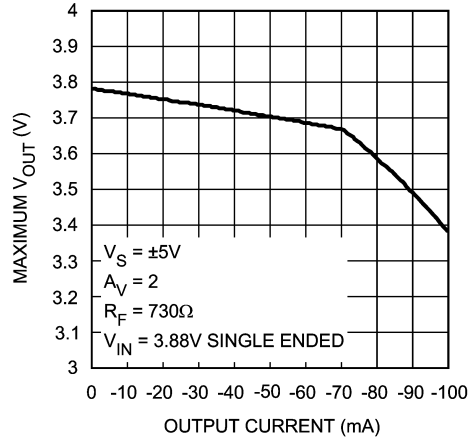
代表的な性能特性 (つづき)

特記のない限り、 $T_A = 25$ 、 $V_S = \pm 5V$ 、 $R_L = 500$ 、 $R_F = 365$ 、 $A_V = +1$ 。

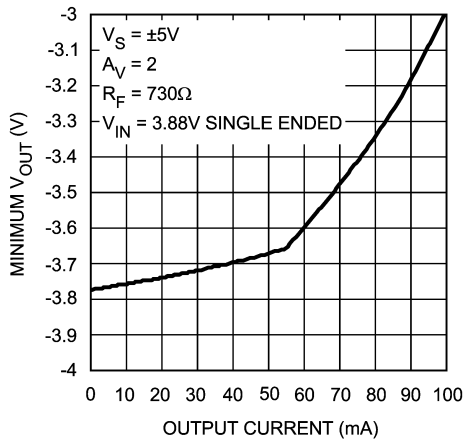
Distortion vs. Frequency Single Ended Input



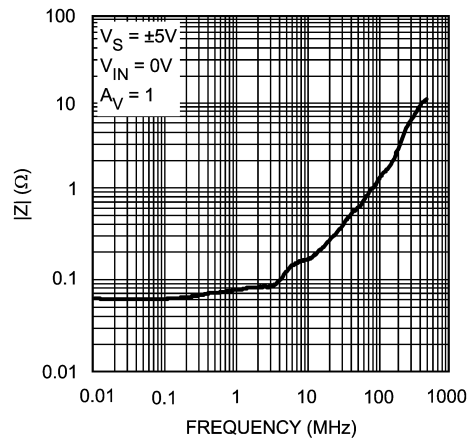
Maximum V_{OUT} vs. I_{OUT}



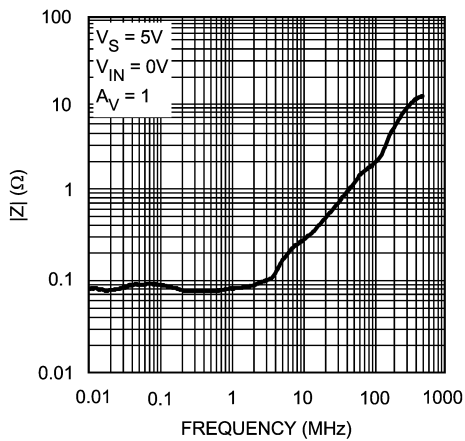
Minimum V_{OUT} vs. I_{OUT}



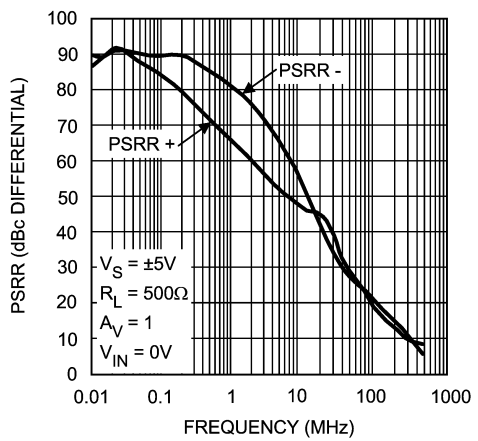
Closed Loop Output Impedance



Closed Loop Output Impedance

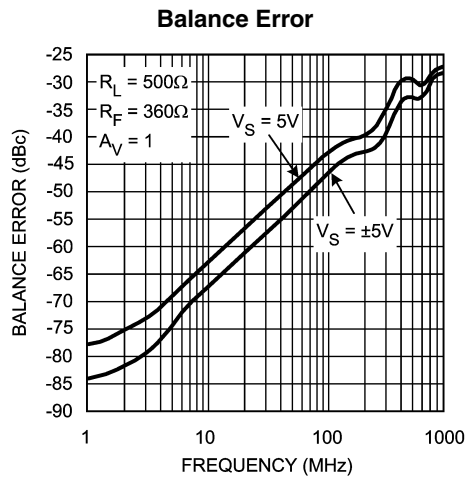
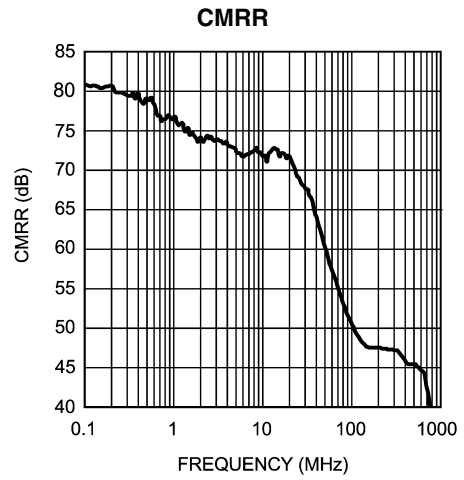
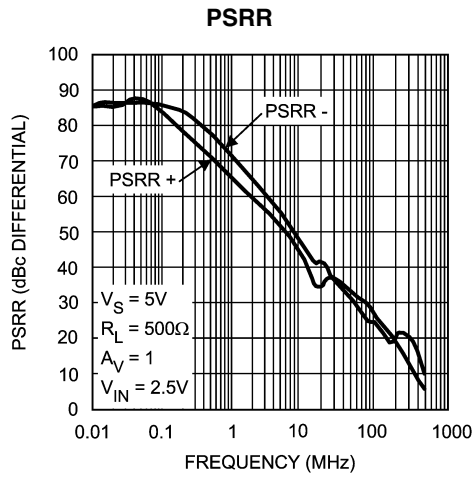


PSRR

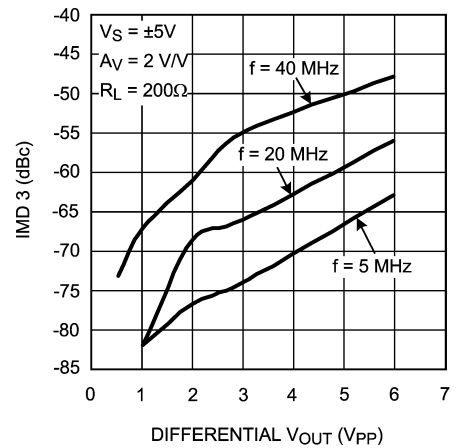


代表的な性能特性 (つづき)

特記のない限り、 $T_A = 25$ 、 $V_S = \pm 5V$ 、 $R_L = 500$ 、 $R_F = 365$ 、 $A_V = +1$ 。



3rd Order Intermodulation Products vs. V_{OUT}



アプリケーション情報

LMH6550 は、広帯域差動信号を低歪率で増幅する目的で回路設計された完全差動型アンプです。LMH6550 は最高の平衡特性および歪率特性を求めて完全に集積化されていますが、機能的には3つのチャンネルがあります。3つのチャンネルのうち2つは V^+ と V^- の信号経路チャンネルで、反転型オペアンプと同様の機能を持ち、主要な信号経路になっています。3番目のチャンネルは同相帰還回路です。この回路は、出力を同相に設定すると同時に、2つの入力チャンネルの一方のみがドライブされている場合でも、 V^+ 出力と V^- 出力が同じ大きさで逆の位相になるように2つの出力をドライブします。同相帰還回路を使用すると、シングルエンド入力から差動出力への変換動作を実現できます。

LMH6550 は、外付け抵抗でゲインを設定できる電圧帰還型アンプです。出力同相電圧は V_{CM} 端子で設定します。この端子は低インピーダンスの基準電圧でドライブし、 $0.1\mu\text{F}$ のセラミック・コンデンサでグラウンドにバイパスします。 V_{CM} に結合されるすべての信号は出力に伝送されるため、アンプのダイナミック・レンジが低下します。

LMH6550 は、未使用時に消費電力を低減するために ENABLE 端子を備えています。ENABLE 端子は開放状態の場合、High レベルになります。この端子を使用しない場合は、開放状態のまま構いません。アンプがディスエーブル状態になると、アンプの出力段は高インピーダンス状態に移行します。この状態になると、帰還抵抗とゲイン設定抵抗によって回路のインピーダンスが設定されます。このため、ディスエーブル状態では入出力間の分離度が低下します。

完全差動動作

LMH6550 が最高の性能を発揮するのは、両電源を使用し、完全差動構成になっている場合です。推奨回路については、Figure 1 および Figure 3 を参照してください。

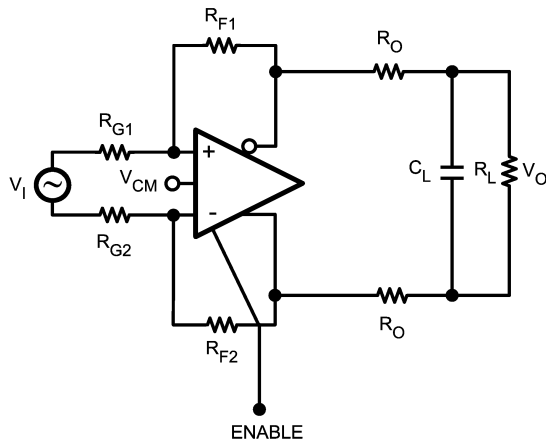


FIGURE 1. Typical Application

Figure 1 に示す回路は、A/D コンバータをドライブするときに使用できるような標準的な差動アプリケーションです。この回路の閉ループ・ゲインは、次式で求められます ($A_V = V_{OUT} / V_{IN} = R_F / R_G$)。このデータシートに記載したすべてのアプリケーションでは、 V_{IN} は信号源から回路に供給される電圧とみなしています。差動信号の場合は両入力での信号の差 (個々の信号の大きさの2倍) になりますが、シングルエンド入力の場合はドライブされる入力信号そのものになります。

抵抗 R_O は、負荷 C_L が存在する場合 (A/D コンバータでは標準的)、アンプを安定状態に保つのに役立ちます。抵抗 R_F 、 R_G 、 R_O のマッチング特性が良好でボード・レイアウトが厳密に対称になっていることを前提にすると、差動信号を入力した場合、LMH6550 は優れた歪率特性、平衡特性、同相除去特性を示します。直流での CMRR が 80dB を超えているため、ほとんどの回路の直流および低周波数での CMRR を決める主要因は、外付け抵抗とボードのトレース抵抗になります。周波数が高い場合は、ボード・レイアウトの対称性も要因になります。精度が 0.1% 以上の高精度抵抗の使用を推奨します。慎重なボード・レイアウトも必要です。

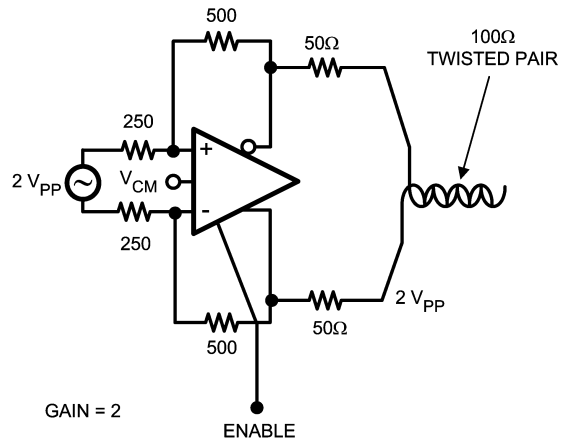
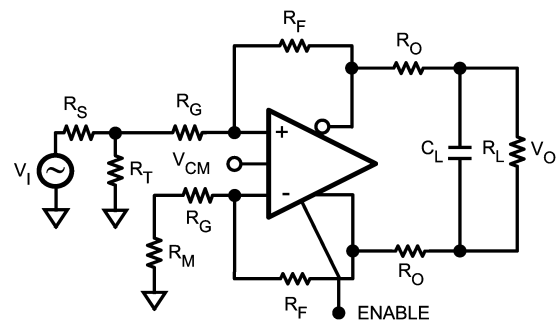


FIGURE 2. Fully Differential Cable Driver

最大 $15V_{PP}$ の差動出力電圧振幅と 80mA の線形ドライブ電流により、LMH6550 は、Figure 2 に示すような優れたケーブル・ドライバを構成します。LMH6550 は、シングルエンドの信号源から差動ケーブルをドライブする用途にも適しています。



$$\text{SET } R_M = R_T \parallel R_S$$

$$\text{SET } R_T = \frac{1}{\left(\frac{1}{R_S} - \frac{1}{R_{IN}}\right)} \quad R_{IN} = \frac{R_G}{1 - \left(\frac{R_F}{R_F + R_G}\right)}$$

FIGURE 3. Single Ended in Differential Out

アプリケーション情報 (つづき)

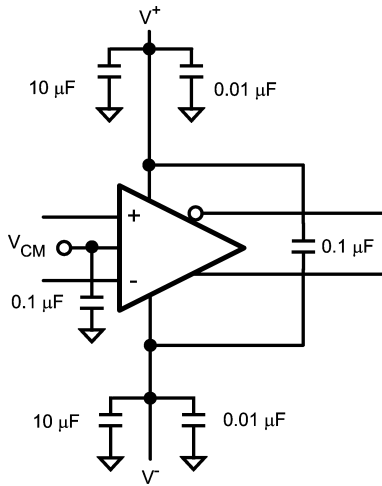


FIGURE 4. Split Supply Bypassing Capacitors

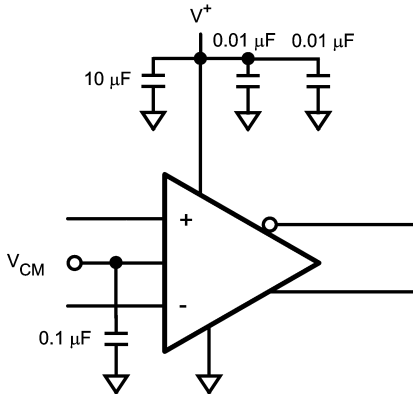


FIGURE 5. Single Supply Bypassing Capacitors

LMH6550 には、Figure 4 および Figure 5 に示すように電源バイパス・コンデンサが必要です。0.01 μF と 0.1 μF のコンデンサは、リードレスの表面実装型セラミック・コンデンサとし、電源端子から 3mm 以内に配置します。表面実装型コンデンサは、グラウンド・プレーンに直接実装します。トレースの厚さが不足していたりスルーホール径が小さいと、バイパス・コンデンサの効果が減少します。また、この 2 つの図は、V_{CM} 端子とグラウンド間にもコンデンサがあることを示しています。V_{CM} 端子はバッファへの高インピーダンス入力であり、ここで同相出力電圧を設定します。この入力にノイズがあると、そのまま出力に伝達されます。同相出力ノイズは、ダイナミック・レンジの減少、CMRR の低下、平衡特性の低下、歪率の増加の原因になります。V_{CM} 端子は、未使用の場合でも必ずバイパスしてください。チップ上には内部抵抗分割器があり、同相出力電圧を 2 つの電源端子電圧の中間点に設定しています。この端子の入力インピーダンスは、約 25k です。別の同相出力電圧が必要な場合は、ノイズのない高精度の基準電圧源でこの端子をドライブしてください。

シングルエンド入力差動出力

LMH6550 は、アクティブ・バランス変圧器として優れた性能を発揮します。Figure 3 に、LMH6550 を使用してシングルエンドの信号源から差動信号を生成する代表的なアプリケーションを示します。シングルエンド入力を使用すると、差動入力の場合と比較してゲインが 1/2 になることに注意してください。このため、閉ループ・ゲインは次式のようなります。ゲイン = A_V = 0.5 * R_F/R_G

シングルエンド入力動作では、同相出力電圧は、完全差動モードの場合と同様に V_{CM} 端子で設定します。さらにこのモードでは、未使用の差動入力端子に存在しない信号を同相帰還回路が再生する必要がありません。「Balance Error (平衡誤差)」という表題の特性図は、この処理の効果を測定した結果を表しています。同相帰還回路には、シングルエンド入力を使用して平衡出力を確保する役割があります。平衡誤差は、同相出力電圧に結合している入力信号の大きさとして定義されます。この値は、不要な同相出力振幅を入力信号で割った値として測定します。平衡誤差の原因は、チャンネル間ゲイン誤差または位相誤差です。いずれの条件によっても同相シフトが発生します。「Balance Error」という表題のグラフは、アンプの動作の中で最も要求の厳しい動作モードであるシングルエンド入力での平衡誤差の測定結果を示しています。

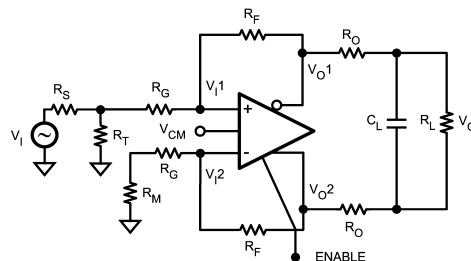
この動作モードでは、電源端子と V_{CM} 端子間のバイパスも重要です。バイパスの推奨方法については、前述の「完全差動動作」を参照してください。電源の推奨バイパス構成については、Figure 4 および Figure 5 も参照してください。

単一電源動作

LMH6550 の入力段には、シングルエンド入力時の単一電源動作に対応するために、低電圧側に 0.7V の組み込みオフセットがあります。Figure 6 に示すように、入力同相電圧は同相出力電圧より小さくなります。同相入力電圧は、帰還回路網を介してデバイス出力から流れる電流で設定します。同相入力電圧範囲は 0.4V ~ 3.2V であるため、ゲイン設定には制約があります。この制約に対する解決策としては、入力信号の AC 結合、両電源の使用、増幅段ゲインの制限などがあります。単一電源での AC 結合を Figure 7 に示します。

下の Figure 6 では、閉ループ・ゲイン = A_V = R_F/R_G になっています。シングルエンド入力差動出力動作では、V_{IN} はシングルエンド方式で測定されるのに対して、V_{OUT} は差動方式で測定されることに注意してください。つまり、2 つの出力端子を別個に測定した場合、実際にはゲインが 1/2 になる (6dB 小さくなる) という意味です。

$$V_{ICM} = \text{同相入力電圧} = (V_{IN1} + V_{IN2})/2$$



$$*V_{OCM} = \frac{V_{O1} + V_{O2}}{2} \quad *BY\ DESIGN$$

$$V_{ICM} = V_{OCM} * \frac{(R_G + R_M)}{(R_G + R_M + R_F)} \approx \frac{V_{OCM}}{1 + A_V} \quad \text{WHERE } R_M \ll R_G$$

FIGURE 6. Relating A_V to Input/Output Common Mode Voltages

アプリケーション情報 (つづき)

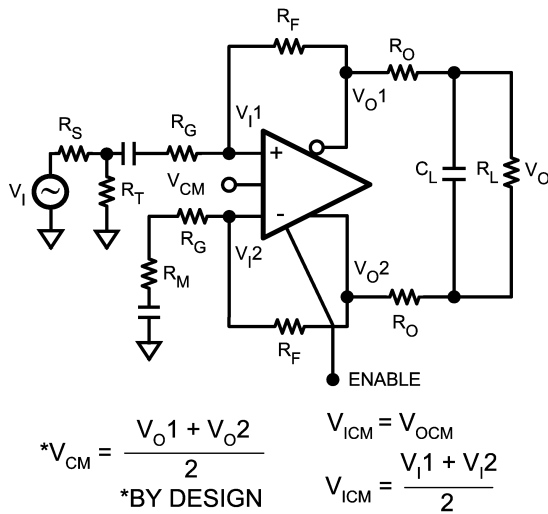


FIGURE 7. AC Coupled for Single Supply Operation

A/D コンバータのドライブ

A/D コンバータには、難易度の高い負荷条件があります。通常、この負荷条件は高インピーダンスの入力で、その容量成分が大きく変動する場合があります。これに加えて、通常はスイッチトキャパシタ回路やサンプル/ホールド回路に伴う電流スパイクが発生します。Figure 8 に、A/D コンバータをドライブするための代表的な回路を示します。56 の抵抗 2 本により、A/D コンバータの容量性負荷をアンプから分離して安定性を確保します。さらに、これらの抵抗はローパス・フィルタの一部を形成しており、これによってアンチ・エイリアス機能やノイズ低減機能が得られます。39pF のコンデンサ 2 つは、A/D コンバータ内部のスイッチング回路から発生する電流スパイクを平滑化する役割を果たし、A/D コンバータのローパス・フィルタ処理における重要な部品になっています。Figure 8 の回路では、フィルタのカットオフ周波数は $1/(2 * 56 * (39pF + 14pF)) = 53MHz$ (サンプル周波数よりわずかに低い周波数) になります。A/D コンバータの入力容量は入力フィルタの周波数応答の要因として考える必要があるため、差動入力にすると、実質的な入力容量は 2 倍になります。さらに、Figure 8 に示すように、多くの A/D コンバータの入力容量はクロック周波数に応じて変動します。詳細については、使用する特定の A/D コンバータのデータシートを参照してください。

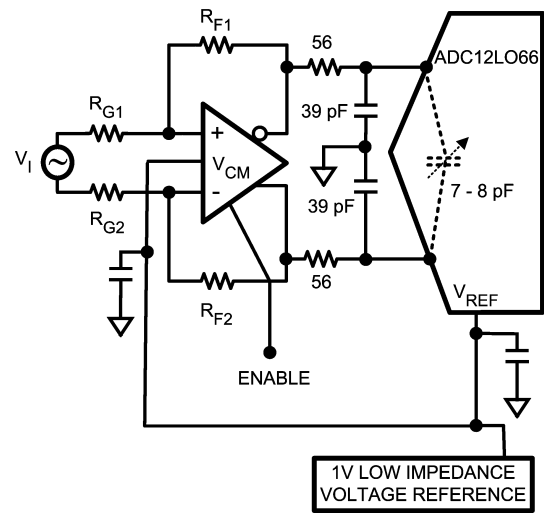


FIGURE 8. Driving an ADC

アンプと A/D コンバータは、可能な限り近くに配置してください。どちらのデバイスも、フィルタの構成部品はすぐ近くに配置する必要があります。アンプ側では、出力トレース上での寄生負荷の発生を最小限に抑える必要があり、A/D コンバータはその入力トレース上で結合する可能性がある高周波ノイズの影響を受けやすい性質があります。一部の高性能 A/D コンバータの入力段では、その帯域幅がサンプリング・レートの数倍になっています。このサンプリング処理の結果、入力段に供給されるすべての入力信号は、ナイキスト周波数範囲 (直流 ~ $F_s/2$) 内にミックス・ダウンされます。サブサンプリング処理とそれによって使用のシステムに必要なフィルタ処理が課される要件の詳細については、AN-236 を参照してください。

変圧器の使用

変圧器はインピーダンス変換だけでなく、シングルエンドから差動への変換や差動からシングルエンドへの変換にも有用です。Figure 9 に示すように、変圧器を使用すると、アンプの出力電圧を昇圧してインピーダンスのきわめて高い負荷をドライブすることができます。Figure 11 には、出力電圧を降圧して低インピーダンスの負荷をドライブする逆のケースを示します。

変圧器には、使用する変圧器を選定する前に検討が必要な制限事項があります。差動アンプと比較した場合、変圧器の最も重大な制限事項は、直流成分を通過させることができないことと平衡誤差です (これが原因で歪みやゲイン誤差が発生します)。ほとんどのアプリケーションでは、LMH6550 は十分な出力振幅特性およびドライブ電流特性を示すため、変圧器が望ましいことはありません。変圧器は、主に差動回路と 50 のシングルエンド・テスト装置間のインタフェースとして診断テストを簡素化する目的で使用します。

アプリケーション情報 (つづき)

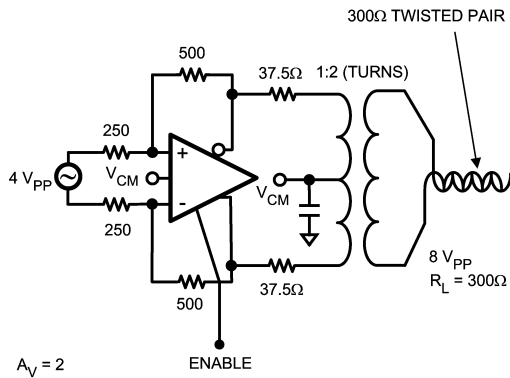


FIGURE 9. Transformer Out High Impedance Load

$$V_L = \frac{V_{IN} * A_V * N}{\left(\frac{2 R_{OUT} * N^2}{R_L} + 1 \right)}$$

WHERE V_{IN} = DIFFERENTIAL INPUT VOLTAGE

N = TRANSFORMER TURNS RATIO = $\left(\frac{\text{SECONDARY}}{\text{PRIMARY}} \right)$

A_V = CLOSED LOOP AMPLIFIER GAIN

R_{OUT} = SERIES OUTPUT MATCHING RESISTOR

R_L = LOAD RESISTOR

V_L = VOLTAGE ACROSS LOAD RESISTOR

FIGURE 10. Calculating Transformer Circuit Net Gain

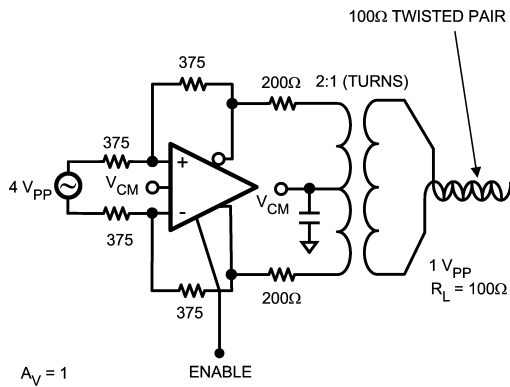


FIGURE 11. Transformer Out Low Impedance Load

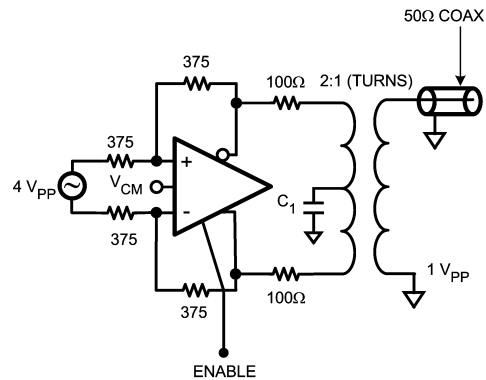


FIGURE 12. Driving 50 Ohm Test Equipment
GAIN = 1
 C_1 IS NOT REQUIRED IF V_{CM} = GROUND

容量性負荷

「A/D コンバータのドライブ」で説明したように、容量性負荷は値の小さい抵抗によりアンプ出力から分離する必要があります。このことは、特に 500 以上の抵抗成分が負荷に含まれる場合に当てはまります。代表的な A/D コンバータの容量成分は約 10pF であり、抵抗成分は 1000 以上です。50 の同軸や 100 のツイスト・ペアなどの伝送線路をドライブする場合は、マッチング抵抗を使用すれば、その結果生じる容量は十分に分離できます。その他のアプリケーションについては、「代表的な性能特性」の「Suggested R_{OUT} vs. Cap Load」のグラフを参照してください。

消費電力

LMH6550 は、形状因子の小さい標準の SOIC パッケージで最高の速度と性能が得られるよう最適化されており、本来は 2 チャネルのアンプです。最大の出力ドライブ能力と最高の性能を確保するため、サーマル・シャットダウン回路は内蔵していません。このため、全体的な消費電力が原因で T_{IMAX} を超えることが決まらないように確認することが最も重要です。

LMH6550 の最大消費電力は次の手順により求められます。

1. 待機時 (無負荷時) 消費電力を求めます。 $P_{AMP} = I_{CC} * (V_S)$ ここで、 $V_S = V^+ - V^-$ です。 (V_{OCM} が中点電位でない場合は、帰還回路網を流れる電流も考慮してください。)
2. それぞれの出力段で消費される電力の RMS 値を求めます。 $P_D (rms) = rms ((V_S - V_{OUT}^+) * I_{OUT}^+) + rms ((V_S - V_{OUT}^-) * I_{OUT}^-)$ ここで V_{OUT} および I_{OUT} は、差動アンプをシングルエンドのアンプであるとみなして差動アンプの出力端子で測定した電圧および電流であり、 V_S は全体の電源電圧を表します。
3. RMS 電力の合計を求めます。 $P_T = P_{AMP} + P_D$

与えられた温度条件で LMH6550 のパッケージが放熱できる最大電力は、次の式で得られます。

$P_{MAX} = (150 - T_{AMB}) / J_A$ 。ここで T_{AMB} は周囲温度 ()、 J_A は与えられたパッケージの接合部・周囲間熱抵抗 (/W) です。SOIC パッケージの J_A は 150 /W、MSOP パッケージの J_A は 235 /W です。

NOTE: V_{CM} が 0V でない場合は、帰還回路網を流れる待機時電流が発生します。この電流は放熱計算の対象にして、アンプの自己消費電力に加算する必要があります。

アプリケーション情報 (つぎ)

ESD 保護

LMH6550のすべての端子には静電破壊(ESD)に対する保護回路が内蔵されています。LMH6550は人体モデルで2000V、マシン・モデルで200Vまでの放電事象に対して耐圧を持っています。閉ループ動作の状態ではESDダイオードは回路性能にはほとんど影響を与えません。しかし、条件によってはESDダイオードの存在が顕在化する場合があります。LMH6550の電源の切断時にLMH6550が大信号でドライブされると、ESDダイオードが導通します。ESDダイオードを流れる電流は、電源端子を通してチップから流れ出るか、またはデバイス内部を流れます。このため、入力端子に大信号が印加された状態でチップの電源が投入される可能性があります。電力を節約しながら予想外の動作を防止するには、シャットダウン・モードを使用するのも1つの方法です。

基板レイアウト

LMH6550は非常に性能の高いアンプです。差動回路構成の利点を最大限に活用するには、ボード・レイアウトと部品の選定がきわめて重要です。回路基板には、低インダクタンスのグラウンド・プレーンと十分にバイパスされた幅の広い電源トレースが必要です。外付け部品には、リードレスの表面実装型を使用します。帰還回路網の配線は短くして、出力マッチング抵抗には高精度抵抗(0.1%)を使用します。出力マッチング抵抗は、電源バイパス・コンデンサの場合と同様にアンプから3~4mmの範囲内に配置してください。LMH730154評価ボードは、好適なレイアウト技法の一例を示したものです。評価ボードはナショナル セミコンダクターのWebサイトにある製品フォルダから無償で入手できます。

LMH6550はアンプ入力の寄生容量に影響を受けやすく、程度は低いものの出力の寄生容量にも影響を受けます。アンプの真下や R_F および R_G の真下にはグラウンドと電源の配線パターンを配置しないでください。

どのような差動信号経路の場合でも、対称性は非常に重要です。小規模の非対称性であっても、歪みや平衡誤差につながります。

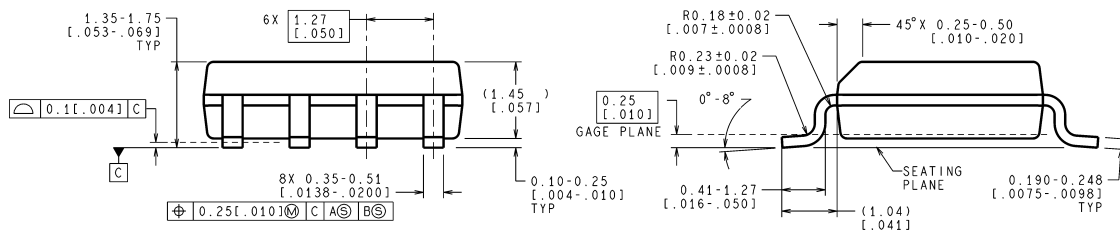
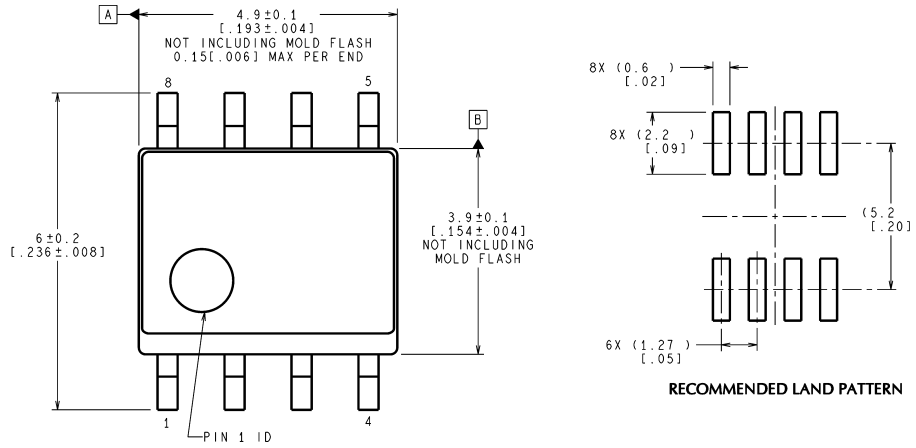
評価ボード

適正な高周波レイアウトを行うには、電源トレースとグラウンド・トレースを反転入力ピンと出力ピンから離しておきます。これらのノードの寄生容量(対グラウンド)は、周波数応答にピークをつくらせたり、回路発振を起こしたりする原因となります(「アプリケーション・ノートOA-15」を参照)。高周波用レイアウトの基準として、またデバイスの試験や特性測定の補助手段として、次の評価ボードの利用を推奨します。

デバイス	パッケージ	評価ボード部品番号
LMH6550MA	SOIC	LMH730154

ナショナル セミコンダクター社にデバイスのサンプルをお申し込みになれば、評価ボードを無償で提供します。

外形寸法図 特記のない限り inches (millimeters)

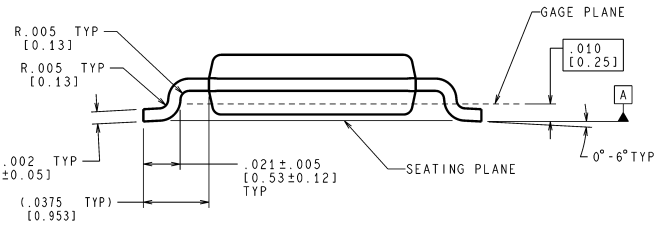
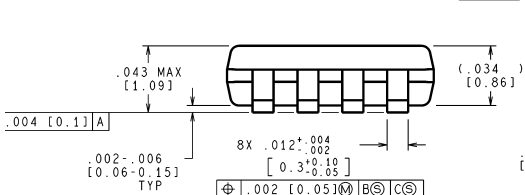
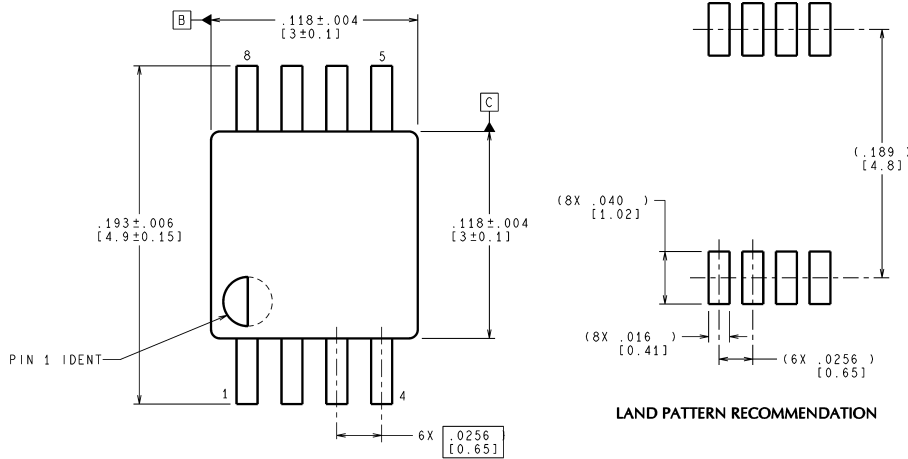


CONTROLLING DIMENSION IS MILLIMETER
VALUES IN [] ARE INCHES
DIMENSIONS IN () FOR REFERENCE ONLY

M08A (Rev K)

8-Pin SOIC
NS Package Number M08A

単位は millimeters



CONTROLLING DIMENSION IS INCH
VALUES IN [] ARE MILLIMETERS

MUA08A (Rev E)

8-Pin MSOP
NS Package Number MUA08A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上