

# LMK02002

*LMK02002 Precision Clock Conditioner with Integrated PLL*



Literature Number: JAJSAU4

## LMK02002

### PLL 内蔵高精度クロック・コンディショナ

#### 概要

LMK02002 高精度クロック・コンディショナは、基準クロックのジッタ・クリアリング / コンディショニング、分周、分配機能を組み合わせたものです。このデバイスは高性能インテジャ- N フェーズ・ロック・ループ (PLL) と 4 個の LVPECL クロック出力分配ブロックを集積化しています。

各クロック分配ブロックには、プログラマブルな分周器、位相同期回路、遅延調整回路、クロック出力マルチプレクサ、および LVPECL 出力バッファがあります。このような構成によって、基準クロックと整数関係でかつ位相調整された複数のコピーを、8 つのシステム・コンポーネントに分配できます。

このクロック・コンディショナは 48 ピンの LLP パッケージで提供され、フットプリントは同一ファミリの他のクロック用デバイスと互換性があります。

#### 特長

20fs 追加ジッタ

- 224dBc/Hz と卓越した正規化位相ノイズ特性のインテジャ- N PLL を内蔵

1 ~ 800MHz のクロック出力周波数範囲

4LVPECL クロック出力

各クロック出力ごとの専用デバウンスと遅延ブロック

ピン互換のクロック用デバイス・ファミリ

3.15 ~ 3.45V 動作

パッケージ：48 ピン LLP (7.0 × 7.0 × 0.8mm)

#### 対象アプリケーション

データ・コンバータ用クロック

ネットワーク、SONET/SDH、DSLAM

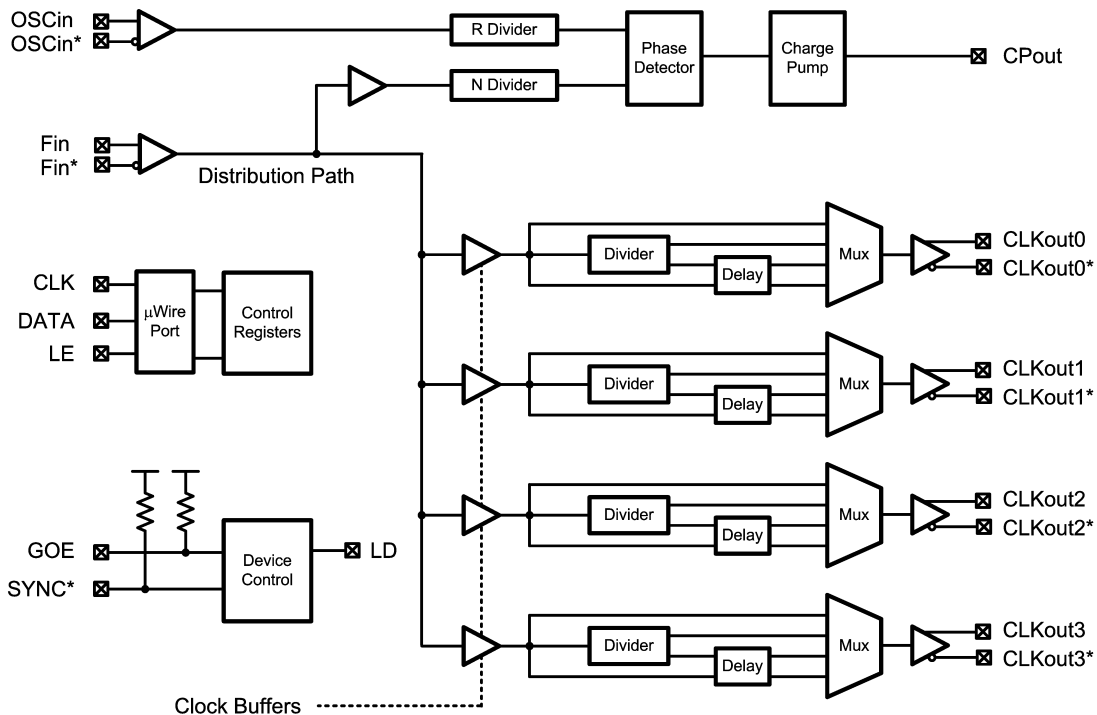
ワイヤレス・インフラ

医療機器

試験・計測機器

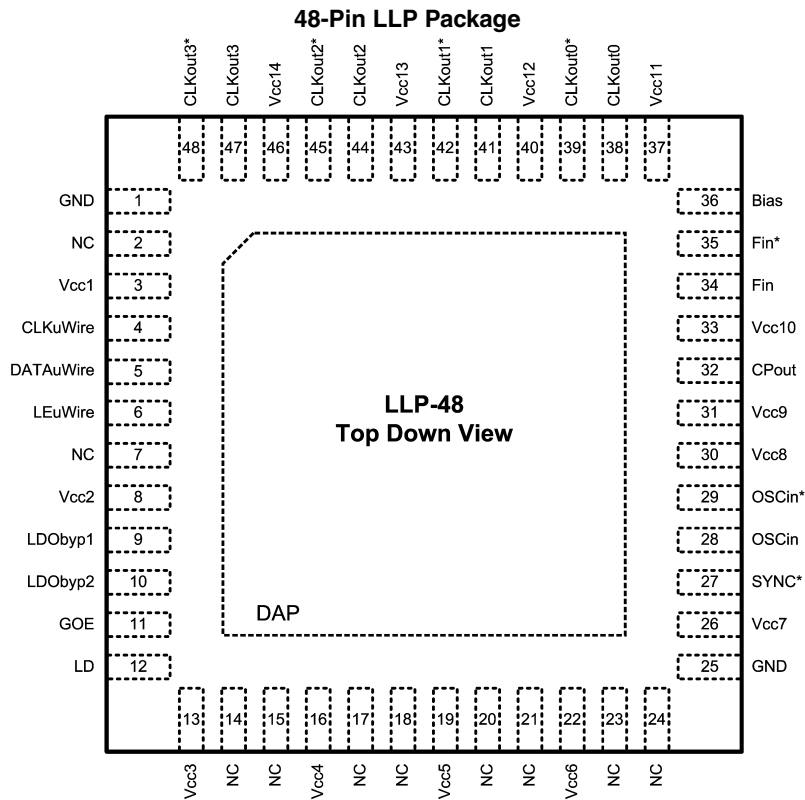
航空宇宙

#### ブロック図



TRI-STATE® はナショナル・セミコンダクターの登録商標です。

ピン配置図



ピン説明

ピン番号	ピン名称	入出力	説明
1, 25	GND	-	グラウンド
2, 7, 14, 15, 17, 18, 20, 21, 23, 24	NC	-	これらのピンは未接続
3, 8, 13, 16, 19, 22, 26, 30, 31, 33, 37, 40, 43, 46	Vcc1, Vcc2, Vcc3, Vcc4, Vcc5, Vcc6, Vcc7, Vcc8, Vcc9, Vcc10, Vcc11, Vcc12, Vcc13, Vcc14	-	電源
4	CLKuWire	I	MICROWIRE クロック入力
5	DATAuWire	I	MICROWIRE データ入力
6	LEuWire	I	MICROWIRE ラッチ・イネーブル入力
9, 10	LDObyp1, LDObyp2	-	LDO バイパス
11	GOE	I	グローバル出力イネーブル
12	LD	O	ロック検出およびテスト出力
27	SYNC*	I	グローバル・クロック出力同期
28, 29	OSCin, OSCin*	I	オシレータ・クロック入力 (AC 結合が必要)
32	CPout	O	チャージポンプ出力
34, 35	Fin, Fin*	I	周波数入力 (AC 結合が必要)
36	Bias	I	バイアス・バイパス
38, 39	CLKout0, CLKout0*	O	LVPECL クロック出力 0
41, 42	CLKout1, CLKout1*	O	LVPECL クロック出力 1
44, 45	CLKout2, CLKout2*	O	LVPECL クロック出力 2
47, 48	CLKout3, CLKout3*	O	LVPECL クロック出力 3
DAP	DAP	-	ダイ・アタッチ・パッドはグラウンドに接続してください。

### 絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

パラメータ	記号	定格	単位
電源電圧	$V_{CC}$	- 0.3 ~ 3.6	V
入力電圧	$V_{IN}$	- 0.3 ~ ( $V_{CC} + 0.3$ )	V
保存温度範囲	$T_{STG}$	- 65 ~ + 150	
許容リード温度 (ハンダ付け 4 秒)	$T_L$	+ 260	
最大接合部温度	$T_J$	125	

### 推奨動作条件

パラメータ	記号	最小値	代表値	最大値	単位
周囲温度	$T_A$	- 40	25	85	
電源電圧	$V_{CC}$	3.15	3.3	3.45	V

**Note 1:** 絶対最大定格は、IC に破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことを意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これらを超えた条件ではこのデバイスを使用しないように注意してください。

**Note 2:** このデバイスは、静電気放電 (ESD) の扱いに注意が必要な高性能集積回路です。このデバイスは、静電気放電保護の施された作業環境でのみ扱ってください。デバイスの定格は、HBM-ESD > 2 kV、MM-ESD > 200V、CDM-ESD > 1.2kV です。

### パッケージ熱抵抗

Package	$\theta_{JA}$	$\theta_{J-PAD}$ (Thermal Pad)
48-Lead LLP (Note 3)	27.4° C/W	5.8° C/W

**Note 3:** この仕様は、4 層 JEDEC 基板上で、ダイ・アタッチ・パッドと埋め込み銅箔プレーンが 16 個の熱スルーホールによって接続されていることを前提としています。これらのスルーホールは、LLP の熱性能向上に重要な役割を果たします。基板のレイアウトでは、可能な限り多くのスルーホールを使用することを推奨します。

### 電気的特性 (Note 4)

(指定しない限り、 $V_{CC} = 3.15V$ 、 $V_{CC} = 3.45V$ 、 $T_A = -40$ 、 $T_A = 85$ 、差動入力 / 出力を前提。代表値は、 $V_{CC} = 3.3V$ 、 $T_A = 25$  で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>Current Consumption</b>						
$I_{CC}$	Power Supply Current (Note 5)	Entire device; CLKout0 & CLKout3 enabled in Bypass Mode		159		mA
		Entire device; All Outputs Off (no emitter resistors placed)		70		
$I_{CCPD}$	Power Down Current	POWERDOWN = 1		1		mA
<b>Reference Oscillator</b>						
$f_{OSCin\ square}$	Reference Oscillator Input Frequency Range for Square Wave	AC coupled; Differential ( $V_{OD}$ )	1		200	MHz
$V_{OSCin\ square}$	Square Wave Input Voltage for OSCin and OSCin*		0.2		1.6	Vpp
<b>Frequency Input</b>						
$f_{Fin}$	Frequency Input Frequency Range		1		800	MHz
$SLEW_{Fin}$	Frequency Input Slew Rate	(Notes 6, 10)	0.5			V/ns
$DUTY_{Fin}$	Frequency Input Duty Cycle		40		60	%
$P_{Fin}$	Input Power Range for Fin or Fin*	AC coupled	-13		8	dBm

電気的特性 (Note 4) ( つづき )

( 指定しない限り、 $V_{CC} = 3.15V$ 、 $V_{CC} = 3.45V$ 、 $-40 < T_A < 85$ 、差動入力 / 出力を前提。代表値は、 $V_{CC} = 3.3V$ 、 $T_A = 25$  で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。 )

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
<b>PLL</b>							
$f_{COMP}$	Phase Detector Frequency				40	MHz	
$I_{SOURCEPout}$	Charge Pump Source Current	$V_{CPout} = V_{CC}/2$ , PLL_CP_GAIN = 1x		100		$\mu A$	
		$V_{CPout} = V_{CC}/2$ , PLL_CP_GAIN = 4x		400			
		$V_{CPout} = V_{CC}/2$ , PLL_CP_GAIN = 16x		1600			
		$V_{CPout} = V_{CC}/2$ , PLL_CP_GAIN = 32x		3200			
$I_{SINKCPout}$	Charge Pump Sink Current	$V_{CPout} = V_{CC}/2$ , PLL_CP_GAIN = 1x		-100		$\mu A$	
		$V_{CPout} = V_{CC}/2$ , PLL_CP_GAIN = 4x		-400			
		$V_{CPout} = V_{CC}/2$ , PLL_CP_GAIN = 16x		-1600			
		$V_{CPout} = V_{CC}/2$ , PLL_CP_GAIN = 32x		-3200			
$I_{CPoutTRI}$	Charge Pump TRI-STATE® Current	$0.5V < V_{CPout} < V_{CC} - 0.5V$		2	10	nA	
$I_{CPout\%MIS}$	Magnitude of Charge Pump Sink vs. Source Current Mismatch	$V_{CPout} = V_{CC} / 2$ $T_A = 25^\circ C$		3		%	
$I_{CPoutVTUNE}$	Magnitude of Charge Pump Current vs. Charge Pump Voltage Variation	$0.5V < V_{CPout} < V_{CC} - 0.5V$ $T_A = 25^\circ C$		4		%	
$I_{CPoutTEMP}$	Magnitude of Charge Pump Current vs. Temperature Variation			4		%	
PN10kHz	PLL 1/f Noise at 10 kHz Offset (Note 7) Normalized to 1 GHz Output Frequency	PLL_CP_GAIN = 1x		-117		dBc/Hz	
		PLL_CP_GAIN = 32x		-122			
PN1Hz	Normalized Phase Noise Contribution (Note 8)	PLL_CP_GAIN = 1x		-219		dBc/Hz	
		PLL_CP_GAIN = 32x		-224			
<b>Clock Distribution Section (Note 9) - LVPECL Clock Outputs (CLKout0 to CLKout3)</b>							
$Jitter_{ADD}$	Additive RMS Jitter (Note 9)	$R_L = 100 \Omega$ Distribution Path = 800 MHz Bandwidth = 12 kHz to 20 MHz	CLKoutX_MUX = Bypass		20		fs
			CLKoutX_MUX = Divided CLKoutX_DIV = 4		75		
$t_{SKEW}$	CLKoutX to CLKoutY (Note 10)	Equal loading and identical clock configuration Termination = $50 \Omega$ to $V_{CC} - 2V$	-30	$\pm 3$	30	ps	
$V_{OH}$	Output High Voltage	Termination = $50 \Omega$ to $V_{CC} - 2V$ CLKoutX output frequency = 200 MHz		$V_{CC} - 0.98$		V	
$V_{OL}$	Output Low Voltage		$V_{CC} - 1.8$		V		
$V_{OD}$	Differential Output Voltage		660	810	965	mV	
<b>Digital LVTTTL Interfaces (Note 11)</b>							
$V_{IH}$	High-Level Input Voltage		2.0		$V_{CC}$	V	
$V_{IL}$	Low-Level Input Voltage				0.8	V	
$I_{IH}$	High-Level Input Current	$V_{IH} = V_{CC}$	-5.0		5.0	$\mu A$	
$I_{IL}$	Low-Level Input Current	$V_{IL} = 0$	-40.0		5.0	$\mu A$	
$V_{OH}$	High-Level Output Voltage	$I_{OH} = +500 \mu A$	$V_{CC} - 0.4$			V	
$V_{OL}$	Low-Level Output Voltage	$I_{OL} = -500 \mu A$			0.4	V	

**電気的特性 (Note 4) ( つづき )**

( 指定しない限り、 $V_{CC} = 3.15V \sim 3.45V$ 、 $T_A = -40 \sim 85$ 、差動入力 / 出力を前提。代表値は、 $V_{CC} = 3.3V$ 、 $T_A = 25$  で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。 )

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>Digital MICROWIRE Interfaces (Note 12)</b>						
$V_{IH}$	High-Level Input Voltage		1.6		$V_{CC}$	V
$V_{IL}$	Low-Level Input Voltage				0.4	V
$I_{IH}$	High-Level Input Current	$V_{IH} = V_{CC}$	-5.0		5.0	$\mu A$
$I_{IL}$	Low-Level Input Current	$V_{IL} = 0$	-5.0		5.0	$\mu A$
<b>MICROWIRE Timing</b>						
$t_{CS}$	Data to Clock Set Up Time	See Data Input Timing	25			ns
$t_{CH}$	Data to Clock Hold Time	See Data Input Timing	8			ns
$t_{CWH}$	Clock Pulse Width High	See Data Input Timing	25			ns
$t_{CWL}$	Clock Pulse Width Low	See Data Input Timing	25			ns
$t_{ES}$	Clock to Enable Set Up Time	See Data Input Timing	25			ns
$t_{CES}$	Enable to Clock Set Up Time	See Data Input Timing	25			ns
$t_{EWH}$	Enable Pulse Width High	See Data Input Timing	25			ns

**Note 4:** 電気的特性の表は、推奨動作条件下で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定してある場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

**Note 5:** 消費電流 / 消費電力の計算に関する詳細は、3.4を参照してください。

**Note 6:** すべての周波数に対してスレーレート  $SLEW_{Fin}$  は 20% ~ 80% で測定されています。

**Note 7:** PLL 帯域内位相ノイズ・モデルの仕様値は、キャリア近傍で顕著な  $1/f$  フリッカ・ノイズの  $L_{PLL\_flicker}(f)$  です。フリッカ・ノイズの傾斜は 10dB/decade です。PN10kHz は、10kHz のオフセットと 1GHz のキャリア周波数に正規化されています。PN10kHz =  $L_{PLL\_flicker}(10kHz) - 20\log(f_{out}/1GHz)$  であり、 $L_{PLL\_flicker}(f)$  は、総ノイズ  $L(f)$  へのフリッカ・ノイズの寄与のみの片側帯域位相ノイズです。 $L_{PLL\_flicker}(f)$  を測定するには、キャリア付近で傾斜が 10dB/decade 上にあることが重要です。総位相ノイズ  $L(f)$  からこのノイズ・ソースを分離するには、位相比較周波数が高く、純度の高い水晶とすることが重要です。低電力またはノイズの多いソースを使用すると、 $L_{PLL\_flicker}(f)$  はリファレンス・オンレータの性能によってマスクされます。PLL 帯域内総位相ノイズ性能は、 $L_{PLL\_flicker}(f)$  と  $L_{PLL\_flat}(f)$  を合計したものです。

**Note 8:** PLL 帯域内位相ノイズ・モデルの仕様は、PLL の正規化位相ノイズ寄与  $L_{PLL\_flat}(f)$  を表し、PN1Hz =  $L_{PLL\_flat}(f) - 20\log(N) - 10\log(f_{COMP})$  と定義されます。 $L_{PLL\_flat}(f)$  は帯域幅を 1Hz としたオフセット周波数  $f$  で測定された片側帯域位相ノイズであり、 $f_{COMP}$  はシンセサイザの位相比較周波数です。 $L_{PLL\_flat}(f)$  は総ノイズ  $L(f)$  に寄与します。 $L_{PLL\_flat}(f)$  を測定するには、PLL のループ帯域は先十分に小さく、しかもリファレンス・ノイズやフリッカ・ノイズからの大きいノイズ寄与を十分に回避できるほどに大きいオフセット周波数  $f$  を選ぶ必要があります。低電力またはノイズの多いソースを使用すると、 $L_{PLL\_flat}(f)$  はリファレンス・オンレータ性能によってマスクされます。

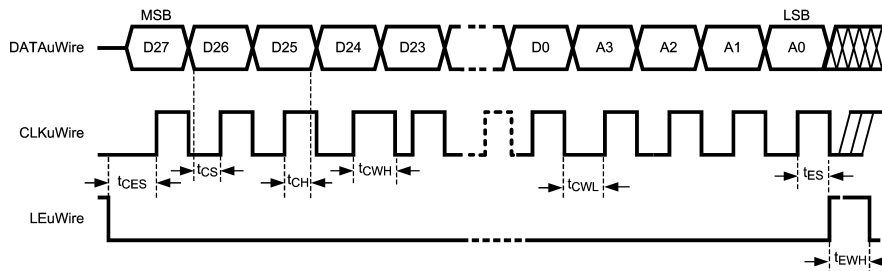
**Note 9:** クロック分配部には、PLL 部以外のデバイスのすべての部品が含まれています。追加シフト仕様の代表値はクロック分配部のみに適用されます。

**Note 10:** 仕様値は特性の評価により保証されている値で、量産時における試験は行っていません。

**Note 11:** GOE、LD および SYNC\* に適用。

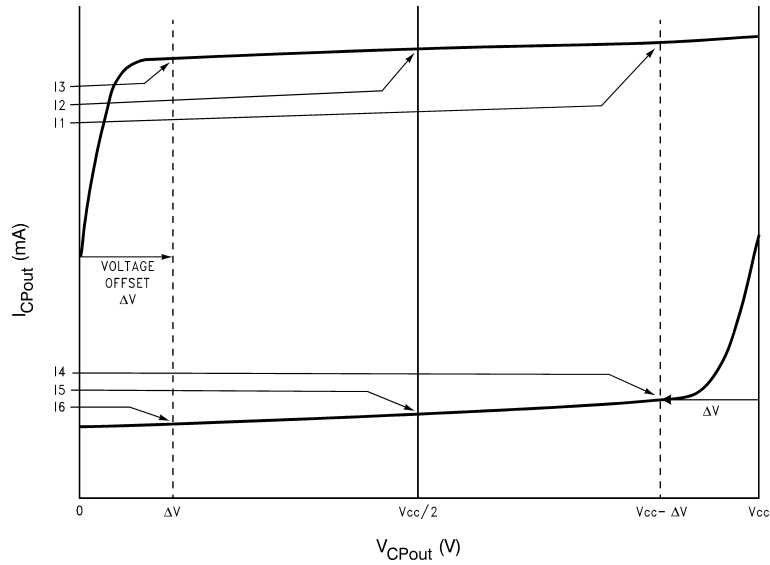
**Note 12:** CLKuWire、DATAuWire および LEuWire に適用。

**シリアル・データ・タイミング図**



DATAuWire 信号にセットされたデータ・ビットは、MSB を先頭として CLKuWire 信号の各立ち上がりエッジでシフト・レジスタにクロック同期入力されます。シフトレジスタから最下位ビットによって決まるアドレス指定されたレジスタへ、LEuWire 信号の立ち上がりエッジで、データが転送されます。プログラミングが完了すると、CLKuWire、DATAuWire および LEuWire の各信号は Low の状態に戻さなければなりません。

チャージ・ポンプの電流仕様の定義



I1 =  $V_{CPout} = V_{cc} - V$  の場合のチャージ・ポンプのシンク電流

I2 =  $V_{CPout} = V_{cc}/2$  の場合のチャージ・ポンプのシンク電流

I3 =  $V_{CPout} = V$  の場合のチャージ・ポンプのシンク電流

I4 =  $V_{CPout} = V_{cc} - V$  の場合のチャージ・ポンプのソース電流

I5 =  $V_{CPout} = V_{cc}/2$  の場合のチャージ・ポンプのソース電流

I6 =  $V_{CPout} = V$  の場合のチャージ・ポンプのソース電流

$V$  = 正負の電源レールからの電圧オフセット。このデバイスでは 0.5V と定義されています。

チャージポンプ出力電流の大きさの変動とチャージポンプ出力電圧の関係

$$I_{CPout} \text{ Vs } V_{CPout} = \frac{|I1| - |I3|}{|I1| + |I3|} \times 100\%$$

$$= \frac{|I4| - |I6|}{|I4| + |I6|} \times 100\%$$

チャージポンプ・シンク電流とチャージポンプ出力ソース電流のミスマッチ関係

$$I_{CPout} \text{ Sink Vs } I_{CPout} \text{ Source} = \frac{|I2| - |I5|}{|I2| + |I5|} \times 100\%$$

チャージポンプ出力電流の大きさの変動と温度との関係

$$I_{CPout} \text{ Vs } T_A = \frac{|I2|_{T_A} - |I2|_{T_A=25^\circ C}}{|I2|_{T_A=25^\circ C}} \times 100\%$$

$$= \frac{|I5|_{T_A} - |I5|_{T_A=25^\circ C}}{|I5|_{T_A=25^\circ C}} \times 100\%$$

## 1.0 機能説明

LMK02002 高精度クロック・コンディショナは、基準クロックのジッタ・クリーニング / コンディショニング、分周、分配機能を組み合わせたものです。このデバイスは、高性能インテジャータ N フェーズ・ロック・ループ (PLL) および 4 個の LVPECL クロック出力の分配ブロックを内蔵しています。

各クロック分配ブロックには、プログラマブルな分周器、位相同期回路、遅延調整回路、クロック出力マルチプレクサ、および LVPECL 出力バッファがあります。このような構成によって、基準クロックと整数関係でかつ位相調整された複数のコピーを、8 つのシステム・コンポーネントに分配できます。

このクロック・コンディショナは 48 ピンの LLP パッケージで提供され、フットプリントは同一ファミリの他のクロック用デバイスと互換性があります。

### 1.1 BIAS ピン

デバイスを正しく使用するには、Bias (ピン 36) を Vcc に低リーケージの 1μF コンデンサでバイパスします。これは、ノイズを低く抑えるためには重要なことです。

### 1.2 LDO バイパス

デバイスを正しく使用するには、LDObyp1 (ピン 9) を 10μF コンデンサで、LDObyp2 (ピン 10) を 0.1μF コンデンサでバイパスします。

### 1.3 オシレータ入力ポート (OSCin、OSCin\*)

OSCin は、PLL にリファレンス信号を提供するために使用します。OSCin ポートは AC 結合する必要があります。詳細は「アプリケーション情報」のシステム・レベル図を参照してください。0.1μF のコンデンサで OSCin\* を AC グラウンドすると、OSCin ポートはシングルエンドで駆動することができます。

### 1.4 周波数入力ポート (Fin、Fin\*)

Finの目的はPLLに対して外付けの発振器からのフィードバック信号を供給することです。Fin\* を AC グラウンドすると、Fin ポートはシングルエンドで駆動することができます。

### 1.5 CLKout の遅延

個別のクロック出力には、それぞれ遅延調整が含まれています。クロック出力遅延レジスタ (CLKoutX\_DLY) は、150ps 単位で総遅延 0 ~ 2250ps の範囲をサポートします。

### 1.6 LVPECL 出力

LVPECL の各出力は、CLKoutX\_EN ビットをプログラムすることによって個別にディスエーブルできます。GOE ピンを Low にするか、EN\_CLKout\_Global を 0 にプログラムすると、すべての出力を同時にディスエーブルできます。

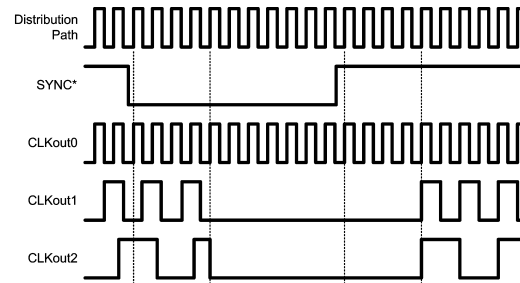
### 1.7 グローバル・クロック出力同期

SYNC\* ピンはクロック出力に同期します。SYNC\* ピンが論理 Low の状態に保持されると、分周出力も論理 Low 状態に保持されます。SYNC\* ピンが High になると、分周クロック出力がアクティブになり、同時に High 状態へと遷移します。バイパス状態でのクロックは SYNC\* の影響を受けず、常に分周出力と同期しています。

SYNC\* ピンは、周波数入力ポートの出力 (分配経路 (distribution path) でもあります) での 1 クロック・サイクル以上 Low に保持する必要があります。この Low への遷移がいったんレジスタに取り込まれると、出力はその後の 4 サイクルでは Low 状態を反映しません。同様に、SYNC\* ピンがいったん High になると、分配パ

スのその後 4 サイクルが経過するまで、出力が同時に High へと遷移することはありません。詳細は、次に示すタイミング図を参照してください。次のタイミング図で、クロックは、CLKout0\_MUX = Bypassed、CLKout1\_MUX = Divided、CLKout1\_DIV = 2、CLKout2\_MUX = Divided、CLKout2\_DIV = 4 とプログラムされています。

### SYNC\* タイミング図



SYNC\* ピンは、機能ブロック図に示すように内部プルアップ抵抗を備えています。SYNC\* ピンが外部から終端されない限り、クロック出力は正常に動作します。SYNC\* 機能を使用しない場合、クロック出力の同期は保証されません。

### 1.8 CLKout の出力状態

各クロック出力は、CLKoutX\_EN ビットによって個別にイネーブルすることができます。各出力のイネーブル制御ビットは、グローバル出力イネーブル入力ピン (GOE) とグローバル出力イネーブル・ビット (EN\_CLKout\_Global) によってゲート制御されます。

外部信号によって GOE ピンを Low にするか、EN\_CLKout\_Global を 0 にセットすると、すべてのクロック出力を同時にディスエーブルできます。

CLKoutX_EN bit	EN_CLKout_Global bit	GOE pin	Clock X Output State
1	1	Low	Low
Don't care	0	Don't care	Off
0	Don't care	Don't care	Off
1	1	High / No Connect	Enabled

LVPECL 出力が Off 状態のとき、出力電圧は約 1V です。

### 1.9 グローバル出力イネーブルとロック検出

GOE ピンは内部プルアップ抵抗を備えています。GOE ピンが外部から終端されない場合、クロック出力状態はクロック出力イネーブル・ビット (CLKoutX\_EN) と EN\_CLKout\_Global ビットによって決定されます。

PLL\_MUX レジスタをデジタル・ロック検出アクティブ High (2.5.2 を参照) にプログラムすることによって、ロック検出 (LD) ピンを GOE ピンに接続できます。この場合、シンセサイザがロックされていない場合は、すべての出力が自動的に Low に設定されます。

### 1.10 パワーオン・リセット

デバイスの電源電圧がグラウンドから Vcc に単調増加する場合、パワーオン・リセット回路によってすべてのレジスタがデフォルト値に設定されます。レジスタのデフォルト値についての詳細は、2.3.1 を参照してください。電圧は、すべての Vcc ピンに対して同時に印加する必要があります。



## 2.0 プログラミングの一般情報

LMK02002 デバイスは、デバイスの動作を制御する複数の 32 ビット・レジスタを使用してプログラムします。各レジスタは、データ・フィールドとアドレス・フィールドからなります。レジスタの末尾 4 ビットがアドレス・フィールド ADDR[3:0] です。残りの 28 ビットはデータ・フィールド DATA[27:0] です。

プログラミング中、LEuWire は Low であり、シリアル・データは MSB を先頭として clock の立ち上がりエッジでクロック同期入力されます。LEuWire が High になると、データはアドレス・フィールドによって選択されたレジスタ・バンクへ転送されます。デバイスが正しく動作するためには、レジスタ R0 ~ R7、R11、R14、R15 のみのプログラムが必要です。

レジスタ R14 をプログラムする必要があります。

### 2.1 推奨するプログラミング・シーケンス

推奨するプログラミング・シーケンスでは、R0 のプログラムでリセット・ビットをセットして (RESET = 1)、デバイスをデフォルト状態にします。R0 の再プログラミングは必ずしも必要ではありません。各

レジスタはレジスタ R15 が最後になるような順番でプログラムします。プログラミング・シーケンスの一例を次に示します。

- リセット・ビットをセット (RESET = 1) して R0 をプログラムします。このことにより、デバイスはデフォルト状態になります。
- 適切なイネーブル、マルチプレクサ、デバイダ、遅延の設定値とした所望のクロックになるように必要に応じて R4 ~ R7 をプログラムします。
- 必要に応じて R11 の DIV4 を設定するプログラミングを行います。
- グローバル・クロック出力ビット、パワーダウン設定、PLL マルチプレクサ設定および PLL R デバイダに関しては R14 をプログラムします。レジスタ R14 をプログラムする必要があります。  
R14 はレジスタ・マップ (2.2 を参照) に示されたレジスタ・マップに従って、プログラムしなければなりません。
- PLL チャージポンプ・ゲインおよび PLL N デバイダに関しては R15 をプログラムします。

## 2.2 LMK02002 レジスタ・マップ

Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	Data [27:0]											A3	A2	A1	A0									
	RESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
R0																																						
R4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
R5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R11	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R15	PLL_CP_GAIN [1:0]	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

### 2.3 レジスタ R4 ~ R7

レジスタ R4 ~ R7 は、8 つのクロック出力を制御します。レジスタ R4 は CLKout0 を、レジスタ R5 は CLKout1 を、というように制御します。レジスタ R0 には RESET というビットが 1 つ追加されています。それを除けば、これらのビットの機能は同じです。CLKoutX\_MUX、CLKoutX\_DIV、CLKoutX\_DLY、CLKoutX\_EN の「X」は実際のクロック出力を表し、0 ~ 3 の数字が入ります。

#### 2.3.1 RESET ビット -- R0 のみ

RESET ビットは、レジスタ R0 のみにおきます。このビットの使用は自由であり、使用しない場合は「0」にセットする必要があります。このビットを「1」にセットすると、すべてのレジスタが強制的にパワーオン・リセット状態になるので、このビットは自動的にクリアされます。このビットをセットすると、他の R0 ビットはすべて無視されるので、適切な値と RESET = 0 で使用している場合は R0 をプログラムし直す必要があります。

ビット名称	ビットのデフォルト値	ビットの状態	ビットの説明	レジスタ	ビットの位置
RESET	0	リセットなし、通常動作	パワーオン・デフォルト状態にリセット	R0	31
CLKoutX_MUX	0	バイパス	CLKoutX マルチプレクサ・モード	R4 ~ R7	18:17
CLKoutX_EN	0	ディスエーブル	CLKoutX イネーブル		16
CLKoutX_DIV	1	2 で除算	CLKoutX のクロック分周		15:8
CLKoutX_DLY	0	0ps	CLKoutX のクロック遅延		7:4
DIV4	0	PDF 20MHz	位相比較周波数	R11	15
EN_CLKout_Global	1	通常 - CLKOuts 通常動作	グローバル・クロック出力イネーブル	R14	27
POWERDOWN	0	通常 - デバイス・アクティブ	デバイス・パワーダウン		26
PLL_CP_TRI	0	通常 - PLL アクティブ	TRI-STATE PLL チャージ・ポンプ		25
PLL_CP_POL	0	CP は負極性	チャージ・ポンプの極性		24
PLL_MUX	0	ディスエーブル	LD ピンのマルチプレクサ制御	R15	23:20
PLL_R	10	R デバイダ = 10	PLL R 分周値		19:8
PLL_CP_GAIN	0	100uA	チャージポンプ電流		31:30
PLL_N	760	N デバイダ = 760	PLL N 分周値	R15	25:8

#### 2.3.2 CLKoutX\_MUX[1:0] -- クロック出力マルチプレクサ

これらのビットは、各クロック出力のクロック出力マルチプレクサを制御します。異なるモードの間で変更を行うと信号バス内のブロッ

クが変わるので、バイパス・モードに比べて遅延が発生します。各種の MUX モードとそれに伴う遅延を次に示します。

CLKoutX_MUX [1:0]	モード	バイパス・モードを基準にした追加遅延
0	Bypassed (デフォルト)	0ps
1	Divided (分周)	100ps
2	Delayed (遅延)	400ps (プログラムされた遅延に追加)
3	Divided および Delayed	500ps (プログラムされた遅延に追加)

#### 2.3.3 CLKoutX\_DIV[7:0] -- クロック出力デバイダ

これらのビットは、クロック出力の分周値を制御します。これらのデバイダをアクティブにするには、CLKoutX\_MUX (2.3.2 を参照) の個々のビットを「Divided」モードまたは「Divided および Delayed」モードのいずれかにセットする必要があります。すべてのデバイダをプログラムした後、SYNC\* ピンを使用して、クロック出力のすべてのエッジを合わせる必要があります (1.7 を参照)。クロック出力デバイダは VCO デバイダの後に続くので、出力の最終クロック分周は VCO 分周 × クロック出力分周となります。分周ブロックを出力バスに追加することにより、約 100ps の固定遅延が発生します。

実際のクロック出力の分周値は、次の表に示すようにプログラムした 2 進値の 2 倍になります。

CLKoutX_DIV[7:0]								Clock Output Divider value
0	0	0	0	0	0	0	0	Invalid
0	0	0	0	0	0	0	1	2 (default)
0	0	0	0	0	0	1	0	4
0	0	0	0	0	0	1	1	6
0	0	0	0	0	1	0	0	8
0	0	0	0	0	1	0	1	10
.	.	.	.	.	.	.	.	...
1	1	1	1	1	1	1	1	510

#### 2.3.4 CLKoutX\_DLY[3:0] -- クロック出力遅延

これらのビットは、各クロック出力の遅延レベルを制御します。これらの遅延をアクティブにするには、CLKoutX\_MUX (2.3.2 を参照) の個々のビットを「Delayed」モードまたは「Divided および Delayed」モードのいずれかにセットする必要があります。遅延ブロックを出力バスに追加することにより、次の表に示す遅延に加えて、約 400ps の固定の遅延が発生します。

CLKoutX_DLY[3:0]	Delay (ps)
0	0 (default)
1	150
2	300
3	450
4	600
5	750
6	900
7	1050
8	1200

CLKoutX_DLY[3:0]	Delay (ps)
9	1350
10	1500
11	1650
12	1800
13	1950
14	2100
15	2250

### 2.3.5 CLKoutX\_EN ビット -- クロック出力イネーブル

これらのビットは、個別のクロック出力をイネーブルにするかどうかを制御します。EN\_CLKout\_Global ビット (2.5.4 を参照) が 0 にセットされるか、GOE ピンが Low に保持されると、CLKoutX\_EN ビットの状態はすべて無視され、すべてのクロック出力がディスエーブルされます。CLKout の状態についての詳細は、1.8 を参照してください。

CLKoutX_EN bit	Conditions	CLKoutX State
0	EN_CLKout_Global bit = 1	Disabled (default)
1	GOE pin = High / No Connect 1	Enabled

### 2.4 レジスタ R11

このレジスタは 1 ビットのみであり、位相比較周波数が 20MHz を超えて、デジタル・ロック検出が使用されている場合にのみプログラムする必要があります。プログラムしない場合、このレジスタは自動的に適切な値にデフォルト設定されます。

#### 2.4.1 DIV4

このビットはデジタル・ロック検出回路に与えられる周波数を 4 分周します。このビットは位相比較周波数が 20MHz を超えている場合、デジタル・ロック検出出力から信頼性の高い出力を得るために必要です。

DIV4	デジタル・ロック検出回路モード
0	分周なし。位相比較周波数 20MHz (デフォルト)
1	4 分周。位相比較周波数 > 20MHz

### 2.5 レジスタ R14

LMK02002 ではレジスタ・マップ (2.2 を参照) に示すようにレジスタ R14 をプログラムする必要があります。

#### 2.5.1 PLL\_R[11:0] -- R 分周値

これらのビットは PLL R デバイダをプログラムします。2 進法が使用されます。

PLL_R[11:0]	PLL R Divide Value
0 0 0 0 0 0 0 0 0 0 0 0	Invalid
0 0 0 0 0 0 0 0 0 0 0 1	1
0 0 0 0 0 0 0 0 0 0 1 0	2
. . . . .	...
0 0 0 0 0 0 0 0 1 0 1 0	10 (default)
. . . . .	...
1 1 1 1 1 1 1 1 1 1 1 1	4095

### 2.5.2 PLL\_MUX[3:0] -- LD ピンのマルチプレクサ制御

これらのビットは、LD ピンの出力モードをセットします。各種モードを次の表に示します。

PLL_MUX[3:0]	出力タイプ	LD ピンの機能
0	Hi-Z	ディスエーブル (デフォルト)
1	プッシュプル	論理 High
2	プッシュプル	論理 Low
3	プッシュプル	デジタル・ロック検出 (アクティブ High)
4	プッシュプル	デジタル・ロック検出 (アクティブ Low)
5	プッシュプル	アナログ・ロック検出
6	オープン・ドレイン NMOS	アナログ・ロック検出
7	オープン・ドレイン PMOS	アナログ・ロック検出
8		無効
9	プッシュプル	N デバイダ出力 /2 (50% デューティ・サイクル)
10		無効
11	プッシュプル	R デバイダ出力 /2 (50% デューティ・サイクル)
12 ~ 15		無効

### 2.5.3 POWERDOWN ビット -- デバイス・パワーダウン

このビットは、デバイスをパワーダウンすることができます。このビットをイネーブルすると、その他のビットやピンの状態に関係なく、デバイス全体とすべてのブロックがパワーダウンします。

POWERDOWN ビット	モード
0	通常動作 (デフォルト)
1	デバイス全体がパワーダウン

### 2.5.4 EN\_CLKout\_Global ビット -- グローバル・クロック出力イネーブル

このビットによって個別の CLKoutX\_EN ビットが無視されます (2.3.5 を参照)。このビットを 0 にセットすると、その他のビットやピンの状態に関係なく、すべてのクロック出力がディスエーブルされます。CLKout の状態についての詳細は、1.8 を参照してください。

EN_CLKout_Global ビット	クロック出力
0	すべて Off
1	通常動作 (デフォルト)

### 2.5.5 PLL\_CP\_TRI ビット -- PLL チャージポンプ・ゲイン TRI-STATE™

このビットによって PLL チャージ・ポンプが TRI-STATE に設定されます。

PLL_CP_TRI	PLL チャージ・ポンプ
0	通常動作 (デフォルト)
1	TRI-STATE

**2.5.6 PLL\_CP\_POL bit -- PLL チャージ・ポンプ極性**

このビットによってチャージ・ポンプの極性が負または正に設定されます。負のチャージ・ポンプは調整電圧を大きくすると周波数が下がる VCO または VCXO と共に使用されます。正のチャージ・ポンプは調整電圧を大きくすると周波数が上がる VCO または VCXO と共に使用されます。

PLL_CP_POL	PLL のチャージ・ポンプ極性
0	負 (デフォルト)
1	正

**2.6 レジスタ R15**

**2.6.1 PLL\_N[17:0] -- PLL N 分周器**

これらのビットは、PLL N デバイダの分周値をプログラムします。PLL N デバイダは、VCO 分周の後、かつ PLL 位相比較の前に配置されています。また、VCO デバイダは VCO から PLL 位相比較器への帰還パスにあるので、合計 N 分周値  $N_{Total}$  は VCO 分周値の影響も受けます。 $N_{Total} = \text{PLL N 分周} \times \text{VCO 分周}$  です。VCO 周波数は、 $f_{VCO} = f_{OSCin} \times \text{PLL N 分周} \times \text{VCO 分周} / \text{PLL R 分周}$  で計算されます。PLL N デバイダは純粋なバイナリ・カウンタなので、PLL\_N[17:0] に対する不正な分周値は 0 以外にありません。

PLL_N[17:0]	PLL N Divider Value
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	Invalid
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1	1
. . . . .	...
0 0 0 0 0 0 0 0 0 1 0 1 1 1 1 0 0 0	760 (default)
. . . . .	...
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	262143

**2.6.2 PLL\_CP\_GAIN[1:0] -- PLL チャージポンプ・ゲイン**

これらのビットは、PLL のチャージポンプ・ゲインをセットします。

PLL_CP_GAIN[1:0]	Charge Pump Gain
0	1x (default)
1	4x
2	16x
3	32x

### 3.0 アプリケーション情報

#### 3.1 システム・レベル図

LMK02002 を一般的アプリケーションで使用している場合の図を次に示します。この構成では、クロックの分周、コンディショニングおよび分配が行われます。

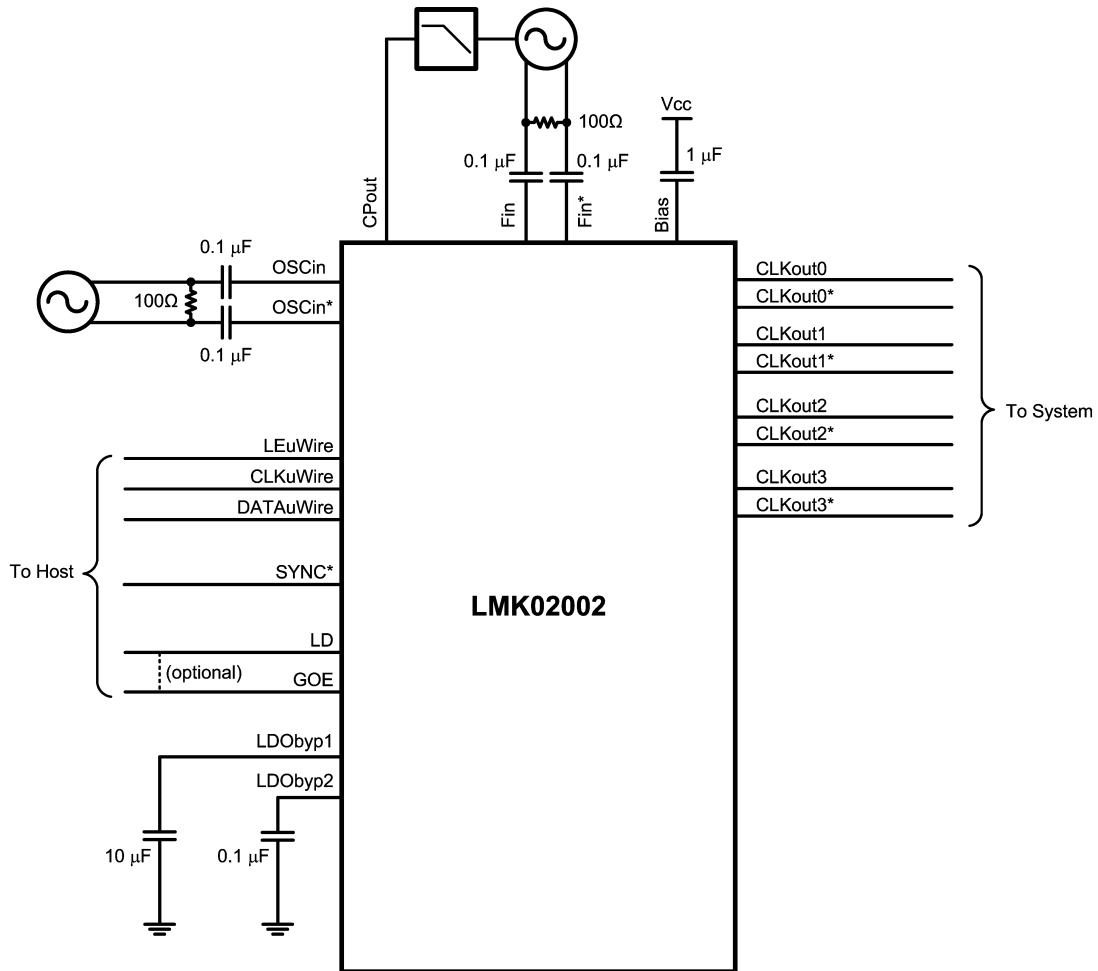


FIGURE 1. Typical Application

#### 3.2 Bias ピン

デバイスを正しく使用するには、Bias (ピン 36) を Vcc に低リーケージの 1 μF コンデンサでバイパスします。これは、ノイズを低く抑えるためには重要なことです。

#### 3.3 LDO バイパス

デバイスを正しく使用するには、LDObyp1 (ピン 9) を 10 μF コンデンサで、LDObyp2 (ピン 10) を 0.1 μF コンデンサでバイパスします。

### 3.4 消費電流 / 消費電力の計算

可能な構成は無数にあるため、デバイスの推定消費電力計算を可能とする情報を次の表に示します。特に指定しない限り、 $V_{CC} = 3.3V$ 、 $T_A = 25$  です。

表 3.4 - ブロック別電流消費

ブロック	条件	3.3V での消費電流 (mA)	デバイスの消費電力 (mW)	LVPECL エミッタ抵抗の消費電力 (mW)
デバイス全体、コア電流	出力すべて Off、LVPECL エミッタ抵抗未接続	70	231	-
クロック・バッファ (内部)	Low クロック・バッファは、CLKout0 ~ CLKout3 の 1 つがイネーブルになっているときに、いつでもイネーブルされます	9	29.7	-
出力バッファ	LVPECL 出力、バイパス・モード (120 エミッタ抵抗含む)	40	72	60
	LVPECL 出力、ディスエーブル・モード (120 エミッタ抵抗含む)	17.4	38.3	19.1
	LVPECL 出力、ディスエーブル・モード。エミッタ抵抗配置せず、開放出力	0	0	-
出力ごとの分周回路	分周イネーブル、分周 = 2	5.3	17.5	-
	分周イネーブル、分周 > 2	8.5	28.0	-
出力ごとの遅延回路	遅延イネーブル、遅延 < 8	5.8	19.1	-
	遅延イネーブル、遅延 > 7	9.9	32.7	-
デバイス全体	CLKout0 および CLKout3 がバイパス・モードでイネーブル	159	404.7	120

どのような構成でも、表 3.4 を使うと消費電力を計算できます。例えば、バイパス・モードの出力が 2 つの LVPECL (CLKout0、CLKout3) であるデバイス全体の電流は、コア電流、Low クロック・バッファ、High クロック・バッファ、2 個の LVPECL 出力バッファ電流のブロックを合計することによって求めることができます。また、エミッタ電流を流す 1 個の LVPECL 出力がありますが、その電流による電力の一部は 120 の外付け抵抗で消費されるため、それはデバイスの消費電力値には加えられません。遅延または分周に切り替えられると、これらの部分の追加電流も同様に追加する必要があります。

デバイスの消費電力については、デバイスへ流れ込む合計電流値にデバイスの電圧値を乗算し、その値から、いずれかの LVPECL 出力に接続されたエミッタ抵抗での消費電力を差し引きます。LVPECL 出力にエミッタ抵抗が接続されていない場合、この電力は 0W になります。例えば、3.3V で動作する LVPECL が 2 個 (CLKout0、CLKout3) の場合、 $3.3V \times (70 + 9 + 40 + 40) \text{ mA} = 3.3V \times 159 \text{ mA} = 524.7 \text{ mW}$  と計算します。LVPECL 出力にはエミッタ抵抗が接続されており、これらの抵抗によって消費される電力は 60mW なので、デバイスの合計消費電力は  $524.7 \text{ mW} - 120 \text{ mW} = 404.7 \text{ mW}$  です。

LVPECL 出力がアクティブのとき、LVPECL  $V_{OH}$  および  $V_{OL}$  の代表的仕様から計算したように、各出力の平均電圧は 1.9V です。したがって、各エミッタ抵抗の消費電力はおよそ  $(1.9 \text{ V})^2 / 120 = 30 \text{ mW}$  です。LVPECL 出力がディスエーブルのとき、エミッタ抵抗電圧は 1.07V 以下です。したがって、各エミッタ抵抗の消費電力はおよそ  $(1.07 \text{ V})^2 / 120 = 9.5 \text{ mW}$  です。

### 3.5 温度管理

LMK02002 デバイスの消費電力は、温度管理に注意を要するほど大きくなる場合があります。信頼性および性能上の理由から、最大温度を 125 °C までに制限する必要があります。つまり、 $T_A$  (周囲温度) とデバイス消費電力の和に  $J_A$  を乗算した値が 125 °C を超えてはなりません。

デバイスのパッケージには露出パッドがあり、これが主要な熱除去パスとなるとともに、プリント基板への優れたグラウンド機能を提供します。パッケージからの熱除去を最大限に行うには、グラウンド・プレーンへの複数のスルーホールを含む放熱用ランド・パターンを、パッケージの実装面積に収まるようにプリント基板に組み込む必要があります。露出パッドはしっかりとハンダ付けして、熱がパッケージ外部へ適切に伝導されるようにします。推奨するランドとスルーホールのパターンを Figure 2 に示します。LLP パッケージのハンダ付けに関する詳細は、[www.national.com/JPN/](http://www.national.com/JPN/) を参照してください。

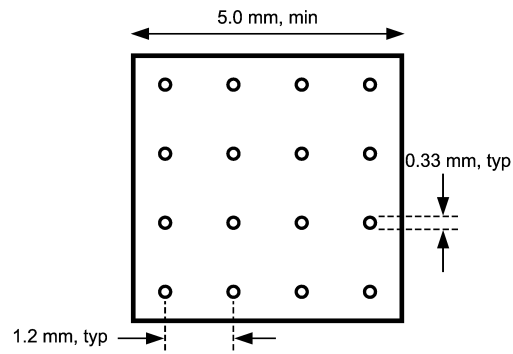


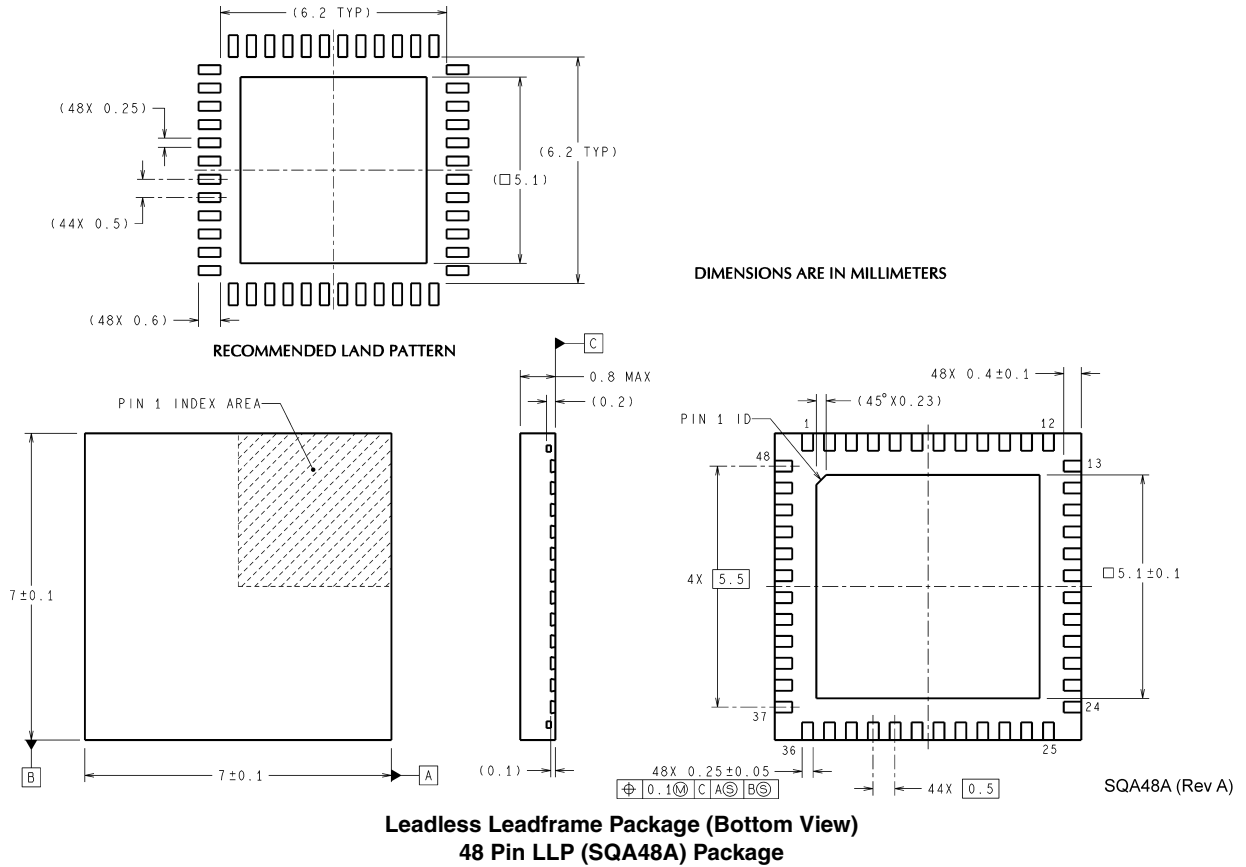
FIGURE 2.

接合部温度を最小限に抑えるには、単純なヒート・シンクをプリント基板に組み込むことをお勧めします（グラウンド・プレーン層が露出していない場合）。そのためには、約 2 平方インチの銅面をプリント基板のデバイスと反対側に設けます。この銅面は腐食を防ぐためにメッキまたはハンダ塗装することができますが、絶縁保護

コーティングは断熱効果があるので、可能だとしても行わないでください。Figure 3 に示すスルーホールによって、これらの上部と下部の銅層とグラウンド層を接続します。これらのスルーホールは、基板のデバイス側からより効率的に放散される場所へと熱エネルギーを移動させる「ヒート・パイプ」の役割を果たします。



外形寸法図 単位は millimeters



Order Number	Package Marking	Packing	LVPECL Outputs
LMK02002ISQ	K02002 I	250 Unit Tape and Reel	4
LMK02002ISQX	K02002 I	2500 Unit Tape and Reel	4

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation  
製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上