MC121-Q1、車載対応、ホール センサ内蔵、40V、単相 BLDC ドライバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - 温度グレード 1:-40℃ ≤ T_A ≤ 125℃
- ホールセンサ内蔵、N チャネル H ブリッジ ドライバ
- $R_{DS(ON)}$:850mΩ (HS + LS)
- 電流定格
  - 設定可能な電流制限最大 1.21A
  - 0.5A rms (T_A = 105ºC、$R_{\theta JA}$ = 100 ºC/W)
- 内蔵電源 (VM) クランプ
- 速度曲線と開始デューティ サイクルを設定可能
- 整流方式:方形波またはソフト (最大 90º)
  - 方形波:最大トルク / 速度
  - ソフト:速度と音響の最適化
- 設定可能な速度リファレンス入力:PWM または DC
  - 入力 PWM 周波数範囲:20Hz ～ 90kHz
  - 入力 DC 電圧範囲:(0-3)V
- 出力 PWM 周波数:25 または 50kHz
- 閉ループ速度制御精度:±3%
- PWM ディザリングにより EMI を低減
- 設定可能なソフト スタート時間
- ホール オフセット角度および時間を設定可能
- 速度出力 0.5 倍、1 倍、2/3 倍、2 倍
- 回転子ロック検出出力 (RD)
- 設定可能な PWM モード
  - 同期、非同期、ハイブリッド
- 高速全域での高効率を実現する自動消磁
- I^2C を介したワンタイム プログラミング (2 ページ)
- 保護機能
  - VM/GND と OUTx 間の短絡に対する過電流保護
  - 自動再起動付き回転子ロック保護 (LRP)
  - VM 低電圧誤動作防止 (UVLO)
  - VM 過電圧保護 (OVP)
  - サーマル シャットダウン (TSD)
  - 構成可能な故障時のリトライ時間
- 機能的特徴 (動作継続)
  - FG/RD と GND が短絡している場合
  - PWM/DC と VM の間の短絡時の 100% 入力

2 アプリケーション

- LED ヘッドランプ冷却ファン
- インフォテインメント冷却ファン
- ADAS および ECU / センサ用冷却ファン
- ワイヤレス充電器冷却ファン

3 説明

MC121-Q1 は、40V、850mΩ 定格のモーター ドライバで、単相ブラシレス DC モーター向けに、N チャネル フル ブリッジ、チャージ ポンプ、ホール センサ、整流制御ロジック、保護回路を内蔵しています。ホール センサは、回転子の位置情報を整流ロジックに提供し、連続的な回転子の動作を維持します。整流ロジックは、方形波とソフト PWM 波形に設定して、音響ノイズを低減したり、速度 / 効率を最大化したりできます。

PWM/DC ピンのパルス幅変調信号のデューティ サイクル、または (0 ～ 3)V の DC 電圧により、モーター速度が制御されます。FG/RD ピンは、モーター速度または回転子ロック状態を外部コントローラに通知するように設定できます。PWM/DC ピンと FG/RD ピンは、製造時に OTP を構成するためのプログラミング (OTP) モードをサポートする I^2C インターフェイスとして一時的に構成できます。

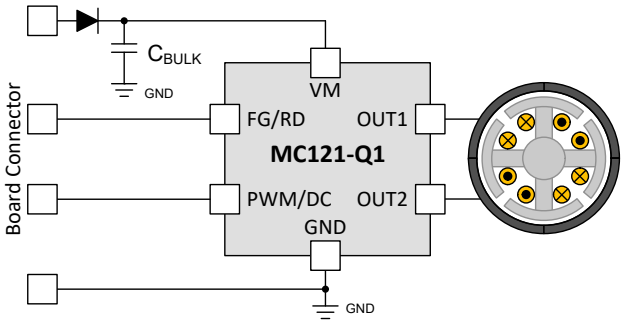
MC121-Q1 は、モーターとデバイスの保護機能を内蔵しています。主な保護機能として、電源低電圧誤動作防止、過電圧保護、出力過電流保護、デバイス過熱シャットダウン、回転子ロック保護などがあります。

MC121-Q1 は、2 種類の 6 ピン パッケージ (SOT23-FL、X2SON) で構成されています。SOT23-FL は、最大高さ 1.1mm のフラット リード パッケージです。X2SON は、最大高さ 0.4 mm のリードなしパッケージです。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
MC121QDEZRQ1	X2SON (6)	2.50 mm × 2.00mm
MC121QDYMRQ1	SOT23 (6)	3.80 mm × 2.90mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格 (車載機器).....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 I2C のタイミング要件.....10
5.7 タイミング図.....10
6 詳細説明.....11
6.1 概要.....11
6.2 機能ブロック図.....11
6.3 機能説明.....11
6.4 デバイスの機能モード.....30
6.5 プログラミング.....32
7 レジスタ マップ.....34
7.1 USR_OTP レジスタ.....35
7.2 USR_TM レジスタ.....49
8 アプリケーションと実装.....53
8.1 アプリケーション情報.....53
8.2 代表的なアプリケーション.....55
8.3 電源に関する推奨事項.....57
8.4 レイアウト.....58
9 デバイスおよびドキュメントのサポート.....61
9.1 デバイス サポート.....61
9.2 ドキュメントのサポート.....61
9.3 ドキュメントの更新通知を受け取る方法.....61
9.4 サポート・リソース.....61
9.5 商標.....61
9.6 静電気放電に関する注意事項.....61
9.7 用語集.....61
10 改訂履歴.....61

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

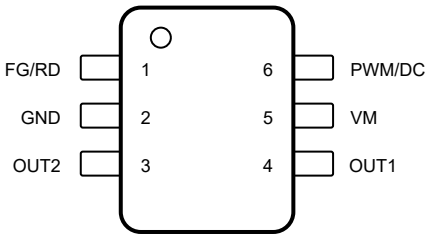


図 4-1. MC121-Q1、6 ピン SOT-23、上面図

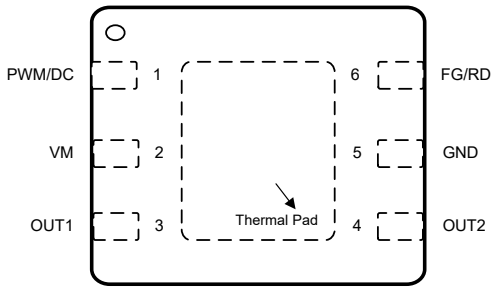


図 4-2. MC121-Q1、6 ピン X2SON、上面図

表 4-1. ピンの機能

ピン	パッケージ		タイプ(1)	説明
名称	SOT-23	X2SON		
FG/RD	1	6	O	モーター速度または回転子ロック インジケータ出力。オープン ドレイン出力には、所定のロジック High 電圧への外部プルアップ抵抗が必要です。テスト / プログラミング モードでは、このピンは I^2C インターフェイスの SDA ピンになります。
GND	2	5	G	デバイスのグランド。システム グランドに接続。
OUT1	4	3	O	ハーフブリッジ出力。モーターの巻線に接続します。
OUT2	3	4	O	ハーフブリッジ出力。モーターの巻線に接続します。
VM	5	2	P	デバイスおよびモーターの電源。モーター電源電圧に接続し、1 つの 0.1μF コンデンサおよび 1 つのバルク コンデンサを使用して GND にバイパスします。コンデンサの電圧定格は、デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
PWM/DC	6	1	I	モーター速度制御ピン - PWM または DC 信号を使用できます。PWM 入力モード (PWMDC_MODE = 0x0) でフローティングのままにすると、このピンは内部で 100% デューティ サイクル入力にプルアップされます。テスト / プログラミング モードでは、このピンは I^2C インターフェイスの SCL ピンになります。
サーマル パッド			G	グランドに接続する必要があります。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源、NC = 未接続

ADVANCE INFORMATION

ADVANCE INFORMATION

5 仕様

5.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) [(1)]

		最小値	最大値	単位
電源ピン電圧	VM	-0.5	VM_{CLAMP}	V
電源過渡電圧ランプ	VM	0	2	V/µs
ロジック ピン電圧	PWM/DC	-0.5	VM + 0.5	V
オープン ドレイン ピン電圧	FG/RD	-0.5	VM + 0.5	V
出力ピン電圧	OUTx	-1	VM + 1	V
ピーク出力電流 (OUTx)	OUTx		1.44	A
オープン ドレイン出力電流	FG/RD		25	mA
周囲温度、T_A		-40	125	°C
接合部温度、T_J		-40	150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格 (車載機器)

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠[(1)] HBM ESD 分類レベル 3A	±6000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C3 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{VM}	電源電圧	VM	3.2		35	V
V_{IN}	ロジック入力電圧	PWM/DC (PWM モードで構成されている場合)	0		VM	V
V_{IN}	アナログ入力電圧	PWM/DC (DC モードで構成されている場合)	0		3.2	V
f_{PWM_IN}	PWM 周波数	PWM	0.02		90	kHz
V_{OD}	オープン ドレイン プルアップ電圧	FG/RD	0		VM	V
I_{OD}	オープン ドレイン出力電流	FG/RD			20	mA
T_A	動作時周囲温度		-40		125	°C
T_J	動作時接合部温度		-40		150	°C

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準[1]		MC121-Q1 SOT23 (DYM) 6 ピン	MC121-Q1 X2SON (DEZ) 6 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	156.1	74.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	63.1	39.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	25.6	45.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	10.1	0.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	25.5	45.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	16.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

MC121-Q1:3.2V ≦ V_{VM} ≦ 35V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)
標準値は T_J = 25℃ および V_{VM} = 12V での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VM)						
I_{VMQ}	VM スリープ モード電流	$V_{PWM/DC}$ = 0V、SLEEP_EN = 0x1		0.08	0.14	mA
I_{VM}	VM アクティブ モード電流	$V_{PWM/DC}$ = 3V (PWMDC_MODE = 0x1) またはフローティング (PWM_DC = 0x0)、OUTx 間は無負荷		3.9	5	mA
t_{WAKE}	スタンバイ / スリープ モードからのターンオン時間	PWM デューティ = 0% ～ 100% から OUTx スイッチングまでに要する時間。PWM 入力 (PWMDC_MODE = 0x0)、PWM_IN_RANGE = 0x0			16	ms
		PWM デューティ = 0% ～ 100% から OUTx スイッチングまでに要する時間。PWM 入力 (PWMDC_MODE = 0x0)、PWM_IN_RANGE = 0x1			64	ms
	スタンバイ / スリープ モードからのターンオン時間	DC 入力 = 0V ～ 3V から OUTx スイッチングまでに要する時間。DC 入力 (PWMDC_MODE = 0x1)			1	ms
t_{STOP_DET}	DIN = 0% の検出に要する時間	PWM デューティ = 100% ～ 0% から、RAMP_ON_STOP_DIS に従ってモーター停止を開始するのに要する時間。PWM 入力 (PWMDC_MODE = 0x0、PWM_IN_RANGE = 0x0)			16	ms
		PWM デューティ = 100% ～ 0% から RAMP_ON_STOP_DIS に従ってモーター停止を開始するのに要する時間。PWM 入力 (PWMDC_MODE = 0x0、PWM_IN_RANGE = 0x1)			64	ms
	DIN = 0% の検出に要する時間	DC 入力 = 3V ～ 0V から RAMP_ON_STOP_DIS に従ってモーター停止を開始するのに要する時間。DC 入力 (PWMDC_MODE = 0x1)			1.3	ms
PWM/DC (SCL) および FG (SDA)						
V_{IL}	入力ロジック Low 電圧	アクティブまたはスタンバイ状態、あるいは SCL モード時、PWM/DC ピンは PWM 入力モード (PWMDC_MODE = 0x0)、FG ピンは SDA モード			0.8	V
V_{IH}	入力ロジック High 電圧		2			V
V_{HYS}	入力ヒステリシス		0.15	0.2	0.26	V

ADVANCE INFORMATION

ADVANCE INFORMATION

MC121-Q1：3.2V ≦ V_{VM} ≦ 35V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)
標準値は T_J = 25℃ および V_{VM} = 12V での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{SLEEP_DC}	DC 入力モードでのスリープ移行のための PWM/DC ピンの電圧スレッショルド	PWM/DC ピンに印加される電圧、SLEEP_EN = 0x1、PWMDC_MODE = 0x1	0		0.1	V
I_{IL} (PWM/DC)	入力ロジック Low 電流	V_I = 0V、SLEEP_EN = 0x0、PWM/DC ピンは PWM 入力モード (PWMDC_MODE = 0x0) または SCL モード	225	245	265	μA
		V_I = 0V、SLEEP_EN = 0x0、PWM/DC ピンは DC 入力モード (PWMDC_MODE = 0x1)			1	μA
		V_I = 0V、SLEEP_EN = 0x1、PWM/DC ピンは PWM 入力モード (PWMDC_MODE = 0x0) または DC 入力モード (PWMDC_MODE = 0x1) または SCL モード	20	50	70	μA
I_{IH} (PWM/DC)	入力ロジック High 電流	V_I = 3.3V、PWM/DC ピンは PWM 入力モード (PWMDC_MODE = 0x0) または DC 入力モード (PWMDC_MODE = 0x1) または SCL モード	-1		0	μA
		V_I = V_{VM}、PWM/DC ピンは PWM 入力モード (PWMDC_MODE = 0x0) または DC 入力モード (PWMDC_MODE = 0x1) または SCL モード	-1		0	μA
V_{PU} (PWM/DC)	内部プルアップ電圧	PWM 入力モード (PWMDC_MODE = 0x0)、VM ≧ 3.6V	2.7	2.9	3.2	V
		PWM 入力モード (PWMDC_MODE = 0x0)、VM < 3.6V	2.55		VM	V
f_{PWM_IN}	デューティ / 速度リファレンスの入力 PWM 周波数範囲	PWM 入力 (PWMDC_MODE = 0x0)、PWM_IN_RANGE = 0x0	0.08		90	kHz
		PWM 入力 (PWMDC_MODE = 0x0)、PWM_IN_RANGE = 0x1	0.02		22	kHz
V_{PWM_ACC}	PWM 入力からのデューティ / 速度リファレンス精度	20Hz ≦ f_{PWM_IN} ≦ 45kHz			0.4	%
		45kHz < f_{PWM_IN} ≦ 90kHz			0.8	%
V_{DC}	デューティ / 速度リファレンスの DC 入力範囲	DC 入力 (PWMDC_MODE = 0x1)、3.2V ≦ VM < 4.5V	0		VM - 1.4	V
		DC 入力 (PWMDC_MODE = 0x1)、4.5V ≦ VM ≦ 35V	0		3.1	V
$V_{DC_DIN_0\%}$	0% デューティ / 速度リファレンス (DIN = 0%) の DC 入力スレッショルド	DC 入力 (PWMDC_MODE = 0x1)			0.1	V
$V_{DC_DIN_100\%}$	100% デューティ / 速度リファレンス (DIN = 100%) の DC 入力スレッショルド	DC 入力 (PWMDC_MODE = 0x1)、3.2V ≦ VM < 4.5V	VM - 1.4		3.2	V
		DC 入力 (PWMDC_MODE = 0x1)、4.5V ≦ VM ≦ 35V	2.9	3	3.2	V
V_{DC_ACC}	DC 入力からのデューティ / 速度リファレンス精度	DC 入力 (PWMDC_MODE = 0x1)、4.5V ≦ VM ≦ 35V			3	%
V_{OL} (FG)	出力ロジック Low 電圧	I_{OD} = 20mA			0.4	V
I_{OZ} (FG)	出力ロジック High 電流	V_{OD} = 3.3 V	-1		1	μA
I_{OZ} (FG)	出力ロジック High 電流	V_{OD} = VM	-1		1	μA
ドライバ出力 (OUTx)						
$R_{DS(on)}$ (H+L)	ハイサイドおよびローサイド MOSFET のオン抵抗	V_{VM} = 3.2V、I_O = 500mA、T_A = 25°C		0.85	1.02	Ω

Copyright © 2025 Texas Instruments Incorporated

MC121-Q1：3.2V ≦ V_{VM} ≦ 35V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)
標準値は T_J = 25℃ および V_{VM} = 12V での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{DS(on)}$ (H+L)	ハイサイドおよびローサイド MOSFET のオン抵抗	V_{VM} = 12V、I_O = 500mA、T_A = 25°C		0.8	0.95	Ω
$R_{DS(on)}$ (H+L)	ハイサイドおよびローサイド MOSFET のオン抵抗	V_{VM} = 12V、I_O = 500mA、T_A = 150°C		1.3	1.5	Ω
f_{PWM_OUT}	PWM 出力周波数	PWM_OUT_FREQ = 0x0、DITHER_EN = 0x0	23.5	25	26.25	kHz
f_{PWM_OUT}	PWM 出力周波数	PWM_OUT_FREQ = 0x1、DITHER_EN = 0x0	45	50	55	kHz
デジタルラッチ ホール エフェクト センサ						
B_{OP}	動作ポイント		0.4	0.8	1.6	mT
B_{RP}	リリース ポイント		-1.6	-0.7	-0.4	mT
B_{HYS}	ヒステリシス、B_{HYS} = (B_{OP} - B_{RP})		1.2	1.6	3.2	mT
B_{OF}	磁気オフセット、B_{OF} = (B_{OP} + B_{RP}) / 2		-1	0	1	mT
発振器						
f_{osc}	内部発振器の周波数	V_{VM} = 12V、T_J = 25ºC	24.625	25	25.375	MHz
f_{osc}	内部発振器の周波数		24.25	25	25.75	MHz
デューティ曲線						
D_{OUT_RES}	LSB あたりの出力デューティ サイクル分解能	50% 電圧レベル、0.4% ≦ DOUT ≦ 99.6% で測定		0.4		%
D_{HYS}	D_{IN} 立ち上がりの速度曲線ヒステリシス	DIN_HYS = 0x0。DIN を 0% から DIN0 + DIN_HYS までスイープします。出力 DOUT は DOUT0 からターゲット デューティ サイクルに変化します。		0		%
		DIN_HYS = 0x1。DIN を 0% から DIN0 + DIN_HYS までスイープします。出力 DOUT は DOUT0 からターゲット デューティ サイクルに変化します。		1.2		%
		DIN_HYS = 0x2。DIN を 0% から DIN0 + DIN_HYS までスイープします。出力 DOUT は DOUT0 からターゲット デューティ サイクルに変化します。		2.4		%
		DIN_HYS = 0x3。DIN を 0% から DIN0 + DIN_HYS までスイープします。出力 DOUT は DOUT0 からターゲット デューティ サイクルに変化します。		4.8		%
$SPEED_{ERR}$	閉ループ速度精度	T_J = 25ºC、SPEED_LOOP_EN = 0x1、12.5% x MAX_SPEED ≦ SPEED_REF ≦ MAX_SPEED	-1		1	%
		SPEED_LOOP_EN = 0x1、12.5% x MAX_SPEED ≦ SPEED_REF ≦ MAX_SPEED	-3		3	%
整流						
$\theta_{HALL_OS_ANGLE}$	最小ホール オフセット角度	HALL_OS_ANGLE = 0x00		0		度
	最大ホール オフセット角度	HALL_OS_ANGLE = 0x1F		43.8		度
$\theta_{HALL_OS_ANGLE_LSB}$	LSB あたりのホール オフセット角度分解能	HALL_OS_ANGLE LSB		1.4		度
T_{HALL_OS}	最小ホール オフセット信号のリード / ラグ時間	HALL_OS_TIME = 0x00		0		µs
	最大ホール オフセット信号リード / ラグ時間	HALL_OS_TIME = 0xFF		2.55		ms

ADVANCE INFORMATION

MC121-Q1：3.2V ≦ V_{VM} ≦ 35V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)
標準値は T_J = 25℃ および V_{VM} = 12V での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$T_{HALL_OS_LSB}$	LSB ごとのホール オフセット信号リード / ラグ時間分解能	HALL_OS_TIME LSB		10		µs
t_{DEMAG}	消磁期間の最小時間	DEMAG_TIME = 0x00		0		µs
	消磁期間の最大時間	DEMAG_TIME = 0x20		1.29		ms
t_{DEMAG_LSB}	LSB ごとの DEMAG_TIME 時間分解能	DEMAG_TIME LSB		10.24		µs
θ_{SRISE}	ソフト立ち上がりの最小角度	SRISE = 0x00		2.8		度
	ソフト立ち上がりの最大角度	SRISE = 0x10		90		度
θ_{SRISE_LSB}	LSB あたりの SRISE の角度分解能	SRISE LSB		2.8		度
θ_{SFALL}	ソフト立ち下がりの最小角度	SFALL = 0x00		2.8		度
	ソフト立ち下がりの最大角度	SFALL = 0x1F		90		度
θ_{SFALL_LSB}	LSB あたりの SFALL の角度分解能	SRISE LSB		2.8		度
プレスタートと PWM ランプ / ソフト スタート						
PWM_RAMP_RATE	ソフト スタートおよび速度変化に対する出力デューティ サイクル ランプ レート	PWM_RAMP_SEL = 0x0 (0 ～ 100% の場合 1.3s)		77		%/s
		PWM_RAMP_SEL = 0x1 (0 ～ 100% の場合 2.6s)		38.5		%/s
		PWM_RAMP_SEL = 0x2 (0 ～ 100% の場合 5.2s)		19.2		%/s
		PWM_RAMP_SEL = 0x3 (0 ～ 100% の場合 10.4s)		9.6		%/s
保護回路						
VM_{CLAMP}	VM クランプ電圧	I_{clamp} = 20mA	37		43	V
VM_{POR}	デバイスの電源投入に必要な VM パワーオン リセットのスレッショルド	電源立ち上がり	2.3	2.55	2.7	V
VM_{POR_HYS}	VM パワーオン リセット スレッショルド ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	0.04	0.09	0.13	V
V_{UVLO}	モーターの駆動を開始 / 停止するための電源低電圧誤動作防止スレッショルド	電源立ち上がり (UVLO_SEL = 0x0)	2.85	3	3.15	V
		電源立ち下がり (UVLO_SEL = 0x0)	2.55	2.7	2.85	V
V_{UVLO_HYS}	電源 UVLO ヒステリシス	立ち上がりから立ち下がりまでのスレッショルド (UVLO_SEL = 0x0)		0.3		V
V_{UVLO}	モーターの駆動を開始 / 停止するための電源低電圧誤動作防止スレッショルド	電源立ち上がり (UVLO_SEL = 0x1)	3.97	4.2	4.5	V
		電源立ち下がり (UVLO_SEL = 0x1)	2.55	2.7	2.85	V
V_{UVLO_HYS}	電源 UVLO ヒステリシス	立ち上がりから立ち下がりまでのスレッショルド (UVLO_SEL = 0x1)		1.5		V
V_{UVLO}	モーターの駆動を開始 / 停止するための電源低電圧誤動作防止スレッショルド	電源立ち上がり (UVLO_SEL = 0x2)	5.42	5.7	6	V
		電源立ち下がり (UVLO_SEL = 0x2)	2.55	2.7	2.85	V
V_{UVLO_HYS}	電源 UVLO ヒステリシス	立ち上がりから立ち下がりまでのスレッショルド (UVLO_SEL = 0x2)		3		V
V_{UVLO}	モーターの駆動を開始 / 停止するための電源低電圧誤動作防止スレッショルド	電源立ち上がり (UVLO_SEL = 0x3)	7.2	7.6	8	V
		電源立ち下がり (UVLO_SEL = 0x3)	2.55	2.7	2.85	V
V_{UVLO_HYS}	電源 UVLO ヒステリシス	立ち上がりから立ち下がりまでのスレッショルド (UVLO_SEL = 0x3)		4.9		V
V_{OVP}	電源過電圧誤動作防止 (OVP)	電源立ち上がり (OVP_SEL = 0x0)	32.7	34.5	36.3	V
V_{OVP}	電源過電圧誤動作防止 (OVP)	電源立ち下がり (OVP_SEL = 0x0)	31.4	33.2	34.9	V
V_{OVP}	電源過電圧誤動作防止 (OVP)	電源立ち上がり (OVP_SEL = 0x1)	21.5	22.7	23.9	V

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

MC121-Q1：3.2V ≦ V_{VM} ≦ 35V、-40℃ ≦ T_J ≦ 150℃ (特に記述のない限り)
標準値は T_J = 25℃ および V_{VM} = 12V での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OVP}	電源過電圧誤動作防止 (OVP)	電源立ち下がり (OVP_SEL = 0x1)	20.1	21.2	22.3	V
V_{OVP}	電源過電圧誤動作防止 (OVP)	電源立ち上がり (OVP_SEL = 0x2)	17.5	18.4	19.3	V
V_{OVP}	電源過電圧誤動作防止 (OVP)	電源立ち下がり (OVP_SEL = 0x2)	15.9	16.9	17.9	V
V_{OVP_HYS}	電源過電圧ヒステリシス			1.5		V
t_{OVP_DEG}	電源過電圧グリッチ除去時間		70	80	90	µs
t_{OVP_BLANK}	電源過電圧ブランキング時間	OVP_BLANK_EN = 0x1、OVP_BLANK_TIME = 0x0		1		ms
		OVP_BLANK_EN = 0x1、OVP_BLANK_TIME = 0x1		4		ms
I_{LIMIT}	Current limit threshold	ILIMIT_SEL = 0x0	0.29	0.32	0.37	A
		ILIMIT_SEL = 0x1	0.38	0.43	0.49	A
		ILIMIT_SEL = 0x2	0.48	0.53	0.61	A
		ILIMIT_SEL = 0x3	0.58	0.63	0.73	A
		ILIMIT_SEL = 0x4	0.67	0.73	0.85	A
		ILIMIT_SEL = 0x5	0.76	0.83	0.97	A
		ILIMIT_SEL = 0x6	0.85	0.94	1.09	A
		ILIMIT_SEL = 0x7	0.94	1.03	1.21	A
		ILIMIT_SEL = 0x8	1.03	1.12	1.33	A
		ILIMIT_SEL = 0x9	1.11	1.21	1.44	A
t_{ILIMIT_BLANK}	電流制限ブランキング時間 (最新の立ち上がりエッジ PWM (FET) 信号から適用)	ILIM_BLANK_SEL = 0x0		0.5		µs
		ILIM_BLANK_SEL = 0x1		1		µs
t_{ILIMIT_DEG}	電流制限のグリッチ除去時間	ILIM_DEGLITCH_SEL = 0x0		0.6		µs
	電流制限のグリッチ除去時間	ILIM_DEGLITCH_SEL = 0x1		1.1		µs
I_{OCP}	過電流保護トリップ ポイント (HS_FET)		1.3 * I_{LIMIT}	1.7 * I_{LIMIT}	2.2 * I_{LIMIT}	A
I_{OCP}	過電流保護トリップ ポイント (LS_FET)		1.5 * I_{LIMIT}	1.7 * I_{LIMIT}	1.85 * I_{LIMIT}	A
t_{OCP_DEG}	過電流保護グリッチ除去時間			0.6		µs
t_{LRD_START}	起動時の回転子ロック検出時間	LRD_TIME_STARTUP = 0x0	0.31	0.32	0.34	s
		LRD_TIME_STARTUP = 0x1	0.42	0.44	0.46	s
		LRD_TIME_STARTUP = 0x2	0.5	0.52	0.55	s
		LRD_TIME_STARTUP = 0x3	1	1.05	1.1	s
N_{RETRY}	回転子ロックと過電流に対するロング リトライ時間の比率。ロング リトライ時間 = N_{RETRY} × t_{LRD_START}	LRD_LONG_RETRY_SEL = 0x0		2		
		LRD_LONG_RETRY_SEL = 0x1		4		
		LRD_LONG_RETRY_SEL = 0x2		8		
		LRD_LONG_RETRY_SEL = 0x3		10		
		LRD_LONG_RETRY_SEL = 0x4		12		
		LRD_LONG_RETRY_SEL = 0x5		16		
		LRD_LONG_RETRY_SEL = 0x6		24		
		LRD_LONG_RETRY_SEL = 0x7		28		
t_{LRD_RUN}	起動時の回転子ロック検出時間	モーター動作中の回転子ロック	0.29	0.32	0.35	s
T_{TSD}	サーマル シャットダウン温度		155	170	185	°C
T_{HYS}	サーマル シャットダウン ヒステリシス			24		°C

ADVANCE INFORMATION

ADVANCE INFORMATION

5.6 I2C のタイミング要件

		最小値	公称値	最大値	単位
スタンダード モード					
f_{SCL}	SCL クロック周波数	0		100	kHz
$t_{HD,STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます	4			µs
t_{LOW}	SCL クロック Low 期間	4.7			µs
t_{HIGH}	SCL クロックの High の時間	4			µs
$t_{SU,STA}$	反復開始条件のセットアップ時間	4.7			µs
$t_{HD,DAT}$	データ ホールド時間:I2C バス デバイスの場合	0.01		3.45	µs
$t_{SU,DAT}$	データ セットアップ時間	250			ns
t_R	SDA と SCL の立ち上がり時間			1000	ns
t_F	SDA と SCL の立ち下がり時間			300	ns
$t_{SU,STO}$	STOP 条件のセットアップ時間	4			µs
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7			µs
ファスト モード					
f_{SCL}	SCL クロック周波数	0		400	kHz
$t_{HD,STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.6			µs
t_{LOW}	SCL クロック Low 期間	1.3			µs
t_{HIGH}	SCL クロックの High の時間	0.6			µs
$t_{SU,STA}$	反復開始条件のセットアップ時間	0.6			µs
$t_{HD,DAT}$	データ ホールド時間:I2C バス デバイスの場合	0.01		0.9	µs
$t_{SU,DAT}$	データ セットアップ時間	50			ns
t_R	SDA と SCL の立ち上がり時間			300	ns
t_F	SDA と SCL の立ち下がり時間			300	ns
$t_{SU,STO}$	STOP 条件のセットアップ時間	0.6			µs
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3			µs
t_{SP}	入力ノイズ フィルタにより抑制されるスパイクのパルス幅		50		ns

5.7 タイミング図

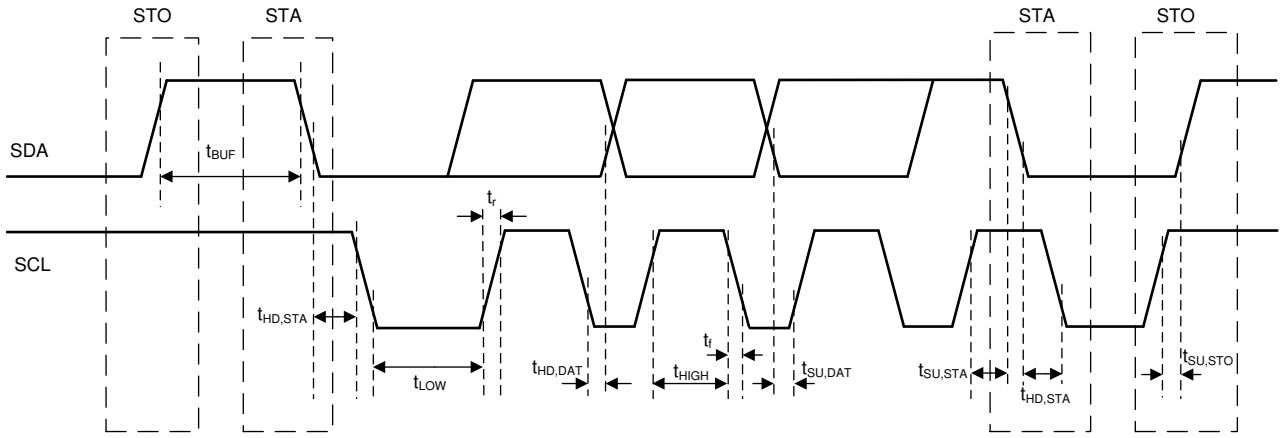


図 5-1. I²C のタイミング図

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

MC121-Q1 は、40V、850mΩ 定格、1.25A ピークの単相 BLDC モーター ドライバで、N チャネル フルブリッジ FET、チャージ ポンプ、ホール センサ、整流制御ロジック、保護回路を内蔵しています。ホール センサは、回転子の位置情報を整流ロジックに提供し、連続的な回転子の動作を維持します。整流ロジックは、方形波とソフト PWM 波形に設定して、音響ノイズを低減したり、速度 / 効率を最大化したりできます。

6.2 機能ブロック図

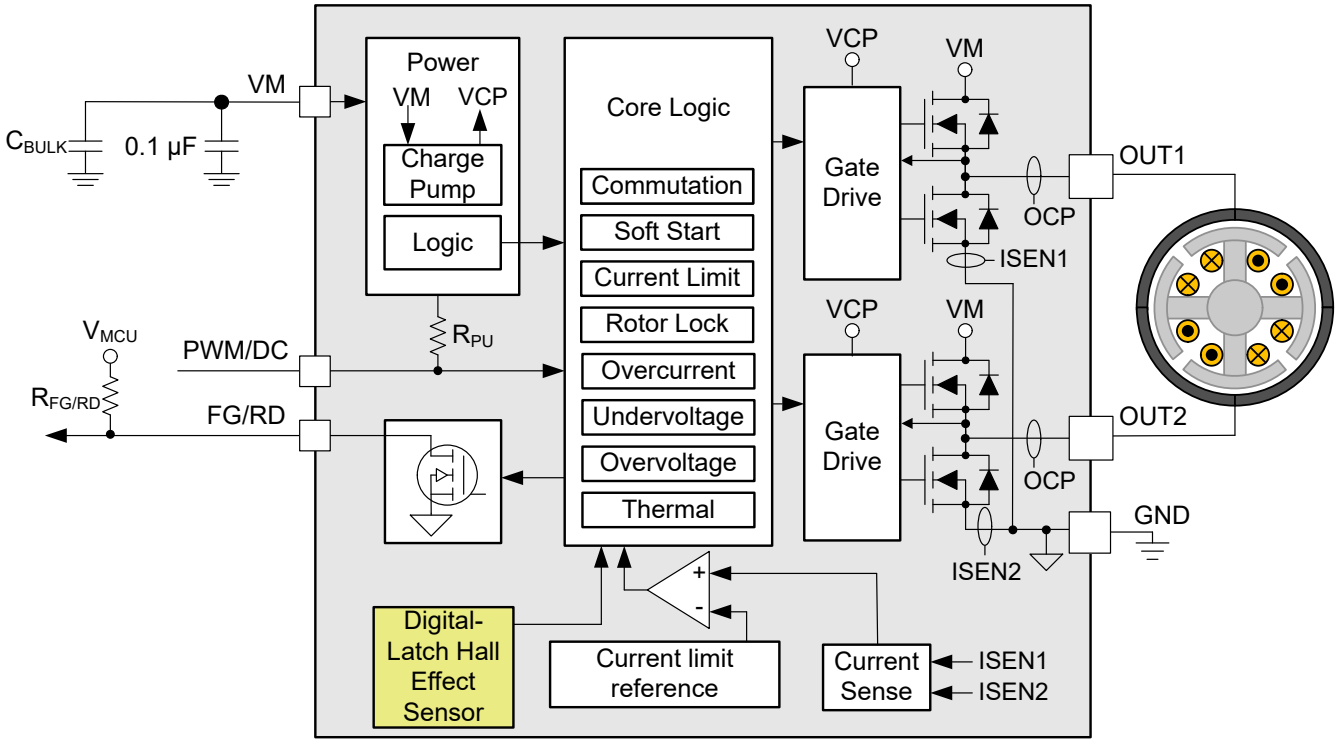


図 6-1. MC121-Q1 機能ブロック図

6.3 機能説明

6.3.1 モーター制御

MC121-Q1 は、PWM/DC ピンにパルス幅変調 (PWM) または DC (アナログ) 入力を受け取ることで、モーター速度を制御します。MC121-Q1 は、入力デューティ (図 6-2 の DIN) をユーザー設定のターゲット出力デューティ サイクル (図 6-2 の DOUT_TARGET) にマッピングするための、設定可能なデューティ曲線を提供します。MC121-Q1 は、出力デューティ サイクル (図 6-2 の DOUT) をスムーズに増減させて DOUT_TARGET に到達させるための、ユーザーが設定可能なデューティ ランプも提供します。MC121-Q1 は、開ループ (デューティ サイクル) 制御と閉ループ (速度) 制御の両方をサポートしています。開ループ (デューティ サイクル) 制御では、印加されるデューティ サイクルは DOUT によって直接設定されます。閉ループ (速度) 制御では、印加されるデューティ サイクルは速度ループによって設定されます。内蔵のデジタルラッチ ホール センサは、整流アルゴリズムに対して回転子の位置とタイミングの情報を提供します。MC121-Q1 は、効率 / モーター速度と音響ノイズの間で最適化するために、方形波 および出力 PWM 波形整形方式をサポートしています。MC121-Q1 は、H ブリッジで同期、非同期、およびハイブリッド出力 PWM 変調モードを提供します。設定可能なホール リード / ラグ角度と時間調整により、低速および高速の両方で効率を向上させることができます。さらに、MC121-Q1 は、整流前にモーター巻線電流をゼロにまで低減させるために、設定可能な消磁機能 (自動または手動) を備えており、DC バス (VM) 電圧スパイクや音響ノイズを最小化し、効率を向上させることができます。

ADVANCE INFORMATION

図 6-2 に、MC121-Q1 のモーター制御ブロック図を示します。

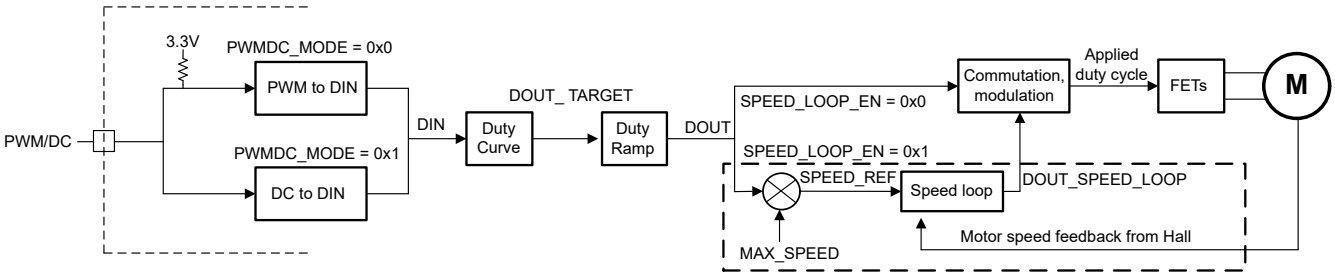


図 6-2. MC121-Q1 モーター制御のブロック図

6.3.1.1 デューティ入力

MC121-Q1 は、PWM/DC ピンからデューティ入力 (DIN) を受け取ります。PWM/DC 入力は PWM 信号と DC (アナログ) 信号のどちらかにでき、PWMDC_MODE ビットによって選択されます。入力 PWM 周波数の範囲は 20Hz ～ 90kHz (PWM_IN_RANGE ビットで設定された入力 PWM 周波数範囲) で、DC 入力の範囲は (0 ～ 3)V です。PWM/DC ピンにはプルアップ機能が内蔵されており、オン / オフ制御のみを必要とするアプリケーションで、ピンがフローティング / 未接続のままのとき、デューティ入力 (DIN) を 100% に設定できます。

注

PWRUP_PWMDC_MASK が 0x1 に設定されている場合、MC121-Q1 はパワーアップ後、1 秒間待機してから、PWM/DC ピンからのデューティ入力に反応します。PWRUP_PWMDC_MASK が 0x0 に設定されている場合、パワーアップ時の待機時間はありません。

6.3.1.2 デューティ曲線

MC121-Q1 は、図 6-3 に示すように、構成可能なデューティ曲線をサポートしています。これにより、特定の使用事例に応じてターゲット出力デューティ サイクル (DOUT_TARGET) を入力デューティ (DIN) の関数として設定でき、単一プラットフォーム (MC121-Q1) でさまざまな最終アプリケーションに対応する BLDC ドライバ設計を実現できます。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

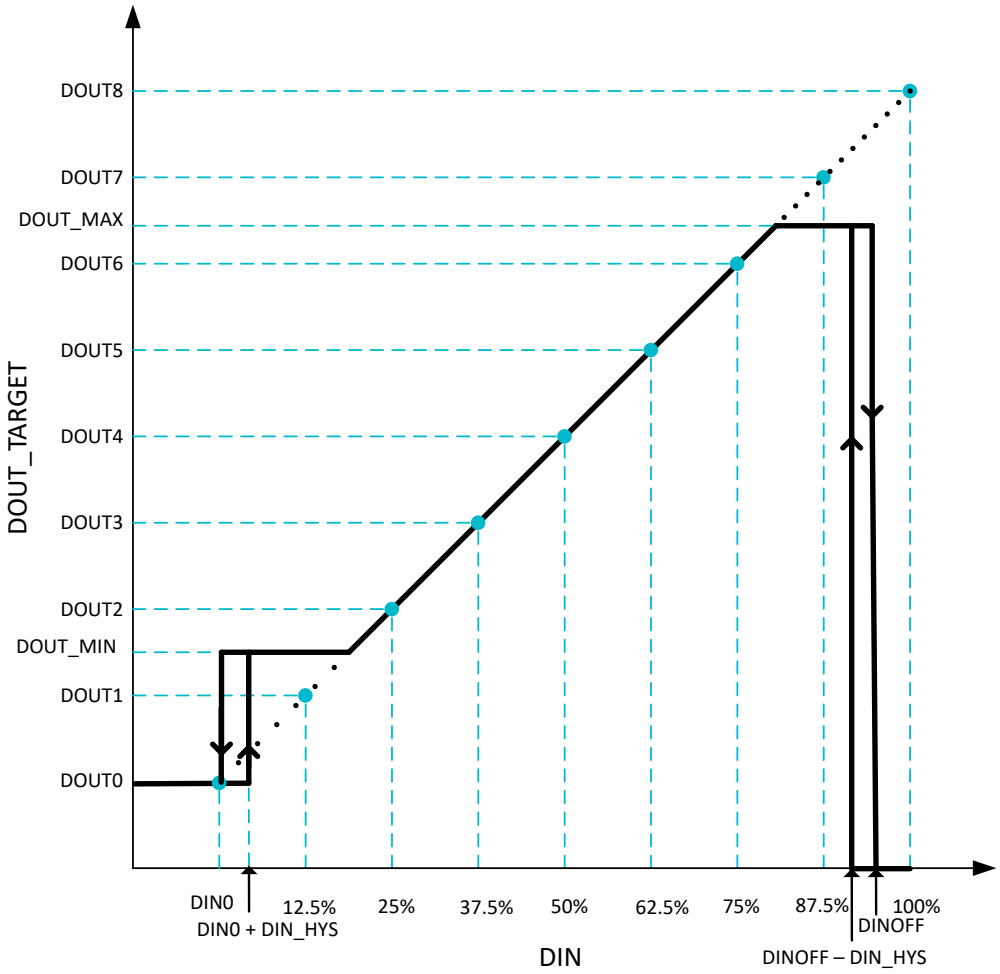


図 6-3. デューティ曲線

デューティ曲線上の構成可能なポイントは次のとおりです。

- **DIN0、DOUT0**:DIN0 は、モーターの駆動を開始するための最小入力 (開始) デューティ サイクルを設定するために使用できます。STBY_EN = 0x1 の場合、DIN ≧ (DIN0 + DINHYS) になるまでモーターは駆動されません。DINHYS は、DIN0 付近のヒステリシスを設定し、モーターの駆動を開始 / 停止します。MC121-Q1 は、STBY_EN を 0x0 に、DOUT0 をゼロでない値に設定することで、DIN < DIN0 の場合でもモーターを駆動する機能も備えています。DIN = 0% のときのデバイスの状態は、表 6-5 に示すように、SLEEP_EN ビットと STBY_EN ビットによって設定されます。
- **DINOFF**:DINOFF は最大入力デューティ サイクル (DIN) を設定し、それを上回るとモーターの駆動を停止するためのターゲット出力デューティ サイクル (DOUT_TARGET) が 0 に設定され、DIN ≧ DINOFF のとき DOUT_TARGET = 0% になります。DIN < (DINOFF - DINHYS) になると、モーター駆動が再開されます。
- **DOUT_MIN**:DOUT_MIN は、DIN0 < DIN < DINOFF のときの最小ターゲット出力デューティ サイクル (DOUT_TARGET) を設定します。
- **DOUT_MAX**:DOUT_MAX は、DIN < DINOFF のときの最大ターゲット出力デューティ サイクル (DOUT_TARGET) を設定します。
- **DOUTx**:DOUTx は、入力デューティの固定の間隔で出力デューティを設定します。DOUT1 は DIN = 12.5% のときのターゲット出力デューティを設定し、DOUT2 は DIN = 25% のときのターゲット出力デューティを設定します。以降同様に、DOUT8 は DIN = 100% のときのターゲット出力デューティを設定します。DOUTx を使用して、正のスロープ デューティ曲線を設定できます (デューティ曲線 を参照)。DOUTx は、負のスロープを設定するためにも使用でき

ADVANCE INFORMATION

ます (図 6-4 を参照)。また、DOUTx を使用して、混合スロープ (正、負、ゼロ) を設定することもできます (図 6-5 を参照)。

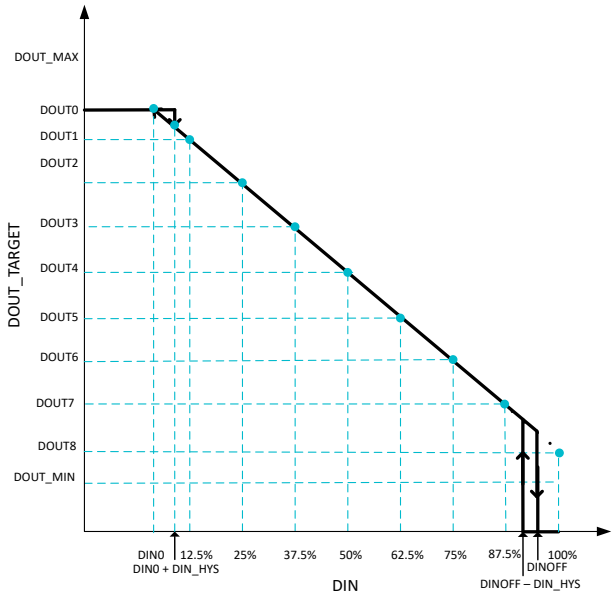


図 6-4. デューティ曲線 - 負のスロープ

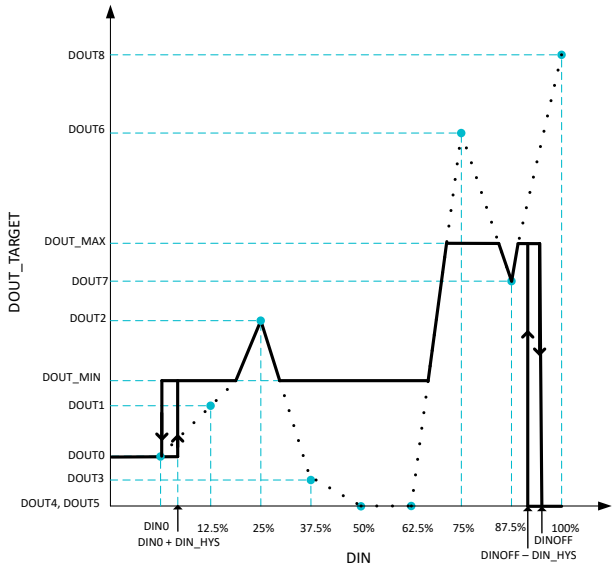


図 6-5. デューティ曲線 - 混合スロープ

6.3.1.3 モーターの起動、速度変更、停止

モーター起動

MC121-Q1 は 図 6-6 に示すように、モーター起動時に目標出力デューティ サイクル (図 6-2 の DOUT_TARGET) に到達するまで、ユーザーが設定した 2 つのスロープ ランプを実装しています。この 2 段階ランプ (プリスタート、その後にソフト スタート) によって、信頼性の高い起動とモーター ノイズの低減が可能になります。

MC121-Q1 は、スタンバイ モード、スリープ モード、または故障モードを抜けると、プリスタート フェーズに移行します。プリスタート フェーズ中、MC121-Q1 は常に方形波整流方式でモーターを駆動します。PWM_RAMP_EN が 0x1 に設定されている場合、出力デューティ サイクル (図 6-2 の DOUT) は PWM_RAMP_SEL で設定されたレートで次の値から直線的に増加します (速度ループが無効の場合 DOUT_START × DOUT_MAX、速度ループが有効の場合 DOUT_START)。PWM_RAMP_EN が 0x0 に設定されている場合、DOUT は DOUT_TARGET によって直接更新されます。プリスタート フェーズは、4 電気サイクル (8 ホール エッジ) が観測されるまで続きます。4 番目の電気サイクルが完了すると、デバイスはソフト スタート フェーズへ移行し、DOUT を DOUT_TARGET まで上昇させます。なお、プリスタート フェーズ終了時点で DOUT がすでに DOUT_TARGET に達している場合、ソフト スタート フェーズはスキップされ、デバイスは直接定常状態に入ります。MC121-Q1 が t_{LRD} 内にホール信号の遷移を検出しなかった場合、デバイスは回転子ロック保護フォールト状態に移行します。起動シーケンス中の回転子ロック検出時間 (t_{LRD_START}) は、LRD_TIME_STARTUP によって設定されます。定常状態では、回転子ロック検出時間 (t_{LRD_RUN}) は 320ms に固定されています。プリスタート フェーズ中、ホール オフセット (角度および時間) は無効化されます。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

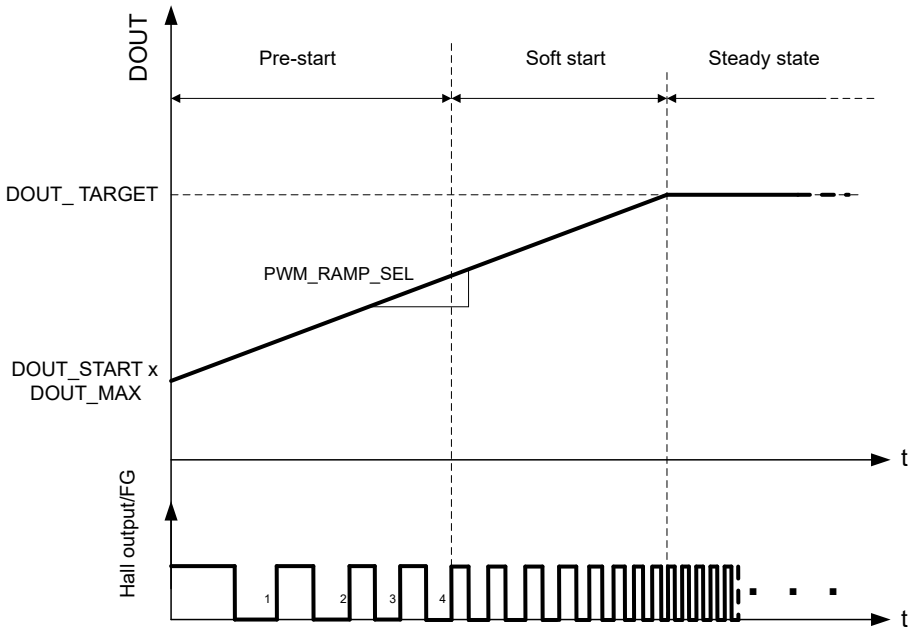


図 6-6. モーター起動時の出力デューティ サイクル

ソフト スタート フェーズ中、DOUT は PWM_RAMP_SEL で設定されたレートで上昇します。このフェーズではホール オフセットと消磁が適用され、MC121-Q1 は COMMUTATION_MODE、SRISE、SFALL ビットで設定された整流方式を使用します。DOUT が出力デューティまたは速度目標値に到達すると、ソフト スタート フェーズは終了します。

速度変更

モーター動作中、DIN が変化すると、MC121-Q1 はユーザーが設定したランプ レートを使用して、出力デューティ サイクル (図 6-2 の DOUT) を前の目標デューティ サイクル (DOUT_TARGET_PREV) から新しい目標デューティ サイクル (DOUT_TARGET) までスムーズに変化させます。加速中 (DOUT_TARGET > DOUT_TARGET_PREV) は、ランプ レートは PWM_RAMP_SEL によって設定され、減速中 (DOUT_TARGET < DOUT_TARGET_PREV) は、ランプ レートは PWM_RAMP_SEL (PWM_DECEL_SEL = 0x0 の場合) または 0.5 × PWM_RAMP_SEL (PWM_DECEL_SEL = 0x1 の場合) になります。PWM_DECEL_SEL = 0x1 は、モーターからの回生エネルギーのプッシュバックによる DC バス スパイクを回避するため、減速中にランプを遅くします。図 6-7 に、PWM_RAMP_SEL に従う DOUT の増加および減少の例を示します。

ADVANCE INFORMATION

ADVANCE INFORMATION

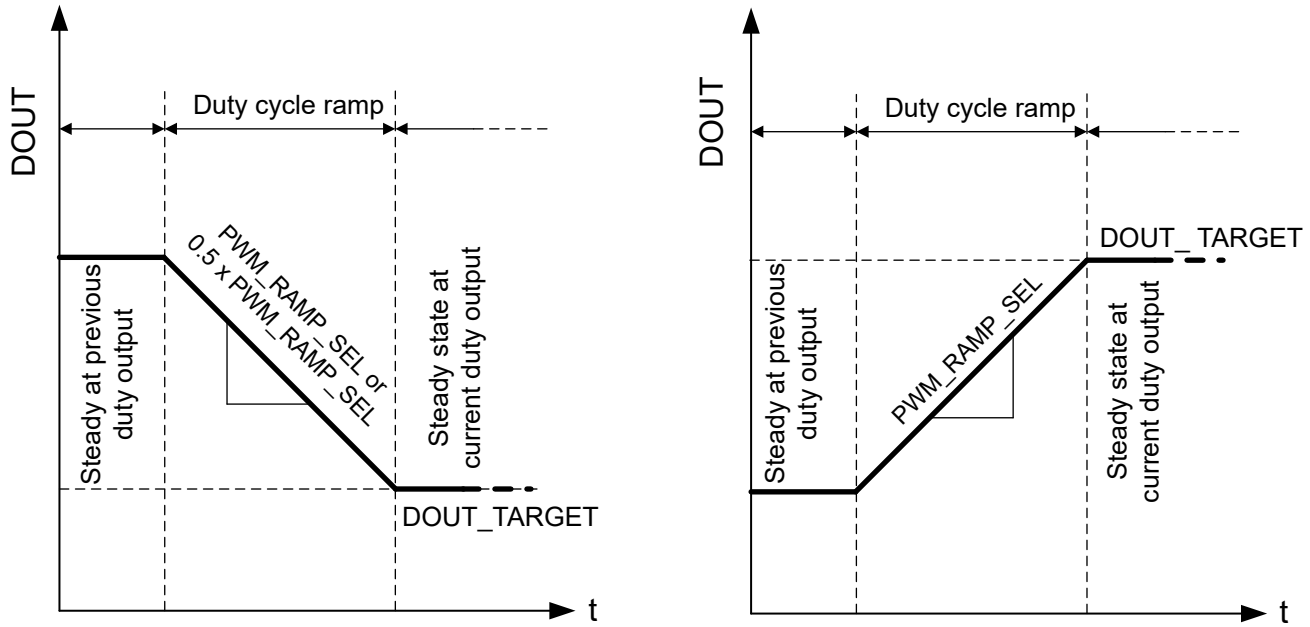


図 6-7. デューティ サイクルのランプ

ストップ

モーター停止 (DOUT_TARGET = 0%) を受信すると、MC121-Q1 は RAMP_ON_STOP_DIS の設定に基づいてモーターを停止します。RAMP_ON_STOP_DIS が 0x1 に設定されている場合、モーター停止が検出されると (t_{STOP_DET} 以内に)、すべての FET がハイ インピーダンスになります。RAMP_ON_STOP_DIS が 0x0 に設定されている場合、デバイスは DOUT を PWM_DECEL_SEL で設定されたレートでゼロまでランプ ダウンし、その後すべての FET をハイ インピーダンスにします。FET がハイ インピーダンスになると、STBY_EN および SLEEP_EN ビットに応じて、MC121-Q1 はスタンバイ状態を継続するか、低消費電力スリープ状態に移行します。図 6-8 に、DIN が 0% に設定されている場合にスリープ状態へ移行するモーター停止シーケンスを示します。

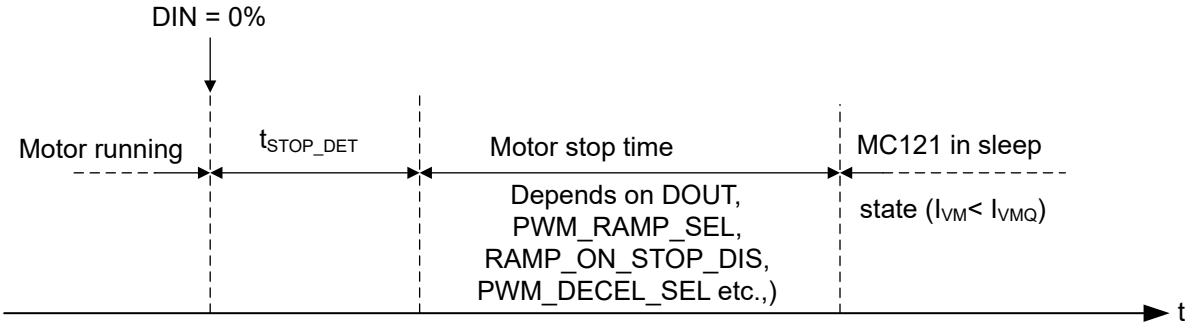


図 6-8. DIN が 0% に設定されている場合のスリープ移行シーケンス

注

PWM_RAMP_EN ビットを 0x0 に設定すると、デューティ サイクルのランプは無効化されます。デューティ サイクルのランプを無効にすると、DOUT にステップ変化が生じ (DIN 変化時)、モーターの位相電流や DC バス電圧スパイクが大きくなる可能性があります。電流または電圧スパイクを回避するため、PWM_RAMP_EN を 0x1 に設定することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

6.3.1.4 開ループ (デューティ サイクル) 制御

開ループ制御モード (SPEED_LOOP_EN を 0x0 に設定) では、PWM/DC ピンからの入力デューティ (DIN) とデューティ曲線によって、整流波形のピーク出力デューティ サイクル (OUTx ピンに印加されるモーター位相電圧) DOUT が決まります (図 6-9 を参照)。H ブリッジ FET に印加されるデューティ サイクルは、整流モード (COMMUTATION_MODE) と変調モード (PWM_MODE) の設定で決まります。

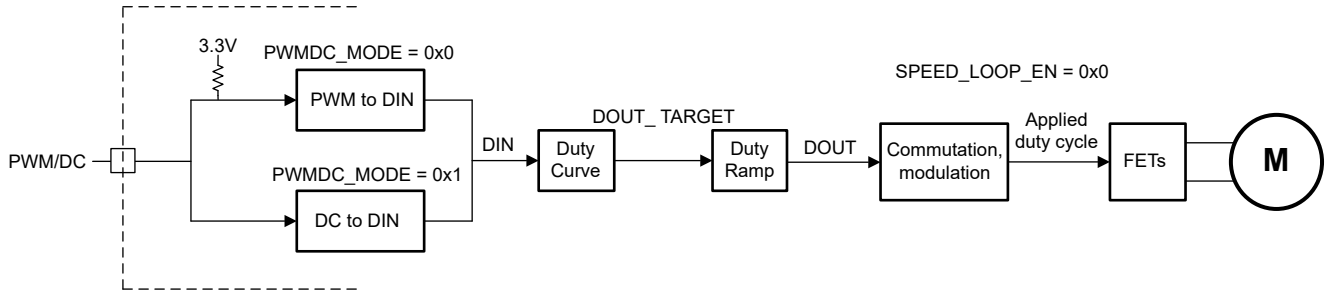


図 6-9. 開 (デューティ) ループ制御

6.3.1.5 閉ループ (速度) 制御

図 6-10 に示す通り、MC121-Q1 には閉ループ (速度) 制御モードがあり、各種動作条件 (VM、負荷) で一定の速度を維持するために使用できます。速度ループは、SPEED_LOOP_EN を 0x1 に設定し、速度リファレンス / 目標 (SPEED_REF) を (DOUT × MAX_SPEED) によって設定することで有効化されます。内蔵ホール センサからのモーター速度フィードバックが SPEED_REF と比較され、誤差は PI ループに供給されます。PI ループ Kp および Ki 係数は、KP_RATIO と KI_RATIO によって設定されます。速度ループの出力 (DOUT_SPEED_LOOP) は、印加されるピーク デューティ サイクルを設定します。速度ループの出力 (DOUT_SPEED_LOOP) が飽和すると、積分ワインドアップを防止するため、積分器が無効化されます。

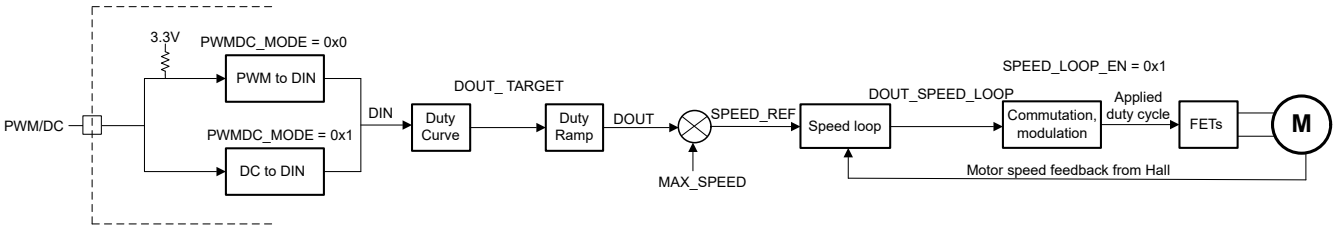


図 6-10. 閉ループ (速度) 制御

6.3.1.6 整流

モーターにおける整流とは、固定子と回転子の磁場の向きを設定し、連続的な回転子の動作を維持するプロセスです。単相 BLDC モーターの回転子には、N 極と S 極が交互に切り替わる永久磁石が含まれています。固定子には 1 相の巻線があり、通電時に回転子の磁極を引き付けたり反発させたりします。MC121-Q1 に内蔵されたホール センサは、モーターの整流のために固定子巻線に流す電流の方向を決定します。MC121-Q1 を使用した単相モーター整流の例を、図 6-11 に示します。適切なモーターの整流には、MC121-Q1 を 2 つの固定子極の間に配置し、ホール素子が回転子磁石の直下に位置するようにする必要があります。

ADVANCE INFORMATION

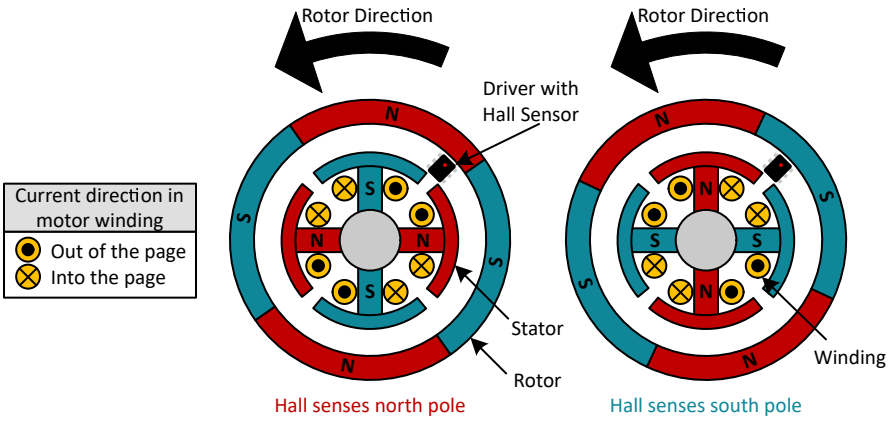


図 6-11. 単相モーター整流の例

MC121-Q1 ドライバは、単相 BLDC モーター整流のために以下の機能を内蔵しています。

- 回転子の位置センシング用のデジタル ラッチ ホール センサ
- HALL_OS_ANGLE ビットと HALL_ANGLE_MODE ビットを使用した、リードまたはラグ角度を調整するためのホール センサ オフセット角度の設定
- HALL_OS_TIME ビットと HALL_TIME_MODE ビットを使用した、リードまたはラグ時間を調整するためのホール センサ遅延の設定。
- HALL_INVERT ビットによるホール オフセット信号の反転により、モーター回転方向の変更やホール センサの各種の向きに対応
- COMMUTATION_MODE ビットで、方形波とソフトの PWM デューティ サイクル波形の選択

6.3.1.6.1 ホール センサ

MC121-Q1 はデジタルラッチ ホール センサを内蔵しており、回転子の位置情報を整流アルゴリズムに提供します。以下のセクションでは、整流アルゴリズムに対するデバイスの向きと内部ホール信号の詳細を説明します。

6.3.1.6.1.1 磁界方向の定義

ホール センサは、図 6-12 に黄色で示されたホール センサの表面から磁束が外側へ向かう場合に、正の磁界 (B > 0mT) を検出します。SOT パッケージはフリップ チップ オン リード構造を採用しているため、ホール センサの表面は磁気回転子とは反対方向を向きます。この方向では、パッケージの下を N 極が通過すると、ホール センサは正の磁界を検出します。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

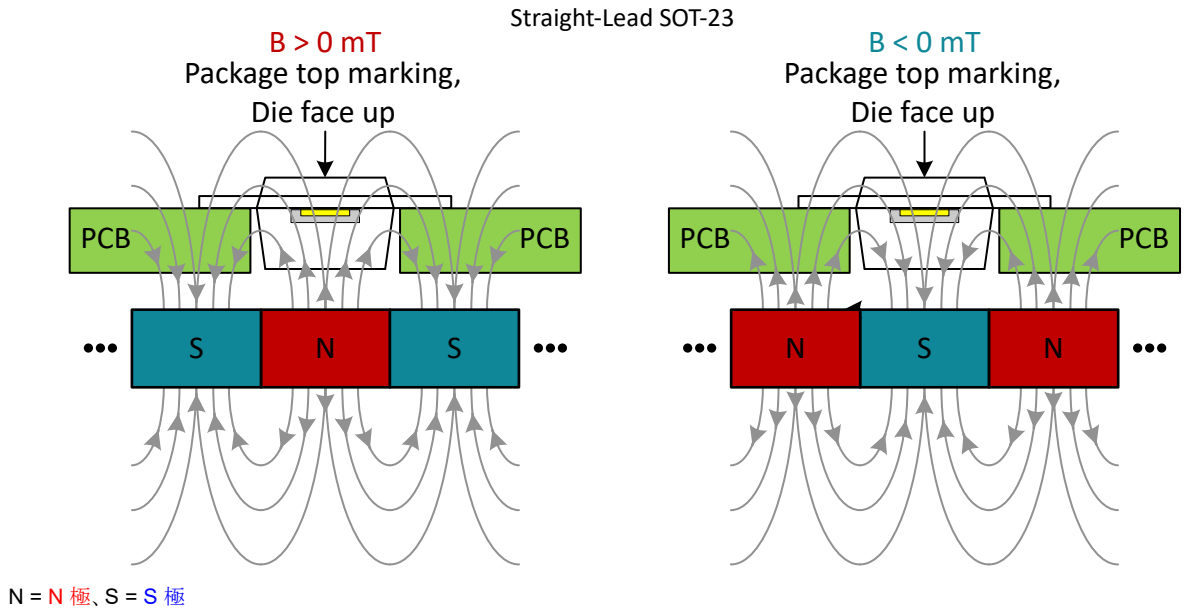


図 6-12. 回転子磁石とドライバを基準とした磁界方向の定義

6.3.1.6.1.2 内部ホール ラッチ センサ出力

B_{RP} と B_{OP} の間の磁界強度で本デバイスを電源オンすると、内部ホール ラッチ出力信号は不定となります。磁界強度が B_{OP} を上回ると、内部ホール ラッチ出力信号は Low になります。磁界強度が B_{RP} を下回ると、内部ホール ラッチ出力信号は High になります。

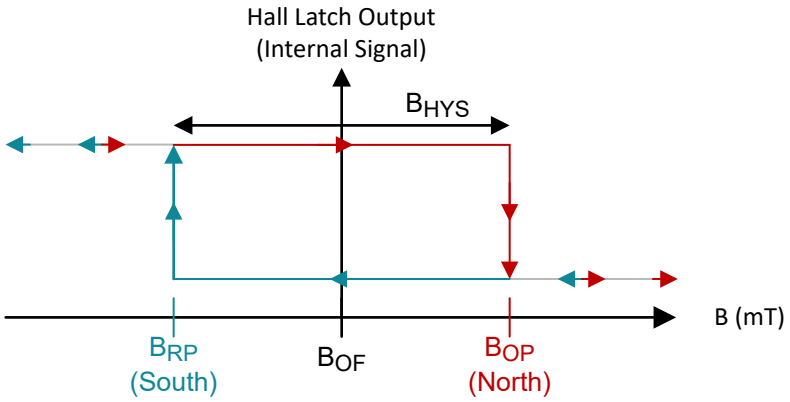


図 6-13. 内部ホール出力信号

6.3.1.6.2 ホール オフセット

MC121-Q1 には、BEMF ゼロ交差に対するホール センサ (MC121-Q1) の相対位置によるホール センサと BEMF ゼロ交差間のオフセットを補償するためのオプションがあります。HALL_OS_ANGLE を使用すると、0º から 43.6º までの範囲で、1.4º 刻みでホール オフセット角度の大きさを設定できます。ゼロ交差に対するこのオフセットの極性 (リードまたはラグ) は、HALL_ANGLE_MODE を使用して設定できます。

モーター位相電流を BEMF に合わせることで、さまざまな速度でモーター効率を最大化するには、ホール センサ出力に対してリード時間またはラグ時間を設定する必要があります。リード / ラグ時間 ($t_{HALL_OS_TIME}$) は、HALL_OS_TIME の 0 から 2.55ms まで (10µs 単位) で設定できます。この時間の極性 (リードまたはラグ) は、HALL_TIME_MODE を使用して設定できます。

ADVANCE INFORMATION

MC121-Q1 は、HALL_OS_ANGLE、HALL_ANGLE_MODE、HALL_OS_TIME、HALL_TIME_MODE に基づいて適用する必要があるリード時間またはラグ時間の合計を算出し、計算されたリード時間またはラグ時間を整流領域で適用します。たとえば、HALL_OS_ANGLE が –15.4º、HALL_OS_TIME が 150µs に設定されており、モーターが 500Hz で動作している場合、印加されるリード タイムは約 64µs です。500Hz のとき、15.4º は 85.5µs に相当するので、実効リード / ラグ時間は (150 - 85.5)µs = 約 64µs です。

6.3.1.6.3 方形波整流

方形波整流は、MC121-Q1 によって実現されるシンプルな整流方式で、最大のトルク / 速度動作を可能にします。図 6-14 に、方形波整流におけるホール センサ信号に対するドライバ出力電圧を示します。

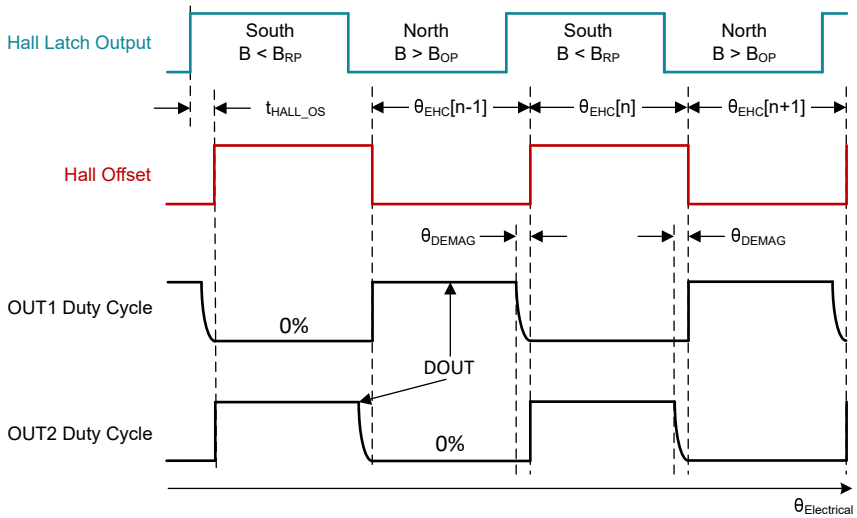


図 6-14. 方形波整流のタイミング波形

方形波整流では、出力デューティ サイクルは、電気的角度 ($\theta_{Electrical}$) に対して DOUT で一定に維持されます。ホール センサと HALL_INVERT ビットからの信号によって、指令されたデューティ サイクルでスイッチングする OUTx 端子と、180° 電気的半サイクル (θ_{EHC}) の間に GND にプルダウンされる OUTx 端子が決定されます。

消磁状態 θ_{DEMAG} は、電気的半サイクルの終了時に発生し、DEMAG_TIME ビットによって決定されます。消磁の目的は、整流イベントにより OUTx 電圧の極性を反転させる前に、モーター電流をゼロに低減し、固定子巻線を消磁することです。消磁により、整流中の VM 電源と OUTx の電圧スパイクが最小限に抑えられます。消磁は、back-EMF が最小となる整流領域周辺でのモーター電流スパイクを低減することで、効率も向上させます。PWM_MODE は、セクション 6.3.1.7 で説明されているように、PWM オフ時間および θ_{DEMAG} 時間中のモーター電流の同期、非同期、またはハイブリッド変調を設定します。図 6-15、図 6-16、図 6-17 は、それぞれ θ_{DEMAG} 中の非同期、同期、およびハイブリッド再循環状態のタイミング図を示します。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

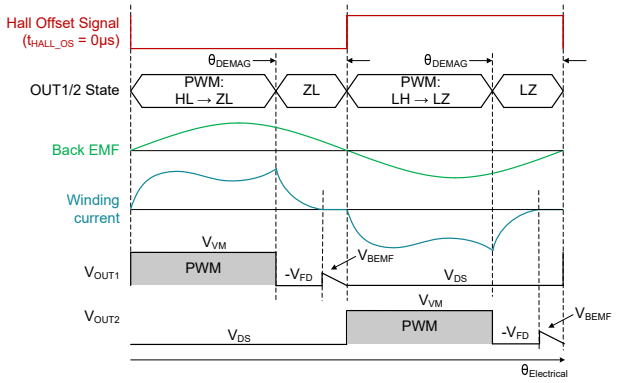


図 6-15. θ_{DEMAG} における非同期モードを使用した方形波整流の詳細なタイミング図

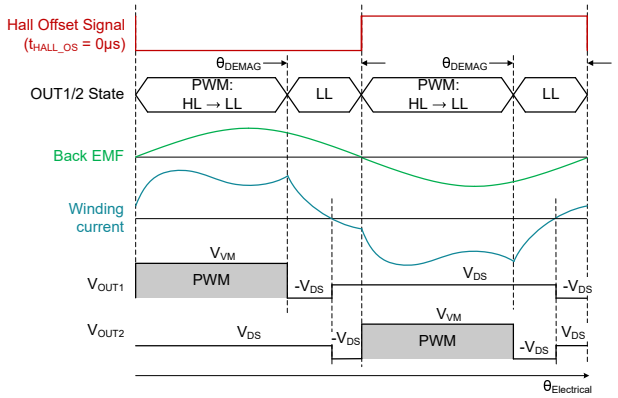


図 6-16. θ_{DEMAG} における同期モードを使用した方形波整流の詳細なタイミング図

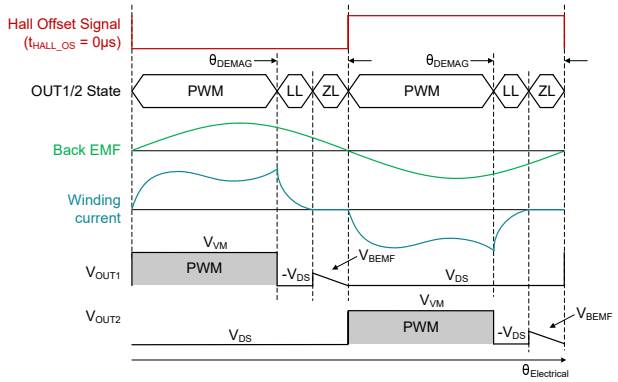


図 6-17. θ_{DEMAG} におけるハイブリッド モードを使用した方形波整流の詳細なタイミング図

消磁時間 (DEMAG_TIME) は固定時間に設定することも、自動的に決定することもできます。AUTO_DEMAG_EN が 0x0 に設定されている場合、消磁時間は動作条件全体にわたって一定であり、DEMAG_TIME ビットによって、モーターの速度に基づいて θ_{DEMAG} が決定されます。AUTO_DEMAG_EN が 0x1 に設定されている場合、ドライバは θ_{DEMAG} 角度を自動的に調整し、モーターの速度に基づいて消磁時間を最適化します。

6.3.1.6.4 ソフト整流

ソフト整流方式では、整流イベント後、θ_{SRISE} 中、PWM デューティ サイクルは D_{OUT} まで上昇し、θ_{SFALL} 中は 0% に戻ります (図 6-18 を参照)。ソフト整流の目的は、方形波整流に比べて音響ノイズを低減することです。ホール センサ信号遷移のタイミングによって、電気的半サイクル中の θ_{SRISE} および θ_{SFALL} の角度のタイミングが決定されます。θ_{SRISE} および θ_{SFALL} の角度は、SRISE および SFALL ビットを使用してプログラムできます。

ADVANCE INFORMATION

ADVANCE INFORMATION

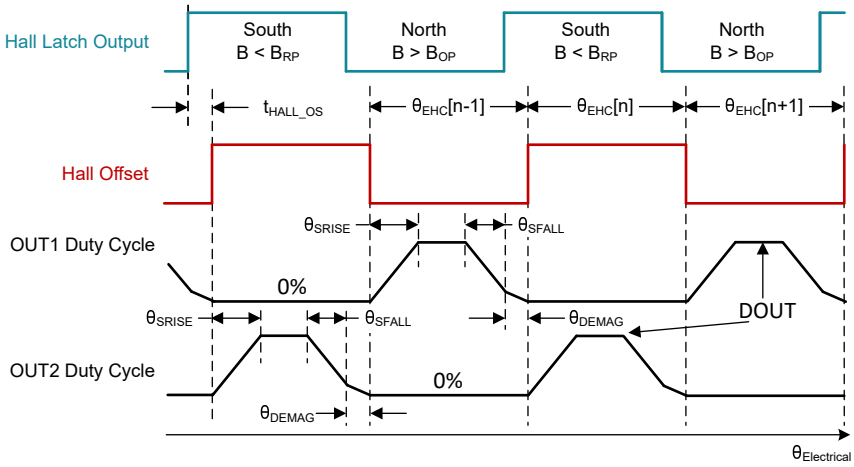


図 6-18. ソフト整流のタイミング波形

SRISE、SFALL、DEMAG_TIME ビットをプログラミングする際、θ_{SRISE}、θ_{SFALL}、θ_{DEMAG} の合計が 180° を超えると、θ_{SRISE} の角度が減少します。

6.3.1.7 PWM 変調モード

MC121-Q1 には、同期、非同期、ハイブリッドの 3 種類の PWM 変調モードがあります。PWM_MODE ビットによって、PWM 変調モードを設定します。同期モードでは、PWM オフ時間中に両方のローサイド FET がオンになります。また、フリーホイール電流をボディ ダイオードではなく FET を通して導通することで、電力損失を低減します。ただし、ターンオフ電流やモーター巻線インダクタンスによっては、同期変調中に逆電流が流れ、負トルクが発生してモーター速度が低下する場合があります。非同期モードでは、PWM オフ時間中に 1 つのローサイド FET だけがオンに維持され、その他の FET は無効化されます。フリーホイール電流は、LS FET のボディ ダイオードを通して導通されます。非同期モードでは、PWM オフ時間中に逆電流は流れませんが、ボディ ダイオード導通により、電力損失が大きくなる可能性があります。ハイブリッド モードは、これら両方を組み合わせたものです。フリーホイール電流が 13mA 未満に低下するまでは同期モードで動作し、その後は逆電流を防止するため非同期モードに切り替わります。

表 6-1 は、出力 PWM の H ブリッジ状態を示します。H は該当 OUTx レッグのハイサイド FET がオン、L はローサイド FET がオン。Z はその OUTx レッグの両方の FET がハイ インピーダンスです。ホール オフセット信号は、ホール センサの状態およびデバイス設定から決定される内部信号です。ホール オフセット信号によって、整流アルゴリズムのステート マシン内での出力スイッチング状態が決定されます。入力 PWM のデューティ サイクルと、整流モード (方形波またはソフト) によって、出力 PWM の瞬時デューティ サイクル D_{OUT} が決まります。

表 6-1. 出力状態の表

ドライバ状態	説明	PWM_MODE によって設定される変調モード	ホール オフセット信号	OUT1	OUT2
DOUT	デューティ サイクルあたりの PWM オン時間	X	L	L	H
		X	H	H	L
(1-DOUT)、電流制限、θ_{DEMAG}	PWM オフ時間 (デューティ) 中、電流制限オフ時間中、または整流イベント前の位相消磁中におけるモーター電流の再循環	非同期モード	L	L	Z
			H	Z	L
		同期モード	X	L	L

図 6-19 は、PWM オン時間、PWM オフ時間、および消磁状態における H ブリッジを流れるモーター電流を示しています。消磁状態の詳細については、セクション 6.3.1.6.3 を参照ください。

Copyright © 2025 Texas Instruments Incorporated

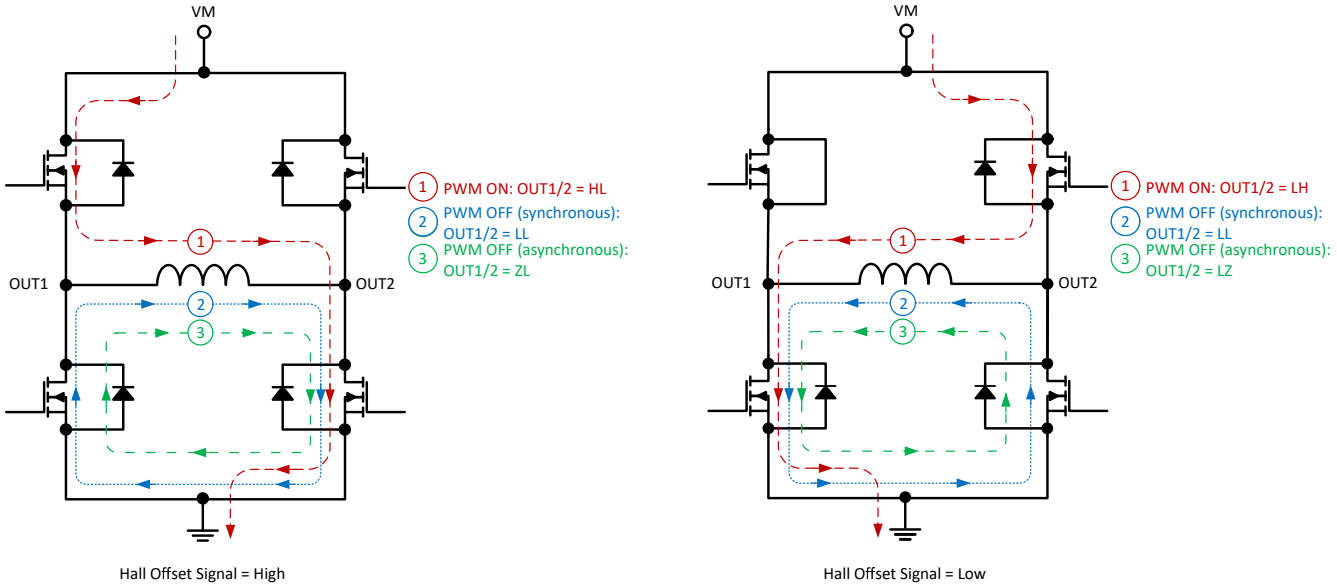


図 6-19. モーター電流と出力状態

ハイブリッド PWM モードでは、PWM オフ時間中 (同期モードと同様) に両方のローサイド FET を有効にすることで、ボディ ダイオードを通したモーター電流の再循環を防止します。モーター電流が 13mA 未満になると、ゼロ電流検出器が該当するローサイド FET を無効化し、H ブリッジを非同期モードに切り替えます。MC121-Q1 は同期モードと非同期モードを自動的に切り替えることで、デバイスの電力損失を低減するとともに、逆起電力による意図しない負電流がモーター巻線に流れることを防ぎます。

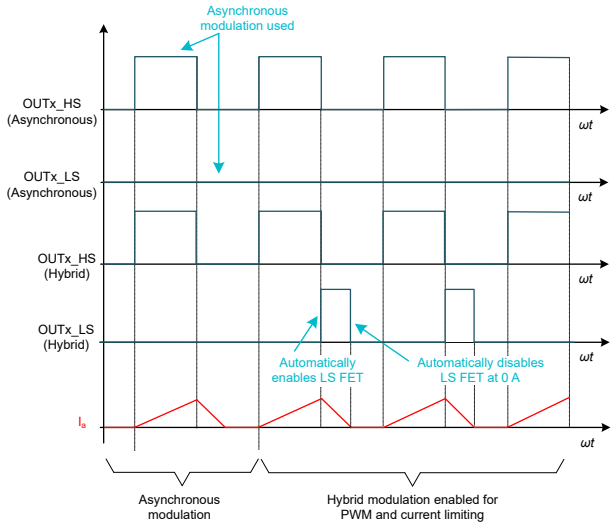


図 6-20. 非同期変調とハイブリッド変調

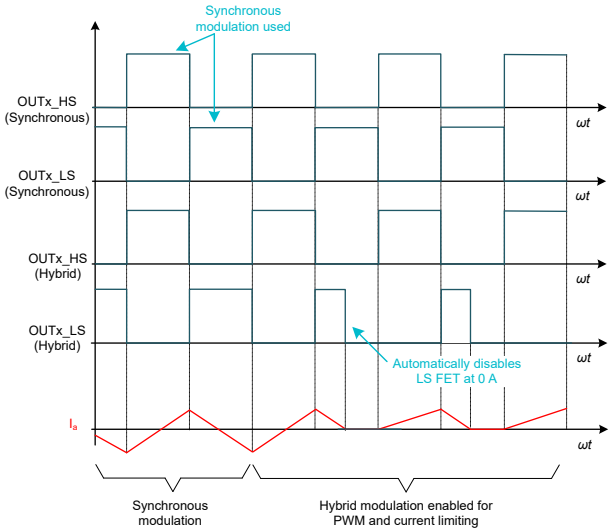


図 6-21. 同期変調とハイブリッド変調

表 6-2 は、PWM 変調モードを構成するための PWM_MODE ビットフィールドの設定を示しています。

表 6-2. PWM_MODE による変調モード

PWM_MODE ビット	PWM および電流制限オフ時間	消磁状態
000b	非同期	非同期
001b	非同期	同期
010b	同期	非同期

ADVANCE INFORMATION

表 6-2. PWM_MODE による変調モード (続き)

PWM_MODE ビット	PWM および電流制限オフ時間	消磁状態
011b	同期	同期
100b	同期	ハイブリッド
101b	非同期	ハイブリッド
110b	ハイブリッド	非同期
111b	ハイブリッド	ハイブリッド

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.3.2 保護

MC121-Q1 は、回転子ロック、電流制限、過電流、VM 低電圧、VM 過電圧、過熱イベントに対する保護機能を内蔵しています。表 6-3 に、故障モードの開始とアクティブ モードへの復帰を示します。

表 6-3. デバイスの故障時の動作および応答

故障	条件	H ブリッジ	デバイス ロジック	FG/RD 表示	復帰
回転子ロックの保護	t_{LRD} の間ホール遷移が検出されず、LRD_RETRY_DIS = 0x0	すべての FET が無効化 (ハイ インピーダンス)	有効	あり	$t_{lock_long_retry}$ または $t_{lock_quick_retry}$ 後に自動リトライ
	モーター ストール:5 回連続の起動試行で、t_{LRD} の間ホール遷移が検出されず、LRD_RETRY_DIS = 0x1	すべての FET が無効化 (ハイ インピーダンス)			ラッチされる (ラッチされた故障は電源リセットまたはウェークアップによってのみクリアされる)
電流制限	$I_{OUTx,LS} > I_{LIMIT}$	PWM_MODE に基づいて HS FET を無効化し、LS FET を介した電流再循環を行う		なし	次の出力 PWM デューティ サイクルの開始時に $I_{OUTx,LS} < I_{LIMIT}$
過電圧保護	$V_{VM} > V_{OVP}$ (立ち上がり)、OVP_EN = 0x1	すべての FET が無効化 (ハイ インピーダンス)		あり (FGRD_FAULT_SEL = 0x1 の場合)	$V_{VM} < V_{OVP}$ (立ち下がり)
過電流保護	$I_{OUTx} > I_{OCP}$ および OCP_MODE = 0x0	すべての FET が無効化 (ハイ インピーダンス)			$t_{lock_long_retry}$ 後に自動リトライ
	$I_{OUTx} > I_{OCP}$ および OCP_RETRY_MODE = 0x1				3 回連続の OCP イベント後にラッチされる (ラッチされた故障は電源リセットまたはウェークアップによってのみクリアされる)
サーマル シャットダウン	$T_J > T_{TSD}$	すべての FET が無効化 (ハイ インピーダンス)			$T_J < T_{TSD} - T_{HYS}$
低電圧保護	$V_{VM} < V_{UVLO}$ (立ち下がり)	すべての FET が無効化 (ハイ インピーダンス)	無効	なし	$V_{VM} > V_{UVLO}$ (立ち上がり)
内蔵電源クランプ	$V_{VM} > VM_{CLAMP}$ および VM_CLAMP_DIS = 0x0	HS FET 無効化 (ハイ インピーダンス)	有効		$V_{VM} < VM_{CLAMP}$

FG/RD ピンは、モーター速度または回転子ロックを検出するために、ファン コントローラへのフィードバックをサポートしています。FGRD_MODE ビットを 0x0 に設定すると、周波数ジェネレータ (FG) 出力の FG/RD ピンが設定されます。内部ホール センサ信号の遷移によって、FG 信号の周波数が決まります。FG_MULTIPLIER ビットを設定することで、FG ピンは内部ホール センサ周波数の 1/2、1、2/3、または 2 倍の係数でトグルします。FG_MULTIPLIER ビットは、異なる数の磁極ペアを持つモーターをスワップする際に、システム設計とファームウェアの変更を最小限に抑えるのに役立ちます。FG_HALL_RAW_EN が 0x0 に設定されている場合、FG ピンの信号はホール オフセット信号に対応します。FG_HALL_RAW_EN = 0x1 の場合、FG ピンの信号はホール センサ信号に直接対応します。FG_HALL_RAW_EN = 0x1 の場合、本デバイスは 2/3 FG_MULTIPLIER 設定をサポートしません。

FG/RD ピンは、表 6-4 に従って、デバイスの故障モード、回転子ロックの状態、アクティブ モード ステータスを示します。モーターが停止 / アイドル状態 (DIN = 0% または DOUT_TARGET = 0% によって停止) のときの FG ピンの状態は、回転子ロックまたはデバイスの故障状態を示すために使用される状態とは常に逆になります。たとえば、FGRD_MODE、FGRD_INVERT、FGRD_FAULT_SEL ビットの組み合わせにより、回転子ロックが FG ピンのアクティブ Low 信号で示される場合、モーターが停止 / アイドル状態のときの FG ピンの状態は (外部プルアップによって) High になります。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 6-4. FG/RD ピンの動作

FGRD_MODE ビット	FGRD_INVERT ビット	FGRD_FAULT_SEL ビット	アクティブ モード表示	回転子ロック表示	故障モード表示
0x0	0x0	0x0	FG = トグル	FG = Low にアサート	FG = 直前の状態
	0x0	0x1			FG = Low にアサート
	0x1	0x0		FG = High にプルアップ	FG = 直前の状態
	0x1	0x1			FG = High にプルアップ
0x1	0x0	0x0	RD = High にプルアップ	RD = Low にアサート	RD = 直前の状態
		0x1			RD = Low にアサート
	0x1	0x0	RD = Low にアサート	RD = High にプルアップ	RD = 直前の状態
		0x1			RD = High にプルアップ

6.3.2.1 回転子ロックの保護

MC121-Q1 が回転子ロック検出時間 (t_{LRD}) よりも長い時間ホール遷移を検出しない場合、回転子ロックの故障が認識され、すべての FET が無効化されます (ハイ インピーダンス)。FG/RD ピンは、表 6-4 に従って回転子ロックの故障を示します。起動シーケンス中は、t_{LRD} は t_{LRD_START} によって設定され、モーター動作 (定常状態) 中は、t_{LRD} は t_{LRD_RUN} によって設定されます。起動中の回転子ロック リトライ シーケンス (LRD_RETRY_DIS = 0x0 の場合) を、図 6-22 に示します。パワーアップ / ウェークアップ後の最初の起動中、クイック リトライ試行回数は LRD_NRETRY_STARTUP によって設定されます。クイック リトライ時間はロックさ回転子検出時間 (t_{LRD_START}) と同じです。LRD_NRETRY_START 試行が完了しても回転子ロックの状態が続くと、MC121-Q1 はロング リトライ時間 ($t_{lock_long_retry}$) (LRD_LONG_RETRY_SEL x t_{LRD_START}) に入ります。ロング リトライ時間が経過すると、MC121-Q1 はモーターを再度回転させようとします。パワーアップ / ウェークアップ後の 2 回目の起動試行では、クイック リトライ試行回数は LRD_NRETRY_RUN によって設定されますが、回転子ロック検出時間 (t_{LRD_START}) とクイック リトライ時間は同じままです。LRD_NRETRY_RUN 試行が完了しても回転子ロック状態が続くと、MC121-Q1 はロング リトライ時間 ($t_{lock_long_retry}$) に再び入ります。その後のモーター起動シーケンスでは、2 番目の起動サイクルと同じリトライ パターンが使用されます (図 6-22 を参照)。リトライ時間が経過した後の各モーター起動の試行 (クイックまたはロング リトライ) は、プレスタート位相から開始されます (図 6-6 を参照)。

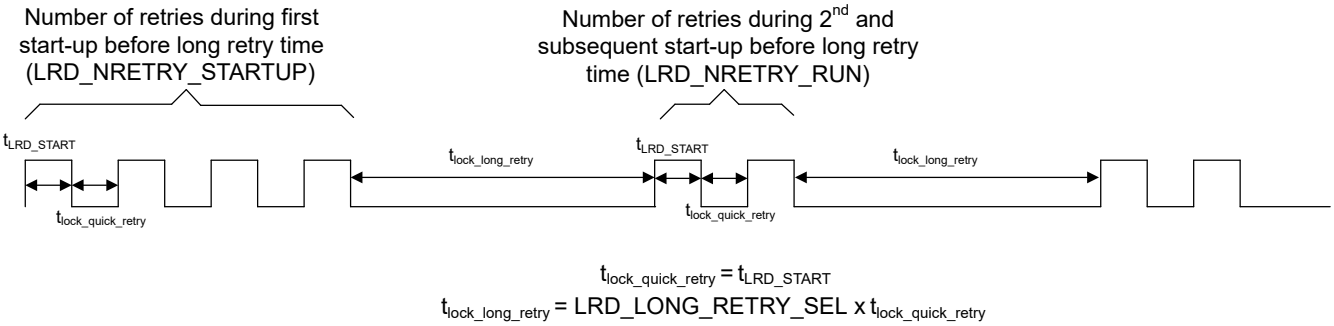


図 6-22. 起動中の回転子ロック リトライ シーケンスおよびタイミング (LRD_RETRY_DIS = 0x0 の場合)

モーター動作中に回転子ロック状態が検出された場合 (t_{LRD_RUN} の間ホール遷移がない場合)、すべての FET は無効化され (ハイ インピーダンス)、FG/RD ピンは、表 6-4 に従って回転子ロックの故障を示します。MC121-Q1 は、回転子ロックのリトライ シーケンスを開始する前に、ロング リトライ時間の 1 回分を待機します (図 6-23 を参照)。

Copyright © 2025 Texas Instruments Incorporated

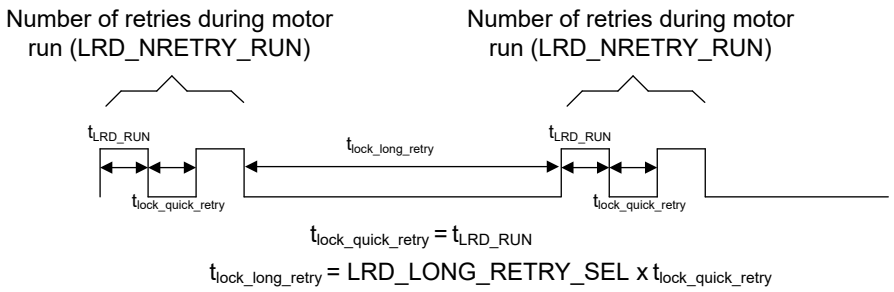


図 6-23. 実行中の回転子ロック リトライ シーケンスおよびタイミング (LRD_RETRY_DIS = 0x0 の場合)

MC121-Q1 は、図 6-24 に示すように、LRD_RETRY_DIS = 0x1 を設定することで、5 回連続の起動試行が回転子ロックとなった際に、回転子ロックの故障をラッチする動作を選択できます。モーター動作は、電源リセットまたはウェークアップ (スリープ終了) によって再開できます。

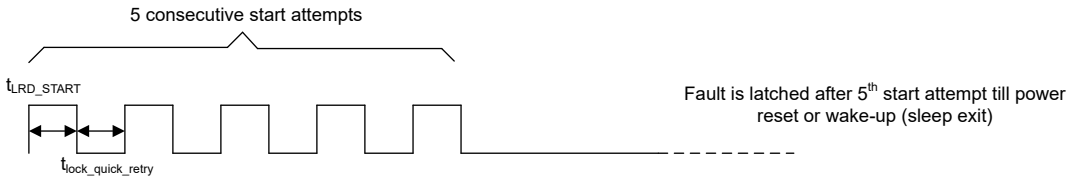


図 6-24. 回転子ロック リトライ シーケンスおよびタイミング (LRD_RETRY_DIS = 0x1 の場合)

6.3.2.2 電流制限

電流制限機能は、起動時、過負荷、ストール時の過電流動作からモーターを保護します。モーター位相電流が I_{LIMIT} スレッショルドを超えると、MC121-Q1 はハイサイド FET をオフにすることで、サイクル単位の電流制限方式を適用します。ILIMIT_SEL は電流制限スレッショルドを設定します。PWM_MODE ビットは、セクション 6.3.1.7 に記載されている PWM オフ時間と同様に、電流制限オフ時間中のモーター電流の同期、非同期、またはハイブリッド再循環状態を設定します。

次の PWM 周期の開始時点でもモーター電流が I_{LIMIT} スレッショルドを上回っている場合、ローサイド FET は別の PWM 周期にわたり有効状態が維持されます。次の PWM 周期の開始までにモーター電流が I_{LIMIT} を下回ると、出力は、表 6-1 に示すように、整流アルゴリズム ステート マシンによって決定される駆動状態に戻ります。

電流制限は、モーター電流が I_{LIMIT} スレッショルドを上回った場合に出力 PWM デューティ サイクルを下げることで、モーター トルクの上限を設定します。この電流制限機能は、整流ステート マシンによって決定される PWM デューティ サイクルよりも優先されます。モーター電流が I_{LIMIT} スレッショルドを下回ると、整流ステート マシンが出力デューティ サイクルを完全に制御します。図 6-25 および 図 6-26 に、サイクル単位の電流制限方式の波形例を示します。

ADVANCE INFORMATION

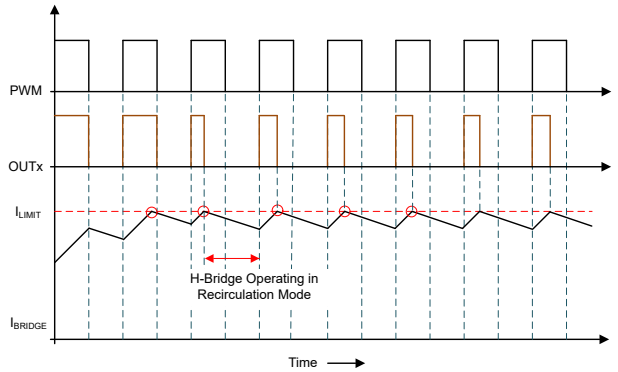


図 6-25. サイクル単位の電流制限動作

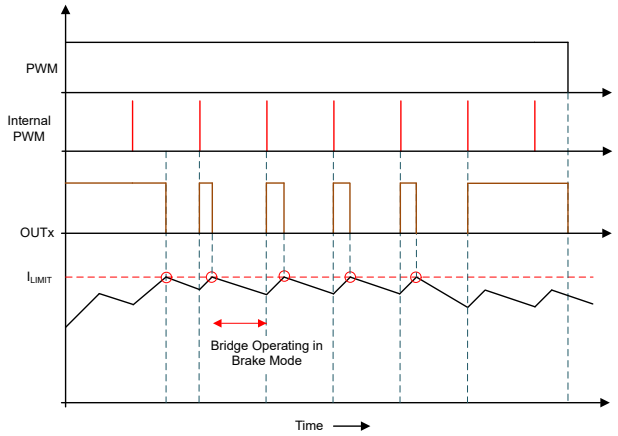


図 6-26. 100% PWM デューティ サイクルでのサイクル単位の電流制限動作

6.3.2.3 過電流保護 (OCP)

過電流保護 (OCP) 機能は、OUTx ピンの内蔵パワー FET を電源 (VM)、グランド、OUTx ピン間の短絡から保護します。図 6-27 に示すように、FET に流れる電流が OCP スレッショルド (I_{OCP}) を上回る状態が OCP グリッチ除去時間 (t_{OCP}) を超えて続くと、H ブリッジ内のすべての FET が無効化 (ハイ インピーダンス) され、FG/RD ピンは 表 6-4 に示すように回転子ロックの故障を示します。OCP 故障の復帰は、OCP_RETRY_MODE によって設定されます。

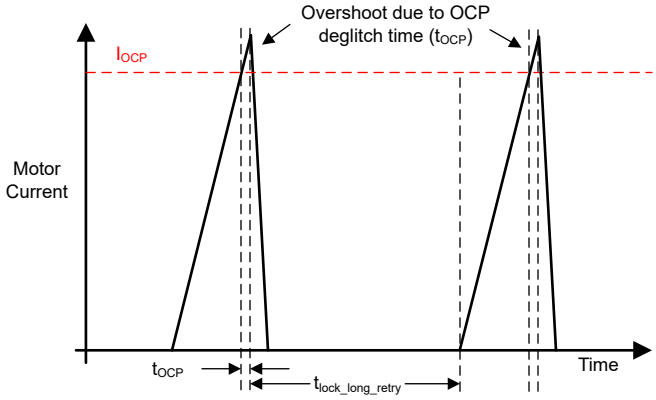


図 6-27. OCP 動作

OCP_RETRY_MODE が 0x0 に設定されている場合、図 6-28 に示すように、$t_{lock_long_retry}$ が経過すると MC121-Q1 は (開始前位相から) モーターの駆動を開始します。$t_{lock_long_retry}$ は、(LRD_LONG_RETRY_SEL × t_{LRD_START}) によって設定されます。OCP_RETRY_MODE が 0x1 に設定されている場合、MC121-Q1 は 3 回のリトライ後に故障をラッチします (リトライ時間は $t_{lock_long_retry}$ によって設定)。以後のモーターの駆動は、故障状態をクリアするために以後のパワー リセットまたはウェークアップ (スリープ解除) の後にのみ可能です。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

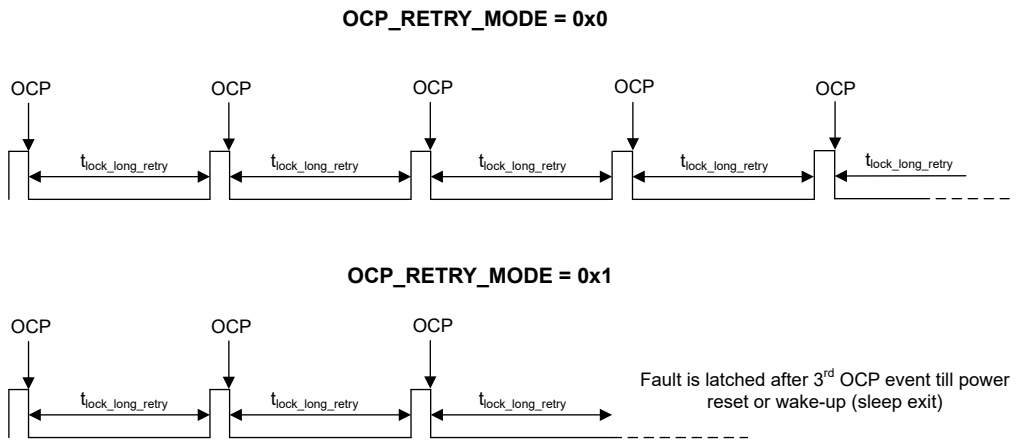


図 6-28. OCP リトライ モード

6.3.2.4 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が UVLO の立ち下がりスレッショルド電圧 V_{UVLO} を下回ると、デバイスのすべての回路が無効化され、内部ロジックがリセットされます。UVLO_SEL = 0x0 の場合、図 6-29 に示すように、V_{VM} 電圧が UVLO の立ち上がりスレッショルドを上回ると、デバイスがパワーアップしてモーター動作が再開します。UVLO_SEL ≠ 0x0 の場合、デバイスは常に UVP_SEL = 0x0 に対応する UVLO 立ち上がりスレッショルドでパワーアップしますが、モーター動作は、VM が UVLO_SEL で設定された UVLO 立ち上がりスレッショルドを上回った場合にのみ開始されます。UVLO_SEL ≠ 0x0 および 3.15 < VM < V_{UVLO} (立ち上がり) (UVLO_SEL の設定に対応) の場合、VM UVLO の故障がアクティブになり、すべての FET が無効化され、FG/RD ピンは 表 6-4 に従って回転子ロックの故障を示します。

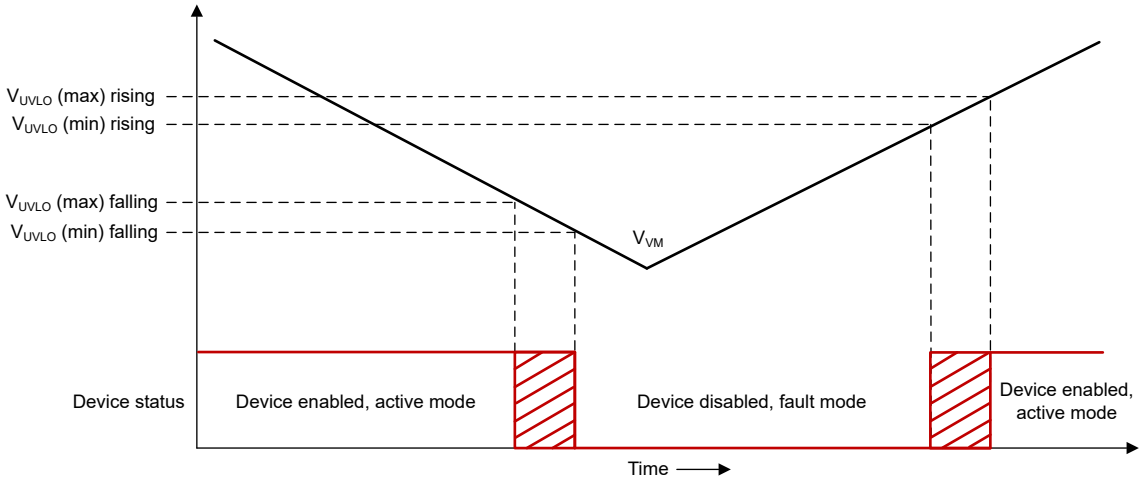


図 6-29. VM UVLO の動作

6.3.2.5 VM 過電圧保護 (OVP)

VM 電圧が V_{OVP} 立ち上がりスレッショルドを上回ると、すべての FET が ハイ インピーダンス になり、FG/RD ピンは 表 6-4 に従って回転子ロック故障を示します。VM 電圧が V_{OVP} 立ち下がりスレッショルドを下回ると、デバイスは通常動作を再開します。OVP スレッショルドは OVP_SEL で設定され、OVP_EN を 0x0 に設定することで無効化できます。過電圧保護には 80µs の固定グリッチ除去時間があり、スプリアス OVP トリガを防止します。通常のモーター動作時の過渡的な VM スパイクによる OVP の誤検出を避けるため、ソフト整流の立ち上がりおよび立ち下がり区間では過電圧保護が無効化されています。また、消磁区間中は OVP が常に無効化されています。さらに、ピーク デューティ サイクル区間では、OVP_BLANK_EN を 0x1 に設定して有効化できるブランキング時間が OVP_BLANK_SEL (1ms または 4ms) によって提供され、OVP 検出の堅牢性が向上します。図 6-30 に、ソフト整流の各区間における OVP 検出動作を示します。方

ADVANCE INFORMATION

形波整流では立ち上がり、立ち下がりの区間はなく、ブランキング時間が有効化されている場合、整流インスタントから適用されます。

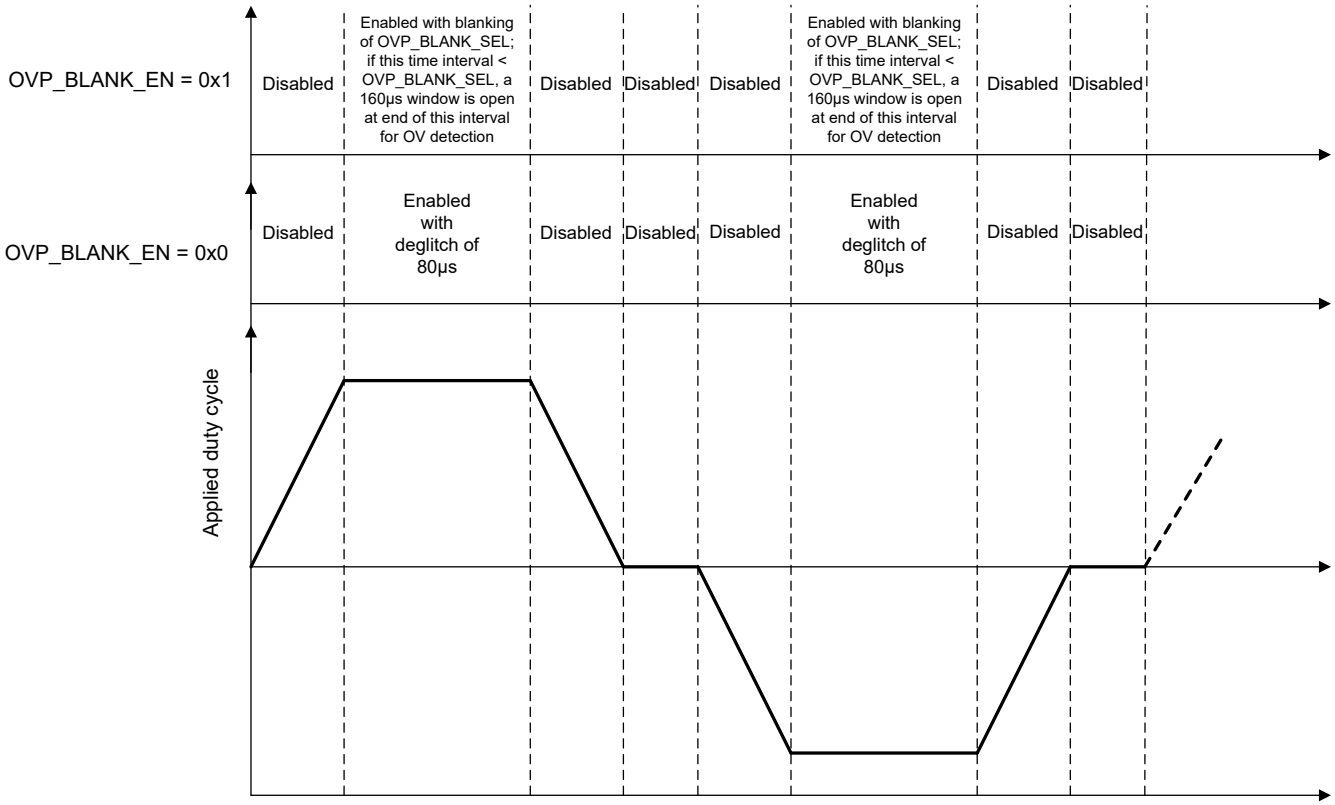


図 6-30. OVP 検出

6.3.2.6 サーマル シャットダウン (TSD)

ダイ温度がサーマル シャットダウン限界値 (T_{TSD}) を超えると、H ブリッジ内のすべての FET が無効化されます。ダイ温度が安全なレベル (T_{TSD} − T_{HYS}) まで低下すると、デバイスの動作は自動的に再開されます。

6.3.2.7 内蔵電源 (VM) クランプ

MC121-Q1 は、モーターからの回生エネルギーのプッシュバックによる VM ピンの電圧スパイクを制限するために、電源 (VM) ピンにクランプを内蔵しています。VM_CLAMP_DIS が 0x1 に設定されている場合、クランプは無効化されます。VM 電圧が VM_{CLAMP} レベルに達すると、デバイスはクランプを有効にして VM 電圧を制限します。クランプが作動すると、HS FET はハイ インピーダンスになり、モーター駆動が停止します。クランプ回路は、クランプ回路が安全動作領域で規定された制限に達するまでエネルギーを吸収できます。SOA の制限値を超えると、クランプは無効化されます。(SOA で規定されたよりも) 高いエネルギーをクランプする必要がある場合、許容可能な外部 TVS ダイオードを追加します。

注

クランプ動作中に、過電流保護 (OCP) または過熱 (TSD) などの障害が発生した場合、クランプは無効になります。

6.4 デバイスの機能モード

6.4.1 アクティブ モード

V_{VM} 電圧が V_{UVLO} 電圧より大きく、D_{IN} が 0% を超えると、デバイスはアクティブ モードに移行します。t_{WAKE} 時間が経過すると、デバイスは入力に応答可能になります。

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

6.4.2 スリープ モードとスタンバイ モード

SLEEP は、スリープ (低消費電力) モードを有効にするために使用されます。スリープ モード (SLEEP_EN = 0x1 および D_{IN} = 0%) では、デバイスは VM ピンから非常に低い静止電流 (I_{VMQ}) を引き込みます。これは、FET、ホール センサ、電流センス、デジタル コア、内部レギュレータ、チャージ ポンプを含む内部回路を無効にすることで行われます。t_{WAKE} の間、D_{IN} > 0% になると、デバイスはウェークアップしてアクティブ (STBY_EN = 0x0) またはスタンバイ (STBY_EN = 0x1) モードに移行します。

スリープ モードが無効化されている (SLEEP = 0x0) の場合、STBY_EN によって D_{IN} に対するデバイスの動作が決定されます。D_{IN} < DIN0 かつ STBY_EN = 0x0 の場合、MC121-Q1 は DOUT0 に対応するデューティまたは速度でモーターを駆動します。D_{IN} < DIN0 および STBY_EN = 0x1 の場合、MC121-Q1 はモーター動作を停止 (DOUT = 0%) し、スタンバイ状態になります。

SLEEP_EN と STBY_EN の値に関係なく、D_{IN} ≥ (DIN0 + DHYS) の場合、MC121-Q1 はデューティ曲線で設定されたデューティまたは速度でモーターを駆動します。表 6-5 に、スリープおよびスタンバイ モードの動作を示します。

注

D_{IN} = 0% は、PWM 入力モード (PWM_DC = 0x0) ではデューティ サイクル 0% に対応し、DC (アナログ) 入力モード (PWM_DC = 0x1) では DC 電圧 < 100mV に対応します。

表 6-5. スリープ / スタンバイ モードの動作の概要

SLEEP_EN	STBY_EN	デバイス ステータス変更の条件	デバイス ステータス	D_{OUT}	H ブリッジ
0x0	0x0	D_{IN} < DIN0	アクティブ モード	DOUT0	PWM
	0x1		スタンバイ モード	0%	ハイ インピーダンス
X	X	DINOFF > D_{IN} ≥ (DIN0 + DHYS)	アクティブ モード	デューティ曲線に従って D_{IN} で設定	PWM
0x1	X	D_{IN} = 0%、図 6-8 を参照	スリープ モード	0%	ハイ インピーダンス
0x1	0x0	0% < D_{IN} < DIN0	アクティブ モード	DOUT0	PWM
	0x1		スタンバイ モード	0%	ハイ インピーダンス

6.4.3 フォルト モード

MC121-Q1 は、セクション 6.3.2 に記載されているシステム異常から保護されています。場合によっては、整流アルゴリズムが中断され、デバイスがモーターを再起動する必要があります。

6.4.4 テスト モードとワンタイム プログラマブル メモリ

MC121-Q1 にはテストおよびプログラミング モードが統合されており、PWM/DC ピンと FG/RD ピンがデバイス構成とテストのための I^2C インターフェイスをサポートしています。I^2C インターフェイスにより、ワンタイム プログラマブル (OTP) メモリへのアクセスも可能になります。レジスタのプログラムにより、前のセクションで説明したデバイス構成が選択されます。図 6-31 に、MC121-Q1 の構成とプログラミングのための基本的なハードウェア構成を示します。

ADVANCE INFORMATION

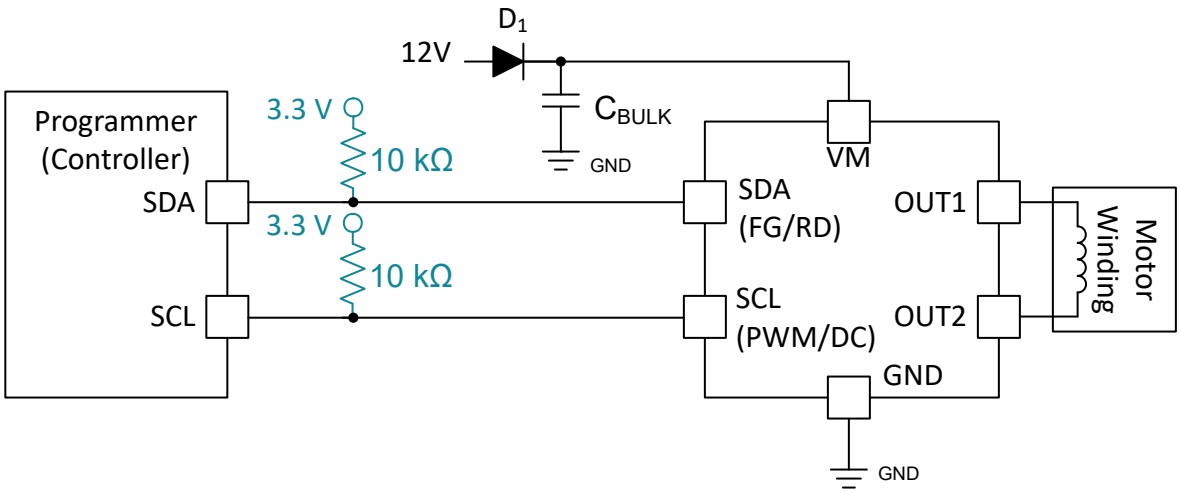


図 6-31. I²C プログラマおよびファン モジュール

MC121-Q1 は、以下の手順でテスト モードおよび OTP モードに移行します。

1. FG/RD ピンを Low にし、(20 ～ 80)% の範囲の任意のデューティで (416 ～ 833) kHz の範囲の高周波信号を 15 ～ 20 サイクルにわたって PWM/DC ピンに印加して、テスト モードに入ります。I²C インターフェイスは、テスト モードでアクティブです。
2. I²C 経由で MC121-Q1 と通信し、セクション 7 のレジスタの読み取りと書き込みを行い、レジスタを構成します。
3. I²C 通信による信頼性の高い OTP メモリ プログラミングを維持するため、通信時間全体にわたって MC121-Q1 の電源ピン電圧 (VM) を 8V 以上に維持してください。
4. OTP モードのロックを解除するには、連続した書き込みフレームで、OTP モードのエントリ キー 02h、01h、04h を USR_OTP_PRG_UNLOCK レジスタに書き込みます。
5. OTP メモリを書き込むには、USR_OTP_CFG レジスタの USR_OTP_PROG_ALL ビットに 1b を書き込みます。

6.5 プログラミング

MC121-Q1 は、テスト モードでの I²C プログラミングをサポートしています。セクション 6.4.4 には、システムのプロトタイプ製作時や生産時にテスト モードに移行し、レジスタの読み取りと書き込みを行い、OTP メモリをプログラムする方法を説明しています。外部プログラミング ハードウェアまたはオンボードのマイコンは、I²C インターフェイス経由で MC121-Q1 と接続できます。以下のセクションでは、I²C 通信プロトコルの詳細について説明します。

6.5.1 I²C 通信

I²C バスはデータ ライン (SDA) とクロック ライン (SCL) で構成され、オフ チップ プルアップ抵抗を備えています。バスがアイドルのときは、SDA ラインと SCL ラインの両方が High にプルされます。

通常はマイクロコントローラまたはデジタル信号プロセッサである制御装置がバスを制御します。制御装置は、SCL 信号とデバイス アドレスを生成する役割を担っています。コントローラは、データ転送の開始と停止を示す特定の条件も生成します。ペリフェラル デバイスは、コントローラ デバイスの制御下でバス上のデータを受信したり送信したりします。MC121-Q1 は、この文脈において I²C バス上のペリフェラル デバイスです。

MC121-Q1 のデバイス アドレスは 0x65 です。

6.5.1.1 I²C 読み出し

I²C 読み出し動作は、書き込み動作と同様に開始されます。コントローラ デバイスは、ペリフェラル デバイスの 7 ビット アドレスと R/W ビットを 0b に設定して、バス上に START 条件を送信します。ペリフェラル デバイスがアクノリッジ信号 (ACK) で応答した後、コントローラ デバイスは読み出し対象のレジスタの 8 ビット アドレスを送信します。ペリフェラル デ

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

バイスが再び ACK で応答すると、コントローラ デバイスは START コマンド「RSTRT」を再送し、続いて R/W ビットを 1b としたペリフェラル アドレスを送信して読み出し動作であることを示します。コントローラ デバイスは SDA ラインを解放して、ペリフェラル デバイスからレジスタ データを読み出します。ペリフェラル デバイスは ACK 信号で応答し、レジスタ データの送信準備ができたことを示します。

コントローラ デバイスは、引き続きペリフェラル デバイスにクロック信号を供給します。ペリフェラル デバイスは、各クロック サイクルで SDA ラインに 8 ビットのレジスタ データを送信します。バイトの終わりに、コントローラ デバイスはネガティブ アクノリッジ (NACK) 信号を送信し、ペリフェラル デバイスに通信停止とバス解放を指示します。続いて、コントローラ デバイスは STOP 条件を送信します。

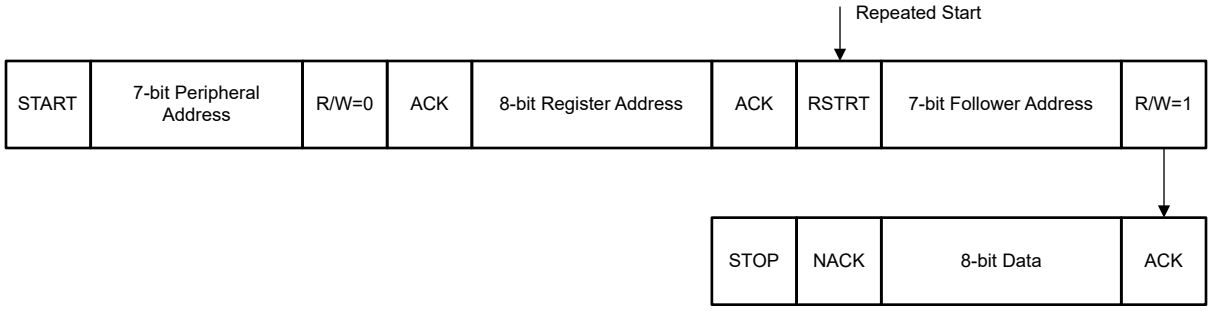


図 6-32. I²C 読み出しシーケンス

6.5.1.2 I²C 書き込み

I²C バスに書き込むとき、コントローラ デバイスは、ペリフェラル デバイスの 7 ビット アドレスで START 条件をバスに送信し、R/W ビットを 0b に設定して、書き込み動作にあることを示します。ペリフェラル デバイスがアクノリッジ ビット (ACK) で応答した後、コントローラ デバイスはデータを受信するレジスタの 8 ビット アドレスを送信します。ペリフェラル デバイスが ACK ビットで再度応答した後、コントローラ デバイスは 8 ビット データを送信します。ペリフェラル デバイスは最後の ACK ビットで応答し、コントローラは STOP 条件で転送を終了します。

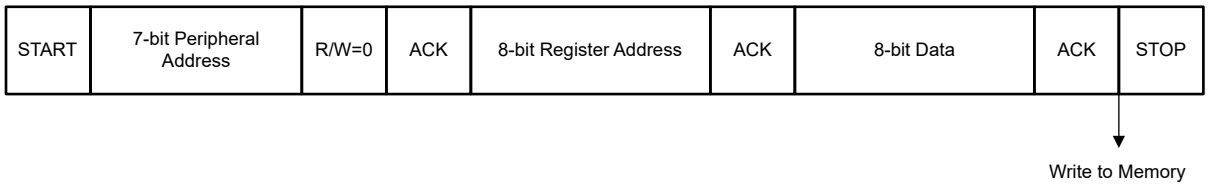


図 6-33. I²C 書き込みシーケンス

ADVANCE INFORMATION

7 レジスタ マップ

表 7-1 は、MC121-Q1 の I²C テスト モードでアクセス可能なワンタイム プログラマブル メモリ (OTP) およびテスト モードのレジスタ マップを示します。USER_OTP マップ (アドレス 0x00 ～ 0x1B) には、エンド システム製造時のデバイス プログラミングで使用できる OTP レジスタが含まれています。USR_TM レジスタ マップ (アドレス 0x20 ～ 0x26) では、システム設計者がシステムのプロトタイプ製作や開発中にデバイス設定を試せるよう、テスト モード構成を提供しています。書き込み済み OTP レジスタは、パワー サイクル後も書き込まれたデータを保持します。OTP 書き込み後、レジスタはテスト モードで新しいデータを受信できますが、デバイスのパワー サイクル時には、書き込まれた OTP 値がデフォルトとして使用されます。テスト モード レジスタ USR_TM は OTP メモリ レジスタではなく、パワー サイクル時にリセットされます。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.1 USR_OTP レジスタ

表 7-1 に、USR_OTP レジスタのメモリ マップト レジスタを示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-1. USR_OTP レジスタ

オフセット	略称	レジスタ名	セクション
0h	INTERFACE_CONFIG0	インターフェイス構成レジスタ 0	セクション 7.1.1
1h	INTERFACE_CONFIG1	インターフェイス構成レジスタ 1	セクション 7.1.2
2h	START_STOP_CONFIG	開始および停止構成レジスタ	セクション 7.1.3
3h	DIN0	DIN0 の設定	セクション 7.1.4
4h	DOUT0	DOUT0 の設定	セクション 7.1.5
5h	DOUT1	DOUT1 の設定	セクション 7.1.6
6h	DOUT2	DOUT2 の設定	セクション 7.1.7
7h	DOUT3	DOUT3 の設定	セクション 7.1.8
8h	DOUT4	DOUT4 の設定	セクション 7.1.9
9h	DOUT5	DOUT5 の設定	セクション 7.1.10
Ah	DOUT6	DOUT6 の設定	セクション 7.1.11
Bh	DOUT7	DOUT7 の設定	セクション 7.1.12
Ch	DOUT8	DOUT8 の設定	セクション 7.1.13
Dh	HALL_TIME_CONFIG	ホール オフセット時間の構成レジスタ	セクション 7.1.14
Eh	COMMUTATION_CONFIG0	整流構成レジスタ 0	セクション 7.1.15
Fh	COMMUTATION_CONFIG1	整流構成レジスタ 1	セクション 7.1.16
10h	COMMUTATION_CONFIG2	整流構成レジスタ 2	セクション 7.1.17
11h	COMMUTATION_CONFIG3	整流構成レジスタ 3	セクション 7.1.18
12h	PROTECTION_CONFIG0	保護設定の構成レジスタ	セクション 7.1.19
13h	CLOSED_LOOP_CONFIG0	MAX_SPEED の最下位バイト	セクション 7.1.20
14h	CLOSED_LOOP_CONFIG1	閉ループでの MAX_SPEED の KI_RATIO と MSN、および開ループでの DOUT_MAX	セクション 7.1.21
15h	CLOSED_LOOP_CONFIG2	閉ループでの KP_RATIO と LRD 設定	セクション 7.1.22
16h	PROTECTION_CONFIG1	保護および PWM ディザリング用レジスタ	セクション 7.1.23
17h	GENERAL_CONFIG1	ILIM_SEL、ホール、LRD 設定用レジスタ	セクション 7.1.24
18h	GENERAL_CONFIG2	VM クランプ、プリスタート ランプ、ホール設定用レジスタ	セクション 7.1.25
19h	GENERAL_CONFIG3	サイレンス、極ペア、LRD 設定用レジスタ	セクション 7.1.26
1Ah	GENERAL_CONFIG4	DEMAG およびサイレンス設定用構成レジスタ	セクション 7.1.27
1Bh	USR_OTP_CRC	USR_OTP に対して計算された CRC 用レジスタ	セクション 7.1.28

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. USR_OTP アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		

ADVANCE INFORMATION

表 7-2. USR_OTP アクセス タイプ コード (続き)

アクセス タイプ	コード	説明
-n		リセット後の値またはデフォルト値

7.1.1 INTERFACE_CONFIG0 レジスタ (オフセット = 0h) [リセット = 00h]

INTERFACE_CONFIG0 を表 7-3 に示します。

概略表に戻ります。

表 7-3. INTERFACE_CONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HALL_DEGLITCH_EN	R/W	0h	ホール センサからのホール信号のグリッチ除去を有効化します 0h = ホール グリッチ除去の無効化 1h = ホール グリッチ除去の有効化
6	PWM_IN_RANGE	R/W	0h	入力 PWM 信号の周波数検出範囲を選択します 0h = 80Hz～90kHz 1h = 20Hz～22kHz
5	PWM_OUT_FREQ	R/W	0h	OUTx の PWM スイッチング周波数を選択します 0h = 出力 PWM 周波数 25kHz 1h = 出力 PWM 周波数 50kHz
4-3	ILIM_BLANK_SEL	R/W	0h	デッドタイムとデフォルトのブランキングに加えて、電流制限 (ILIM) の追加のブランキング時間を選択します 0h = 追加のブランキングなし 1h = 160ns (公称) の追加ブランキング 2h = 320ns の追加 ILIM ブランキング 3h = 640ns の追加 ILIM ブランキング
2	ILIM_DEGLITCH_SEL	R/W	0h	サイクル単位の電流制限 (ILIMIT) のグリッチ除去時間を選択します。 0h = 481ns ～ 732ns のグリッチ除去時間 1h = 925ns ～ 1.419us のグリッチ除去時間
1-0	UVLO_SEL	R/W	0h	UVLO がトリガされるスレッショルドを選択します 0h = 立ち上がりスレッショルド 3V、立ち下がりスレッショルド 2.7V 1h = 立ち上がりスレッショルド 4.2V、立ち下がりスレッショルド 2.7V 2h = 立ち上がりスレッショルド 5.7V、立ち下がりスレッショルド 2.7V 3h = 立ち上がりスレッショルド 7.6V、立ち下がりスレッショルド 2.7V

7.1.2 INTERFACE_CONFIG1 レジスタ (オフセット = 1h) [リセット = 60h]

INTERFACE_CONFIG1 を表 7-4 に示します。

概略表に戻ります。

表 7-4. INTERFACE_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DIN_HYS	R/W	1h	速度曲線にデューティ サイクル ヒステリシス DIN_HYS を選択します。 0h = 0%、ヒステリシスなし 1h = 1.2% 2h = 2.4% 3h = 4.8%
5	STBY_EN	R/W	1h	DIN = 0% での OUTx の動作を選択します。 0h = ドライバは DOUT0 デューティ サイクルでモーターを整流。 1h = ドライバは t_{SLEEP} 後に出力を無効化しますが、すべての内部回路はアクティブを維持し、より高速に再有効化します。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

表 7-4. INTERFACE_CONFIG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	SLEEP_EN	R/W	0h	DIN = 0% のとき、スリープ モードを有効化します。 0h = スリープ モードは無効化。ドライバの状態は STBY_EN ビットによって決まります。 1h = スリープ モードを有効化。DOUT は 0% の出力デューティ サイクルまで下降し、t_{SLEEP} の間ホール エッジが受信されないと、ドライバは低消費電力スリープ モードへ移行します。
3	PWMDC_MODE	R/W	0h	PWM またはアナログのいずれかの入力モードを選択します。 0h = PWM ピンは、速度を制御するためにロジック PWM のデューティ サイクルを受け入れます。 1h = PWM ピンは、モーター速度を制御するためにアナログ電圧を受け入れます。
2	FGRD_INVERT	R/W	0h	回転子ロック時またはデバイス故障時に、FG/RD ピンのロジック レベルを選択します。 0h = 回転子ロックまたはデバイス故障中、FG/RD ピンは Low にアサートされます。 1h = 回転子ロックまたはデバイス故障中、FG/RD ピンは High にアサートされます。
1	FGRD_MODE	R/W	0h	FG/RD ピンの機能を選択します。 0h = FG 速度フィードバック出力 1h = RD 回転子ロック検出フィードバック出力
0	FGRD_FAULT_SEL	R/W	0h	FG/RD ピンがデバイス異常を通知するかどうかを選択します。 0h = FG/RD ピンは回転子ロック故障のみを通知 1h = FG/RD ピンは、回転子ロック、過電圧、過電流、サーマル シャットダウン、低電圧の各異常状態を通知

7.1.3 START_STOP_CONFIG レジスタ (オフセット = 2h) [リセット = 89h]

START_STOP_CONFIG を 表 7-5 に示します。

概略表に戻ります。

表 7-5. START_STOP_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RAMP_ON_STOP_DIS	R/W	1h	停止時にデューティ サイクルをゼロまでランプ ダウンするか、直ちにゼロデューティ サイクルを適用するかを選択します 0h = PWM_RAMP_EN、PWM_RAMP_SEL、および PWM_DECEL_SEL ビットに基づいて、デューティ サイクルを 0 までランプ ダウン 1h = モーター停止コマンドを受信すると、FET を即座にハイ インピーダンスにする
6-5	DINOFF	R/W	0h	入力 DC が上回ると出力デューティ サイクルがゼロになるスレッショルドを選択します 0h = 無効。入力デューティ サイクルが上回ると DOUT が 0 になる値がない 1h = 入力デューティ サイクルが 90% 以上の場合、DOUT は 0% に割り当てられる 2h = 入力デューティ サイクルが 95% 以上の場合、DOUT は 0% に割り当てられる 3h = 入力デューティ サイクルが 100% の場合、DOUT は 0% に割り当てられる

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-5. START_STOP_CONFIG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-2	DOUT_MIN	R/W	2h	入力デューティ サイクルが DIN0 と DINOFF の間にある場合、DOUT がクランプされる最小値を選択します 0h = 0% 1h = 5% 2h = 10% 3h = 12.5% 4h = 15% 5h = 20% 6h = 25% 7h = 30%
1-0	DOUT_START	R/W	1h	モーター起動時に適用される DOUT を選択します。DOUT は、この初期値から目標デューティ サイクルまで上昇します。 0h = 開ループで DOUT_MAX の 12.5%、閉ループで 12.5% 1h = 開ループで DOUT_MAX の 25%、閉ループで 25% 2h = 開ループで DOUT_MAX の 50%、閉ループで 50% 3h = 開ループで DOUT_MAX の 100%、閉ループで 100%

7.1.4 DIN0 レジスタ (オフセット = 3h) [リセット = 16h]

DIN0 を表 7-6 に示します。

概略表に戻ります。

表 7-6. DIN0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DIN0	R/W	16h	速度曲線が受け入れる最小入力デューティ サイクル DIN を設定します。 DIN = 100% × DIN0/255 0h = 0% 1h = 0.39126% 16h = 8.8% (デフォルト) FFh = 100%

7.1.5 DOUT0 レジスタ (オフセット = 4h) [リセット = 1Ah]

DOUT0 を表 7-7 に示します。

概略表に戻ります。

表 7-7. DOUT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DOUT0	R/W	1Ah	DIN ≤ DIN0 のときの出力デューティ DOUT を設定します DOUT = 100% x DOUT0/255 0h = 0%、すべての FET がオフになり、ドライバはハイ インピーダンス状態になる 1h = 0.39126% 1Ah = 10.2% (デフォルト) FFh = 100%

7.1.6 DOUT1 レジスタ (オフセット = 5h) [リセット = 20h]

DOUT1 を表 7-8 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 7-8. DOUT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DOUT1	R/W	20h	DIN = 12.5% のときの出力デューティ DOUT を設定します DOUT = 100% x DOUT1/255 0h = 0%、両方の出力が Low に維持され、ドライバはブレーキ状態になる 20h = 12.5% (デフォルト) FFh = 100%

7.1.7 DOUT2 レジスタ (オフセット = 6h) [リセット = 40h]

DOUT2 を表 7-9 に示します。

概略表に戻ります。

表 7-9. DOUT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DOUT2	R/W	40h	DIN = 25% のときの出力デューティ DOUT を設定します DOUT = 100% x DOUT1/255 0h = 0%、両方の出力が Low に維持され、ドライバはブレーキ状態になる 40h = 25% (デフォルト) FFh = 100%

7.1.8 DOUT3 レジスタ (オフセット = 7h) [リセット = 60h]

DOUT3 を表 7-10 に示します。

概略表に戻ります。

表 7-10. DOUT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DOUT3	R/W	60h	DIN = 37.5% のときの出力デューティ DOUT を設定します DOUT = 100% x DOUT1/255 0h = 0%、両方の出力が Low に維持され、ドライバはブレーキ状態になる 60h = 37.5% (デフォルト) FFh = 100%

7.1.9 DOUT4 レジスタ (オフセット = 8h) [リセット = 80h]

DOUT4 を表 7-11 に示します。

概略表に戻ります。

表 7-11. DOUT4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DOUT4	R/W	80h	DIN = 50% のときの出力デューティ DOUT を設定 DOUT = 100% x DOUT1/255 0h = 0%、両方の出力が Low に維持され、ドライバはブレーキ状態になる 80h = 50% (デフォルト) FFh = 100%

7.1.10 DOUT5 レジスタ (オフセット = 9h) [リセット = A0h]

DOUT5 を表 7-12 に示します。

概略表に戻ります。

ADVANCE INFORMATION

表 7-12. DOUT5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DOUT5	R/W	A0h	DIN = 62.5% のときの出力デューティ DOUT を設定 DOUT = 100% x DOUT1/255 0h = 0%、両方の出力が Low に維持され、ドライバはブレーキ状態になる A0h = 62.5% (デフォルト) FFh = 100%

7.1.11 DOUT6 レジスタ (オフセット = Ah) [リセット = C0h]

DOUT6 を表 7-13 に示します。

概略表に戻ります。

表 7-13. DOUT6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DOUT6	R/W	C0h	DIN = 75% のときの出力デューティ DOUT を設定 DOUT = 100% x DOUT1/255 0h = 0%、両方の出力が Low に維持され、ドライバはブレーキ状態になる C0h = 75% (デフォルト) FFh = 100%

7.1.12 DOUT7 レジスタ (オフセット= Bh) [リセット= E0h]

DOUT7 を表 7-14 に示します。

概略表に戻ります。

表 7-14. DOUT7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DOUT7	R/W	E0h	DIN = 87.5% のときの出力デューティ DOUT を設定します DOUT = 100% x DOUT1/255 0h = 0%、両方の出力が Low に維持され、ドライバはブレーキ状態になる E0h = 87.5% (デフォルト) FFh = 100%

7.1.13 DOUT8 レジスタ (オフセット = Ch) [リセット = FFh]

DOUT8 を表 7-15 に示します。

概略表に戻ります。

表 7-15. DOUT8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DOUT8	R/W	FFh	DIN = 100% のときの出力デューティ DOUT を設定します DOUT = 100% x DOUT1/255 0h = 0%、両方の出力が Low に維持され、ドライバはブレーキ状態になる FFh = 100% (デフォルト)

7.1.14 HALL_TIME_CONFIG レジスタ (オフセット = Dh) [リセット = 00h]

HALL_TIME_CONFIG を 表 7-16 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 7-16. HALL_TIME_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	HALL_OS_TIME	R/W	0h	ホール リード / ラグ時間オフセット。 t_{HALL_OS} = HALL_OS × 10.24µs、10.24µs / ステップ 00h = 0 01h = 10.24us 02h = 20.48us

7.1.15 COMMUTATION_CONFIG0 レジスタ (オフセット = Eh) [リセット = 00h]

COMMUTATION_CONFIG0 を表 7-17 に示します。

概略表に戻ります。

表 7-17. COMMUTATION_CONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	FG_MULTIPLIER	R/W	0h	この係数は FG 出力周波数に乗算され、モーターの極数が変化しても速度フィードバック周波数を同じに維持します。 0h = 1/2x 1h = 2/3x 2h = 1x 3h = 2x
5	FG_HALL_RAW_EN	R/W	0h	このビットが High の場合、FG_RD ピンを駆動する信号として HALL_OFFSET ではなく RAW_HALL に FG_MULTIPLIER フィールドが適用されます。 0h = HALL_OFFSET 信号が FG_MULTIPLIER 係数に基づいて FG_RD ピンを駆動 1h = RAW_HALL 信号が FG_MULTIPLIER 係数に基づいて FG_RD ピンを駆動。注:2/3x オプションは HALL_RAW 信号には有効ではない。
4-3	COMMUTATION_MODE	R/W	0h	出力 PWM 波形の整流モードを選択します。 0h = 方形波整流 1h = ソフト整流
2-0	PWM_MODE	R/W	0h	PWM、電流制限、および消磁のオフ時間中の出力動作を選択します 0h = PWM、電流制限、消磁のための非同期モード 1h = PWM および電流制限の非同期モード、消磁の同期モード 2h = PWM および電流制限の同期モード、消磁の非同期モード 3h = PWM、電流制限、および消磁の同期モード 4h = PWM および電流制限の同期モード、消磁のハイブリッドモード 5h = PWM および電流制限の非同期モード、消磁のハイブリッドモード 6h = PWM および電流制限のハイブリッドモード、消磁の非同期モード 7h = PWM、電流制限、および消磁のハイブリッドモード

7.1.16 COMMUTATION_CONFIG1 レジスタ (オフセット= Fh) [リセット= A0h]

COMMUTATION_CONFIG1 を表 7-18 に示します。

概略表に戻ります。

表 7-18. COMMUTATION_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PWM_RAMP_EN	R/W	1h	PWM ランプ機能を有効化します 0h = PWM ランプ機能が無効で、入力デューティ サイクルを DOUT に即座に適用する 1h = PWM ランプ機能が有効で、PWM_RAMP_SEL ビットに応じてランプ レートを設定する

ADVANCE INFORMATION

表 7-18. COMMUTATION_CONFIG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-5	PWM_RAMP_SEL	R/W	1h	モーターの起動から DOUT が 0 から 100% にランプ アップするまでの総時間。これは、速度を変更するために入力 PWM デューティ サイクルを増減させる際のランプ レートも制御します。 0h = 10.4s (デューティ サイクル ランプ レート 9.6%/s) 1h = 5.2s (デューティ サイクル ランプ レート 19.2%/s) 2h = 2.6s (デューティ サイクル ランプ レート 38.5%/s) 3h = 1.3s (デューティ サイクル ランプ レート 77%/s)
4-0	SRISE	R/W	0h	ソフト整流の立ち上がりランプを設定します。方形波整流のデフォルトは 0 度。 θ_{SRISE} = (SRISE*2.8 度) + 2.8 度 00h = 2.8 度 01h = 5.6 度 1Fh = 90 度

7.1.17 COMMUTATION_CONFIG2 レジスタ (オフセット = 10h) [リセット = 20h]

COMMUTATION_CONFIG2 を表 7-19 に示します。

概略表に戻ります。

表 7-19. COMMUTATION_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0h	予約済み
5	PWM_DECEL_SEL	R/W	1h	減速時のランプ レートが PWM_RAMP_SEL 設定と同じか、その半分かを選択します 0h = 減速ランプ レートを PWM_RAMP_SEL によって設定 1h = 減速ランプ レートは PWM_RAMP_SEL の半分となる
4-0	SFALL	R/W	0h	ソフト整流の立ち下がりランプを設定します。方形波整流のデフォルトは 0 度。 θ_{SFALL} = (SFALL × 2.8 度) + 2.8 度 00h = 2.8 度 01h = 5.6 度 1Fh = 90 度

7.1.18 COMMUTATION_CONFIG3 レジスタ (オフセット = 11h) [リセット = 46h]

COMMUTATION_CONFIG3 を表 7-20 に示します。

概略表に戻ります。

表 7-20. COMMUTATION_CONFIG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	AUTO_DEMAG_EN	R/W	1h	t_{DEMAG} 時間を固定または自動で選択します 0h = t_{DEMAG} を DEMAG ビットに従って設定 1h = 電流のゼロ交差を検出し、t_{DEMAG} 時間の持続時間を自動的に決定 2h = 予約済み 3h = 予約済み
5-4	AUTO_DEMAG_STEP	R/W	0h	自動消磁のステップ分解能 0h = 2.56us 1h = 5.12us 2h = 10.24us 3h = 20.48us
3	予約済み	R/W	0h	予約済み
2-1	予約済み	R/W	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

表 7-20. COMMUTATION_CONFIG3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	予約済み	R/W	0h	予約済み

7.1.19 PROTECTION_CONFIG0 レジスタ (オフセット = 12h) [リセット = 04h]

PROTECTION_CONFIG0 を表 7-21 に示します。

概略表に戻ります。

表 7-21. PROTECTION_CONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPEED_LOOP_EN	R/W	0h	閉ループ速度制御動作を有効化または無効化します 0h = 入力コマンドを目標デューティ サイクルとする開ループ動作 1h = 入力コマンドを目標速度とする閉ループ動作
6	OVP_EN	R/W	0h	過電圧保護を有効化または無効化 0h = 過電圧保護を無効化 1h = 過電圧保護を有効化
5-4	OVP_SEL	R/W	0h	OVP がアサートされるスレッショルドを選択します 0h = 34.5V 立ち上がり、33.1V 立ち下がり 1h = 22.6V 立ち上がり、21.1V 立ち下がり 2h = 18.1V 立ち上がり、16.6V 立ち下がり 3h = OVP なし
3	OCP_RETRY_MODE	R/W	0h	OCP の後に無制限に再試行するか、3 回連続の再試行後に停止するかを制御します 0h = 無制限に再試行 1h = 連続して 3 回のみ再試行
2-0	LRD_LONG_RETRY_SEL	R/W	4h	t_{LRD_START} から $t_{lock_long_retry}$ を計算する乗数を選択します 0h = x 2 1h = x 4 2h = x 8 3h = x 10 4h = x 12 5h = x 16 6h = x 24 7h = x 28

7.1.20 CLOSED_LOOP_CONFIG0 レジスタ (オフセット = 13h) [リセット = 00h]

CLOSED_LOOP_CONFIG0 を表 7-22 に示します。

概略表に戻ります。

表 7-22. CLOSED_LOOP_CONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MAX_SPEED_LSB	R/W	0h	閉ループで 100% デューティ サイクルで動作している場合に、デバイスが目標とする電気的最大速度 (単位:Hz) を表す 12 ビット値の最下位バイト 8 を設定します。式に従い、PWM ピンで観測された入力デューティ サイクルに基づいて目標速度を計算するために使用されます。目標電気的速度 (Hz) = 入力デューティ サイクル × MAX_SPEED

7.1.21 CLOSED_LOOP_CONFIG1 レジスタ (オフセット = 14h) [リセット = FFh]

CLOSED_LOOP_CONFIG1 を表 7-23 に示します。

概略表に戻ります。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-23. CLOSED_LOOP_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DOUT_MAX_MSN または KI_RATIO	R/W	Fh	開ループ:DOUT_MAX の最上位ニブルを設定すると、DIN が DIN0 と DINOFF の間にある場合に最大値の DOUT がクランプされます。DOUT_MAX の最小クランプ値 25%。閉ループ:KI_RATIO の 3 ビットを設定します 0h = Kp x 8 1h = Kp x 4 2h = Kp x 2 3h = Kp x 1 4h = Kp/2 5h = Kp/4 6h = Kp/8 7h = Kp/16
3-0	DOUT_MAX_LSN または MAX_SPEED_MSN	R/W	Fh	開ループ:DOUT_MAX の最下位ニブルを設定すると、DIN が DIN0 と DINOFF の間にある場合に最大値の DOUT がクランプされます。DOUT_MAX の最小クランプ値 25%。閉ループ:閉ループで 100% デューティ サイクルで動作している場合に、デバイスが目標とする電気的最大速度 (Hz) を表す 12 ビット値の最上位バイト 4 を設定します。式に従い、PWM ピンで観測された入力デューティ サイクルに基づいて目標速度を計算するために使用されます。目標電気的速度 (Hz) = 入力デューティ サイクル × MAX_SPEED

7.1.22 CLOSED_LOOP_CONFIG2 レジスタ (オフセット = 15h) [リセット = 02h]

CLOSED_LOOP_CONFIG2 を表 7-24 に示します。

概略表に戻ります。

表 7-24. CLOSED_LOOP_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	LRD_NRETRY_STARTUP	R/W	0h	リセット、SLEEP、または STBY からのウェークアップ後、長いリトライ期間 tlock_long_retry を適用する前に実行される初回起動のリトライ回数。 0h = 初回の一連の再試行は 1 回のみ 1h = 初回の一連の再試行は 2 回 2h = 初回の一連の再試行は 3 回 3h = 初回の一連の再試行は 4 回
5-4	LRD_NRETRY_RUN	R/W	0h	初回起動試行の後、リセット、SLEEP、または STBY からのウェークアップ後に、長いリトライ期間 tlock_long_retry を適用する前に実行される、その後の起動リトライ回数。 0h = 以後の一連の再試行は 1 回のみ 1h = 以後の一連の再試行は 2 回 2h = 以後の一連の再試行は 3 回 3h = 以後の一連の再試行は 4 回
3	DEADTIME_SEL	R/W	0h	デッドタイム持続を 600ns から 520ns に短縮します 0h = デッドタイムは 600ns 1h = デッドタイムは 520ns
2-0	KP_RATIO	R/W	2h	閉ループ速度コントローラにおける比例成分。 0h = 8/fMax 1h = 4/fMax 2h = 2/fMax 3h = 1/fMax 4h = 1/(2*fMax) 5h = 1/(4*fMax) 6h = 1/(8*fMax) 7h = 1/(16*fMax)

Copyright © 2025 Texas Instruments Incorporated

7.1.23 PROTECTION_CONFIG1 レジスタ (オフセット = 16h) [リセット = 44h]

PROTECTION_CONFIG1 を表 7-25 に示します。

概略表に戻ります。

表 7-25. PROTECTION_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OVP_BLANK_SEL	R/W	0h	ピーク デューティ サイクル フェーズ中に適用されるブランキング期間を選択します。 0h = 1ms 後にブランキングがアクティブになる 1h = 4ms 後にブランキングがアクティブになる
6	OVP_BLANK_EN	R/W	1h	ピーク デューティ サイクル フェーズにおける OVP ブランキング時間を有効化または無効化します 0h = ピーク デューティ サイクル フェーズで OVP ブランキングはなく、ブランキングは SRISE フェーズと SFALL フェーズでのみアクティブとなる 1h = SRISE および SFALL フェーズに加えて、OVP_BLANK_SEL に従って、ピーク デューティ サイクル フェーズの OVP ブランキング
5	OCP_DEGLITCH_SEL	R/W	0h	OCP のグリッチ除去時間を選択します 0h = OCP グリッチ除去時間は 500ns 1h = OCP グリッチ除去時間は 1µs
4	予約済み	R/W	0h	予約済み
3-2	予約済み	R/W	0h	予約済み
1	予約済み	R/W	0h	予約済み
0	DITHER_EN	R/W	0h	High に設定すると内部発振器のディザリングが有効化され、それに伴い PWM 出力もディザリングされます 0h = ディザリング無効 1h = ディザリング有効

7.1.24 GENERAL_CONFIG1 レジスタ (オフセット = 17h) [リセット = 46h]

GENERAL_CONFIG1 を表 7-26 に示します。

概略表に戻ります。

表 7-26. GENERAL_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HALL_INVERT	R/W	0h	このビットはホール オフセット信号を整流ブロックに対して反転します。 0h = 非反転ホール ラッチ信号 1h = 反転ホール ラッチ信号
6	HALL_TIME_MODE	R/W	1h	ホール オフセット時間のリード / ラグ選択ビット 0h = ホール オフセット信号はホール ラッチ出力信号より t_{HALL_OS} だけ遅れる 1h = ホール オフセット信号はホール ラッチ出力信号より t_{HALL_OS} 分だけ進む
5-4	LRD_TIME_STARTUP	R/W	0h	起動時の回転子ロック検出時間 t_{LRD_START} を選択します。また、$t_{lock_long_retry}$ の計算にも使用されます 0h = 325ms 1h = 440ms Ah = 524ms Bh = 1.05s

ADVANCE INFORMATION

表 7-26. GENERAL_CONFIG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	ILIMIT_SEL	R/W	6h	電流制限スレッショルドを選択します。0h ～ 9h の値のみが有効です。 0h = 0.33A 1h = 0.44A 2h = 0.55A 3h = 0.66A 4h = 0.77A 5h = 0.88A 6h = 0.99A 7h = 1.10A 8h = 1.21A 9h = 1.32A

7.1.25 GENERAL_CONFIG2 レジスタ (オフセット = 18h) [リセット = 81h]

GENERAL_CONFIG2 を表 7-27 に示します。

概略表に戻ります。

表 7-27. GENERAL_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VM_CLAMP_DIS	R/W	1h	VM クランプ機能を無効化します 0h = VM クランプ有効 1h = VM クランプ無効
6	HALL_ANGLE_MODE	R/W	0h	ホール オフセットの角度成分を先行方向または遅れ方向に適用するかを選択します 0h = ホール オフセット信号はホール ラッチ出力信号より $\theta_{HALL_OS_ANGLE}$ 分だけ進む 1h = ホール オフセット信号はホール ラッチ出力信号より $\theta_{HALL_OS_ANGLE}$ だけ遅れる
5-1	HALL_OS_ANGLE	R/W	0h	ホール オフセットの角度成分 0h = 0 度 1h = 1.4 度 1Fh = 43.6 度
0	PRESSTART_RAMP_EN	R/W	1h	プリスタート PWM ランプ機能を有効化します 0h = プリスタート ランプ機能は無効で、入力デューティ サイクルが DOUT に即座に適用される 1h = プリスタート ランプ機能は有効で、PWM_RAMP_SEL ビットに従ってランプ レートが設定される

7.1.26 GENERAL_CONFIG3 レジスタ (オフセット = 19h) [リセット = 24h]

GENERAL_CONFIG3 を表 7-28 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 7-28. GENERAL_CONFIG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	SILENCE_ANGLE	R/W	2h	整流開始時の無音となる角度期間を設定します 0h = 0.0 1h = 1.4 2h = 2.8 3h = 4.2 4h = 5.6 5h = 7.0 6h = 8.4 7h = 9.8 8h = 11.3 9h = 12.7 10h = 14.1 11h = 15.5 12h = 16.9 13h = 18.3 14h = 19.7 15h = 21.1
3-2	POLE_PAIR	R/W	1h	回転子内の極ペア数を示します 0h = 1 極ペア 1h = 2 極ペア 2h = 3 極ペア 3h = 4 極ペア
1	LRD_RETRY_DIS	R/W	0h	回転子ロックが検出された際、5 回連続してリトライした後に、それ以上のリトライを無効化します 0h = リトライ回数無制限 1h = リトライ回数を 5 回に制限さ
0	PWRUP_PWMDC_MASK	R/W	0h	リセット状態からの初回パワーアップ時に、PWM ピンの入力速度コマンドを 1 秒間マスクします 0h = PWM ピン入力をマスクしない 1h = 初回パワーアップ時に PWM ピン入力を 1 秒間マスクする

7.1.27 GENERAL_CONFIG4 レジスタ (オフセット = 1Ah) [リセット = 08h]

GENERAL_CONFIG4 を表 7-29 に示します。

概略表に戻ります。

表 7-29. GENERAL_CONFIG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	DEMAG_TIME	R/W	4h	DEMAG 時間を設定します 0h = 0us 1h = 10.24us 2h = 20.48us 3Fh = 645.12us 7Fh = 1.29ms
0	SILENCE_MODE	R/W	0h	サイレンス フェーズ中の出力 FET の状態を選択します 0h = サイレンス フェーズ中、すべての FET はハイ インピーダンスとなる 1h = サイレンス フェーズで非同期モードとなる

7.1.28 USR_OTP_CRC レジスタ (オフセット = 1Bh) [リセット = 00h]

USR_OTP_CRC を 表 7-30 に示します。

概略表に戻ります。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-30. USR_OTP_CRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	USR_OTP_CRC	R/W	0h	USR_OTP レジスタに対して計算された CRC 値

Copyright © 2025 Texas Instruments Incorporated

7.2 USR_TM レジスタ

表 7-31 に、USR_TM レジスタのメモリマップト レジスタを示します。表 7-31 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-31. USR_TM レジスタ

オフセット	略称	レジスタ名	セクション
20h	TEST_FAULT	故障をテストするためのレジスタ	セクション 7.2.1
21h	TEST_DIN	デューティ サイクル入力制御	セクション 7.2.2
22h	TEST_FAULT_STATUS	故障タイプを示すレジスタ	セクション 7.2.3
23h	TEST_SPEED_MSB	速度フィードバック	セクション 7.2.4
24h	TEST_SPEED_LSB	速度フィードバック	セクション 7.2.5
25h	USR_OTP_CFG	USR_OTP のプログラミングを設定するためのレジスタ	セクション 7.2.6
26h	USR_OTP_PRG_UNLOCK	USR_OTP をプログラムまたは検証するためのアクセスをロック解除	セクション 7.2.7

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-32 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-32. USR_TM アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W0C	W 0C	書き込み 0 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.2.1 TEST_FAULT レジスタ (オフセット = 20h) [リセット = 00h]

TEST_FAULT を 表 7-33 に示します。

概略表に戻ります。

表 7-33. TEST_FAULT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FAULT	R	0h	このビットを読み出すと、デバイスが異常モード (OCP、OVP、UVLO、回転子ロック、TSD) になっていることを示します。電流制限動作は、このビットでは通知されません。 0h = アクティブ モード 1h = 故障モード
6-0	予約済み	R	0h	予約済み

7.2.2 TEST_DIN レジスタ (オフセット = 21h) [リセット = 01h]

TEST_DIN を 表 7-34 に示します。

概略表に戻ります。

ADVANCE INFORMATION

表 7-34. TEST_DIN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DIN_CNTRL	R/W	1h	このレジスタに書き込むと、I2C で PWM ピンが使用できない間、速度を制御するための入力デューティ サイクル DIN が設定されます。 DIN = DIN_CTRL/255 0h = 0% (デフォルト) A0h = 62.5% FFh = 100%

7.2.3 TEST_FAULT_STATUS レジスタ (オフセット = 22h) [リセット = 00h]

TEST_FAULT_STATUS を 表 7-35 に示します。

概略表に戻ります。

表 7-35. TEST_FAULT_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5	予約済み	R/W0C	0h	予約済み
4	TSD	R/W0C	0h	このビットを読み出すと、デバイスが温度シャットダウン (TSD) 保護中であることを示します。 0h = 通常動作 1h = TSD 故障
3	UVLO	R	0h	このステータス ビットは、デバイスが低電圧 (UVLO) 状態であることを示します。 0h = 通常動作 1h = UVLO 故障
2	OVP	R/W0C	0h	このビットを読み出すと、デバイスが過電圧保護 (OVP) 状態であることを示します。 0h = 通常動作 1h = OVP 故障
1	LRP	R	0h	このビットを読み出すと、デバイスが回転子ロック保護 (LRP) 状態であることを示します。 0h = 通常動作 1h = LRP 故障
0	OCP	R/W0C	0h	このビットを読み出すと、デバイスが過電流保護状態であることを示します。 0h = 通常動作 1h = OCP 故障

7.2.4 TEST_SPEED_MSB レジスタ (オフセット = 23h) [リセット = 00h]

TEST_SPEED_MSB を 表 7-36 に示します。

概略表に戻ります。

表 7-36. TEST_SPEED_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ELECTRICAL_PERIOD_MSB	R	0h	このレジスタを読み出すと、モーターの電気的サイクルの周期が取得できます。FG ピンが使用できないテスト モード中の速度フィードバックに役立ちます。合計電気的周期は、10.24us * ((ELECTRICAL_PERIOD_MSB << 8) + (ELECTRICAL_PERIOD)) の計算値の 2 倍になります

Copyright © 2025 Texas Instruments Incorporated

7.2.5 TEST_SPEED_LSB レジスタ (オフセット = 24h) [リセット = 00h]

TEST_SPEED_LSB を 表 7-37 に示します。

概略表に戻ります。

表 7-37. TEST_SPEED_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ELECTRICAL_PERIOD_LSB	R	0h	このレジスタを読み出すと、モーターの電気的サイクルの周期が取得できます。FG ピンが使用できないテスト モード中の速度フィードバックに役立ちます。Electrical_PERIOD_MSB ビット フィールド説明の式。

7.2.6 USR_OTP_CFG レジスタ (オフセット = 25h) [リセット = 00h]

USR_OTP_CFG を 表 7-38 に示します。

概略表に戻ります。

表 7-38. USR_OTP_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	USR_OTP_CRC_ERR	R	0h	USR_OTP_CRC チェックのステータス 0h = CRC エラーなし 1h = CRC エラー
6	DEVICE_OTP_CRC_ERR	R	0h	デバイスの OTP 内容に対して計算された DEVICE OTP CRC のステータス 0h = CRC エラーなし 1h = CRC エラー
5	予約済み	R/W	0h	予約済み
4-3	USR_OTP_PAGE_USED	R	0h	USR_OTP シャドウ レジスタのロードに使用されるデータの生成元を示します 0h = USR_OTP のいずれからも、これまでシャドウ レジスタがロードされていない。これは、電源オン時に USR_OTP1 が未プログラムであると判断されたことを意味します。 1h = シャドウ レジスタの最新ロードが USR_OTP1 から行われた 2h = シャドウ レジスタの最新ロードが USR_OTP2 から行われた。 3h = 予期されない無効な組み合わせ。
2	USR_OTP_PAGE_SEL	R/W	0h	このビットは、命令された動作の対象が最初の USR_OTP ページ (USR_OTP1) なのか、2 番目の USR_OTP ページ (USR_OTP2) なのかを示します。 0h = USR_OTP1 1h = USR_OTP2
1	USR_OTP_PROG_VERIFY	R/W	0h	予約済み
0	USR_OTP_PROG_ALL	R/W	0h	USR_OTP_PAGE_SEL に従って USR_OTP ページをプログラムするには、このビットに 1h を書き込みます

7.2.7 USR_OTP_PRG_UNLOCK レジスタ (オフセット = 26h) [リセット = 00h]

USR_OTP_PRG_UNLOCK を 表 7-39 に示します。

概略表に戻ります。

表 7-39. USR_OTP_PRG_UNLOCK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0h	予約済み

ADVANCE INFORMATION

表 7-39. USR_OTP_PRG_UNLOCK レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	USR_OTP_PROG_UNLOCK	R	0h	USR_OTP のプログラミングまたはプログラム検証動作へのアクセスをロック解除するには、このビットに 2h、1h、4h のシーケンスを連続した書き込みフレームで書き込む必要があります

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

MC121-Q1 は、単相ブラシレス DC モーターの駆動に使用できます。以下の設計手順は、MC121-Q1 とのインターフェイスに使用できます。

8.1.1 外付け部品

このセクションでは、ファン アプリケーションにおける MC121-Q1 の推奨外付け部品について説明します。

電源関連部品

図 8-1 に、ファン モジュールの電源端子に配置される一般的な部品を示します。電源と直列に接続された D_1 ダイオードは、誤って電源端子が逆接続された場合に MC121-Q1 を保護します。MC121-Q1 を適切に機能させるには、電源デカップリング コンデンサが必要であり、最小値として 0.1μF を推奨します。VM ピンの近くにオプションの バルク コンデンサ C_{BULK} を配置すると、モーター動作中の V_{VM} 電源電圧を安定化できます。過渡時のマージンを確保するため、等価直列抵抗 (ESR) が低いセラミック コンデンサで、電源電圧の 2 倍の電圧定格を持つものを推奨します。容量の値はアプリケーションに応じて 1μF ～ 10μF が推奨されます。

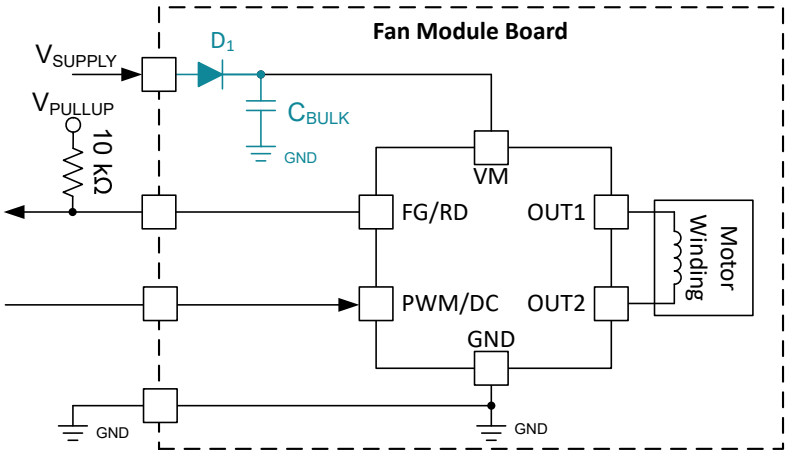


図 8-1. 代表的なファン モジュール外付け部品

モーター電流が大きく、回転子の慣性が高いモーター システムでは、整流動作中にインダクタに蓄積されたエネルギーにより、H ブリッジから VM ノードへ大電流が流れ込むことがあります。C_{BULK} コンデンサの追加電荷によって、V_{VM} 電源電圧が上昇します。MC121-Q1 は過電圧保護機能を備えていますが、電源レールに保護クランプ部品を追加することで、電圧スパイクの大きさを抑制できます。これらの部品は、電源レールに対する ESD 保護としても機能します。

図 8-2 に、VM ノードに ツェナー ダイオードまたは TVS ダイオード (D_2) を使用した例を示します。ダイオードのクランプ電圧は、ファン システムの最大動作電圧より高く、「推奨動作条件」の表に示される MC121-Q1 の最大動作電圧より低い必要があります。電源ラインに RC スナバを使用することで、電圧スパイクや ESD からドライバを保護できます (図 8-3)。TI では、$C_{SNUBBER}$ に 1μF、$R_{SNUBBER}$ に 2Ω を推奨しています。また、C_{BULK} と並列に 電解コンデンサを使用することもできます。

ADVANCE INFORMATION

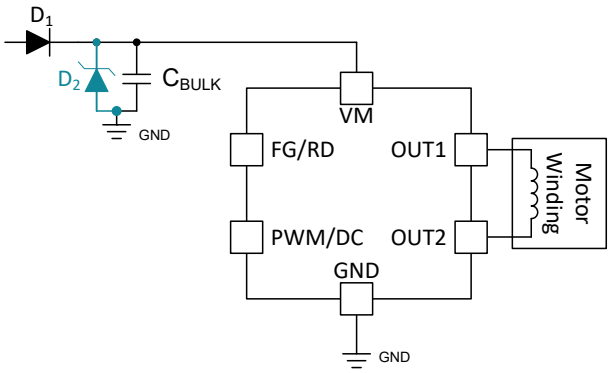


図 8-2. VM のクランプ ダイオード

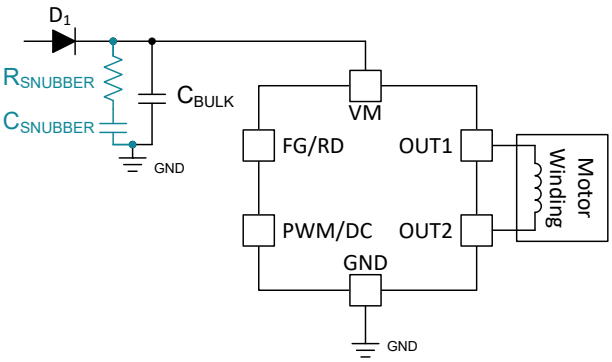


図 8-3. VM のスナバ

ADVANCE INFORMATION

PWM および FG/RD ピンの部品

図 8-1 に、ファン モジュールの PWM 制御、速度または故障フィードバックに必要な最小限の外付け部品を示します。FG/RD ピンはオープン ドレイン出力であり、適切な電圧の出力信号を得るには、外付けプルアップ抵抗が必要です。オープン ドレイン出力が Low にアサートされたとき、FG/RD ピンに流れ込む電流が 5mA 未満となるよう、プルアップ抵抗値を選択する必要があります。図 8-4 に示すように、PWM 入力と FG/RD 出力にインラインで抵抗を追加すると、コネクタ ワイヤ上の ESD からドライバを保護するのに役立ちます。図 8-5 に示すように、FG/RD 信号および PWM 信号にクランプ ダイオードまたは TVS ダイオードを追加することで、ESD に対する保護をさらに強化できます。

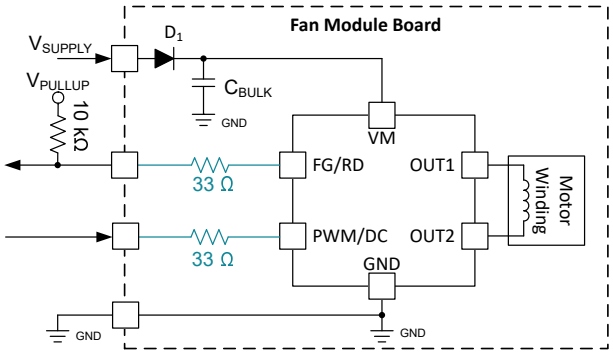


図 8-4. PWM と FG/RD の抵抗

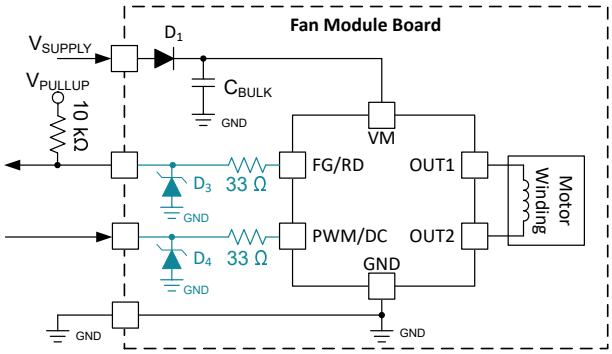


図 8-5. PWM と FG/RD の抵抗およびツェナー ダイオード

一部の単相ファン モジュールでは、FG/RD および PWM ピンにオープン コレクタ インターフェイスが必要です。図 8-6 および 図 8-7 に、オープン コレクタ インターフェイス用にファン モジュールの内側および外側の部品を接続する例を示します。

Copyright © 2025 Texas Instruments Incorporated

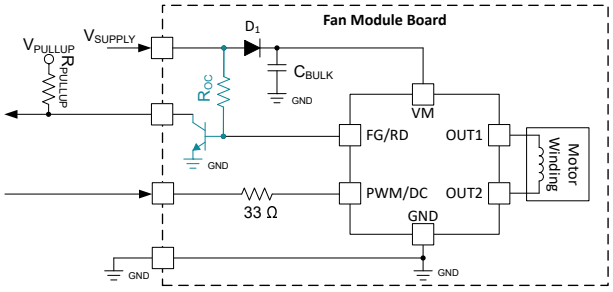


図 8-6. FG/RD のオープン コレクタ

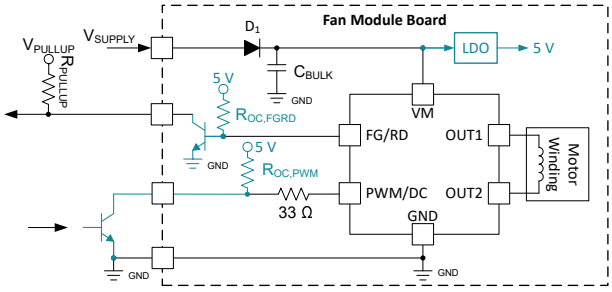


図 8-7. PWM および FG/RD のオープン コレクタ

OTP およびテスト モードのプログラミング

MC121-Q1 は、OTP (ワンタイム プログラマブル) モードで、FG/RD および PWM ピンで I²C インターフェイスをサポートします。OTP モードでは、設計者はさまざまなデバイス設定をテストでき、量産時にデバイスの OTP をプログラムできます。図 8-8 に、MC121-Q1 のデバイス プログラミング用の外付け部品の接続例を示します。OTP およびテスト モードのプログラミングの詳細については、セクション 6.4.4 を参照してください。

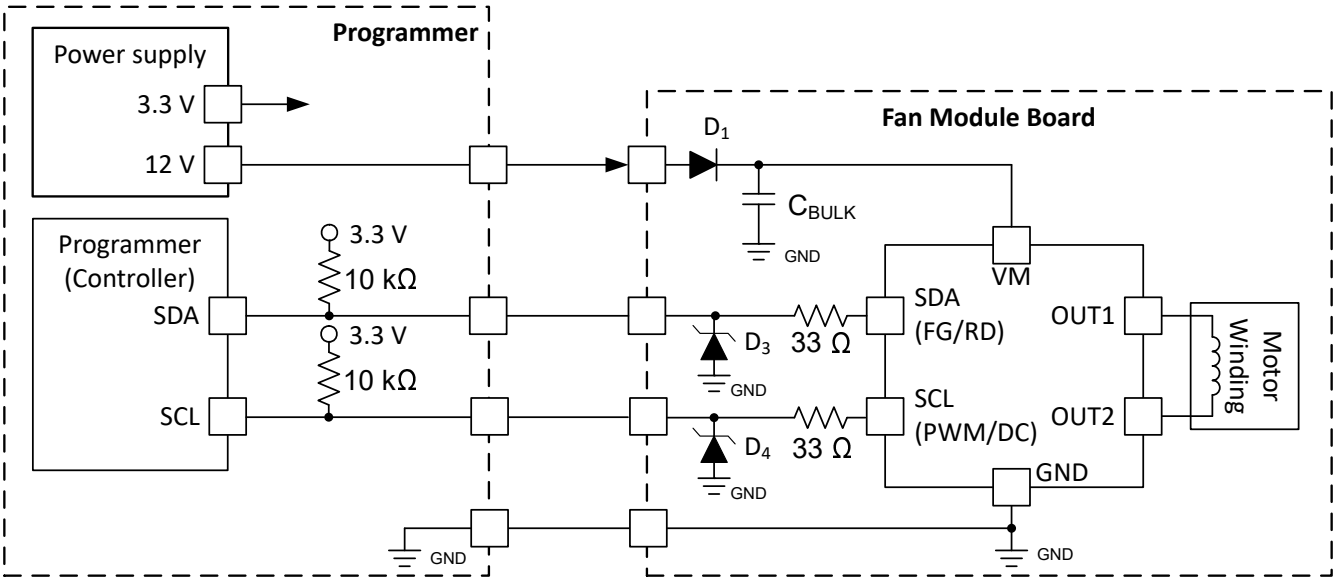


図 8-8. OTP メモリ プログラマおよびファン モジュール

8.2 代表的なアプリケーション

8.2.1 設計要件

電流制限付き単相ブラシレス DC モーター制御

このアプリケーションでは、MC121-Q1 を使用して、最大 100% デューティ サイクルで電流制限を備えた単相ブラシレス DC モーターを駆動します。以下の設計手順を使用して、MC121-Q1 を電流制限モードで構成できます。

表 8-1 に、システム設計の入力パラメータの例を示します。

表 8-1. 設計パラメータ

パラメータ	値
電源電圧	12V

ADVANCE INFORMATION

表 8-1. 設計パラメータ (続き)

パラメータ	値
モーターのピーク電流	1.2A
速度入力タイプ	PWM (0% ～ 100% デューティ)、50Hz
FG/RD ピンの機能	回転子ロックの故障時に High をアサート
整流形状	方形波

8.2.2 詳細な設計手順

モーター電圧

ブラシレス DC モーターは通常、特定の定格電圧が指定されています (12V や 24V など)。より高い電圧でモーターを動作させると、同じモーター電力を得るために必要な駆動電流は低くなります。また、動作電圧が高いほど、到達可能な回転数も高くなります。MC121-Q1 は、3.2V ～ 35V の電圧範囲での動作が可能です。

デバイス構成設定

MC121-Q1 のデフォルト OTP 構成を、表 7-1 に示します。デフォルト値は、モーターの起動および閉ループ動作を確実に行うために選択されています。MC121-Q1 のチューニングおよびプログラミングのガイドを参照してください。このガイドでは、単相 BLDC モーターを開ループおよび閉ループ構成で調整する手順を段階的に説明し、デバイス機能を紹介しています。

表 8-2. 推奨 OTP 構成値 (デフォルトからの変更)

レジスタ値名	推奨値
PWM_IN_RANGE	1h
FGRD_INVERT	1h
FGRD_MODE	1h
PWM_MODE	7h
SILENCE_ANGLE	4h
ILIMIT_SEL	9h

デバイスの OTP が目的の構成でプログラムされると、デバイスはスタンドアロンで動作可能となり、I^2C シリアル インターフェイスは不要になります。速度は PWM/DC ピンで指示でき、回転子ロックの故障は FG/RD ピンで監視できます。

消費電力と接合部温度の関係

電力損失から MC121-Q1 の接合部温度を計算するには、式 1 を使用します。熱抵抗 θ_{JA} は、周囲温度、PCB 層数、上層および下層の銅厚、PCB 面積などの PCB 構成によって異なることに注意してください。

$$T_J[°C] = P_{loss}[W] \times \theta_{JA}\left[\frac{°C}{W}\right] + T_A\left[°C\right] \quad (1)$$

Copyright © 2025 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

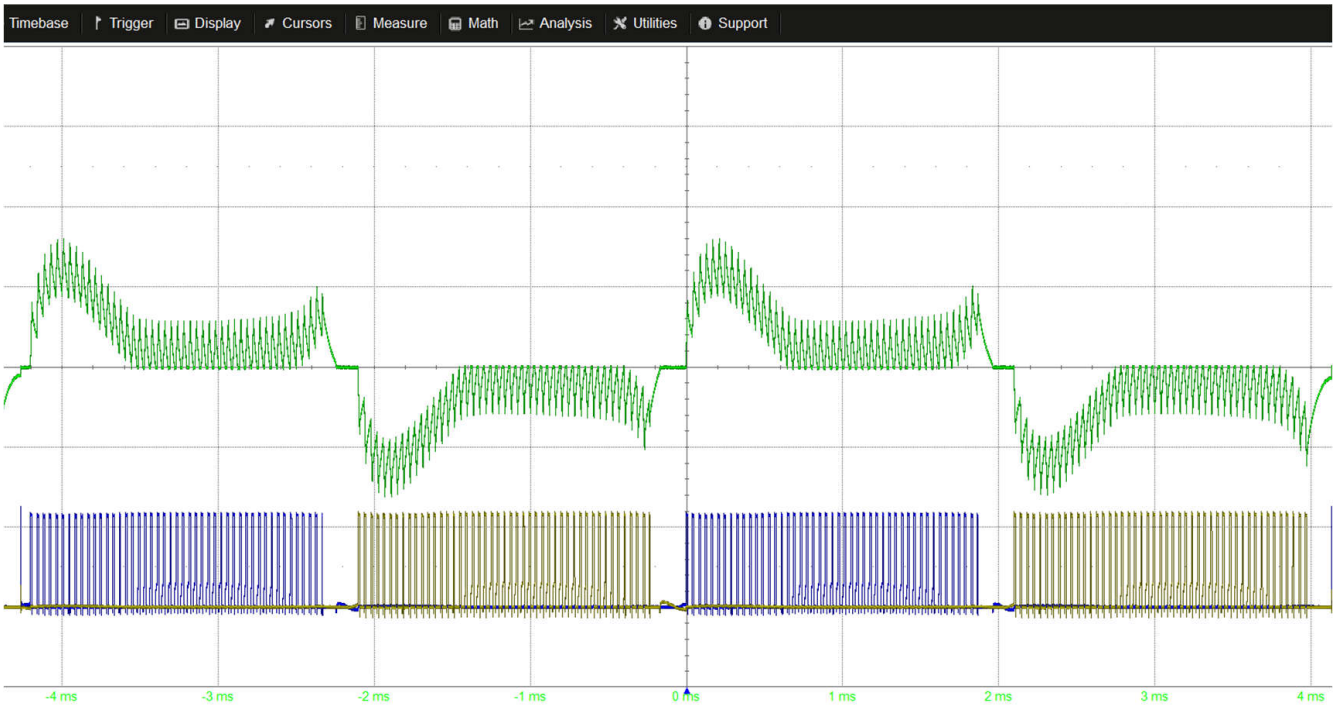


図 8-9. PWM 入力 = 25% での OUTx 電圧および位相電流

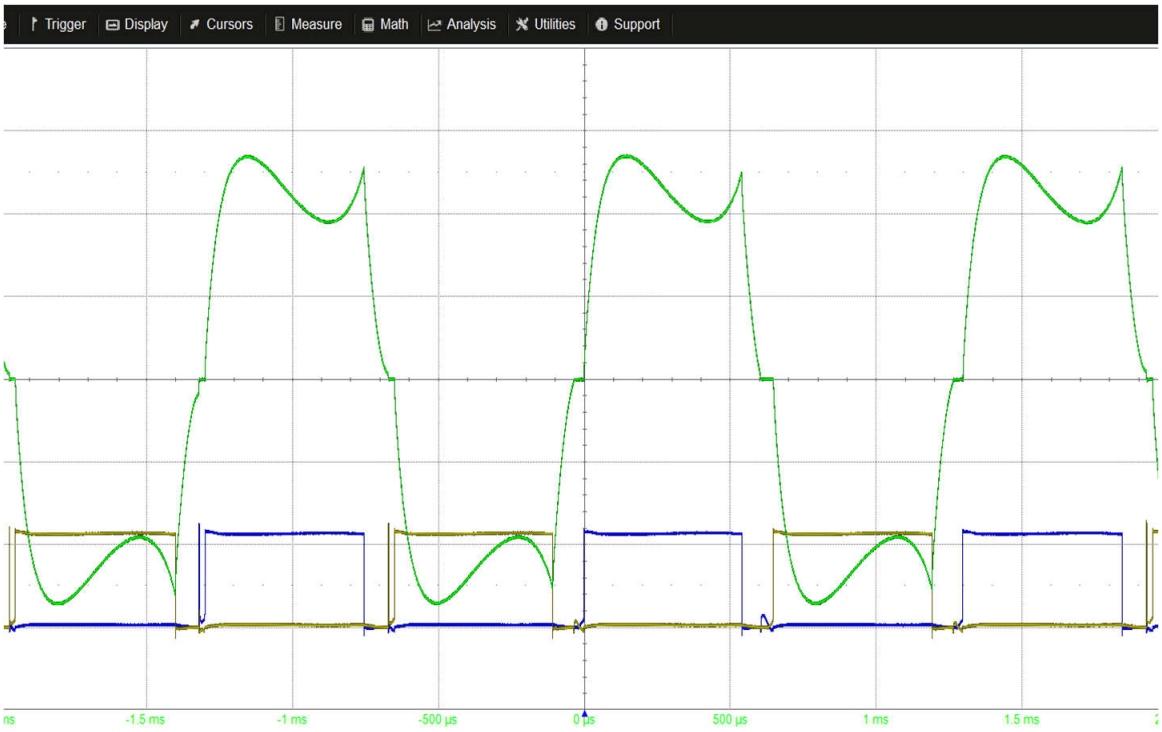


図 8-10. PWM 入力 = 100% での OUTx 電圧および位相電流

8.3 電源に関する推奨事項

ADVANCE INFORMATION

ADVANCE INFORMATION

8.3.1 バルク コンデンサ

適切なローカル バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般に、バルク コンデンサが大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の容量と電流能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- モーターの停止またはブレーキ方法

電源とモーター駆動システムの間のインダクタンスにより、電源からの電流の変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

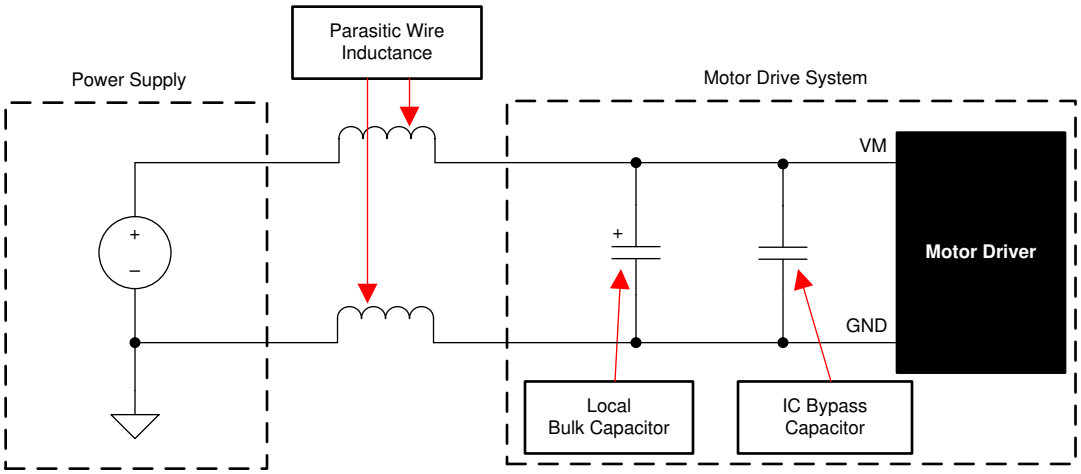


図 8-11. 外部電源を使用したモーター駆動システムの構成例

モーターが電源にエネルギーを伝達する場合のマージンを確保するため、バルク コンデンサの定格電圧は動作電圧より高くすることができます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

バルク コンデンサは、モーター ドライバ デバイスを通る大電流パスの距離ができるだけ短くなるように配置することができます。接続用の金属パターンはできる限り幅を広くし、PCB 層を接続する際には多数のビアを使用する必要があります。これらの手法により、寄生インダクタンスを最小限にして、バルク コンデンサが大電流を供給できるようになります。

デバイスのバイパス コンデンサはセラミックで、デバイス ピンに近づけて配置する必要があります。

大電流デバイス出力には、幅の広い金属パターンを使用してください。

大きい過渡電流から小電流信号パスへのノイズ結合および EMI 干渉を低減するために、PGND と AGND のグランドは分割する必要があります。寄生効果を低減し、デバイスの消費電力を改善するために、電力段以外のすべての回路 (サーマル パッドを含む) を AGND に接続することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

本デバイスのサーマル パッドは、PCB の最上層のグランド プレーンにはんだ付けする必要があります。複数のビアを使用して最下層の大きなグランド プレーンに接続する必要があります。大きい金属プレーンおよび複数のビアを使うと、本デバイス内で発生する $I^2 \times R_{DS(on)}$ の熱を放散するのに役立ちます。

放熱性を高めるため、サーマル パッド グランドに接続されたグランド領域を、PCB の全層にわたって最大化します。厚い銅のベタ パターンを使うと、接合部から外気への熱抵抗が下がり、ダイ表面からの放熱性が改善されます。

図 8-12 に、MC121-Q1 の DEX パッケージのレイアウト例が示されています。適切なモーターの整流には、MC121-Q1 を 2 つの固定子極の間に配置し、ホール素子が回転子磁石の直下に位置するようにする必要があります。DYM パッケージの配置例を、図 8-13 に示します

8.4.2 レイアウト例

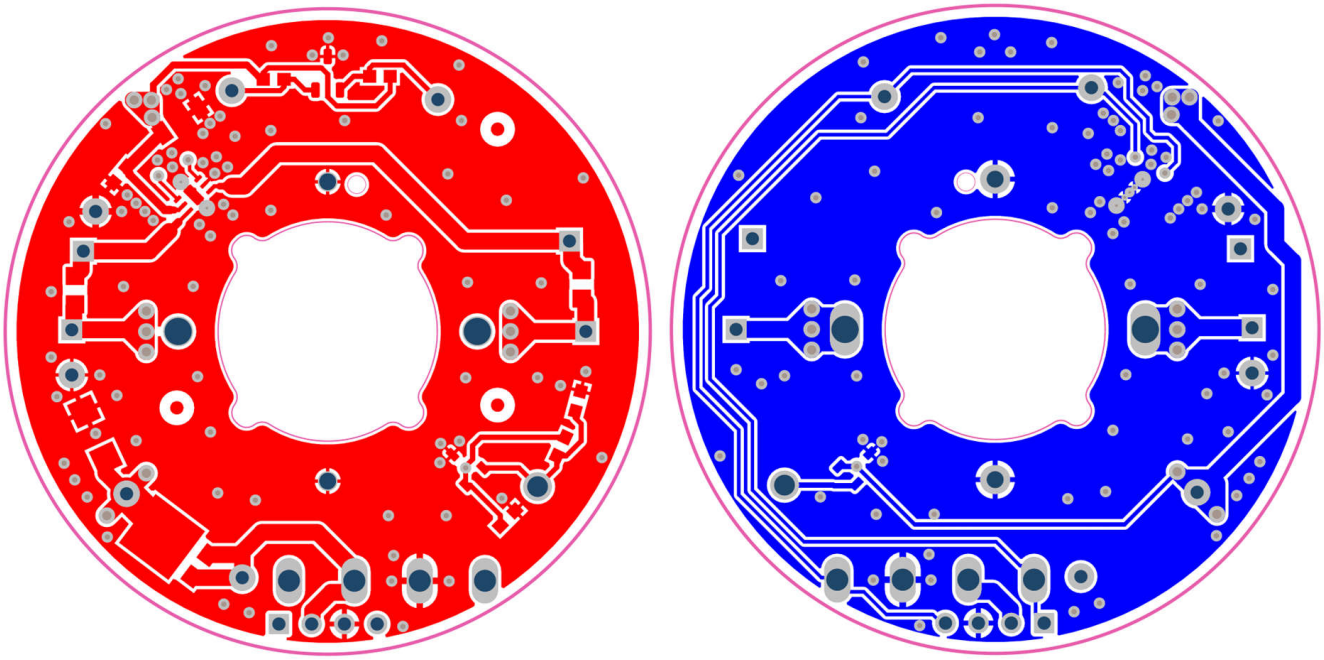


図 8-12. DEZ パッケージの推奨レイアウト例

ADVANCE INFORMATION

ADVANCE INFORMATION

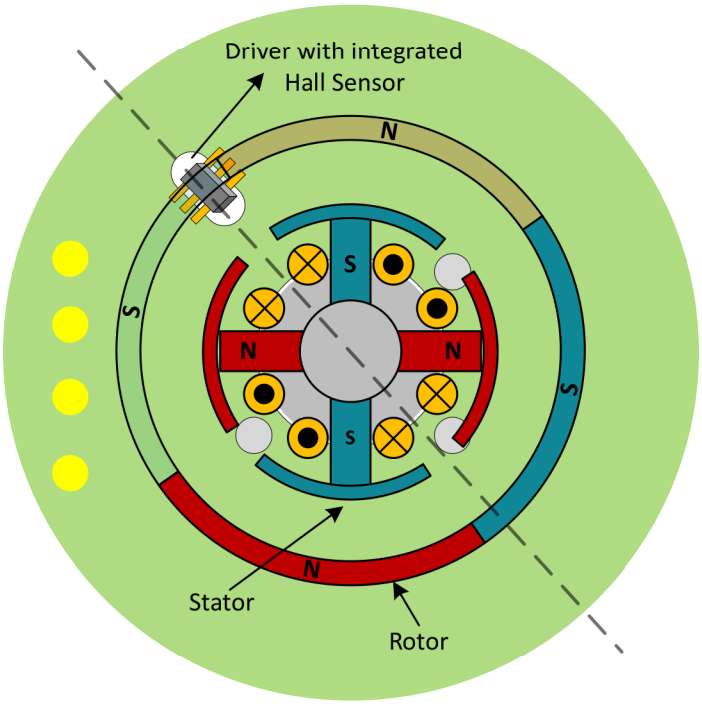


図 8-13. DYM パッケージの推奨配置例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの開発を行うためのツールやソフトウェアを、以下に挙げます。

9.1 デバイス サポート

9.2 ドキュメントのサポート

9.2.1 関連資料

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
November 2025	*	初版リリース

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PMC121QDEZRQ1	Active	Preproduction	X2SON (DEZ) | 6	5000 | LARGE T&R	-	Call TI	Level-1-260C-UNLIM	-40 to 125	P21Q
PMC121QDYMRQ1	Active	Preproduction	SOT-23-THIN (DYM) | 6	5000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月