

MCT8376Z-Q1 センサ付き台形波制御 FET 内蔵 BLDC モーター ドライバ

1 特長

- センサ付き台形波制御機能を内蔵した三相 BLDC モーター ドライバ
 - ホール センサを使った台形波 (120°) 整流
 - アナログまたはデジタル ホール入力をサポート
 - 設定可能な PWM 変調: 同期 / 非同期
 - 48V システムをサポート
 - 最大 100kHz の PWM 周波数をサポート
 - アクティブ消磁により電力損失を低減
 - サイクル単位の電流制限により位相電流を制限
- 動作電圧: 4.5V~65V (絶対最大定格 70V)
- 高い出力電流能力: ピーク 4.5A
- 低い MOSFET オンステート抵抗
 - $T_A = 25^\circ\text{C}$ で 400mΩ の $R_{DS(ON)}$ (HS + LS)
- 1.1V/ns のスルーレートと逆方向回復損失の最小化手法により、スイッチング損失を低減します
- 200ns 未満の非常に短いデッドタイムと、100ns 未満の伝搬遅延により、小さい可聴ノイズとモーター制御が容易
- 低消費電力スリープ モード
 - 1.5μA (標準値) ($V_{VM} = 24V$, $T_A = 25^\circ\text{C}$)
- 柔軟なデバイス構成オプション
- 柔軟なデバイス構成オプション
 - MCT8376ZS-Q1: デバイスの構成とフォルト ステータスのための 5MHz、16 ビット SPI
 - MCT8376ZH-Q1: ハードウェア ピンベースの構成
- 1.8V、3.3V、5V のロジック入力をサポート
- 3.3V (5%)、30mA LDO レギュレータ内蔵
- 5V (5%)、30mA LDO レギュレータ内蔵
- 保護機能内蔵
 - 電源低電圧誤動作防止 (UVLO)
 - チャージ ポンプ低電圧 (CPUV)
 - 過電流保護 (OCP)
 - モーター ロック保護
 - 熱警告およびシャットダウン (OTW/OTSD)
 - フォルト状況表示ピン (nFAULT)
 - SPI によるフォルト診断 (オプション)

2 アプリケーション

- ブラシレス DC (BLDC) モーター モジュール
- HVAC モーター
- OA 機器
- ファクトリ オートメーションおよびロボティクス
- ワイヤレス アンテナ モーター
- ドローン

3 説明

MCT8376Z-Q1 は、4.5V ~ 65V ブラシレス DC モーターを駆動するための、コード作成不要のセンサ付きシング ルチップ台形波制御を提供します。MCT8376Z-Q1 は、大電力駆動能力を実現するため、70V の絶対最大電圧と 400mΩ (ハイサイドとローサイドの合計) という非常に小さい $R_{DS(ON)}$ を持つ 3 つのハーフ H ブリッジを内蔵しています。内蔵の電流検出機能を使って電流を測定するので、外付けの検出抵抗は不要です。内蔵 LDO による電源管理機能が、デバイスに必要な電圧レールを生成します。また、外部回路に電力を供給するためにも使用できます。

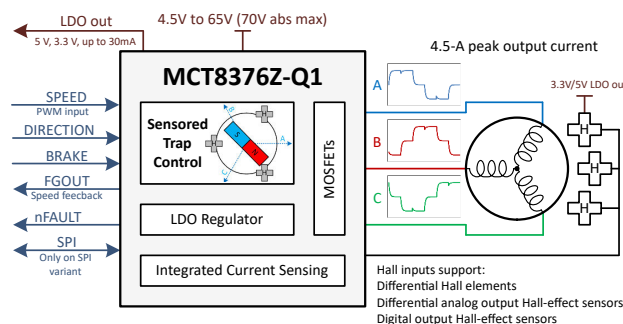
MCT8376Z-Q1 は固定機能のステート マシンでセンサ付き台形波制御を実装しているため、ブラシレス DC モーターを回転させるための外部マイクロコントローラは不要です。MCT8376Z-Q1 デバイスは、位置をセンサするために 3 個のアナログ ホール コンパレータを内蔵しており、センサ付き台形波 BLDC モーター制御を実現できます。制御方式は、モーター電流制限動作からフォルト応答まで、ハードウェア ピンまたはレジスタ設定を使って詳細に設定できます。速度は、PWM 入力を使って制御できます。

MCT8376Z-Q1 は、本デバイス自身、モーター、システムをフォルト イベントから保護するための多くの保護機能を内蔵しています。

デバイス情報 (1)

部品番号	パッケージ	本体サイズ (公称)
MCT8376ZH-Q1	VQFN (28)	6.00 mm × 5.00mm
MCT8376ZS-Q1	VQFN (28)	6.00 mm × 5.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図



目次

1 特長	1	7.5 SPI 通信	48
2 アプリケーション	1	8 レジスタ マップ	50
3 説明	1	8.1 ステータス レジスタ.....	50
4 デバイス比較表	3	8.2 制御レジスタ.....	55
5 ピン構成および機能	4	9 アプリケーションと実装	63
6 仕様	6	9.1 アプリケーション情報.....	63
6.1 絶対最大定格.....	6	9.2 ホール センサの構成と接続.....	64
6.2 ESD 定格 (車載用).....	6	9.3 電源に関する推奨事項.....	67
6.3 推奨動作条件.....	6	9.4 レイアウト.....	68
6.4 熱に関する情報.....	7	10 デバイスおよびドキュメントのサポート	70
6.5 電気的特性.....	7	10.1 ドキュメントのサポート.....	70
6.6 SPI のタイミング要件.....	13	10.2 サポート・リソース.....	70
6.7 SPI スレープ モードのタイミング.....	13	10.3 商標.....	70
7 詳細説明	14	10.4 静電気放電に関する注意事項.....	70
7.1 概要.....	14	10.5 用語集.....	70
7.2 機能ブロック図.....	15	11 改訂履歴	70
7.3 機能説明.....	17	12 メカニカル、パッケージ、および注文情報	70
7.4 デバイスの機能モード.....	47		

4 デバイス比較表

デバイス	パッケージ	インターフェイス
MCTV8376ZS-Q1	28 ピン VQFN (6x5mm)	SPI
MCT8376ZH-Q1		ハードウェア

表 4-1. MCT8376ZS-Q1 (SPI バリエント) と MCT8376ZH-Q1 (ハードウェア バリエント) の構成比較

パラメータ	MCT8376ZS-Q1 (SPI バリエント)	MCT8376ZH-Q1 (ハードウェア バリエント)
PWM モード設定	PWM_MODE (4 つの設定)	MODE ピン (7 つの設定)
スルーレートの設定	SLEW_RATE (4 つの設定)	GAIN_SLEW_tLOCK ピン (2 つの設定)
CSA ゲイン設定	CSA_GAIN (4 つの設定)	GAIN_SLEW_tLOCK ピン (2 つの設定)
SDO ピン構成: モード、電圧	SDO_ODEN (2 つの設定)、SDO_VSEL (2 つの設定)、SDO_MD (2 つの設定)	該当なし
電流制限構成: モード、nFAULT 通知、ブランキング時間、100% デューティ PWM 周波数	ILIM_FLT_MODE (2 つの設定)、ILIM_MODE (2 つの設定)、ILIM_BLANK_SEL (4 つの設定)、PWM_100_FREQ_SEL (4 つの設定)	nFAULT 時の電流制限通知は有効化、コーストモードは固定、ブランキング時間はスルーレート 50 の場合は 5.5 μ s に設定、その他すべてのスルーレートの場合は 1.8 μ s に設定、100% デューティ入力 PWM サイクルは 20kHz に固定
過電圧保護モード	OVP_MODE (2 つの設定)、OVP_SEL (2 つの設定)	過電圧保護は無効化
OCP の構成: モード、レベル、グリッチ除去	OCP_MODE (4 つの設定)、OCP_LVL (2 つの設定)、OCP_DEG (4 つの設定)、OCP_TRETRY (2 つの設定)	自動リトライモードで有効化、レベルは 4.5A に固定、グリッチ除去時間は 1.25 μ s、リトライ時間は 5ms
アクティブ消磁: 有効、コンパレータのスレッシュホールド、コンパレータのマスク時間、フォルト時の動作	EN_ASR (2 つの設定)、EN_AAR (2 つの設定)、AD_COMP_TH (2 つの設定)	MODE (2 つの設定)、アクティブ消磁コンパレータのスレッシュホールドは 100mA に設定、コンパレータのマスク時間はスルーレート 50 の場合は 5.5 μ s に設定、その他すべてのスルーレートの場合は 1.8 μ s に設定。ADMAG_TMARGIN は 3.2 μ s に設定、OCP およびモーター ロック時はアクティブ消磁は無効化。
過熱警告	OTW_MODE (2 つの設定)	nFAULT で通知
方向設定	DIR (2 つの設定)	DIR ピン (2 つの設定)
リード角度の設定	ADVANCE_LVL (8 つの設定)	ADVANCE ピン (7 つの設定)
FGOUT による構成	FG_MODE (4 つの設定)	3 倍の整流周波数に固定
モーターロックの構成: モード、検出、リトライのタイミング	MTR_LOCK_MODE (4 つの設定)、MTR_LOCK_TDET (4 つの設定)、MTR_LOCK_RETRY (2 つの設定)	自動リトライは有効化、検出時間は 500ms または MODE ピンで設定された 5s、リトライ時間は 10s。
ホール コンパレータの構成	HALL_HYS (2 つの設定)	5mV に固定

5 ピン構成および機能

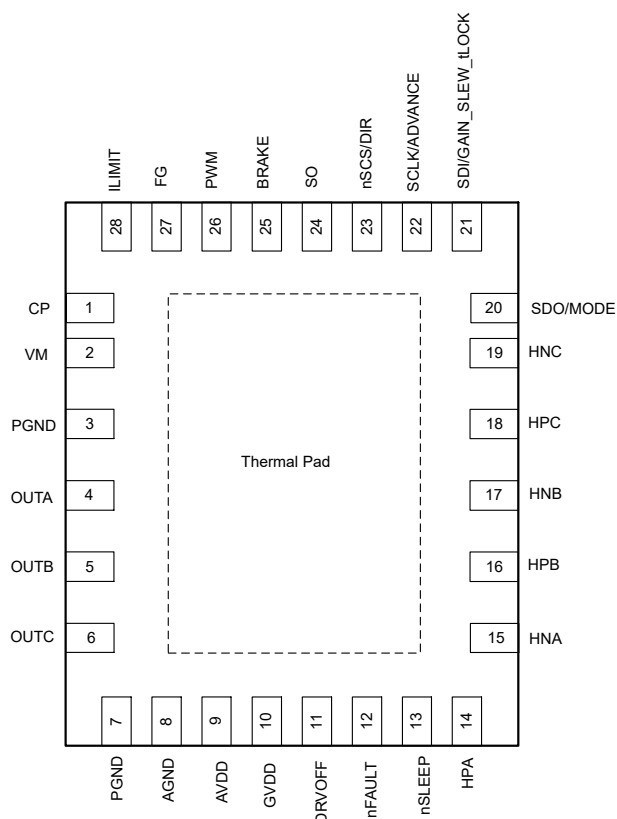


図 5-1. MCT8376Z-Q1 28 ピン VQFN (露出サーマルパッド付き) 上面図

表 5-1. MCT8376Z-Q1 のピンの機能

ピン	28 ピン VQFN パッケージ		タイプ ⁽¹⁾	説明
名称	MCT8376ZH-Q1	MCT8376ZS-Q1		
ADVANCE	22	-	I	進角レベルの設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
AGND	8	8	GND	デバイスのアナログ グランド。接続に関する推奨事項については、 セクション 9.4.1 を参照してください。
AVDD	9	9	PWR O	3.3V 内部レギュレータ出力。X5R または X7R、1μF、6.3V セラミック コンデンサを AVDD ピンと AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。
GVDD	10	10	PWR O	5V 内部レギュレータ出力。X5R または X7R、1μF、10V セラミック コンデンサを AVDD ピンと AGND ピンの間に接続します。このレギュレータは最大 30mA を外部にソースできます。
BRAKE	25	25	I	High の際、すべてのローサイド MOSFET をオンにして Low → 通常動作にすることで、モーターを High → ブレーキします。
CP	1	1	PWR O	チャージ ポンプ出力。X5R または X7R、1μF、16V セラミック コンデンサを CP ピンと VM ピンの間に接続します。
DIR	23	-	I	モーター回転方向を時計回りまたは反時計回りに設定するための方向ピン。
DRVOFF	11	11	I	このピンが High にプルされると、電力段の 6 つの MOSFET がターンオフし、すべての出力がハイ インピーダンスになります。
FG	27	27	I	モーター速度インジケータ出力。オープンドレイン出力には、1.8V～5V への外部プルアップ抵抗が必要です。モーター速度インジケータは、ホール信号の分周比をさまざまに設定できます。
GAIN_SLEW_tLOCK	21	-	I	モーター ロック検出時間設定、CSA ゲインおよびスルーレート設定
HNA	15	15	I	位相 A ホール素子の負入力。正と負のホール入力のためにノイズ フィルタ コンデンサを接続することが推奨されます。

表 5-1. MCT8376Z-Q1 のピンの機能 (続き)

ピン	28 ピン VQFN パッケージ		タイプ ⁽¹⁾	説明
名称	MCT8376ZH-Q1	MCT8376ZS-Q1		
HNB	17	17	I	位相 B ホール素子の負入力。正と負のホール入力の間にノイズ フィルタ コンデンサを接続することが推奨されます。
HNC	19	19	I	位相 C ホール素子の負入力。正と負のホール入力の間にノイズ フィルタ コンデンサを接続することが推奨されます。
HPA	14	14	I	位相 A ホール素子の正入力。正と負のホール入力の間にノイズ フィルタ コンデンサを接続することが推奨されます。
HPB	16	16	I	位相 B ホール素子の正入力。正と負のホール入力の間にノイズ フィルタ コンデンサを接続することが推奨されます。
HPC	18	18	I	位相 C ホール素子の正入力。正と負のホール入力の間にノイズ フィルタ コンデンサを接続することが推奨されます。
ILIMIT	28	28		サイクル単位の電流制限で使用される相電流のスレッシュホールドを設定します。
モード	20	-	I	PWM 入力モードおよびホール構成設定。このピンは、外付け抵抗で設定される 7 レベル入力ピンです。
nFAULT	12	12	O	フォルト インジケータ。フォルト条件によってロジック Low にプルされます。オープンドレイン出力には、1.8V~5.0V への外部プルアップ抵抗が必要です。nFAULT をプルアップするために外部電源を使用する場合は、パワーアップ時に外部電源が 2.2V を上回る値にプルアップされていることを確認してください。
nSCS	-	23	I	シリアル チップ選択。このピンのロジック LOW により、シリアル インターフェイス通信が可能になります。
nSLEEP	13	13	I	ドライバ nSLEEP。このピンをロジック Low にすると、デバイスは低消費電力のスリープ モードに移行します。20µs ~ 40µs の Low パルスを使うとフォルト状態をリセットできます。
OUTA	4	4	PWR O	ハーフブリッジ出力 A
OUTB	5	5	PWR O	ハーフブリッジ出力 B
OUTC	6	6	PWR O	ハーフブリッジ出力 C
PGND	3, 7	3, 7	GND	デバイスの電源グラウンド。接続に関する推奨事項については、 セクション 9.4.1 を参照してください。
PWM	26	26		モーター制御のための PWM 入力。モーターの位相電圧のデューティ サイクルとスイッチング周波数を設定します。
SCLK	-	22	I	シリアル クロック入力。シリアル データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフトアウトおよびキャプチャされます (SPI デバイス)。
SDI	-	21	I	シリアル データ入力。データは、SCLK ピンの立ち上がりエッジでキャプチャされます (SPI デバイス)。
SDO	-	20	O	シリアル データ出力。データは、SCLK ピンの立ち上がりエッジでシフトアウトされます。このピンは外付けプルアップ抵抗を必要とします (SPI デバイス)。
SO	24	24	O	電流センサアンプの出力。容量性負荷またはローパス フィルタ (直列抵抗と GND へのコンデンサ) をサポート
VM	2	2	PWR I	電源。モーター電源電圧に接続し、0.1µF コンデンサと VM 定格のバルクコンデンサ 1 つを使用して PGND にバイパスします。コンデンサの電圧定格は、デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
サーマル パッド			GND	アナログ グラウンドに接続する必要があります。

(1) I = 入力、O = 出力、GND = グラウンド ピン、PWR = 電源、NC = 未接続

6 仕様

6.1 絶対最大定格

動作周囲温度範囲の全体にわたって (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
電源ピン電圧 (VM)	-0.3	70	V
電源電圧ランプ (VM)		4	V/μs
グランド ピン (PGND、AGND) 間の電圧差	-0.6	0.6	V
チャージ ポンプ電圧 (CP)	-0.3	V _M + 6.2	V
アナログ レギュレータ ピン電圧 (GVDD)	-0.3	5.75	V
アナログ レギュレータ ピン電圧 (AVDD)	-0.3	5.75	V
アナログ ピン入力電圧 (ILIMIT)	-0.3	5.75	V
アナログ ピン出力電圧 (SO)	-0.3	AVDD	V
ロジックピン入力電圧 (DRVOFF、PWM、HPx、HNx、BRAKE、DIR、nSCS、nSLEEP、SCLK、SDI)	-0.3	5.75	V
ロジックピン出力電圧 (nFAULT、SDO、FG)	-0.3	5.75	V
マルチレベル ピン入力電圧 (ADVANCE、GAIN_SLEW_tLOCK、MODE)	-0.3	5.75	V
出力ピン電圧 (OUTA、OUTB、OUTC)	-1	V _M + 1	V
周囲温度、T _A	-40	125	°C
接合部温度、T _J	-40	150	°C
保管温度、T _{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格 (車載用)

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±750	
		角のピン	±750	
		その他のピン	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{VM}	電源電圧	V _{VM}	4.5	24	65	V
f _{PWM}	出力 PWM 周波数	OUTA、OUTB、OUTC			100	kHz
I _{OUT} ⁽¹⁾	ピーク出力巻線電流	OUTA、OUTB、OUTC			4	A
V _{IN}	ロジック入力電圧	DRVOFF、nSCS、nSLEEP、SCLK、SDI、PWM、BRAKE、DIR、HPx、HNx	-0.1		5.5	V
V _{IN}	マルチレベル入力電圧	ADVANCE、FG_SEL/ LOCK_DET_TIME、MODE	-0.1		GVDD	
V _{OD}	オープンドレイン プルアップ電圧	nFAULT、SDO、FG	-0.1		5.5	V
V _{SDO}	プッシュプル電圧	SDO	2.2		AVDD	V
I _{OD}	オープンドレイン出力電流	nFAULT、SDO、FG			5	mA

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{VREF}	電圧リファレンス ピン電圧	VREF		2.8	5.5	V
ILIMIT	電流制限の電圧リファレンス	ILIMIT	-0.1		5.5	V
T _A	動作時周囲温度		-40		125	°C
T _J	動作時接合部温度		-40		150	°C

(1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		MCT8376ZH-Q1、 MCT8376ZS-Q1	単位
		VQFN (NLG)	
		28 ピン	
R _{θJA}	接合部から周囲への熱抵抗	29.9	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	20.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	11	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	11	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	2.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

T_J = -40°C ~ +150°C、V_{VM} = 4.5 ~ 65V (特に記述のない限り)。標準値には T_A = 25°C、V_{VM} = 24V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I _{VMQ}	VM スリープ モード電流	V _{VM} > 6V、nSLEEP = 0、T _A = 25°C		1.5	3	μA
		nSLEEP = 0		2.5	8	μA
I _{VMS}	VM スタンバイ モード電流	V _{VM} > 6V、nSLEEP = 1、PWM = 0、SPI = 'OFF'、T _A = 25°C		6.6	8.2	mA
		nSLEEP = 1、PWM = 0、SPI = 'OFF'		6.6	8.2	mA
I _{VMS}	VM スタンバイ モード電流	V _{VM} > 6V、nSLEEP = 1、PWM = 0、SPI = 'OFF'、T _A = 25°C、ASR および AAR は無効化		6.1	7.5	mA
I _{VMS}	VM スタンバイ モード電流	nSLEEP = 1、PWM = 0、SPI = 'OFF'、ASR および AAR は無効化		6.1	7.5	mA
I _{VM}	VM 動作モード電流	V _{VM} > 6V、nSLEEP = 1、f _{PWM} = 20kHz		7.6	9.8	mA
		nSLEEP = 1、f _{PWM} = 20kHz		7.6	9.8	mA
		nSLEEP = 1、f _{PWM} = 100kHz		10.1	13.4	mA
V _{GVDD}	アナログ レギュレータの電圧	0mA ≤ I _{GVDD} ≤ 30mA、(外部負荷)、VM > 6V	4.75	5	5.25	V
V _{GVDD}	アナログ レギュレータの電圧	0mA ≤ I _{GVDD} ≤ 30mA、(外部負荷)、VM = 4.5V	3.7		4.5	V
V _{AVDD}	アナログ レギュレータの電圧	0mA ≤ I _{AVDD} ≤ 30mA、(外部負荷)	3.1	3.3	3.465	V
I _{GVDD}	外部アナログレギュレータの負荷	I _{AVDD} = 0mA			30	mA
I _{AVDD}	外部アナログレギュレータの負荷	I _{GVDD} = 0mA			30	mA
V _{VCP}	チャージポンプ レギュレータ電圧	VM を基準とした VCP (V _{VM} > 6V)	4	5	6	V

MCT8376Z-Q1

JAJXSM1 – DECEMBER 2025

 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 24\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{PWM_LOW}}$	モーター ロック検出に必要な PWM の Low 時間		200			ms
t_{WAKE}	ウェークアップ時間	$V_{VM} > V_{UVLO}$, $n\text{SLEEP} = 1$ で出力準備完了、 $n\text{FAULT}$ 解放			5.5	ms
t_{SLEEP}	スリープ パルス時間	$n\text{SLEEP} = 0$ でスリープ モード	120			μs
t_{RST}	リセット パルス時間	$n\text{SLEEP} = 0$ でフォルトをリセット	20		40	μs
ロジック レベル入力 (BRAKE、DIR、DRVOFF、nSLEEP、PWM、SCLK、SDI)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧	nSLEEP	1.6		5.5	V
		その他のピン	1.5		5.5	V
V_{HYS}	入力ロジック ヒステリシス	nSLEEP	95	300	425	mV
		その他のピン	180	300	425	mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V	-1		1	μA
I_{IH}	入力ロジック High 電流	nSLEEP、 V_{PIN} (ピン電圧) = 5V	15		35	μA
I_{IH}	入力ロジック High 電流	その他のピン、 V_{PIN} (ピン電圧) = 5V	30		75	μA
R_{PD}	入力プルダウン抵抗	nSLEEP	150	200	300	k Ω
		その他のピン	70	100	130	k Ω
t_{GED}	グリッチ除去時間	BRAKE、DIR、DRVOFF ピン	0.6	1.15	1.7	μs
C_{ID}	入力容量			30		pF
ロジック レベル入力 (nSCS)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧		1.5		5.5	V
V_{HYS}	入力ロジック ヒステリシス			300		mV
I_{IL}	入力ロジック Low 電流	V_{PIN} (ピン電圧) = 0V			75	μA
I_{IH}	入力ロジック High 電流	V_{PIN} (ピン電圧) = 5V	-1		25	μA
R_{PU}	入力プルアップ抵抗		80	100	130	k Ω
C_{ID}	入力容量			30		pF
7 レベル入力 (ADVANCE、MODE、GAIN_SLEW、tLOCK)						
V_{L1}	入力モード 1 電圧	AGND に接続	0		$0.09 \cdot V_{\text{DD}}$	V
V_{L2}	入力モード 2 電圧	$22\text{k}\Omega \pm 5\%$ を AGND に接続	$0.12 \cdot V_{\text{DD}}$	$0.15 \cdot V_{\text{DD}}$	$0.2 \cdot V_{\text{DD}}$	V
V_{L3}	入力モード 3 電圧	$100\text{k}\Omega \pm 5\%$ を AGND に接続	$0.27 \cdot V_{\text{DD}}$	$0.33 \cdot V_{\text{DD}}$	$0.4 \cdot V_{\text{DD}}$	V
V_{L4}	入力モード 4 電圧	ハイ インピーダンス	$0.45 \cdot V_{\text{DD}}$	$0.5 \cdot V_{\text{DD}}$	$0.55 \cdot V_{\text{DD}}$	V
V_{L5}	入力モード 5 電圧	$100\text{k}\Omega \pm 5\%$ を GVDD に接続	$0.6 \cdot V_{\text{DD}}$	$0.66 \cdot V_{\text{DD}}$	$0.73 \cdot V_{\text{DD}}$	V
V_{L6}	入力モード 6 電圧	$22\text{k}\Omega \pm 5\%$ を GVDD に接続	$0.77 \cdot V_{\text{DD}}$	$0.85 \cdot V_{\text{DD}}$	$0.9 \cdot V_{\text{DD}}$	V
V_{L7}	入力モード 7 電圧	GVDD に接続	$0.94 \cdot V_{\text{DD}}$		GVDD	V
R_{PU}	入力プルアップ抵抗	対 GVDD	80	100	120	k Ω
R_{PD}	入力プルダウン抵抗	To AGND	80	100	120	k Ω
オープン ドレイン出力 (FG、nFAULT)						
V_{OL}	出力ロジック Low 電圧	$I_{\text{OD}} = 5\text{mA}$			0.4	V

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 24\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{OH}	出力ロジック High 電流	$V_{OD} = 5\text{V}$	-1		1	μA
C_{OD}	出力容量				30	pF
プッシュプル出力 (SDO)						
V_{OL}	出力ロジック Low 電圧	$I_{OP} = 5\text{mA}$	0		0.4	V
V_{OH}	ロジック High 出力電圧	$I_{OP} = 5\text{mA}$, $SDO_VSEL = 0$	2.5		AVDD	V
V_{OH}	ロジック High 出力電圧	$I_{OP} = 5\text{mA}$, $SDO_VSEL = 1$, $V_{VM} > 6\text{V}$	4		GVDD	V
I_{OL}	出力ロジック Low リーク電流	$V_{OP} = 0\text{V}$	-1		1	μA
I_{OH}	出力ロジック High リーク電流	$V_{OP} = 5\text{V}$	-1		1	μA
C_{OD}	出力容量				30	pF
ドライバ出力						
$R_{DS(ON)}$	全 MOSFET オン抵抗 (ハイサイド + ローサイド)	$V_{VM} > 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_A = 25^{\circ}\text{C}$		400	505	m Ω
		$V_{VM} < 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_A = 25^{\circ}\text{C}$		407	515	m Ω
		$V_{VM} > 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 150^{\circ}\text{C}$		690	790	m Ω
		$V_{VM} < 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 150^{\circ}\text{C}$		705	810	m Ω
SR	Low から High へのスイッチング (20% から 80% への立ち上がり) 時の位相ピンのスレーレート	$V_{VM} = 24\text{V}$, $SLEW = 00\text{b}$ または SLEW ピンを AGND に接続, $I_{OUTx} = 1\text{A}$	630	1100	1760	V/ μs
		$V_{VM} = 24\text{V}$, $SLEW = 01\text{b}$ または SLEW ピンをハイ インピーダンスへ, $I_{OUTx} = 1\text{A}$	260	500	900	V/ μs
		$V_{VM} = 24\text{V}$, $SLEW = 10\text{b}$ または SLEW ピンを 47k Ω +/- 5% で GVDD へ, $I_{OUTx} = 1\text{A}$	135	250	455	V/ μs
		$V_{VM} = 24\text{V}$, $SLEW = 11\text{b}$ または SLEW ピンを GVDD に接続, $I_{OUTx} = 1\text{A}$	22	60	90	V/ μs
SR	High から Low へのスイッチング (80% から 20% への立ち下がり) 時の位相ピンのスレーレート	$V_{VM} = 24\text{V}$, $SLEW = 00\text{b}$ または SLEW ピンを AGND に接続, $I_{OUTx} = 1\text{A}$	500	1100	1760	V/ μs
		$V_{VM} = 24\text{V}$, $SLEW = 01\text{b}$ または SLEW ピンをハイ インピーダンスへ, $I_{OUTx} = 1\text{A}$	240	500	845	V/ μs
		$V_{VM} = 24\text{V}$, $SLEW = 10\text{b}$ または SLEW ピンを 47k Ω +/- 5% で GVDD へ, $I_{OUTx} = 1\text{A}$	120	250	490	V/ μs
		$V_{VM} = 24\text{V}$, $SLEW = 11\text{b}$ または SLEW ピンを GVDD に接続, $I_{OUTx} = 1\text{A}$	30	50	85	V/ μs
I_{LEAK}	OUTx のリーク電流	$V_{OUTx} = V_{VM}$, nSLEEP = 1			2	mA
	OUTx のリーク電流	$V_{OUTx} = 0\text{V}$, nSLEEP = 1			1	μA
t_{DEAD}	出力デッドタイム (High から Low / Low から High)	$V_{VM} = 24\text{V}$, $SLEW = 00\text{b}$ または SLEW ピンを AGND に接続, HS ドライバ ON から LS ドライバ OFF		65	150	ns
		$V_{VM} = 24\text{V}$, $SLEW = 01\text{b}$ または SLEW ピンをハイ インピーダンスへ, HS ドライバ ON から LS ドライバ OFF		100	250	ns
		$V_{VM} = 24\text{V}$, $SLEW = 10\text{b}$ または SLEW ピンを 47k Ω +/- 5% で GVDD へ, HS ドライバ ON から LS ドライバ OFF		100	250	ns
		$V_{VM} = 24\text{V}$, $SLEW = 11\text{b}$ または SLEW ピンを GVDD に接続, HS ドライバ ON から LS ドライバ OFF		250	550	ns

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 24\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PD}	伝搬遅延 (ハイサイド / ローサイド、オン/オフ)	$V_{VM} = 24\text{V}$, PWM = 1 から OUTx 遷移、SLEW = 00b または SLEW ピンを AGND に接続		35	85	ns
		$V_{VM} = 24\text{V}$, PWM = 1 から OUTx 遷移、SLEW = 01b または SLEW ピンをハイインピーダンスへ		40	100	ns
		$V_{VM} = 24\text{V}$, PWM = 1 から OUTx 遷移、SLEW = 10b または SLEW ピンを $47\text{k}\Omega$ +/- 5% で GVDD へ		45	140	ns
		$V_{VM} = 24\text{V}$, PWM = 1 から OUTx 遷移、SLEW = 11b または SLEW ピンを GVDD に接続		1200	1900	ns
t_{MIN_PULSE}	最小出力パルス幅	SLEW = 00b または SLEW ピンを AGND に接続	110			ns
G_{CSA_ERR}	電流センス ゲイン誤差	$T_J = 25^{\circ}\text{C}$, $0\text{A} \leq \text{LS FET 電流} \leq 2\text{A}$ (PGND から OUTx への電流の方向)	-4		4	%
G_{CSA_ERR}	電流センス ゲイン誤差	$0\text{A} \leq \text{LS FET 電流} \leq 2\text{A}$ (PGND から OUTx への電流の方向)	-6		6	%
電流センス出力 (SO)						
G_{CSA}	電流センス ゲイン			0.4		V/A
G_{CSA}	電流センス ゲイン			1		V/A
G_{CSA}	電流センス ゲイン			2.5		V/A
G_{CSA}	電流センス ゲイン			5		V/A
G_{CSA_ERR}	電流センス ゲイン誤差	LS FET 電流 < 2A または $2\text{A} < \text{LS FET 電流} < 4\text{A}$, (OUTx to PGND への電流方向)		± 6		%
FS_{POS}	フルスケールの正の電流測定	LS FET の PGND から OUTx への電流方向	2			A
FS_{NEG}	フルスケールの負の電流測定	LS FET での OUTx から PGND への電流方向			-3.5	A
V_{LINEAR}	SOx 出力電圧のリニア動作範囲		0.25		3	V
I_{OFFSET}	電流センス オフセット	相電流 = 0A		± 10		mA
t_{SET}	$\pm 1\%$ までのセトリング タイム、30pF	SOX のステップ = 1.2V			1	μs
ホール コンパレータ						
V_{ICM}	入力同相電圧 (ホール)		0.5		GVDD - 1.2	V
V_{HYS}	電圧ヒステリシス (SPI デバイス)	HALL_HYS = 0	1.5	5	8.5	mV
		HALL_HYS = 1	35	50	80	mV
	電圧ヒステリシス (HW デバイス)		1.5	5	8.2	mV
ΔV_{HYS}	ホール コンパレータのヒステリシスの差	ホール A、ホール B、ホール C コンパレータの間	-12		12	mV
$V_{H(MIN)}$	最小ホール差動電圧		40			mV
I_I	入力リーク電流	HPX = HNX = 0 V	-1		1	μA
t_{HDG}	ホール グリッチ除去時間		0.6	1.15	1.7	μs
パルス単位の電流制限						
V_{LIM}	サイクル単位の電流制限の ILIMIT ピンの電圧		$V_{AVDD}/2$		$V_{AVDD}/2 - 0.25$	V

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 24\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{LIM_DIS}	サイクル電流制限の無効化における ILIMIT ピンの電圧		VAVDD		GVDD	V
I _{LIMIT}	VLIM ピンの電圧範囲に対応する電流制限		0		4	A
I _{LIM_AC}	電流制限精度	VREF = 3.3V、ILIMIT > 1A	-6		6	%
I _{LIM_AC}	電流制限精度	VREF = 3.3V、0.5A < ILIMIT < 1A	-10		10	%
t _{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 00b、HW バリエント		1.75		μs
t _{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 01b		2.25		μs
t _{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 10b		2.75		μs
t _{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 00b または 01b または 10b、ILIM_BLANK_SEL = 11b		3.75		μs
t _{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 00b、HW バリエント		5.5		μs
t _{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 01b		6		μs
t _{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 10b		6.5		μs
t _{BLANK}	サイクル単位の電流制限ブランク時間	SLEW = 11b、ILIM_BLANK_SEL = 11b		7.5		μs
進角						
θ _{ADV}	進角設定 (SPI デバイス)	ADVANCE_LVL = 000 b		0	1	°
		ADVANCE_LVL = 001 b	3	4	5	°
		ADVANCE_LVL = 010 b	6	7	8	°
		ADVANCE_LVL = 011 b	10	11	12	°
		ADVANCE_LVL = 100 b	13.5	15	16.5	°
		ADVANCE_LVL = 101 b	18	20	22	°
		ADVANCE_LVL = 110 b	22.5	25	27.5	°
		ADVANCE_LVL = 111 b	27	30	33	°
θ _{ADV}	進角設定 (HW デバイス)	Advance ピンを AGND に接続		0	1	°
		Advance ピンを 22 kΩ±5% で AGND に接続	3	4	5	°
		Advance ピンを 100 kΩ±5% で AGND に接続	10	11	12	°
		Advance ピンをハイ インピーダンスに接続	13.5	15	16.5	°
		Advance ピンを 100 kΩ±5% で GVDD に接続	18	20	22	°
		Advance ピンを 22 kΩ±5% で GVDD に接続	22.5	25	27.5	°
		Advance ピンを GVDD に接続	27	30	33	°
保護回路						
V _{UVLO}	電源低電圧誤動作防止 (UVLO)	VM 立ち上がり	4.2	4.35	4.5	V
		VM 立ち下がり	4.0	4.15	4.3	V
V _{UVLO_HYS}	電源低電圧誤動作防止ヒステリシス	立ち上がりから立ち下がりへのスレッシュョルド	65	200	415	mV
t _{UVLO}	電源低電圧グリッチ除去時間		3	6	10	μs

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 24\text{V}$ が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OVP}	電源過電圧保護 (OVP) (SPI デバイス)	電源立ち上がり、OVP_EN = 1、OVP_SEL = 0	60	62.5	65	V
		電源立ち下がり、OVP_EN = 1、OVP_SEL = 0	58	61	63.5	V
		電源立ち上がり、OVP_EN = 1、OVP_SEL = 1	32.5	34	35	V
		電源立ち下がり、OVP_EN = 1、OVP_SEL = 1	32	33	34	V
V_{OVP_HYS}	電源過電圧保護 (OVP) (SPI デバイス)	立ち上がりから立ち下がりまでのスレッショルド、OVP_SEL = 1	0.74	0.8	0.85	V
		立ち上がりから立ち下がりまでのスレッショルド、OVP_SEL = 0	1.35	1.45	1.55	V
t_{OVP}	電源過電圧グリッチ除去時間		2.5	6.5	12	μs
V_{CPUV}	チャージポンプ低電圧誤動作防止 (VM より上)	電源立ち上がり	2.1	2.7	3.2	V
		電源立ち下がり	1.8	2.45	2.95	V
V_{CPUV_HYS}	チャージポンプ UVLO のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	105	150	200	mV
V_{AVDD_UV}	アナログレギュレータ低電圧誤動作防止	電源立ち上がり	2.7	2.85	3	V
		電源立ち下がり	2.5	2.65	2.8	V
$V_{AVDD_UV_HYS}$	アナログレギュレータ低電圧誤動作防止のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	180	200	240	mV
V_{GVDD_UV}	GVDD レギュレータ低電圧誤動作防止	電源立ち上がり	3.1	3.3	3.5	V
V_{GVDD_UV}	GVDD レギュレータ低電圧誤動作防止	電源立ち下がり	2.9	3.1	3.3	V
$V_{GVDD_UV_HYS}$	アナログレギュレータ低電圧誤動作防止のヒステリシス	立ち上がりから立ち下がりへのスレッショルド	145	190	265	mV
I_{OCP}	過電流保護トリップポイント (SPI デバイス)	OCP_LVL = 00b または 01b	4.5		9	A
I_{OCP}	過電流保護トリップポイント (SPI デバイス)	OCP_LVL = 10b または 11b	2.5		5	A
I_{OCP}	過電流保護トリップポイント (HW デバイス)	OCP ピンを AGND に接続または OCP ピンをハイインピーダンスに設定	4.5		9	A
I_{OCP}	過電流保護トリップポイント (HW デバイス)	OCP を GVDD に接続	2.5		5	A
t_{OCP}	過電流保護グリッチ除去時間 (SPI デバイス)	OCP_DEG = 00b	0.2	0.6	1.2	μs
		OCP_DEG = 01b	0.6	1.25	1.8	μs
		OCP_DEG = 10b	1	1.6	2.5	μs
		OCP_DEG = 11b	1.4	2	3	μs
	過電流保護グリッチ除去時間 (HW デバイス)		0.6	1.25	2	μs
t_{RETRY}	過電流保護グリッチ除去時間 (SPI デバイス)	OCP_TRETRY=0	4	5	6	ms
		OCP_TRETRY=1	425	500	575	ms
t_{RETRY}	過電流保護グリッチ除去時間 (HW デバイス)		4	5	6	ms
t_{MTR_LOCK}	モーターロック検出時間 (SPI デバイス)	MOTOR_LOCK_TDET = 11b	225	250	275	ms
		MOTOR_LOCK_TDET = 10b	450	500	550	ms
		MOTOR_LOCK_TDET = 01b	900	1000	1100	ms
		MOTOR_LOCK_TDET = 00b	4500	5000	5500	ms
t_{MTR_LOCK}	モーターロック検出時間 (HW デバイス)		900	1000	1100	ms
$t_{MTR_LOCK_RETRY}$	モーターロックリトライ時間 (SPI デバイス)	MOTOR_LOCK_RETRY = 1b	1.8	2	2.2	s
		MOTOR_LOCK_RETRY = 0b	9	10	11	s

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{VM} = 4.5 \sim 65\text{V}$ (特に記述のない限り)。標準値には $T_A = 25^{\circ}\text{C}$, $V_{VM} = 24\text{V}$ が適用されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{MTR_LOCK_RETRY}$	モーター ロック リトライ時間 (HW デバイス)	9	10	11	s
T_{OTW}	過熱警告温度	160	170	180	$^{\circ}\text{C}$
T_{OTW_HYS}	過熱警告ヒステリシス	25	30	35	$^{\circ}\text{C}$
T_{TSD}	サーマル シャットダウン温度	175	185	195	$^{\circ}\text{C}$
T_{TSD_HYS}	サーマル シャットダウン ヒステリシス	25	30	35	$^{\circ}\text{C}$

6.6 SPI のタイミング要件

	最小値	公称値	最大値	単位
t_{READY}	1			ms
t_{HI_nSCS}	400			ns
t_{SU_nSCS}	25			ns
t_{HD_nSCS}	25			ns
t_{SCLK}	100			ns
t_{SCLKH}	50			ns
t_{SCLKL}	50			ns
t_{SU_SDI}	25			ns
t_{HD_SDI}	25			ns
t_{DLY_SDO}			25	ns
t_{EN_SDO}			50	ns
t_{DIS_SDO}			50	ns

6.7 SPI スレーブ モードのタイミング

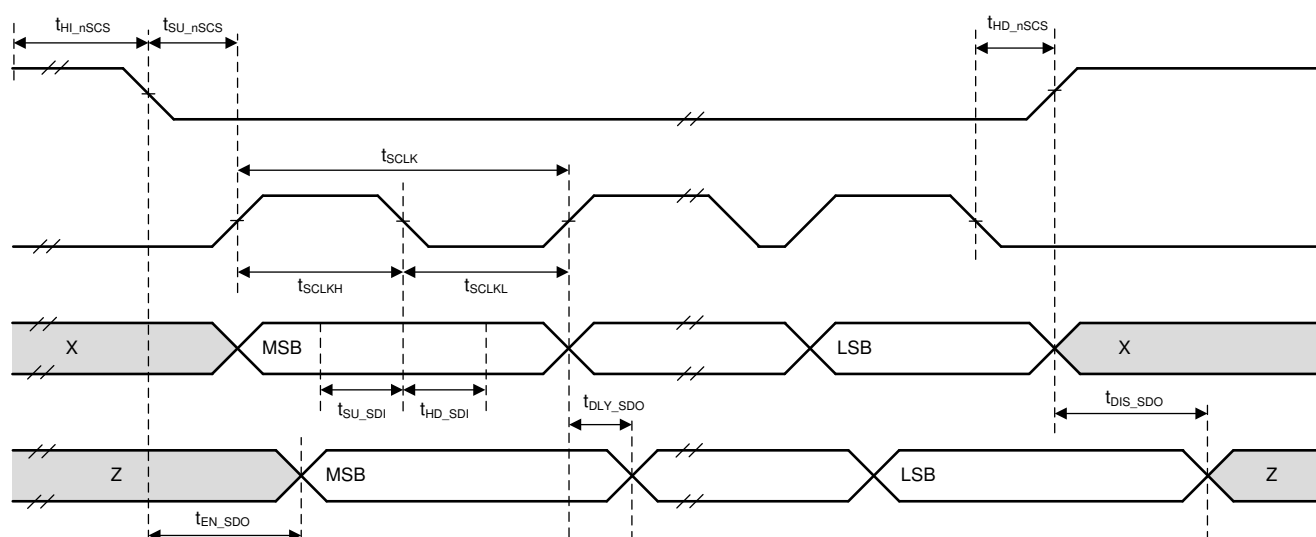


図 6-1. SPI セカンダリ モードのタイミング

7 詳細説明

7.1 概要

MCT8376Z-Q1 デバイスは、3 相モータドライブ アプリケーション向けの 400mΩ (ハイサイド + ローサイド MOSFET オン抵抗の合計) 統合型ドライバです。このデバイスは、3 つのハーフ ブリッジ MOSFET、ゲートドライバ、チャージ ポンプ、外部負荷用リニア レギュレータを統合することで、システムの部品点数、コスト、複雑さを低減しています。標準のシリアル ペリフェラル インターフェイス (SPI) を使うと、デバイスの各種設定とフォルト診断情報の読み出しを外部コントローラから簡単に行うことができます。また、ハードウェア インターフェイス (H/W) オプションを選択した場合、固定の外部抵抗を使用して、ごく一般的な設定を行うことができます。

このアーキテクチャでは、短絡イベントや内部パワー MOSFET の dv/dt 寄生ターンオンから保護するために、内部ステート マシンを使用しています。

MCT8376Z-Q1 デバイスには、位置検出にアナログまたはデジタル ホール センサを使用する 3 相センサ付き台形波整流が統合されています。

高いレベルでデバイスが統合されていることに加え、MCT8376Z-Q1 デバイスには、広範な保護機能も組み込まれています。これらの機能には、電源の低電圧誤動作防止 (UVLO)、チャージ ポンプの低電圧誤動作防止 (CPUV)、過電流保護 (OCP)、AVDD と GVDD 低電圧誤動作防止 (AVDD_UV、GVDD_UV)、および過熱警告シャットダウン (OTW と OTSD) などが含まれます。フォルト イベントは nFAULT ピンにより通知され、SPI 版のデバイスでは SPI レジスタで詳細情報を取得できます。

MCT8376Z-Q1 デバイスは、VQFN 表面実装パッケージで提供されています。この VQFN パッケージのサイズは 6mm × 5mm です。

7.2 機能ブロック図

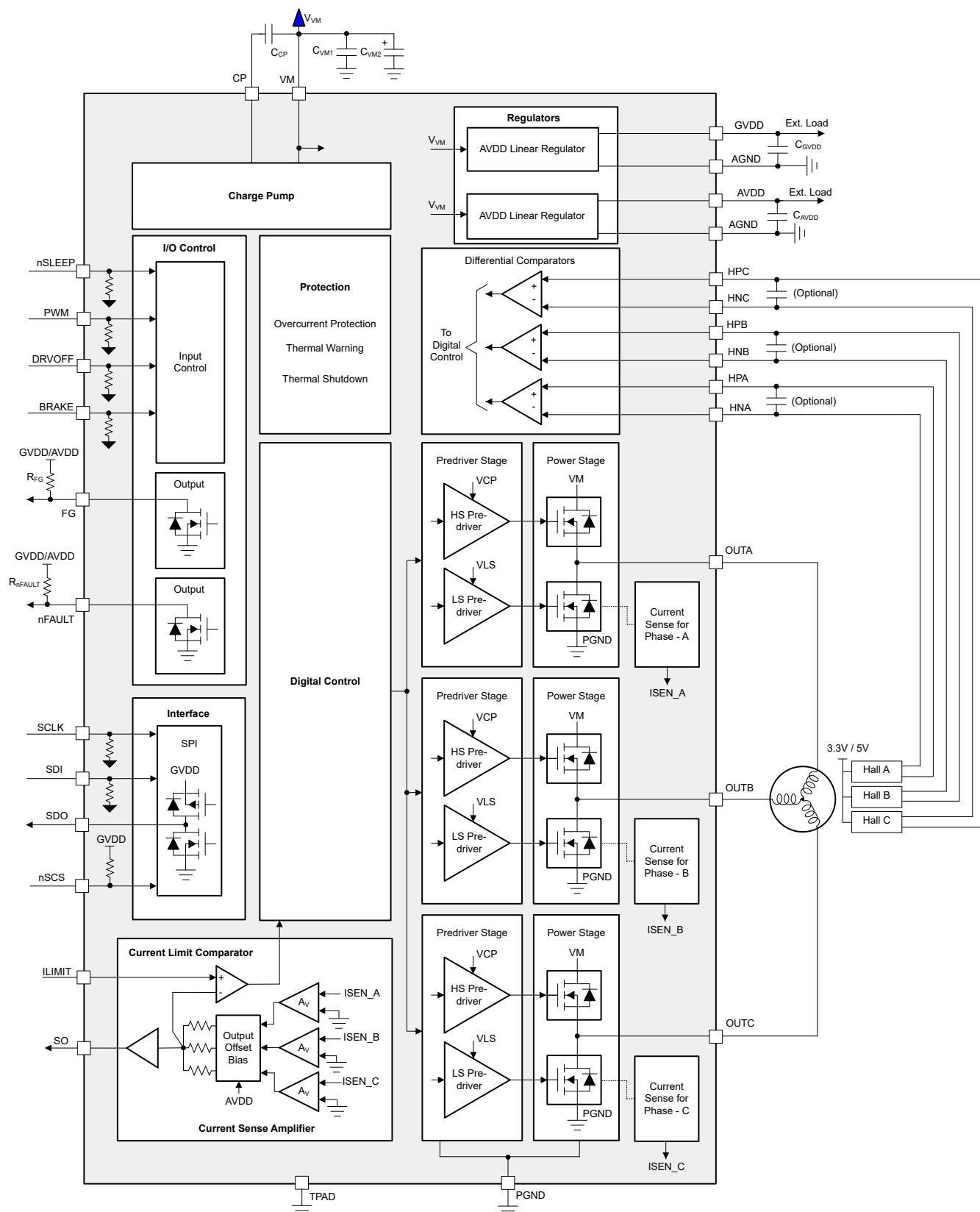


図 7-1. MCT8376ZS-Q1 のブロック図

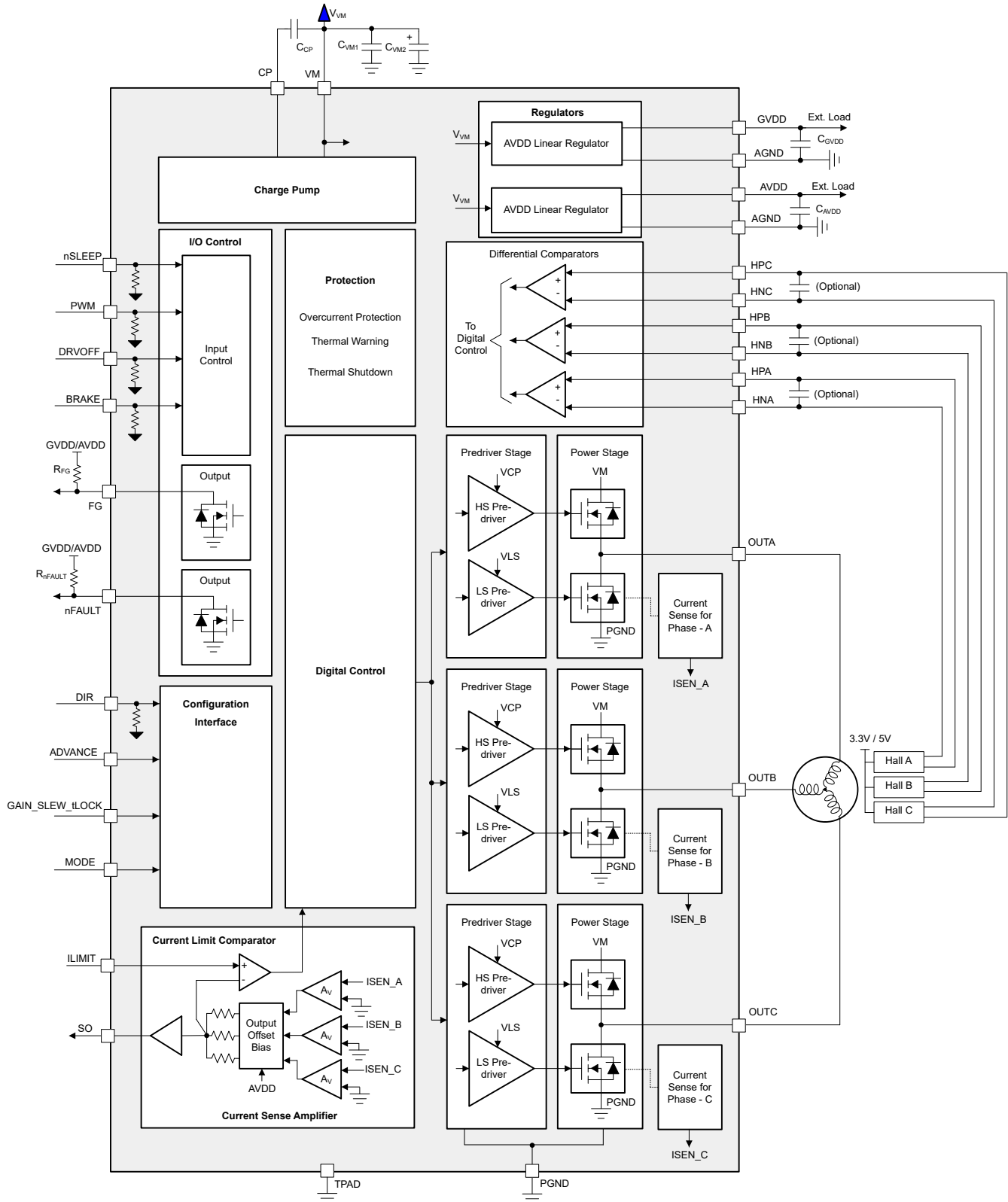


図 7-2. MCT8376ZH-Q1 のブロック図

7.3 機能説明

表 7-1 に、ドライバの外付け部品の推奨値を示します。

表 7-1. MCT8376Z-Q1 の外付け部品

部品	ピン 1	ピン 2	推奨
C _{VM1}	VM	PGND	X5R または X7R、0.1μF。コンデンサの電圧定格を、本デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
C _{VM2}	VM	PGND	≥ 10μF。コンデンサの電圧定格を、本デバイスの通常動作電圧の 2 倍以上とすることを推奨します。
C _{CP}	CP	VM	X5R または X7R、16V、0.1μF コンデンサ
C _{GVDD}	GVDD	AGND	X5R または X7R、1μF、≥ 10V
C _{AVDD}	AVDD	AGND	X5R または X7R、0.1μF、≥ 6.3V
R _{nFAULT}	AVDD/GVDD	nFAULT	5.1kΩ、プルアップ抵抗
R _{FG}	AVDD/GVDD	nFAULT	5.1kΩ、プルアップ抵抗
R _{ADVANCE}	ADVANCE	AGND または GVDD	MCT8376ZH-Q1 ハードウェア インターフェイス
R _{MODE}	モード	AGND または GVDD	MCT8376ZH-Q1 ハードウェア インターフェイス
R _{GAIN_SLEW_ILOCK}	GAIN_SLEW_ILOCK	AGND または GVDD	MCT8376ZH-Q1 ハードウェア インターフェイス

注

nFAULT が使われない場合でも、内部テスト モードへの望ましくない移行を避けるため、nFAULT にプルアップを接続することを TI は推奨しています。外部電源を使用して nFAULT をプルアップする場合は、パワーアップ時に nFAULT が >2.2V にプルされていることを確認します。

7.3.1 出力段

MCT8376Z-Q1 デバイスは、3 相ブリッジ構成で接続された統合型 400mΩ (ハイサイドとローサイドの各 FET のオン抵抗の合計) の NMOS FET で構成されています。ダブラー チャージ ポンプが、100% のデューティ サイクルをサポートしつつ、広い動作電圧範囲にわたって適切なゲート バイアス電圧をハイサイド NMOS FET に供給します。ローサイド MOSFET 用のゲート バイアス電圧は、内部リニア レギュレータが供給します。

7.3.2 PWM 制御モード (1x PWM モード)

MCT8376Z-Q1 ファミリのデバイスには、さまざまな整流方式や制御方式をサポートするために、7 種類の制御モードが用意されています。MCT8376Z-Q1 デバイスには、台形電流制御モードで BLDC モーターを駆動するための 1x PWM 制御モードが備わっています。MCT8376Z-Q1 デバイスは、内部に格納されている 6 段階のブロック整流テーブルを使用します。この機能により、3 相 BLDC モーターを、単純なコントローラから供給する 1 つの PWM を使用して制御できます。PWM は PWM ピンに印加され、ハーフブリッジの出力周波数とデューティ サイクルを決定します。

MCT8376Z-Q1 ファミリのデバイスは、モード入力設定を変更することで、アナログ入力とデジタル ホール入力の両方をサポートしています。差動ホール入力は、HPx および Hnx ピンに接続する必要があります (図 7-3 を参照)。デジタル ホール入力の場合は、HNx ピンをフローティングに維持しながら、HPx ピンに接続する必要があります (図 7-4 を参照)。

ハーフブリッジの出力状態は、アナログ モードでは HPA、HNA、HPB、HNB、HPC、HNC ピンによって管理されます。デジタル モードでは HPA、HPB、HPC によって管理され、これは状態のロジック入力として使用されます。状態入力は、BLDC モーターの位置フィードバックです。表 7-2 に示されているように、1x PWM モードは、通常は同期整流 (ローサイド MOSFET 再循環) で動作しますが、非同期整流 (MOSFET ボディ ダイオードのフリーホイール) を使用するように構成することもできます。

表 7-2. PWM_MODE 構成

MODE のタイプ	MODE ピン (ハードウェアバリエーション)	ホール構成	変調	ASR および AAR モード
モード 1	AGND に接続	アナログ ホール入力	非同期	ASR および AAR は無効化
モード 2	R _{MODE1} で AGND に接続	デジタル ホール入力	非同期	ASR および AAR は無効化
モード 3	R _{MODE2} で AGND に接続	アナログ ホール入力	同期	ASR および AAR は無効化
モード 4	ハイ インピーダンス	デジタル ホール入力	同期	ASR および AAR は無効化
モード 5	R _{MODE2} で GVDD に接続	アナログ ホール入力	同期	ASR および AAR は有効化
モード 6	R _{MODE1} で GVDD に接続	デジタル ホール入力	同期	ASR および AAR は有効化
モード 7	GVDD に接続			

注

テキサス・インスツルメンツでは、パワー MOSFET の動作中に MODE ピンまたは PWM_MODE レジスタを変更することを推奨していません。MODE ピンまたは PWM_MODE レジスタを変更する前に、PWM を Low レベルに設定します。

7.3.2.1 アナログ ホール入力構成

図 7-3 に、アナログ ホール入力のドライバへの接続が示されています。アナログ ホール素子をホール コンパレータに供給し、ゼロ交差を使用して整流ロジックを生成します。

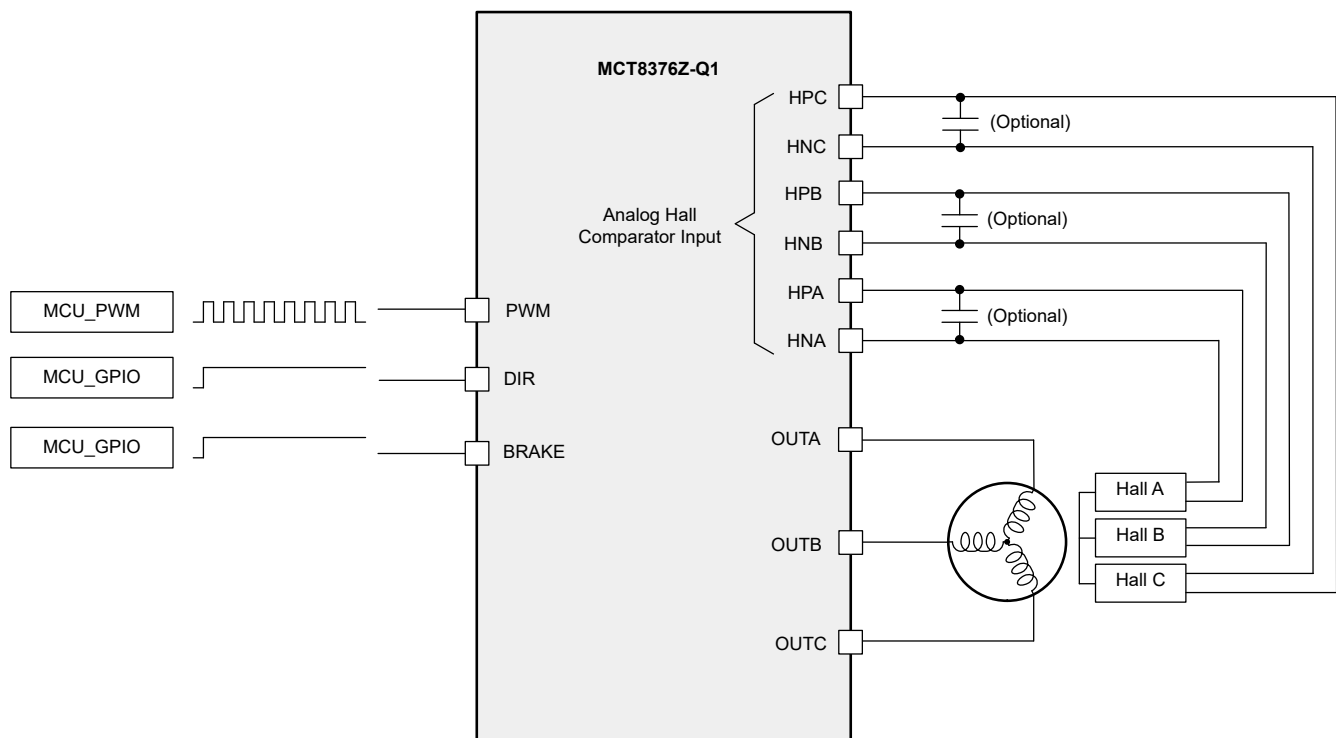


図 7-3. 1x PWM モード、アナログ ホール入力付き

注

テキサス インスツルメンツでは、モーターが停止しているときはモーター方向 (DIR) の変更を推奨しています。

7.3.2.2 デジタル ホール入力構成

図 7-4 に、デジタル ホール入力のドライバへの接続が示されています。

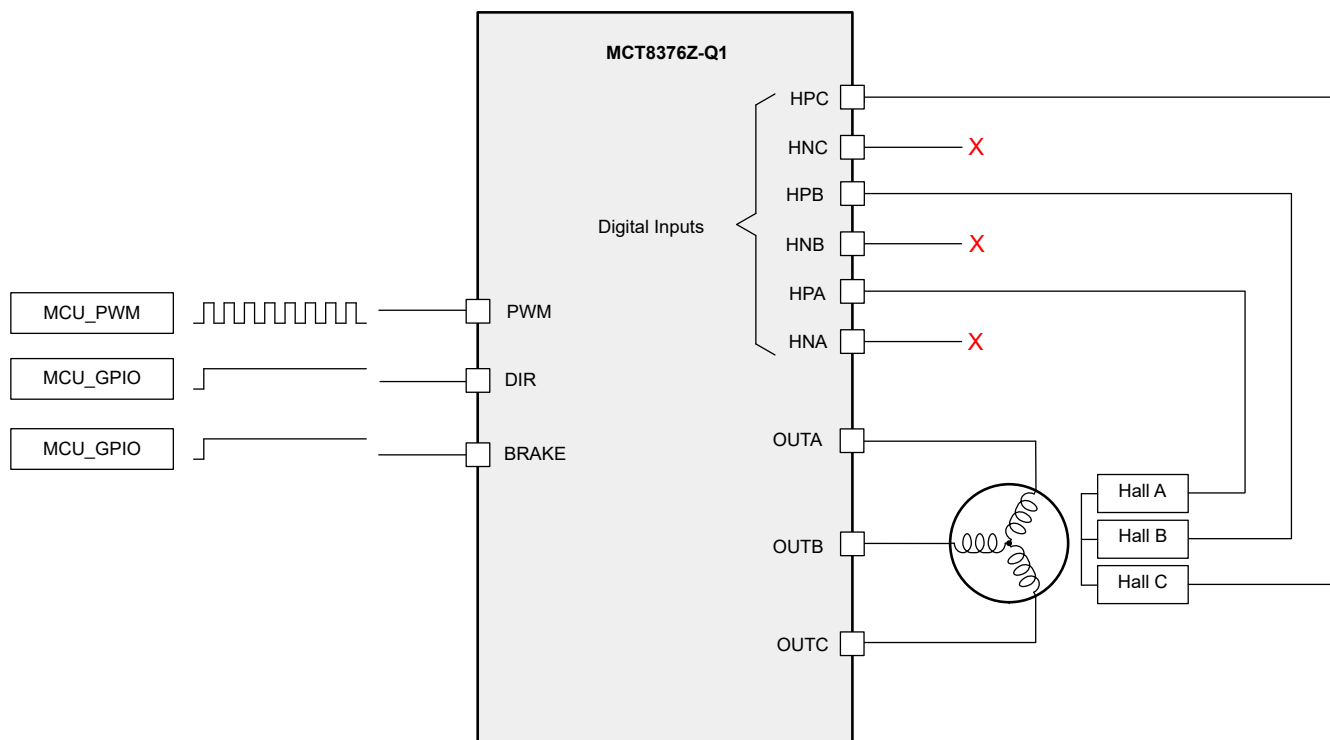


図 7-4. 1x PWM モード、デジタル ホール入力付き

7.3.2.3 非同期変調

DIR ピンによって BLDC モーターの方向が時計回りまたは反時計回りに制御されます。この機能が必要ない場合は、DIR ピンを Low に接続してください。

BRAKE 入力、INLC ピンが Low になったときに、すべてのハイサイド MOSFET をオフにし、すべてのローサイド MOSFET をオンにすることにより、モータを停止します。このブレーキ動作は、他の入力ピンの状態とは無関係です。この機能が必要ない場合は、BRAKE ピンを Low に接続してください。

表 7-3 に、1x PWM モードでの非同期変調の構成が示されています。

表 7-3. 非同期変調

ホール入力							ドライバ出力						説明
状態	DIR = 0			DIR = 1			位相 A		位相 B		位相 C		
	HALL_A /HPA	HALL_B /HPB	HALL_C /HPC	HALL_A /HPA	HALL_B /HPB	HALL_C /HPC	ハイサイド	ローサイド	ハイサイド	ローサイド	ハイサイド	ローサイド	
ストップ	0	0	0	0	0	0	L	L	L	L	L	L	ストップ
アライン	1	1	1	1	1	1	PWM	L	L	H	L	H	アライン
1	1	1	0	0	0	1	L	L	PWM	L	L	H	B → C
2	1	0	0	0	1	1	PWM	L	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	L	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	L	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	L	C → A
6	0	1	0	1	0	1	L	H	PWM	L	L	L	B → A

7.3.2.4 同期変調

表 7-4 に、1x PWM モードでの同期変調の構成が示されています。

表 7-4. 同期変調

ホール入力							ドライバ出力						
状態	DIR = 0			DIR = 1			位相 A		位相 B		位相 C		説明
	HALL_A /HPA	HALL_B /HPB	HALL_C /HPC	HALL_A /HPA	HALL_B /HPB	HALL_C /HPC	ハイサイド	ローサイド	ハイサイド	ローサイド	ハイサイド	ローサイド	
ストップ	0	0	0	0	0	0	L	L	L	L	L	L	ストップ
アライン	1	1	1	1	1	1	PWM	!PWM	L	H	L	H	アライン
1	1	1	0	0	0	1	L	L	PWM	!PWM	L	H	B → C
2	1	0	0	0	1	1	PWM	!PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	!PWM	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	!PWM	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	!PWM	C → A
6	0	1	0	1	0	1	L	H	PWM	!PWM	L	L	B → A

7.3.2.5 モーターの動作

図 7-5 と 図 7-6 に、方向設定 (DIR) をそれぞれ 0 と 1 にした BLDC モーターの整流が示されています。

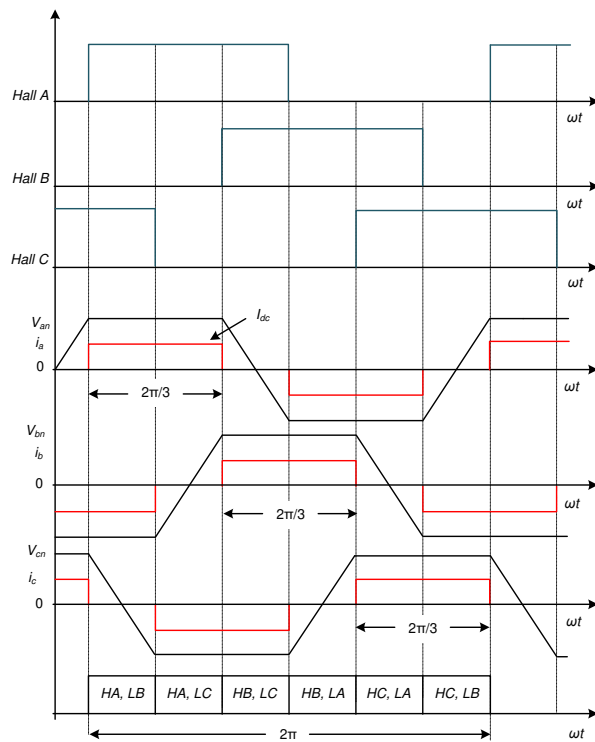


図 7-5. BLDC モーター整流 (DIR = 0)

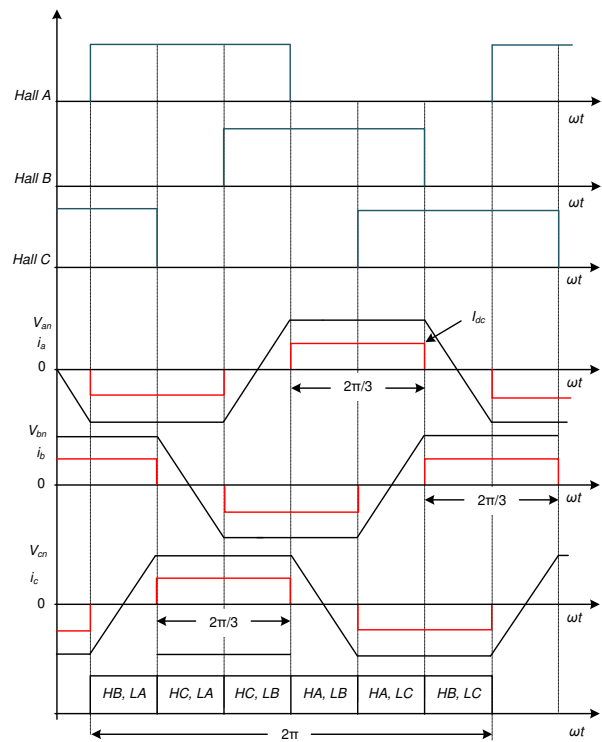


図 7-6. BLDC モーター整流 (DIR = 1)

7.3.3 デバイス インターフェイス モード

MCT8376Z-Q1 ファミリのデバイスでは、最終的なアプリケーションを柔軟な設計にするか単純な設計にするか選択できるように、2 種類のインターフェイス モード (SPI とハードウェア) をサポートしています。2 つのインターフェイス モードで同じ 4 つのピンが共有されているので、異なるバージョン間でのピン互換が実現します。こうした互換性の高さから、アプリ

ケーション設計者は、設計に最小限の変更を加えるだけで、評価に使用するインターフェイス バージョンを切り替えることができます。

7.3.3.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPI デバイスは、外部コントローラと MCT8376Z-Q1 の間でデータを送受信できるシリアル通信バスをサポートしています。これにより、外部コントローラはデバイスを設定し、詳細なフォルト情報を読み出すことができます。インターフェイスは、SCLK、SDI、SDO、nSCS ピンを使用する 4 線式インターフェイスです。以下の説明をご覧ください。

- SCLK ピンは、クロック信号を受け付けて SDI と SDO ピン上のデータの収集と伝搬のタイミングを決める入力ピンです。
- SDI ピンはデータ入力です。
- SDO ピンはデータ出力です。SDO ピンは、SDO_MODE を通してオープンドレインまたはプッシュプルに構成できます。
- nSCS ピンはチップ選択入力です。このピンに論理 Low 信号を印加すると、SPI 通信がイネーブルになります。

SPI の詳細については、[セクション 7.5](#) を参照してください。

7.3.3.2 ハードウェア インターフェイス

ハードウェア インターフェイス デバイスでは、4 つの SPI ピンが抵抗によって設定可能な 4 つの入力、および ADVANCE、MODE、GAIN_SLEW_tLOCK、DIR に変換されます。DIR ピンは 2 レベル入力 (ロジック レベル) で、ADVANCE、MODE、GAIN_SLEW_tCLK が 7 レベル構成入力になっています。

ハードウェア インターフェイスを使用すると、アプリケーション設計者は、ピンをロジック High またはロジック Low に接続するか、単純なプルアップまたはプルダウン抵抗を使用して、最も一般的なデバイスを構成できます。外部コントローラには SPI バスが不要になります。全般的なフォルト情報は、引き続き nFAULT ピンを介して取得できます。

- MODE ピンでは PWM 制御モードを設定します。
- GAIN_SLEW_tLOCK ピンでは、CSA ゲイン、出力電圧スルーレート、モーター ロック検出時間を設定します。
- ADVANCE ピンでは、ホール信号を基準とした出力のリード角度を設定します。
- DIR ピンは、モーターの回転方向の設定に使用されます。

ハードウェア インターフェイスの詳細については、[セクション 7.3.9](#) を参照してください。

注

VCC は外部プルアップ電圧

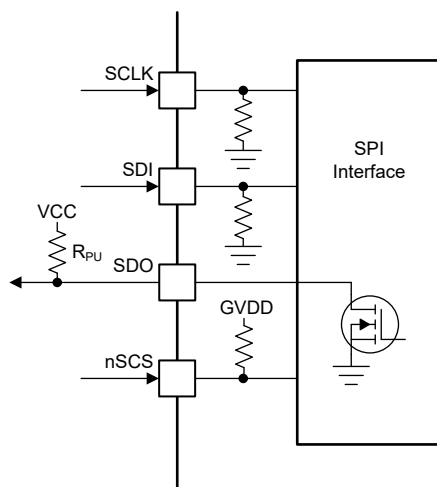


図 7-7. MCT8376ZS-Q1 SPI

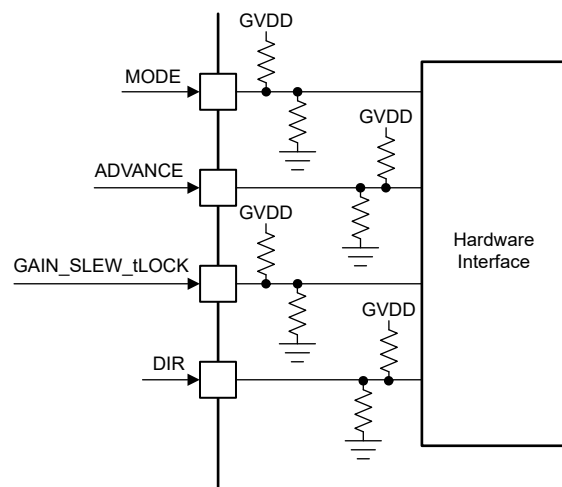


図 7-8. MCT8376ZH-Q1 ハードウェア インターフェイス

7.3.4 AVDD および GVDD リニア電圧レギュレータ

MCT8376Z-Q1 デバイス ファミリは、3.3V および 5V リニア レギュレータを内蔵しており、外部回路で利用できます。AVDD および GVDD レギュレータは、デバイスの内部デジタル回路に電力を供給します。また、低消費電力マイコンや他の低電流 (最大 30mA) をサポートする回路に電圧を供給することもできます。X5R または X7R、0.1μF、6.3V のセラミック コンデンサを AVDD ピンの近くに配置して AVDD レギュレータの出力をバイパスし、コンデンサを隣接する AGND グランド ピンに直接配線します。X5R または X7R、1μF、10V のセラミック コンデンサを GVDD ピンの近くに配置して GVDD レギュレータの出力をバイパスし、隣接する AGND グランド ピンに直接接続します。

AVDD の公称無負荷出力電圧は 3.3V です。

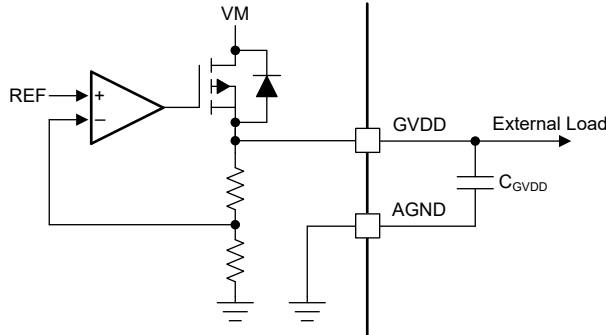


図 7-9. GVDD リニア レギュレータのブロック図

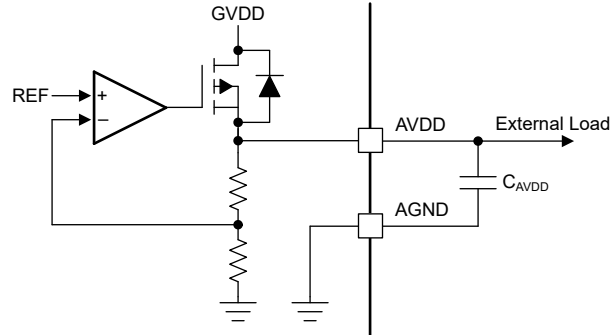


図 7-10. AVDD リニア レギュレータのブロック図

式 1 および式 2 を使用して、VM を電源とする AVDD および GVDD リニア レギュレータによってデバイス内で消費される電力を計算します。

$$P = (V_{VM} - V_{AVDD}) \times I_{AVDD} \quad (1)$$

$$P = (V_{VM} - V_{GVDD}) \times I_{GVDD} \quad (2)$$

例えば、 $V_{VM} = 24V$ の場合、AVDD から 20mA の電流が流れると、消費電力は式 3 のようになります。

$$P = (24V - 3.3V) \times 20mA = 414mW \quad (3)$$

注

リニアレギュレータ AVDD および GVDD の両方からの合計外部電流サポートは 30mA に制限されます。外部負荷の 30mA が AVDD に接続されている場合、外部負荷を GVDD に接続しないでください。または、その逆も行わないでください。

7.3.5 チャージポンプ

出力段では N チャネル FET を使用しているため、ハイサイド FET を完全に拡張するには、VM 電源よりも高いゲート駆動電圧が必要です。MCT8376Z-Q1 は、この目的のために、VM 電源よりも高い電圧を生成するチャージポンプ回路を内蔵しています。

チャージポンプを動作させるには、1 つの外付けコンデンサが必要です。これらのコンデンサの詳細 (値、接続など) については、ブロック図、ピンの説明、セクション (セクション 7.3) を参照してください。

nSLEEP が Low になるか、または過熱シャットダウンが実行されると、チャージポンプはシャットダウンします。

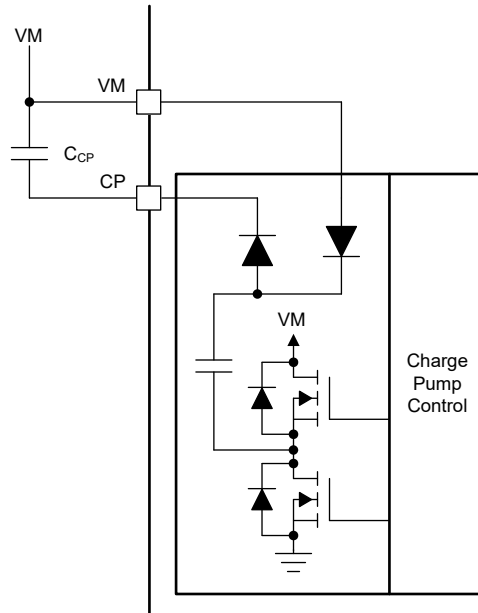


図 7-11. MCT8376Z-Q1 チャージポンプ

7.3.6 スルー レート制御

調整可能なゲートドライブ電流制御により、ハーフブリッジ内の MOSFET がアクティブに管理されてスルーレート制御が達成されます。MOSFET VDS スルーレートは、放射エミッション、エネルギーとダイオード回復スパイク期間、寄生によって発生するスイッチング電圧過の最適化に重大な影響を及ぼします。図 7-12 に示されているように、これらのスルーレートは、主に内部 MOSFET へのゲート電荷率によって決まります。

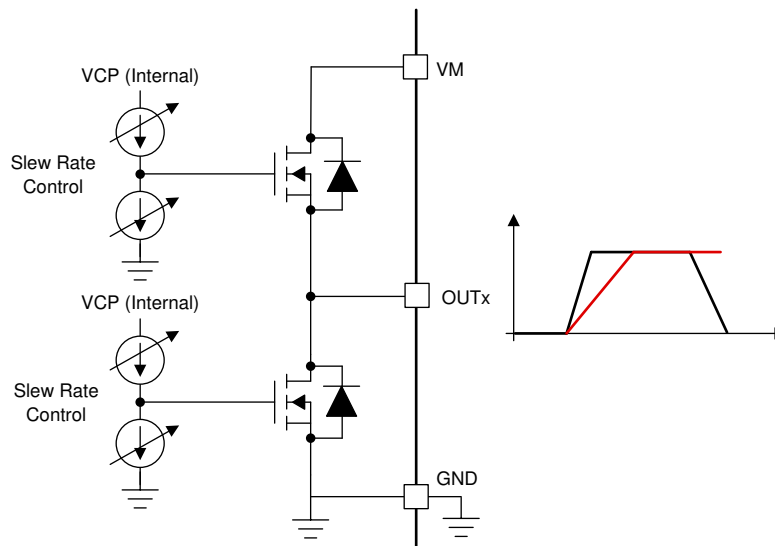


図 7-12. スルーレート回路の実装

表 7-5 に示されているように、各ハーフブリッジのスルーレートは、ハードウェア デバイス バリエントでは GAIN_SLEW_tLOCK ピンを使用して、SPI デバイス バリエントでは SLEW ビットを使用して調整できます。各ハーフブリッジは、SPI デバイスでは、スルーレート設定として 1.1V/ns、0.5V/ns、0.25V/ns、0.05V/ns のいずれかを選択できます。各ハーフブリッジは、ハードウェア デバイスでは、スルーレート設定として 1.1V/ns か 0.25V/ns のいずれかを選択できます。スルーレートは、OUTx ピンの電圧の立ち上がり時間と立ち下がり時間によって計算されます (図 7-13 を参照)。

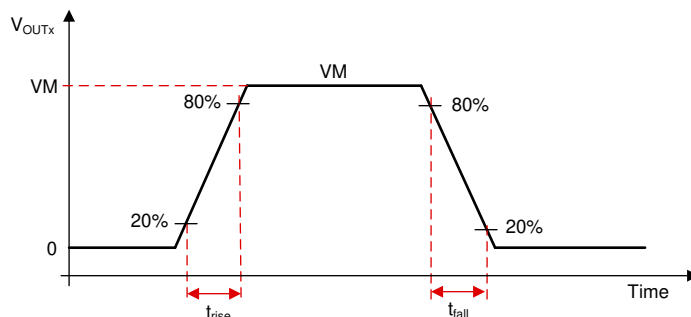


図 7-13. スルーレート タイミング

注

パワーアップ時のみ SLEW ピンが検出されます。MCT8376ZH-Q1 デバイスは、動作中のスルーレート変化をサポートしていません。スルーレートは、MCT8376ZS-Q1 デバイスのレジスタ書き込みにより、動作中に変更できます。動作中にスルーレートを変更しないことを TI は推奨しています。

7.3.7 クロス導通 (デッドタイム)

このデバイスは、MOSFET のクロス導通に対して包括的な保護が施されています。ハーフブリッジ構成では、デッドタイム (t_{DEAD}) を挿入することで貫通電流を回避するため、ハイサイドおよびローサイド MOSFET の動作が維持されます。これは、ハイサイドおよびローサイド MOSFET のゲート - ソース電圧 (VGS) を検出することで実行され、同じハーフブリッジのローサイド MOSFET をオンにする前に、ハイサイド MOSFET の VGS がターンオフ レベルを確実に下回るようにしています (図 7-14 および 図 7-15 を参照)。

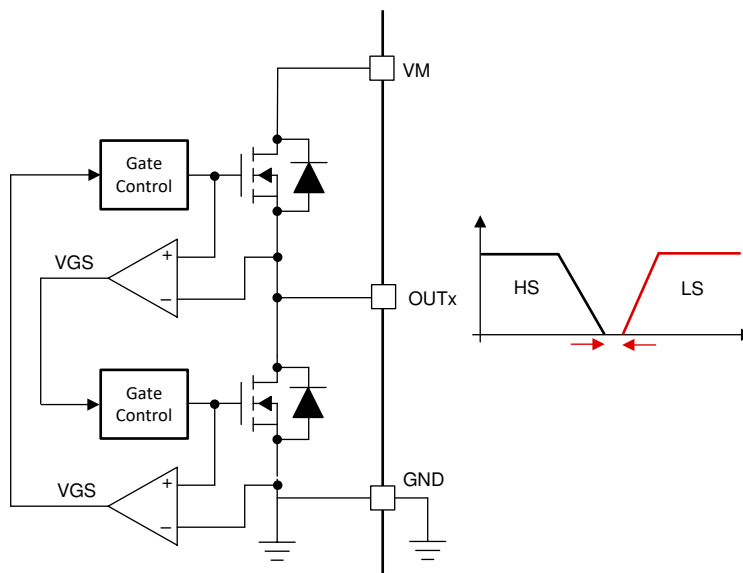


図 7-14. クロス導通保護

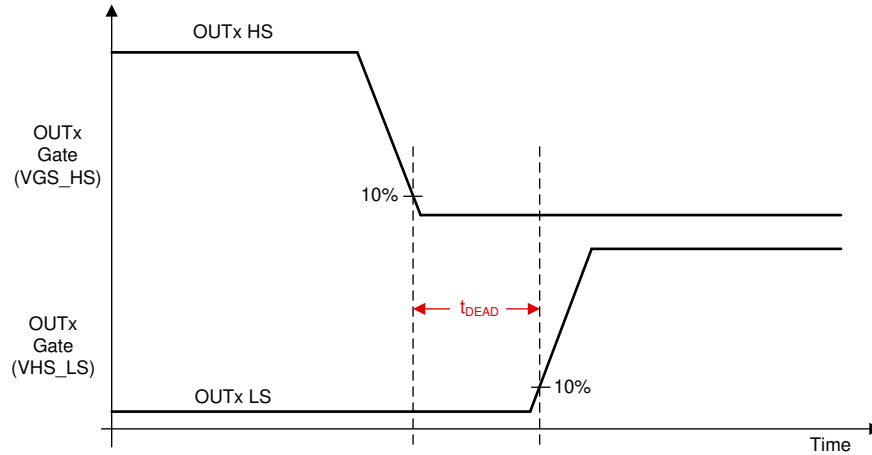


図 7-15. デッドタイム

7.3.8 伝搬遅延

伝播遅延時間 (t_{pd}) は、入力ロジック エッジからゲートドライバ電圧での変化が検出されるまでの時間として測定されます。

注

電流制限モードまたはアクティブ消磁モードでは、入力コマンドがデバイス全体に伝搬されるため、わずかなデジタル遅延が追加され、このモード中に最大 300ns 増加する可能性があります。

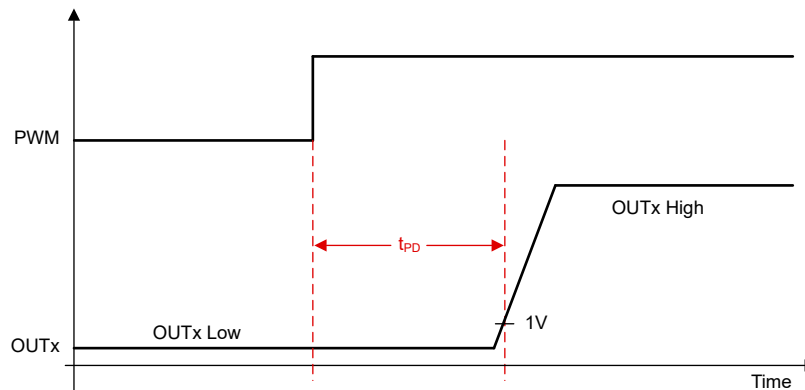


図 7-16. 伝搬遅延のタイミング

7.3.9 ピン配置図

このセクションには、すべてのデジタル入出力ピンの I/O 構造が示されています。

7.3.9.1 ロジック レベル入力ピン (内部プルダウン)

図 7-17 に、ロジック レベル ピン、BRAKE、DIR、DRVOFF、nSLEEP、PWM、SCLK、SDI の入力構造が示されています。入力電圧または外部抵抗で行うことができます。内部プルダウン抵抗を介したリーク電流を低減させるため、TI はデバイスのスリープ モードでこれらのピンを Low にすることを推奨します。

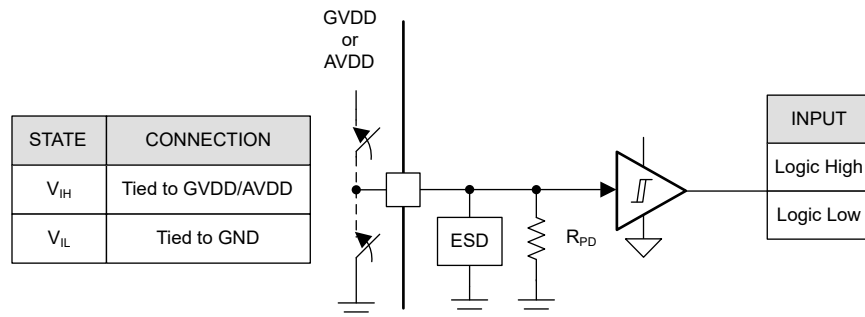


図 7-17. ロジック レベル入力ピンの構造

7.3.9.2 ロジック レベル入力ピン (内部プルアップ)

図 7-18 に、ロジック レベル ピン nSCS の入力構造が示されています。入力は電圧または外部抵抗で駆動できます。

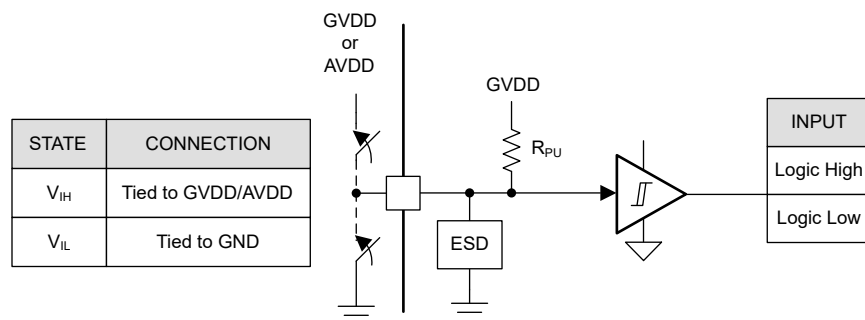


図 7-18. ロジック nSCS

7.3.9.3 オープン ドレイン ピン

図 7-19 に、オープン ドレイン モードでのオープン ドレイン出力 ピン、nFAULT、FGOUT、SDO の構造が示されています。オープン ドレイン出力を適切に機能させるためには、外部プルアップ抵抗が必要です。

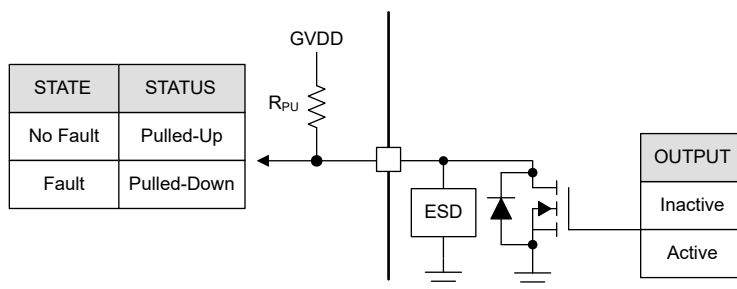


図 7-19. オープン ドレイン

7.3.9.4 プッシュプル ピン

図 7-20 に、プッシュプル モードでの SDO の構造が示されています。プッシュプル モードの SDO 電源は、SDO_VSEL を設定することで、GVDD または AVDD に選択できます。

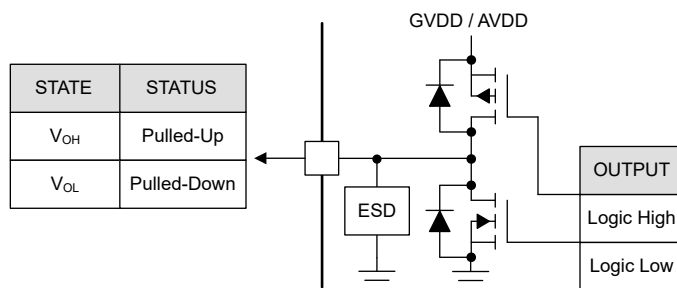


図 7-20. プッシュ プル

7.3.9.5 7 レベル入力ピン

図 7-21 に、ハードウェア インターフェイス デバイス上の 7 レベル入力ピン、MODE、ADVANCE、GAIN_SLEW_tLOCK の構造が示されています。入力には外付け抵抗で設定できます。

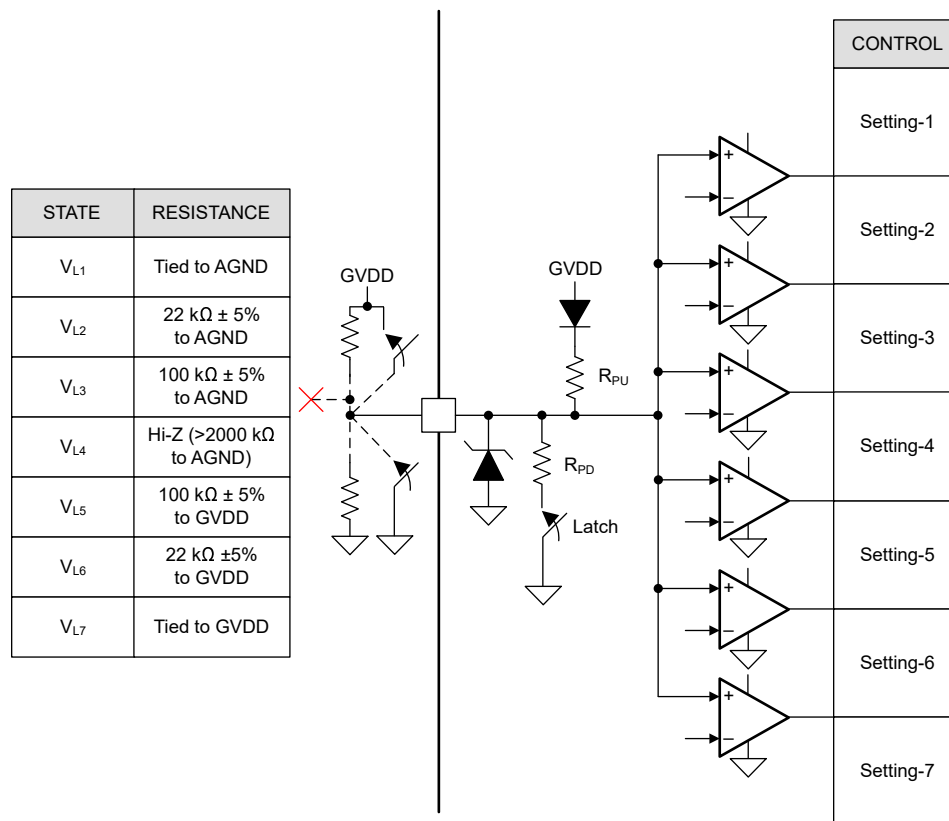


図 7-21. 7 レベル入力ピンの構造

7.3.10 電流センス アンプ出力 (SO)

MCT8376Z-Q1 の SO ピンは、ローサイド FET を流れる電流にゲイン設定 (G_{CSA}) を乗算した値に比例するアナログ電圧を出力します。ゲイン設定は、GAIN ピン (ハードウェア デバイス バリエーション) または GAIN ビット (SPI デバイス バリエーション) で設定できる 4 つの異なるレベルの間で調整できます。

図 7-22 に、電流センス アンプの内部アーキテクチャが示されています。電流センスは、MCT8376Z-Q1 デバイスの各ローサイド FET のセンス FET で実装されています。この電流情報は内部 I/V コンバータに供給され、AVDD 電圧とゲイン設定に基づいて SO ピンに CSA 出力電圧が生成されます。CSA の出力電圧は以下のように計算できます。

$$V_{SO} = \left(\frac{V_{AVDD}}{2} \right) + ((I_{OUTA} + I_{OUTB} + I_{OUTC}) \times GAIN / 3) \quad (4)$$

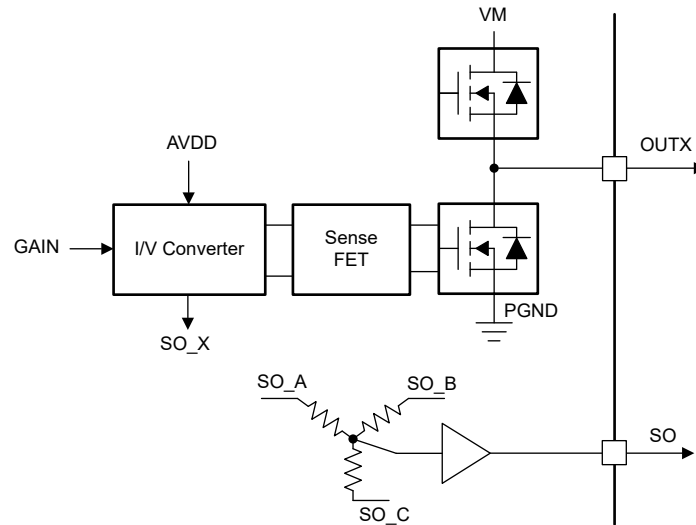


図 7-22. 電流センス アンプ内蔵

CSA のゲインは、ハードウェア デバイス バリエーションの場合は、表 7-5 のように、GAIN_SLEW_tLOCK ピンで調整できます。SPI デバイス バリエーションの場合は、SLEW ビットを使用して調整できます。各ハーフブリッジは、SPI デバイスで 1V/ns、0.5V/ns、0.25V/ns、0.05V/ns のいずれかのスルーレート設定に選択できます。各ハーフブリッジは、ハードウェア デバイスで 1.1V/ns か 0.25V/ns のいずれかのスルーレート設定に選択できます。スルーレートは、OUTx ピンの電圧の立ち上がり時間と立ち下がり時間によって計算されます (図 7-13 を参照)。

表 7-5. MCT8376ZH-Q1 の CSA ゲイン、スルーレート、ロック解除時間の設定

構成	GAIN_SLEW_tLOCK ピン (ハードウェア バリエーション)	ゲイン	SLEW	LOCK_DET_TIME
1	AGND に接続	0.4V/A	1.1V/ns	500ms
2	R _{MODE1} で AGND に接続	0.4V/A	1.1V/ns	5000ms
3	R _{MODE2} で AGND に接続	0.4V/A	0.25V/ns	500ms
4	ハイインピーダンス	0.4V/A	0.25V/ns	5000ms
5	R _{MODE2} で GVDD に接続	2.5V/A	1.1V/ns	500ms
6	R _{MODE1} で GVDD に接続	2.5V/A	1.1V/ns	5000ms
7	GVDD に接続	2.5V/A	0.25V/ns	500ms

注

電流センス アンプは、出力での小さな容量性負荷のみをサポートしています。電流センス アンプの出力で、ローパス フィルタを抵抗とコンデンサに接続することを TI は推奨しています。

注

この電流センス アンプは、動的なゲインの変更をサポートしています。この電流センス アンプは、動的なゲインの変更をサポートしています。HW バリエーションでは、ゲインはピン センシングを通じて 1ms ごとにサンプリングされ、SPI バリエーションでは、SPI 書き込みを通じてゲインが変更されます。ゲイン変更コマンドを受信した後、いずれかの PWM 信号の次の立ち上がりエッジで新しいゲインが適用されます。

7.3.11 アクティブ消磁

MCT8376Z-Q1 ファミリーは、ダイオードの導通損失を低減することで、本デバイス内の電力損失を低減させるスマート整流機能 (アクティブ消磁) を備えています。この機能が有効化されている場合、本デバイスはダイオード導通を検出すると常

に、対応する MOSFET を自動的にターンオンさせます。この機能は、ハードウェアバリエントの **MODE** ピンにより構成できます。**SPI** デバイス バリエントでは、**EN_ASR** および **EN_AAR** ビットによってこれを構成できます。スマート整流は、自動同期整流 (**ASR**) モードと自動非同期整流 (**AAR**) モードの 2 つのカテゴリに分類されます。これらについては、以下のセクションの説明をご覧ください。

注

SPI デバイス バリエントでは、アクティブ消磁を有効にするには、**EN_ASR** と **EN_AAR** を両方のビットを 1 に設定する必要があります。

MCT8376Z-Q1 デバイスは、各ハーフブリッジで負の内部電流を検出するハイサイド (**AD_HS**) およびローサイド (**AD_LS**) コンパレータを内蔵しています。**AD_HS** コンパレータはセンス FET 出力を電源電圧 (**VM**) スレッシュホールドと比較し、**AD_LS** コンパレータはグラウンド (**0V**) スレッシュホールドと比較します。電流の流れ方 (**OUTx** から **VM**、または **PGND** から **OUTx**) に応じて、**AD_HS** または **AD_LS** コンパレータがトリップします。このコンパレータは、アクティブ消磁機能が動作するための基準点となります。

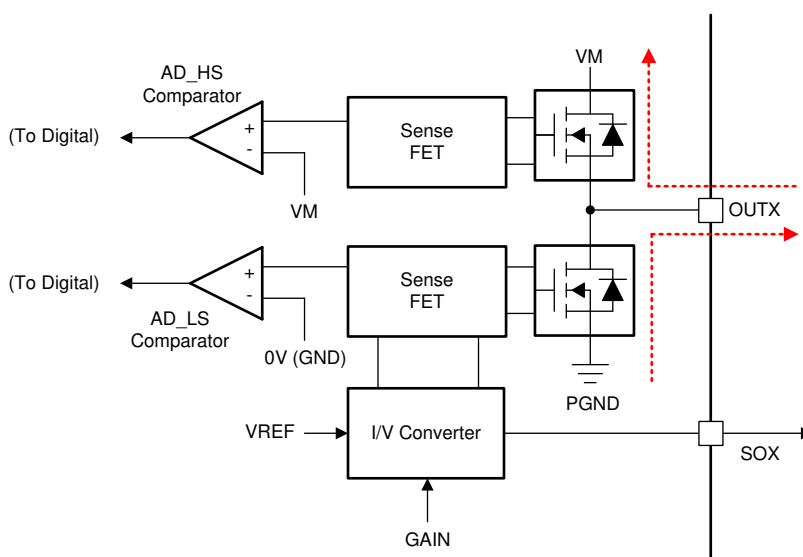


図 7-23. アクティブ消磁動作

表 7-6 に、**MCT8376Z-Q1** デバイスの **ASR** および **AAR** モードの構成が示されています。

表 7-6. PWM_MODE 構成

MODE のタイプ	MODE ピン (ハードウェア バリエント)	ASR および AAR 構成	ホール構成	変調	ASR および AAR モード
モード 1	AGND に接続	EN_ASR = 0, EN_AAR = 0	アナログ ホール入力	非同期	ASR および AAR は無効化
モード 2	R _{MODE1} で AGND に接続	EN_ASR = 0, EN_AAR = 0	デジタル ホール入力	非同期	ASR および AAR は無効化
モード 3	R _{MODE2} で AGND に接続	EN_ASR = 0, EN_AAR = 0	アナログ ホール入力	同期	ASR および AAR は無効化
モード 4	ハイインピーダンス	EN_ASR = 0, EN_AAR = 0	デジタル ホール入力	同期	ASR および AAR は無効化
モード 5	R _{MODE2} で GVDD に接続	EN_ASR = 1, EN_AAR = 1	アナログ ホール入力	同期	ASR および AAR は有効化
モード 6	R _{MODE1} で GVDD に接続	EN_ASR = 1, EN_AAR = 1	デジタル ホール入力	同期	ASR および AAR は有効化
モード 7	GVDD に接続				

注

OCP イベントおよびモーター ロック イベント時に、アクティブ消磁が無効化されます。

7.3.11.1 自動同期整流モード (ASR モード)

自動同期整流 (ASR) モードは、整流中の ASR と PWM モード時の ASR の 2 つのカテゴリに分けられます。

7.3.11.1.1 転流時の自動同期整流

図 7-24 に、BLDC モーター整流中のアクティブ消磁の動作を示します。図 7-24 (a) に示すように、ある整流状態において、電流は HA から LC に流れています。図 7-24 (b) に示されているように、整流を切り換える間、HB スイッチはターンオンし、(モーター インダクタンスによる) OUTA の整流電流が LA のボディ ダイオードを流れます。これにより、整流電流によるダイオード損失が大きくなります。図 7-24 (c) に示されているように、この整流損失は、整流時間の間 LA をターンオンさせることで減少します。

図 7-24 (d)、(e)、(f) に示されているように、ハイサイド FET の動作は同様に実行されます。

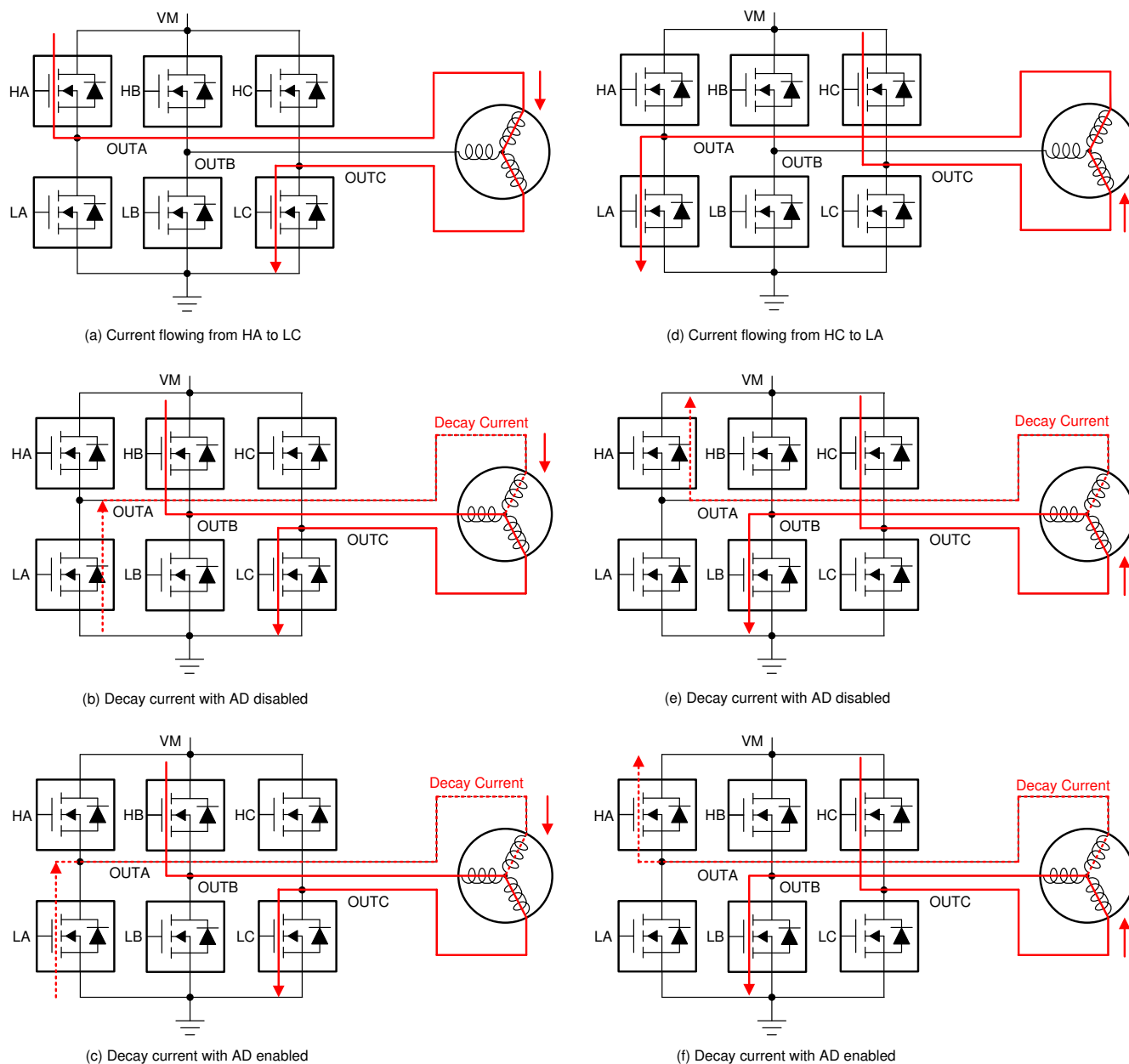
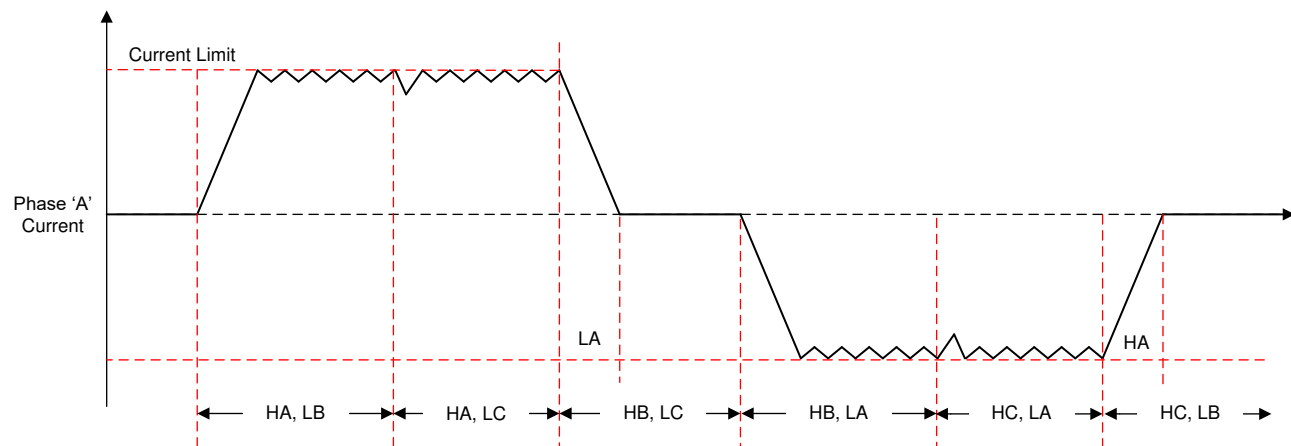


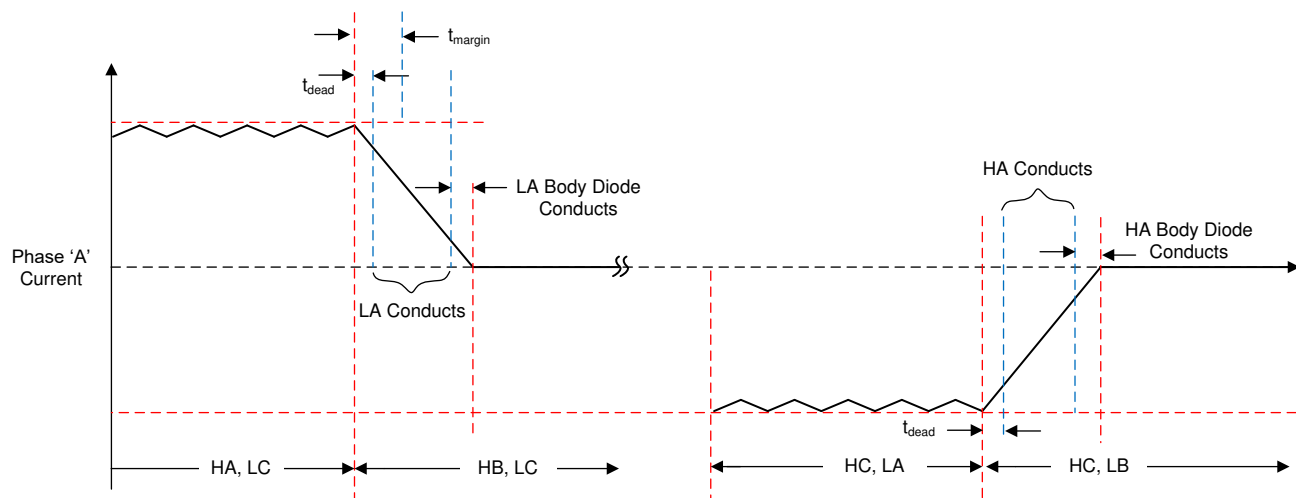
図 7-24. BLDC モーター整流における ASR

図 7-25 (a) に、台形波整流で動作している BLDC モーターの自動同期整流モードに対する BLDC モーターの位相電流波形が示されています。この図は、1 つの整流サイクルにおける各種スイッチの動作を示したものです。

図 7-25 (b) に、整流サイクルの拡大波形と、マージン時間 (t_{margin}) を使用した ASR モード開始、およびアクティブな復調コンプレータのスレッシュホールドと遅延による ASR モードの早期停止の詳細が示されています。



(a) Commutation current of Phase "A"



(b) Zoomed waveform of Active Demagnetization

図 7-25. BLDC モーター整流における ASR の電流波形

7.3.11.1.2 PWM モード時の自動同期整流

図 7-26 に、各モードでの ASR ピンの動作が示されています。この図に示されているように、PWM はハイサイド FET のみに印加されるのに対し、ローサイド FET は常にオフとなります。PWM オフ時は、電流がローサイド FET から減衰するため、電力損失が大きくなります。このため、このモードでは、ローサイド ダイオードが導通している間、ローサイド FET をオンにすることができます。

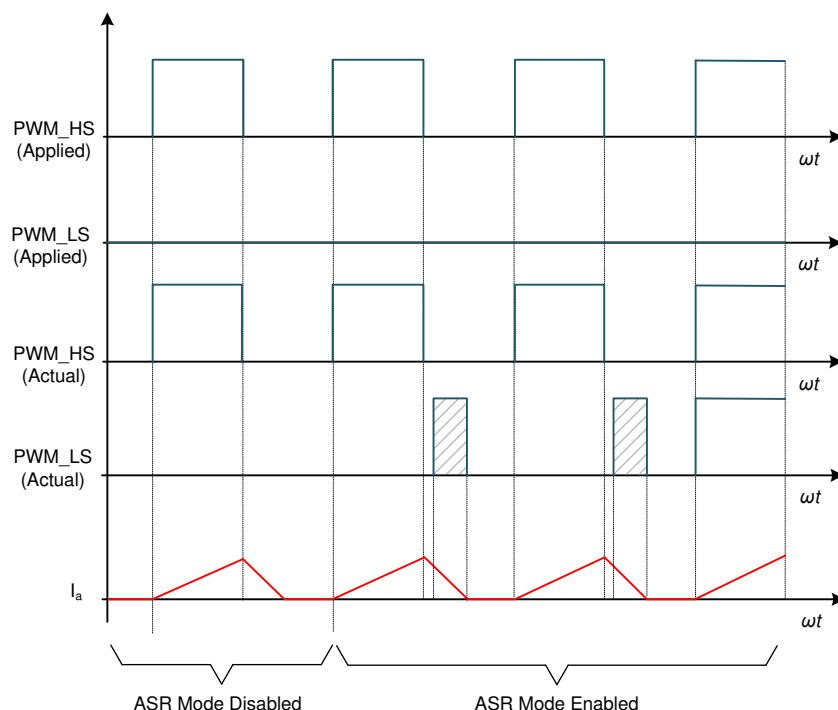


図 7-26. PWM モードの ASR

7.3.11.2 自動非同期整流モード (AAR モード)

図 7-27 に、各モードでの AAR ピンの動作が示されています。この図に示されているように、ハイサイド FET とローサイド FET の同期整流で PWM を印加します。ローサイド FET が導通する間、インダクタンスの小さいモーターでは、ローサイド FET がオン状態になるため、電流は 0 に減衰して負になることがあります。この結果、BLDC モーターの動作に負のトルクが発生します。AAR モードを有効にすると、減衰中の電流が監視され、電流がゼロに近付くと直ちにローサイド FET がオフになります。これにより、BLDC モーター内を流れる負の電流を節約でき、ノイズ性能と熱管理性が向上します。

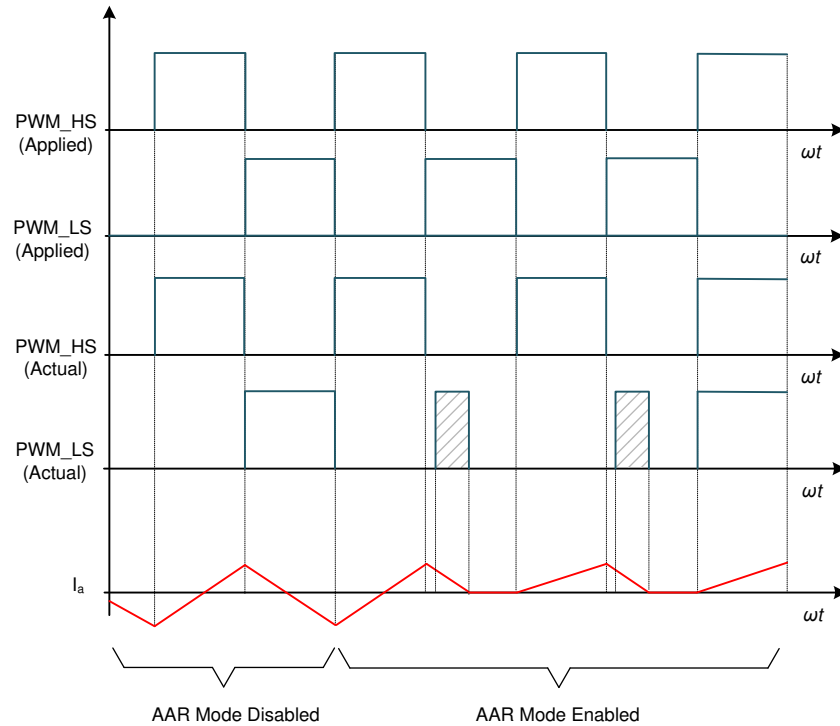


図 7-27. PWM モードの AAR

7.3.12 サイクル単位の電流制限

電流制限回路は、ILIMIT ピンの電圧と比較して、3 相の電流センス アンプの出力を利用します。図 7-28 に、電流制限回路の実装が示されています。電流センス アンプの出力は、スター型接続抵抗ネットワークと組み合わせられています。この測定電圧 V_{MEAS} は、ILIMIT ピンの外部リファレンス電圧 V_{LIM} と比較されることで、電流制限の実装を実現します。3 相 (I_{OUTx}) で検出される電流と V_{MEAS} スレッシュホールドの関係は以下の通りです。

$$V_{MEAS} = \left(\frac{V_{AVDD}}{2} \right) + ((I_{OUTA} + I_{OUTB} + I_{OUTC}) \times GAIN / 3) \quad (5)$$

ここで、

- V_{AVDD} : 電流検出アンプの電源
- I_{OUTx} : ローサイド MOSFET に流れる電流
- CSA_GAIN : 電流センス アンプのゲイン

電流制限スレッシュホールドは、ILIMIT ピンの電圧を設定することで調整できます。ILIMIT ピンの電圧は $V_{AVDD}/2$ から V_{MEAS} まで変化するため、電流制限は 0A ~ 4A の間で直線的に変化します。ILIMIT を無効化するために、 V_{AVDD} よりも高い電圧を印加できます。

PWM 入力信号の立ち上がりおよび立ち下がりエッジごとに、電流制限コンパレータの出力はブランキング時にブランキングされます。MCT8376Z-Q1 の出力状態は、ブランキング時間中の PWM の状態によって異なります。ブランキング時間は SPI デバイスの ILIM_BLANK_SEL によって構成され、ハードウェア バリエーションのスルーレートが 50 の場合は 5.5μs、その他のすべてのスルーレートの場合は 1.8μs に固定されます。

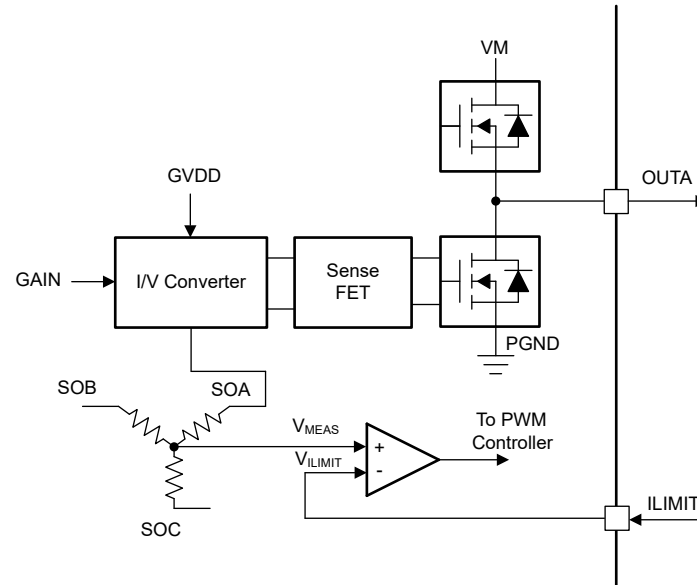


図 7-28. 電流制限の実装

図 7-29 に示されているように、その後に電流制限が作動すると、各ハーフブリッジの PWM の立ち上がりエッジまで、各ハーフブリッジのハイサイド FET が無効化されます。ローサイド FET は、SPI デバイス バリエントの ILIM_MODE ビットを設定することで、ブレーキ モードまたはハイ インピーダンス モードで動作できます。ハードウェア バリエントでは、ローサイド FET はコースト (ハイ インピーダンス) モードで動作します。

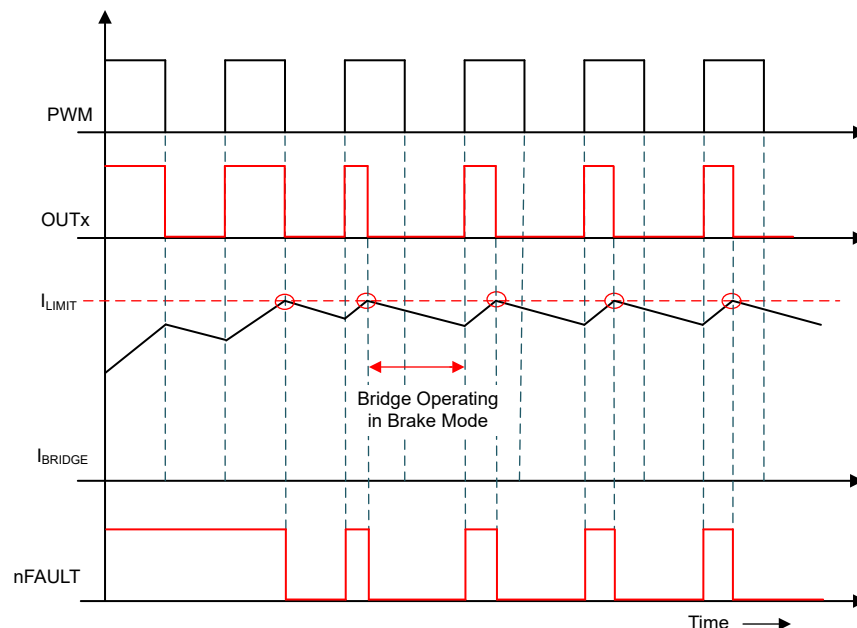


図 7-29. サイクル単位の電流制限動作

図 7-30 に示されているように、同期整流モードで電流制限がアクティブになっている場合は、ハイサイド FET が無効化されている間にローサイド FET を通って電流が再循環します。

図 7-31 に示されているように、電流制限が非同期整流モードでアクティブになっている場合は、ハイサイド FET が無効化されている間にローサイド FET のボディ ダイオードを通して電流が再循環します。

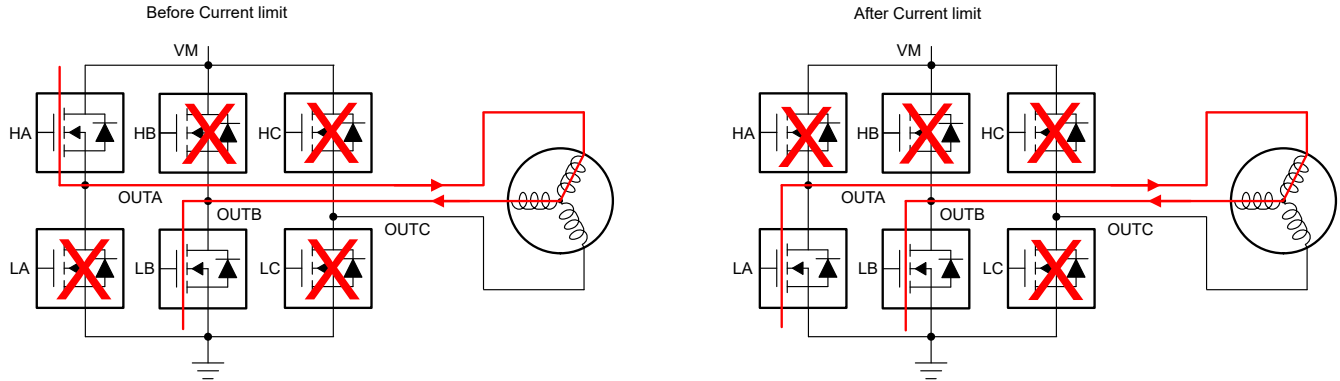


図 7-30. ブレーキ状態

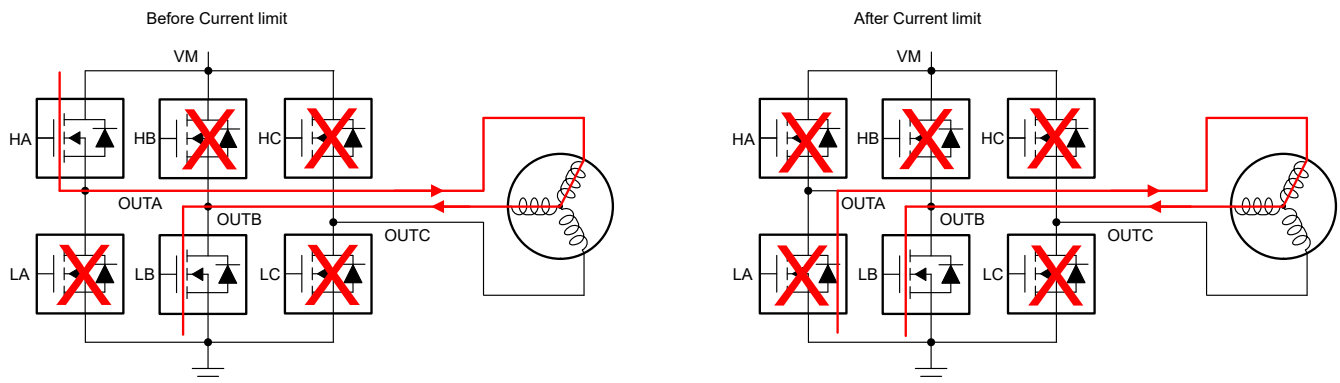


図 7-31. コースト状態

注

ブレーキ動作中、大電流がローサイド FET を流れることで、最終的に過電流保護回路がアクティブになります。この状態では、ハイサイド FET のボディダイオードが導通し、ブレーキ エネルギーを VM 電源レールに誘導します。

7.3.12.1 100% デューティ サイクル入力でのサイクル単位の電流制限

PWM 入力に 100% デューティ サイクルが印加された場合、ハイサイド FET を再びオンにするエッジはありません。この問題を克服するため MCT8376Z-Q1 には内部 PWM クロックが内蔵されています。これにより、 I_{LIMIT} スレッショルドを超えた後にハイサイド FET が無効化された時点でハイサイド FET がオンに戻ります。SPI バリエーション MCT8376Z-Q1 では、この内部 PWM クロックは、PWM_100_DUTY_SEL を通じて 10kHz、20kHz、または 40kHz に設定できます。H/W バリエーションでは、MCT8376Z-Q1 PWM 内部クロックが 20kHz に設定されています。図 7-32 に、100% デューティ サイクルでの動作を示します。

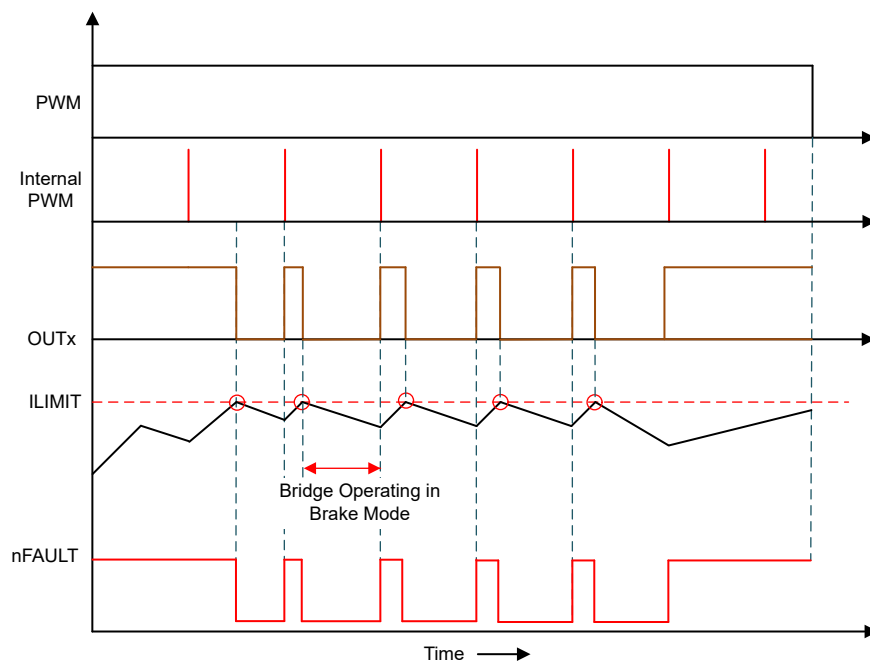


図 7-32. 100% PWM デューティ サイクルでのサイクル単位の電流制限動作

7.3.13 ホール コンパレータ (アナログ ホール入力)

3 つのコンパレータが提供されており、ホール エフェクト センサからの未加工の信号を処理し、モーターを整流します。ホール コンパレータは、差動入力のゼロ交差を検知し、その情報をデジタル ロジックに渡します。ホール コンパレータにはヒステリシスがあり、それらの検出スレッシュホールドは 0 を中心とします。ヒステリシスは、図 7-33 に示されているように定義されます。

ヒステリシスに加えて、有効な遷移を検出した後、 t_{HDEG} の間の余分なホール遷移を無視する回路では、ホール入力はグリッチ除去されます。これらの遷移を t_{HDEG} 時間だけ無視すると、PWM ノイズがホール入力へ結合し、整流が誤って発生する可能性があります。

それでも過剰なノイズがホール コンパレータの入力に結合される場合は、ホール コンパレータの正の入力と負の入力の間にコンデンサを追加する必要があります。ホール入力の ESD 保護回路には、GVDD ピンへのダイオードが実装されています。このダイオードのため、ホール入力の電圧は GVDD 電圧を超えないようにする必要があります。

スリープ モードでは GVDD ピンが無効化されるため (nSLEEP が非アクティブ)、スリープ モードでは外部電圧でホール入力を駆動しないでください。ホール センサに外部から電力を供給している場合は、MCT8376Z-Q1 デバイスがスリープ モードに移行していれば、ホール センサへの電力供給を無効化する必要があります。また、モーターを有効化した後にホール センサの電源をオンにする必要があります。オンにしないと、ホール状態が無効なため、モーターの動作に遅延が発生する可能性があります。

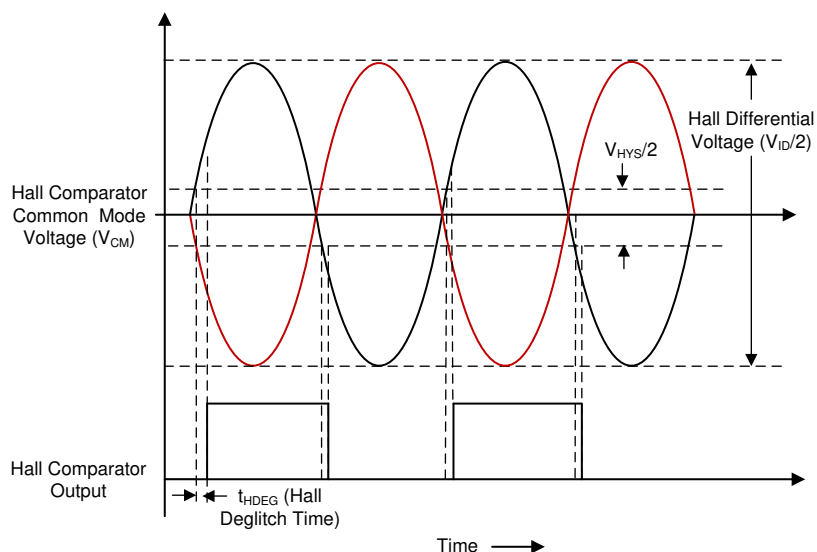


図 7-33. ホール コンパレータの動作

7.3.14 進角

MCT8376Z-Q1 には、ADVANCE ピン (H/W デバイス バリエント) または ADVANCE ビット (SPI デバイス バリエント) の電圧に基づいて、指定された電気角によって整流を進めるための進角機能が内蔵されています。図 7-34 に、進角機能の動作が示されています。

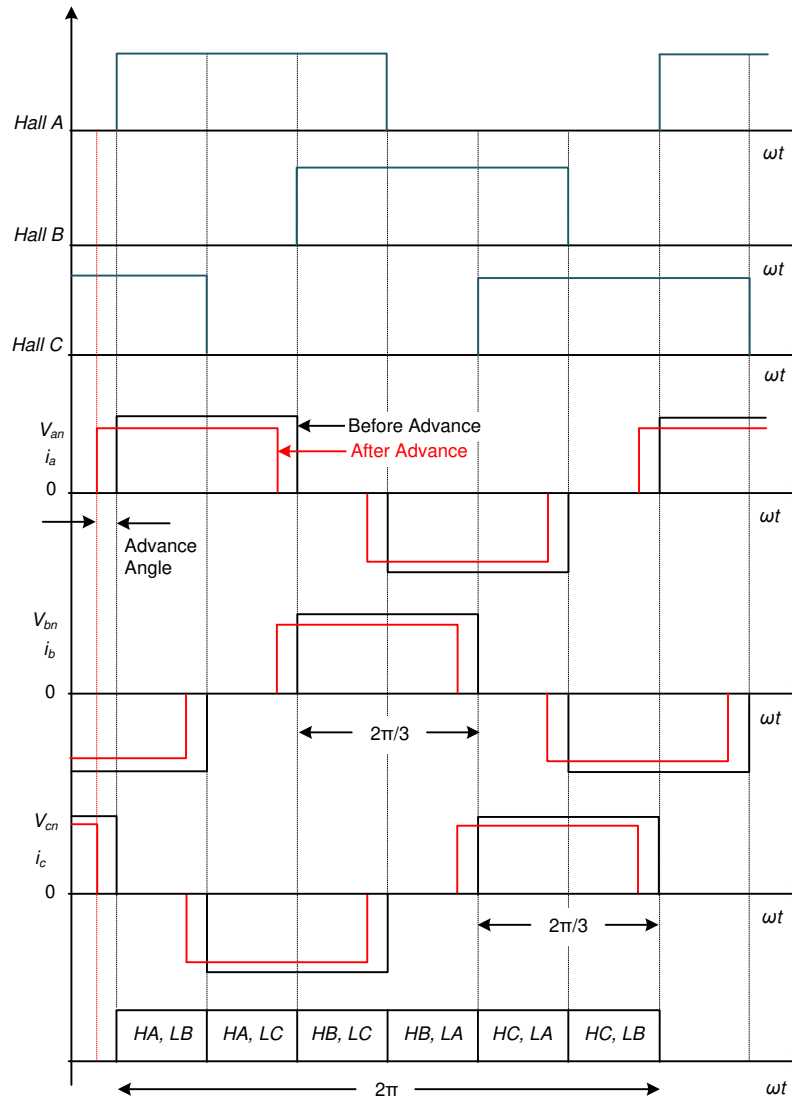


図 7-34. 進角

7.3.15 FGOUT 信号

MCT8376Z-Q1 デバイスにはオープンドレインの FGOUT 信号もあり、BLDC モーターの開ループ速度制御に使用できます。セクション 7.3.15 に示されているように、この信号には、3 つのホール素子入力すべての情報が含まれています。セクション 7.3.15 に示されているように、MCT8376ZS-Q1 (SPI バリエント) では、FGOUT をホール信号の異なる分周係数として構成できます。MCT8376ZH-Q1 (ハードウェア バリエント) では、デフォルト モードは FG_MODE = 00b です。

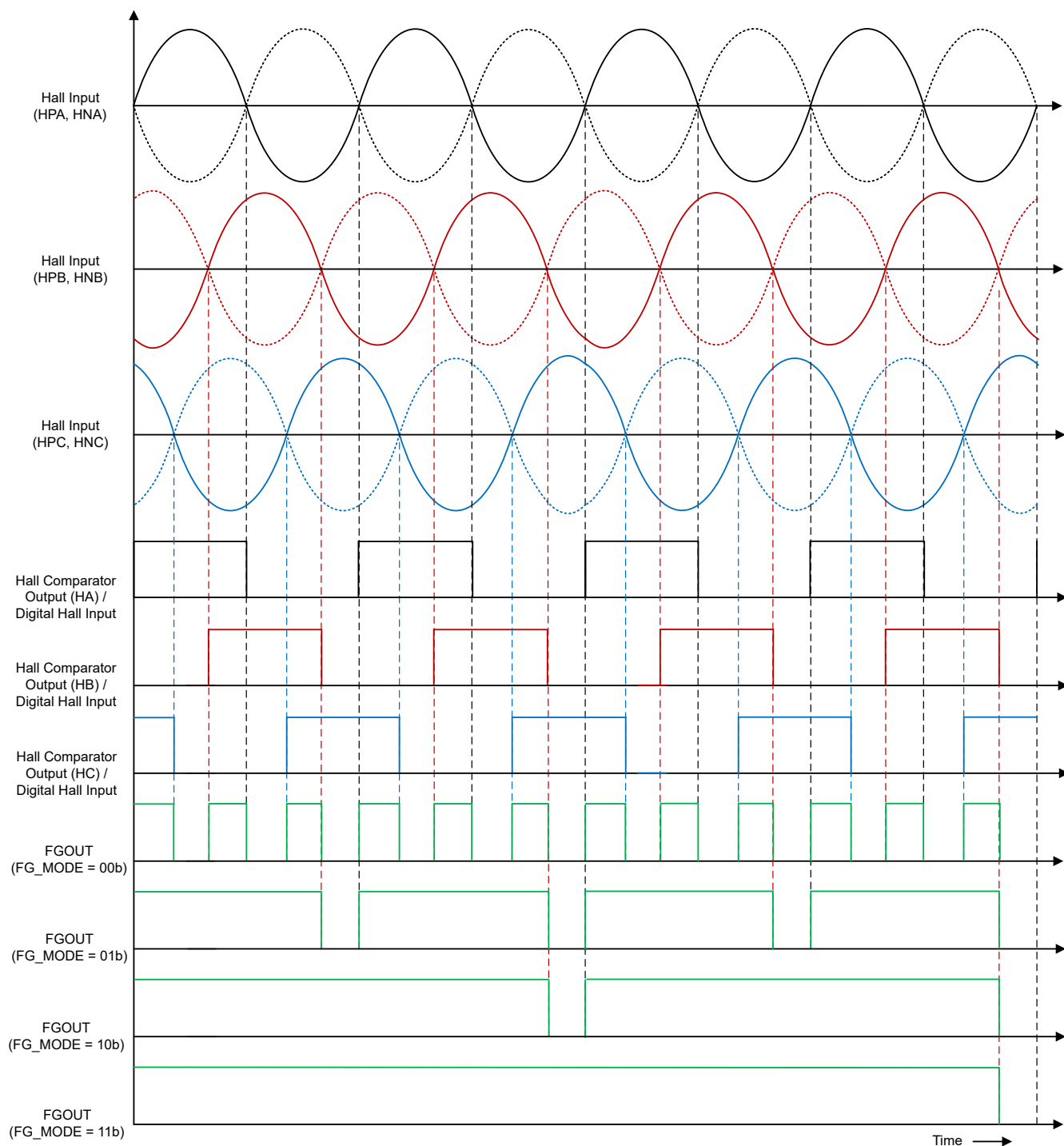


図 7-35. FGOUT 信号

7.3.16 保護

MCT8376Z-Q1 ファミリのデバイスは、VM 低電圧、チャージ ポンプ低電圧、過電流イベントから保護されています。表 7-7 に、各種フォルトの詳細が示されています。

表 7-7. フォルト時の動作と応答 (SPI デバイス)

フォルト	条件	構成	通知	H ブリッジ	ロジック	復帰
VM 低電圧 (RESET)	$V_{VM} < V_{UVLO}$	—	—	ハイ インピーダンス	ディセーブル	自動: $V_{VM} > V_{UVLO_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
GVDD 低電圧 (RESET)	$V_{GVDD} < V_{GVDD_UV}$	—	—	ハイ インピーダンス	ディセーブル	自動: $V_{GVDD} > V_{GVDD_UV_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
AVDD 低電圧 (RESET)	$V_{AVDD} < V_{AVDD_UV}$	—	—	ハイ インピーダンス	ディセーブル	自動: $V_{AVDD} > V_{AVDD_UV_R}$ CLR_FLT、nSLEEP リセット パルス (RESET ビット)
チャージ ポンプ低電圧 (VCP_UV)	$V_{CP} < V_{CPUV}$	—	nFAULT	ハイ インピーダンス	アクティブ	自動: $V_{VCP} > V_{CPUV}$ CLR_FLT、nSLEEP リセット パルス (VCP_UV ビット)
過電圧保護 (OVP)	$V_{VM} > V_{OVP}$	OVP_MODE = 0b	なし	アクティブ	アクティブ	動作なし (OVP 無効)
		OVP_MODE = 1b	フォルト	ハイ インピーダンス	アクティブ	自動: $V_{VM} < V_{OVP}$ CLR_FLT、nSLEEP リセット パルス (OVP ビット)
過電流保護 (OCP)	$I_{PHASE} > I_{OCP}$	OCP_MODE = 00b	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 01b	nFAULT	ハイ インピーダンス	アクティブ	リトライ: t_{RETRY} CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 10b	nFAULT	アクティブ	アクティブ	通知のみ: CLR_FLT、nSLEEP リセット パルス (OCP ビット)
		OCP_MODE = 11b	なし	アクティブ	アクティブ	動作なし
ILIMIT	$V_{LIMIT} < V_{SO}$	ILIMFLT_MODE = 0b	なし	ILIMIT モード	アクティブ	自動: INHx の次の立ち上がりエッジでハイサイド INLx の次の立ち上がりエッジのローサイド
		ILIMFLT_MODE = 1b	nFAULT	ILIMIT モード	アクティブ	自動: INHx の次の立ち上がりエッジでハイサイド INLx の次の立ち上がりエッジのローサイド
SPI エラー (SPI_FLT)	SCLK、パリティ、ADDR フォルト	SPIFLT_MODE = 0b	なし	アクティブ	アクティブ	動作なし
		SPIFLT_MODE = 1b	nFAULT	アクティブ	アクティブ	通知のみ: CLR_FLT、nSLEEP リセット パルス (SPI_FLT ビット)
OTP エラー (OTP_ERR)	OTP の読み取りが誤っています	—	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: パワー サイクル、CLR_FLT
モーター ロック (MTR_LOCK)	ホール信号 > $t_{MTR_LOCK_TDET}$ なし	MTR_LOCK_MODE = 00b	nFAULT	ハイ インピーダンス	アクティブ	ラッチ: CLR_FLT、nSLEEP パルス (MTR_LOCK ビット)
		MTR_LOCK_MODE = 01b	nFAULT	ハイ インピーダンス	アクティブ	リトライ: $t_{MTR_LOCK_RETRY}$ (MTR_LOCK ビット)
		MTR_LOCK_MODE = 10b	nFAULT	アクティブ	アクティブ	通知のみ: CLR_FLT、nSLEEP リセット パルス (MTR_LOCK ビット)
		MTR_LOCK_MODE = 11b	なし	アクティブ	アクティブ	動作なし
過熱警告 (OTW)	$T_J > T_{OTW}$	OTW_MODE = 0b	なし	アクティブ	アクティブ	動作なし
		OTW_MODE = 1b	nFAULT	アクティブ	アクティブ	自動: $T_J < T_{OTW} - T_{OTW_HYS}$ CLR_FLT、nSLEEP パルス (OTW ビット)
サーマル シャットダウン (OTSD)	$T_J > T_{TSD}$	—	nFAULT	ハイ インピーダンス	アクティブ	自動: $T_J < T_{TSD} - T_{TSD_HYS}$

7.3.16.1 VM 電源低電圧誤動作防止 (RESET)

VM ピンの入力電源電圧が V_{UVLO} スレッシュホールド (VM UVLO 立ち下がりスレッシュホールド) を下回ると、常にすべての内蔵 FET、ドライバ チャージ ポンプ、デジタル ロジック コントローラが無効化されます (図 7-36 を参照)。VM 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM の状態を認識すると、デバイス ステータス (DEV_STS) レジスタの RESET ビットは High にラッチされます。RESET ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまで High のままです。

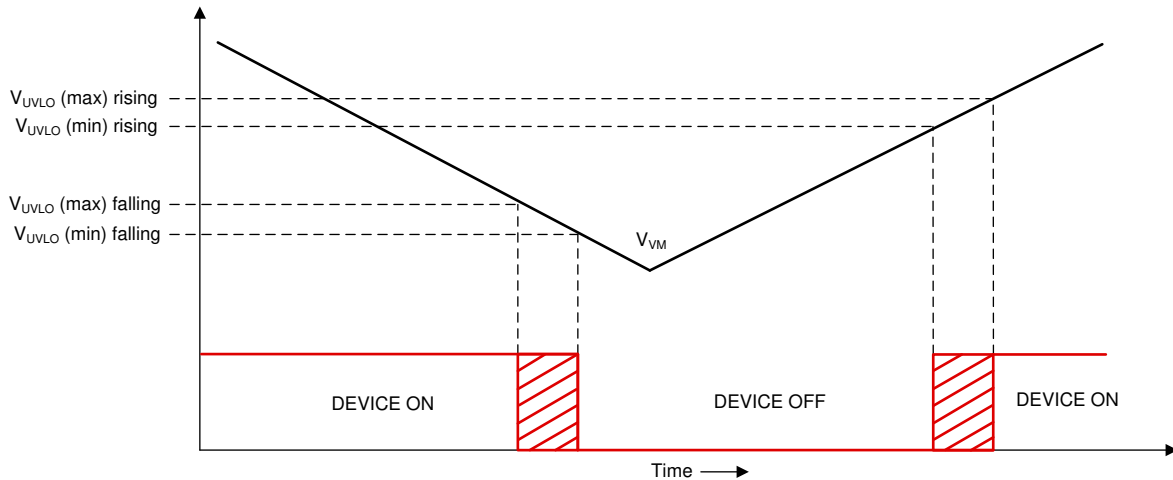


図 7-36. VM 電源低電圧誤動作防止

7.3.16.2 AVDD 低電圧保護 (AVDD_UV)

AVDD ピンの電圧が V_{AVDD_UV} スレッシュホールドを下回ると常に、内蔵 FET、ドライバ チャージポンプ、デジタル ロジック コントローラのすべてが無効化されます。AVDD 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM の状態を認識すると、デバイス ステータス (DEV_STS) レジスタの RESET ビットは High にラッチされます。RESET ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまで High のままです。

7.3.16.3 GVDD 低電圧誤動作防止 (GVDD_UV)

GVDD ピンの電圧が V_{GVDD_UV} スレッシュホールドを下回ると常に、内蔵 FET、ドライバ チャージ ポンプ、デジタル ロジック コントローラのすべてが無効化されます。GVDD 低電圧状態が解消されると、通常動作 (ドライバの動作) が再開されます。デバイスが VM の状態を認識すると、デバイス ステータス (DEV_STS) レジスタの RESET ビットは High にラッチされます。RESET ビットは、CLR_FLT ビットまたは nSLEEP ピンのリセット パルス (t_{RST}) によってクリアされるまで High のままです。

7.3.16.4 VCP チャージ ポンプ低電圧誤動作防止 (CPUV)

任意の時点で VCP ピン (チャージ ポンプ) の電圧が VCPUV スレッシュホールド未満に低下した場合は、統合されているすべての FET が無効化され、nFAULT ピンが Low になります。VCP の低電圧状態が解消されると、通常動作が再開されます (ドライバの動作が再開され、nFAULT ピンが解放される)。チャージ ポンプの低電圧は、FAULT ビットと CPUV ビットで通知されます。チャージ ポンプ低電圧状態が解消されると、FAULT ビットが自動的にクリアされます。CPUV ビットは、CLR_FLT ビットまたは nSLEEP ピン リセット パルス (t_{RST}) によってクリアされるまでセットされたまま維持されます。CPUV 保護は、ハードウェアと SPI デバイスの両方のバリエーションで常に有効化されています。

7.3.16.5 過電圧保護 (OV)

VM ピンの電源電圧が V_{OVP} スレッシュホールド電圧を超えると、常にすべての内蔵 FET が無効化され、nFAULT ピンが Low に駆動されます。OVP が解消されると、通常動作が再開されます (ドライバ動作が再開され、nFAULT ピンが解放される)。FAULT ビットと OVP ビットで低電圧が通知されます。過電圧状態が解消されると、FAULT ビットは自動的にクリア

されます。OVP ビットは、CLR_FLT ビットまたは nSLEEP ピンリセットパルス (t_{RST}) によってクリアされるまでセットされ、そのまま維持されます。SPI デバイスの OVP_MODE ビットを High に設定すると、この保護機能が有効になります。ハードウェア インターフェイス デバイスでは、OVP 保護が無効化されています。

OVP スレッショルドは、SPI デバイス バリエーションでもプログラム可能です。OVP スレッショルドは、OVP_SEL ビットに基づいて 35V または 65V に設定できます。ハードウェア インターフェイス デバイスでは、過電圧保護が無効化されています。

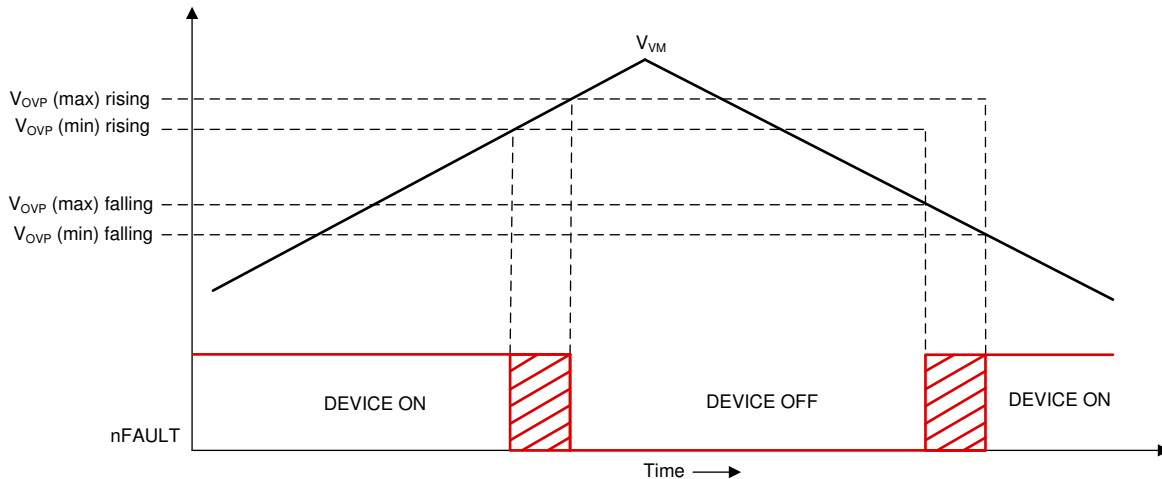


図 7-37. 過電圧保護

7.3.16.6 過電流保護 (OCP)

MOSFET 過電流イベントは、FET を流れる電流を監視することで検出されます。FET に流れる電流が t_{OCP} グリッチ除去時間よりも長く I_{OCP} スレッショルドを上回ると、OCP イベントが認識され、OCP_MODE ビットに従って動作が実行されます。ハードウェア インターフェイス デバイスでは、 I_{OCP} スレッショルドは、4.5A スレッショルドに固定され、 t_{OCP_DEG} は 1.2 μ s に固定され、OCP_MODE は 5ms のリトライ時間でリトライ モードに設定されます。SPI デバイスでは、 I_{OCP} スレッショルドは OCP_LVL ビットを通じて設定され、 t_{OCP_DEG} は OCP_DEG ビットを通じて設定されます。

OCP_MODE ビットは以下の 4 つのモードで動作できます。OCP ラッチ付きシャットダウン、OCP 自動リトライ、OCP 通知のみ、OCP 無効。

7.3.16.6.1 OCP ラッチ シャットダウン (OCP_MODE = 00b)

このモードで OCP イベントが発生すると、すべての MOSFET が無効化され、nFAULT ピンが Low に駆動されます。SPI レジスタでは、FAULT、OCP、および対応する FET OCP ビットが High にラッチされます。OCP 状態が解消され、CLR_FLT ビットまたは nSLEEP リセットパルス (t_{RST}) のいずれかによってフォルト クリア コマンドが発行されると、通常動作が再開されます (ドライバの動作が再開され、nFAULT ピンが解放される)。

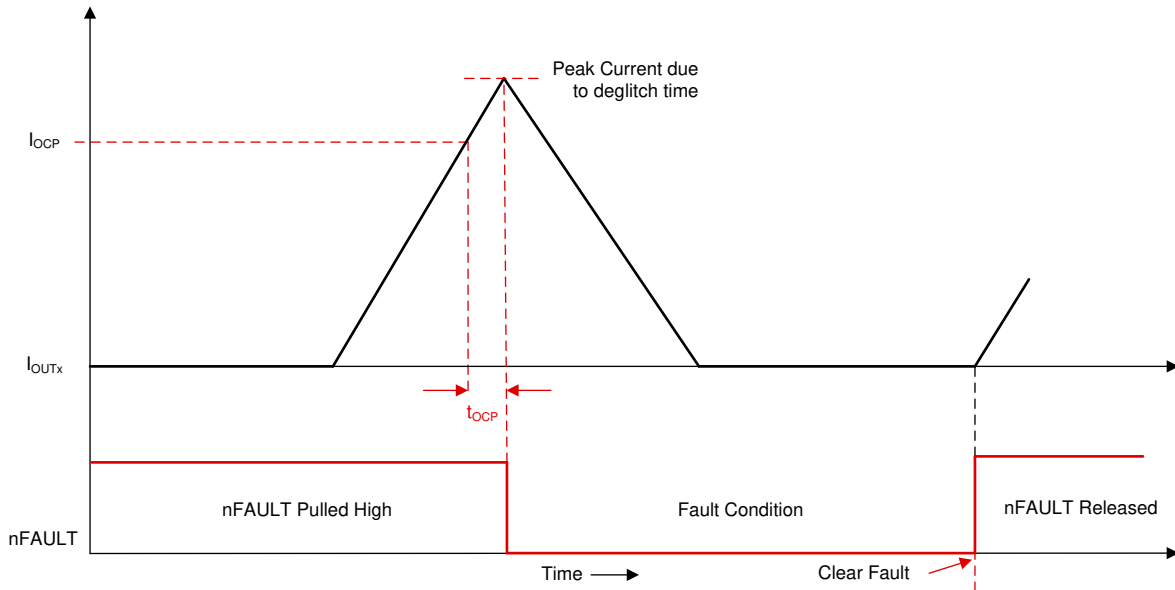


図 7-38. 過電流保護 - ラッチ シャットダウン モード

7.3.16.6.2 OCP 自動リトライ (OCP_MODE = 01b)

このモードで OCP イベントが発生した後、すべての MOSFET が無効化され、nFAULT ピンが Low に駆動されます。SPI レジスタでは、FAULT、OCP、および対応する FET OCP ビットが High にラッチされます。t_RETRY 時間が経過した後は、通常動作が自動的に再開されます (ドライバ動作が再開され、nFAULT ピンが解放される)。t_RETRY 時間が経過すると、FAULT、OCP、および対応する FET の OCP ビットは、CLR_FLT ビットまたは nSLEEP リセット・パルス (t_RST) のいずれかによってフォルト クリア コマンドが実行されるまでラッチされた状態を維持します。

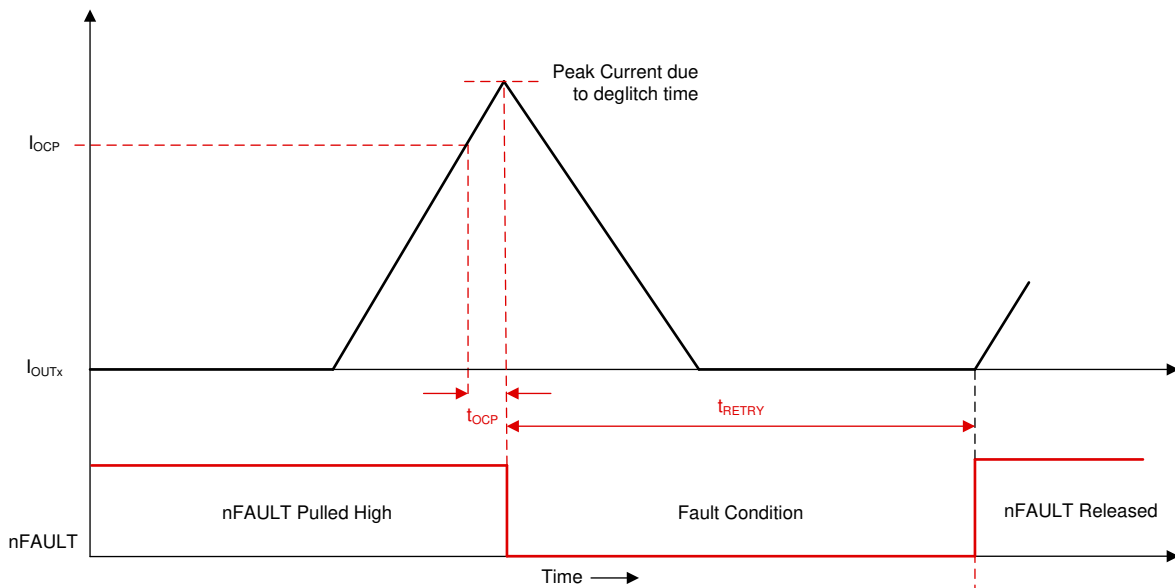


図 7-39. 過電流保護 - 自動リトライ モード

7.3.16.6.3 OCP 通知のみ (OCP_MODE = 10b)

このモードでは、OCP イベントの後に保護動作は発生しません。nFAULT ピンを Low に駆動し、FAULT、OCP、および対応する FET の OCP ビットを SPI レジスタで High にラッチすることにより、過電流イベントが通知されます。

MCT8376Z-Q1 は通常どおり動作を継続します。外部コントローラは適切に動作することによって過電流状態を管理します。OCP 状態が解消され、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってフォルト クリア コマンドが発行されると、通知がクリアされます (nFAULT ピンが解放される)。

7.3.16.6.4 OCP 無効 (OCP_MODE = 11b)

このモードでは、OCP イベントの後に何の動作も発生しません。

7.3.16.7 モーター ロック (MTR_LOCK)

モータがロック状態の間は、ホール信号は利用できないため、ホール信号を監視することでモータ ロック イベントを検出します。ホール信号が t_{MTR_LOCK} よりも長い間存在しない場合、MTR_LCK イベントが認識され、MTR_LOCK_MODE ビットに従って動作が実行されます。ハードウェア インターフェイス デバイスでは、表 7-5 に示すように GAIN_SLEW_tLOCK ピンの設定に基づいて t_{MTR_LOCK} スレッシュホールドが設定され、MTR_LOCK_MODE は GAIN_SLEW_tLOCK ピンで設定された 500ms または 5s の検出時間と 10s のリトライ時間が自動リトライ用に設定されます。SPI デバイスでは、 t_{MTR_LOCK} スレッシュホールドは MTR_LOCK_TDET レジスタを通して設定され、MTR_LOCK_MODE ビットは以下の 4 つのモードで動作できます。MTR_LOCK ラッチ付きシャットダウン、MTR_LOCK 自動リトライ、MTR_LOCK 通知のみ、MTR_LOCK 無効。

7.3.16.7.1 MTR_LOCK ラッチ シャットダウン (MTR_LOCK_MODE = 00b)

このモードで OCP イベントが発生すると、すべての FET が無効化され、nFAULT ピンが Low に駆動されます。SPI レジスタでは、FAULT ビットと MTR_LOCK ビットが High にラッチされます。CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかを介してフォルト クリア コマンドが発行されると、通常動作が再開されます (ドライバ動作と nFAULT ピンが解放される)。

7.3.16.7.2 MTR_LOCK 自動リトライ (MTR_LOCK_MODE = 01b)

このモードでは、モーター ロック イベント後にすべての外部 MOSFET が無効になり、nFAULT ピンが Low になります。SPI レジスタでは、FAULT ビットと MTR_LOCK ビットが High にラッチされます。 $t_{MTR_LOCK_RETRY}$ 時間が経過した後は、通常動作が自動的に再開されます (ドライバ動作と nFAULT ピンが解放される)。FAULT ビットと MTR_LOCK ビットは、 $t_{MTR_LOCK_RETRY}$ 期間が終了するまでラッチされたままになります。

7.3.16.7.3 MTR_LOCK 通知のみ (MTR_LOCK_MODE = 10b)

このモードでは、MTR_LOCK イベントの後に保護動作は発生しません。nFAULT ピンを Low に駆動し、SPI レジスタの FAULT ビットと MTR_LOCK ビットを High にラッチすることにより、モーター ロック イベントが通知されます。MCT8376Z-Q1 は通常どおり動作を継続します。外部コントローラは、適切に動作することによってモーター ロック状態を管理します。CLR_FLT ビットと nSLEEP リセット パルス (t_{RST}) のいずれかによってクリア フォルト コマンドが発行されると、通知がクリアされます (nFAULT ピンが解放される)。

7.3.16.7.4 MTR_LOCK 無効 (MTR_LOCK_MODE = 11b)

このモードでは、MTR_LOCK イベントの後に何の動作も発生しません。

注

モーター ロック検出方式では、PWM オフ時間 (t_{PWM_OFF}) がモーター ロック検出時間 (t_{MTR_LOCK}) よりも短い必要があります。

7.3.16.8 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ ポイント (T_{OTW}) を上回ると、OT ステータス (OT_STS) レジスタの OT ビット、およびステータス レジスタ (DEV_STS) の OTF ビットが設定されます。nFAULT ピンの OTW 通知は、構成制御レジスタの過熱警告通知 (OTW_MODE) ビットを設定することで有効化できます。デバイスの機能は継続され、追加動作が実行されることはありません。この場合、ダイ温度が過熱警告のヒステリシス ポイント (T_{OTW_HYS}) を下回ると、nFAULT ピンが解放されます。OTW ビットは、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) によってクリアされ、ダイ温度が過熱警告トリップ

プ (T_{OTW}) を下回るまで設定されたまま維持されます。ハードウェア バリエーションでは、過熱警告はデフォルトで nFAULT ピンで通知されます。

7.3.16.9 サーマル シャットダウン (OTS)

デバイスのダイ温度がサーマル シャットダウン制限のトリップ ポイント (T_{TSD}) を上回ると、すべての FET が無効化され、チャージ ポンプがシャットダウンされ、nFAULT ピンが Low になります。さらに、OT ステータス (OT_STS) レジスタの FAULT ビットと OTSD ビット、およびステータス レジスタ (DEV_STS) の OTF ビットが設定されます。過熱状態が解消されると、通常動作が再開されます (ゲートドライバの動作が再開され、nFAULT ピンが解放される)。OTSD ビットが High にラッチされたままになっている場合は、CLR_FLT ビットまたは nSLEEP リセット パルス (t_{RST}) のいずれかによってクリア フォルト コマンドが実行されるまで、過熱状態が発生していたことを示しています。この保護機能をディセーブルにすることはできません。

7.4 デバイスの機能モード

7.4.1 機能モード

7.4.1.1 スリープモード

nSLEEP ピンは、MCT8376Z-Q1 ファミリのデバイスの状態を管理するピンです。nSLEEP ピンが Low になると、デバイスは低消費電力のスリープ モードに移行します。スリープ モードでは、すべての FET、センス アンプ、チャージ ポンプ、GVDD および AVDD レギュレータ、SPI バスが無効になります。nSLEEP ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過するとデバイスがスリープ モードに移行します。nSLEEP ピンが High になると、デバイスのスリープ モードは自動的に終了します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

スリープ モード時や $V_{VM} < V_{UVLO}$ のときは、すべての MOSFET が無効になります。

注

nSLEEP ピンを通してデバイスがパワーアップおよびパワーダウンしている間は、内部レギュレータが有効化または無効化されるため、nFAULT ピンは Low に保持されます。レギュレータが有効化または無効化された後、nFAULT ピンは自動的に解放されます。nFAULT ピンが Low になっている時間が t_{SLEEP} 時間または t_{WAKE} 時間を上回ることはありません。

7.4.1.2 動作モード

nSLEEP ピンが High で、VVM 電圧が V_{UVLO} 電圧より大きい場合は、デバイスが動作モードに移行します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。このモードでは、チャージ ポンプ、GVDD、AVDD レギュレータ、SPI バスがアクティブです。

7.4.1.3 フォルト リセット (CLR_FLT または nSLEEP リセット パルス)

デバイスのフォルト状態がラッチされている場合、MCT8376Z-Q1 ファミリのデバイスは、パワー MOSFET とシステムを保護するために部分的シャットダウン状態に移行します。

障害状態が解消されると、SPI デバイスで CLR_FLT SPI ビットを設定するか、またはいずれかのインターフェイスで nSLEEP ピンにリセット パルスを印加することにより、デバイスを動作状態に戻すことができます。nSLEEP リセット パルス (t_{RST}) は、nSLEEP ピンでの High → Low → High の遷移で構成されています。このシーケンスの Low 期間は t_{RST} 時間枠内に収める必要があり、そうしないとデバイスが完全なシャットダウン シーケンスを開始します。リセット パルスがレギュレータ、デバイス設定、またはその他の機能ブロックに影響することはありません。

7.4.2 DRVOFF 機能

MCT8376Z-Q1 は、DRVOFF ピン経由でブリッドドライバと MOSFET を無効化する機能を備えています。DRVOFF ピンが High になると、6 つの MOSFET のすべてが無効化されます。DRVOFF ピンが High の際に nSLEEP が High になると、チャージ ポンプ、AVDD レギュレータ、GVDD レギュレータ、SPI バスがアクティブになり、OCP などのドライバ関連のフォルトは非アクティブになります。DRVOFF ピンは独立して無効化され、INHx および INLx 入力ピンのステータスに関係なく、MOSFET の整流が停止します。

7.5 SPI 通信

7.5.1 プログラミング

MCT8376Z-Q1 SPI デバイスでは、デバイス構成と動作パラメータの設定、診断情報の読み出しに SPI バスを使用します。SPI は、セカンダリ モードで動作し、コントローラに接続します。SPI 入力データ (SDI) ワードは、24 ビットのワード、1 つの読み取りまたは書き込みビット、パリティビット、6 ビットのアドレス、15 ビットのデータ (パリティビット付き) で構成されています。SPI 出力は、24 ビット ワード、8 ビットのステータス情報 (STS レジスタ) と 16 ビットのレジスタ データで構成されています。

有効なフレームは次の条件を満たしていなければなりません。

- nSCS ピンが High から Low、Low から High に遷移すると、SCLK ピンが Low になります。
- nSCS ピンは、ワード間の 400ns 以上にわたって High にプルアップされている必要があります。
- nSCS ピンが High にされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態になる。
- データは SCLK ピンの立ち下がりエッジでキャプチャされ、SCLK ピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) が最初にシフト イン / シフト アウトされる。
- トランザクションを有効にするには、24 SCLK サイクルすべてが発生しなければならない。
- SDI ピンに送信されるデータワードが 24 ビットより多い / 少ない場合は、フレーム エラーが発生してデータワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのステータス データに続いて SDO ピンでシフト アウトされる。

SPI レジスタは、パワーアップ時とデバイスのスリープ モードへの移行時にデフォルト設定にリセットされる。

7.5.1.1 SPI フォーマット

SPI フォーマット - パリティ付き

SDI 入力データ ワードは 24 ビット長であり、以下のフォーマットで構成されています。

- 1 読み出しまたは書き込みビット、W (ビット B16)
- 6 アドレス ビット、A (ビット B22～B17)
- パリティビット、P (ビット B23)
- 15 データ ビット、1 パリティビット、D (ビット B15 ～ B0)

SDO 出力データ ワードは 24 ビット長です。最上位ビットはステータス ビット、最下位の 16 ビットはアクセス先のレジスタのデータ コンテンツです。

表 7-8. SPI の SDI 入力データ ワード フォーマット

PAR ITY	アドレス							RW	PAR ITY	データ															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0		
P	A5	A4	A3	A2	A1	A0	W0	P	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		

表 7-9. SDO 出力データ ワードのフォーマット

STATUS								データ															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
S7	S6	S5	S4	S3	S2	S1	S0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

SPI フレーム フォーマットで使用されるビットの詳細について以下をご覧ください。

読み出し/書き込みビット(R/W) : R/W (W0) ビットが 0b にセットされている場合、これは SPI 書き込みトランザクションを示します。SPI 読み出し動作には、R/W ビットを 1b に設定する必要があります。

アドレス ビット (A): SPI セカンダリ デバイスは、6 ビットのレジスタ アドレスを受け取ります。

パリティビット (P) : SPI 入力データ フレームのヘッダー フィールド とデータ フィールドの両方に、シングル ビット エラー 検出 のためのパリティ ビットが含まれています (表 7-8 を参照)。B23 はヘッダー フィールドのパリティ ビット、B15 はデータ フィールドのパリティ ビットです。使用されるパリティ方式は偶数パリティです。16 ビット (パリティ ビットを含む) のブロック内の数は偶数です。パリティ チェックが成功した場合にのみ、データは内部レジスタに書き込まれます。パリティ チェックは、SYS_CTRL レジスタの SPI_PEN ビットを構成することで、有効化または無効化できます。パリティ チェックはデフォルトで無効化されています。

注

パリティ チェックはデフォルトで無効化されていますが、シングル ビット エラーを防止するために、パリティ チェックを有効化することを TI は推奨しています。

8 レジスタ マップ

8.1 ステータス レジスタ

表 8-1 に、ステータス レジスタに対してメモリマップされたレジスタを示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. ステータス レジスタ

オフセット	略称	レジスタ名	セクション
0h	デバイス ステータス レジスタ	デバイス ステータス レジスタ	セクション 8.1.1
2h	デバイス RAW ステータス レジスタ	デバイス RAW ステータス レジスタ	セクション 8.1.2
4h	過熱ステータス レジスタ	過熱ステータス レジスタ	セクション 8.1.3
5h	電源ステータス レジスタ	電源ステータス レジスタ	セクション 8.1.4
6h	ドライバ ステータス レジスタ	ドライバ ステータス レジスタ	セクション 8.1.5
7h	システム インターフェイス ステータス レジスタ	システム インターフェイス ステータス レジスタ	セクション 8.1.6

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. STATUS のアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1 デバイス ステータス レジスタ (オフセット = 0h) [リセット = 0280h]

表 8-3 に、デバイス ステータス レジスタが示されています。

概略表に戻ります。

表 8-3. デバイス ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-11	予約済み	R-0	0h	予約済み
10	MTR_LOCK	R	0h	モーター ロック ステータス ビット 0h = モーター ロック状態は未検出 1h = モーター ロック状態が検出
9	DNRDY_STS	R	1h	デバイス「Not Ready」ステータス。パワーアップ完了後、自動的にクリアされます。 0h = デバイスの準備が完了 1h = デバイスの準備が未完了
8	SYSFLT	R	0h	OTP 読み取りフォルトが発生しました。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = OTP 読み取りフォルトは未検出 1h = OTP 読み出しフォルトを検出済み
7	リセット	R	1h	デバイスリセット ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = クリア済み 1h = デバイスのパワーオン リセット完了
6	SPIFLT	R	0h	SPI のフォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = SPI 障害は検出されていません 1h = SPI フォルトを検出済み
5	OCP	R	0h	過電流ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0b = 過電流条件は未検出 1h = 過電流条件を検出済み
4	予約済み	R-0	0h	予約済み
3	OVP	R	0h	過電圧ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 過電圧状態は未検出 1h = 過電圧状態を検出済み
2	UVP	R	0h	電源低電圧ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = CP での低電圧状態は未検出 1h = CP での低電圧状態を検出済み
1	OTF	R	0h	過熱フォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 過熱警告 / シャットダウンは未検出 1h = 過熱警告 / シャットダウンを検出済み

表 8-3. デバイス ステータス レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	フォルト	R	0h	デバイス フォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = フォルト状態は未検出 1h = フォルト状態を検出済み

8.1.2 デバイス RAW ステータス レジスタ (オフセット = 2h) [リセット = 0280h]

表 8-4 に、デバイス RAW ステータス レジスタが示されています。

概略表に戻ります。

表 8-4. デバイス RAW ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合には予約済み
14-13	予約済み	R-0	0h	予約済み
12	DRVOFF_RSTS	R	0h	DRV_OFF ピンのステータス 0h = DRV_OFF は非アクティブ 1h = DRV_OFF はアクティブ
11	OTW_RSTS	R	0h	OT 警告 RAW ステータス 0h = OTW は非アクティブ 1h = OTW はアクティブ
10	MTR_LOCK_RSTS	R	0h	モーター ロック ステータス ビット 0h = モーター ロック状態は未検出 1h = モーター ロック状態を検出
9	DNRDY_RSTS	R	1h	デバイス「Not Ready」ステータス 0h = デバイスの準備が完了 1h = デバイスの準備が未完了
8	SYSFLT_RSTS	R	0h	OTP 読み取りフォルトが発生しました。FLT_CLR への書き込みによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = OTP 読み取りフォルトは未検出 1h = OTP 読み出しフォルトを検出済み
7	リセット	R	1h	デバイス パワーオン ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = 読み出し後に FW によりクリア済み 1h = デバイスのパワーオンリセット完了
6	SPIFLT_RSTS	R	0h	SPI のフォルト ステータス。FLT_CLR に書き込みされるまで、または nSLEEP のリセット パルスによってクリアされるまで、ステータスはラッチされたまま維持されます。 0h = SPI 障害は検出されていません 1h = SPI フォルトを検出済み
5	OCP_RSTS	R	0h	過電流フォルト RAW ステータス。自動リトライ、FLT_CLR への書き込み、または nSLEEP のリセット パルスが完了するまで、ステータスはラッチされたまま維持されます。 0h = 過電流状態は非アクティブ 1h = 過電流状態はアクティブ
4	予約済み	R-0	0h	予約済み
3	OVP_RSTS	R	0h	過電圧 RAW フォルト ステータス。 0h = 過電圧状態は非アクティブ 1h = 過電圧状態はアクティブ

表 8-4. デバイス RAW ステータス レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	UVP_RSTS	R	0h	CP 低電圧 RAW フォルト ステータス。 0h = チャージ ポンプ低電圧状態は非アクティブ 1h = チャージ ポンプ低電圧状態はアクティブ
1	OTF_RSTS	R	0h	過熱シャットダウン RAW フォルト ステータス。 0h = 過熱シャットダウンは非アクティブ 1h = 過熱シャットダウンはアクティブ
0	予約済み	R-0	0h	予約済み

8.1.3 過熱ステータス レジスタ (オフセット = 4h) [リセット = 0000h]

表 8-5 に、過熱ステータス レジスタが示されています。

概略表に戻ります。

表 8-5. 過熱ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-2	予約済み	R-0	0h	予約済み
1	OTW	R	0h	過熱警告フォルト ステータス FLT_CLR への書き込みまたは nSLEEP の リセット パルスによってクリアできます 0h = 過熱警告は未検出 1h = 過熱警告を検出済み
0	OTSD	R	0h	過熱シャットダウン フォルト ステータス FLT_CLR への書き込みまたは nSLEEP のリセット パルスによってクリアできます 0h = 過熱シャットダウンは未検出 1h = 過熱シャットダウンを検出済み

8.1.4 電源ステータス レジスタ (オフセット = 5h) [リセット = 0000h]

表 8-6 に、電源ステータス レジスタが示されています。

概略表に戻ります。

表 8-6. 電源ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-7	予約済み	R-0	0h	予約済み
6	VM_OV	R	0h	VM 過電圧フォルト ステータス 0h = VM 過電圧は未検出 1h = VM 過電圧を検出済み
5	予約済み	R-0	0h	予約済み
4	CP_UV	R	0h	チャージ ポンプ低電圧フォルト ステータス 0h = チャージ ポンプの低電圧は未検出 1h = チャージ ポンプの低電圧を検出済み
3-0	予約済み	R-0	0h	予約済み

8.1.5 ドライバ ステータス レジスタ (オフセット = 6h) [リセット = 0000h]

表 8-7 に、ドライバ ステータス レジスタが示されています。

概略表に戻ります。

表 8-7. ドライバ ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-7	予約済み	R-0	0h	予約済み
6	OCPC_HS	R	0h	OUTC のハイサイド スwitchの過電流ステータス 0h = OUTC のハイサイド MOSFET の過電流は未検出 1h = OUTC のハイサイド MOSFET の過電流が検出済み
5	OCPB_HS	R	0h	OUTB のハイサイド スwitchの過電流ステータス 0h = OUTB のハイサイド MOSFET の過電流は未検出 1h = OUTB のハイサイド MOSFET の過電流が検出済み
4	OCPA_HS	R	0h	OUTA のハイサイド スwitchの過電流ステータス 0h = OUTA のハイサイド MOSFET の過電流は未検出 1h = OUTA のハイサイド MOSFET の過電流が検出済み
3	予約済み	R-0	0h	予約済み
2	OCPC_LS	R	0h	OUTC のローサイド スwitchの過電流ステータス 0h = OUTC のローサイド MOSFET の過電流は未検出 1h = OUTC のローサイド MOSFET の過電流が検出済み
1	OCPB_LS	R	0h	OUTB のローサイド スwitchの過電流ステータス 0h = OUTB のローサイド MOSFET の過電流は未検出 1h = OUTB のローサイド MOSFET の過電流が検出済み
0	OCPA_LS	R	0h	OUTA のローサイド スwitchの過電流ステータス 0h = OUTA のローサイド MOSFET の過電流は未検出 1h = OUTA のローサイド MOSFET の過電流が検出済み

8.1.6 システム インターフェイス ステータス レジスタ (オフセット = 7h) [リセット = 0000h]

表 8-8 に、システム インターフェイス ステータス レジスタが示されています。

概略表に戻ります。

表 8-8. システム インターフェイス ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-5	予約済み	R-0	0h	予約済み
4	OTPLD_ERR	R	0h	ロード中の OTP CRC エラー 0h = OTP 読み込みエラーは未検出 1h = OTP 読み込みエラーを検出済み
3	予約済み	R-0	0h	予約済み
2	SPI_PARITY	R	0h	SPI パリティ エラー 0h = SPI パリティ エラーは未検出 1h = SPI パリティ エラーを検出済み
1	予約済み	R-0	0h	予約済み
0	FRM_ERR	R	0h	SPI フレーム エラー 0h = SPI フレーム エラーは未検出 1h = SPI フレーム エラーを検出済み

8.2 制御レジスタ

表 8-9 に、制御レジスタ用にメモリマップされたレジスタを示します。表 8-9 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされ、レジスタの内容は変更しないでください。

表 8-9. 制御レジスタ

オフセット	略称	レジスタ名	セクション
10h	フォルト モード レジスタ	フォルト モード レジスタ	セクション 8.2.1
13h	ドライバ フォルト制御レジスタ	ドライバ フォルト制御レジスタ	セクション 8.2.2
17h	フォルト クリア レジスタ	フォルト クリア レジスタ	セクション 8.2.3
20h	PWM 制御レジスタ 1A	PWM 制御レジスタ 1A	セクション 8.2.4
22h	ブリドライバ制御レジスタ	ブリドライバ制御レジスタ	セクション 8.2.5
23h	CSA 制御レジスタ	CSA 制御レジスタ	セクション 8.2.6
3Fh	システム コントロール レジスタ	システム コントロール レジスタ	セクション 8.2.7

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-10 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-10. 制御アクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.2.1 フォルト モード レジスタ (オフセット = 10h) [リセット = 2811h]

表 8-11 に、フォルト モード レジスタが示されています。

[概略表](#)に戻ります。

表 8-11. フォルト モード レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14	予約済み	R-0	0h	予約済み
13	ILIMIT_MODE	R/W	1h	ILIMIT フォルト モード 0h = nFAULT ピンの ILIMIT 通知は無効化 1h = nFAULT ピンの ILIMIT 通知は有効化
12-11	MTR_LOCK_MODE	R/W	1h	モーター ロック フォルト モード - HW デバイスでも OTP を実行する 0h = モーター ロックによってラッチされたフォルトが発生する 1h = モーター ロックによって自動 リトライ フォルトが発生する 2h = モーター ロックによって通知のみが行われ、何の動作も行われない 3h = モーター ロックによっては通知も何の動作も行われない
10	予約済み	R-0	0h	予約済み
9	OVP_MODE	R/W	0h	過電圧保護フォルト モード 0h = 過電圧保護は無効化 1h = 過電圧保護は有効化
8	予約済み	R-0	0h	予約済み
7	SPIFLT_MODE	R/W	0h	SPI フォルト モード 0h = nFAULT ピンの SPI 異常検出出力は無効化 1h = nFAULT ピンの SPI 異常検出出力は有効化
6	予約済み	R-0	0h	予約済み
5-4	OCP_MODE	R/W	1h	過電流保護フォルト モード 0h = 過電流によってラッチされたフォルトが発生する 1h = 過電流によって自動リトライ フォルトが発生する 2h = 過電流によって通知のみが行われ、何の動作も行われない 3h = 過電流によっては通知も何の動作も行われない
3-1	予約済み	R-0	0h	予約済み
0	OTW_MODE	R/W	1h	過熱警告フォルト モード 0h = nFAULT 時の過熱通知を無効化 1h = nFAULT 時の過熱通知を有効化

8.2.2 ドライバ フォルト制御レジスタ (オフセット = 13h) [リセット = 1010h]

表 8-12 に、ドライバ フォルト制御レジスタが示されています。

概略表に戻ります。

表 8-12. ドライバ フォルト制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14	予約済み	R-0	0h	予約済み
13-12	MTR_LOCK_TDET	R/W	1h	モーター ロック検出時間の設定 0h = 5000ms 1h = 1000ms 2h = 500ms 3h = 250ms
11	予約済み	R-0	0h	予約済み
10	MTR_LOCK_RETRY	R/W	0h	モーター ロック リトライ時間の設定 0h = 10s 1h = 2s
9	予約済み	R-0	0h	予約済み
8	OVP_SEL	R/W	0h	過電圧レベル設定 0h = VM 過電圧レベルは 65V 1h = VM 過電圧レベルは 35V
7-6	予約済み	R-0	0h	予約済み
5-4	OCP_DEG	R/W	1h	OCP グリッチ除去時間 0h = OCP グリッチ除去時間は 0.6μs 1h = OCP グリッチ除去時間は 1.25μs 2h = OCP グリッチ除去時間は 1.6μs 3h = OCP グリッチ除去時間は 2μs
3	予約済み	R-0	0h	予約済み
2	OCP_TRETRY	R/W	0h	OCP リトライ時間 0h = 5ms 1h = 500ms
1	予約済み	R-0	0h	予約済み
0	OCP_LVL	R/W	0h	OCP レベル 0h = 4.5A 1h = 2A

8.2.3 フォルト クリア レジスタ (オフセット= 17h) [リセット= 0000h]

表 8-13 に、フォルト クリア・レジスタが示されています。

概略表に戻ります。

表 8-13. フォルト クリア レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合 は予約済み
14-1	予約済み	R-0	0h	予約済み
0	FLT_CLR	R-0/W1C	0h	ラッチされたフォルトをクリア 0h = クリア フォルト コマンド発行なし 1h = ラッチされたフォルト ビットをクリア書き込んだ後、このビットは自動的 にリセットされます。

8.2.4 PWM 制御レジスタ 1A (オフセット = 20h) [リセット = 0020h]

表 8-14 に、PWM 制御レジスタ 1A が示されています。

概略表に戻ります。

表 8-14. PWM 制御レジスタ 1A のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-12	ADVANCE_LVL	R/W	0h	位相アドバンス設定 0h = 0° 1h = 4° 2h = 7° 3h = 11° 4h = 15° 5h = 20° 6h = 25° 7h = 30°
11	HALL_HYS	R/W	0h	ホール コンパレータ ヒステリシス設定 0h = 5 mV 1h = 50 mV
10	DIR	R/W	0h	方向制御 HW モードでは、DIR はパッドから取得されます。 0h = モーター方向を時計回りに設定 1h = モーター方向を反時計回りに設定
9-8	FG_MODE	R/W	0h	電気周波数生成出力モード ビット 0h = FG 周波数は整流周波数の 3x 1h = FG 周波数は整流周波数の 1x 2h = FG 周波数は整流周波数の 0.5x 3h = FG 周波数は整流周波数の 0.25x
7-6	PWM_100_FREQ_SEL	R/W	0h	100% デューティ サイクル時の PWM の周波数 0h = 20KHz 1h = 40KHz 2h = 10KHz 3h = なし
5	ILIM_MODE	R/W	1h	電流制限再循環の設定 0h = FET を介した電流再循環 (ブレーキ モード) 1h = ダイオードを介した電流還流 (コースト モード)
4	BRAKE_MODE	R/W	0h	ブレーキ モード設定 0h = ブレーキ モードでデバイス動作によってブレーキがかかる 1h = コースト モードでデバイス動作によってブレーキがかかる
3	EN_AAR	R/W	0h	電流が負になると LS FET がオフになる AAR を有効化します。 0h = アクティブ消磁 AAR は無効化 1h = アクティブ消磁 AAR は有効化
2	EN_ASR	R/W	0h	電流が FET のボディダイオードを流れるときに、HS または LS FET のターンオンが有効化されます。 0h = アクティブ消磁 ASR は無効化 1h = アクティブ消磁 ASR は有効化
1-0	PWM_MODE	R/W	0h	PWM モードの選択 0h = デジタル ホールによる同期整流 1h = アナログ ホールによる同期整流 2h = デジタル ホールによる非同期整流 3h = アナログ ホールによる非同期整流

8.2.5 プリドライバ制御レジスタ (オフセット = 22h) [リセット = 0080h]

表 8-15 に、プリドライバ制御レジスタが示されています。

概略表に戻ります。

表 8-15. プリドライバ制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-11	予約済み	R-0	0h	予約済み
10-8	ILIM_BLANK_SEL	R/W	0h	電流制限ブランキング時間の選択 0h = スルーレートが 50 の場合は 5.5 μ s、その他のすべてのスルーレートの場合は 1.8 μ s 1h = スルーレートが 50 の場合は 6.0 μ s、その他のすべてのスルーレートの場合は 2.3 μ s 2h = スルーレートが 50 の場合は 6.5 μ s、その他のすべてのスルーレートの場合は 2.8 μ s 3h = スルーレートが 50 の場合は 7.5 μ s、その他のすべてのスルーレートの場合は 3.8 μ s
7-4	ADMAG_TMARGIN	R/W	8h	ハイ インピーダンスを決定するまでの待ち時間。N*4*100ns
3	AD_COMP_TH_HS	R/W	0h	アクティブ消磁ハイサイド コンパレータのスレッショルド 0h = アクティブ消磁コンパレータ スレッショルドは 100mA 1h = アクティブ消磁コンパレータ スレッショルドは 150mA
2	AD_COMP_TH_LS	R/W	0h	アクティブ消磁ローサイド コンパレータのスレッショルド 0h = アクティブ消磁コンパレータ スレッショルドは 100mA 1h = アクティブ消磁コンパレータ スレッショルドは 150mA
1-0	SLEW_RATE	R/W	0h	スルーレートの設定 0h = スルーレートは 1100V/ μ s 1h = スルーレートは 500V/ μ s 2h = スルーレートは 250V/ μ s 3h = スルーレートは 50V/ μ s

8.2.6 CSA 制御レジスタ (オフセット = 23h) [リセット = 0000h]

表 8-16 に、CSA 制御レジスタが示されています。

概略表に戻ります。

表 8-16. CSA 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-2	予約済み	R-0	0h	予約済み
1-0	CSA_GAIN	R/W	0h	CSA ゲイン設定 0h = CSA ゲインは 0.4V/A 1h = CSA ゲインは 1.0V/A 2h = CSA ゲインは 2.5V/A 3h = CSA ゲインは 5.0V/A

8.2.7 システム制御レジスタ (オフセット = 3Fh) [リセット = 0008h]

表 8-17 に、システム制御レジスタが示されています。

[概略表](#)に戻ります。

表 8-17. システム制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	PARITY	R	0h	SPI_PEN が「1」に設定されている場合のパリティビット。それ以外の場合は予約済み
14-12	WRITE_KEY	R-0/W	0h	0x5 このレジスタ固有のキーを書き込み
11	SDO_VSEL	R/W	0h	SDO 出力電圧の選択 0h = AVDD 1h = GVDD
10	SDO_ODEN	R/W	0h	オープンドレイン モードの SDO 0h = プッシュプル モードの SDO 1h = オープンドレイン モードの SDO
9-8	予約済み	R-0	0h	予約済み
7	REG_LOCK	R/W	0h	レジスタ ロック ビット 0h = レジスタはロック解除 1h = レジスタはロック済み
6	SPI_PEN	R/W	0h	SPI のパリティは有効化 0h = パリティは無効化 1h = パリティは有効化
5-4	予約済み	R/W	0h	予約済み
3	予約済み	R/W	0h	予約済み
2-0	予約済み	R-0	0h	予約済み

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

MCT8376Z-Q1 は、ブラシレス DC モーターの駆動に使用できます。図 9-1 図 9-2 に、主要アプリケーションの回路図を示します。

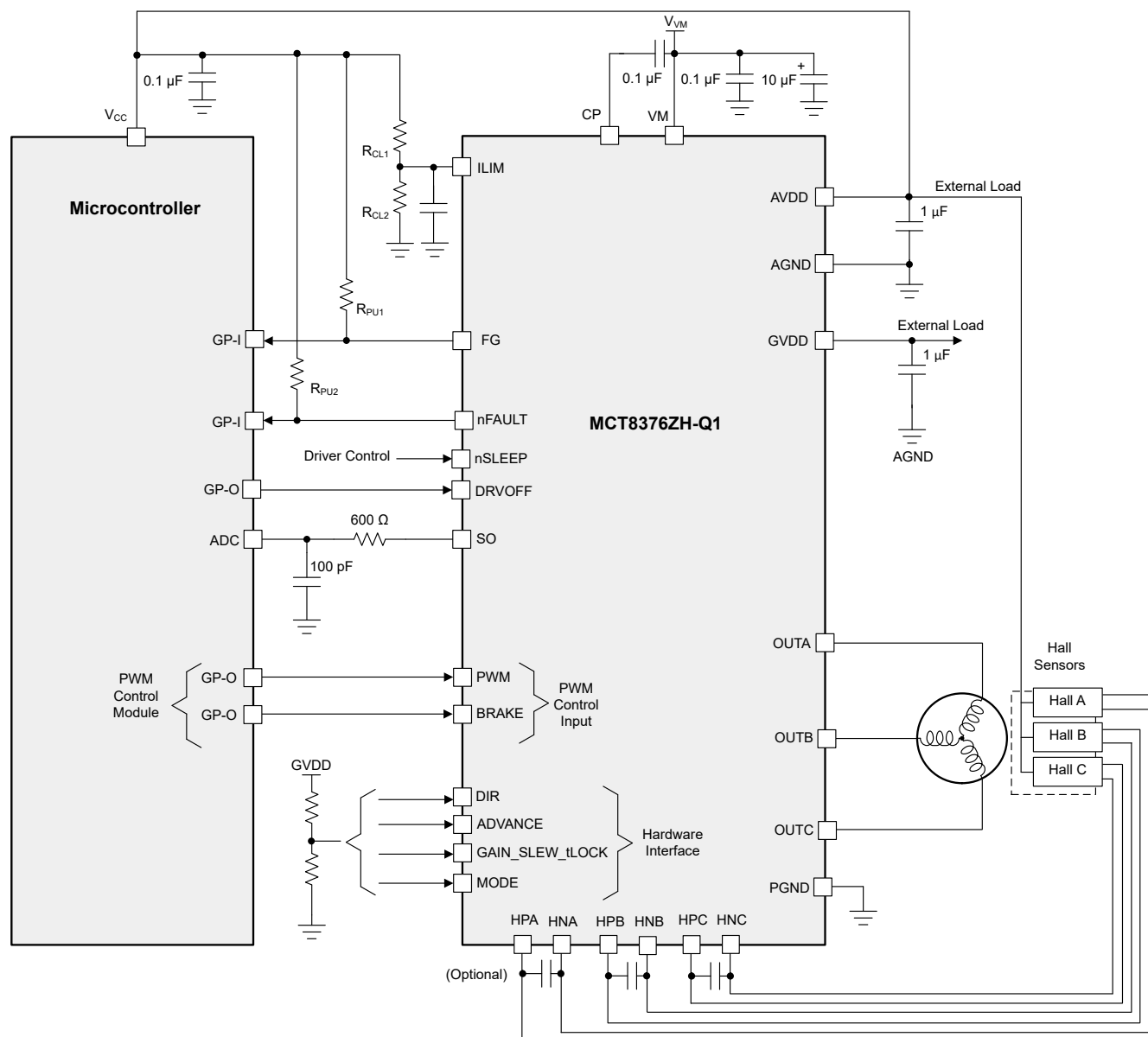


図 9-1. MCT8376ZH-Q1 の主要アプリケーション回路図 (ハードウェアバリエーション)

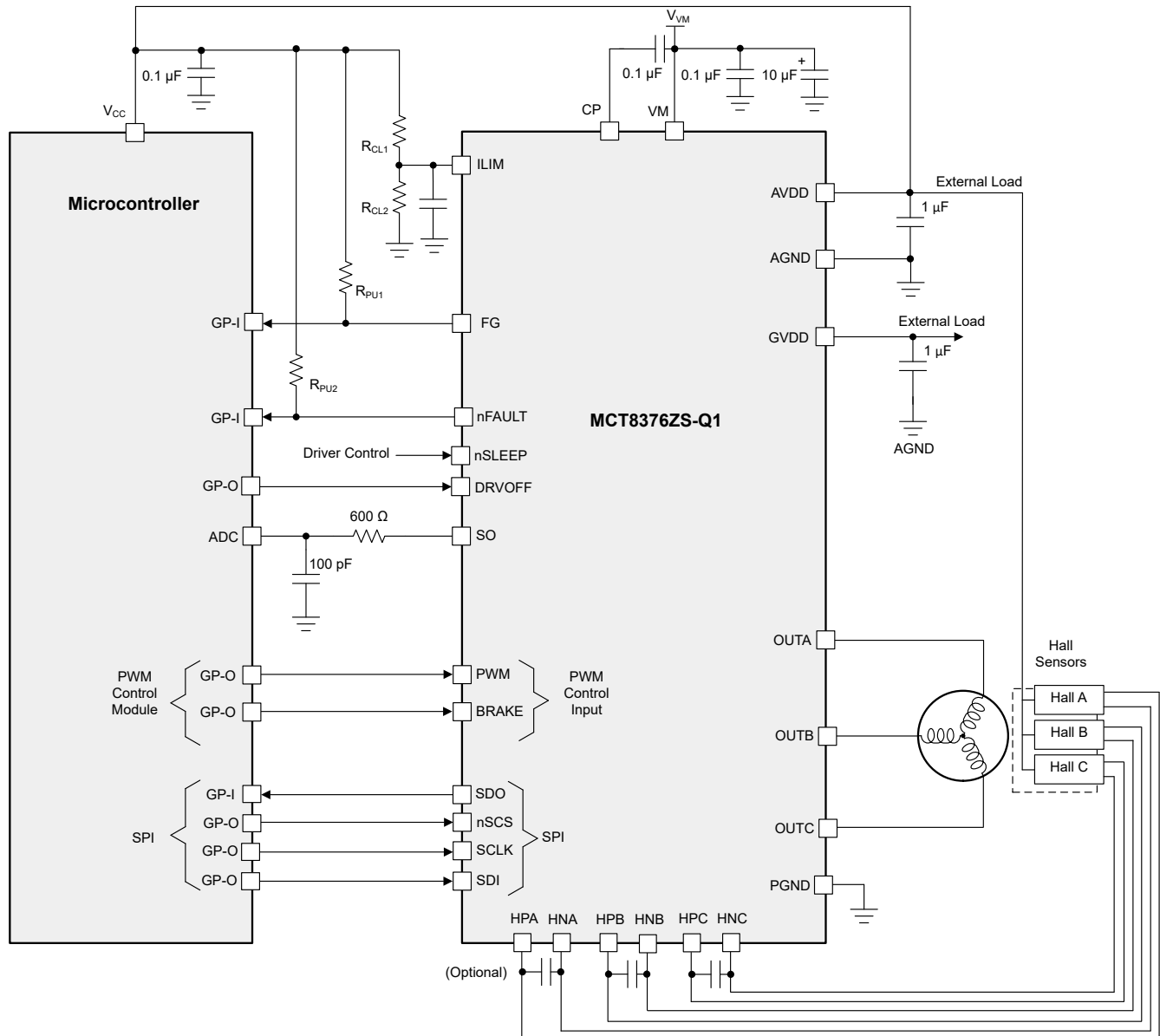


図 9-2. MCT8376ZS-Q1 の主要アプリケーション回路図 (SPI バリエント)

9.2 ホール センサの構成と接続

このセクションのホール センサー接続の組み合わせは一般的な接続です。

9.2.1 代表的な構成

MCT8376Z-Q1 デバイスのホール センサ入力は、さまざまなホール センサとインターフェイスで接続できます。通常、ホール素子を使用され、差動信号を出力します。この種のセンサを使用する場合は、AVDD レギュレータを使用して、ホール センサに電力を供給できます。図 9-3 に、接続が示されています。

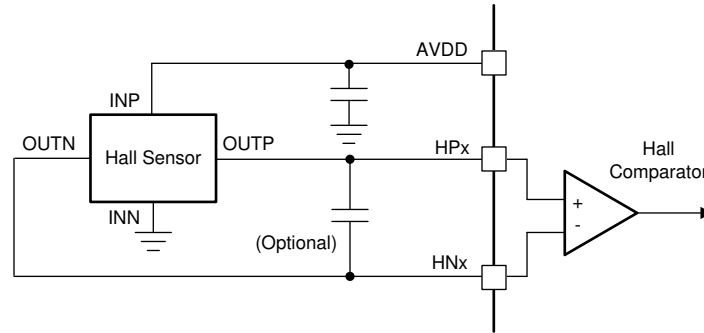


図 9-3. 代表的なホール センサの構成

ホール センサ出力信号の振幅は非常に小さいため、モーターからのノイズ結合を除去するために、多くの場合、ホール 入力に両端にコンデンサを配置します。通常は、1 nF ~ 100 nF のコンデンサを使用します。

9.2.2 オープン ドレイン構成

一部のモーターでは、オープン ドレイン出力を備えたデジタル ホール センサが使用されます。図 9-4 に示されているように、これらのセンサは、いくつかの抵抗を追加することで、MCT8376Z-Q1 デバイスでも使用できます。

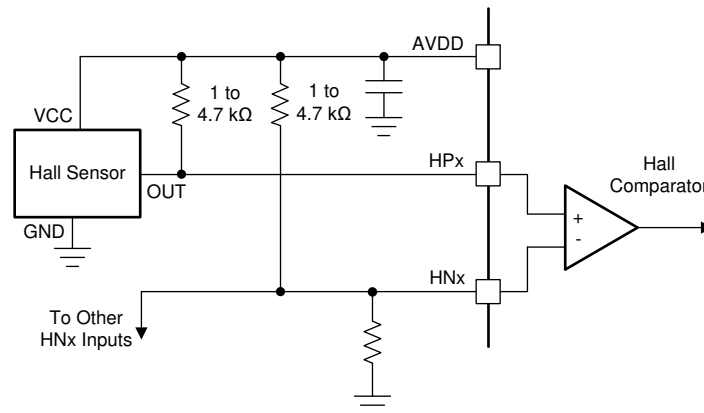


図 9-4. オープン ドレイン ホール センサの構成

負 (HNx) 入力、AVDD ピンとグラウンドとの間にある対の抵抗によって $AVDD/2$ にバイアスされます。オープン コレクタ ホール センサの場合は、正 (HPx) 入力に VREG ピンにプルアップ抵抗を追加する必要があります。この場合も、通常、AVDD 出力をホール センサへの電力供給に使用できます。

9.2.3 直列構成

また、ホール素子の電流/電圧の要件に応じて、直列または並列に接続できます。図 9-5 に、MCT8376Z-Q1 の内部 LDO (AVDD) 経由で電力供給するホール センサの直列接続が示されています。この構成は、ホール センサごとの電流要件が高い (>10 mA) 場合に使用されます。

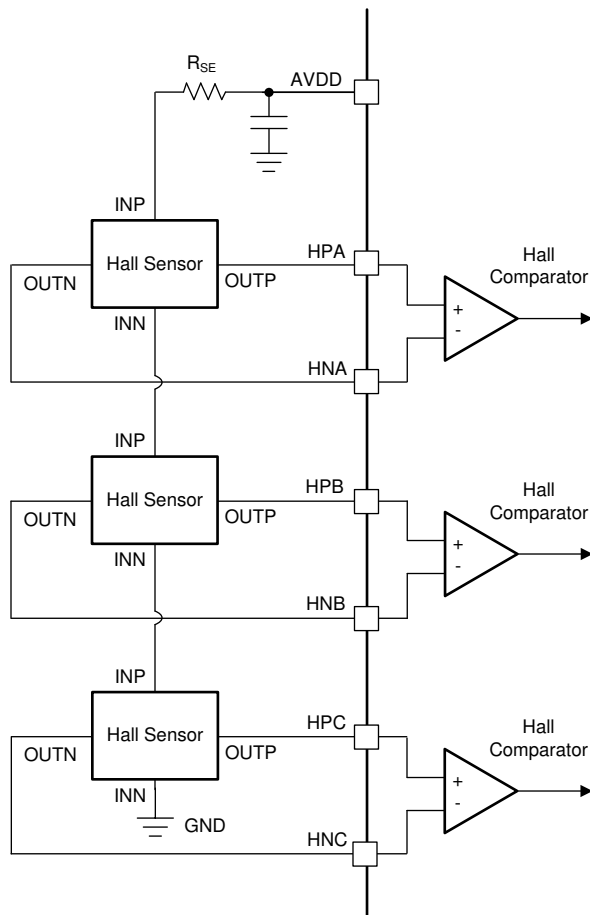


図 9-5. 直列構成で接続されたホール センサ

9.2.4 並列構成

図 9-6 に、AVDD から給電されるホール センサの並列接続が示されています。この構成は、ホール センサごとの電流要件が低い (10 mA 未満) 場合に使用できます。

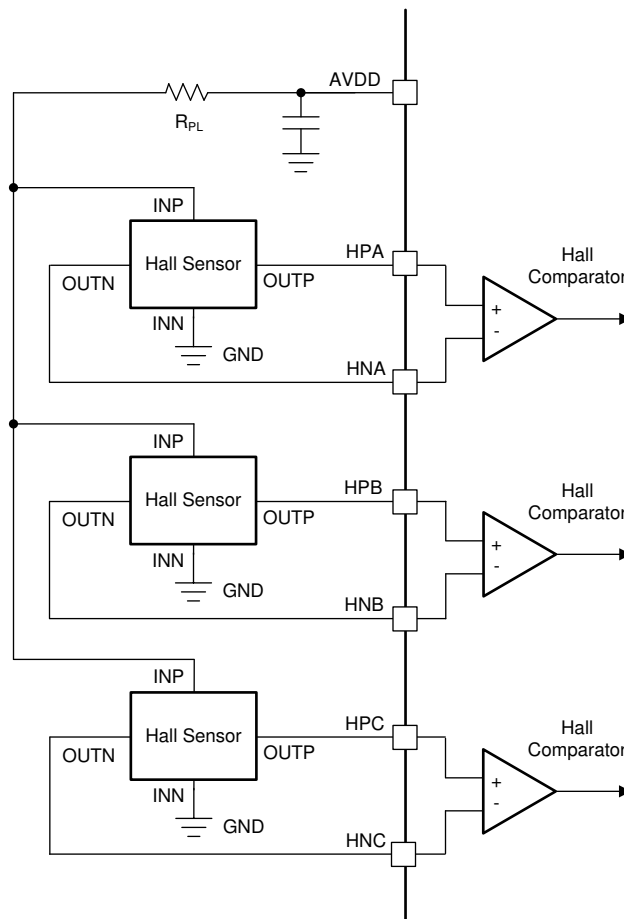


図 9-6. 並列構成で接続されたホール センサ

9.3 電源に関する推奨事項

9.3.1 バルク コンデンサ

適切なローカル バルク容量の確保は、モータ駆動システムの設計において重要な要素です。一般的に、バルク容量が大きいことは有益ですが、コストと物理的なサイズが大きくなるというデメリットもあります。

必要なローカル容量は、次のようなさまざまな要因で決まります。

- モーター システムが必要とする最大電流
- 電源の容量と電流能力
- 電源とモーター システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステップ)
- モーターのブレーキ方式

電源とモータ駆動システムとの間のインダクタンスにより、電源からの電流の変化する速度が制限されます。ローカル バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンピングが発生した場合、システムの電圧が変動します。十分なバルク容量を備えることで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク コンデンサの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

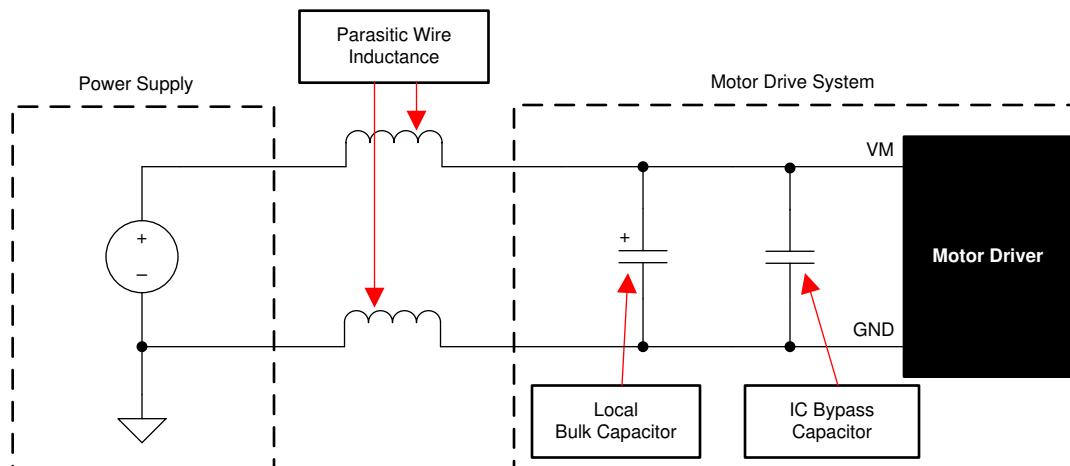


図 9-7. 外部電源を使用したモーター駆動システムの構成例

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク コンデンサの定格電圧は動作電圧より高くする必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

バルク キャパシタは、モーター ドライバ デバイスを通る大電流パスの距離ができるだけ短くなるように配置する必要があります。接続用の金属パターンはできる限り幅を広くし、PCB 層を接続する際には多数のビアを使用します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。

チャージ ポンプ、GVDD、AVDD コンデンサなどの値の小さいコンデンサはセラミックであり、デバイス ピンに近づけて配置されます。

大電流デバイス出力には、幅の広い金属パターンを使用します。

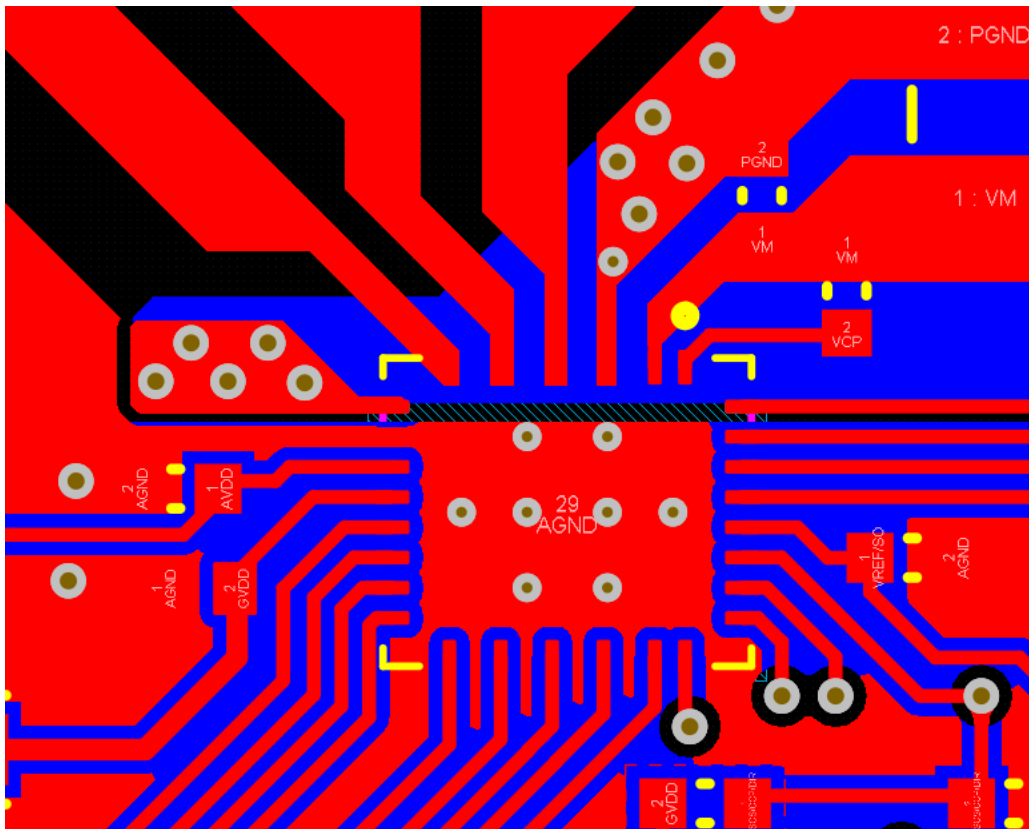
大きい過渡電流から小電流信号パスへのノイズ結合および EMI 干渉を低減するために、PGND と AGND のグラウンドは分割します。寄生効果を低減し、デバイスの消費電力を改善するために、電力段以外のすべての回路 (サーマル パッドを含む) を AGND に接続することを推奨します。電圧オフセットを低減させ、ゲートドライバの性能を維持するため、各グラウンドは必ずネット タイまたは幅広の抵抗を使って接続します。

本デバイスのサーマル パッドは、PCB の最上層のグラウンド プレーンに半田付けします。複数のビアを使用して最下層の大きなグラウンド プレーンに接続します。大きい金属プレーンおよび複数のビアを使うと、本デバイス内で発生する $I^2 \times R_{DS(on)}$ の熱を放散するのに役立ちます。

放熱性を高めるため、サーマル パッド グラウンドに接続されたグラウンド領域を、PCB の全層にわたって最大化します。厚い銅のベタ パターンを使うと、接合部から外気への熱抵抗が下がり、ダイ表面からの放熱性が改善されます。

9.4.2 レイアウト例

VQFN パッケージの推奨レイアウト例



9.4.3 熱に関する注意事項

MCT8376Z-Q1 は、前述のようにサーマル シャットダウン機能 (TSD) を備えています。ダイ温度が 150°C を超えると、ダイ温度が安全なレベルに低下するまで、本デバイスの機能は (最小限に) 無効化されます。

何度もサーマル シャットダウンが作動する場合、それは、消費電力が過大である、ヒートシンクが不十分である、周囲温度が高すぎる、のいずれかであることを示しています。

9.4.3.1 電力散逸

MCT8376Z-Q1 の電力損失には、スタンバイ電力損失、LDO の電力損失、FET の導通損失とスイッチング損失、ダイオード損失が含まれます。FET の導通損失は、MCT8376Z-Q1 の合計消費電力の大部分を占めます。起動時およびフォルト条件では、出力電流は通常の電流よりもはるかに大きくなります。これらのピーク電流と電流の持続時間を考慮に入れる必要があります。デバイスの合計消費電力は、互いに追加された 3 つのハーフブリッジのそれぞれで消費される電力です。本デバイスが消費して放散できる電力の最大値は、周囲温度とヒートシンクの影響を受けます。RDS、ON は温度とともに上昇するので、デバイスが発熱すると消費電力が増大することに注意してください。PCB とヒートシンクを設計する際には、この点を考慮に入れてください。

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MCT8376Z0HQNLRQ1	Active	Production	VQFN (NLG) 28	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M8376HQ
MCT8376Z0SQNLRQ1	Active	Production	VQFN (NLG) 28	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M8376SQ

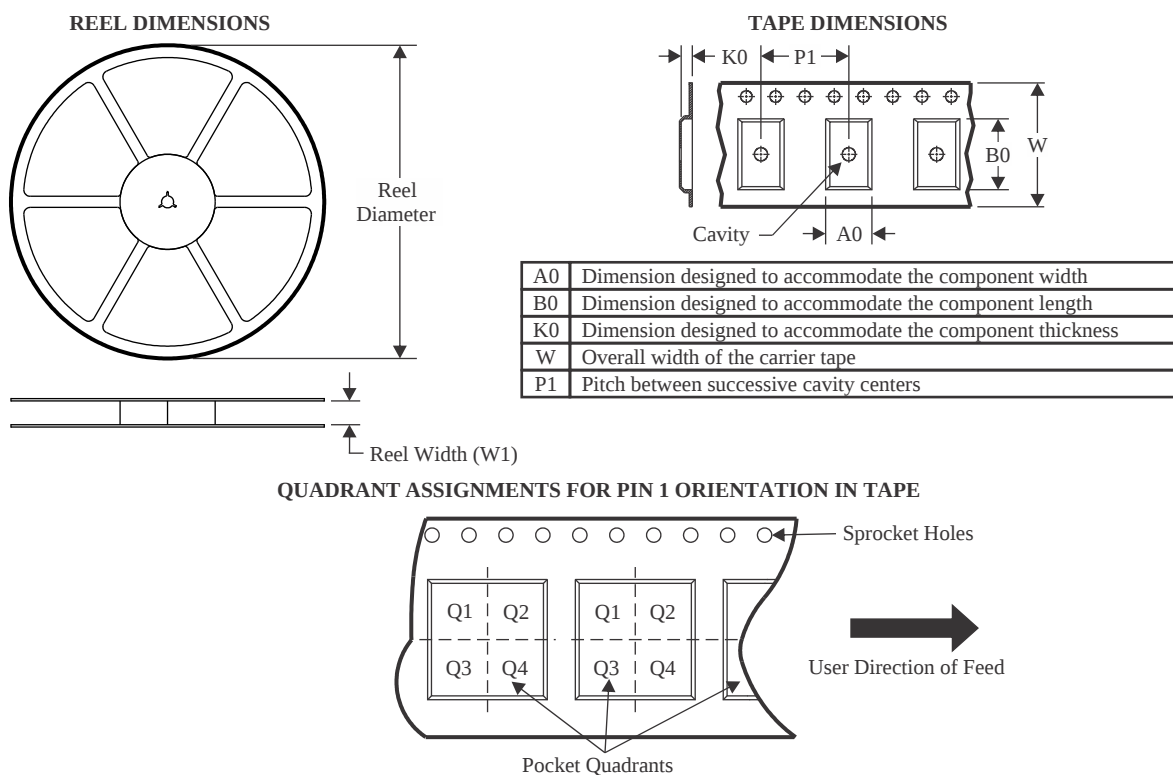
- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

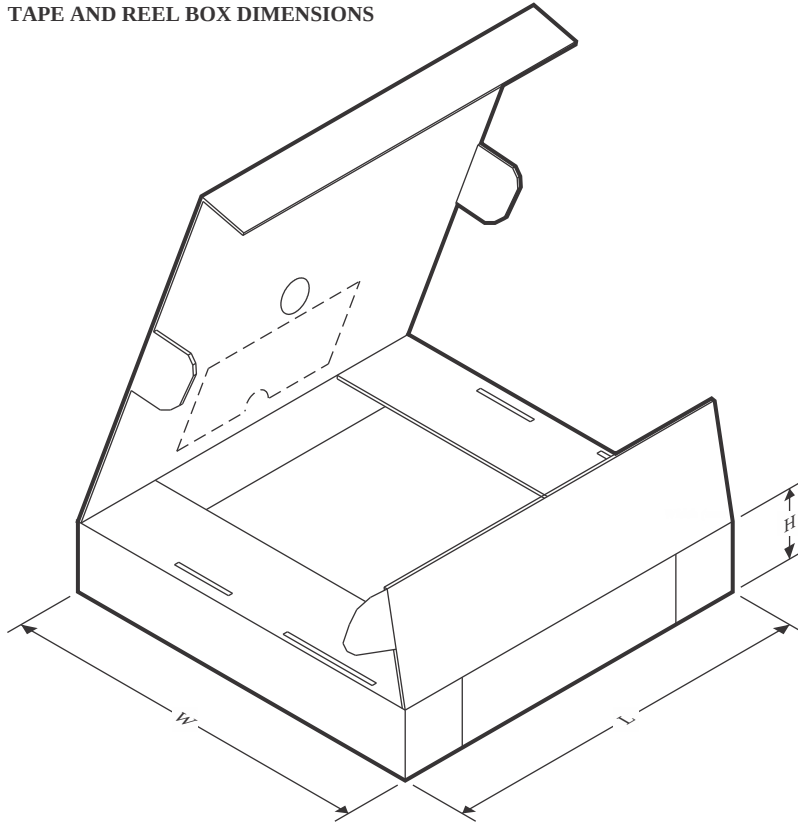
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MCT8376Z0HQNLRQ1	VQFN	NLG	28	5000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q1
MCT8376Z0SQNLRQ1	VQFN	NLG	28	5000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MCT8376Z0HQNLRQ1	VQFN	NLG	28	5000	367.0	367.0	35.0
MCT8376Z0SQNLGRQ1	VQFN	NLG	28	5000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

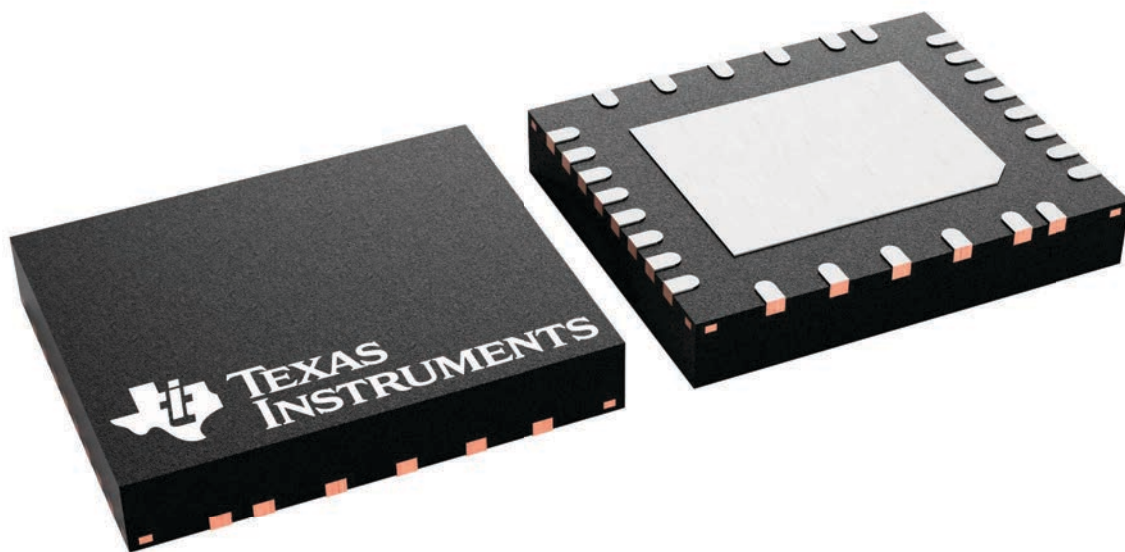
NLG 28

VQFN - 1 mm max height

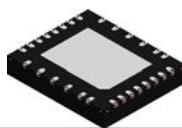
5 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



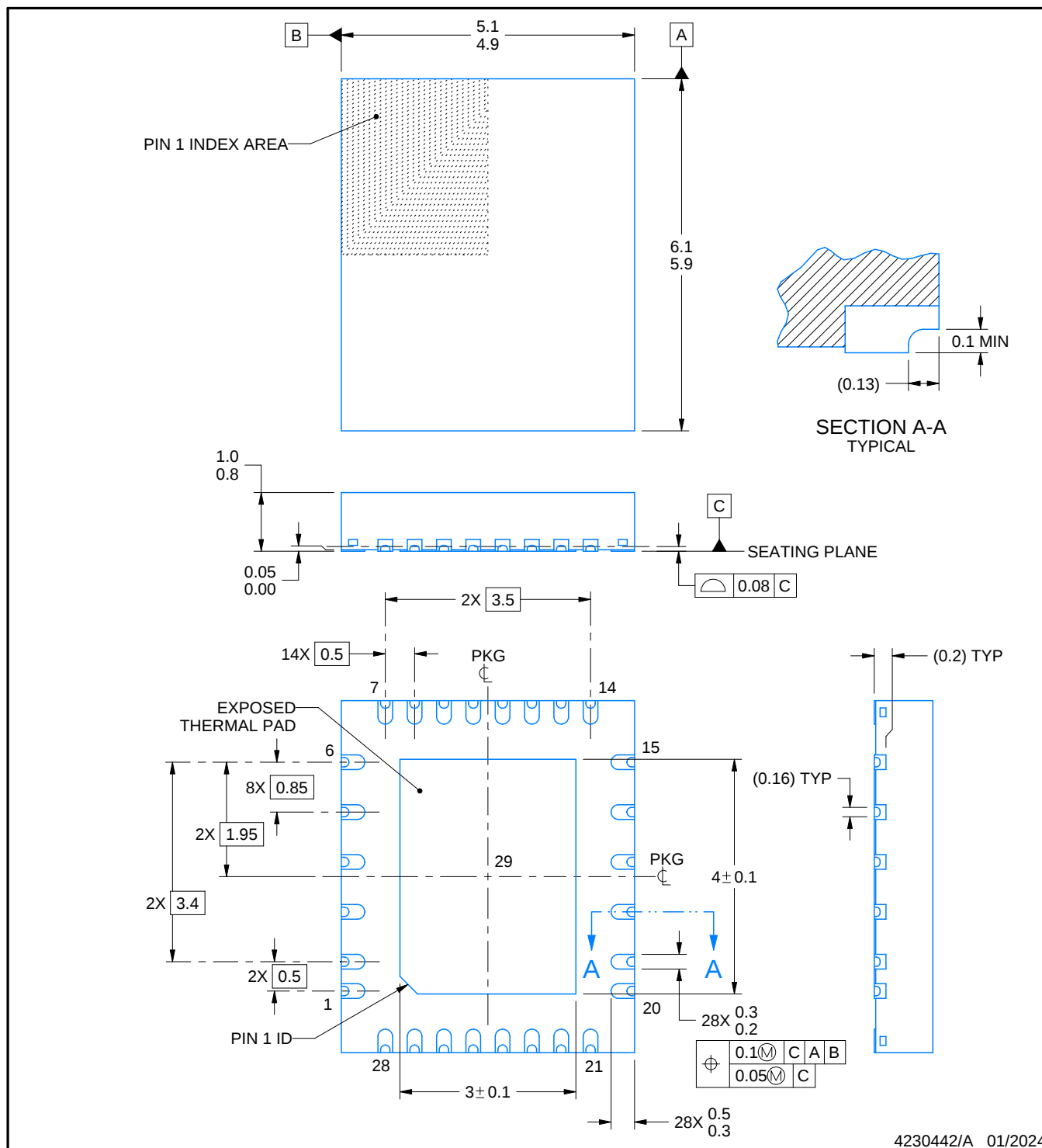
NLG0028A



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4230442/A 01/2024

NOTES:

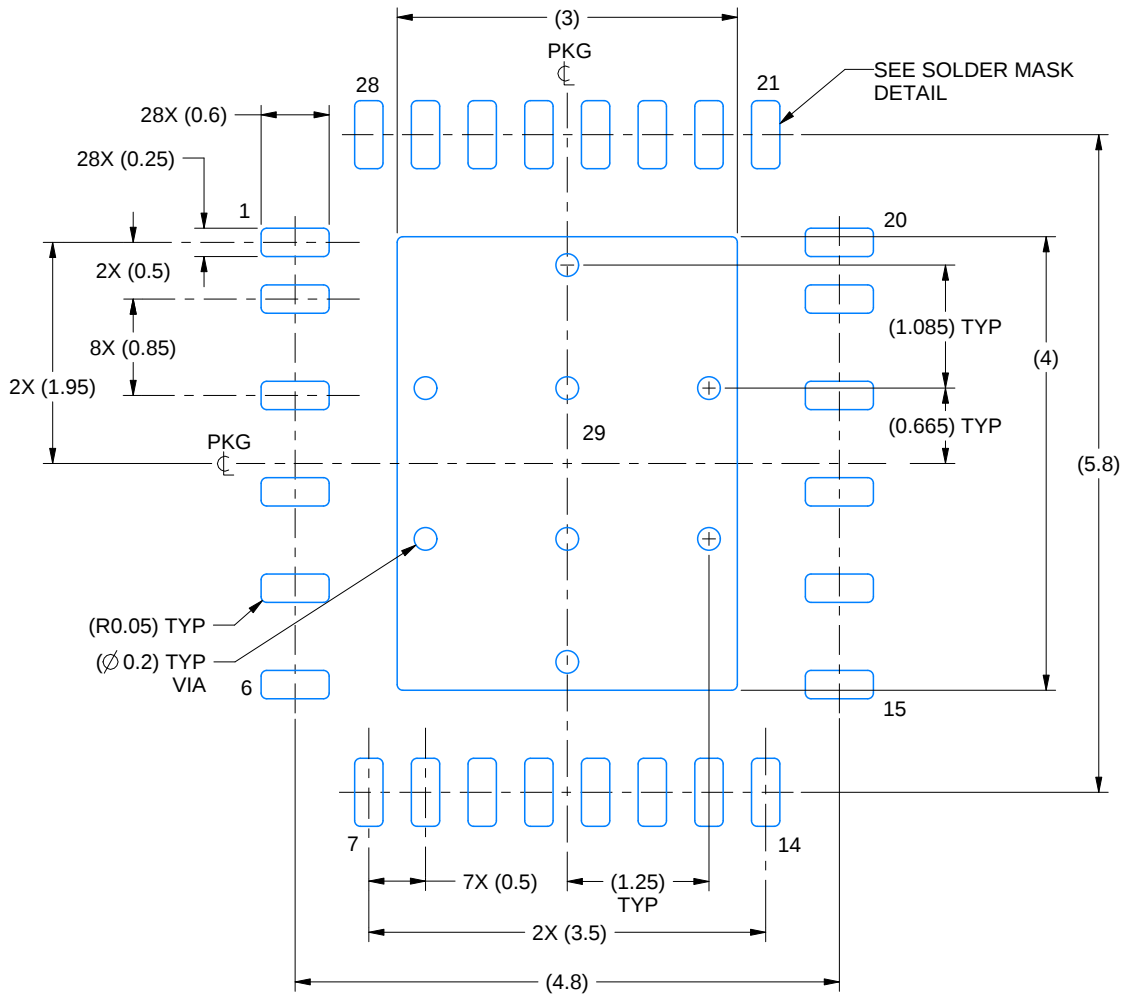
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

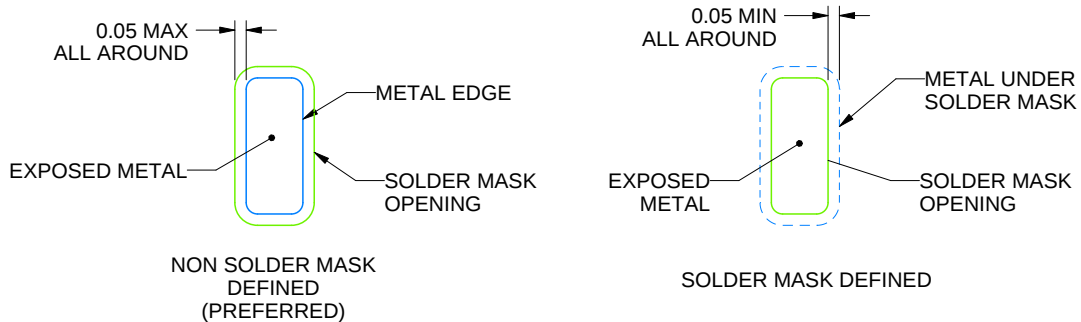
NLG0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4230442/A 01/2024

NOTES: (continued)

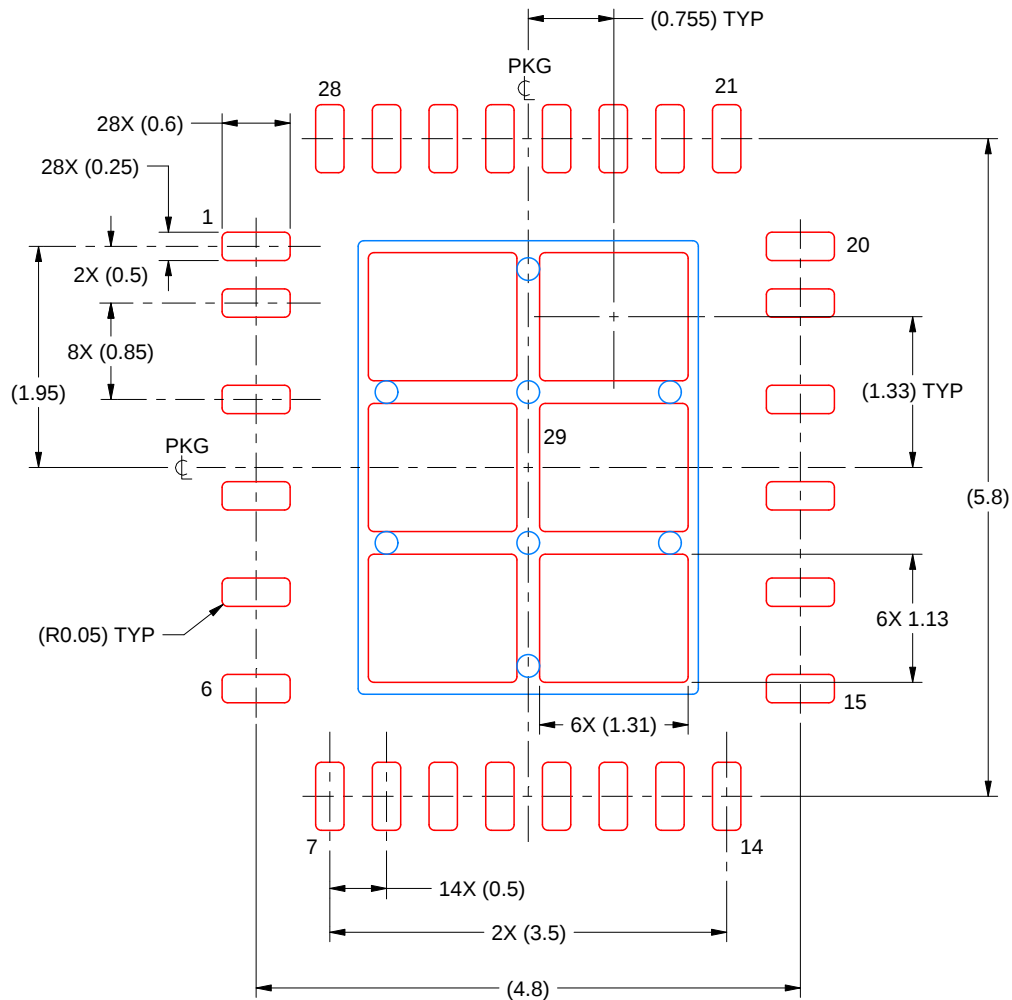
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

NLG0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 MM THICK STENCIL
 SCALE: 15X

EXPOSED PAD 29
 74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4230442/A 01/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月