

単一電源、10MHz、レール・ツー・レール出力、低ノイズ、JETアンプ

特長

- 低消費電流：2.3mA(最大)
- 低オフセット・ドリフト：10 μ V/ $^{\circ}$ C(最大)
- 低い入力バイアス電流：20pA(最大)
- 非常に小さい1/fノイズ：250nV_{PP}
- 低ノイズ：6.5nV/ $\sqrt{\text{Hz}}$
- 広帯域幅：10MHz
- スルー・レート：20V/ μ s
- V-を含む入力電圧範囲
- レール・ツー・レール出力
- 単一電源動作：4.5V \sim 36V
- デュアル電源動作： \pm 2.25V \sim \pm 18V
- 位相反転なし
- MSOP-8、TSSOPパッケージ

- アクティブ・フィルタ
- データ収集システム
- ポータブル・オーディオ
- 自動テスト・システム

概要

OPA141、OPA2141、およびOPA4141アンプ・ファミリーは、優れたドリフト性能と低い入力バイアス電流を特徴とした低電力JFET入力アンプのシリーズです。レール・ツー・レールの出力シングと、V-を含む入力範囲により、JFETアンプの低ノイズ特性を活かしながら、現在の高精度な単一電源A/Dコンバータ(ADC)およびD/Aコンバータ(DAC)へのインターフェイスが可能です。

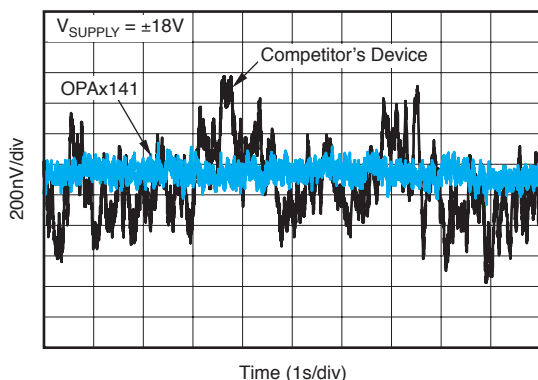
OPA141は、10MHzのユニティ・ゲイン帯域幅と20V/ μ sのスルー・レートを実現しながら、わずか1.8mA(typ)の静止電流しか消費しません。このデバイスは、単一の4.5 \sim 36V電源またはデュアル \pm 2.25V \sim \pm 18V電源で動作します。

いずれの製品も-40 $^{\circ}$ C \sim +125 $^{\circ}$ Cの温度範囲で仕様が完全に規定され、最も厳しい環境での使用に対応しています。OPA141(シングル)およびOPA2141(デュアル)は、MSOP-8とSO-8の両方のパッケージで供給され、OPA4141(クアッド)はSO-14およびTSSOP-14パッケージで供給されます。

アプリケーション

- バッテリー駆動機器
- 産業用制御
- 医療用計測機器
- フォトダイオード・アンプ

0.1Hz \sim 10Hzのノイズ



関連製品

特長	製品名
高精度、低電力、10MHz、FET入力、産業用オペアンプ	OPA140
2.2nV/ $\sqrt{\text{Hz}}$ 、低電力、36Vオペアンプ、SOT-23パッケージ	OPA209
低ノイズ、高精度、JFET入力オペアンプ	OPA827
低ノイズ、低IQ、高精度オペアンプ	OPA376
高速、FET入力オペアンプ	OPA132

すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

絶対最大定格⁽¹⁾

動作温度範囲内(特に記述のない限り)

		値	単位
電源電圧		±20	V
信号入力端子	電圧 ⁽²⁾	(V-) -0.5 to (V+) +0.5	V
	電流 ⁽²⁾	±10	mA
出力短絡 ⁽³⁾		連続	
動作温度、T _A		-55 to +150	°C
保存温度、T _A		-65 to +150	°C
接合部温度、T _J		+150	°C
ESD定格	ESD定格 人体モデル(HBM)	2000	V
	デバイス帯電モデル(CDM)	500	V

(1) 絶対最大定格以上のストレスが加わると、永続的な損傷を製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示しており、このデータシートに示された値を越える状態での本製品の機能動作は含まれていません。

(2) 入力端子は、電源レールにダイオード・クランプされています。電源レールから0.5V以上スイング可能な入力信号は、10mA以下に電流制限する必要があります。

(3) V_S/2(対称なデュアル電源構成でのグラウンド)への短絡、パッケージあたり1つのアンプ。

パッケージ情報⁽¹⁾

製品名	パッケージ - リード	パッケージ・コード	パッケージ捺印
OPA141	SO-8	D	O141A
	MSOP-8	DGK	141
OPA2141	SO-8	D	O2141A
	MSOP-8	DGK	2141
OPA4141	TSSOP-14	PW	O4141A
	SO-14	D	O4141AG4

(1) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、www.ti.comでデバイスの製品フォルダをご覧ください。

熱特性について

熱 特 性		OPA141, OPA2141	OPA141, OPA2141	単位
		D (SO)	DGK (MSOP) ⁽¹⁾	
		8	8	
θ_{JA}	接合部 - 周囲間熱抵抗 ⁽²⁾	160	180	°C/W
$\theta_{JC(top)}$	接合部 - ケース(上面)間熱抵抗 ⁽³⁾	75	55	
θ_{JB}	接合部 - 基板間熱抵抗 ⁽⁴⁾	60	130	
Ψ_{JT}	接合部 - 上面間特性パラメータ ⁽⁵⁾	9	n/a	
Ψ_{JB}	接合部 - 底面間特性パラメータ ⁽⁶⁾	50	120	
$\theta_{JC(bottom)}$	接合部 - ケース(底面)間熱抵抗 ⁽⁷⁾	n/a	n/a	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。
- (2) 自然状態での接合部-周囲間熱抵抗は、JESD51-2aに記載の環境で、JESD51-7に規定されたJEDEC標準High-K基板上のシミュレーションによって求められます。
- (3) 接合部-ケース(上面)間の熱抵抗は、パッケージ上面での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。
- (4) 接合部-基板間の熱抵抗は、JESD51-8の規定に従い、PCB温度を制御するリング型冷却板測定器を用いた環境でのシミュレーションによって求められます。
- (5) 接合部-上面間の特性化パラメータ Ψ_{JT} は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて θ_{JA} を求めるシミュレーション・データから抽出されます。
- (6) 接合部-基板間の特性化パラメータ Ψ_{JB} は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて θ_{JA} を求めるシミュレーション・データから抽出されます。
- (7) 接合部-ケース(底面)間の熱抵抗は、露出したパッド(PowerPAD)上での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。

熱特性について

熱 特 性		OPA4141	OPA4141	単位
		D (SO)	PW (TSSOP) ⁽¹⁾	
		14	14	
θ_{JA}	接合部 - 周囲間熱抵抗 ⁽²⁾	97	135	°C/W
$\theta_{JC(top)}$	接合部 - ケース(上面)間熱抵抗 ⁽³⁾	56	45	
θ_{JB}	接合部 - 基板間熱抵抗 ⁽⁴⁾	53	66	
Ψ_{JT}	接合部 - 上面間特性パラメータ ⁽⁵⁾	19	n/a	
Ψ_{JB}	接合部 - 底面間特性パラメータ ⁽⁶⁾	46	60	
$\theta_{JC(bottom)}$	接合部 - ケース(底面)間熱抵抗 ⁽⁷⁾	n/a	n/a	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。
- (2) 自然状態での接合部-周囲間熱抵抗は、JESD51-2aに記載の環境で、JESD51-7に規定されたJEDEC標準High-K基板上のシミュレーションによって求められます。
- (3) 接合部-ケース(上面)間の熱抵抗は、パッケージ上面での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。
- (4) 接合部-基板間の熱抵抗は、JESD51-8の規定に従い、PCB温度を制御するリング型冷却板測定器を用いた環境でのシミュレーションによって求められます。
- (5) 接合部-上面間の特性化パラメータ Ψ_{JT} は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて θ_{JA} を求めるシミュレーション・データから抽出されます。
- (6) 接合部-基板間の特性化パラメータ Ψ_{JB} は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて θ_{JA} を求めるシミュレーション・データから抽出されます。
- (7) 接合部-ケース(底面)間の熱抵抗は、露出したパッド(PowerPAD)上での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。

電気的特性: $V_S = +4.5V \sim +36V, \pm 2.25V \sim \pm 18V$

太字の制限は、仕様温度範囲 $T_A = -40^\circ C \sim +125^\circ C$ にわたって適用されます。

$T_A = +25^\circ C, R_L = 2k\Omega$ を電源中点に接続、 $V_{CM} = V_{OUT} =$ 電源中点 (特に記述のない限り)

パラメータ	テスト条件	OPA141, OPA2141, OPA4141			単位
		MIN	TYP	MAX	
オフセット電圧					
オフセット電圧、RTI	V_{OS}		± 1	± 3.5	mV
対温度	$V_S = \pm 18V$			± 4.3	mV
ドリフト	dV_{OS}/dT		± 2	± 10	$\mu V/^\circ C$
対電源電圧	PSRR	$V_S = \pm 2.25V$ to $\pm 18V$	± 0.14	± 2	$\mu V/V$
対温度	$V_S = \pm 2.25V$ to $\pm 18V$			± 4	$\mu V/V$
入力バイアス電流					
入力バイアス電流	I_B		± 2	± 20	pA
対温度				± 5	nA
入力オフセット電流	I_{OS}		± 2	± 20	pA
対温度				± 1	nA
ノイズ					
入力電圧ノイズ					
$f = 0.1Hz$ to $10Hz$			250		nV _{PP}
$f = 0.1Hz$ to $10Hz$			42		nV _{RMS}
入力電圧ノイズ密度	e_n				
$f = 10Hz$			12		nV/ \sqrt{Hz}
$f = 100Hz$			6.5		nV/ \sqrt{Hz}
$f = 1kHz$			6.5		nV/ \sqrt{Hz}
入力電流ノイズ密度	i_n				
$f = 1kHz$			0.8		fA/ \sqrt{Hz}
入力電圧範囲					
同相モード電圧範囲	V_{CM}		(V-) -0.1	(V+) -3.5	V
同相モード除去比	CMRR	$V_S = \pm 18V, V_{CM} = (V-) -0.1V$ to $(V+) -3.5V$	120	126	dB
対温度	$V_S = \pm 18V, V_{CM} = (V-) -0.1V$ to $(V+) -3.5V$		120		dB
入力インピーダンス					
差動			$10^{13} \parallel 8$		$\Omega \parallel pF$
同相モード	$V_{CM} = (V-) -0.1V$ to $(V+) -3.5V$		$10^{13} \parallel 6$		$\Omega \parallel pF$
開ループゲイン					
開ループ電圧ゲイン	A_{OL}	$V_O = (V-) +0.35V$ to $(V+) -0.35V, R_L = 2k\Omega$	114	126	dB
対温度	$V_O = (V-) +0.35V$ to $(V+) -0.35V, R_L = 2k\Omega$		108		dB
周波数応答					
ゲイン帯域幅積	BW		10		MHz
スルーレート			20		V/ μs
セトリングタイム、12ビット(0.024)			880		ns
THD+N		1kHz, $G = 1, V_O = 3.5V_{RMS}$		0.00005	%
過負荷回復時間			600		ns

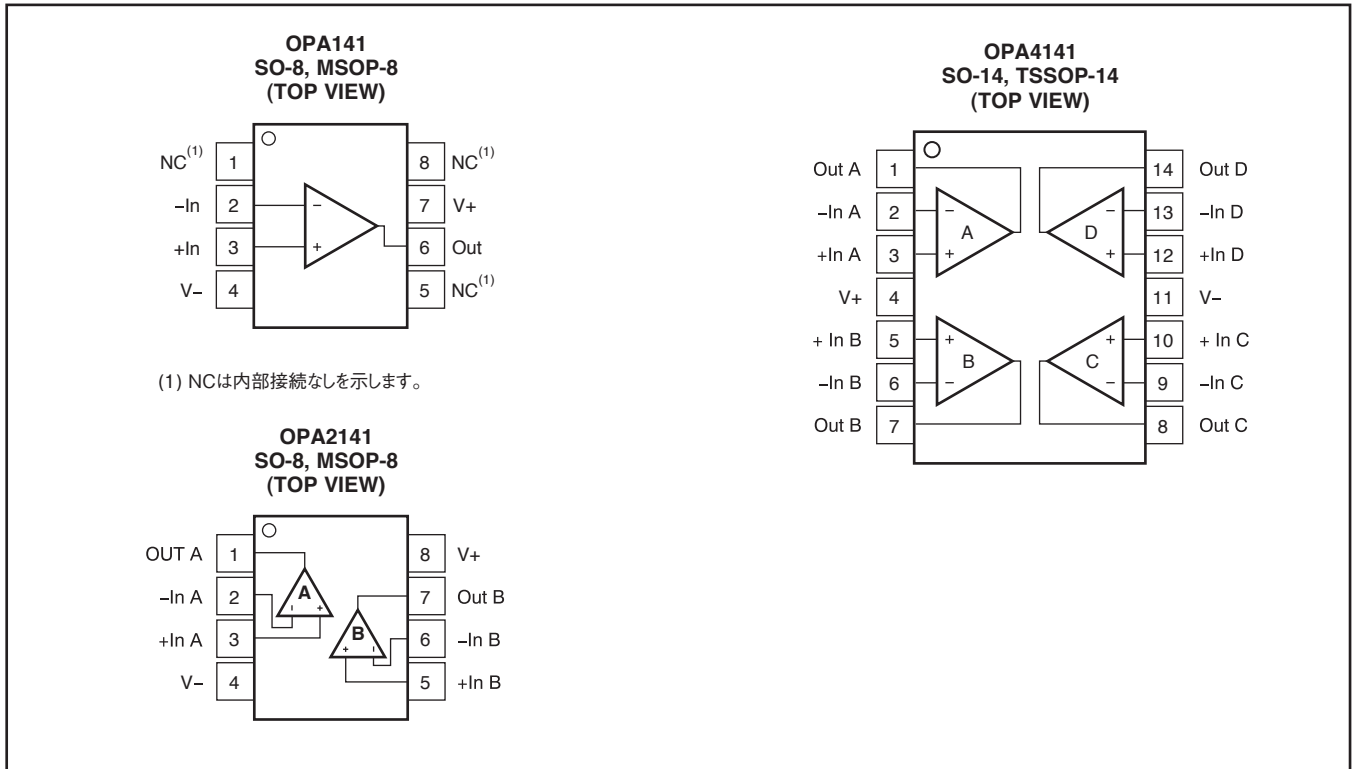
電氣的特性: $V_S = +4.5V \sim +36V, \pm 2.25V \sim \pm 18V$

太字の制限は、仕様温度範囲 $T_A = -40^\circ C \sim +125^\circ C$ にわたって適用されます。

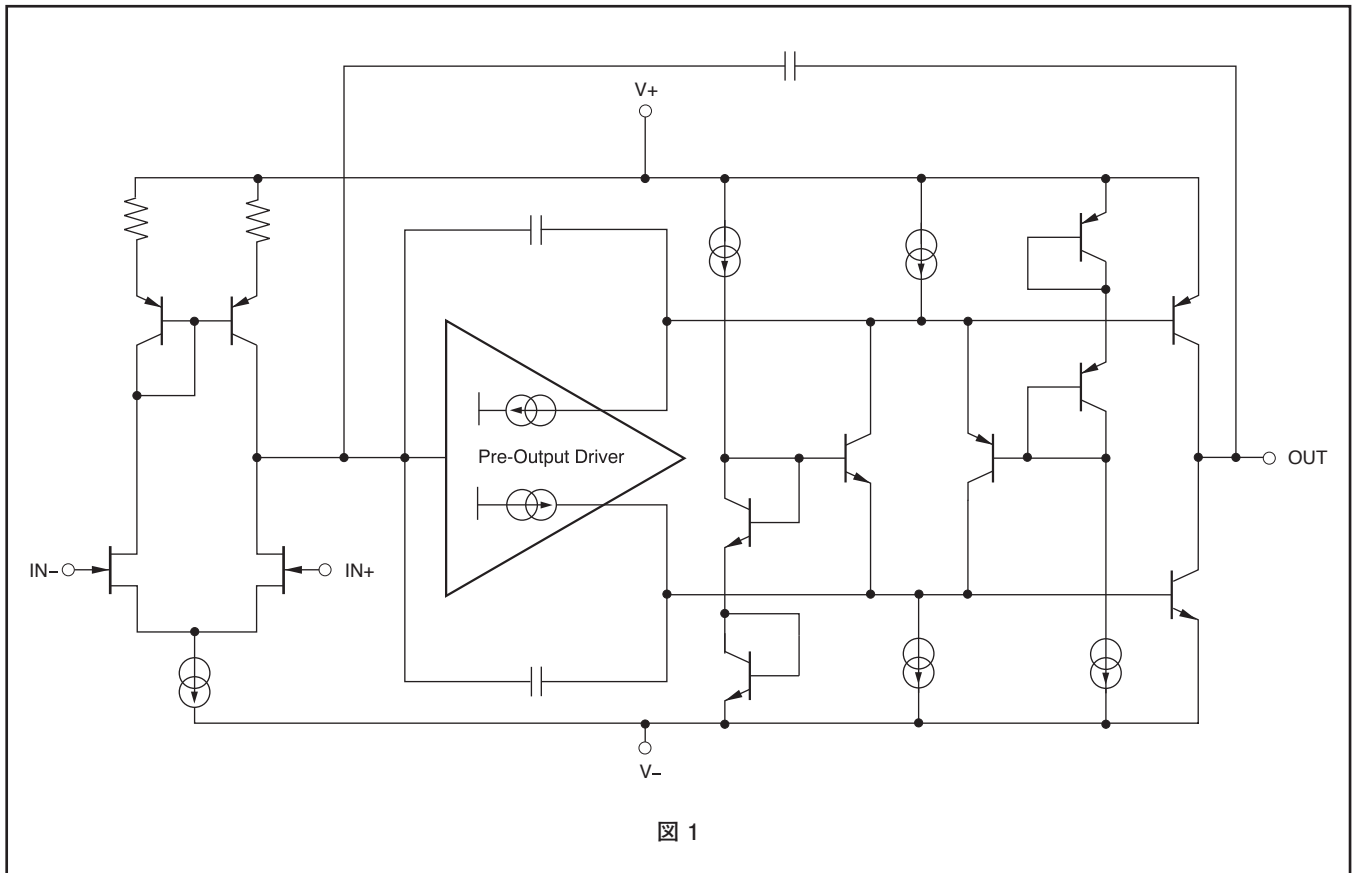
$T_A = +25^\circ C$ 、 $R_L = 2k\Omega$ を電源中点に接続、 $V_{CM} = V_{OUT} =$ 電源中点 (特に記述のない限り)

パラメータ	テスト条件	OPA141, OPA2141, OPA4141			単位	
		MIN	TYP	MAX		
出力						
出力電圧	V_O	$R_L = 10k\Omega$	(V-) +0.2	(V+) -0.2	V	
		$R_L = 2k\Omega$	(V-) +0.35	(V+) -0.35	V	
短絡電流	I_{SC}	ソース	+36		mA	
		シンク	-30		mA	
容量性負荷駆動	C_{LOAD}		図19および図20を参照			
開ループ出力インピーダンス	R_O	$f = 1MHz, I_O = 0$ (図18を参照)		10	Ω	
電源						
仕様電圧範囲	V_S		± 2.25	± 18	V	
静止電流 (アンプ毎)	I_Q	$I_O = 0mA$		1.8	2.3	mA
対温度				3.1	mA	
チャンネル間分離						
チャンネル間分離		DC時		0.02	$\mu V/V$	
		100kHz時		10	$\mu V/V$	
温度範囲						
仕様範囲			-40	+125	$^\circ C$	
動作範囲			-55	+150	$^\circ C$	

ピン配置



ブロック概略図



標準的特性一覧

グラフ一覧

説明	図
オフセット電圧の製造分布	図2
オフセット電圧ドリフト分布	図3
オフセット電圧 対 同相モード電圧(最大電源電圧)	図4
I_B および I_{OS} 対 同相モード電圧	図5
出力電圧スイング 対 出力電流	図6
CMRRおよびPSRR 対 周波数(RTI)	図7
同相モード除去比 対 温度	図8
0.1Hz~10Hzのノイズ	図9
入力電圧ノイズ密度 対 周波数	図10
THD+N比 対 周波数(80kHz AP帯域幅)	図11
THD+N比 対 出力振幅	図12
静止電流 対 温度	図13
静止電流 対 電源電圧	図14
ゲインおよび位相 対 周波数	図15
閉ループ・ゲイン 対 周波数	図16
開ループ・ゲイン 対 温度	図17
開ループ出力インピーダンス 対 周波数	図18
小信号オーバーシュート 対 負荷容量(G = +1)	図19
小信号オーバーシュート 対 負荷容量(G = -1)	図20
位相反転なし	図21
正の過負荷回復	図22
負の過負荷回復	図23
小信号ステップ応答(G = +1)	図24
小信号ステップ応答(G = -1)	図25
大信号ステップ応答(G = +1)	図26
大信号ステップ応答(G = -1)	図27
短絡電流 対 温度	図28
最大出力電圧 対 周波数	図29
チャンネル間分離 対 周波数	図30

表 1. 特性測定図

代表的特性

$T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 2\text{k}\Omega$ を電源中点に接続、 $V_{CM} = V_{OUT} =$ 電源中点 (特に記述のない限り)

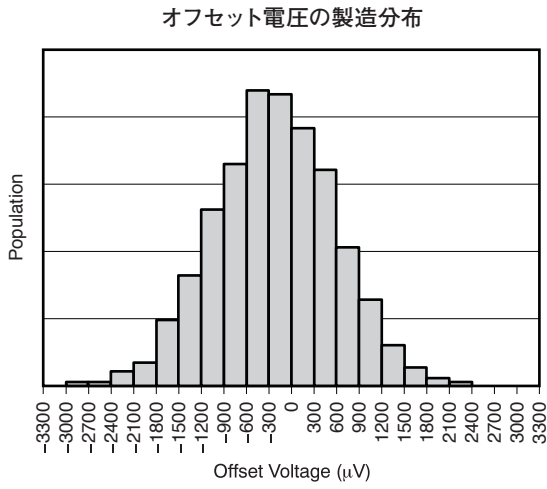


図 2

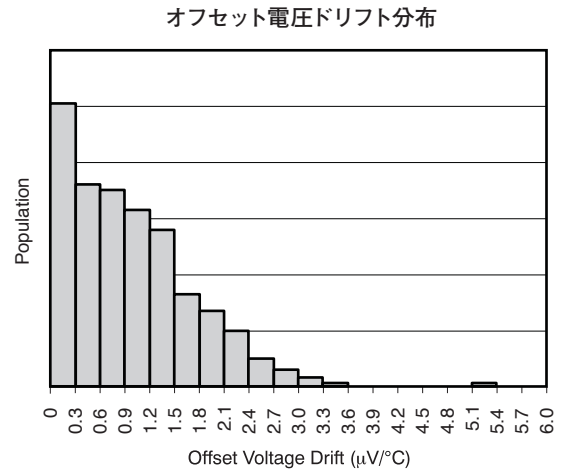


図 3

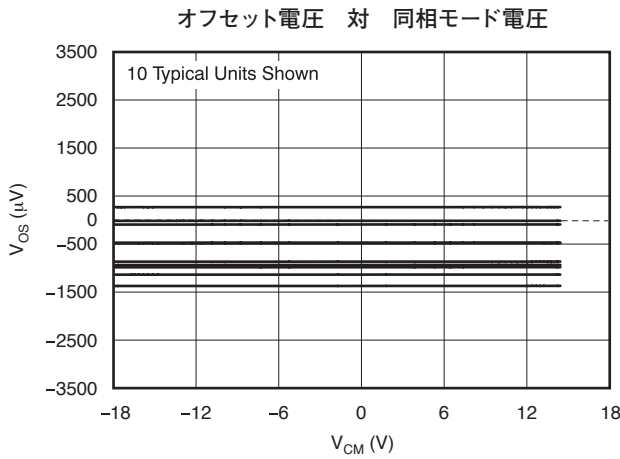


図 4

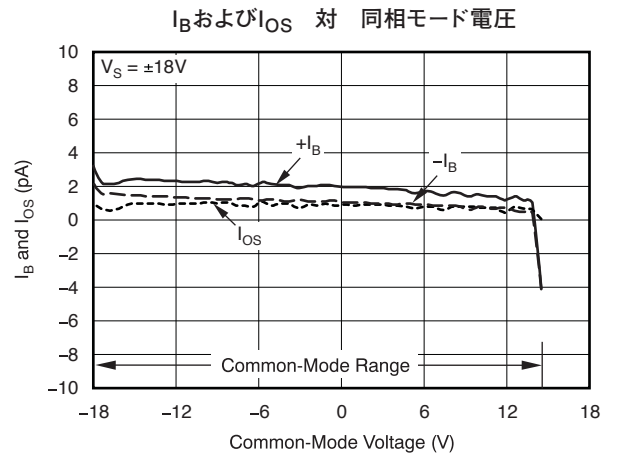


図 5

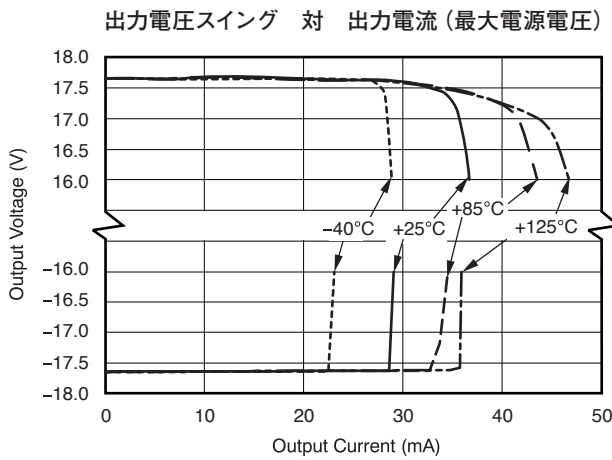


図 6

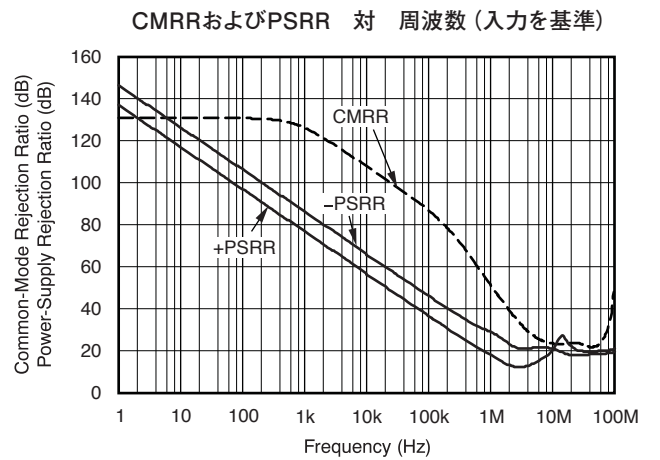


図 7

代表的特性

$T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 2\text{k}\Omega$ を電源中点に接続、 $V_{CM} = V_{OUT} =$ 電源中点 (特に記述のない限り)

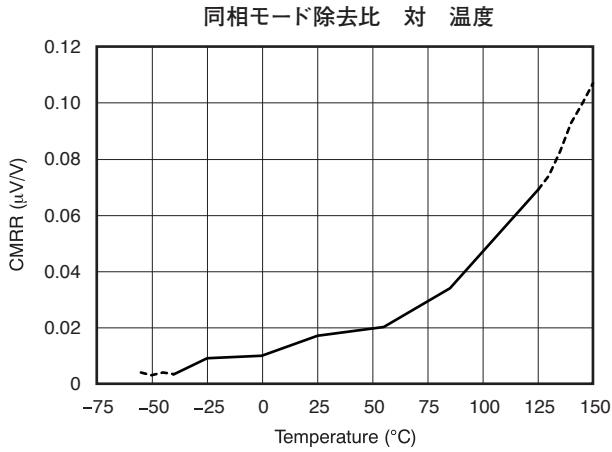


図 8

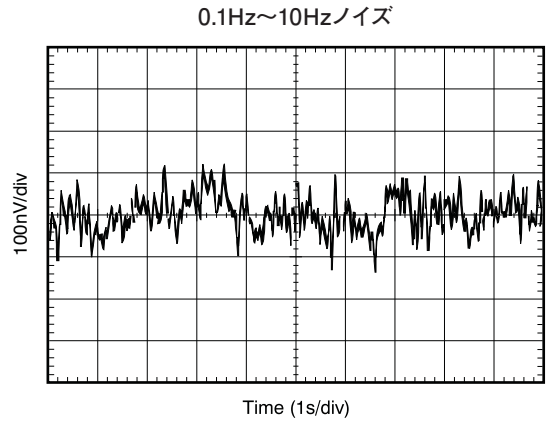


図 9

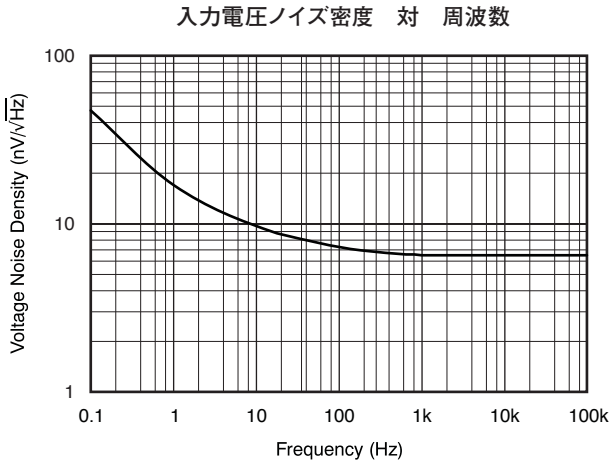


図 10

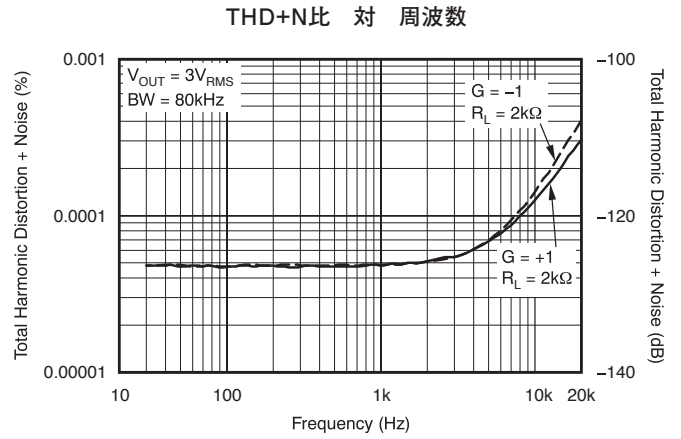


図 11

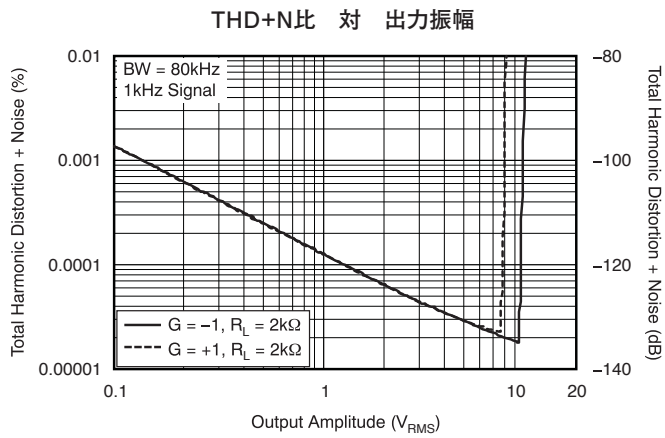


図 12

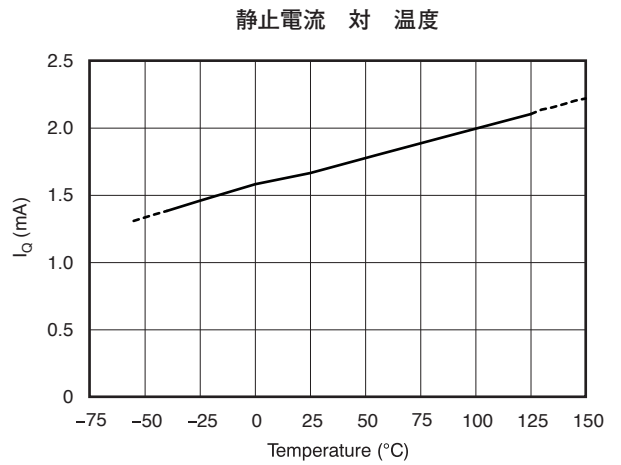


図 13

代表的特性

$T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 2\text{k}\Omega$ を電源中点に接続、 $V_{CM} = V_{OUT} =$ 電源中点 (特に記述のない限り)

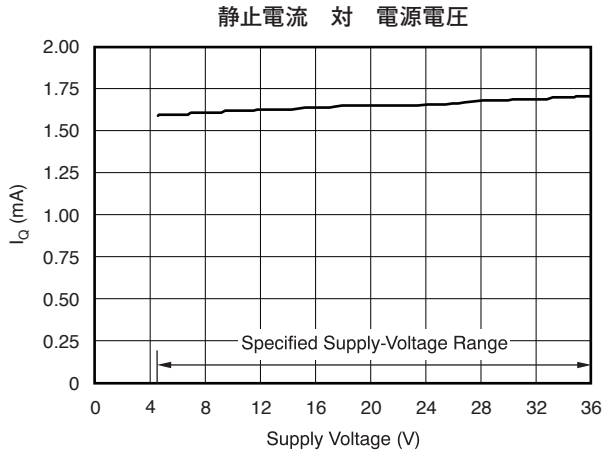


図 14

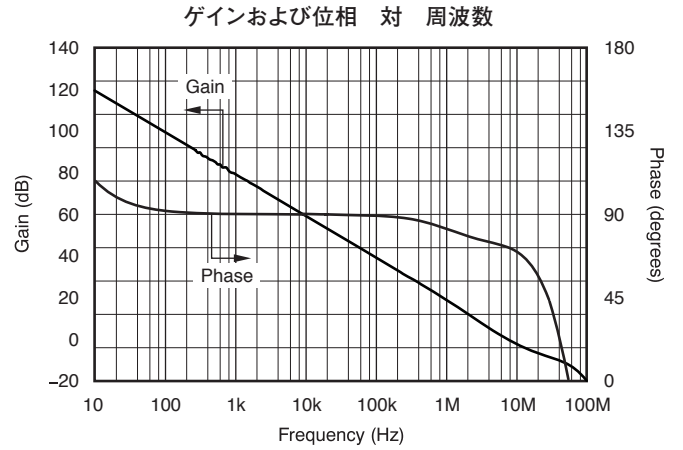


図 15

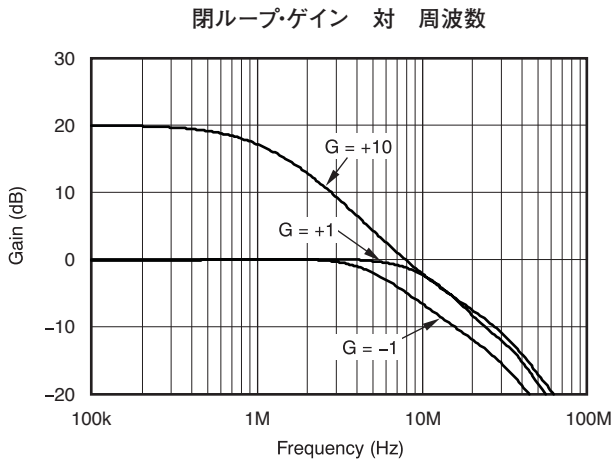


図 16

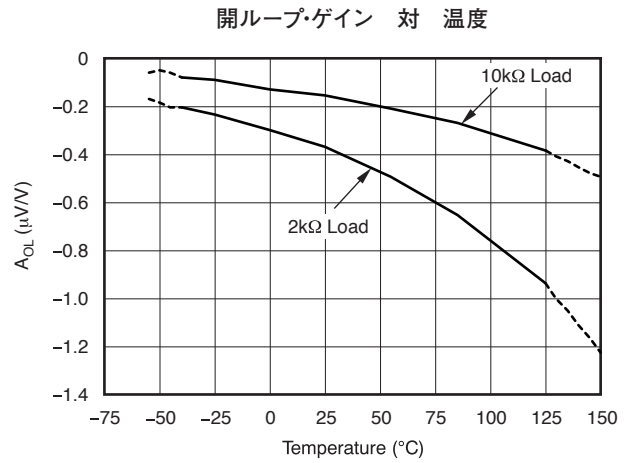


図 17

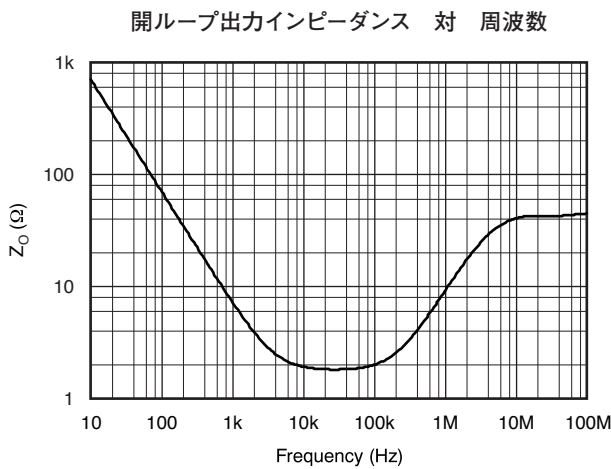


図 18

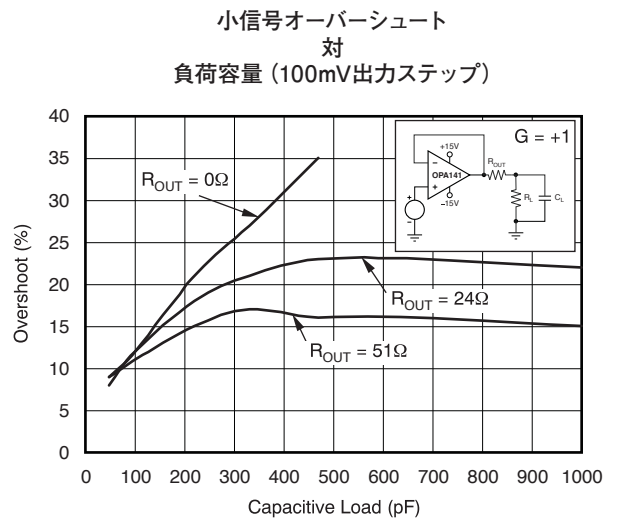


図 19

代表的特性

$T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 2\text{k}\Omega$ を電源中点に接続、 $V_{CM} = V_{OUT} =$ 電源中点 (特に記述のない限り)

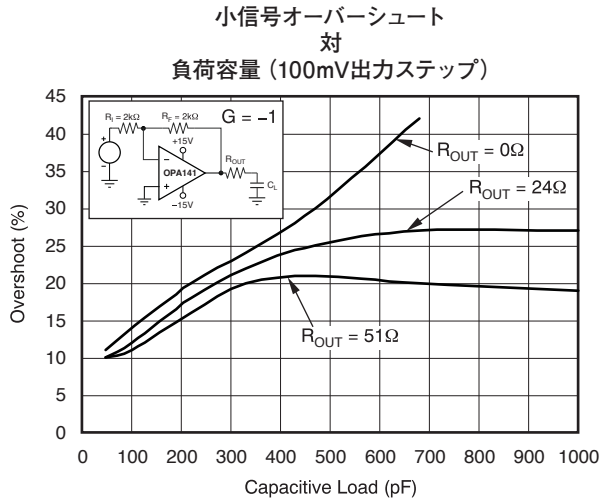


図 20

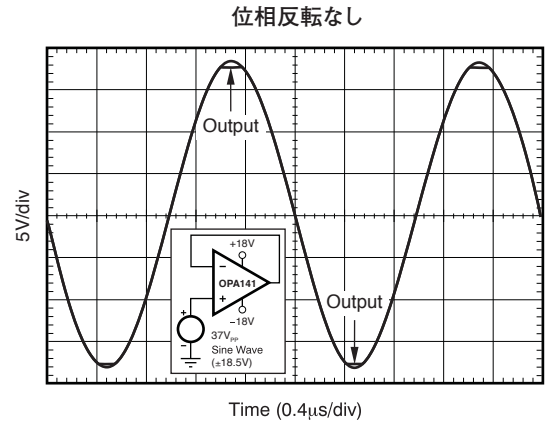


図 21

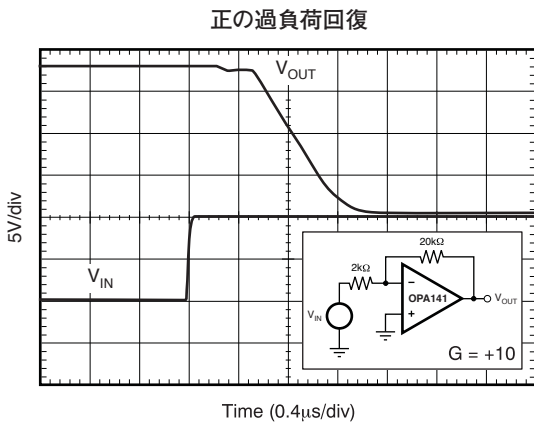


図 22

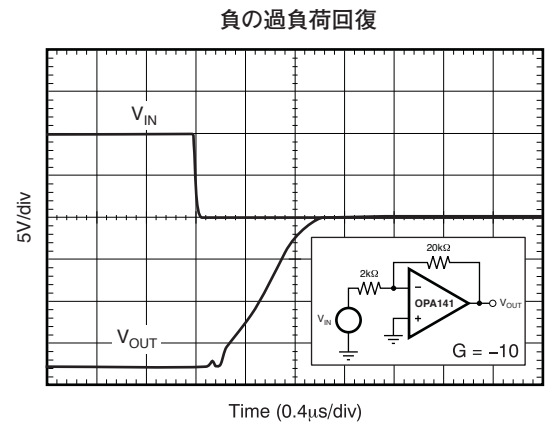


図 23

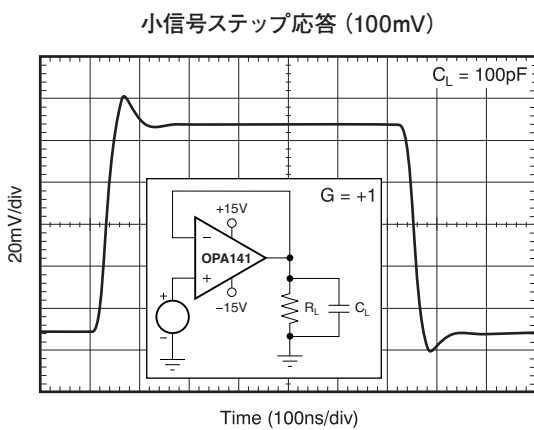


図 24

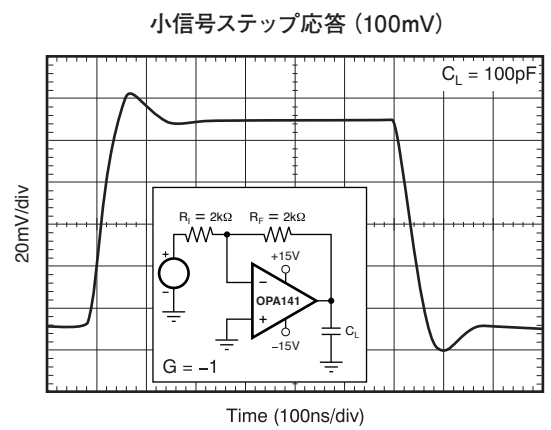


図 25

代表的特性

$T_A = +25^\circ\text{C}$ 、 $V_S = \pm 18\text{V}$ 、 $R_L = 2\text{k}\Omega$ を電源中点に接続、 $V_{CM} = V_{OUT} =$ 電源中点 (特に記述のない限り)

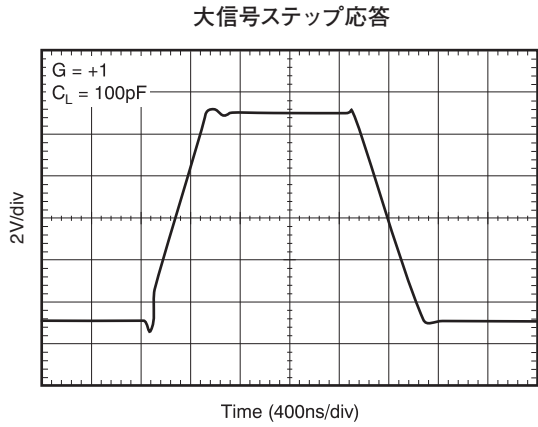


図 26

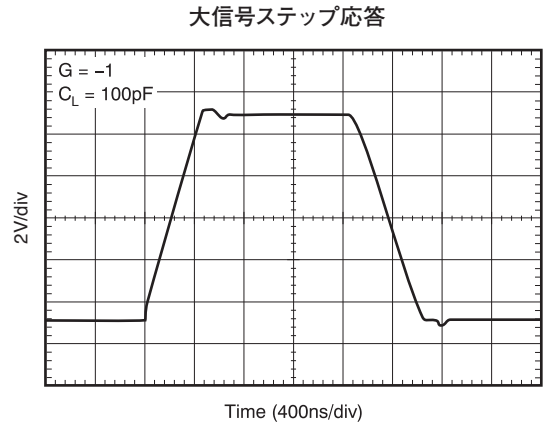


図 27

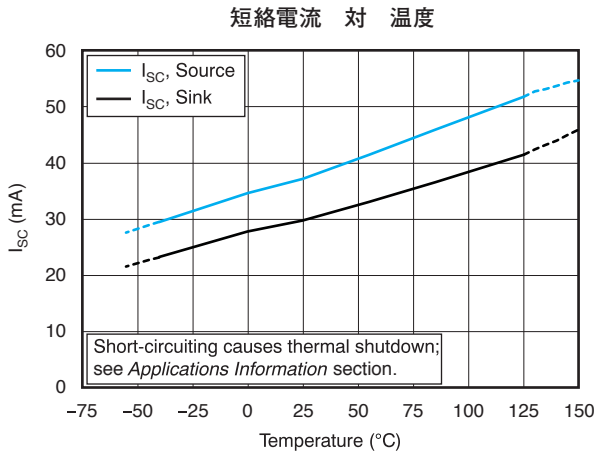


図 28

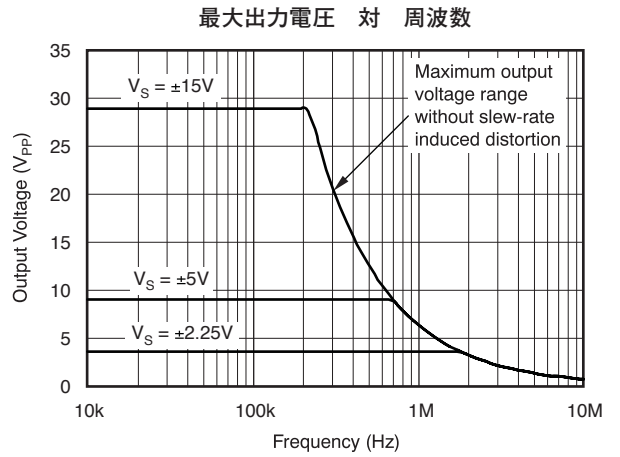


図 29

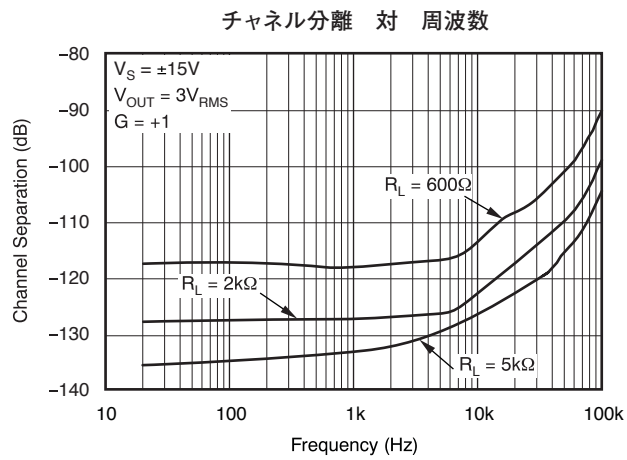


図 30

アプリケーション情報

OPA141、OPA2141、およびOPA4141は、ユニティ・ゲインで安定なオペアンプであり、ノイズ、入力バイアス電流、入力オフセット電圧が非常に低いという特徴があります。ノイズの多い電源や高インピーダンスの電源を使用するアプリケーションでは、デバイス・ピンの近くにデカップリング・コンデンサを配置する必要があります。ほとんどの場合は、0.1 μ Fのコンデンサで十分です。図1に、OPA141の概略回路図を示しています。

動作電圧

OPA141、OPA2141、およびOPA4141シリーズのオペアンプは、単一電源またはデュアル電源により、 $V_S = +4.5V(\pm 2.25V) \sim V_S = +36V(\pm 18V)$ の動作範囲で使用できます。これらのデバイスには、対称電源は必要なく、最小電源電圧として+4.5V($\pm 2.25V$)を必要とするだけです。 V_S が $\pm 3.5V$ 未満の場合、同相モード入力範囲には電源中点が含まれません。+40Vを超える電源電圧は、デバイスに永久的な損傷を与える可能性があります。「絶対最大定格」の表を参照してください。主要なパラメータは、動作温度範囲 $T_A = -40^\circ C \sim +125^\circ C$ で規定されています。電源電圧または温度範囲に対して変化する主なパラメータは、このデータ・シートの「標準的特性」に示されています。

容量性負荷と安定性

OPAx141のダイナミック特性は、一般的なゲイン、負荷、および動作条件に対して最適化されています。低い閉ループ・ゲインと高い容量性負荷の組み合わせでは、アンプの位相余裕が減り、ゲインのピーキングや発振が生じる可能性があります。したがって、大きな容量性負荷は出力から分離する必要があります。この分離を行う最も簡単な方法は、出力と直列に小さな抵抗（例えば、 $R_{OUT} = 50\Omega$ ）を追加することです。

図19および図20は、 R_{OUT} のいくつかの値に対する小信号オーバーシュート対容量性負荷のグラフを示しています。また、分析手法およびアプリケーション回路の詳細については、TIのアプリケーション・ブリーテンAB-028(文献番号SBOA015、TIのWebサイトからダウンロード可能)を参照してください。

ノイズ特性

図31に、オペアンプがユニティ・ゲイン構成のときの、ソース・インピーダンスの変化に対するすべてのサーキットノイズを示します(帰還抵抗回路は使用していないため、追加のノイズ成分はありません)。OPA141およびOPA211のすべてのサーキットノイズの計算値が示されています。オペアンプ自体は、電圧ノイズ成分と電流ノイズ成分の両方に寄与します。一般に、電圧ノイズは、オフセット電圧の時間によって変化する成分としてモデル化されます。電流ノイズは、入力バイアス電流の時間によって変化する成分としてモデル化され、ソース抵抗によってノイズの電圧成分を生成します。したがって、あるアプリケーションに対して最小ノイズとなるオペアンプは、ソース・インピーダンスによって異なります。ソース・インピーダンスが低い場合、電流ノイズは無視でき、電圧ノイズが一般に支配的です。OPA141、OPA2141、およびOPA4141ファミリーは、オペアンプのFET入力により、電圧ノイズが低く、電流ノイズは極

めて低くなっています。その結果、OPAx141シリーズは、実用的なソース・インピーダンスに対して電流ノイズ成分を無視できるため、ソース・インピーダンスの高いアプリケーション向けに優れた選択肢となります。

図31の式は、以下のパラメータを使用したすべてのサーキットノイズの計算を示しています。

- e_n = 電圧ノイズ
- I_n = 電流ノイズ
- R_S = ソース・インピーダンス
- k = ボルツマン定数 = 1.38×10^{-23} J/K
- T = 温度 (ケルビン、K)

ノイズの計算の詳細については、「基本的なノイズ計算」を参照してください。

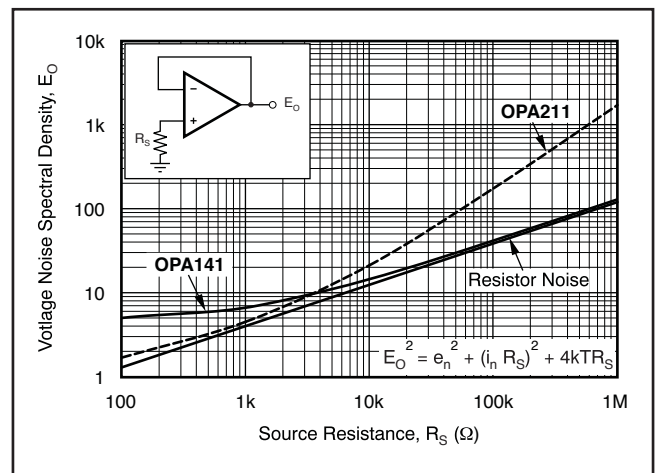


図 31. ユニティ・ゲイン・バッファ構成でのOPA141およびOPA211のノイズ特性

基本的なノイズ計算

低ノイズ回路の設計では、すべてのノイズ発生源を注意深く分析する必要があります。多くの場合は、外部のノイズ発生源が優勢となります。オペアンプ全体のノイズ特性に対するソース抵抗の影響を考慮してください。回路の合計ノイズは、すべてのノイズ成分の二乗和平方根となります。

ソース・インピーダンスの抵抗部分によって、抵抗の平方根に比例した熱ノイズが発生します。この関係は図31に示されています。ソース・インピーダンスは通常は固定です。したがって、オペアンプと帰還抵抗は、合計ノイズに対するそれぞれの寄与が最小となるように選択します。

図32は、オペアンプ回路の非反転 (A) および反転 (B) ゲイン構成を示しています。ゲインを持つ回路構成では、帰還回路抵抗もノイズに寄与します。一般には、オペアンプの電流ノイズが帰還抵抗に作用して、追加のノイズ成分が生成されます。ただし、OPAx141では電流ノイズが極めて低いため、電流ノイズ成分は無視できます。

一般に、帰還抵抗の値は、これらのノイズ源を無視できるように選択されます。低インピーダンスの帰還抵抗はアンプの出力の負荷となることに注意してください。図では、両方の構成に対して合計ノイズの式が示されています。

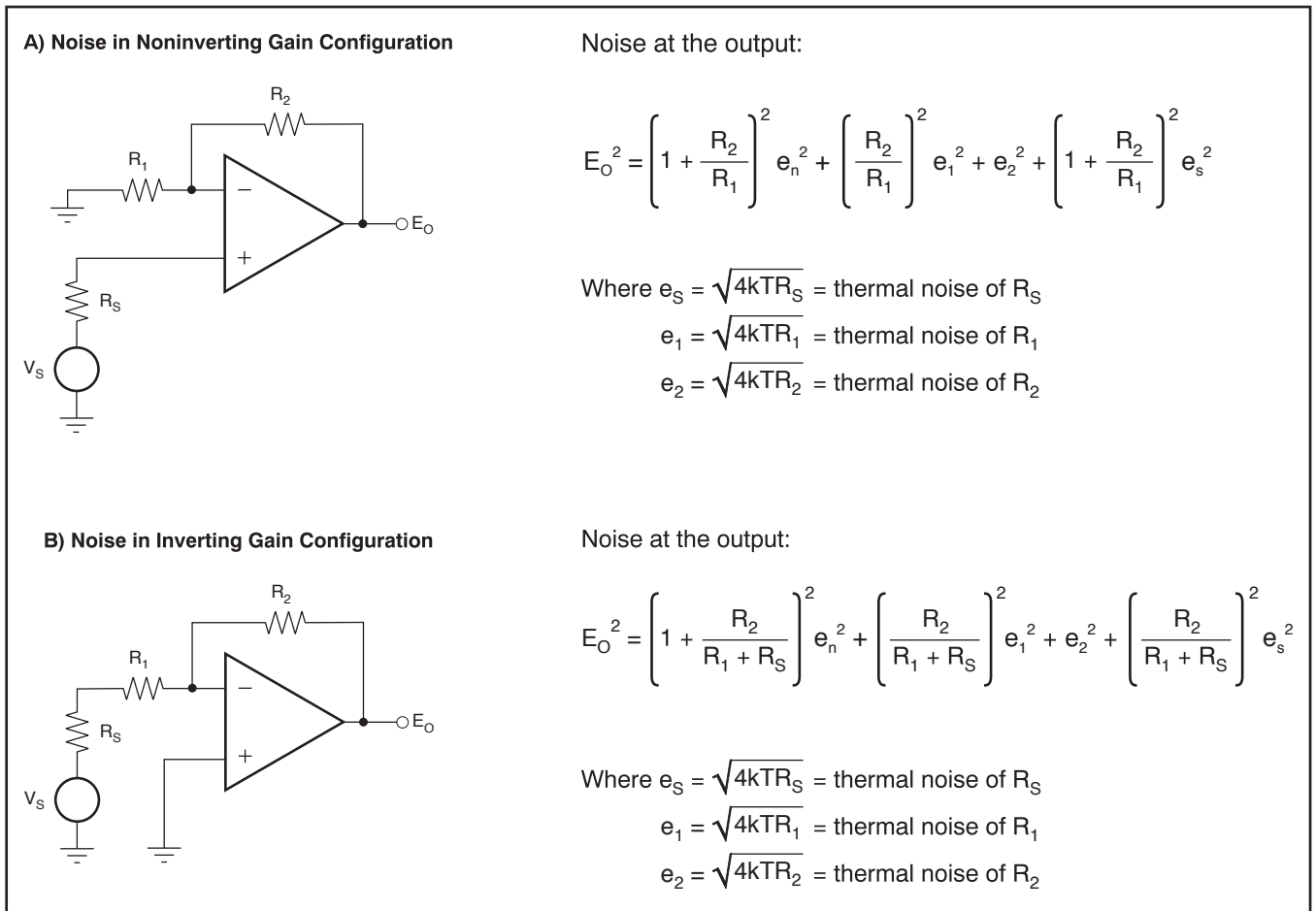


図 32. ゲイン構成のノイズの計算

OPAx141シリーズのオペアンプでは、1kHzで $e_n = 6.5nV/\sqrt{Hz}$ となります。

位相反転保護

OPA141、OPA2141、およびOPA4141ファミリーには、位相反転保護機能が内蔵されています。多くのFETおよびバイポーラ入力オペアンプでは、入力が線形同相モード範囲を超えて駆動されたときに、位相の反転が発生します。この状態は、非反転回路で、入力が指定された同相モード電圧範囲を超えて駆動され、出力が反対側のレールへと反転した場合に、最もよく見られます。OPA141、OPA2141、およびOPA4141の入力回路は、過度の同相モード電圧による位相の反転を防ぎ、出力を適切なレールへと制限します (図21を参照)。

出力電流制限

OPAx141シリーズの出力電流は、内部回路によって+36mA/-30mA(ソース/シンク)に制限され、出力が誤って短絡された場合にデバイスを保護します。図28に示されるように、この短絡電流は温度によって変化します。

消費電力および過熱保護

OPAx141シリーズのオペアンプは、仕様温度範囲全体にわたり、最大±18Vの電源電圧で2kΩの負荷を駆動できます。単一電源構成で、負荷が負電源電圧に接続されている場合は、+36Vの電源電圧で最小負荷抵抗が2.8kΩとなります。電源電圧がそれより低い場合 (単一電源または対称電源) には、出力電流が13mA

を超えない限り、より低い負荷抵抗を使用できます。出力電流が13mAを超えると、デバイスの短絡電流保護回路が作動する場合があります。

高い電源電圧で動作すると、内部の消費電力が増加します。OPA141、OPA2141、およびOPA4141シリーズのデバイスでは、銅のリードフレーム構造を使用することにより、従来の材質と比較して放熱性能が向上しています。また、プリント基板 (PCB) のレイアウトによっても、接合部温度の上昇幅を抑えることができます。広い銅パターンは、追加のヒートシンクとして機能するため、放熱を助けます。ソケットを使用する代わりにデバイスをPCBに直接半田付けすることで、温度上昇をさらに小さく抑えることができます。

出力電流は内部保護回路によって制限されていますが、デバイスの1つまたは複数のチャンネルが誤って短絡された場合には、過度の温度上昇が生じる可能性があります。例えば、出力が電源中点に短絡された場合、標準36mAの短絡電流により、±18Vの電源で内部消費電力が600mWを超えます。

MSOP-8パッケージのデュアル製品OPA2141(熱抵抗 $\theta_{JA} = 180^\circ C/W$)では、両方のチャンネルが短絡された場合、この消費電力によってダイ温度が周囲温度を220°C上回ります。このような温度上昇が生じると、デバイスの動作寿命が大きく短縮されます。

過度の温度上昇を防ぐために、OPAx141シリーズは内部に過熱シャットダウン回路を備え、ダイ温度が+180°Cを超えるとデバイスがシャットダウンされます。この過熱シャットダウン回路が作動すると、15°Cの内蔵ヒステリシスにより、ダイ温度が約+165°Cに低下

するまでデバイスは再起動されません。

最大動作電圧、最大動作温度、負荷、およびパッケージ・タイプの組み合わせにも、追加の配慮が必要です。図33および図34に、OPA2141(デュアル製品)およびOPA4141(クアッド製品)を評価するときの実際的な考慮事項をいくつか示しています。

例として、OPA4141では、温度に対する最大合計静止電流が12.4mA(3.1mA/チャンネル)です。TSSOP-14パッケージの標準熱抵抗は135°C/Wです。このパラメータは、動作の信頼性確保のために接合部温度を150°C以下とする必要があるため、電源電圧を下げるか、または接合部温度が150°Cを超えないよう周囲温度を低く保つ必要があることを意味します。図33では、この条件を各種のパッケージ・タイプについて示しています。さらに、出力の抵抗性負荷によって消費電力が増加し、自己発熱も大きくなるため、最大電源電圧または動作温度を決定する際には、その点も考慮に入れる必要があります。その目的のため、図34では、ワースト・ケースDC負荷の2kΩに対して、最大電源電圧対温度の特性を示しています。

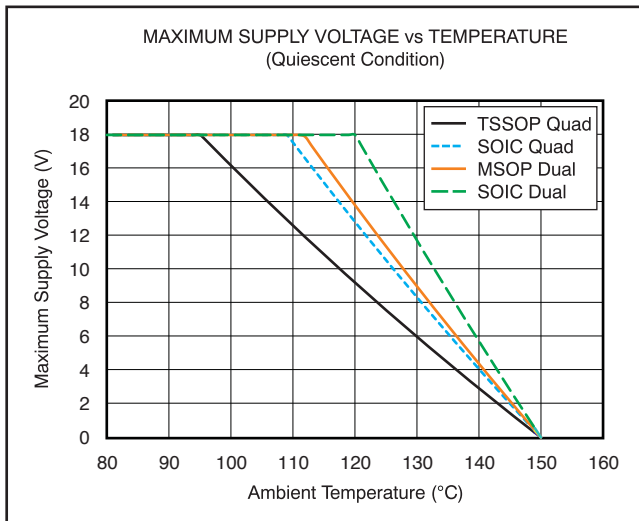


図 33. 最大電源電圧 対 温度 (OPA2141およびOPA4141)、静止状態

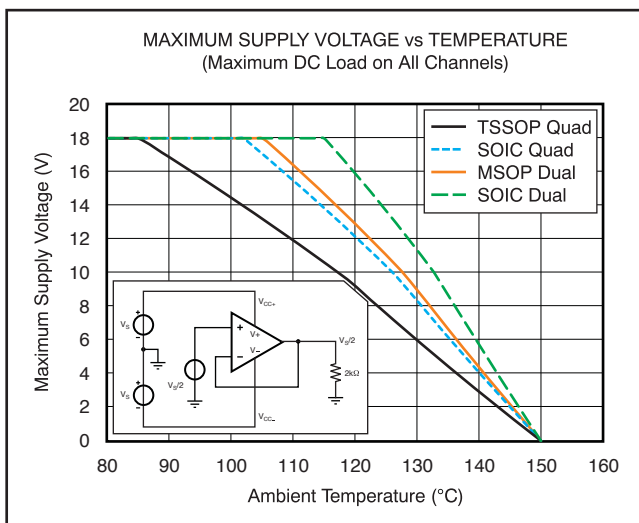


図 34. 最大電源電圧 対 温度 (OPA2141およびOPA4141)、最大DC負荷

電氣的オーバーストレス

電氣的なオーバーストレスに対するオペアンプの耐性に関して、設計者から質問されることが多くあります。それらの質問は、デバイスの入力について言及する傾向にあります。電源電圧ピンや出力ピンも関わってくる可能性があります。それらの異なるピン機能にはそれぞれ、個別の半導体製造プロセスや、ピンに接続される回路に固有のブレイクダウン電圧特性によって決定される、電氣的ストレス制限があります。また、これらの回路には静電放電(ESD)保護が内蔵され、製品の組み立て前および組み立て中の偶発的なESDから回路を保護しています。

この基本的なESD回路について、また、この回路と電氣的オーバーストレス状態との関連について、よく理解しておく役に立ちます。図35に、OPA141xシリーズに内蔵されるESD回路を示します(点線の領域内)。ESD保護回路では、入力ピンと出力ピンからいくつかの電流ステアリング・ダイオードが内部電源ラインに接続され、電源ラインにはオペアンプ内部のESD吸収デバイスが接続されています。この保護回路は、通常の回路動作中は機能しないように設計されています。

ESDが発生すると、短い時間の高電圧パルスが生成され、これは半導体デバイス内で放電しながら、短い時間の高電流パルスへと変換されます。ESD保護回路は、オペアンプのコアの周りに電流パスを設けることで、その損傷を防ぐように設計されています。保護回路によって吸収されるエネルギーは、熱として消散されます。

アンプ・デバイスの2本以上のピン間でESD電圧が生じた場合、1つまたは複数のステアリング・ダイオードに電流が流れます。電流が流れる経路に応じて、吸収デバイスが機能します。吸収デバイスには、トリガとなるスレッショルド電圧があり、これはOPA141xの通常動作電圧より高く、デバイスのブレイクダウン電圧レベルよりも低い値です。このスレッショルドを超えた場合には、吸収デバイスがすばやく機能して、電源レール間の電圧を安全なレベルにクランプします。

オペアンプを図35に示すような回路に接続する場合には、ESD保護回路は機能せず、アプリケーション回路の動作に関与しないよう設計されています。ただし、印加電圧があるピンの動作電圧範囲を超えるような状況が発生する可能性があります。そのような状況が発生した場合には、内部ESD保護回路の一部がオンにバイアスされて、電流を導通するおそれがあります。そのような電流はステアリング・ダイオードのパスを流れますが、吸収デバイスが機能することはまれです。

図35は、入力電圧 V_{IN} が正電源電圧(+ V_S)を500mV以上上回る場合の例を示しています。このような状況で回路に起こることの多くは、電源特性に依存します。+ V_S が電流をシンクできる場合は、上側の入力ステアリング・ダイオードの1つが導通し、電流を+ V_S へと流します。 V_{IN} が高くなると、極めて高いレベルの電流が流れる可能性があります。そのため、データシートの仕様では、アプリケーションで入力電流を10mAに制限することを推奨しています。

電源が電流をシンクできない場合は、 V_{IN} が電流をオペアンプへとソースし始め、正電源電圧としての役割を引き継ぐ可能性があります。この場合、オペアンプの絶対最大定格を超えるレベルにまで電圧が上昇する危険があります。

また、電源 $+V_S$ および $-V_S$ の一方または両方が0Vのときに入力信号が印加されるとどうなるのか、という質問もよく受けます。

これもやはり、0V、または入力信号振幅より低いレベルでの電源特性に依存します。電源が高インピーダンスとして見える場合は、入力ソースから電流ステアリング・ダイオードを通してオペアンプの電源電流が供給される可能性があります。この状態は通常のバイアス状態ではなく、アンプはほとんどの場合、正常に動作しません。電源が低インピーダンスの場合は、ステアリング・ダイオードを流れる電流が非常に高くなる可能性があります。電流レベルは、入力ソースの電流供給能力、および入力パス上の抵抗に依存します。

電源がこの電流を吸収する能力が不確かである場合は、図35に示すように、電源ピンに外部ツェナー・ダイオードを追加します。ツェナー電圧は、ダイオードが通常動作中にオンにならないような値を選択する必要があります。

その一方で、電源ピンが安全動作電源電圧レベルを超えて上昇し始めた場合にツェナー・ダイオードが導通するよう、十分低い値である必要があります。

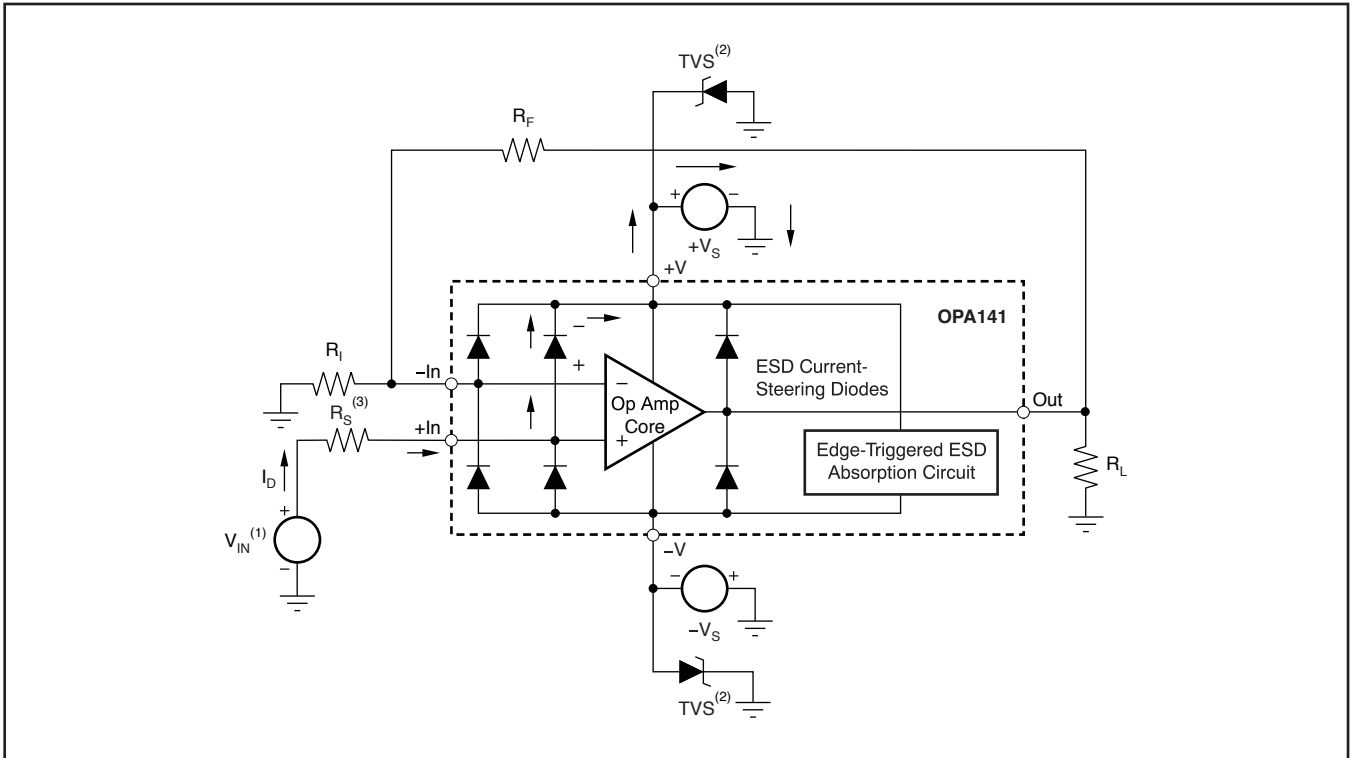


図 35. 等価内部ESD回路、および標準回路アプリケーションとの関係

(1) $V_{IN} = +V_S + 500mV$

(2) TVS: $+V_{S(max)} > V_{TVSBR (Min)} > +V_S$

(3) 推奨値は約 $1k\Omega$

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
OPA141AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples
OPA141AIDGKR	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples
OPA141AIDGKT	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples
OPA141AIDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples
OPA2141AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples
OPA2141AIDGKR	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples
OPA2141AIDGKT	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples
OPA2141AIDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Contact TI Distributor or Sales Office
OPA4141AID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples
OPA4141AIDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples
OPA4141AIPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples
OPA4141AIPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田ハンパ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS)と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

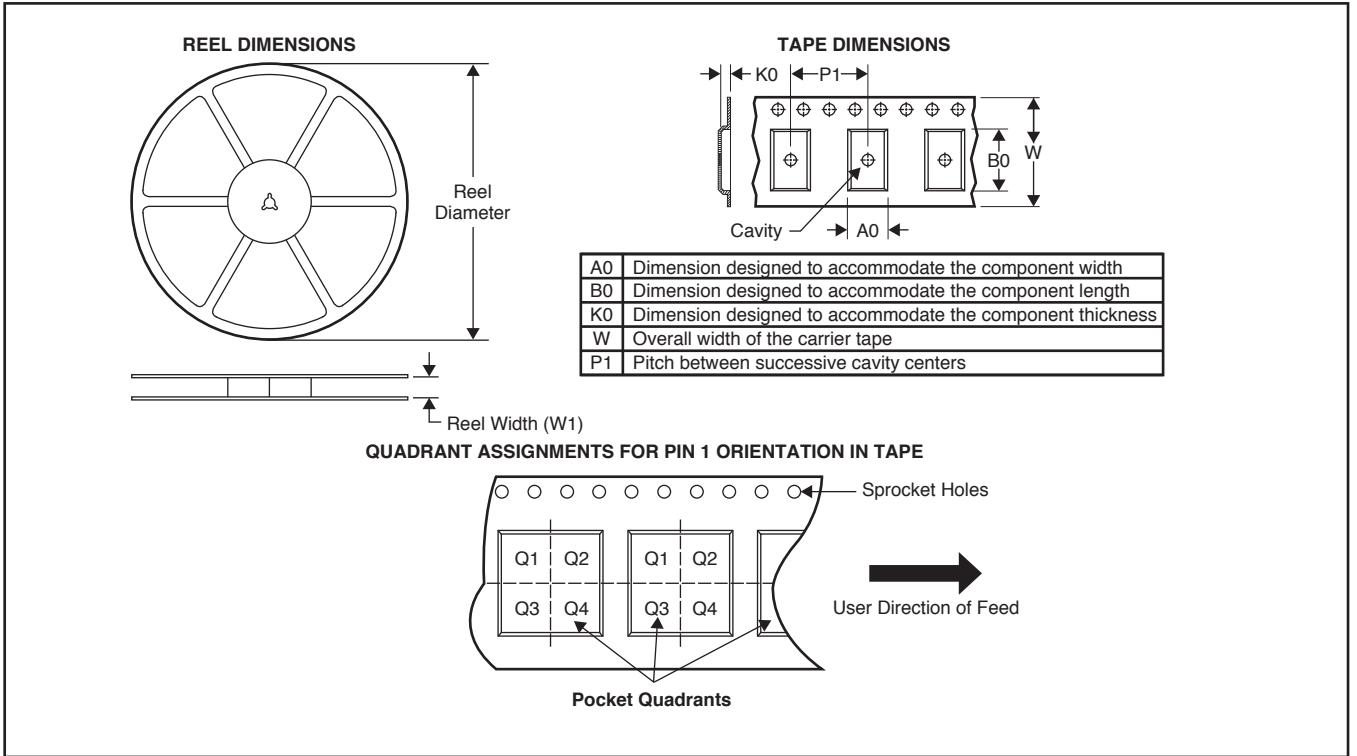
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

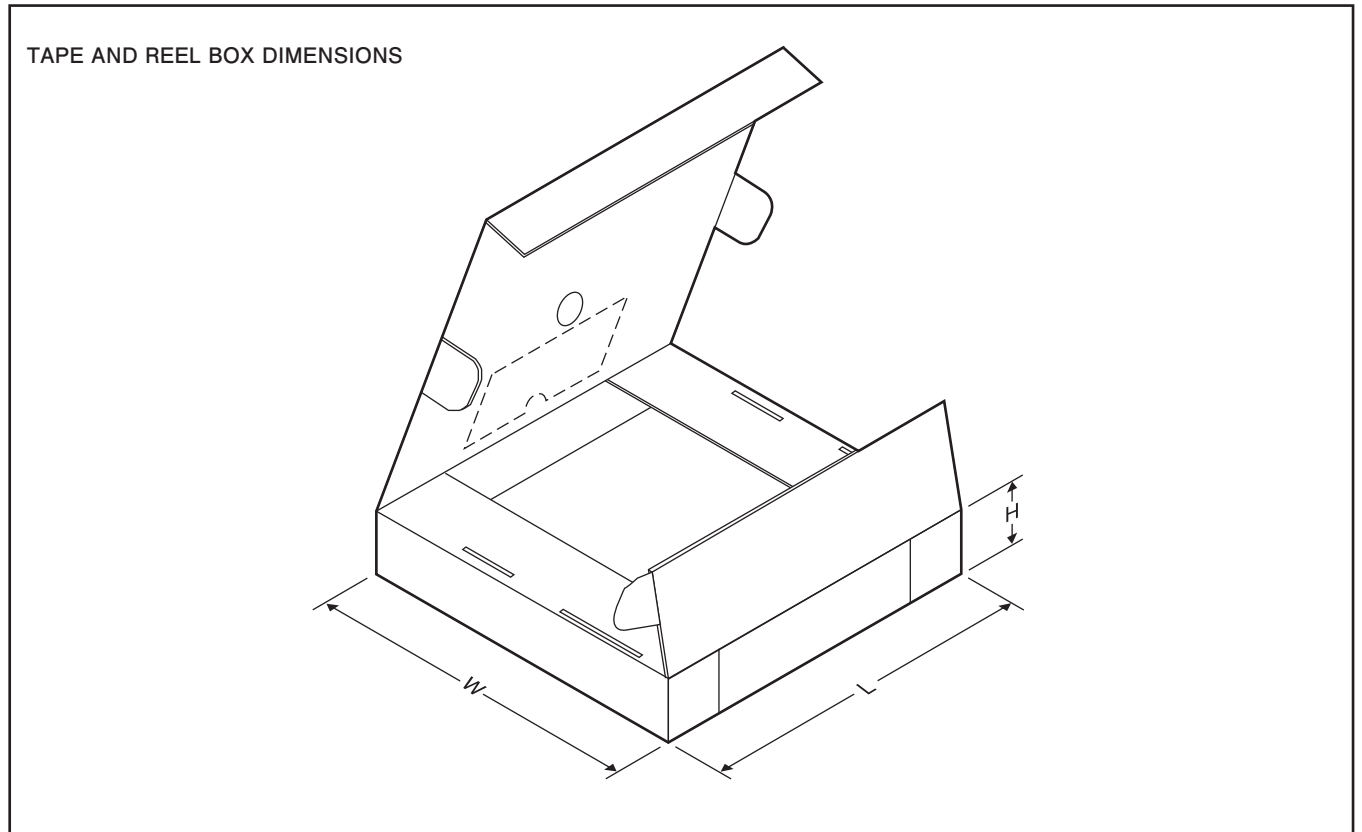
テープおよびリール・ボックス情報



*All dimensions are nominal

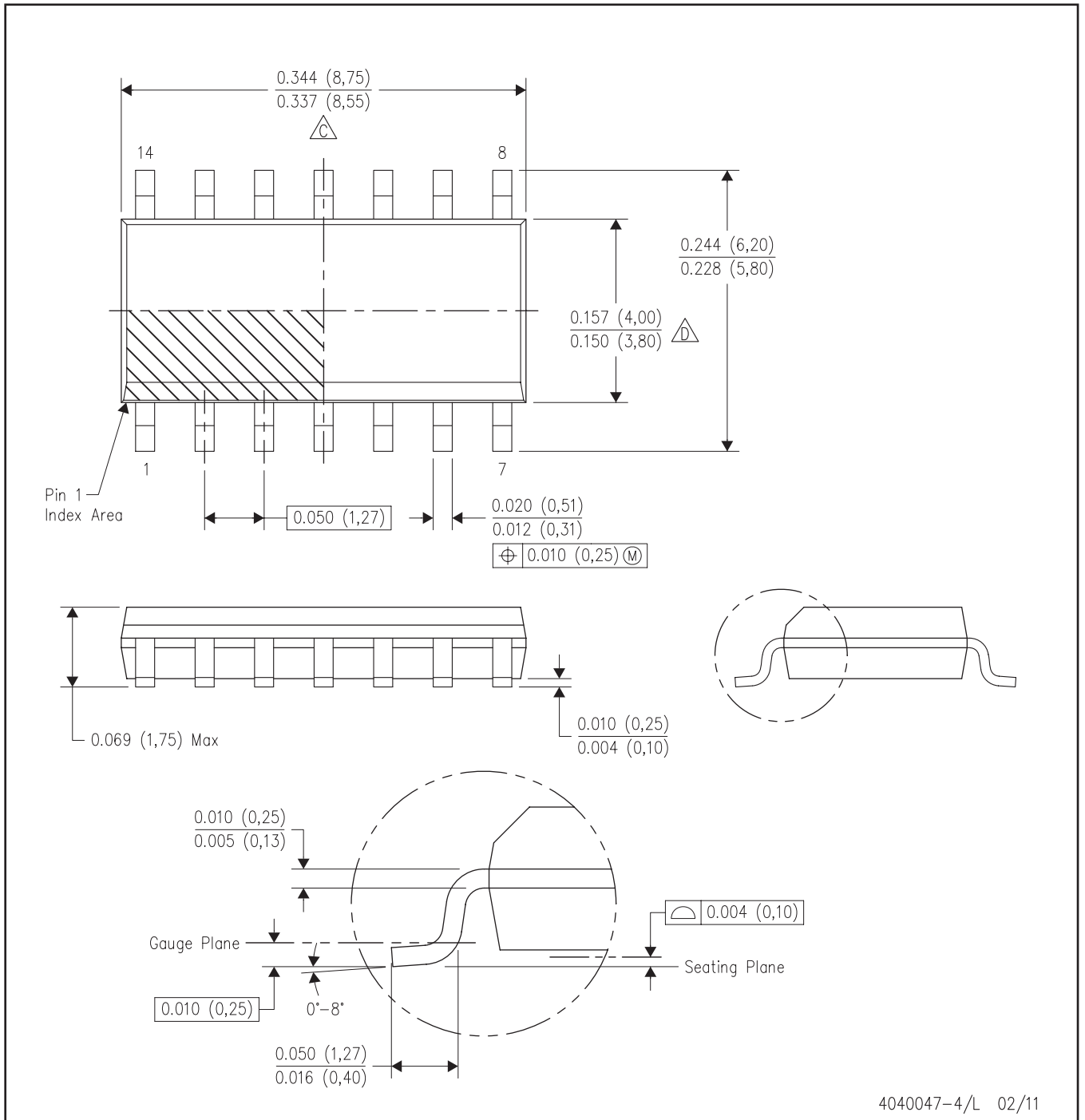
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA141AIDGKR	MSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA141AIDGKT	MSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA141AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2141AIDGKR	MSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2141AIDGKT	MSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2141AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4141AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4141AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

パッケージ・マテリアル情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA141AIDGKR	MSOP	DGK	8	2500	346.0	346.0	29.0
OPA141AIDGKT	MSOP	DGK	8	250	190.5	212.7	31.8
OPA141AIDR	SOIC	D	8	2500	346.0	346.0	29.0
OPA2141AIDGKR	MSOP	DGK	8	2500	346.0	346.0	29.0
OPA2141AIDGKT	MSOP	DGK	8	250	190.5	212.7	31.8
OPA2141AIDR	SOIC	D	8	2500	346.0	346.0	29.0
OPA4141AIDR	SOIC	D	14	2500	346.0	346.0	33.0
OPA4141AIPWR	TSSOP	PW	14	2000	346.0	346.0	29.0



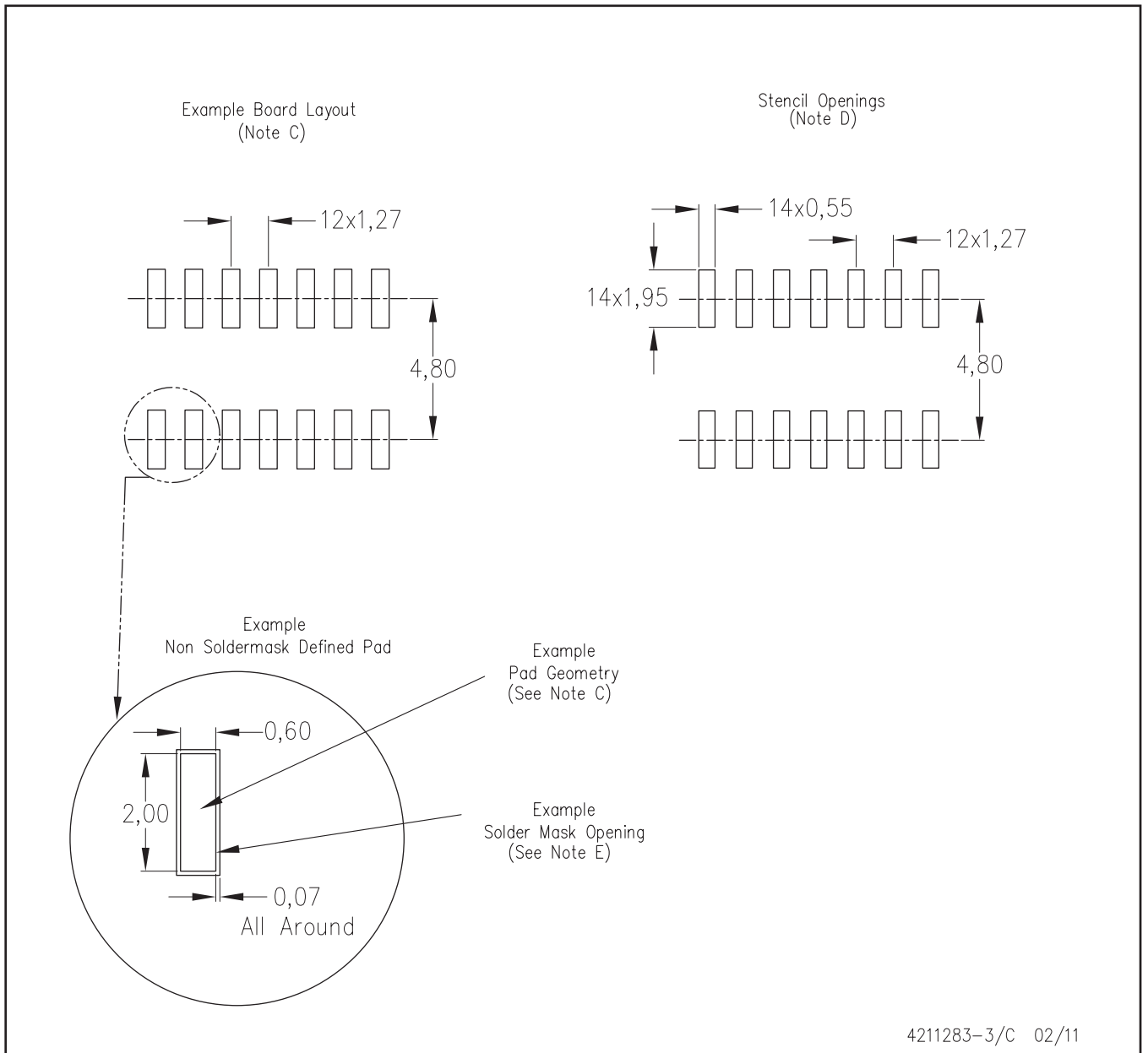
注：A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

△ ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。

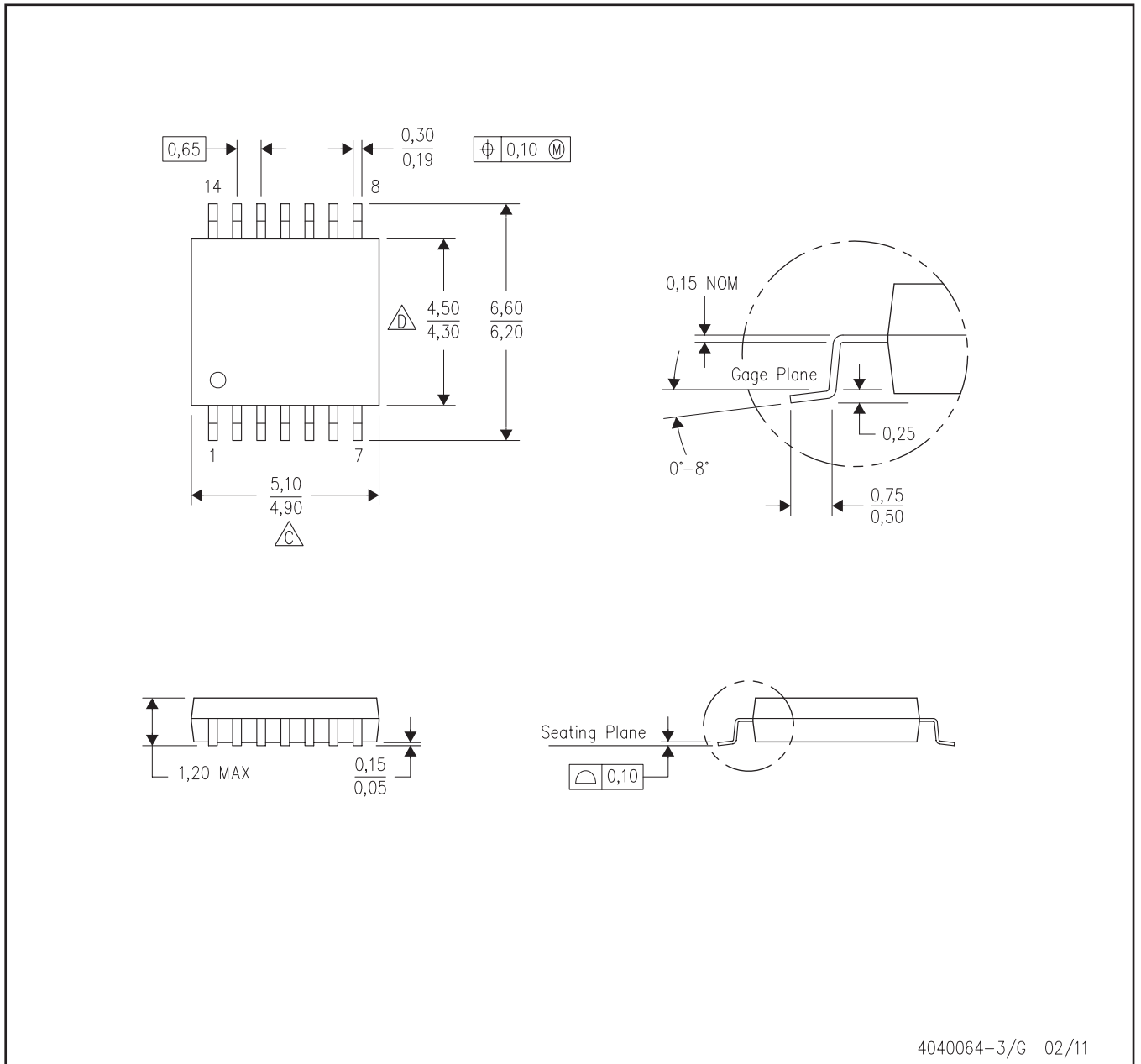
△ ボディ幅には、インターリード・フラッシュは含まれません。インターリード・フラッシュは、片側で0.17(0.43mm)を超えることはありません。

E JEDEC MS-012 バージョンABに適合しています。

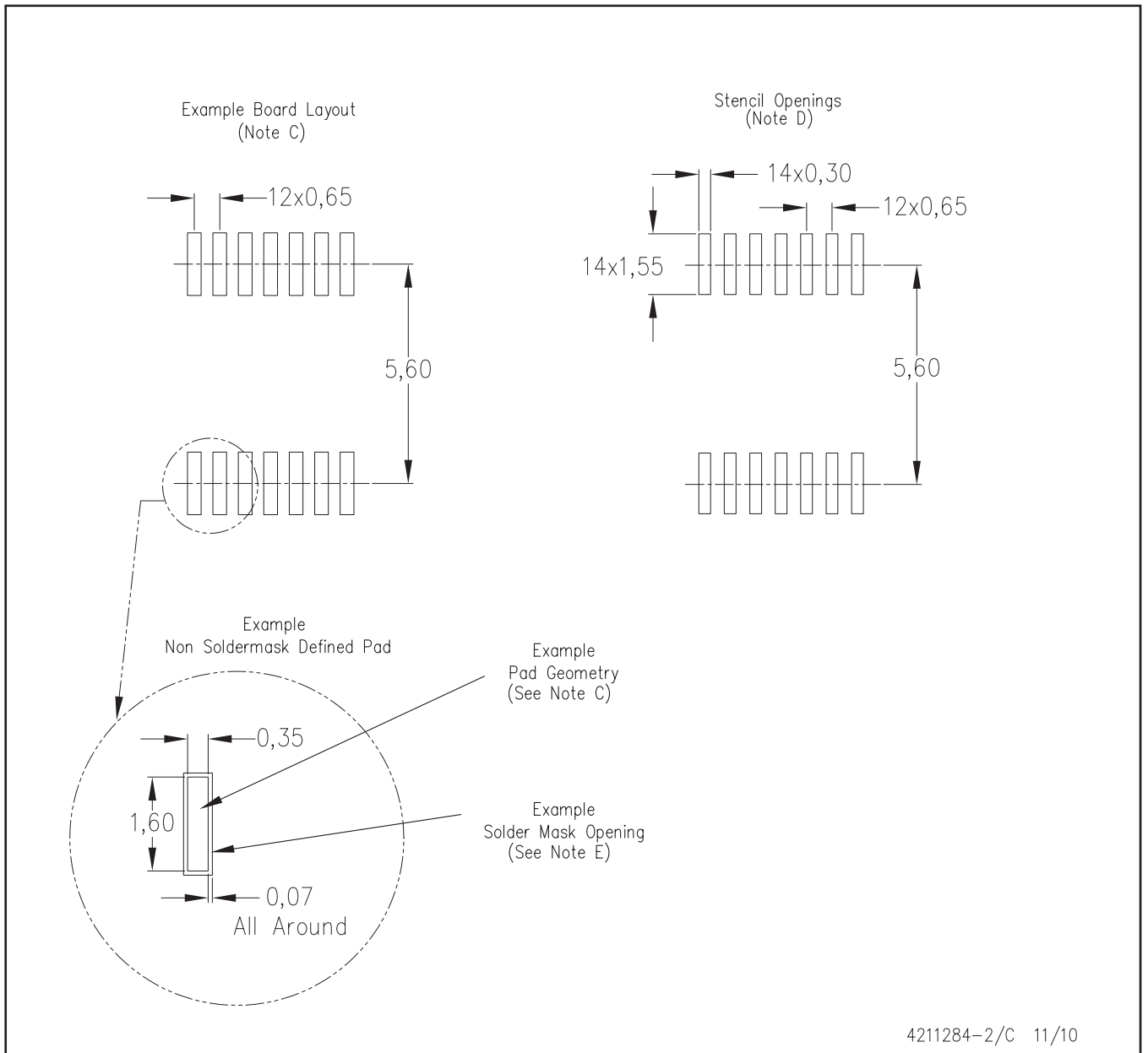


4211283-3/C 02/11

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-7351を推奨します。
 D. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 E. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

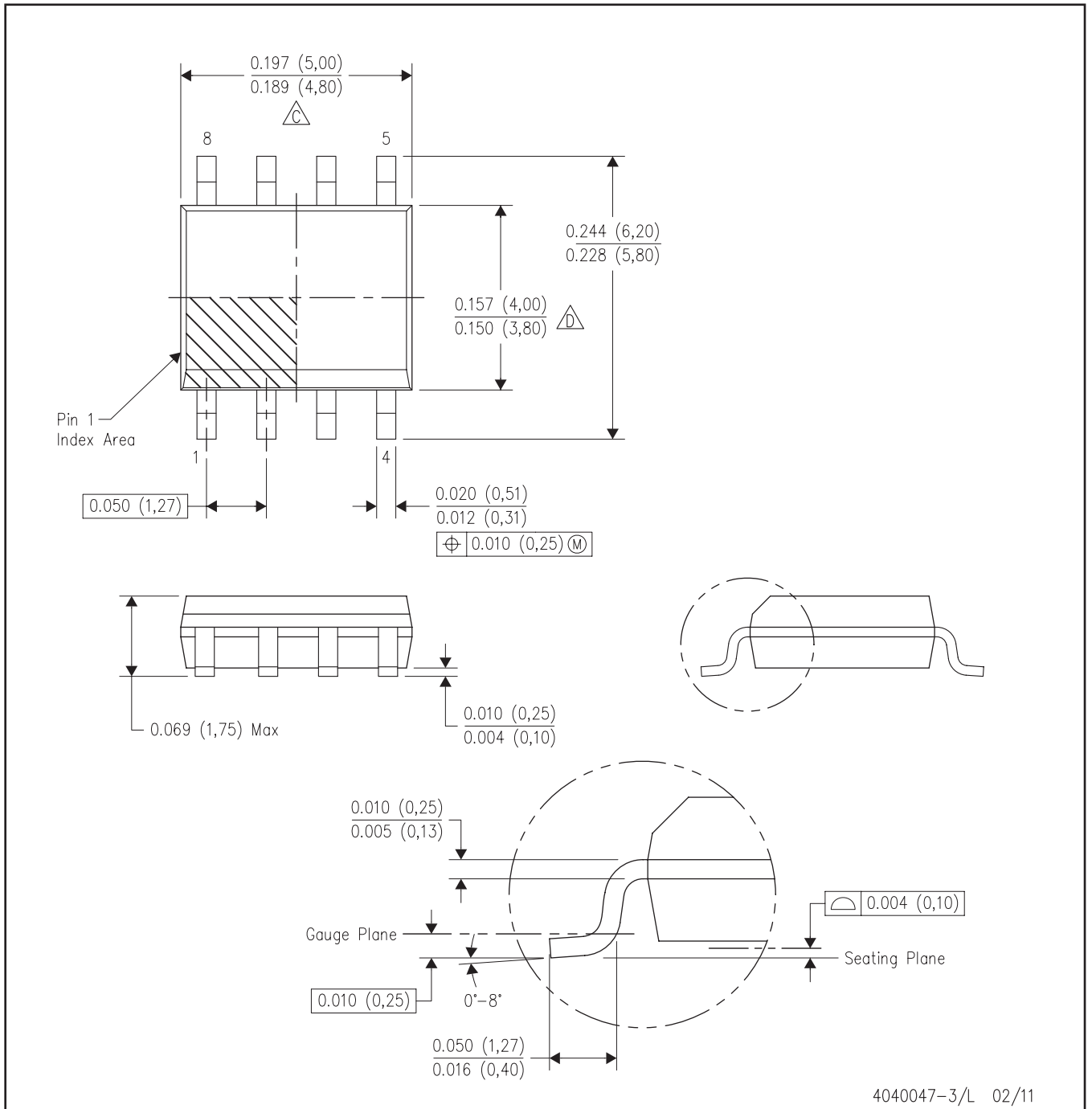


- 注： A. 全ての線寸法の単位はミリメートルです。寸法/公差はASME Y14.5M-1994によります。
 B. 図は予告なく変更することがあります。
 △ ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。
 △ ボディ幅には、インターリード・フラッシュは含まれません。インターリード・フラッシュは、片側で0.17(0.43mm)を超えることはありません。
 E. JEDEC MO-153に準拠



4211284-2/C 11/10

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-7351を推奨します。
 D. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 E. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。



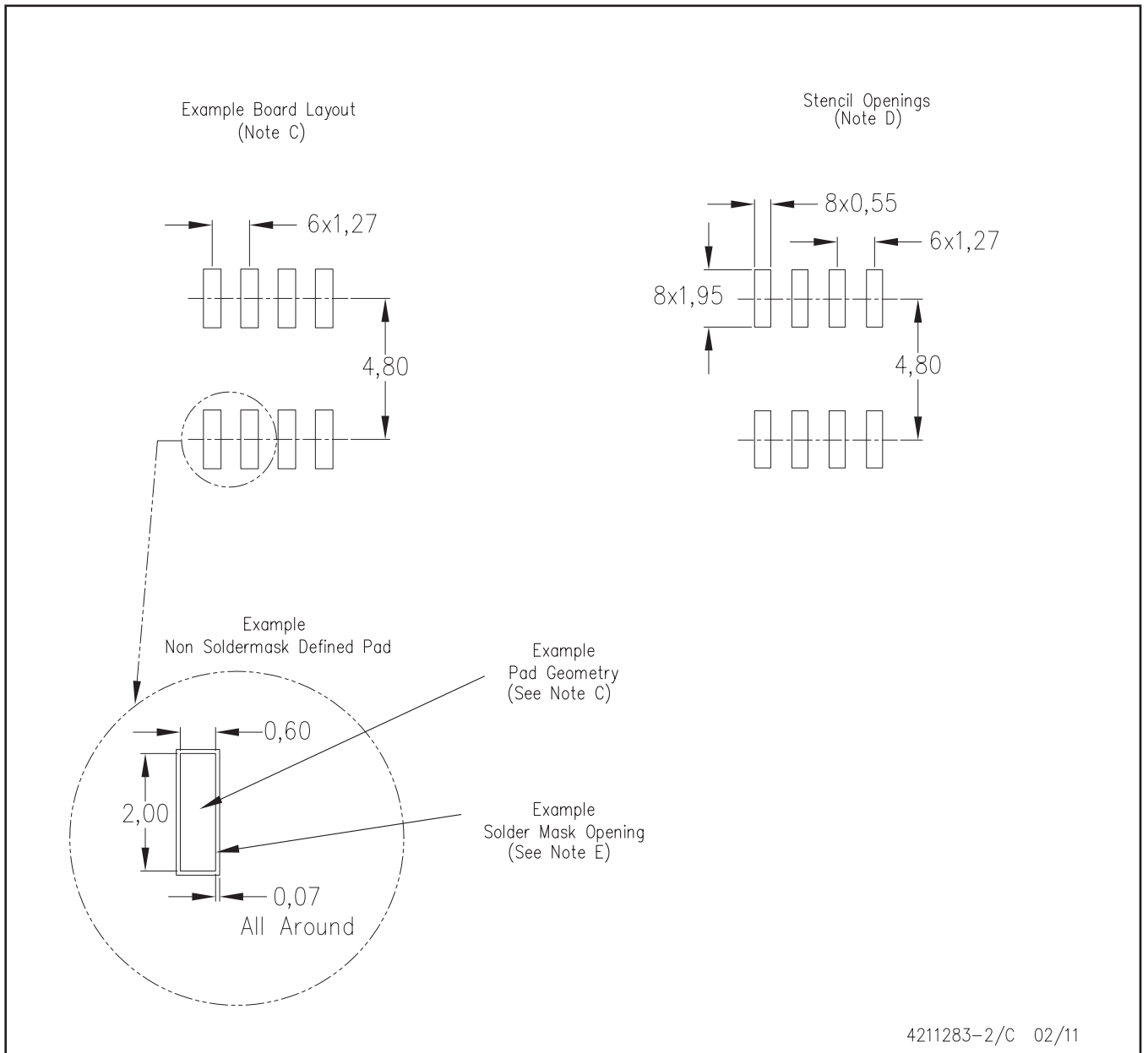
4040047-3/L 02/11

- 注： A. 全ての線寸法の単位はミリメートルです。寸法/公差はASME Y14.5M-1994によります。
 B. 図は予告なく変更することがあります。
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。
 D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 E. JEDEC MS-012 バージョンAAに適合しています。

ランド・パターン

D(R-PDSO-G8)

PLASTIC SMALL OUTLINE



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-7351を推奨します。
 D. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 E. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SBOS510B)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上