

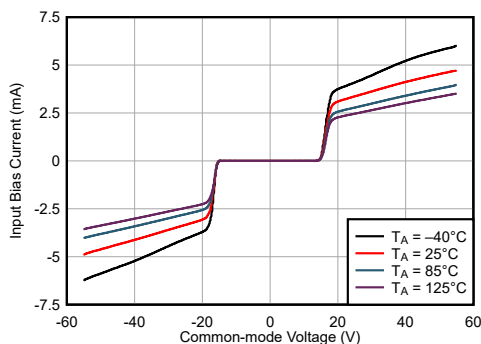
OPAx206 入力過電圧保護、4 μ V、0.08 μ V/°C、低消費電力の スーパー・ベータ、e-trim™ オペアンプ

1 特長

- 高低の電源電圧に対して ± 40 V までの入力過電圧保護機能を内蔵
- e-trim™ オペアンプの性能
 - 低いオフセット電圧: 25 μ V (最大値)
 - 低い入力オフセット電圧ドリフト: $\pm 0.5\mu$ V/°C (最大値)
- スーパー・ベータ入力
 - 入力バイアス電流: 500pA (最大値)
 - 入力電流ノイズ: 110fA/ $\sqrt{\text{Hz}}$
- 低ノイズ
 - 0.1Hz~10Hz: 0.2 μ V_{pp}
 - 電圧ノイズ: 8nV/ $\sqrt{\text{Hz}}$
- A_{OL}、CMRR、PSRR: 124dB 超 (全温度範囲)
- ゲイン帯域幅積: 3.6MHz
- 低い静止電流: 240 μ A (最大値)
- スルーレート: 4V/ μ s
- 過負荷電力制限
- レール・ツー・レール出力
- EMI および RFI フィルタ入力
- 広い電源範囲: 4.5V~36V
- 温度範囲: -40°C~+125°C

2 アプリケーション

- アナログ入力モジュール
- 混載モジュール (アナログとデジタルの入出力、AI、AO、DI、DO)
- 実験室およびフィールド用計測機器
- ソース メジャー ユニット (SMU)
- デジタル マルチメータ (DMM)
- 列車制御 / 管理
- スtring インバータ
- データ アクイジション (DAQ)



OPAx206 の入力過電圧保護機能

3 概要

OPA206、OPA2206、および OPA4206 (OPAx206) は、業界標準の OPAx277 ファミリの次世代製品で、入力過電圧保護の追加機能を備えています。高精度、スーパー・ベータ入力、バイポーラの e-trim™ オペアンプは $\pm 4\mu$ V (標準値) の入力オフセット電圧と $\pm 0.08\mu$ V/°C (標準値) の入力オフセット電圧ドリフトを達成するため、テキサス・インスツルメンツ独自のトリミング技術を採用しています。入力過電圧保護機能は、入力信号が電源電圧範囲を超えるとアクティブになり、高低の電源電圧に対して ± 40 V まで保護します。この機能により、アンプの損傷を防ぐための外付け回路が不要になり、サイズとコストが削減されます。

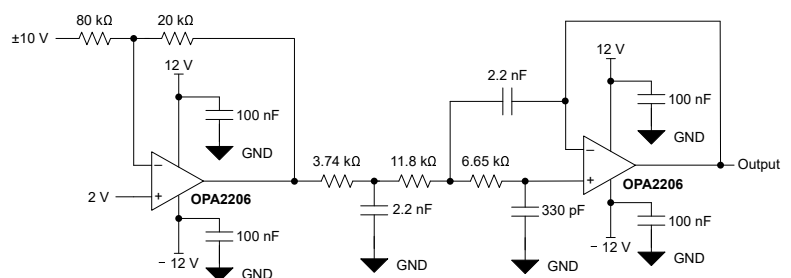
OPAx206 は、わずか 220 μ A (標準値) の電流に対して 3.6MHz の速度電力比を実現しています。これらのデバイスは、1kHz においてわずか 8nV/ $\sqrt{\text{Hz}}$ という小さい電圧ノイズ密度も達成しています。スーパー・ベータ入力により、OPAx206 は、100pA (標準値) の非常に小さい入力バイアス電流と 110fA/ $\sqrt{\text{Hz}}$ の電流ノイズ密度を実現しています。

OPAx206 は高性能なため、プログラマブル ロジック コントローラの高密度アナログ入力モジュール、フィールドおよび携帯型計測システム、ソース メジャー ユニット (SMU) など、高精度と低消費電力を必要とするシステムに最適です。OPA205 と OPA2205 は同じオペアンプ コアを持つ関連製品ですが、入力保護機能がない代わりに広帯域ノイズ性能が優れています (7.2nV/ $\sqrt{\text{Hz}}$)。

製品情報

部品番号	チャンネル	パッケージ ⁽¹⁾
OPA206	シングル	D (SOIC, 8)
OPA2206	デュアル	D (SOIC, 8)
		DGK (VSSOP, 8)
OPA4206	クワッド	D (SOIC, 14)
		PW (TSSOP, 14)

(1) 詳細については、[セクション 11](#) を参照してください。



OPAx206 の代表的なアプリケーション



目次

1 特長	1	7.2 機能ブロック図.....	21
2 アプリケーション	1	7.3 機能説明.....	22
3 概要	1	7.4 デバイスの機能モード.....	24
4 ピン構成および機能	3	8 アプリケーションと実装	25
5 仕様	5	8.1 アプリケーション情報.....	25
5.1 絶対最大定格.....	5	8.2 代表的なアプリケーション.....	25
5.2 ESD 定格.....	5	8.3 電源に関する推奨事項.....	28
5.3 推奨動作条件.....	5	8.4 レイアウト.....	28
5.4 熱に関する情報: OPA206.....	6	9 デバイスおよびドキュメントのサポート	30
5.5 熱に関する情報: OPA2206.....	6	9.1 デバイスのサポート.....	30
5.6 熱に関する情報: OPA4206.....	6	9.2 ドキュメントのサポート.....	30
5.7 電気的特性: $V_S = \pm 5V$	7	9.3 ドキュメントの更新通知を受け取る方法.....	30
5.8 電気的特性: $V_S = \pm 15V$	9	9.4 サポート・リソース.....	30
5.9 代表的特性.....	11	9.5 商標.....	30
6 パラメータ測定情報	20	9.6 静電気放電に関する注意事項.....	30
6.1 代表的な仕様と分布.....	20	9.7 用語集.....	30
7 詳細説明	21	10 改訂履歴	30
7.1 概要.....	21	11 メカニカル、パッケージ、および注文情報	31

4 ピン構成および機能

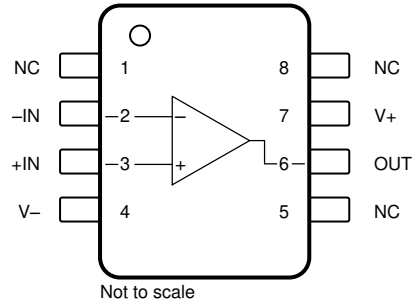


図 4-1. OPA206 : D パッケージ、8 ピン SOIC (上面図)

表 4-1. 端子機能 : OPA206

ピン		タイプ	説明
名称	番号		
+IN	3	入力	非反転入力
-IN	2	入力	反転入力
NC	1、5、8	—	内部接続なし (フローティングのままでも可)
OUT	6	出力	出力
V+	7	電源	正 (最高) 電源
V-	4	電源	負 (最低) 電源

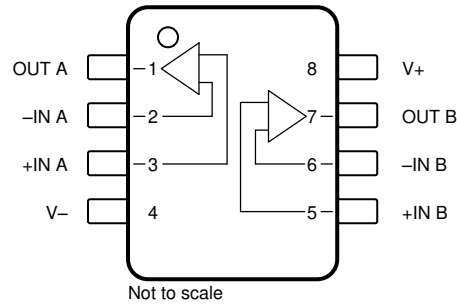


図 4-2. OPA2206 : D パッケージ、8 ピン SOIC および DGK パッケージ、8 ピン VSSOP (上面図)

表 4-2. 端子機能 : OPA2206

ピン		タイプ	説明
名称	番号		
+IN A	3	入力	非反転入力、チャンネル A
-IN A	2	入力	反転入力、チャンネル A
+IN B	5	入力	非反転入力、チャンネル B
-IN B	6	入力	反転入力、チャンネル B
OUT A	1	出力	出力、チャンネル A
OUT B	7	出力	出力、チャンネル B
V+	8	電源	正 (最高) 電源
V-	4	電源	負 (最低) 電源

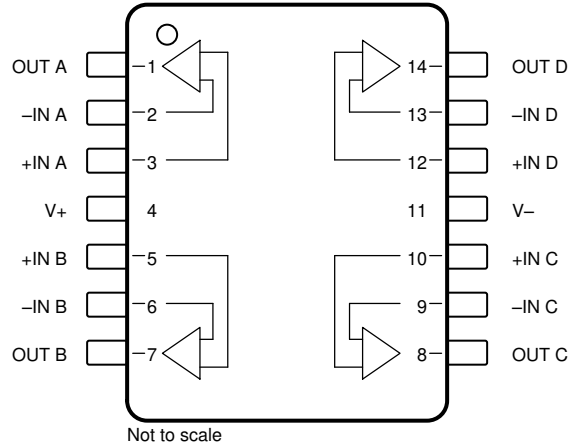


図 4-3. OPA4206 : D パッケージ、14 ピン SOIC および PW パッケージ、14 ピン TSSOP (上面図)

表 4-3. 端子機能 : OPA4206

ピン		タイプ	説明
名称	番号		
+IN A	3	入力	非反転入力、チャンネル A
+IN B	5	入力	非反転入力、チャンネル B
+IN C	10	入力	非反転入力、チャンネル C
+IN D	12	入力	非反転入力、チャンネル D
-IN A	2	入力	反転入力、チャンネル A
-IN B	6	入力	反転入力、チャンネル B
-IN C	9	入力	反転入力、チャンネル C
-IN D	13	入力	反転入力、チャンネル D
OUT A	1	出力	出力、チャンネル A
OUT B	7	出力	出力、チャンネル B
OUT C	8	出力	出力、チャンネル C
OUT D	14	出力	出力、チャンネル D
V+	4	電源	正 (最高) 電源
V-	11	電源	負 (最低) 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)	単一電源	40	V
		デュアル電源	±20	
	信号入力ピン電圧	(V-) - 40	(V+) + 40	V
	出力短絡 ⁽²⁾	連続		
T _A	動作温度範囲	-40	150	°C
T _J	接合部温度		150	°C
T _{STG}	保管温度、T _{stg}	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの恒久的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、JANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)	単一電源	4.5	36	V
		デュアル電源	±2.25	±18	
T _A	動作温度範囲	-40		125	°C

5.4 熱に関する情報 : OPA206

熱評価基準 ⁽¹⁾		OPA206		単位
		D (SOIC)		
		8 ピン		
R _{θJA}	接合部から周囲への熱抵抗	129.6		°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	69.9		°C/W
R _{θJB}	接合部から基板への熱抵抗	73.0		°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	21.2		°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	72.2		°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし		°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 熱に関する情報 : OPA2206

熱評価基準 ⁽¹⁾		OPA2206		単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	124.8	175.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	64.9	63.1	°C/W
R _{θJB}	接合部から基板への熱抵抗	68.1	97.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	17.1	7.8	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	67.4	95.5	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	N/A	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.6 熱に関する情報 : OPA4206

熱評価基準 ⁽¹⁾		OPA4206		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	71.5	96.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	28.9	25.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	33.7	54.0	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	6.3	2.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	33.2	53.2	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	N/A	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.7 電気的特性 : $V_S = \pm 5V$

$T_A = 25^\circ C$, $V_{CM} = V_{OUT} =$ 中間電源、 $R_L = 10k\Omega$ を $V_S / 2$ に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧			± 4	± 25	μV
		$T_A = -40^\circ C \sim +125^\circ C$			± 55	
dV_{OS}/dT	入力オフセット電圧ドリフト	$T_A = -40^\circ C \sim +125^\circ C$		± 0.08	± 0.5	$\mu V/^\circ C$
PSRR	電源除去比	$V_S = \pm 2.25V \sim \pm 18V$		± 0.05	± 0.5	$\mu V/V$
			$T_A = -40^\circ C \sim +125^\circ C$			
	チャンネル セパレーション	$f = dc$		130		dB
		$f = 100kHz$		110		
入力バイアス電流						
I_B	入力バイアス電流			± 0.1	± 0.5	nA
		$T_A = 0^\circ C \sim 85^\circ C$			± 0.75	
		$T_A = -40^\circ C \sim +125^\circ C$			± 1	
I_{OS}	入力オフセット電流			± 0.1	± 0.4	nA
		$T_A = 0^\circ C \sim 85^\circ C$			± 0.5	
		$T_A = -40^\circ C \sim +125^\circ C$			± 0.6	
ノイズ						
	入力電圧ノイズ	$f = 0.1Hz \sim 10Hz$		0.2		μV_{PP}
e_n	入力電圧ノイズ密度	$f = 10Hz$		8.4		nV/\sqrt{Hz}
		$f = 100Hz$		8.1		
		$f = 1kHz$		8		
i_n	入力電流ノイズ	$f = 1kHz$		110		fA/\sqrt{Hz}
入力電圧						
V_{CM}	同相電圧		$(V-) + 1$		$(V+) - 1.4$	V
CMRR	同相除去比	$(V-) + 1V < V_{CM} < (V+) - 1.4V$, $T_A = -40^\circ C \sim +125^\circ C$	124	140		dB
入力過電圧						
	入力過電圧保護	$T_A = -40^\circ C \sim +125^\circ C$	$(V-) - 40$		$(V+) + 40$	V
	過電圧保護モードでの入力電流	$V_S = 0V$, $(V-) - 40V < V_{CM} < (V+) + 40V$		4.8	10	mA
		$T_A = -40^\circ C \sim +125^\circ C$		「代表的特性」を参照		
入力インピーダンス						
Z_{ID}	差動			9 4.4		$M\Omega pF$
Z_{ICM}	同相			300 4.4		$G\Omega pF$

OPA206, OPA2206, OPA4206

JAJ38E – MARCH 2020 – REVISED DECEMBER 2023

5.7 電気的特性 : $V_S = \pm 5V$ (続き)
 $T_A = 25^\circ C$, $V_{CM} = V_{OUT} =$ 中間電源, $R_L = 10k\Omega$ を $V_S / 2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	$T_A = -40^\circ C \sim +125^\circ C$, $(V_-) + 200mV < V_O < (V_+) - 200mV$	$R_L = 10k\Omega$	126	132		dB
			$R_L = 2k\Omega$	126	130		
周波数応答							
GBW	ゲイン帯域幅積				3.6		MHz
SR	スルー レート	4V ステップ、ゲイン=-1			3.2		V/ μs
	位相マージン	$R_L = 10k\Omega$, $C_L = 25pF$			67		度
t_s	セトリング タイム	0.024% まで (12 ビット)、 4V ステップ、ゲイン=1、 $C_L = 30pF$	立ち下がり		2.2		μs
			立ち上がり		2.8		
	過負荷復帰時間	ゲイン=-10			0.3		μs
THD+N	全高調波歪み + ノイズ	$V_O = 5V_{PP}$, ゲイン=+1, $f = 1kHz$, $R_L = 2k\Omega$			0.0004		%
出力							
	レールからの電圧出力サイン グ	$A_{OL} > 126dB$	$R_L = 10k\Omega$	(V-) + 0.2		(V+) - 0.2	V
			$R_L = 2k\Omega$	(V-) + 0.2		(V+) - 0.2	
			$T_A = -40^\circ C \sim +125^\circ C$, $R_L = 10k\Omega$	(V-) + 0.2		(V+) - 0.2	
I_{SC}	短絡電流				± 25		mA
C_{LOAD}	容量性負荷の駆動				「代表的特性」を参照		
R_O	開ループ出力インピーダンス				「代表的特性」を参照		
電源							
I_Q	静止電流 (アンプあたり)	$I_O = 0mA$			220	240	μA
			$T_A = -40^\circ C \sim +125^\circ C$			310	

5.8 電気的特性 : $V_S = \pm 15V$

$T_A = 25^\circ C$, $V_{CM} = V_{OUT} =$ 中間電源、 $R_L = 10k\Omega$ を $V_S / 2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位	
オフセット電圧								
V_{OS}	入力オフセット電圧				± 4	± 25	μV	
		$T_A = -40^\circ C \sim +125^\circ C$				± 55		
dV_{OS}/dT	入力オフセット電圧ドリフト	$T_A = -40^\circ C \sim +125^\circ C$			± 0.08	± 0.5	$\mu V/^\circ C$	
PSRR	電源除去比	$V_S = \pm 2.25V \sim \pm 18V$				± 0.05	± 0.5	$\mu V/V$
			$T_A = -40^\circ C \sim +125^\circ C$				± 1	
	チャンネル セパレーション	$f = dc$			130		dB	
		$f = 100kHz$			110			
入力バイアス電流								
I_B	入力バイアス電流				± 0.1	± 0.5	nA	
		$T_A = 0^\circ C \sim 85^\circ C$				± 1		
		$T_A = -40^\circ C \sim +125^\circ C$				± 1.2		
I_{OS}	入力オフセット電流				± 0.1	± 0.4	nA	
		$T_A = 0^\circ C \sim 85^\circ C$				± 0.8		
		$T_A = -40^\circ C \sim +125^\circ C$				± 0.9		
ノイズ								
	入力電圧ノイズ	$f = 0.1Hz \sim 10Hz$			0.2		μV_{PP}	
e_n	入力電圧ノイズ密度	$f = 10Hz$			8.4		nV/\sqrt{Hz}	
		$f = 100Hz$			8.1			
		$f = 1kHz$			8			
i_n	入力電流ノイズ	$f = 1kHz$			110		fA/\sqrt{Hz}	
入力電圧								
V_{CM}	同相電圧			$(V-) + 1$		$(V+) - 1.4$	V	
CMRR	同相除去比	$(V-) + 1V < V_{CM} < (V+) - 1.4V$			126	140	dB	
			$T_A = -40^\circ C \sim +125^\circ C$		124	140		
入力過電圧								
	入力過電圧保護	$T_A = -40^\circ C \sim +125^\circ C$		$(V-) - 40$		$(V+) + 40$	V	
	過電圧保護モードでの入力電流	$V_S = 0V$, $(V-) - 40V < V_{CM} < (V+) + 40V$			4.8	10	mA	
$T_A = -40^\circ C \sim +125^\circ C$			「代表的特性」を参照					
入力インピーダンス								
Z_{ID}	差動				$9 \parallel 4.4$		$M\Omega \parallel pF$	
Z_{ICM}	同相				$300 \parallel 4.3$		$G\Omega \parallel pF$	

5.8 電気的特性 : $V_S = \pm 15V$ (続き)

$T_A = 25^\circ C$ 、 $V_{CM} = V_{OUT} =$ 中間電源、 $R_L = 10k\Omega$ を $V_S / 2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	$R_L = 10k\Omega$, $(V-) + 200mV < V_O < (V+) - 200mV$, $T_A = -40^\circ C \sim +125^\circ C$		126	132		dB
		$R_L = 2k\Omega$, $(V-) + 350mV < V_O < (V+) - 350mV$, $T_A = -40^\circ C \sim +125^\circ C$		126	130		
周波数応答							
GBW	ゲイン帯域幅積	$C_L = 30pF$			3.6		MHz
SR	スルー レート	10V ステップ、ゲイン=-1			4		V/ μs
	位相マージン	$R_L = 10k\Omega$, $C_L = 25pF$			67		度
t_s	セトリング タイム	0.024% まで (12 ビット)、 10V ステップ、ゲイン=1、 $C_L = 30pF$	立ち下がり		2.8		μs
			立ち上がり		4.5		
	過負荷復帰時間	ゲイン=-10			0.2		μs
THD+N	全高調波歪み + ノイズ	$V_O = 5V_{pp}$ 、ゲイン=+1、 $f = 1kHz$ 、 $R_L = 2k\Omega$			0.0004		%
出力							
	レールからの電圧出力サイン グ	$A_{OL} > 126dB$	$R_L = 10k\Omega$	$(V-) + 0.2$		$(V+) + 0.2$	V
			$R_L = 2k\Omega$	$(V-) + 0.35$		$(V+) + 0.35$	
			$T_A = -40^\circ C \sim +125^\circ C$ 、 $R_L = 10k\Omega$	$(V-) + 0.2$		$(V+) + 0.2$	
I_{SC}	短絡電流				± 25		mA
C_{LOAD}	容量性負荷の駆動						「代表的特性」を参照
R_O	開ループ出力インピーダンス						「代表的特性」を参照
電源							
I_Q	静止電流 (アンプあたり)	$I_O = 0mA$			220	240	μA
			$T_A = -40^\circ C \sim +125^\circ C$			310	

5.9 代表的特性

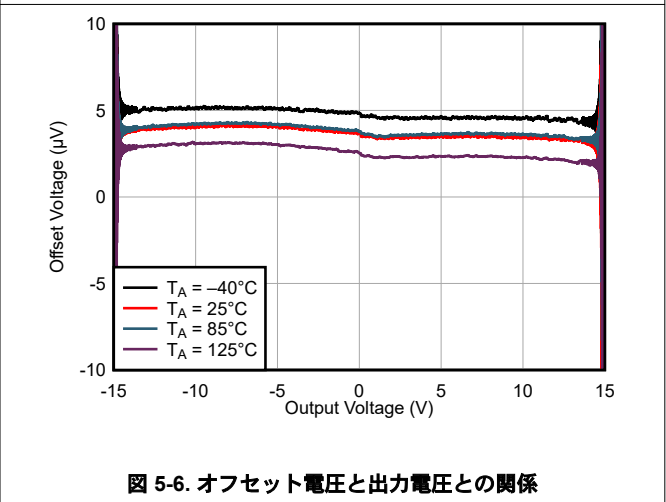
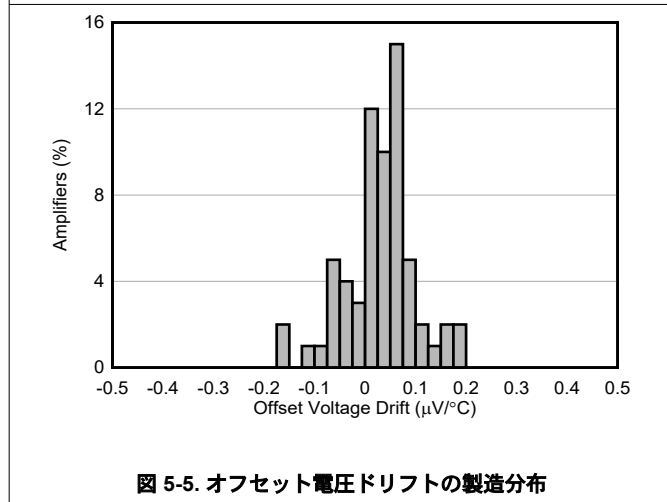
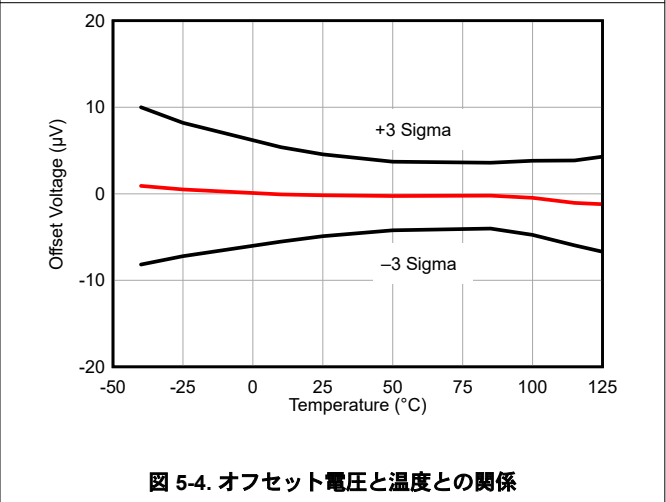
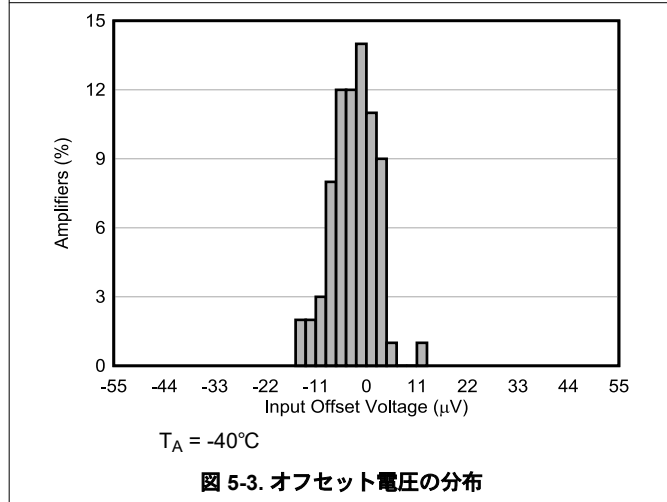
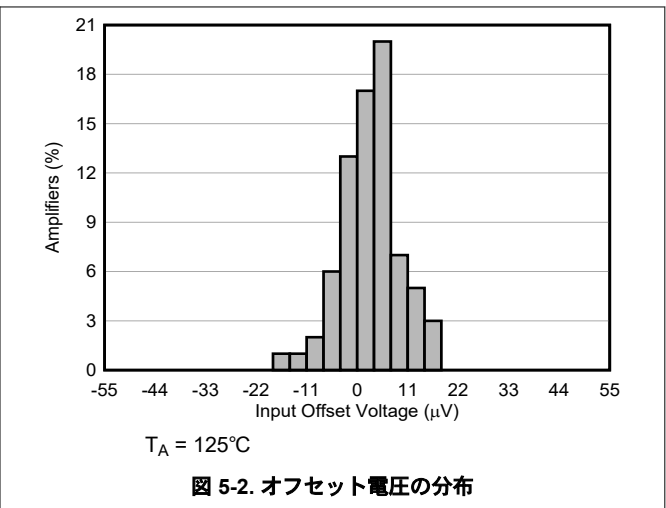
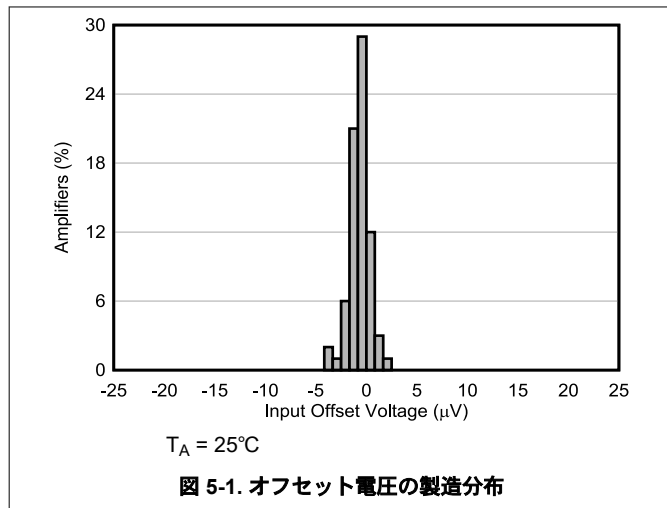
$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = V_{OUT}$ = 中間電源、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)

表 5-1. グラフ一覧

説明	図
25°Cでのオフセット電圧の製品分布	図 5-1
125°Cでのオフセット電圧の分布	図 5-2
-40°Cでのオフセット電圧の分布	図 5-3
オフセット電圧と温度との関係	図 5-4
オフセット電圧ドリフトの製造分布	図 5-5
オフセット電圧と出力電圧との関係	図 5-6
オフセット電圧と電源電圧との関係	図 5-7
電源除去比と温度との関係	図 5-8
電源および同相除去比と周波数との関係	図 5-9
同相除去比と温度との関係	図 5-10
オフセット電圧と同相電圧との関係	図 5-11
Low 電源でのオフセット電圧と V_{CM} との関係	図 5-12
High 電源でのオフセット電圧と V_{CM} との関係	図 5-13
開ループ ゲインおよび位相と周波数との関係	図 5-14
開ループ ゲインと電源からの距離との関係	図 5-15
開ループ ゲインと温度との関係	図 5-16
閉ループ ゲインと周波数との関係	図 5-17
入力バイアスの製品分布	図 5-18
入力バイアスと同相電圧との関係	図 5-19
入力バイアスおよび入力オフセット電流と温度との関係	図 5-20
入力バイアスと過電圧保護された同相モード範囲との関係	図 5-21
入力オフセット電流の製品分布	図 5-22
電圧ノイズ密度と周波数との関係	図 5-23
0.1Hz~10Hz のノイズ	図 5-24
全高調波歪 + ノイズ比と周波数との関係	図 5-25
全高調波歪 + ノイズ比と出力振幅との関係	図 5-26
電流ノイズと周波数との関係	図 5-27
最大出力電圧と周波数との関係	図 5-28
出力電圧スイングと出力ソース電流との関係	図 5-29
出力電圧スイングと出力シンク電流との関係	図 5-30
開ループ出力インピーダンスと周波数との関係	図 5-31
位相反転なし	図 5-32
小信号オーバーシュートと容量性負荷との関係、ゲイン=1	図 5-33
小信号オーバーシュートと容量性負荷との関係、ゲイン=-1	図 5-34
位相マージンと容量性負荷との関係	図 5-35
正の過負荷からの回復、ゲイン=-1	図 5-36
負の過負荷からの回復、ゲイン=-1	図 5-37
セトリング タイム	図 5-38
小信号ステップ応答、ゲイン=1	図 5-39
小信号ステップ応答、ゲイン=-1	図 5-40
大信号ステップ応答、ゲイン=1	図 5-41
大信号ステップ応答、ゲイン=-1	図 5-42
短絡電流と温度との関係	図 5-43
電磁干渉除去 (EMIRR)	図 5-44
静止電流と電源電圧との関係	図 5-45
静止電流と温度との関係	図 5-46

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{CM} = V_{OUT} = \text{中間電源}$, $R_L = 10\text{k}\Omega$ (特に記述のない限り)



5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{CM} = V_{OUT} = \text{中間電源}$, $R_L = 10\text{k}\Omega$ (特に記述のない限り)

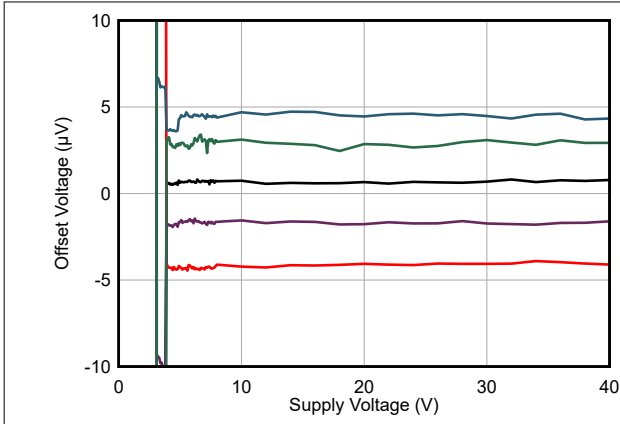


図 5-7. オフセット電圧と電源電圧との関係

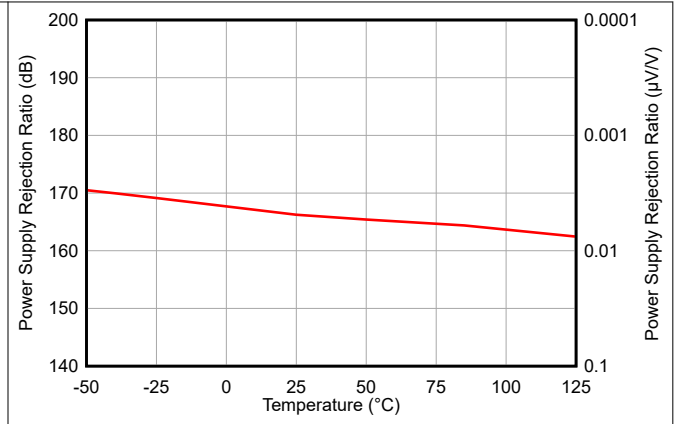


図 5-8. 電源除去比と温度との関係

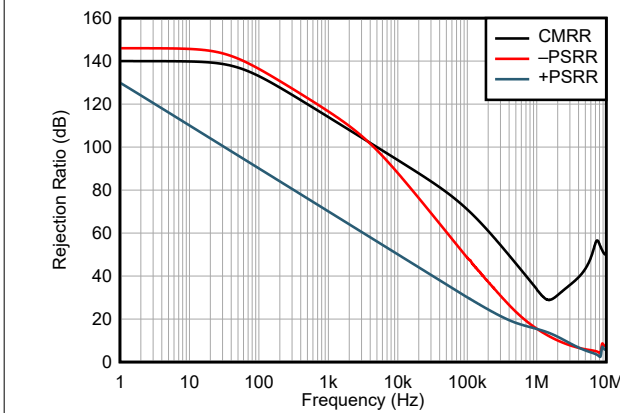


図 5-9. 電源および同相除去比と周波数との関係

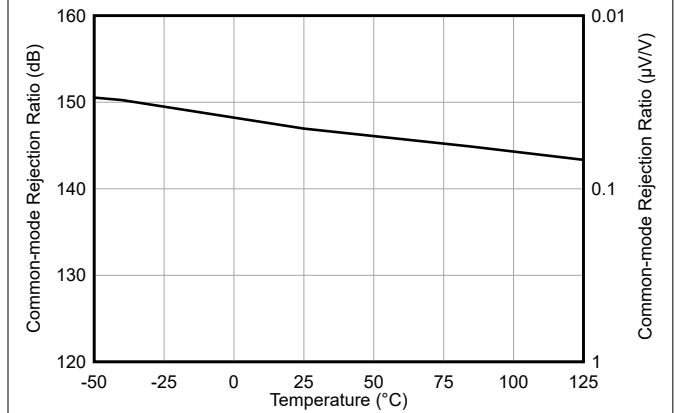


図 5-10. 同相除去比と温度との関係

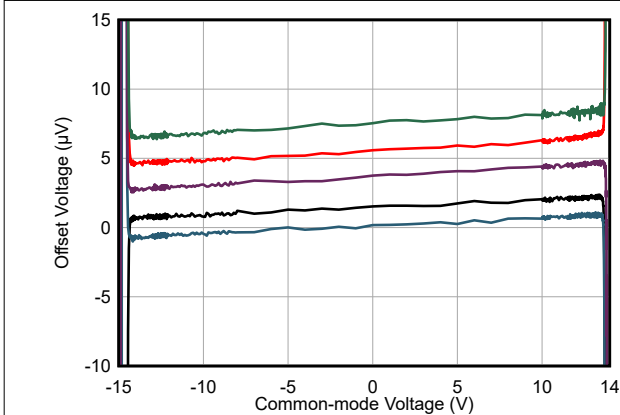


図 5-11. オフセット電圧と同相電圧との関係

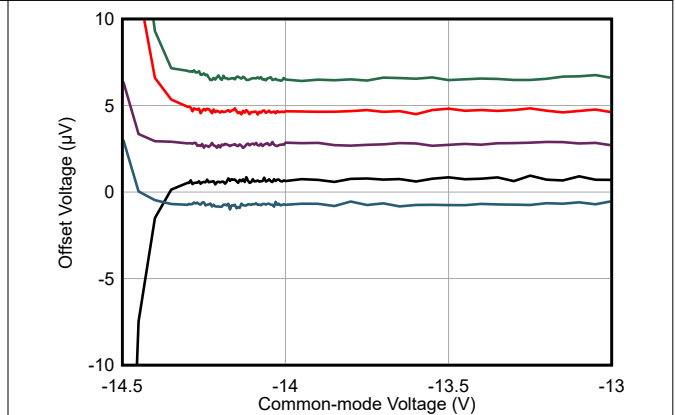


図 5-12. Low 電源でのオフセット電圧と V_{CM} との関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{CM} = V_{OUT}$ = 中間電源、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)

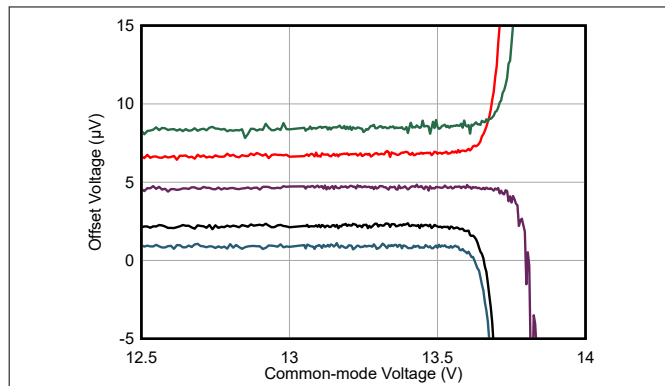


図 5-13. High 電源でのオフセット電圧と V_{CM} との関係

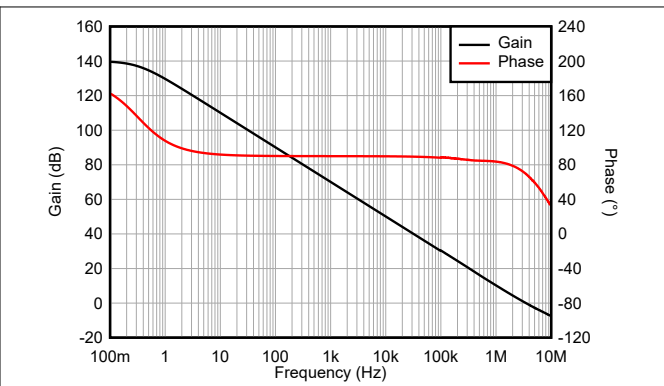


図 5-14. 開ループゲインおよび位相と周波数との関係

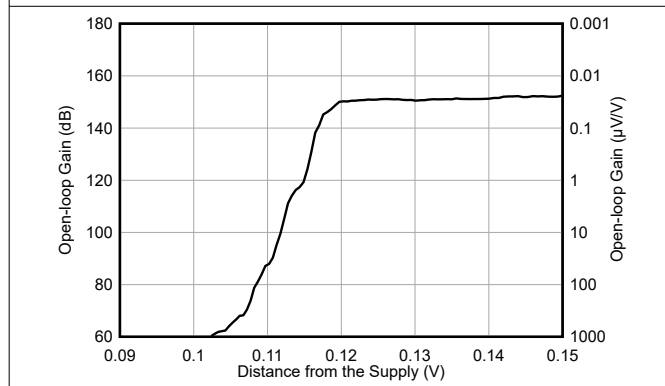


図 5-15. 開ループゲインと電源からの距離との関係

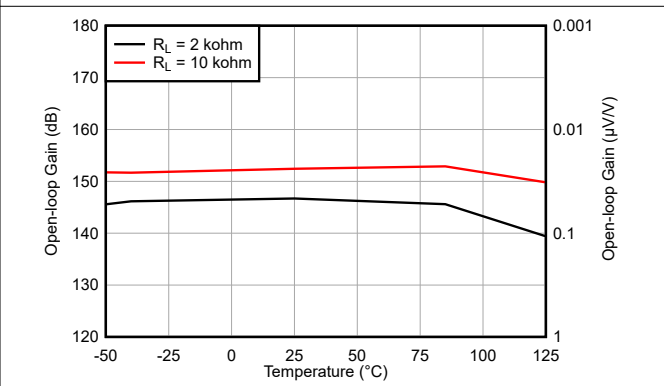


図 5-16. 開ループゲインと温度との関係

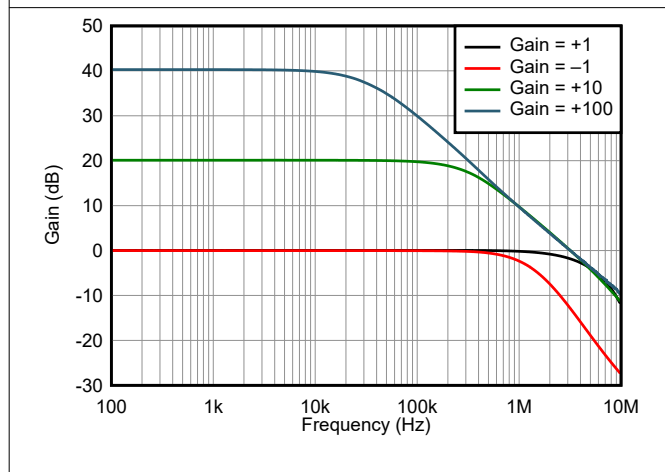


図 5-17. 開ループゲインと周波数との関係

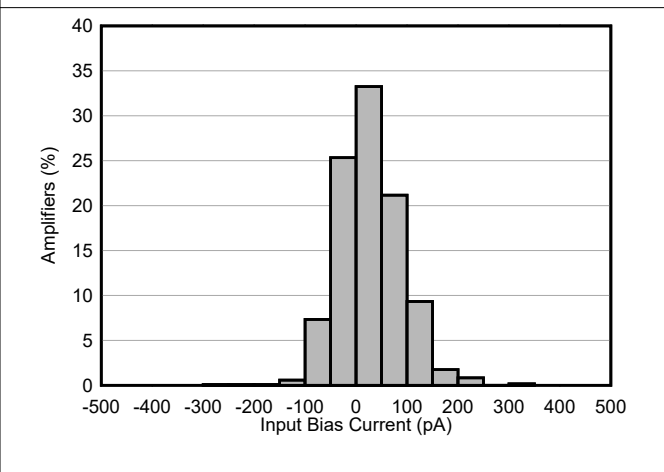


図 5-18. 入力バイアスの製品分布

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = V_{OUT} = \text{中間電源}$ 、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)

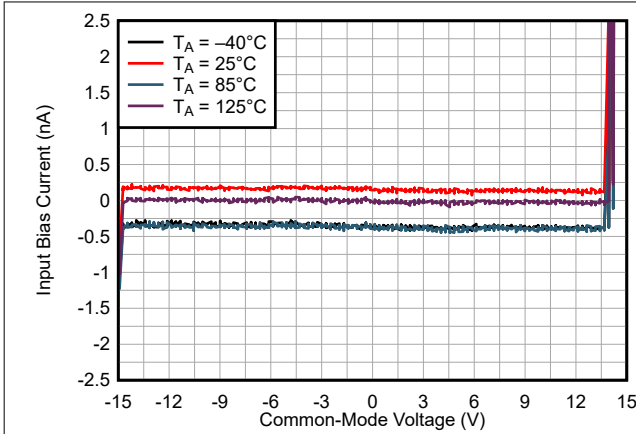


図 5-19. 入力バイアスと同相電圧との関係

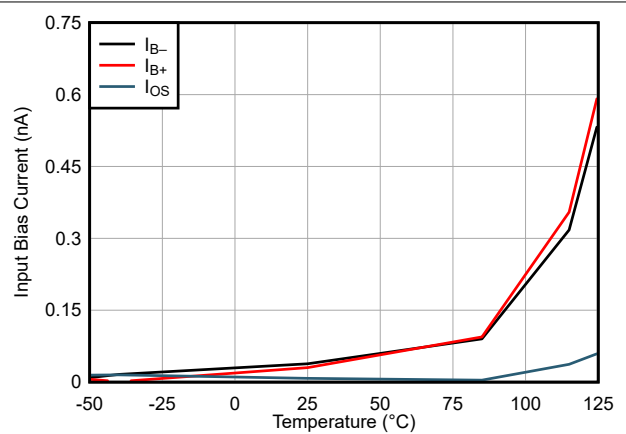


図 5-20. 入力バイアスおよび入力オフセット電流と温度との関係

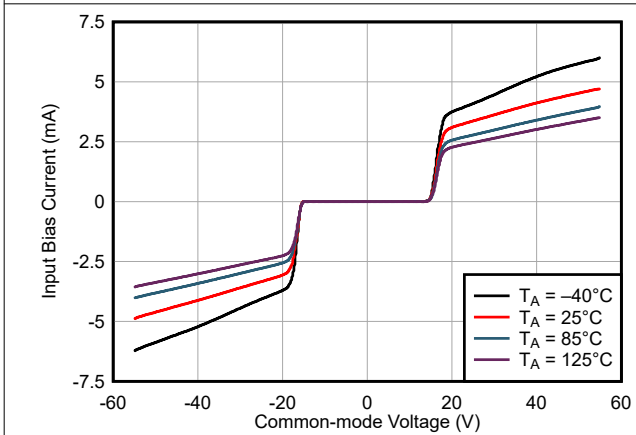


図 5-21. 入力バイアスと過電圧保護された同相モード範囲との関係

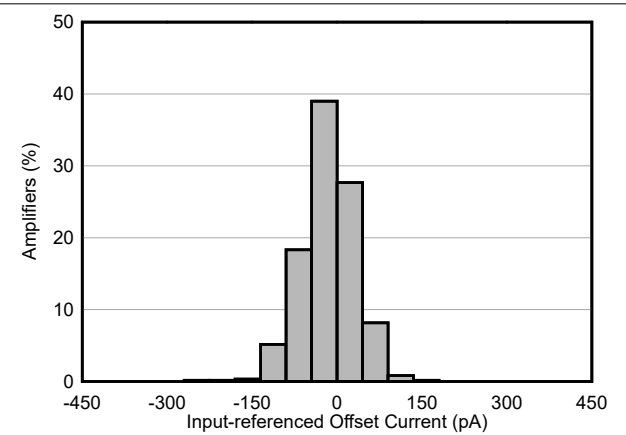


図 5-22. 入力オフセット電流の製品分布

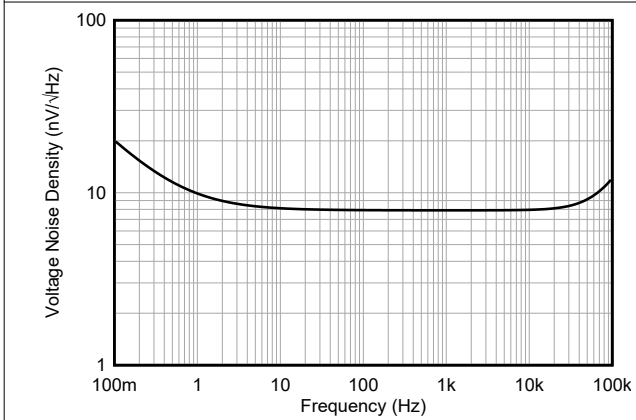


図 5-23. 電圧ノイズ密度と周波数との関係

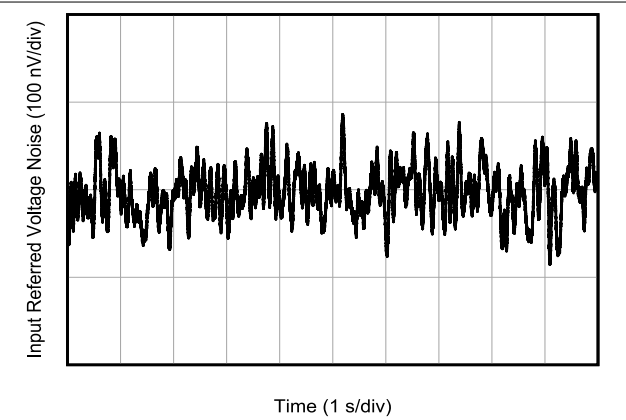


図 5-24. 0.1Hz~10Hz のノイズ

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{CM} = V_{OUT} = \text{中間電源}$, $R_L = 10\text{k}\Omega$ (特に記述のない限り)

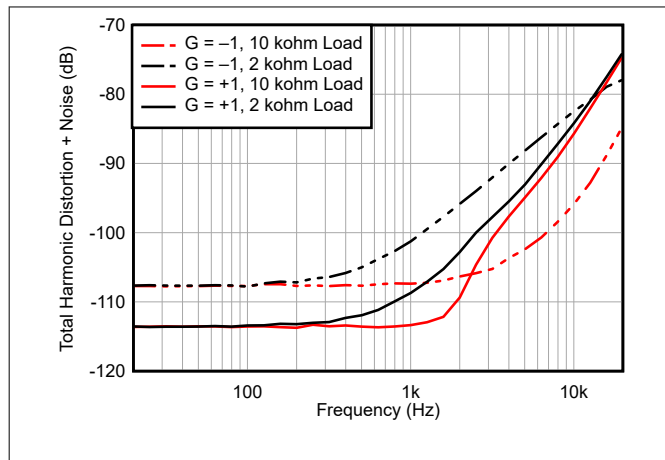


図 5-25. 全高調波歪 + ノイズ比と周波数との関係

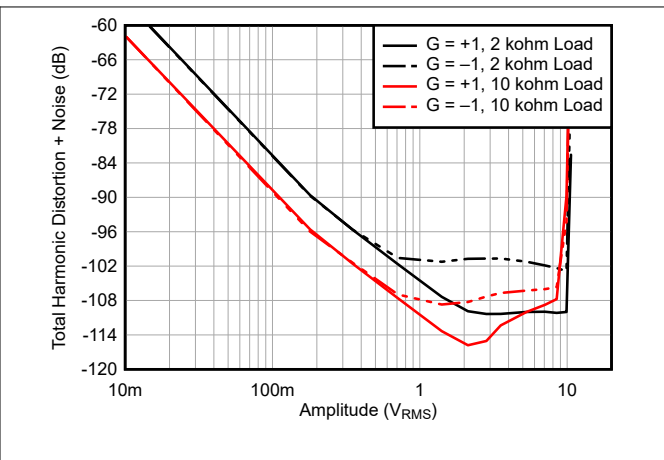


図 5-26. 全高調波歪 + ノイズ比と出力振幅との関係

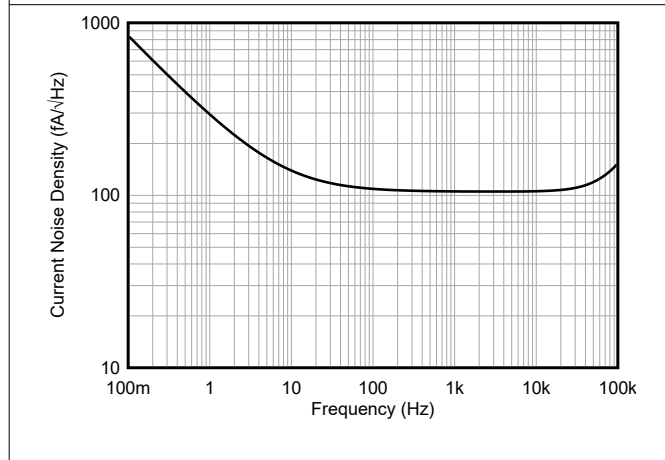


図 5-27. 電流ノイズと周波数との関係

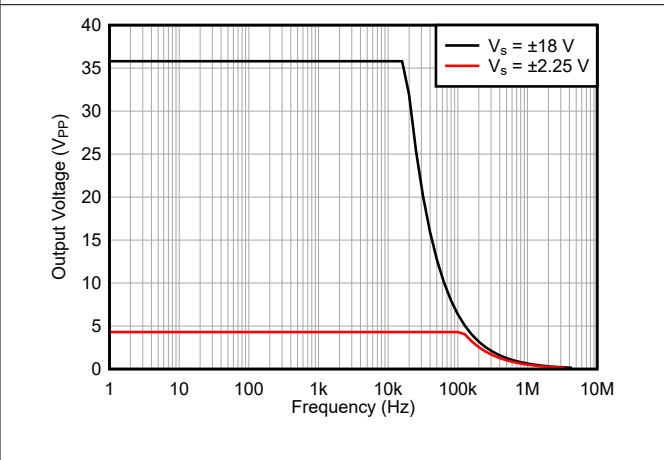


図 5-28. 最大出力電圧と周波数との関係

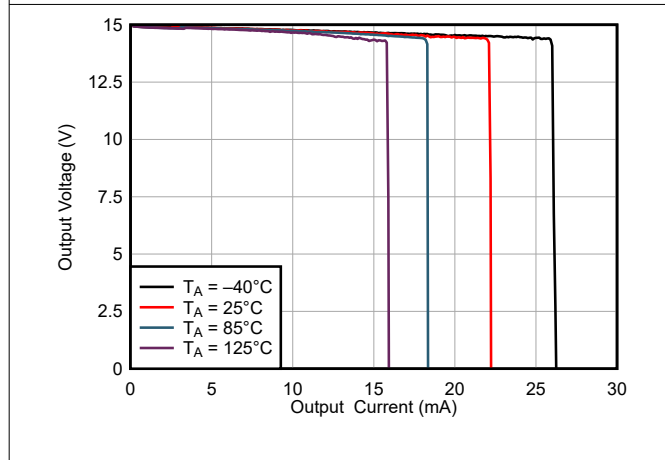


図 5-29. 出力電圧スイングと出力ソース電流との関係

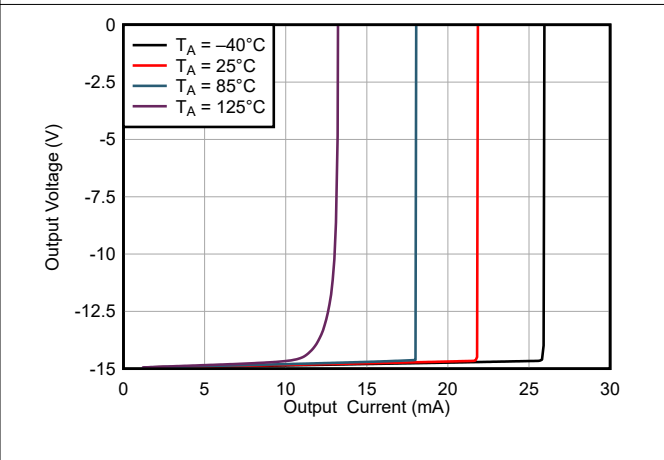


図 5-30. 出力電圧スイングと出力シンク電流との関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{CM} = V_{OUT} = \text{中間電源}$, $R_L = 10\text{k}\Omega$ (特に記述のない限り)

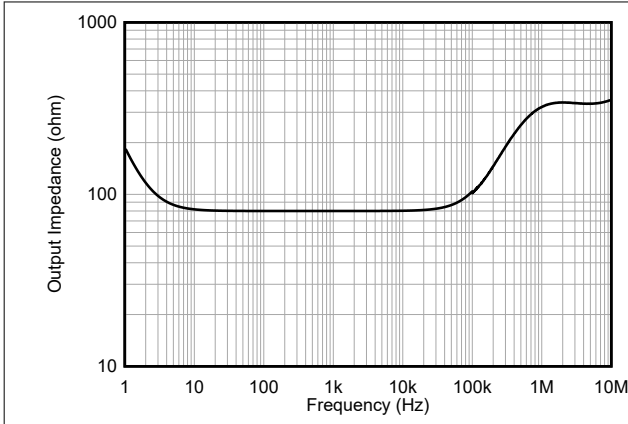


図 5-31. 開ループ出力インピーダンスと周波数との関係

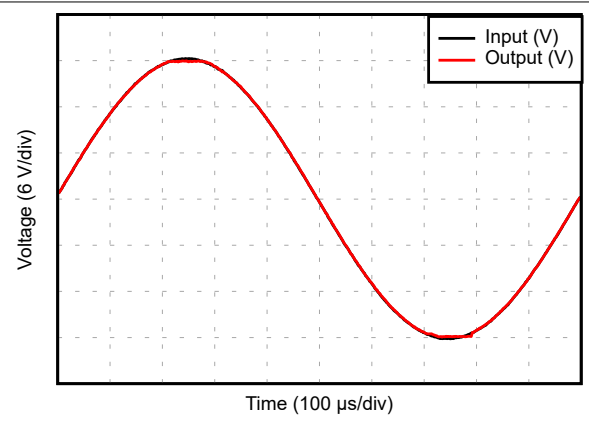


図 5-32. 位相反転なし

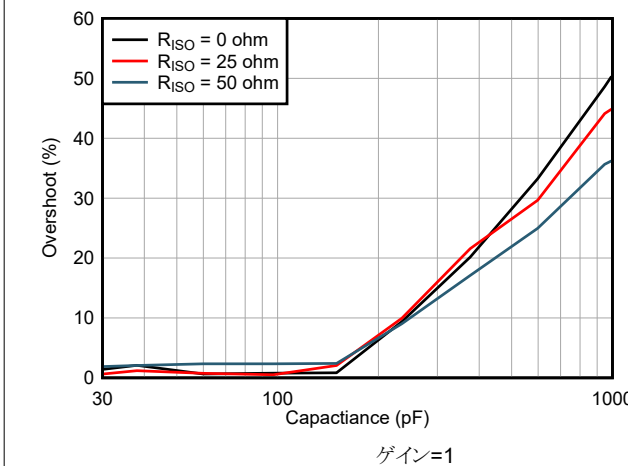


図 5-33. 小信号オーバーシュートと容量性負荷との関係

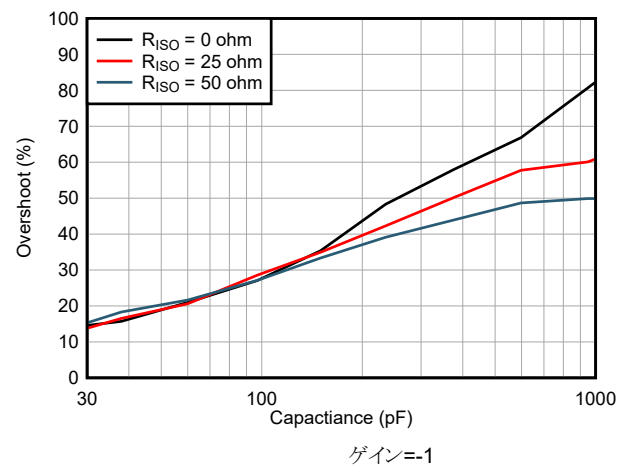


図 5-34. 小信号オーバーシュートと容量性負荷との関係

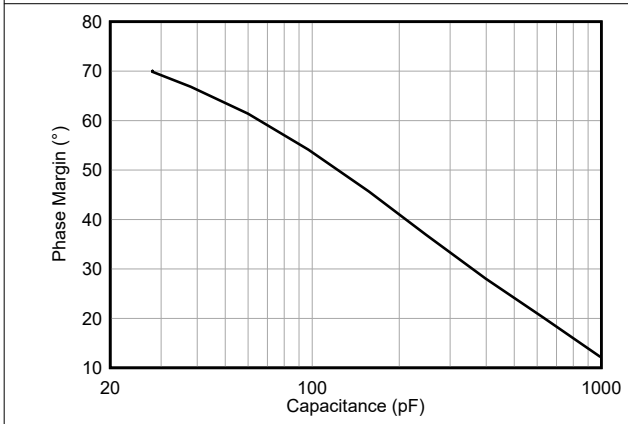


図 5-35. 位相マージンと容量性負荷との関係

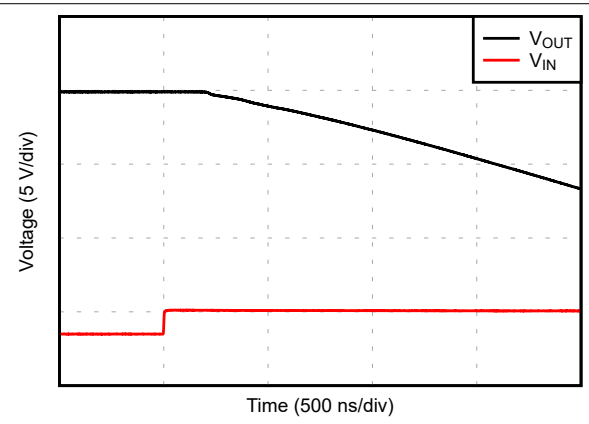
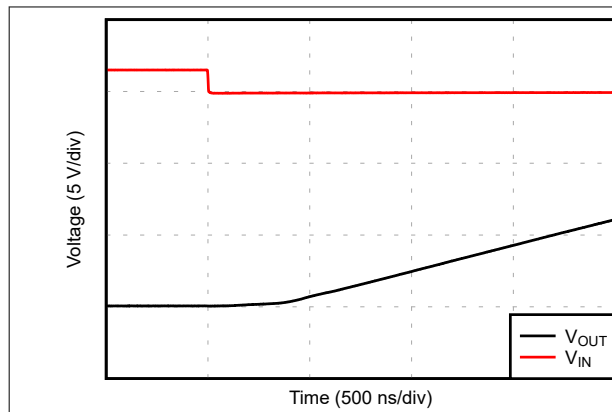


図 5-36. 正の過負荷からの回復

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{CM} = V_{OUT} = \text{中間電源}$, $R_L = 10\text{k}\Omega$ (特に記述のない限り)



ゲイン=-1

図 5-37. 負の過負荷からの回復

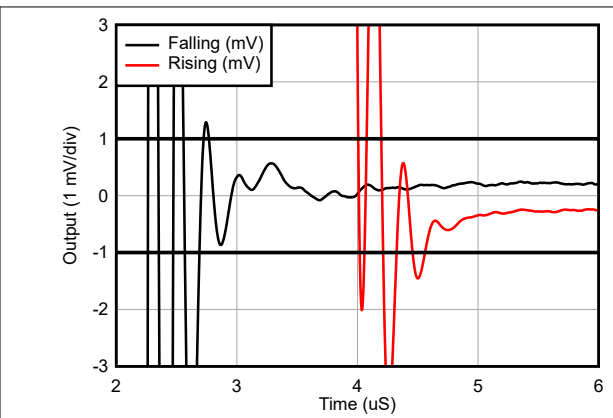
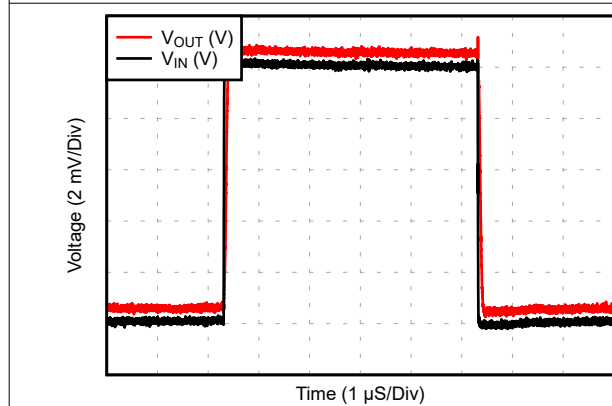
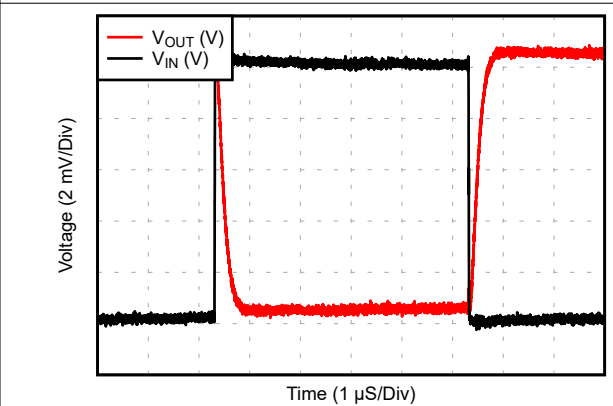


図 5-38. セットリングタイム



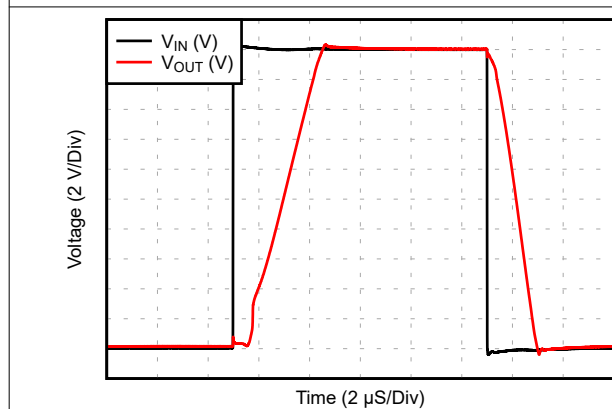
ゲイン=1

図 5-39. 小信号ステップ応答



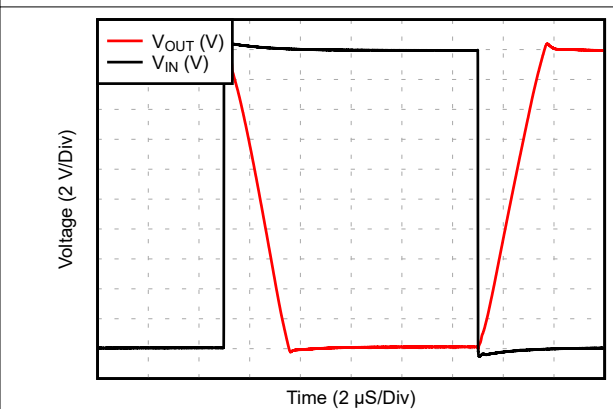
ゲイン=-1

図 5-40. 小信号ステップ応答



ゲイン=1

図 5-41. 大信号ステップ応答

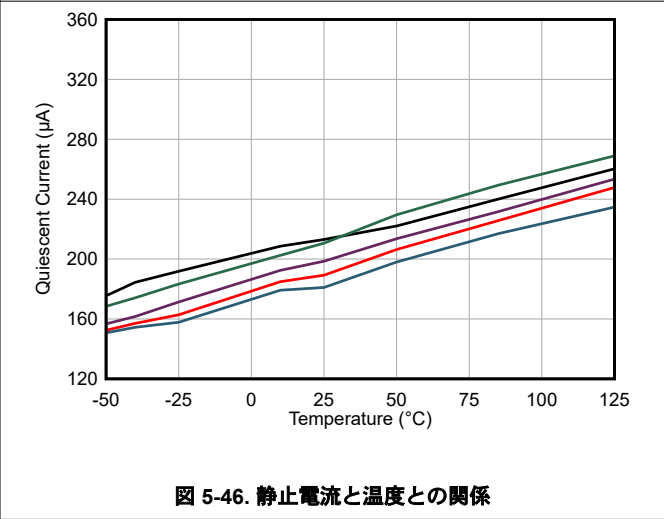
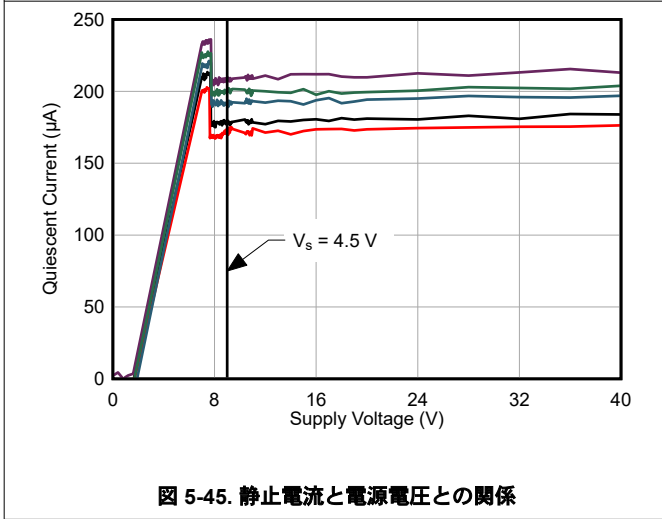
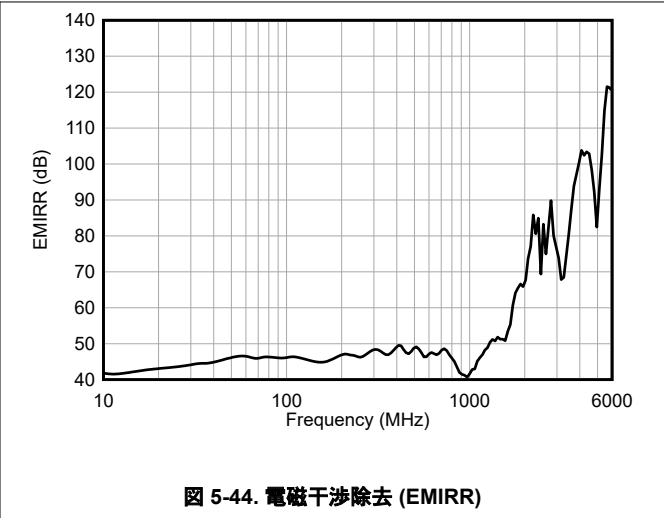
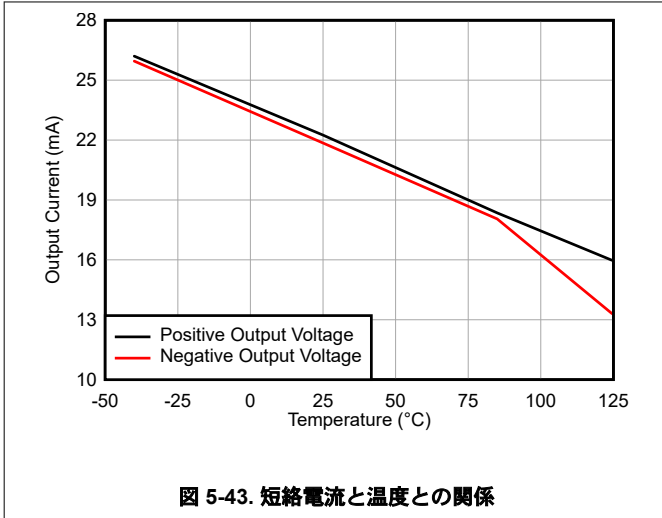


ゲイン=-1

図 5-42. 大信号ステップ応答

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $V_{CM} = V_{OUT} = \text{中間電源}$, $R_L = 10\text{k}\Omega$ (特に記述のない限り)



6 パラメータ測定情報

6.1 代表的な仕様と分布

設計者は多くの場合、より堅牢な回路を設計するため、アンプの標準仕様についての疑問を抱きます。プロセステクノロジーや製造手順が自然に変動する結果、アンプのすべての仕様、たとえばアンプの入力バイアス電流などには、理想的な値から多少の偏差が発生します。これらの偏差は多くの場合、ガウス分布 (正規分布、またはベル型の曲線) に従います。回路設計者はこの情報を活用して、「電気的特性」に最小値または最大値の仕様がない場合でも、システムをガードバンド化できます。

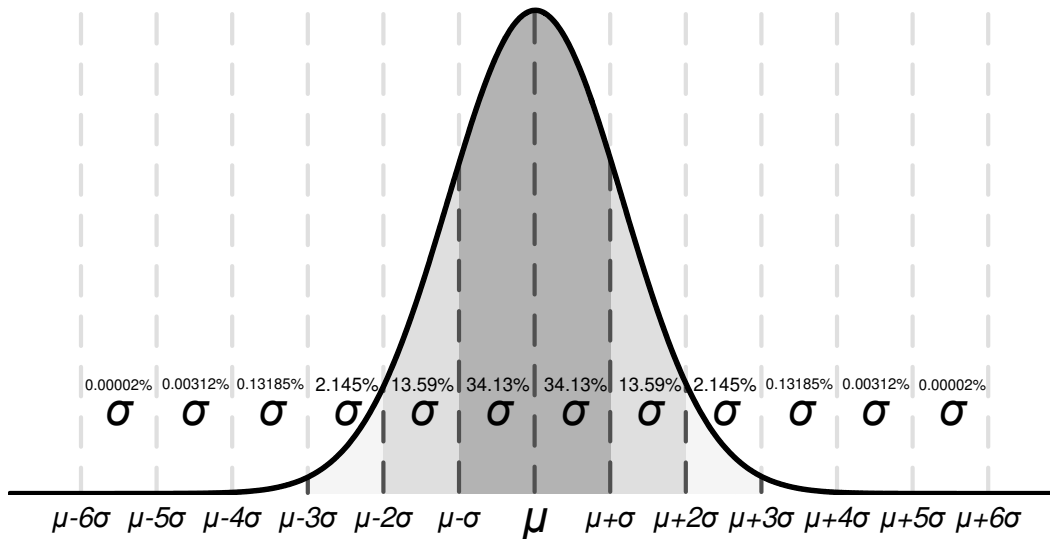


図 6-1. 理想的なガウス分布

分布の例を、図 6-1 に示します。ここで、 μ は分布の平均値、 σ (シグマ) は系の標準偏差です。このような分布を示す仕様では、すべてのユニットの約 2/3 (68.26%) が平均値から 1 標準偏差 (シグマ) 以内 ($\mu - \sigma$ から $\mu + \sigma$ まで) に存在していると予想できます。

「電気的特性」の「標準値」列に記載されている値は、仕様に応じてさまざまな方法で表現されます。一般的なガイドラインとして、仕様の平均値が本質的に 0 以外の場合 (ゲイン帯域幅など)、標準値は平均値 (μ) と等しくなります。しかし、仕様の平均値が本質的に 0 に近い場合 (入力バイアス電流など)、標準値を最も正確に表すのは平均値に 1 標準偏差を加えた値 ($\mu + \sigma$) です。

このチャートを使用して、ユニット内仕様のおおよその確率を計算します。たとえば、OPAx206 の入力バイアス電流の標準値は $\pm 0.1\text{nA}$ なので、すべてのデバイスの 68.2% は $\pm 0.1\text{nA}$ の入力バイアスを持つと予想できます。4 σ を考えると、分布の 99.9937% の入力バイアスは $\pm 0.28\text{nA}$ 未満です。これは、母集団のうちでこの制限値を超えるのは 0.0063%、すなわち約 15,873 ユニットに 1 つということを示します。

ユニットがテスト済みの最小値または最大値の仕様から外れていることが判明した場合、そのユニットは量産品から除去されます。たとえば、OPAx206 の最大入力バイアスは、25°C で $\pm 0.4\text{nA}$ です。この値は約 6 σ (約 500 万ユニットに 1 つ) に相当しますが、入力バイアスがこれより大きいユニットはすべて量産品から除去されます。

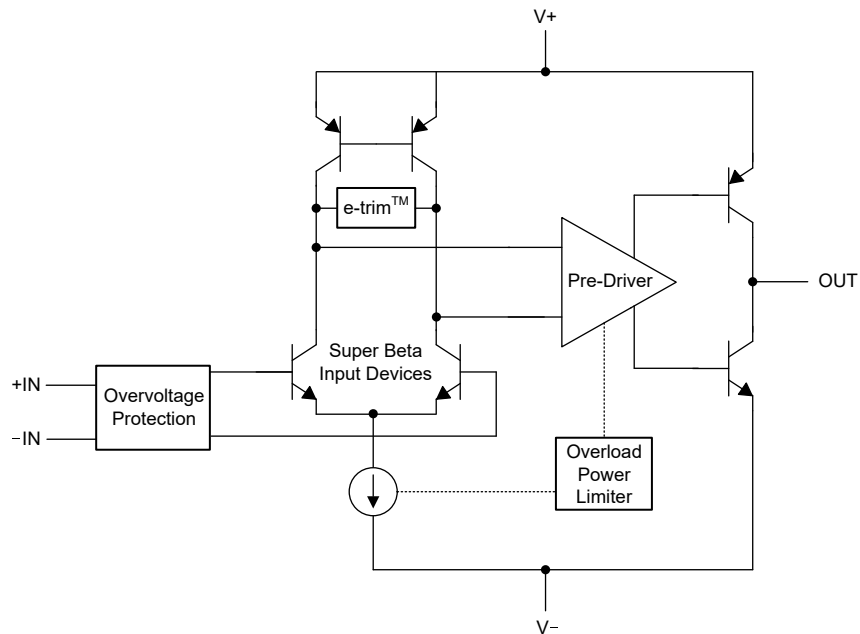
最小値や最大値の列に値がない仕様については、アプリケーションに十分なガードバンドとなる σ 値を選択し、その値を使用してワーストケース条件を設計することを検討してください。この情報は、デバイスの性能を推定する目的でのみ使用してください。

7 詳細説明

7.1 概要

OPAX206 は、最初の 36V、バイポーラの e-trim オペアンプです。これらのデバイスは、パッケージレベルのオフセットトリミングを使用して、製造プロセス中に生じるオフセット電圧とオフセット電圧ドリフトを最小限に抑えます。このトリミングは、デバイスの組み立て後に行われ、製造プロセス全体で発生するオフセット誤差をすべて除去します。その後、トリム通信はディセーブルされます。このデバイスは、入力バイアス電流と入力電流ノイズを低減するスーパー ベータ入力を備えています。また、入力過電圧保護機能も搭載しており、高低の電源電圧に対して $\pm 40V$ までの入力電圧からデバイスを保護します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 入力過電圧保護

OPAx206 の入力は、高低の電源電圧に対して $\pm 40V$ まで個別に保護されています。たとえば、 $-55V \sim +55V$ の範囲の同相電圧は、 $\pm 15V$ 電源から電力を供給しても損傷を引き起こしません。各入力の内部回路により、通常の信号条件では低い直列インピーダンスが得られるため、通常の動作条件で高い性能が維持されます。入力が過負荷になった場合、保護回路は入力電流を約 $4.8mA$ に制限します。

入力過電圧状態では、[図 7-1](#) に示すように、電流は入力保護ダイオードを経由して電源に流れます。電源が電流をシンクできない場合、グランドへの電流経路を確保するために、ツェナー ダイオード クランプ (ZD1 および ZD2) を電源に配置する必要があります。[図 7-2](#) は、過電圧状態の間、入力の入力バイアス電流が増加することを示しています。

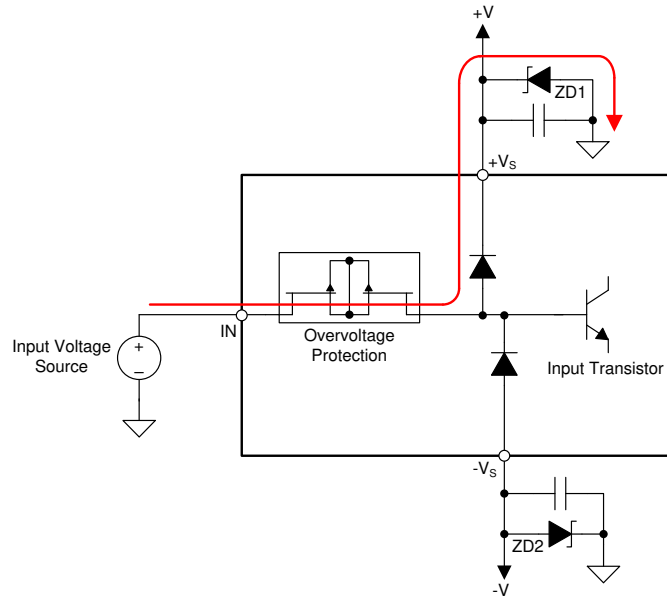


図 7-1. OPAx206 の入力過電圧電流パス

OPAx206 に $\pm 15V$ 電源が供給されているとき、 $-55V \sim +55V$ の入力電圧に対する入力電流を、[図 7-2](#) に示します。

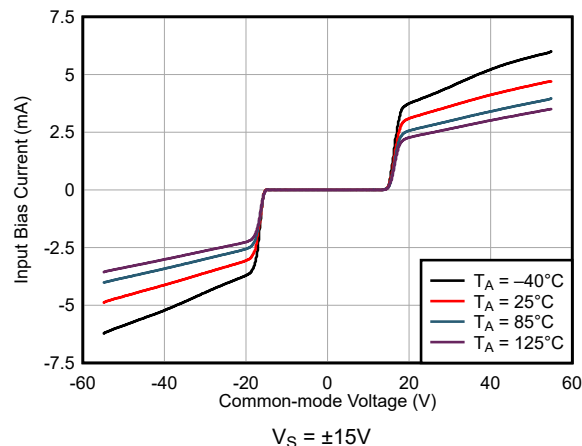
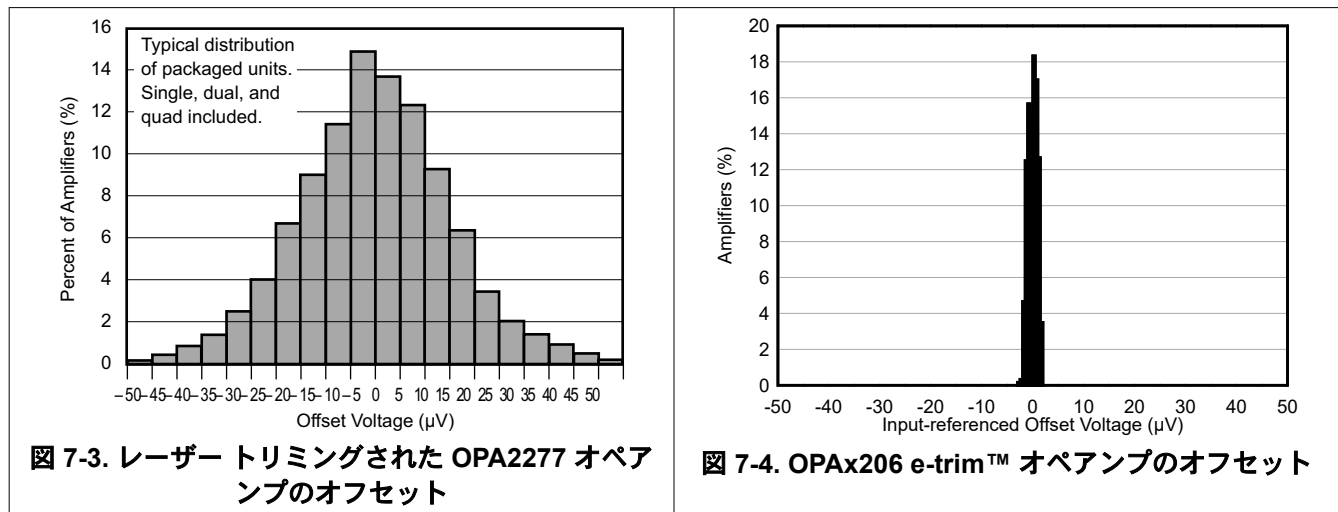


図 7-2. OPAx206 の入力電流と入力電圧との関係 ($V_S = \pm 15V$)

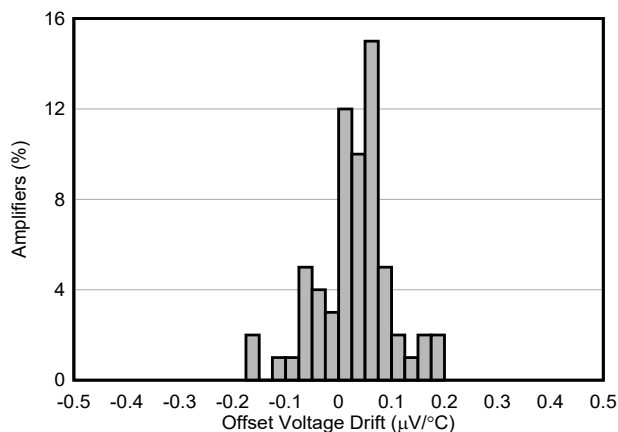
7.3.2 入力オフセットのトリミング

OPAx206 は、バイポーラ プロセスで構築された業界初の e-trim オペアンプです。アンプの入力オフセット電圧は、入力トランジスタ間の固有のミスマッチによって決定されます。製造プロセスにおいて、デバイスがまだベア シリコン形式のときにレーザー トリミングを行うことで、オフセットを最小化できます。ただし、シリコンをパッケージに収納するとき、パッケージングのプロセスで機械的なストレスによる追加のオフセットが発生します。テキサス・インスツルメンツの新しいトリミング プロセスは、パッケージング プロセスが完了した後のオフセットをトリミングするために使用され、固有のオフセットとパッケージに起因するオフセットの両方を最小化します。トリミング後に、最終的なシステムでアンプが正しく動作するため、通信はディセーブルされます。

業界で広く使用されているレーザー トリミングされた OPA2277 アンプと、OPAx206 独自のトリミングにおける製造オフセット値の比較については、[図 7-3](#) および [図 7-4](#) を参照してください。



また、OPAx206 は温度範囲全体にわたって非常に優れた入力オフセット電圧ドリフトも実現しています。[図 7-5](#) に、オフセットドリフトの最終的な性能を示します。



7.3.3 スーパー ベータ入力付きの低い入力バイアス

OPAx206 は、スーパー ベータ入力トランジスタアーキテクチャを採用しています。トランジスタのベータ値は、ベースに流入する電流と、コレクタからエミッタに流れる電流との比です。スーパー ベータトランジスタでは、ベータ値が数百から数千のオーダーに増加しています。バイポーラ アンプでは、入力バイアス電流は入力トランジスタ ペアのベースに流入する電流と、ESD ダイオードを流れる小さなリーク電流です。スーパー ベータ入力により、アンプの入力バイアス電流が減少します。さらに、スーパー ベータ入力では、デバイスの入力バイアス電流に直接関係する入力電流ノイズが減少します。OPA2277 の入力バイアス電流と、OPAx206 のスーパー ベータ入力バイアス電流との比較を、[図 7-6](#) および [図 7-7](#) に示します。

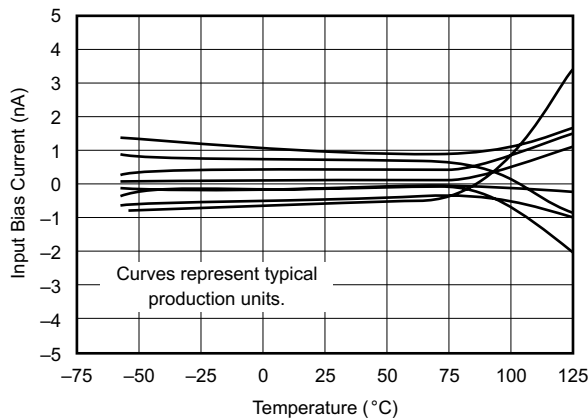


図 7-6. OPA2277 の入力バイアス電流

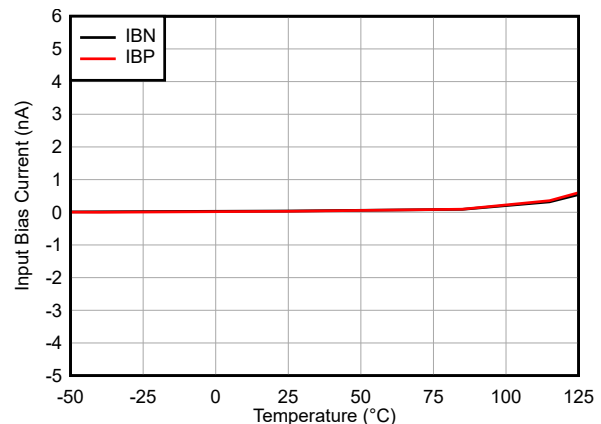


図 7-7. OPAx206 のスーパー ベータ入力バイアス電流

7.3.4 過負荷電力リミッター

多くのバイポーラ ベースのアンプでは、出力電圧がクリップされた (出力電圧が負または正の電源電圧によって制限された) 場合、アンプの出力段は多くの静止電流 (数ミリアンペア) を消費することがあります。この条件からシステムが高消費電力状態に移行し、電源と信号チェーンとの間で発振が起きる可能性があります。OPAx206 は、高度な出力段設計によって、この問題を解消しています。出力電圧がいずれかの電源 ($V+$ または $V-$) に達したとき、公称静止電流より多くの消費電流が発生することは事実上ありません。この機能により、信号チェーンが大きな外部過渡電圧によって中断されたとき、システムに問題が起きる可能性を排除できます。

7.3.5 EMI 除去

OPAx206 は、統合型の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタルコンポーネントを組み合わせた高密度実装のボードなどから発生する EMI の影響を低減します。システム性能を向上させる回路設計手法により、EMI 耐性を改善できます。詳細については、『[オペアンプの EMI 除去比](#)』アプリケーションレポートを参照してください。

7.4 デバイスの機能モード

OPAx206 には 2 つの機能モードがあります。本デバイスは、 $4.5V \sim 36V$ ($\pm 2.25V \sim \pm 18V$) の任意の電源電圧と、[セクション 5](#) に示す入力同相電圧範囲を満たす入力電圧で、通常動作に移行します。

入力電圧がデバイスの仕様を超えると、デバイスは過電圧保護モードに移行します。このモードでは、入力過電圧保護サブ回路は、入力ピンとアンプ コアの間インピーダンスを追加することで、アンプのコアが認識する電圧と電流を制限します。この入力インピーダンスでの電圧降下から発生する追加電流が、OPAx206 の ESD 構造を経由してどのようにルーティングされかを、[図 7-1](#) に示します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

OPAx206 はユニティ ゲイン安定オペアンプで、非常に低いオフセット電圧、オフセット電圧ドリフト、電圧ノイズ、電流ノイズ、消費電力を実現しています。このデバイス ファミリーは過電圧保護機能を内蔵しているため、予期される範囲を外れた信号、逆接続、または入力とシステム電源の短絡が発生した場合にデバイスを保護できます。これらの機能により、クランプ ダイオードなどの独立した保護機能が不要になるため、本デバイスはスペースや電力に制約のある各種のシステムに最適です。

8.2 代表的なアプリケーション

8.2.1 電圧アッテネータ

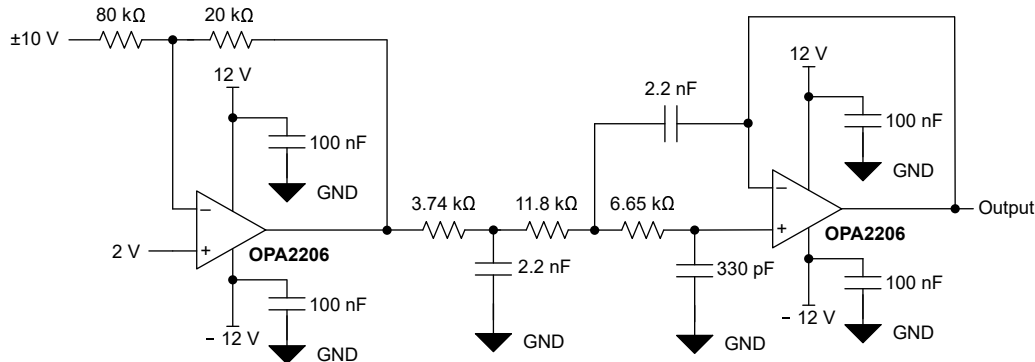


図 8-1. OPA2206 を電圧アッテネータとして構成した回路

8.2.1.1 設計要件

このシステムの設計要件は次のとおりです。

- 入力電圧範囲: $\pm 10V$
- 入力信号周波数: 最高 10kHz
- 3 次バターワース・フィルタ、-3dB 周波数: 20kHz
- 出力電圧: 0V ~ 5V
- 最大 $\pm 52V$ の入力保護

8.2.1.2 詳細な設計手順

この設計では、 $\pm 10V$ 、10kHz の帯域幅のバイポーラ信号を減衰させてシングルエンド信号に変換し、3 次バターワースフィルタでフィルタ処理してシングルエンドの A/D コンバータ (ADC) を駆動します。OPA2206 を使用することで、信号チェーンの入力は、高低の電源電圧に対して $\pm 40V$ までの過電圧から保護されます。この信号チェーンの設計は、プログラマブル ロジック コントローラ (PLC)、低消費電力のデータ アクイジション システム (DAQ)、フィールド機器など、高精度、低消費電力、信号障害に対する保護が必要な場合に一般的です。

このアプリケーションでは、高い電源電圧範囲、高い DC 精度 (4 μV のオフセットと 0.08 $\mu V/^\circ C$ のオフセットドリフト)、低い消費電力 (220 μA の静止電流) により、放熱要件を最小化できることから、OPA2206 を選択しています。内蔵の OVP トポロジにより、このデバイスはパッシブ外部保護に比べて通常の動作条件で DC および AC の精度が向上し、システムソ

リューションが小型化されます。各電源とグラウンドとの間にツェナー ダイオードを接続して、障害時に発生する電流のリターンパスに対応してください。

信号チェーンの最初の段は、アッテネータとレベル シフタです。この段への入力信号はバイポーラ $\pm 10\text{V}$ で、それが $\pm 2.5\text{V}$ に減衰されてから、出力がシングルエンドの $0\text{V}\sim 5\text{V}$ 信号になるようにレベル シフトされます。帰還抵抗とゲイン抵抗には、それぞれ $20\text{k}\Omega$ と $80\text{k}\Omega$ を選択しています。したがって、結合インピーダンスは $100\text{k}\Omega$ で、これにより信号チェーンへの入力電流が減少し、出力インピーダンスの大きいセンサによる誤差が最小限に抑えられます。

信号チェーンの2番目の段では、OPA2206の2番目のチャンネルを使用して、 -3dB 応答が 20kHz の3次バターワースフィルタを作り上げます。フィルタ設計の詳細については、テキサス・インスツルメンツの[フィルタ設計ツール](#)をご覧ください。

この信号チェーンの出力を [図 8-2](#)、フィルタ応答を [図 8-3](#) に示します。

8.2.1.3 アプリケーション曲線

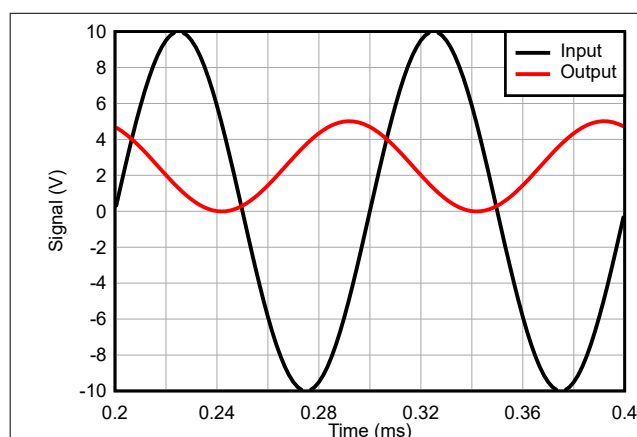


図 8-2. 入力および出力信号

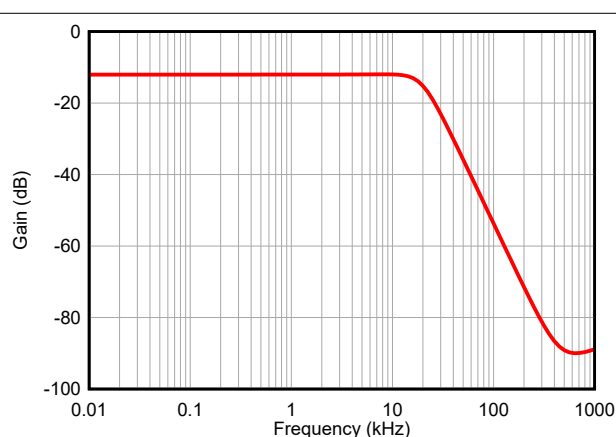


図 8-3. アッテネータ + フィルタ応答

8.2.2.2 オペアンプの分離計測アンプ

OPA2206 を 2 オペアンプの分離計測アンプとして構成したものを、[図 8-4](#) に示します。この構成により、負荷セルからの信号などの差動信号測定が可能になり、ほとんどのモノリシック計測アンプよりも信号チェーンへの入力インピーダンスが高くなります。さらに、OPA2206 の入力過電圧保護機能によって、入力信号がアンプの電源電圧を超えるフォルト条件によって信号チェーンが損傷されるのを防止します。

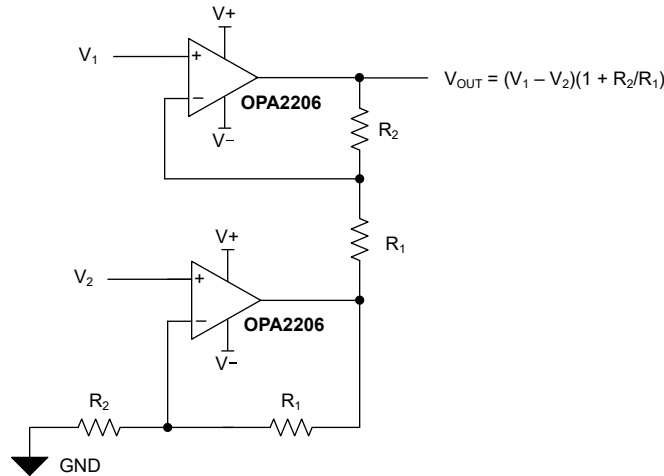


図 8-4. 2 オペアンプの分離計測アンプとして構成された OPA2206

8.2.3 ADC ドライバの入力バッファと保護

THP210 を使用して、OPA2206 を ADC ドライバの入力バッファとして構成した例を、[セクション 8.2.1.1](#) に示します。OPA2206 は DC 精度が高く、ノイズが低いため、高精度の信号チェーン コンディショニングに最適です。アンプの入力バイアスが低いため、出力インピーダンスの高いセンサで発生する DC 誤差を最小限に抑えることができます。内蔵の入力過電圧保護機能により、信号が OPA2206 の電源電圧範囲を超える入力フォルト条件が発生した場合や、入力が高い電源レールに短絡した場合に、信号チェーンの損傷を防止します。高精度 ADC ドライバの設計の詳細については、[THP210](#) を参照してください。

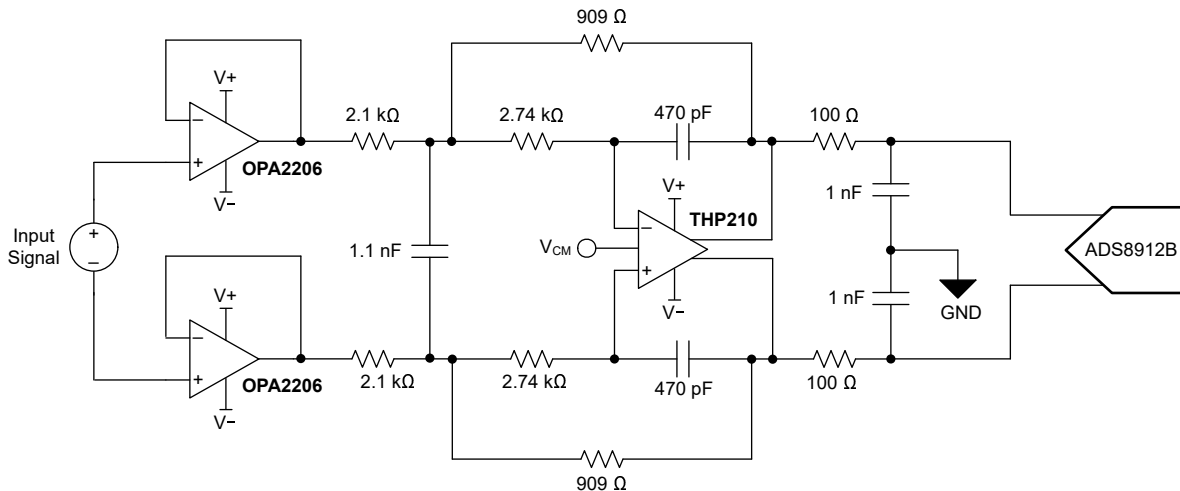


図 8-5. 入力信号チェーンのバッファとして構成された OPA2206

8.3 電源に関する推奨事項

OPAx206 は、4.5V ($\pm 2.25V$) から 36V ($\pm 18V$) までの電源で動作します。動作電圧に大きな変動を引き起こす可能性のあるパラメータを、[セクション 5.9](#) に示します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- 各電源ピンとグランドとの間に、低 ESR の 0.1 μ F セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス・コンデンサを接続します。ノイズは、回路全体の電源ピンと、個別のオペアンプを経由して、アナログ回路に伝播する可能性があります。バイパス・コンデンサは、アナログ回路にローカルな低インピーダンスの電力を供給し、結合ノイズを低減するために使用されます。
- デジタル・グランドとアナログ・グランドを物理的に分離し、グランド電流の流れに注意を払う必要があります。回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド・プレーン専用です。グランド・プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。[図 8-6](#) に示すように、寄生容量を最小限に抑えるため、RF と RG は反転入力に近く配置します。
- 入力配線はできるだけ短くします。入力配線は、回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、クリーニング中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの状況では、クリーニング後に 85°C で 30 分間の低温ベーキングを行えば十分です。

8.4.2 レイアウト例

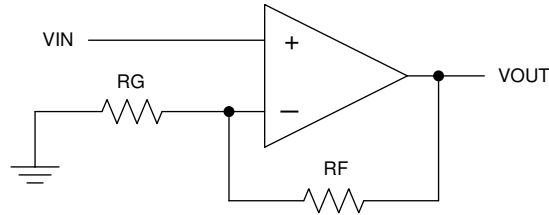


図 8-6. 回路図

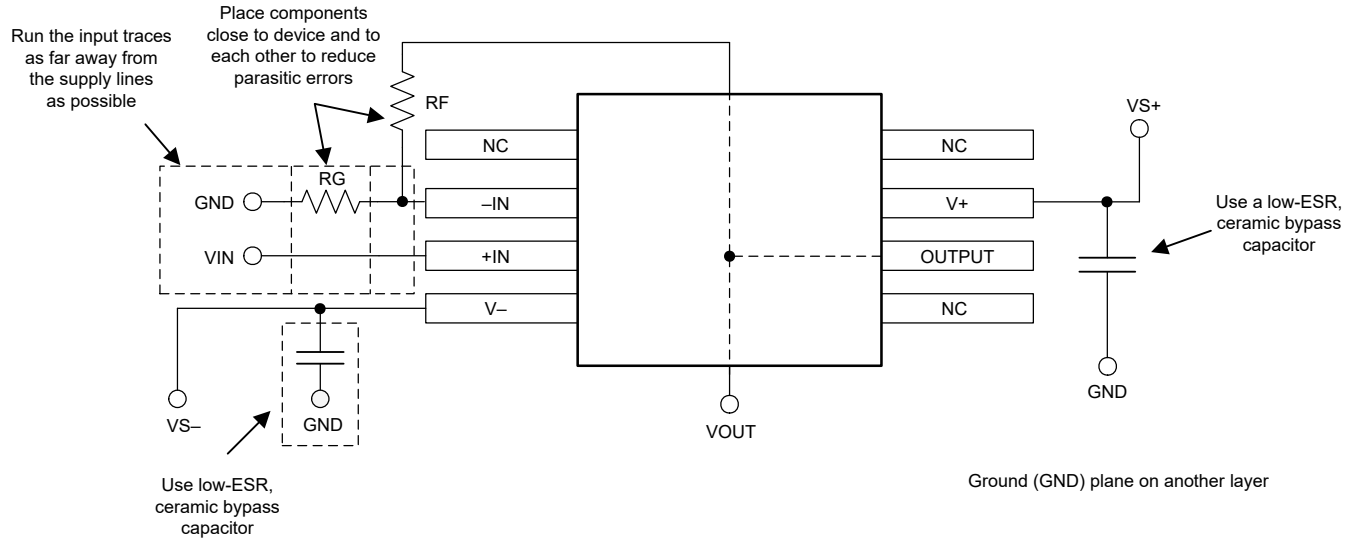


図 8-7. 非反転構成のオペアンプ基板のレイアウト

9 デバイスおよびドキュメントのサポート

9.1 デバイスのサポート

9.1.1 開発サポート

以下の評価モジュールを使用できます。

- [DIP-ADAPTER-EVM](#)
- [DIYAMP-EVM](#)

9.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[『DIP-ADAPTER-EVM ユーザー・ガイド』](#)
- テキサス・インスツルメンツ、[『DIYAMP-SOIC-EVM ユーザー・ガイド』](#)

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

e-trim™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (January 2023) to Revision E (December 2023)	Page
• OPA4206 デバイスとそれに関連するコンテンツを追加.....	1
• デバイスの性能をより正確に反映するよう、図 5-24 「0.1Hz～10Hz のノイズ」を更新	11

Changes from Revision C (July 2022) to Revision D (January 2023)	Page
• D (SOIC) パッケージの OPA206 を事前情報 (プレビュー) から量産データ (アクティブ) に変更.....	1
• D (SOIC) パッケージに OPA2206 を追加し、関連する内容を量産データ (アクティブ) として追加.....	1
• 更新された仕様に合わせてタイトルを変更.....	1
• 「特長」のオフセット電圧を 50 μ V から 25 μ V に変更.....	1
• 「概要」のオフセット電圧を \pm 8 μ V から \pm 4 μ V に変更.....	1
• 「電気的特性」の入力オフセット電圧の最大値を \pm 50 μ V から \pm 25 μ V に変更.....	7
• 「電気的特性」の入力オフセット電圧の標準値を \pm 8 μ V から \pm 4 μ V に変更.....	7
• 「電気的特性」の入力オフセット電圧を温度範囲全体で \pm 80 μ V から \pm 55 μ V に変更.....	7
• 「電気的特性」の入力オフセット電圧の最大値を \pm 50 μ V から \pm 25 μ V に変更.....	9
• 「電気的特性」の入力オフセット電圧の標準値を \pm 8 μ V から \pm 4 μ V に変更.....	9
• 「電気的特性」の入力オフセット電圧を温度範囲全体で \pm 80 μ V から \pm 55 μ V に変更.....	9
• 図 6-1、6-2、6-3、6-5 を、デバイスの性能分布をより正確に示すように変更.....	11
• 「入力オフセットのトリミング」の入力オフセットドリフトのトリミングの説明テキストを変更.....	23
• 図 8-5 を変更し、正しい入力オフセットドリフトの分布を示す.....	23
• 「詳細な設計説明」で、標準グレードのデバイスの仕様に合わせてオフセット、オフセットドリフトを変更.....	25
• 図 9-7 を正しい VS+ 接続を示すように変更.....	29

Changes from Revision B (August 2021) to Revision C (July 2022)	Page
• D (SOIC) パッケージの OPA206 を事前情報 (プレビュー) として追加.....	1

Changes from Revision A (March 2021) to Revision B (August 2021)	Page
• OPA2206 の高グレード・バージョンと関連する内容を削除.....	1
• 特長の静止電流の箇条書き項目を 220 μ A から 240 μ A に変更.....	1
• デバイスの性能をより正確に示すよう、図 6-27 「電流ノイズと周波数との関係」を変更.....	11

Changes from Revision * (April 2020) to Revision A (March 2021)	Page
• OPA2206 を事前情報 (プレビュー) から量産データ (アクティブ) に変更.....	1
• OPA2206 (高グレード) と OPA2206A (標準グレード) の性能の差を示すよう、「電気的特性」の表を両方とも変更.....	7

11 メカニカル、パッケージ、および注文情報

以下のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版については、左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA206ADR	ACTIVE	SOIC	D	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OP206A	Samples
OPA206ADT	ACTIVE	SOIC	D	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OP206A	Samples
OPA2206ADGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	22A6	Samples
OPA2206ADGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	22A6	Samples
OPA2206ADR	ACTIVE	SOIC	D	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2206A	Samples
OPA2206ADT	ACTIVE	SOIC	D	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2206A	Samples
OPA4206ADR	ACTIVE	SOIC	D	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4206A	Samples
OPA4206APWR	ACTIVE	TSSOP	PW	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OP4206A	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA206ADR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA206ADT	SOIC	D	8	250	180.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2206ADGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2206ADGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2206ADR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2206ADT	SOIC	D	8	250	180.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4206ADR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA206ADR	SOIC	D	8	3000	356.0	356.0	35.0
OPA206ADT	SOIC	D	8	250	210.0	185.0	35.0
OPA2206ADGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
OPA2206ADGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
OPA2206ADR	SOIC	D	8	3000	356.0	356.0	35.0
OPA2206ADT	SOIC	D	8	250	210.0	185.0	35.0
OPA4206ADR	SOIC	D	14	3000	356.0	356.0	35.0

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated