OPAx486 マルチプレクサ対応入力付き、48V、ゼロドリフト、ローパワー、低ノイズ、オペアンプ

1 特長

- 広い動作電源電圧範囲:4.5V ～ 48V
- ゼロドリフト精度:
  - 入力オフセット電圧ドリフト:0.025μV/°C、最大値
  - 入力オフセット電圧:5μV、最大値
  - 高 PSRR:145dB、最小値
  - 高 CMRR:150dB、最小値
- AC 性能:
  - ゲイン帯域幅:5.6MHz
  - スルーレート:13V/μs
  - 低ノイズ:9.5nV/√Hz
  - ほぼゼロのフリッカー ノイズ:0.270μV_{PP}
- 負レールへの入力、レール ツー レール出力
- 低い静止電流:560μA
- 温度:-40℃ ～ +125℃

2 アプリケーション

- PC 電源およびゲーム機
- 商用 DC/DC
- 流量トランスミッタ
- 圧力トランスミッタ
- 商用バッテリ チャージャ
- 電気メータ

3 説明

OPA486、OPA2486、OPA4486 (OPAx486) は、48V ファミリであり、低ノイズ、広帯域幅、低消費電力、ゼロドリフトのオペアンプです。OPAx486 は、多くの業界標準アンプとピンの互換性があり、高動作電圧の利点を活かせます。48V の動作電圧と、60V の絶対最大電源電圧定格により、堅牢な回路を設計できます。

これらのオペアンプの入力オフセット電圧は、5μV (最大値) であり、温度範囲全体での入力オフセット電圧ドリフトは、0.025μV/°C (最大値) です。また、OPAx486 は同相信号除去機能および電源除去機能も備えており、さまざまな動作条件で高精度の測定が可能です。

これらのデバイスは、ほぼゼロのフリッカー ノイズ、非常に低い広帯域ノイズ、広帯域幅、高いスルーを特長としており、DC と AC の両方のアプリケーション向けに設計されています。AC 性能は、静止電流が比較的低い 560μA で実現され、システムの電力バジェットの制限を維持します。

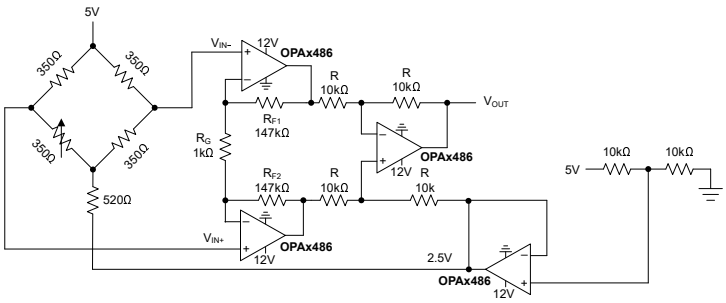
AC 性能と DC 性能を兼ね備えた OPAx486 はアナログ入力モジュール、バッテリ テスタ、高精度計測機器、プロセス制御など広範な高精度の最終製品に適しています。このデバイス ファミリは、独自のマルチプレクサ対応入力アーキテクチャの採用により、マルチチャネルの多重化アプリケーションにおける性能を向上させます。

OPAx486 は、業界標準のパッケージと超小型のパッケージで提供され、スペースの制約が厳しいアプリケーションにも適しています。これらのデバイスの動作範囲は、–40°C ～ +125°C に指定されています。

パッケージ情報

部品番号	チャネル数	パッケージ (1)	パッケージ サイズ(2)
OPA486	シングル	D (SOIC、8)	4.90mm × 6.00mm
		DBV (SOT-23、5)	2.90mm × 2.80mm
		DRL (SOT、5)(3)	1.60mm × 1.60mm
OPA2486	デュアル	D (SOIC、8)	4.90mm × 6.00mm
		DGK (VSSOP-8)	3.00mm × 4.90mm
		DSG (WSON-8)	2.00mm × 2.00mm
OPA4486 (3)	クワッド	D (SOIC、14)	8.65mm × 6.00mm
		PW (TSSOP-14)	5.00mm × 6.40mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 開発中製品の情報 (量産データではありません)。



計装アンプ

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 OPA486 の熱に関する情報.....6
5.5 OPA2486 の熱に関する情報.....6
5.6 OPA4486 の熱に関する情報.....6
5.7 電気的特性.....7
6 詳細説明.....9
6.1 概要.....9
6.2 機能ブロック図.....9
6.3 機能説明.....9
6.4 デバイスの機能モード.....12
7 アプリケーションと実装.....13
7.1 使用上の注意.....13
7.2 代表的なアプリケーション.....16
7.3 電源に関する推奨事項.....20
7.4 レイアウト.....21
8 デバイスおよびドキュメントのサポート.....23
8.1 デバイス サポート.....23
8.2 ドキュメントのサポート.....23
8.3 ドキュメントの更新通知を受け取る方法.....23
8.4 サポート・リソース.....24
8.5 商標.....24
8.6 静電気放電に関する注意事項.....24
8.7 用語集.....24
9 改訂履歴.....24
10 メカニカル、パッケージ、および注文情報.....24

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

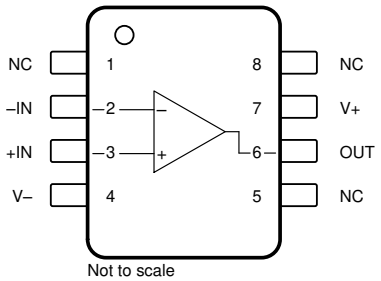


図 4-1. OPA486 : D パッケージ、8 ピン SOIC (上面図)

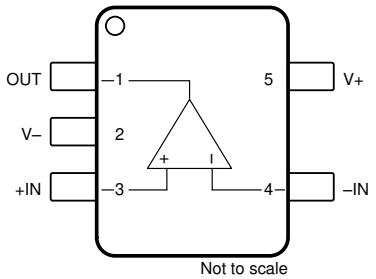


図 4-2. OPA486 : DBV パッケージ、5 ピン SOT-23 (上面図)

表 4-1. ピンの機能 : OPA486

ピン			タイプ	説明
名称	番号			
	D	DBV		
–IN	2	4	入力	反転入力
+IN	3	3	入力	非反転入力
NC	1、8、5	–	_	接続なし (フローティングのままでも可)
OUT	6	1	出力	出力
V-	4	2	電源	負 (最低) 電源
V+	7	5	電源	正 (最高) 電源

ADVANCE INFORMATION

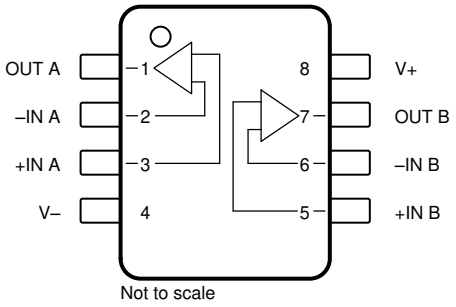


図 4-3. OPA2486：D パッケージ、8 ピン SOIC および DGK パッケージ、8 ピン VSSOP (上面図)

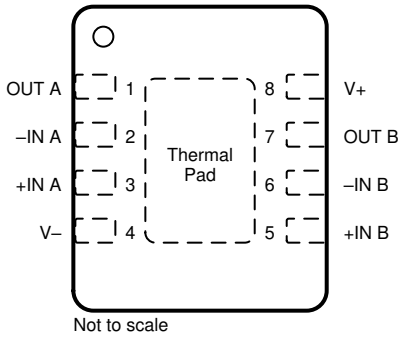


図 4-4. DSG パッケージ、8 ピン WSON (露出サーマル パッド付き) (上面図)

表 4-2. ピンの機能：OPA2486

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
+IN A	3	入力	非反転入力、チャネル A
+IN B	5	入力	非反転入力、チャネル B
OUT A	1	出力	出力チャネル A
OUT B	7	出力	出力チャネル B
V-	4	電源	負電源
V+	8	電源	正電源
サーマル パッド(1)	-	-	サーマル パッドを負電源 (V-) に接続します。詳細については、*「露出サーマル パッド付きパッケージ」*も参照してください。

(1) DSG パッケージのみ

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) [(1)]

			最小値	最大値	単位
V_S	電源電圧			60	V
	信号入力電圧	同相	(V–) – 0.5	(V+) + 0.5	V
		差動		(V+) – (V–)	
	電流			±10	mA
	出力短絡 [(2)]		連続		
T_A	動作温度		-55	150	°C
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。本デバイスは、過剰な出力電流による電気的損傷を抑えるように設計されていますが、特に電源電圧が高い場合に短絡電流が増加すると過熱が発生し、最終的には熱破壊を引き起こす可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	±4000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [(2)]	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_S	供給電圧、(V+) – (V–)	単一電源	4.5		48	V
		デュアル電源	±2.25		±24	
T_A	動作温度		-40		125	°C

ADVANCE INFORMATION

ADVANCE INFORMATION

5.4 OPA486 の熱に関する情報

熱評価基準[1]		OPA486		単位
		DBV (SOT23-5)	D (SOIC)	
		5 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	未定	未定	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	未定	未定	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	未定	未定	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	未定	未定	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	未定	未定	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。SPRA953

5.5 OPA2486 の熱に関する情報

熱評価基準[1]		OPA2486		単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	未定	未定	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	未定	未定	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	未定	未定	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	未定	未定	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	未定	未定	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*「半導体および IC パッケージの熱評価基準」*アプリケーション ノートを参照してください。

5.6 OPA4486 の熱に関する情報

熱評価基準[1]		OPA4486		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	未定	未定	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	未定	未定	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	未定	未定	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	未定	未定	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	未定	未定	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性

T_A = 25°C、V_S = 4.5V ～ 48V、V_{CM} = V_{OUT} = V_S/2、および R_{LOAD} = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧(1)				±1	±5	μV
		T_A = –40°C ～ +125°C				±10	
dV_{OS}/dT	入力オフセット電圧ドリフト(1)	T_A = –40°C ～ +125°C			±0.005	±0.025	μV/°C
PSRR	電源除去比(1)	T_A = –40°C ～ +125°C			±0.002	±0.1	μV/V
入力バイアス電流							
I_B	入力バイアス電流(1)				±50	±350	pA
		T_A = –40°C ～ +125°C				±7	nA
I_{OS}	入力オフセット電流(1)				±100	±600	pA
		T_A = –40°C ～ +125°C				±3	nA
ノイズ							
E_n	入力電圧ノイズ	f = 0.1Hz～10Hz			0.27		$μV_{PP}$
e_n	入力電圧ノイズ密度	f = 10Hz			9.3		nV/√Hz
		f = 100Hz			8.6		
		f = 1kHz			9		
i_n	入力電流ノイズ密度	f = 1kHz			175		fA/√Hz
入力電圧							
V_{CM}	同相電圧			(V–) – 0.1		(V+) – 2	V
CMRR	同相除去比	(V–) – 0.1V ≤ V_{CM} ≤ (V+) – 2V	V_S = ±2.25V	120	144		dB
			V_S = ±24V	140	150		
		(V–) – 0.1V ≤ V_{CM} ≤ (V+) – 2V、T_A = –40°C ～ +125°C(1)	V_S = ±2.25V	120	144		
			V_S = ±24V	140	150		
入力インピーダンス							
z_{id}	差動入力インピーダンス				100 || 1.6		MΩ || pF
z_{ic}	同相モード入力インピーダンス				1 || 1.9		TΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = ±24V, (V–) + 0.6V < V_O < (V+) – 0.6V、R_{LOAD} = 10kΩ		130	150		dB
			T_A = -40°C ～ +125°C(1)	130			
		V_S = ±24V, (V–) + 1.7V < V_O < (V+) – 1.7V、R_{LOAD} = 2kΩ		130	150		
			T_A = -40°C ～ +125°C(1)	130			

ADVANCE INFORMATION

T_A = 25°C、V_S = 4.5V ～ 48V、V_{CM} = V_{OUT} = V_S/2、および R_{LOAD} = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
周波数応答							
GBW	ゲイン帯域幅積				5.6		MHz
SR	スルーレート	ゲイン = 1, 10V ステップ			15		V/μs
THD+N	全高調波歪み + ノイズ	ゲイン = 1、f = 1kHz、V_{OUT} = 4V_{RMS}			0.00012%		
	クロストーク	f = 100kHz、V_{IN} = 200mV_{PP}			110		dB
t_S	セトリング タイム	V_S = ±24V、ゲイン = 1、10V ステップ	0.1% まで		1.25		μs
			0.01% まで		12		
t_{OR}	過負荷回復時間	V_{IN} × ゲイン = V_S = ±24V			840		ns
出力							
V_O	電圧出力スイング (レールから)	正のレール、V_S = 48V	無負荷(1)		26	40	mV
			R_{LOAD} = 10kΩ		175	200	
			R_{LOAD} = 2kΩ		860	900	
		負のレール、V_S = 48V	無負荷(1)		26	40	
			R_{LOAD} = 10kΩ		165	200	
			R_{LOAD} = 2kΩ		860	900	
		R_{LOAD} = 10kΩ、T_A = –40°C ～ +125°C、両方のレール(1)				300	
I_{SC}	短絡電流				±52		mA
C_{LOAD}	容量性負荷駆動能力				「代表的特性」を参照		pF
Z_O	オープン ループ出力インピーダンス	f = 1MHz			460		Ω
電源							
I_Q	アンプごとの静止電流	V_S = ±2.25V (V_S = 4.5V)、I_O = 0A			570	625	μA
			T_A = -40℃ ～ +125℃(1)		570	635	
		V_S = ±24V (V_S = 48V)、I_O = 0A			562	610	
			T_A = -40℃ ～ +125℃(1)		562	620	

(1) 複数のロットにわたるデバイスの母集団ベンチ システムの測定から確立された仕様。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

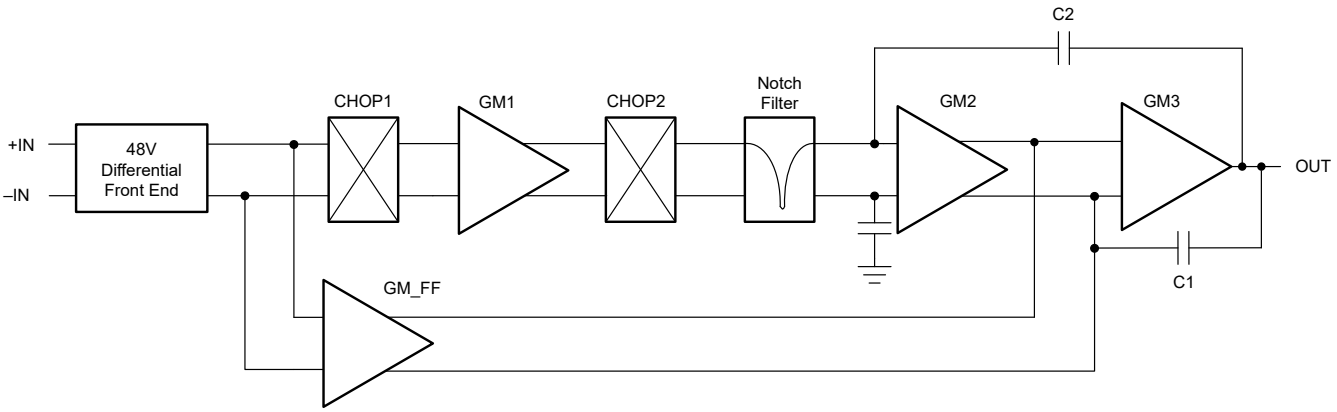
6 詳細説明

6.1 概要

OPAx486 は、48V の動作電圧と高い精度を特長とする次世代のオペアンプです。非常に低いオフセットとドリフト、動的性能を兼ね備えているため、広範な高精度アプリケーションに最適です。わずか 0.025µV/°C という高精度の最大オフセットのドリフトにより、–40°C ～ +125°C の動作温度範囲全体にわたって安定性が確保されます。さらに、このデバイスは同相信号除去比、PSRR、AOL が高く、線形性能を発揮します。OPAx486 は、帯域幅、ノイズ、静止電流消費のバランスが良く、極めて高い精度のシグナル コンディショニング設計をサポートします。

さらに、ユニティ ゲインで安定している OPAx486 には、シグナル コンディショニングの性能を向上させる他の機能も備わっています。これらのデバイスはマルチプレクサ対応入力を備えています。これは、セトリング動作を改善し、高精度の多重化システムを実現できる特許申請中の技術です。ゼロドリフト アーキテクチャを採用しているため、温度および時間の経過に伴う入力オフセット電圧ドリフトがほぼゼロになっているというもう 1 つの利点があり、アンプのフリッカー ノイズも除去されます。

6.2 機能ブロック図



6.3 機能説明

OPAx486 オペアンプは、独自の定期的な自動キャリブレーション技術を使用して、非常に低い入力オフセット電圧を実現するとともに、時間の経過および温度変化に伴う入力オフセット電圧ドリフトを非常に低く抑えます。このデバイスは、さまざまなアプリケーションにおいて高い精度を維持するために役立つ、いくつかの統合機能を備えています。これには、位相反転の防止、電気的オーバーストレスからの保護、マルチプレクサ対応入力などがあります。

OPAx486 の規定性能を維持するためのいくつかの設計手法および検討事項については、*『チョッパ アンプの精度の最適化』*アプリケーション ノートと*『オペアンプのオフセット電圧とバイアス電流の制限』*アプリケーション ノートに詳しく記載されています。

6.3.1 入力同相範囲

OPAx486 は、4.5V～36V (±2.25V～±18V) で動作することが規定されています。OPAx486 は、負のレールを含む広い入力同相電圧 (V_{CM}) 範囲に対応しているため、単一電源動作に適した製品です。入力同相電圧の正のレールに対する範囲は (V+) − 2V に制限されます。規定性能を維持するためには、入力同相電圧を (V–) – 0.1V ≤ V_{CM} ≤ (V+) – 2V に制限します。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.3.2 位相反転保護

OPAx486 には、位相反転保護が内蔵されています。一部のオペアンプでは、入力がリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、規定された同相電圧範囲を超えて入力を駆動すると、出力は逆のレールに反転します。OPAx486 入力は、過剰な同相電圧による位相反転を防止します。代わりに、出力は適切なレールに制限されます。

6.3.3 チョッピングによる過渡現象

OPAx486 などのゼロドリフト アンプは、入力のスイッチング アーキテクチャを使用して、アンプ固有のオフセットとドリフトを補正します。入力の内蔵スイッチからのチャージ インジェクションがあると、アンプの入力バイアス電流に短い過渡現象が発生する可能性があります。パルスの持続時間が非常に短いため、このパルスは増幅されません。ただし、フィードバック回路を経由して、パルスがアンプの出力に結合される可能性があります。アンプ出力における入力過渡現象の影響を最小限に抑えるには、低い値の抵抗を使用します。過渡現象による追加ノイズを最小限に抑えるには、RC ネットワークなどのローパス フィルタを使用します。OPAx486 のチョッピング周波数は通常 200kHz です。

6.3.4 EMI 除去

OPAx486 は、優れた電磁干渉 (EMI) 除去性能を持ち、ワイヤレス通信や、アナログ信号チェーンとデジタル部品を組み合わせた高密度実装のボードなどから発生する EMI 干渉の影響を低減します。EMI 耐性は、回路設計手法により改善可能です。OPAx486 は、このような設計の改善を活用しています。

帯域幅外のスペクトル成分を持つ信号に対しては、それを補正するためのアンプのループ ゲインが不十分なため、いずれかのオペアンプに対して高周波信号が伝導または放射されると、悪影響が発生する可能性があります。入力、電源、または出力で伝導または放射による EMI があると、予期しない DC オフセット、過渡電圧、その他の未知の動作が発生する可能性があります。ノイズの多い無線信号、デジタル クロック、インターフェイスから、敏感なアナログ ノードを適切にシールドし、分離するように注意してください。

Copyright © 2026 Texas Instruments Incorporated

6.3.5 電気的オーバーストレス

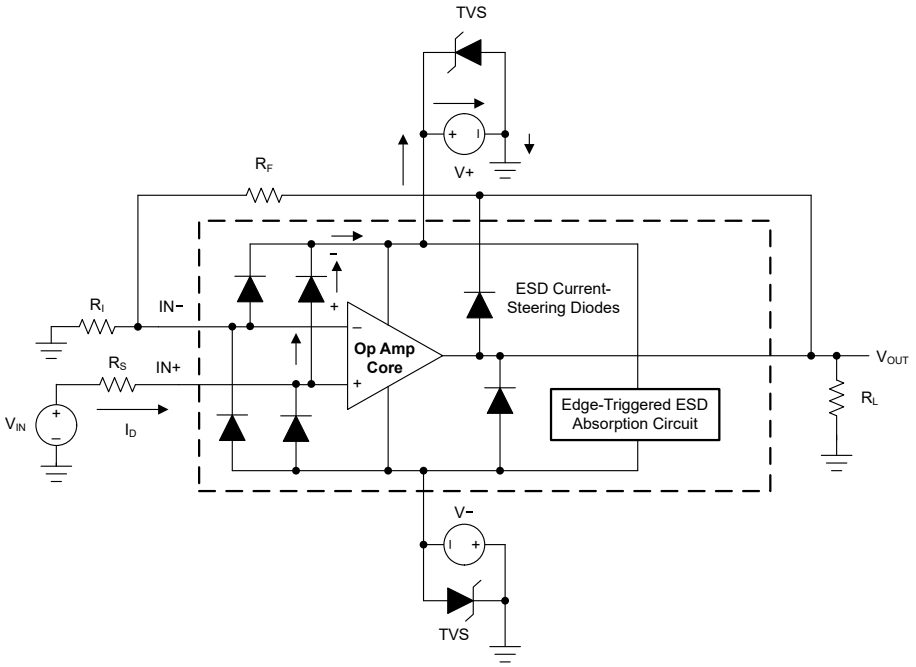
設計者は、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をすることがよくあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部に静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前にも組み立て中にも、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。OPAx486 に含まれる ESD 回路の図を、図 6-1 に示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、入力ピンや出力ピンから内部の電源ラインへ戻るように配線されています。さらに、これらのダイオードは、オペアンプ内部の吸収デバイスにも接続されます。この保護回路は、回路が通常動作している間は非アクティブになるように設計されています。

ESD イベントがあると、短時間の高電圧パルスが発生し、それが半導体デバイスを通って放電する際に、短時間の大電流パルスに変わります。ESD 保護回路は、オペアンプ コアを迂回する電流経路を提供して、損傷を防止するように設計されています。保護回路によって吸収されたエネルギーは、熱として放散されます。

2 つ以上のアンプ デバイス ピンの間に ESD 電圧が発生すると、電流は 1 つまたは複数のステアリング ダイオードを流れます。電流が流れる経路に応じて、吸収デバイスがアクティブになります。吸収デバイスのトリガまたはスレッショルド電圧は、OPAx486 の通常動作電圧より高く、デバイスのブレークダウン電圧レベルよりも低くなっています。このスレッショルドを超えると、吸収デバイスが迅速にアクティブになり、電源レールの電圧を安全なレベルにクランプします。

図 6-1 は、オペアンプを回路に接続したとき、ESD 保護部品は非アクティブのままであり、アプリケーション回路の動作に関与しないことを示しています。ただし、印加された電圧が特定のピンの動作電圧範囲を超える状況が発生する可能性があります。この状況が発生した場合、一部の内部 ESD 保護回路のバイアスがオンになって電流が流れるリスクがあります。このような電流の流れは、ステアリング ダイオード パスを経由して発生し、吸収デバイスが関係することはほとんどありません。



注：V_{IN} = (V+) + 500mV。
TVS：V+ < $V_{TVSBR\ (min)}$ < 60V。ここで、$V_{TVSBR\ (min)}$ は、TVS のブレークダウン電圧の最小規定値です。
R_S の推奨値は、過電圧状態でのおおよそ 5kΩ です。

図 6-1. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

ADVANCE INFORMATION

図 6-1 に、入力電圧 (V_{IN}) が正電源電圧 (V+) を 500mV 以上上回る具体的な例を示します。この回路で発生する現象の多くは、電源の特性によって異なります。V+ が電流をシンクできる場合、上側の入力ステアリング ダイオードの 1 つが導通し、電流を $+V_S$ へ導きます。V_{IN} が高くなると、非常に高いレベルの電流が流れる可能性があります。その結果、データシートの仕様では、アプリケーションが入力電流を 10mA に制限することを推奨しています。

電源が電流をシンクできない場合、V_{IN} はオペアンプへの電流ソースを開始し、その後、正の電源電圧供給を引き継ぐことができます。この場合の危険は、電圧がオペアンプの絶対最大定格を超えるレベルまで上昇する可能性があることです。

よくある質問として、「電源 V+ または V– が 0V のときに入力信号を加えるとどうなるか」というものもあります。ここでも、電源が 0V または入力信号の振幅より低いレベルにあるときの電源特性によって状況が変わります。見かけ上、電源のインピーダンスが高い場合、オペアンプの電源電流は、入力ソースから電流ステアリング ダイオードを経由して供給できます。このような状態はアンプにとって通常のバイアス条件ではなく、特性の劣化や異常な動作につながる可能性があります。電源のインピーダンスが低い場合には、ステアリング ダイオードを流れる電流が非常に大きくなる可能性があります。電流レベルは、入力ソースが電流を供給できる能力と、入力パスに存在する抵抗によって異なります。

この電流を吸収する電源の能力が不確実である場合は、外部過渡電圧サプレッサ (TVS) ダイオードを電源ピンに追加します (図 6-1 も参照)。このブレークダウン電圧は、通常動作中にダイオードがオンにならないように選択する必要があります。ただし、電源ピンが安全な動作電源電圧レベルを超えそうになった場合には TVS ダイオードが導通する程度に、ブレークダウン電圧を低くする必要があります。

6.3.6 MUX 対応入力

OPAx486 には独自の入力段設計が採用されており、高い入力インピーダンスを維持しながら、入力差動電圧を印加できます。通常、高電圧の CMOS またはバイポーラ接合入力アンプには、半導体プロセスの最大値を超えていてデバイスに永続的な損傷を与える可能性のある、大きなゲート ソース間電圧 (V_{GS}) から入力トランジスタを保護する逆並列ダイオードが搭載されています。大きいステップ入力を印加したとき、またはチャネル間を切り替えたとき、またはアンプをコンパレータとして使う場合、大きい V_{GS} 電圧が発生してしまう可能性があります。

OPAx486 は、大きい差動電圧が印加されたときに大きい入力バイアス電流が発生することを防止するスイッチ入力手法により、これらの問題を解決します。この入力アーキテクチャは、スイッチングまたは多重化アプリケーションで見られる多くの問題に対応します。これらのアプリケーションでは、大きな電位間を高速にスイッチングすることにより、RC フィルタリング ネットワークに大きな乱れが生じます。図 6-2 は、マルチプレクサ対応入力でセトリング タイム性能を向上できる代表的なアプリケーションを示しています。OPAx486 は、これらの設計の革新により、優れたセトリング性能を得るとともに、スルー レートの向上と広い帯域幅を実現しています。OPAx486 は、コンパレータとしても使用できます。差動および同相入力電圧範囲は引き続き適用されます。

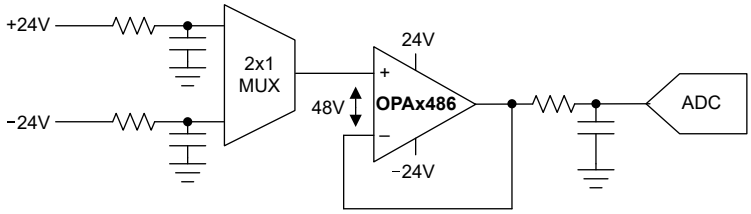


図 6-2. 多重化アプリケーション

6.4 デバイスの機能モード

OPAx486 には単一機能モードがあり、電源電圧が 4.5V (±2.25V) を上回ると動作します。OPAx486 の推奨電源電圧は 48V (±24V) です。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

OPAx486 オペアンプは、ゲイン帯域幅、ノイズ、消費電流の間で適切なトレードオフを提供します。OPAx486 は、電流検出、ホイートストン ブリッジ、熱電対、測温抵抗体 (RTD)、心電計 (ECG) など非常に低いレベルの信号用のシグナルコンディショニングを必要とするアプリケーションに最適です。低いオフセットと広帯域幅を持つため、非常に大きいゲイン構成が可能であり、低い広帯域ノイズとほぼゼロのフリッカー ノイズによって信号の忠実性が維持されます。48V の動作電圧により、高い入力同相電圧や広い出力スイング能力を必要とする追加のアプリケーションを実現できます。

7.1.1 ノイズの基本的な計算

低ノイズ回路設計では、すべてのノイズ源を慎重に分析する必要があります。多くの場合、外部ノイズ源が支配的な要素になることがあるため、ソース抵抗がオペアンプのノイズ性能全体に与える影響を考慮します。回路全体のノイズは、すべてのノイズ要素の二乗和平方根に等しくなります。

ソース インピーダンスの抵抗の部分では、抵抗の平方根に比例する熱ノイズが発生します。ソース インピーダンスは一般に固定されているため、ノイズ全体への寄与を最小限に抑えるオペアンプおよび帰還抵抗を選定します。

図 7-1 は、ゲインが存在する非反転型オペアンプ回路構成を示しています。図 7-2 は、ゲインが存在する反転型オペアンプ回路構成を示しています。ゲインが存在する回路構成では、帰還ネットワーク抵抗もノイズの原因となります。一般に、オペアンプの電流ノイズは帰還抵抗に反応して、追加のノイズを発生させます。ただし、OPAx486 の電流ノイズは低いため、電流ノイズの寄与は無視できます。

一般的には、帰還抵抗の値を選択して、これらのノイズ発生源を無視できる程度まで下げることができます。低インピーダンスの帰還抵抗は、アンプの出力に負荷をかけます。両方の構成について、合計ノイズの計算式を示します。

ノイズ計算に関する追加リソースについては、*TI Precision Labs* を参照してください。

ADVANCE INFORMATION

ADVANCE INFORMATION

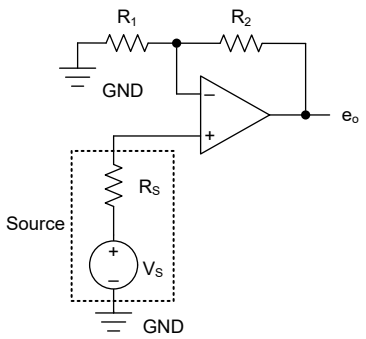


図 7-1. 非反転型ゲイン構成のノイズの計算

$$E_o = e_o\sqrt{BW_N}\ [V_{RMS}] \tag{1}$$

$$e_o = \left(1 + \frac{R_2}{R_1}\right)\sqrt{{e_S}^2 + {e_N}^2 + \left(e_{R_1||R_2}\right)^2 + \left(i_N R_S\right)^2 + \left(i_N \frac{R_1 R_2}{R_1 + R_2}\right)^2}\left[\frac{V}{\sqrt{Hz}}\right] \tag{2}$$

$$e_S = \sqrt{4k_B T(K) R_S}\left[\frac{V}{\sqrt{Hz}}\right] \tag{3}$$

$$e_{R_1||R_2} = \sqrt{4k_B T(K)\left(\frac{R_1 R_2}{R_1 + R_2}\right)}\left[\frac{V}{\sqrt{Hz}}\right] \tag{4}$$

$$k_B = 1.38065\ \times 10^{-23}\left[\frac{J}{K}\right] \tag{5}$$

$$T(K) = 2.37.15 + T(°C)\ [K] \tag{6}$$

ここで、

- e_N はアンプの電圧ノイズ スペクトル密度。OPAx486 の場合、e_n = 10.5nV/√Hz (1kHz 時)
- i_n はアンプの電流ノイズ スペクトル密度。OPAx486 の場合、i_n = 200fA/√Hz (1kHz 時)
- e_o は合計ノイズ密度
- e_S は、R_S の熱ノイズ
- $e_{R_1 || R_2}$ は、R_1 || R_2 の熱ノイズ
- k_B はボルツマン定数
- T(K) は温度 (ケルビン)

Copyright © 2026 Texas Instruments Incorporated

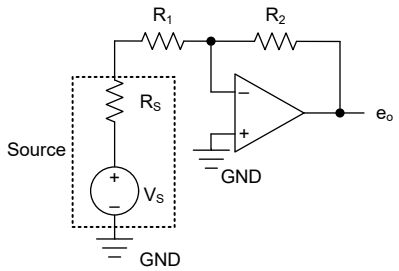


図 7-2. 反転型ゲイン構成のノイズの計算

$$E_o = e_o\sqrt{BW_N}\ [V_{RMS}] \tag{7}$$

$$e_o = \left(1 + \frac{R_2}{R_S + R_1}\right)\sqrt{{e_N}^2 + \left(e_{R_1 + R_S||R_2}\right)^2 + \left(i_N\frac{(R_S + R_1)R_2}{R_S + R_1 + R_2}\right)^2}\left[\frac{V}{\sqrt{Hz}}\right] \tag{8}$$

$$e_{R_1 + R_S||R_2} = \sqrt{4k_BT(K)\left(\frac{(R_S + R_1)R_2}{R_S + R_1 + R_2}\right)}\left[\frac{V}{\sqrt{Hz}}\right] \tag{9}$$

$$k_B = 1.38065\ \times 10^{-23}\left[\frac{J}{K}\right] \tag{10}$$

$$T(K) = 2.37.15 + T(°C)\ [K] \tag{11}$$

ここで、

- を参照してください。
- e_N はアンプの電圧ノイズ スペクトル密度。OPAx486 の場合、e_n = 10.5nV/√Hz (1kHz 時)
- i_n はアンプの電流ノイズ スペクトル密度。OPAx486 の場合、i_n = 200fA/√Hz (1kHz 時)
- e_o は合計ノイズ密度
- e_S は、R_S の熱ノイズ
- $e_{(R_1 + R_S) || R_2}$ は $(R_1 + R_S) || R_2$ の熱ノイズ
- k_B はボルツマン定数
- T(K) は温度 (ケルビン)

ADVANCE INFORMATION

7.2 代表的なアプリケーション

7.2.1 計装アンプ

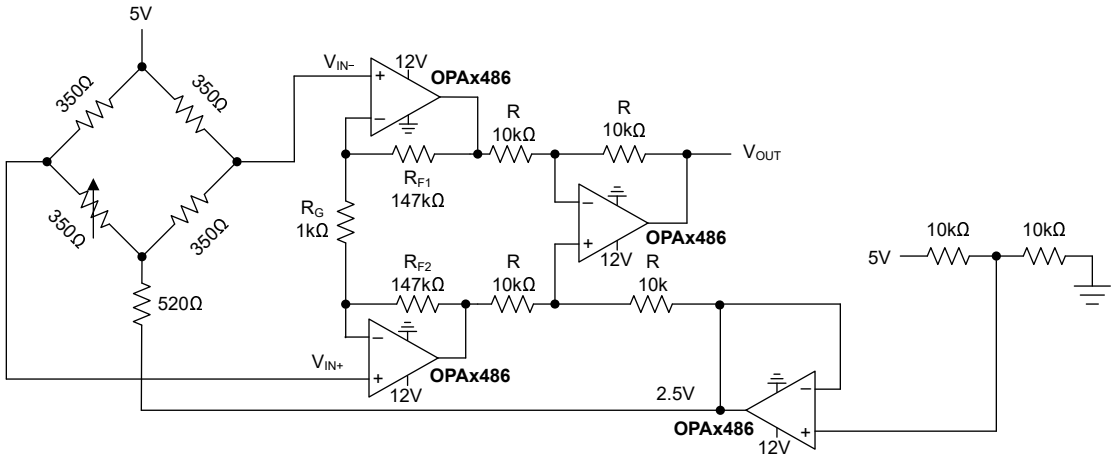


図 7-3. 歪みゲージ用計測アンプ

7.2.1.1 設計要件

安全性と信頼性の高い製造を実現する上で、プロセスを効果的に制御することは不可欠です。プロセス制御における重要な要件は、圧力の正確な測定です。従来型の歪みゲージは、低コストで信頼性が高いことから、今でも設計者に選ばれています。

歪みゲージの動作原理は簡単です。歪みゲージに力が加わると、物理構造が変化し、抵抗値が力に比例して変化します。ホイートストン ブリッジを使用して、この抵抗値の変化を高精度で測定できます。

歪みゲージのゲージ係数は、センサの感度を表す尺度であり、加えられた力に対する抵抗の相対的な変化を表します。抵抗値の変化は非常に小さいことがあり、歪みゲージの公称抵抗値の 0.1% しか変化しない場合も珍しくありません。そのため信号が非常に小さくなり、正確にデジタル化するには大きなゲインが必要になります。OPAx486 は、非常に高いゲイン構成にも対応できる優れた精度と広いゲイン帯域幅積を備えています。

OPAx486 は、3 つのオペアンプを組み合わせた計測アンプとして構成することができ、これによって高いゲイン、高い同相信号除去比、差動からシングル エンドへの変換を実現できます。

この設計例では、以下のパラメータを使用します。

- シングル電源:12V
- 線形出力電圧範囲ターゲット:0V ～ 5V
- ブリッジ励起:5V
- 歪みゲージの抵抗値の変動:±6%
- 公称歪みゲージ抵抗:350

以下の設計の詳細と式は、各種の出力電圧範囲や負荷電流に合わせてこの設計を再構成するために使用できます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.2.1.2 詳細な設計手順

高いゲインと高い同相信号除去比を備えた計測アンプを設計するには、OPAx486 のチャネルを 3 つ使用し、高精度のマッチング済み抵抗ネットワークを構築する必要があります。計測アンプの構成を図 7-3 に示します。

この例における歪みゲージは、公称抵抗値 350Ω に設定されており、公称抵抗値の最大 ±6% の変動が想定されています。これは、抵抗が公称値から約 21Ω 変動することに相当します。抵抗値の変化は、ブリッジのフルスケール出力に直接影響します。システムの精度を維持するためには、ドリフトが非常に低い高精度オペアンプを使用することが不可欠です。ブリッジ センサは本質的に非線形ですが、小さな変化の範囲では直線性が許容されることに注意してください。図 7-4 に、非直線性の小ささを示すためのブリッジ出力のシミュレーション結果を示します。

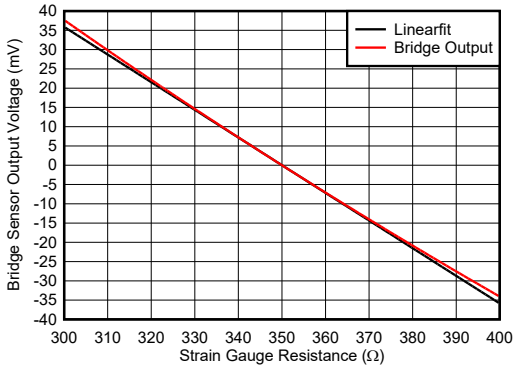


図 7-4. ブリッジ センサの直線性

ブリッジ励起電圧は、ブリッジのフルスケール出力にも影響を与え、電圧が高いほど、大きな信号が生成されます。最大電圧は、ブリッジのメーカーが規定する最大定格によって制限されます。電圧を高くすると、ブリッジ両端の電力損失も増加することに注意してください。ブリッジを流れる電流を許容可能なレベルに制限するために抵抗を使用しますが、この抵抗によって同相電圧が決まり、ブリッジ全体の出力が低減されることに注意してください。この場合、5V 電源がすぐに利用可能であり、ブリッジを流れる電流を約 3mA に制限するための抵抗を追加します。抵抗の追加により、信号の同相電圧が約 4.485V になります。

OPAx486 の同相電圧は (V−) から (V+) − 2V です。この制約に対応するため、アンプに共通の 12V 電源電圧を供給します。このアプリケーションで期待されるブリッジの同相電圧範囲は 0V ～ 13V です。

出力スイング電圧について検討することも、同様に重要です。このアプリケーションには、2 つの重要な検討事項があります。1 つ目は、ブリッジと接続するアンプに出力電圧制限があることです。これら 2 つのアンプには、同相電圧を十分上回る値までスイングできる能力が求められます。2 つ目の検討事項は、出力アンプに関するものです。アンプの出力を線形出力範囲内に維持します。OPAx486 は、10kΩ を駆動した場合、(V−) + 0.6 ～ (V+) − 0.6V の範囲内で高い直線性を維持します。この回路は、600mV ～ 4.4V までスイングするように設計されています。

次に、ブリッジから期待される出力と、前述の出力スイングの制約を使用して、計測アンプのゲインを決定します。式 12 にゲインの計算式を示します。この設計において、ゲイン計算結果である 124V/V よりもわずかに小さい値が選択されていることに注意してください。

$$G_{diff} = \frac{4.4V - 0.6V}{0.015V - (-0.015)} \approx 126\frac{V}{V} \tag{12}$$

この回路は、モノリシック計測アンプに比べて、設計の柔軟性が優れています。この設計では、抵抗 R_G、R_{F1}、R_{F2} を使用してゲインを最初の段で設定します。式 13 に、このアンプのゲイン計算式を示します。式 12 で得られたゲインの値を使用すると、適切な抵抗を選択できます。大きな抵抗を選択する場合は、必ずノイズと安定性への影響を考慮してください。高い同相信号除去比と低いゲイン誤差を維持するために、抵抗が厳密にマッチングされていることを確認します。

$$G_{diff} = \left(1 + \frac{2R_F}{R_G}\right) \tag{13}$$

ADVANCE INFORMATION

この設計は、本セクションで説明した制限を検討しつつ、特定の設計に合わせてカスタマイズすることができます。

7.2.1.3 アプリケーション曲線

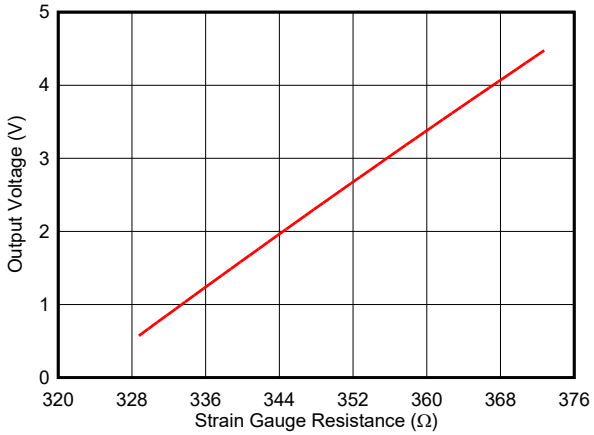


図 7-5. 計測アンプの結果

7.2.2 低消費電力計測アンプ

前のセクションでは、ハイ インピーダンス入力、高い同相信号除去比、差動からシングル エンドへの変換を実現する計測アンプを設計する方法について説明しました。前述のように、実装では OPAx486 のチャネル数を 3 つ以上使用する必要があります。多くのアプリケーションでは、基板上の電力とスペースの制約が厳しいため、小型で低消費電力の設計が望まれます。図 7-6 に、前のセクションで詳しく説明した設計の代替構成を示します。この設計では、静止電流を 33% 削減し、2 チャネル パッケージを使用した実装により、サイズを大幅に改善できます。このように電源とサイズが改善される一方で、(特に AC の) 同相信号除去と、入力同相電圧における制約の厳しさがトレードオフとなります。

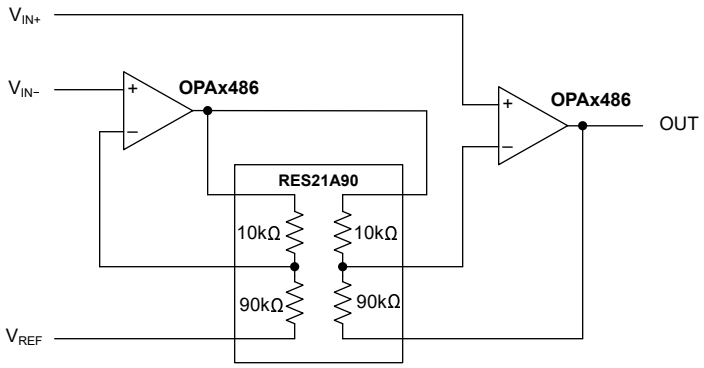


図 7-6. 2 つのオペアンプを持つ計測アンプ

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.2.3 差動アンプ

一部のアプリケーションでは、対象となる差動信号が高い同相電圧で出力されるため、高い同相電圧のアンプが必要です。ハイサイド電流検出もそのようなアプリケーションの 1 つです。設計者は、図 7-7 に示す差動アンプ構成を使用して、この問題を解決できます。この構成の入力同相電圧は、アンプのゲインと入力同相電圧に依存します。

$$V_{IN}\left(\frac{G}{G+1}\right) + V_{REF}\left(\frac{1}{G+1}\right) \le V_{+} - 2V \tag{14}$$

$$V_{IN}\left(\frac{G}{G+1}\right) + V_{REF}\left(\frac{1}{G+1}\right) \ge V_{-} - 0.1V \tag{15}$$

ゲイン (G) は式 16 で求められます。入力同相電圧は「電気的特性」に記載されています。

$$G = \frac{R_G}{R_{IN}} \tag{16}$$

OPAx486 は 48V の動作電源電圧を供給し、非常に高い同相電圧差動アンプを実現します。OPAx486 は非常に高精度で、温度に対して安定した測定が可能です。

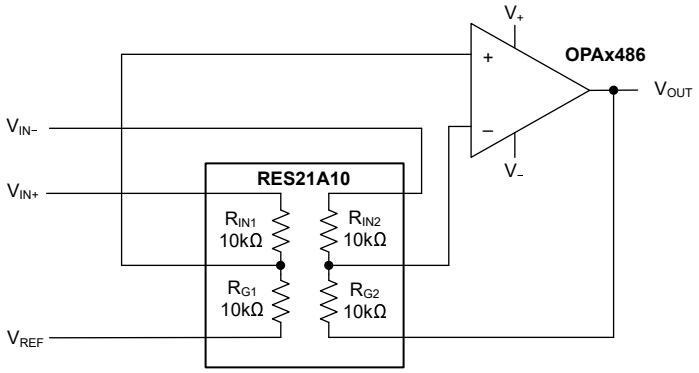


図 7-7. 差動アンプ

7.2.4 測温抵抗体 (RTD)

OPAx486 は、高精度 RTD 設計に最適な製品です。RTD は、高精度で広い温度範囲のアプリケーションでよく使用されます。残念ながら、温度による RTD 抵抗の変化は完全に線形ではなく、最良の結果を得るために何らかの補償が必要です。図 7-8 に、RTD のアナログ補償を行う回路を示します。抵抗 R2、R4、R3 は回路のノイズ ゲインを設定し、R3 と R2 の比は回路の DC オフセットを設定します。抵抗 R1 は Pt100 RTD の電流励起を設定し、R5 は補償を行います。抵抗の選択は、『測温抵抗体のアナログ線形化』レポートで詳細に説明されている、各種変数に依存します。

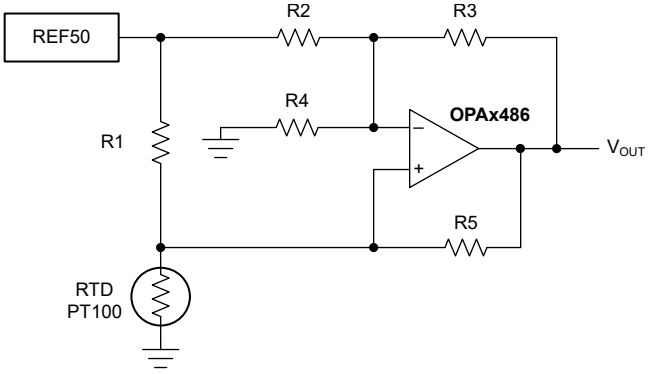


図 7-8. RTD の構成と線形化

ADVANCE INFORMATION

7.3 電源に関する推奨事項

OPAx486 は、4.5V～48V (±2.25V～±24V) で動作することが規定されています。OPAx486 は、シングル電源とデュアル電源の両方で動作します。OPAx486 は対称電源を必要とせず、オペアンプは動作に最低 4.5V の電圧のみを必要とします。

> **注意**
>
> 60V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。*「絶対最大定格」*表を参照してください。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、セクション 7.4 を参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、適切な PCB レイアウト手法を使用してください。

- オフセット電圧を最小限に抑えるため、異なる導体の接続部に形成される熱電対接合部で熱電効果 (ゼーベック効果) が発生するような温度勾配を避けます。また、
  - 熱電係数の低い条件を使用します (異なる金属は避けてください)。
  - 電源や他の熱源から部品を熱的に絶縁します。
  - オペアンプおよび入力回路を、冷却ファンなどの空気流から遮蔽します。
- ノイズは、オペアンプの電源ピンや回路全体を通じてアナログ回路に伝播する可能性があります。バイパス コンデンサは、アナログ回路に対して局所的に Low インピーダンスの電源を供給することにより、結合ノイズを低減します。
  - 各電源ピンとグランドの間に Low ESR 0.1μF のセラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス コンデンサを接続します。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル グランドとアナログ グランドを物理的に分離します。詳細については、*『PCB はオペアンプ設計のコンポーネント』*Analog Design Journal を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらのトレースを離して配置できない場合、感度の高いトレースをノイズの多いトレースと平行にするのではなく、垂直に交差させます。
- デカップリング コンデンサをデバイスのできるだけ近くに配置します。図 7-10 が示すように、帰還抵抗 (R3) とゲイン抵抗 (R4) は反転入力の近くに配置して、寄生容量を最小限に抑えます。
- 入力パターンは、できる限り短くしてください。反転入力へのトレースを短くすると、反転入力の寄生容量を最小限に抑えることができます。入力パターンは、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 最高の性能を得るために、基板組立後には PCB を清掃します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの状況では、クリーニング後に 85℃で 30 分間の低温ベーキングを行えば十分です。

ADVANCE INFORMATION

7.4.2 レイアウト例

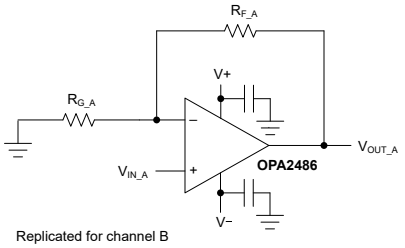


図 7-9. 回路図

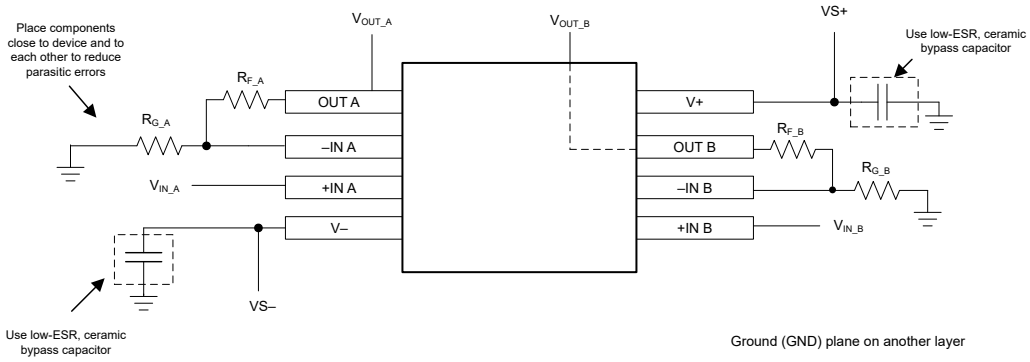


図 7-10. 非反転型アンプ構成のオペアンプ基板のレイアウト

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプの設計を作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.2 TINA-TI™ シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは設計およびシミュレーション ツール Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ *ソフトウェア フォルダ*から、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『ゼロドリフト アンプ：特長と利点』アプリケーション ブリーフ*
- テキサス インスツルメンツ、*『PCB はオペアンプ設計のコンポーネント』アプリケーション ノート*
- テキサス・インスツルメンツ、*『オペアンプのゲイン安定性、第 3 部：AC ゲイン誤差の分析』*
- テキサス・インスツルメンツ、*『オペアンプのゲイン安定性、第 2 部：DC ゲイン誤差の分析』*
- テキサス インスツルメンツ、*『完全差動アクティブ フィルタにおける無限ゲイン、MFB フィルタ トポロジの使用』アプリケーション ノート*
- テキサス インスツルメンツ、*『オペアンプの性能分析』*
- テキサス インスツルメンツ、*『オペアンプの単一電源動作』アプリケーション ノート*
- テキサス インスツルメンツ、*『鉛フリー仕上げ部品の保管寿命評価』アプリケーション ノート*
- テキサス インスツルメンツ、*『フィードバック プロットによるオペアンプ AC 性能の定義』アプリケーション ノート*
- テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション ノート
- テキサス インスツルメンツ、*『測温抵抗体のアナログ線形化』アプリケーション ノート*
- テキサス インスツルメンツ、*『TI 高精度設計 TIPD102 ハイサイド電圧-電流 (V-I) コンバータ』*

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

ADVANCE INFORMATION

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
January 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2486DR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OP2486

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

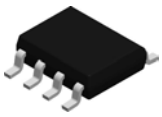
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

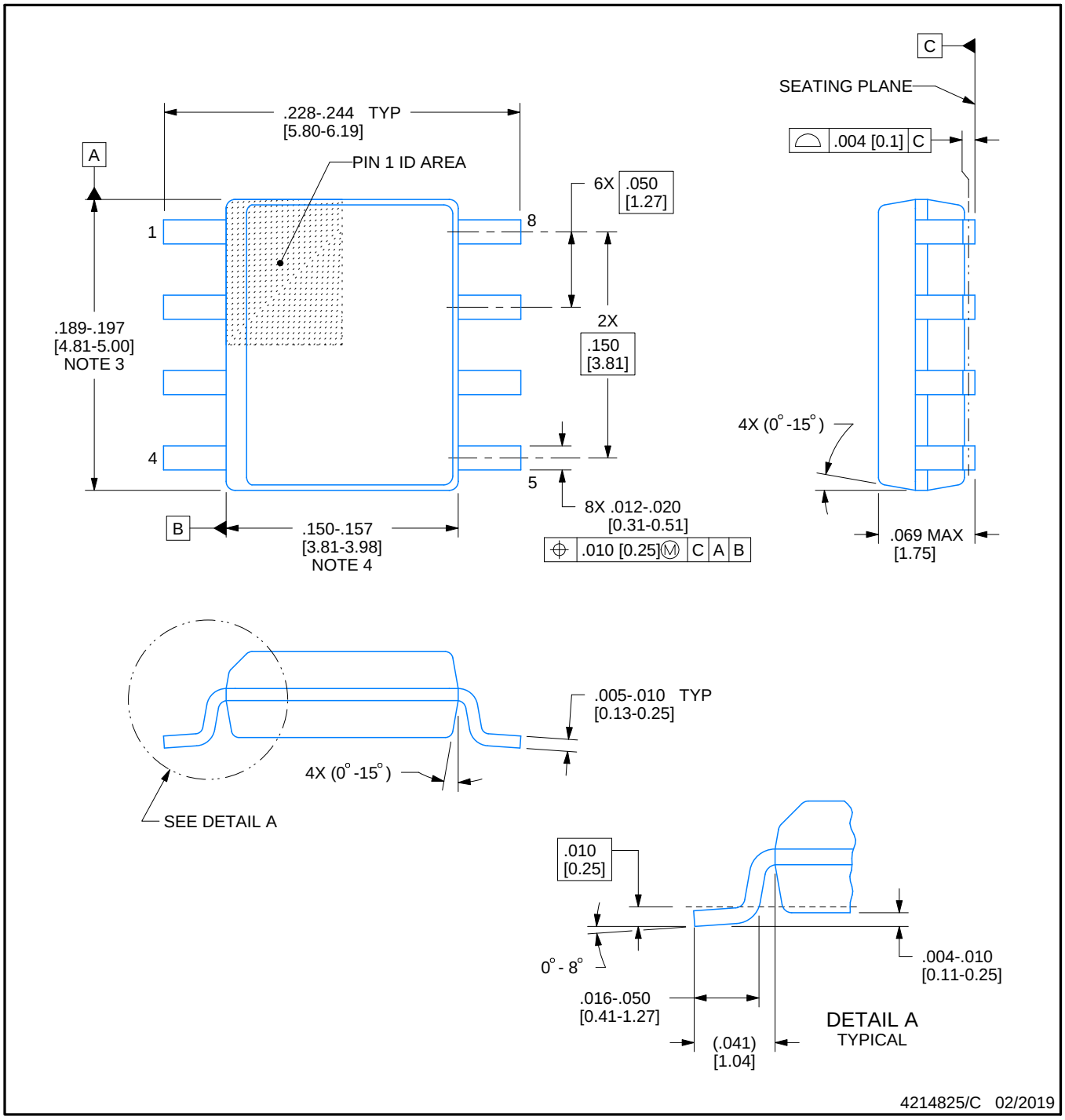


PACKAGE OUTLINE

D0008A

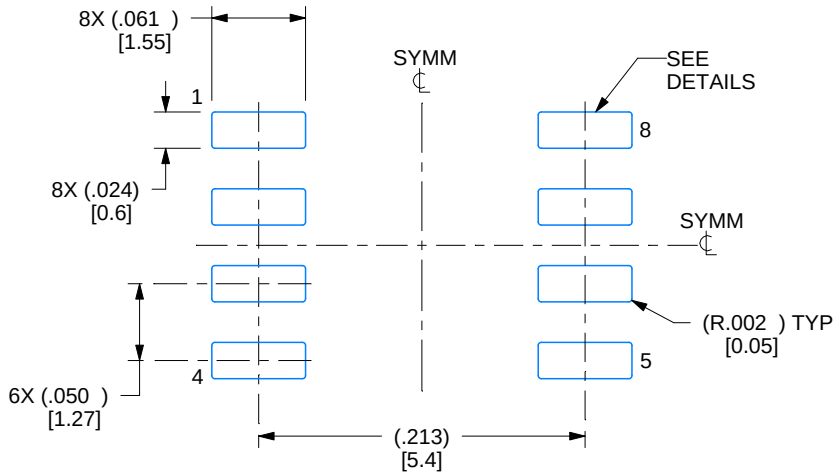
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

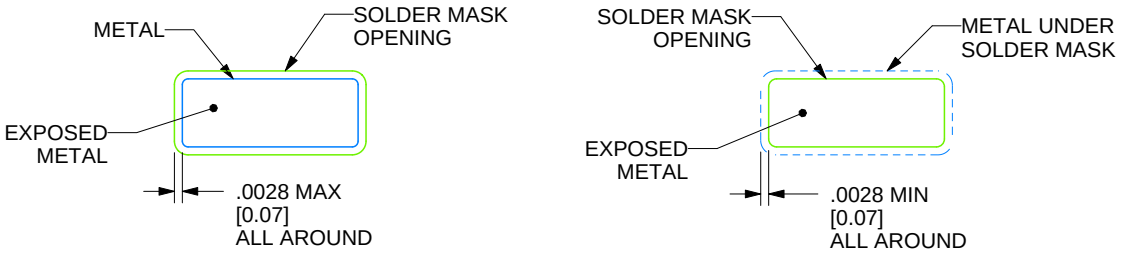


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

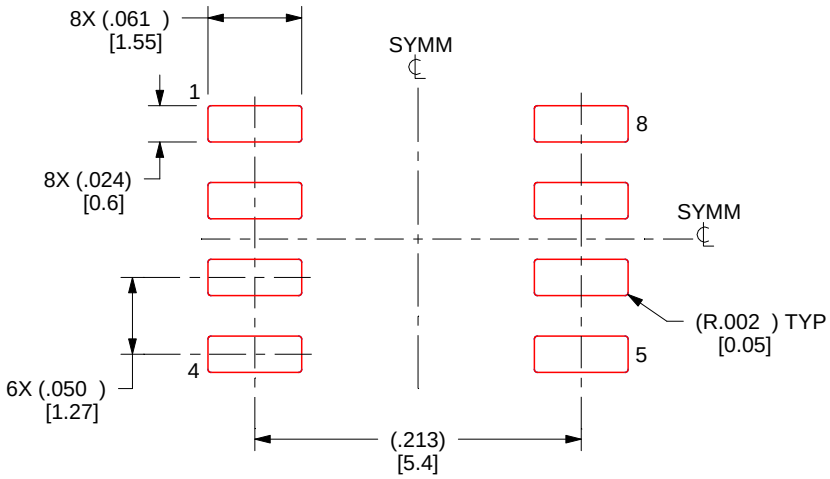


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月