

OPAx488 低ノイズ、ゼロドリフト、広帯域幅、マルチプレクサ対応オペアンプ

1 特長

- 電源電圧範囲: 4.5V ~ 48V
- 高い DC 精度:
 - ゼロドリフト: 0.025 μ V/ $^{\circ}$ C、最大値
 - 低いオフセット電圧: 7.5 μ V、最大値
 - 高 PSRR: 150dB
 - 高 CMRR: 150dB
- 優れた AC 性能:
 - ゲイン帯域幅: 14MHz
 - スルーレート: 40V/ μ s
 - 低い広帯域ノイズ: 7.5nV/ $\sqrt{\text{Hz}}$
 - ほぼゼロのフリッカーノイズ: 180nV_{pp}
- 入力が負のレールにも対応
- 低い静止電流: 1.5mA
- サーマルシャットダウン
- ラッチアップ保護
- 温度: -40 $^{\circ}$ C ~ +125 $^{\circ}$ C

2 アプリケーション

- バッテリーテスト機器
- 重量計
- アナログ入力モジュール
- 圧力トランスミッタ
- プログラマブル DC 電源
- 半導体試験装置

3 説明

OPA488、OPA2488、OPA4488 (OPAx488) は、48V、広帯域幅、低ノイズのゼロドリフトのオペアンプです。OPAx488 は、多くの業界標準アンプとピンの互換性があり、高動作電圧の利点を活かします。48V の動作電圧と、60V の絶対最大値により、堅牢な回路を設計できます。

これらのオペアンプのオフセット電圧は、わずか 7.5 μ V (最大値) であり、温度範囲全体でのオフセット電圧ドリフトは、わずか 0.025 μ V/ $^{\circ}$ C (最大値) です。OPAx488 は広いゲイン帯域幅と非常に高いスルーレートにより、非常に短いセトリング時間を特長としています。独自の MUX 対応入力アーキテクチャを使用することで、マルチチャネルシステムではセトリングタイムがさらに短縮されます。

高精度、高速セトリング、低ノイズを兼ね備えた OPAx488 は、信号測定、高精度計測機器、データアキュジションなど広範なアプリケーションに最適です。

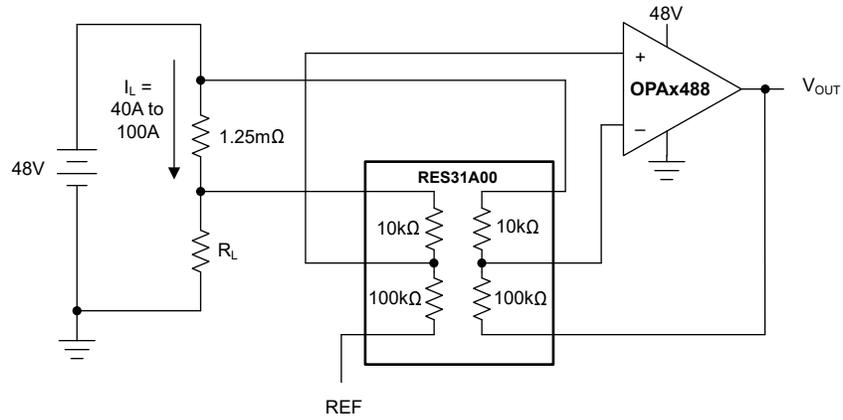
OPAx488 は、業界標準のパッケージとマイクロサイズのパッケージで利用可能、スペースの制約が厳しいアプリケーションに適しています。これらのデバイスの動作範囲は、-40 $^{\circ}$ C ~ +125 $^{\circ}$ C に指定されています。

パッケージ情報

部品番号	チャンネル数	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
OPA488	シングル	D (SOIC, 8)	4.90mm × 6.00mm
		DBV (SOT-23, 5)	2.90mm × 2.80mm
		DRL (SOT, 5) ⁽³⁾	1.60mm × 1.60mm
OPA2488	デュアル	D (SOIC, 8)	4.90mm × 6.00mm
		DGK (VSSOP, 8)	3.00mm × 4.90mm
		DSG (WSON, 8) ⁽³⁾	2.00mm × 2.00mm
OPA488	クワッド	D (SOIC, 14)	8.65mm × 6.00mm
		PW (TSSOP-14)	5.00mm × 6.40mm

- 詳細については、[セクション 10](#) を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- 開発中製品の情報 (量産データではありません)。





ハイサイド電流シャント モニタ アプリケーション

目次

1 特長	1	6.4 デバイスの機能モード	21
2 アプリケーション	1	7 アプリケーションと実装	22
3 説明	1	7.1 使用上の注意.....	22
4 ピン構成および機能	4	7.2 代表的なアプリケーション.....	24
5 仕様	6	7.3 電源に関する推奨事項.....	28
5.1 絶対最大定格.....	6	7.4 レイアウト.....	29
5.2 ESD 定格.....	6	8 デバイスおよびドキュメントのサポート	30
5.3 推奨動作条件.....	6	8.1 デバイス サポート.....	30
5.4 熱に関する情報: OPA488.....	7	8.2 ドキュメントのサポート.....	30
5.5 熱に関する情報: OPA2488.....	7	8.3 ドキュメントの更新通知を受け取る方法.....	30
5.6 熱に関する情報: OPA4488.....	7	8.4 サポート・リソース.....	31
5.7 電気的特性.....	8	8.5 商標.....	31
5.8 代表的特性.....	10	8.6 静電気放電に関する注意事項.....	31
6 詳細説明	18	8.7 用語集.....	31
6.1 概要.....	18	9 改訂履歴	31
6.2 機能ブロック図.....	18	10 メカニカル、パッケージ、および注文情報	31
6.3 機能説明.....	18		

4 ピン構成および機能

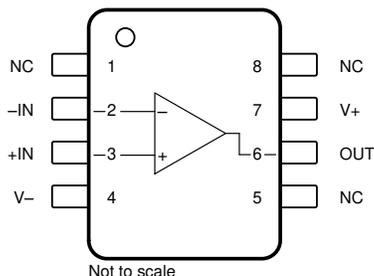


図 4-1. OPAx488 : D パッケージ、8 ピン SOIC (上面図)

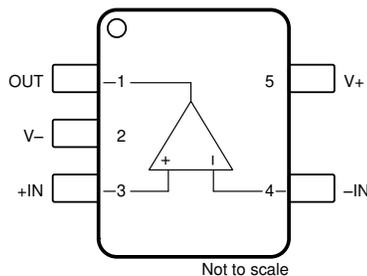


図 4-2. OPAx488 : DBV パッケージ、5 ピン SOT-23 (上面図)

表 4-1. ピンの機能 : OPAx488

名称	ピン		タイプ	説明
	D	DBV		
-IN	2	4	入力	反転入力
+IN	3	3	入力	非反転入力
NC	1, 8, 5	-	-	接続なし (フローティングのままでも可)
OUT	6	1	出力	出力
V-	4	2	電源	負 (最低) 電源
V+	7	5	電源	正 (最高) 電源

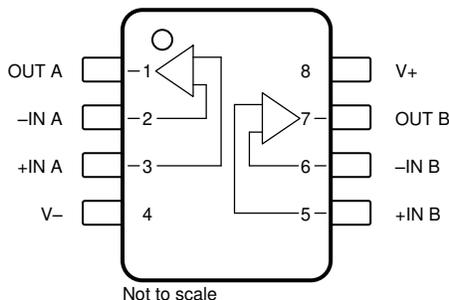


図 4-3. OPAx488 : D パッケージ、8 ピン SOIC および DGK パッケージ、8 ピン VSSOP (上面図)

表 4-2. ピンの機能 : OPAx488

名称	ピン		タイプ	説明
	番号			
-IN A	2		入力	反転入力、チャンネル A
+IN A	3		入力	非反転入力、チャンネル A
-IN B	6		入力	反転入力、チャンネル B
+IN B	5		入力	非反転入力、チャンネル B
OUT A	1		出力	出力チャンネル A
OUT B	7		出力	出力チャンネル B
V-	4		電源	負電源
V+	8		電源	正電源

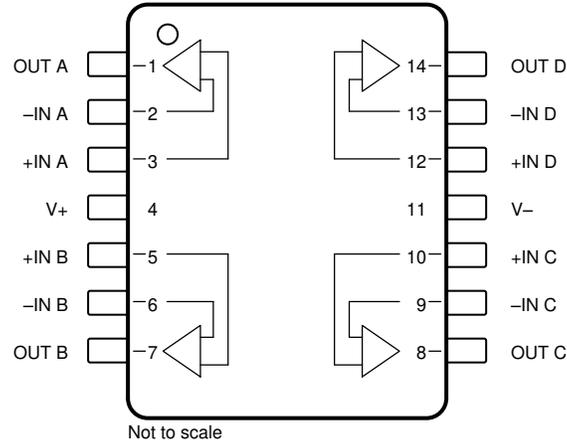


図 4-4. OPAx488 : D パッケージ、14 ピン SOIC および PW パッケージ、14 ピン TSSOP (上面図)

表 4-3. ピン機能 : OPA4488

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャンネル A
-IN B	6	入力	反転入力、チャンネル B
-IN C	9	入力	反転入力、チャンネル C
-IN D	13	入力	反転入力、チャンネル D
+IN A	3	入力	非反転入力、チャンネル A
+IN B	5	入力	非反転入力、チャンネル B
+IN C	10	入力	非反転入力、チャンネル C
+IN D	12	入力	非反転入力、チャンネル D
OUT A	1	出力	出力チャンネル A
OUT B	7	出力	出力チャンネル B
OUT C	8	出力	出力チャンネル C
OUT D	14	出力	出力チャンネル D
V-	11	電源	負電源
V+	4	電源	正電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
V _S	電源電圧	単一電源、V _S = (V+)		60	V
	信号入力電圧	同相	(V-) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V-)	
	電流			±10	mA
	出力短絡 ⁽²⁾		連続	連続	
T _A	動作温度		-55	150	°C
T _J	接合部温度			150	°C
T _{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
OPA488DBV				
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±4000	V
V _(ESD)	静電放電	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±500	V
他のすべてのパッケージ				
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±4000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _S	電源電圧	単一電源、V _S = (V+)	4.5		48	V
		デュアル電源、V _S = (V+) - (V-)	±2.25		±24	
T _A	動作温度		-40		125	°C

5.4 熱に関する情報 : OPA488

熱評価基準 ⁽¹⁾		OPA488		単位
		D (SOIC)	DBV (SOT-23)	
		8 ピン	5 ピン	
R _{θJA}	接合部から周囲への熱抵抗	144	197	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	82	96	°C/W
R _{θJB}	接合部から基板への熱抵抗	89	65	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	26	33	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	88	64	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.5 熱に関する情報 : OPA2488

熱評価基準 ⁽¹⁾		OPA2488		単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	132	159	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	72	53	°C/W
R _{θJB}	接合部から基板への熱抵抗	82	93	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	20	3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	81	92	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.6 熱に関する情報 : OPA4488

熱評価基準 ⁽¹⁾		OPA4488		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	95	102	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	56	37	°C/W
R _{θJB}	接合部から基板への熱抵抗	54	61	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	18	9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	54	60	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.7 電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 4.5\text{V} \sim 48\text{V}$ 、 $V_{CM} = V_{OUT} = V_S/2$ 、および $R_{LOAD} = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧 (1)						
V_{OS}	入力オフセット電圧			± 1	± 7.5	μV
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			± 10	
dV_{OS}/dT	入力オフセット電圧ドリフト	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		± 0.004	± 0.025	$\mu\text{V}/^\circ\text{C}$
PSRR	電源除去比	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		± 0.02	± 0.125	$\mu\text{V}/\text{V}$
入力バイアス電流 (1)						
I_B	入力バイアス電流			± 55	± 350	pA
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$				± 7
I_{OS}	入力オフセット電流			± 100	± 600	pA
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$				± 3
ノイズ						
E_n	入力電圧ノイズ	$f = 0.1\text{Hz} \sim 10\text{Hz}$		0.160		μV_{PP}
e_n	入力電圧ノイズ密度	$f = 10\text{Hz}$		7.6		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 100\text{Hz}$		7.6		
		$f = 1\text{kHz}$		7.5		
		$f = 10\text{kHz}$		11.4		
i_n	入力電流ノイズ密度	$f = 1\text{Hz}$		165		$\text{fA}/\sqrt{\text{Hz}}$
入力電圧						
V_{CM}	同相電圧範囲			$(V-) - 0.1$	$(V+) - 1.7$	V
CMRR	同相除去比	$(V-) - 0.1\text{V} \leq V_{CM} \leq (V+) - 1.7\text{V}$	$V_S = \pm 2.25\text{V}$	118	135	dB
			$V_S = \pm 24\text{V}$	140	150	
		$(V-) - 0.1\text{V} \leq V_{CM} \leq (V+) - 1.7\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}^{(1)}$	$V_S = \pm 2.25\text{V}$	118	130	
			$V_S = \pm 24\text{V}$	140	150	

$T_A = 25^\circ\text{C}$, $V_S = 4.5\text{V} \sim 48\text{V}$, $V_{CM} = V_{OUT} = V_S/2$, および $R_{LOAD} = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
入力インピーダンス							
Z_{id}	差動入力インピーダンス			100 1.6			M Ω pF
Z_{ic}	同相モード入力インピーダンス			1 1.9			T Ω pF
開ループゲイン							
A_{OL}	開ループ電圧ゲイン	$V_S = 48\text{V}$, $(V-) + 0.6\text{V} < V_O < (V+) - 0.6\text{V}$, $R_{LOAD} = 10\text{k}\Omega$		130	140	dB	
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}^{(1)}$	130			
		$V_S = 48\text{V}$, $(V-) + 1.7\text{V} < V_O < (V+) - 1.7\text{V}$, $R_{LOAD} = 2\text{k}\Omega$		130	140		
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}^{(1)}$	130			
周波数応答							
GBW	ゲイン帯域幅積			14			MHz
SR	スルーレート	ゲイン = 1, 10V ステップ	Positive	40			V/ μ s
THD+N	全高調波歪み + ノイズ	ゲイン = 1, $f = 1\text{kHz}$, $V_O = 3.5V_{RMS}$		0.00012%			
	クロストーク		DC 時	120		dB	
			$f = 10\text{kHz}$	100			
t_s	セトリングタイム	$V_S = 48\text{V}$, ゲイン = 1, 5V ステップ	0.1% まで	1		μ s	
			0.01% まで	15			
t_{OR}	過負荷回復時間	$V_{IN} \times \text{ゲイン} = V_S = \pm 24\text{V}$		424			ns
f_{CH}	チョッピング周波数			200			kHz
出力							
V_O	電圧出力スイング (レールから)	正のレール, $V_S = 48\text{V}$	無負荷	32	40	mV	
			$R_{LOAD} = 10\text{k}\Omega$	185	200		
			$R_{LOAD} = 2\text{k}\Omega$	810	850		
		負のレール, $V_S = 48\text{V}$	無負荷	25	35		
			$R_{LOAD} = 10\text{k}\Omega$	190	220		
			$R_{LOAD} = 2\text{k}\Omega$	810	850		
I_{SC}	短絡電流			± 42			mA
C_{LOAD}	容量性負荷駆動能力			「代表的特性」を参照			pF
Z_O	オープンループ出力インピーダンス	$f = 1\text{MHz}$		220			Ω
電源							
I_Q	アンプごとの静止電流	$I_O = 0\text{A}$		1.5	1.8	mA	
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}^{(1)}$	1.5	1.9		

(1) 複数のロットにわたるデバイスの母集団ベンチシステムの測定から確立された仕様。

5.8 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 48\text{V}$ 、 $V_{CM} = V_S/2$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

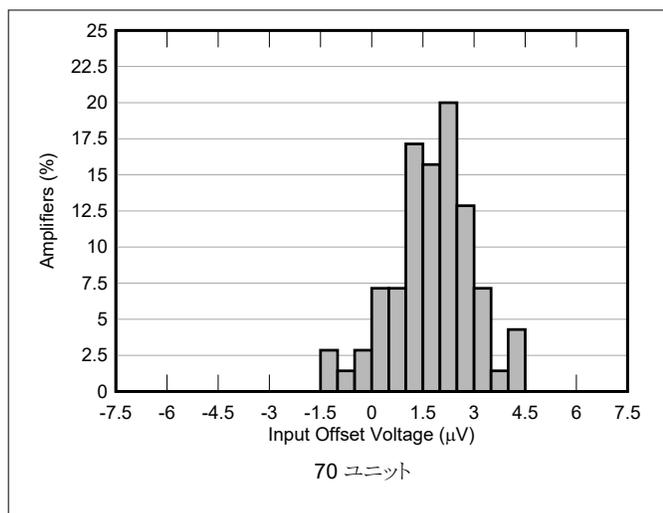


図 5-1. オフセット電圧の分布

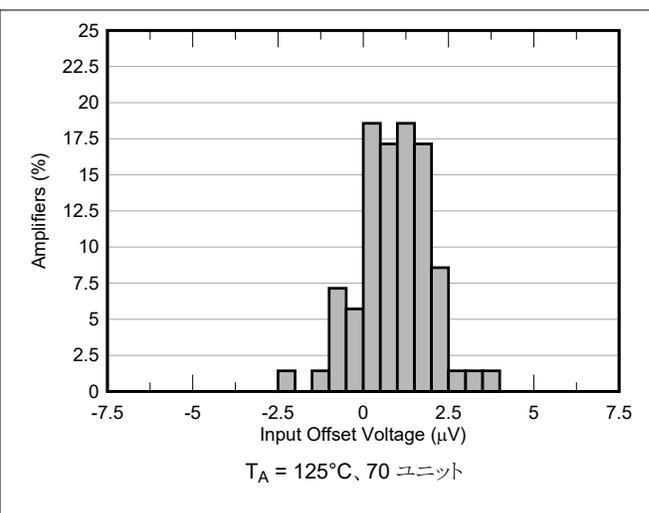


図 5-2. オフセット電圧の分布

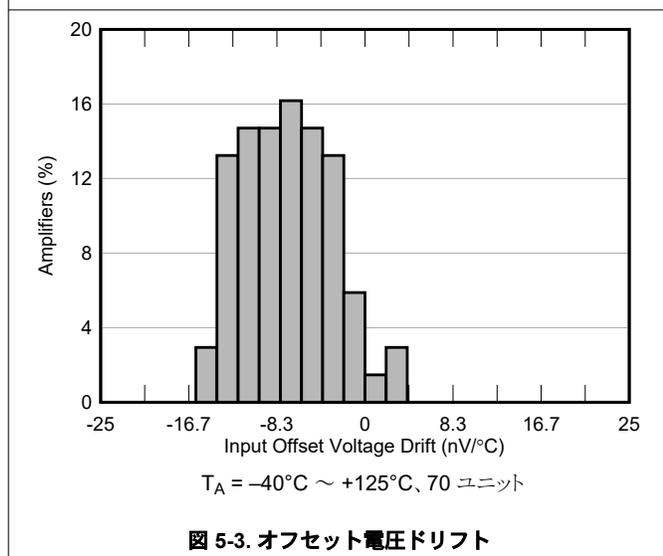


図 5-3. オフセット電圧ドリフト

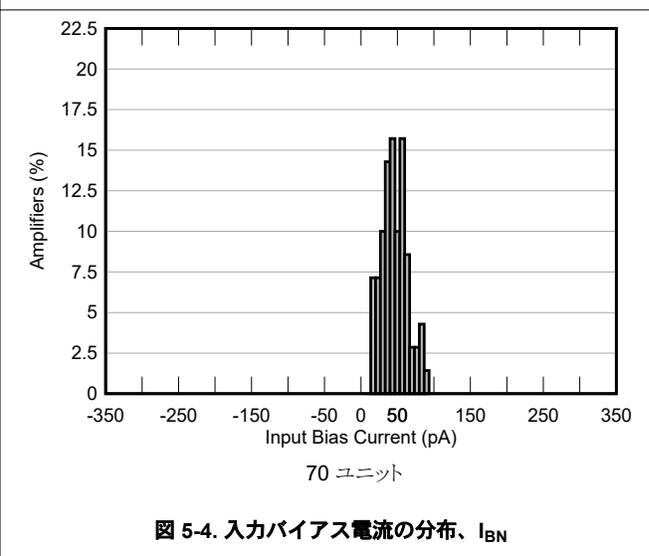
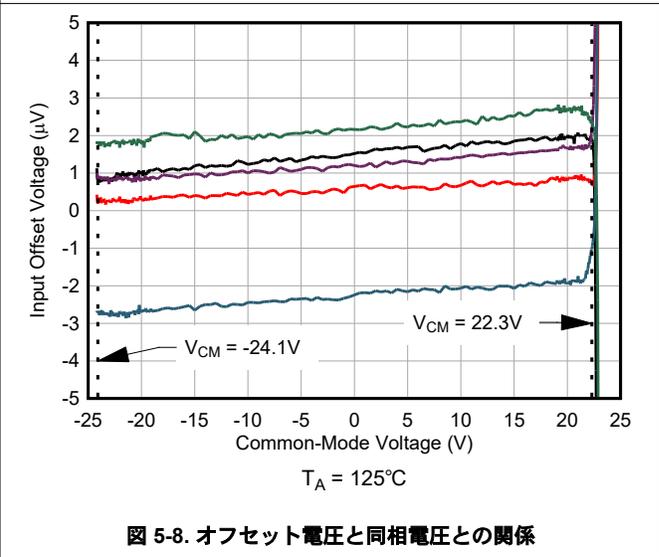
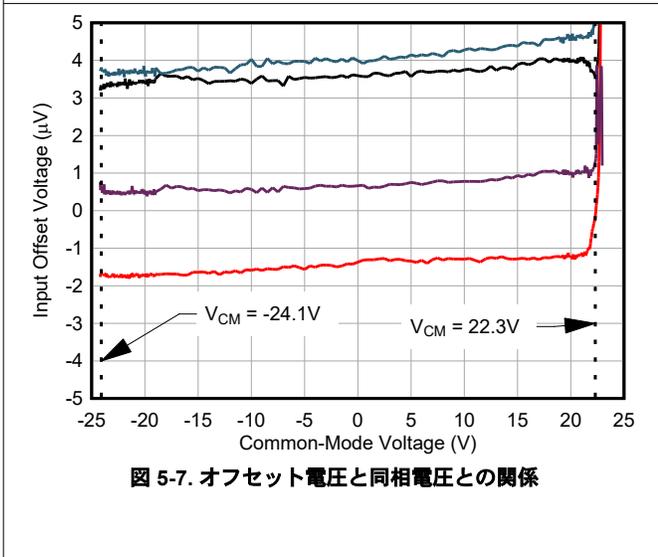
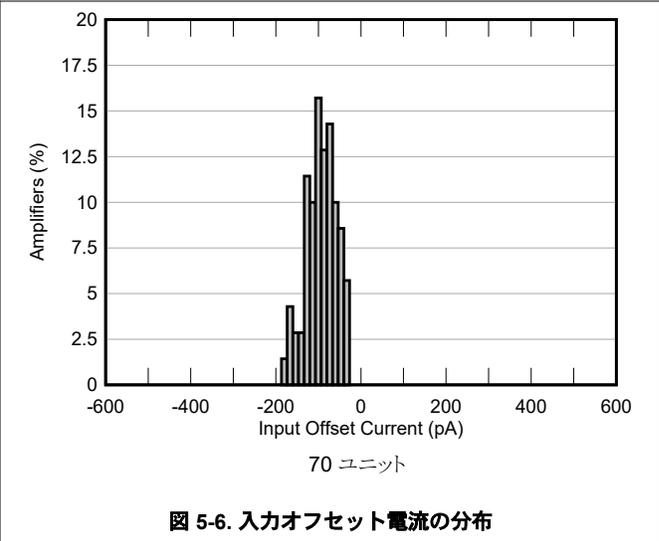
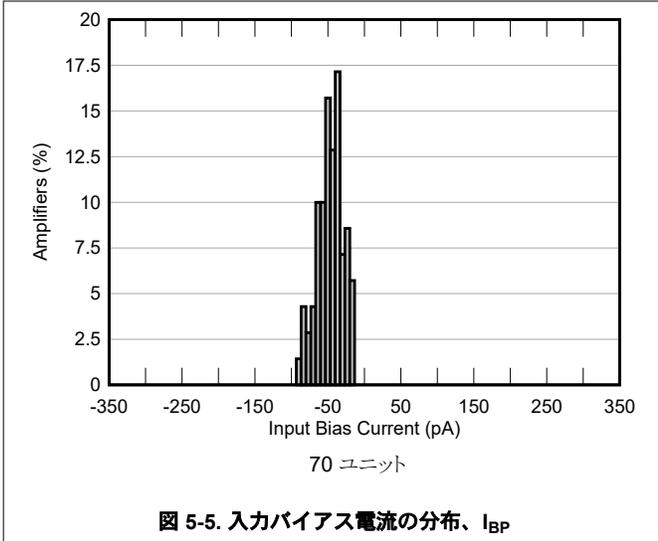


図 5-4. 入力バイアス電流の分布、 I_{BN}

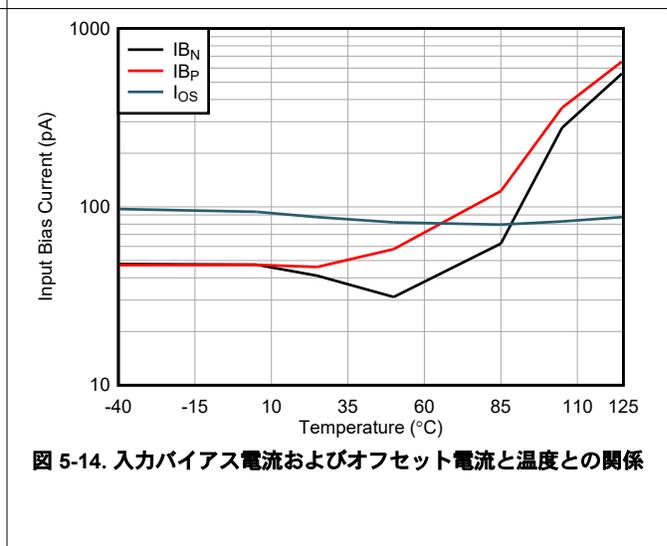
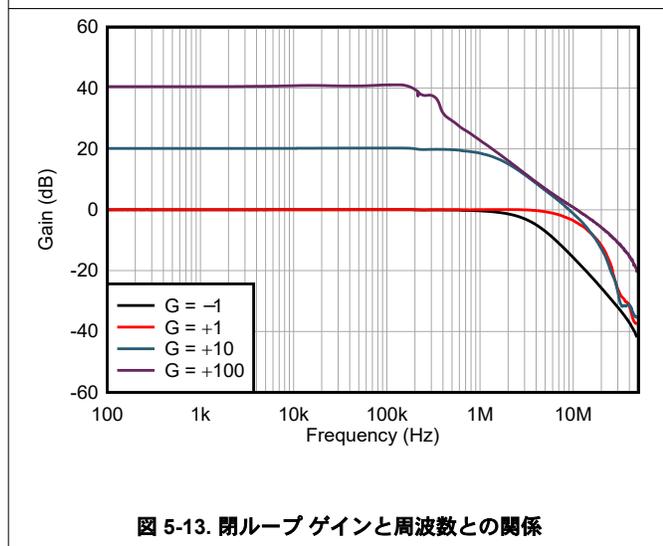
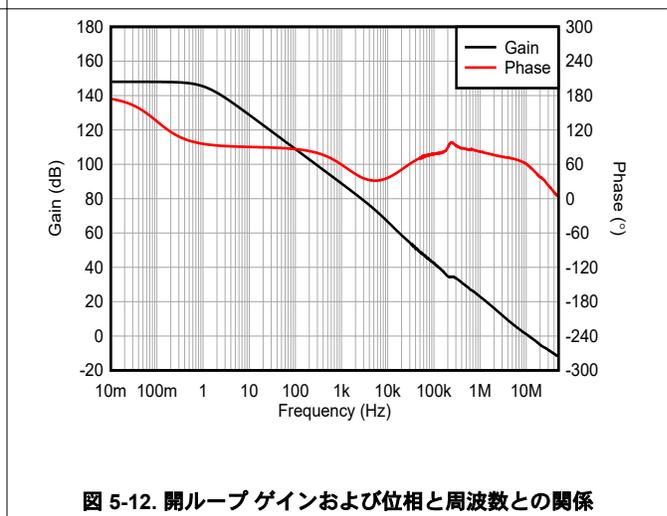
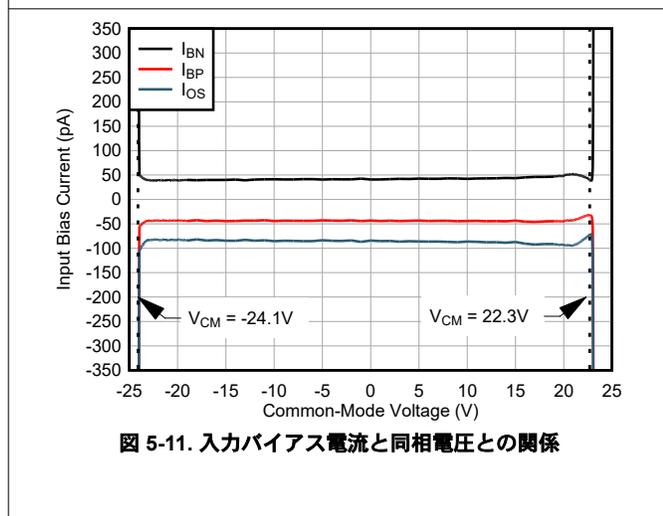
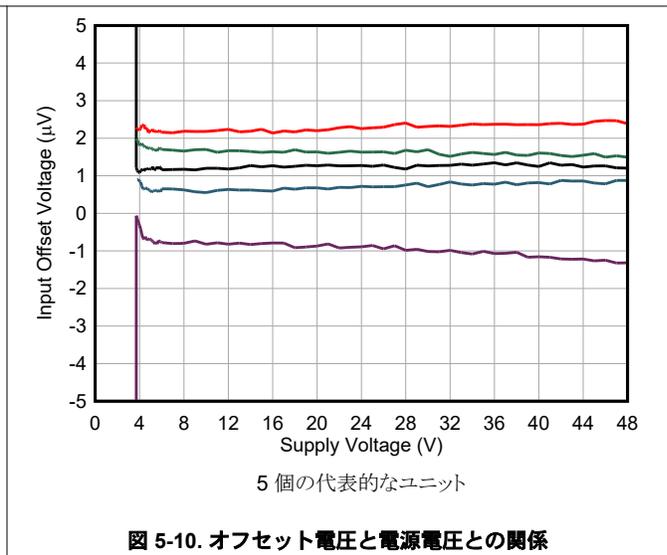
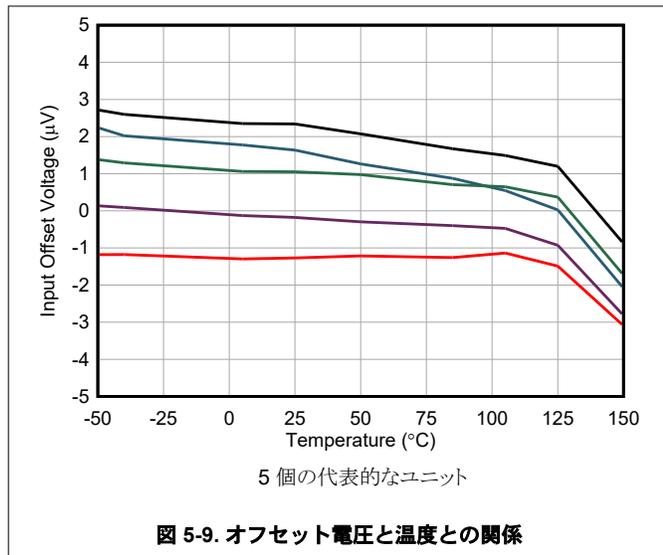
5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 48\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)



5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 48\text{V}$ 、 $V_{CM} = V_S/2$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)



5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 48\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

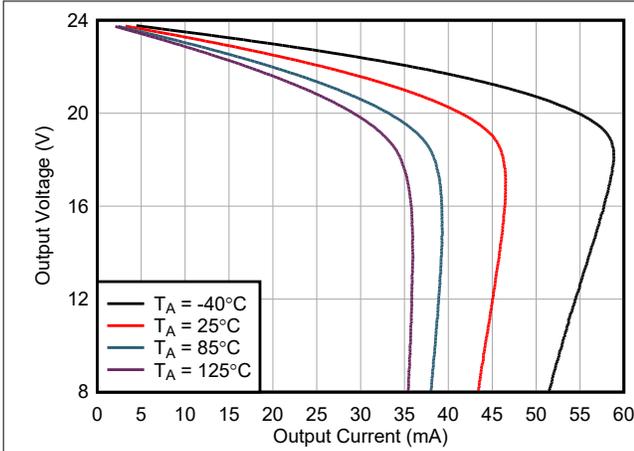


図 5-15. 出力電圧スイングと出力電流との関係 (ソース)

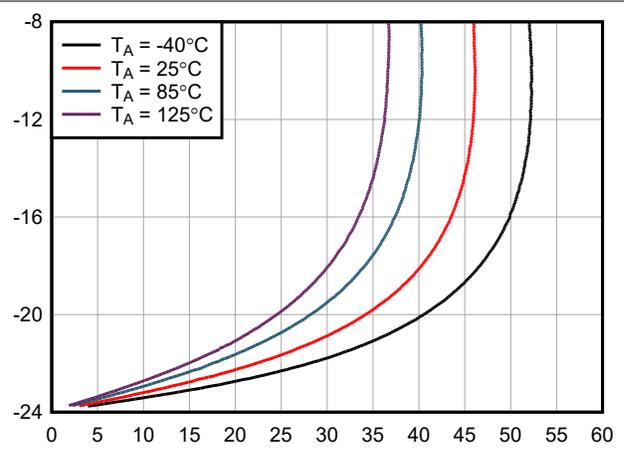


図 5-16. 出力電圧スイングと出力電流との関係 (シンク)

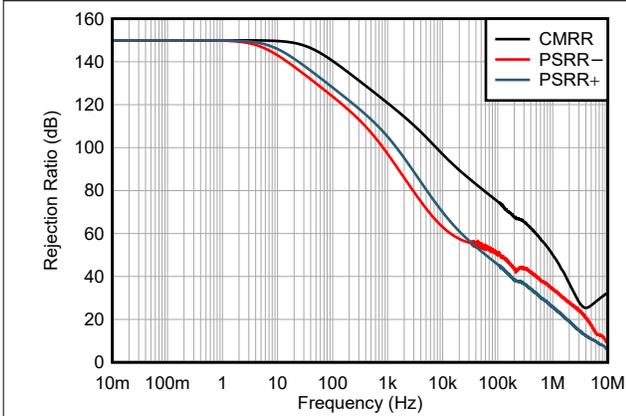


図 5-17. CMRR および PSRR と周波数との関係

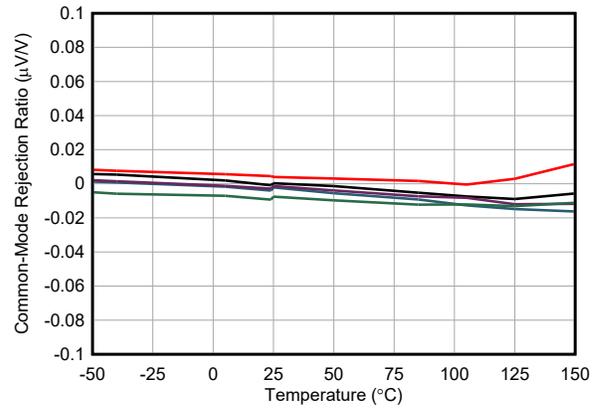
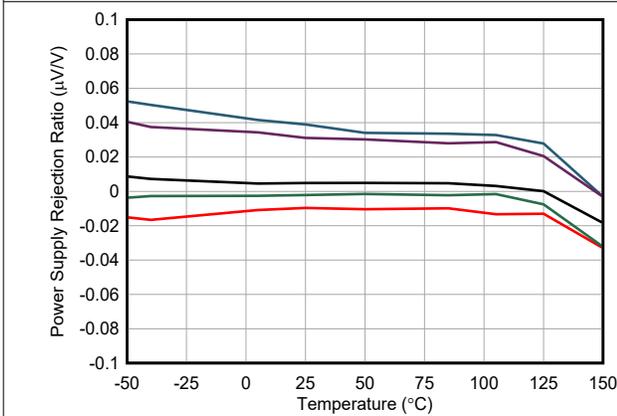


図 5-18. CMRR と温度との関係



5 個の代表的なユニット

図 5-19. PSRR と温度との関係

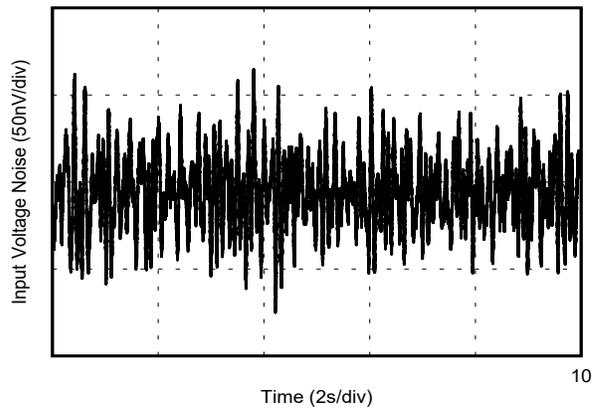


図 5-20. 0.1Hz~10Hz の電圧ノイズ

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 48\text{V}$, $V_{\text{CM}} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

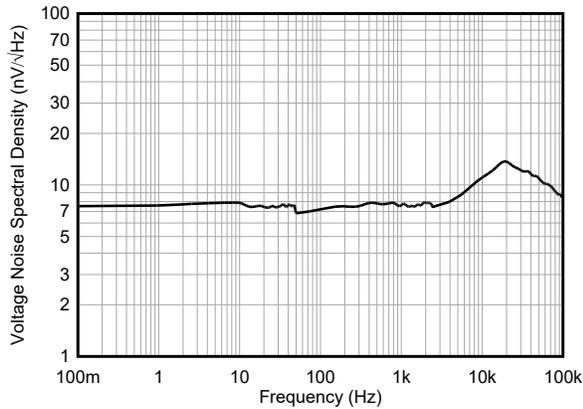


図 5-21. 入力電圧ノイズスペクトル密度と周波数との関係

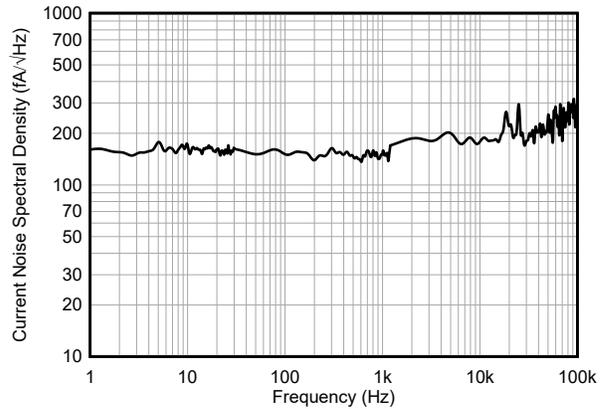
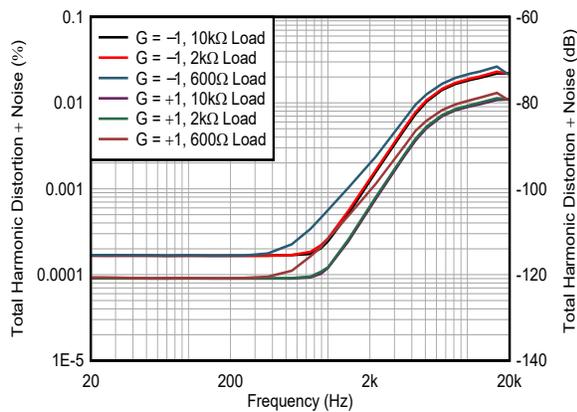
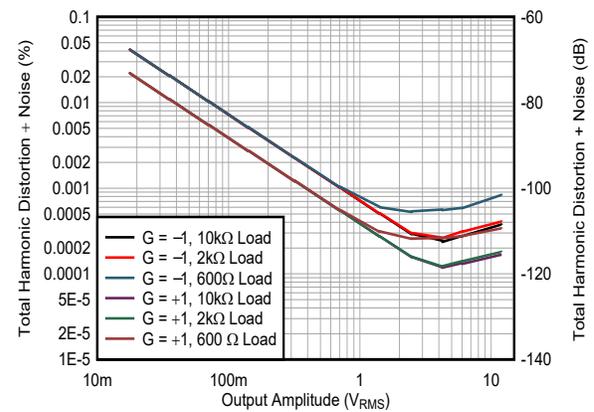


図 5-22. 入力電流ノイズスペクトル密度と周波数との関係



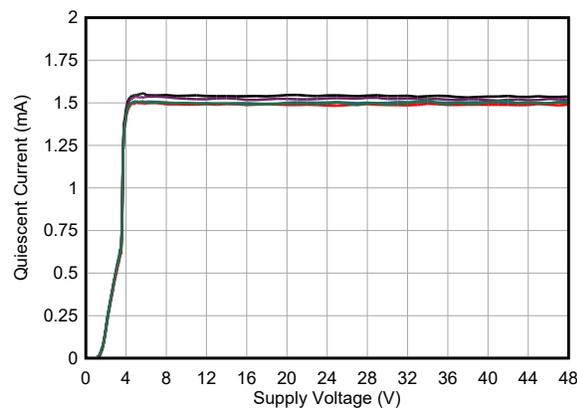
$V_{\text{OUT}} = 4V_{\text{RMS}}$, 80kHz 帯域幅

図 5-23. THD+N と周波数との関係



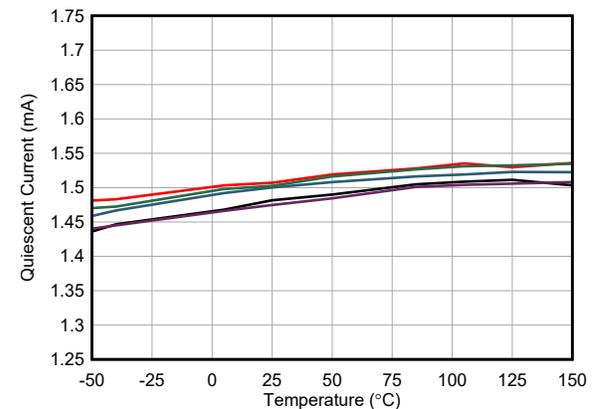
$f = 1\text{kHz}$, 80kHz 帯域幅

図 5-24. THD+N と出力振幅との関係



5 個の代表的なユニット

図 5-25. 静止電流と電源電圧との関係



5 個の代表的なユニット

図 5-26. 静止電流と温度との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 48\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

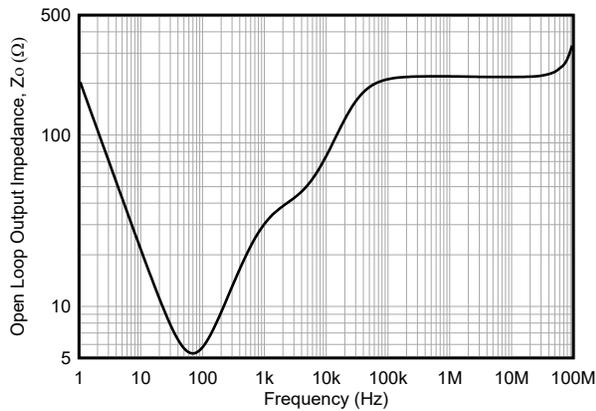
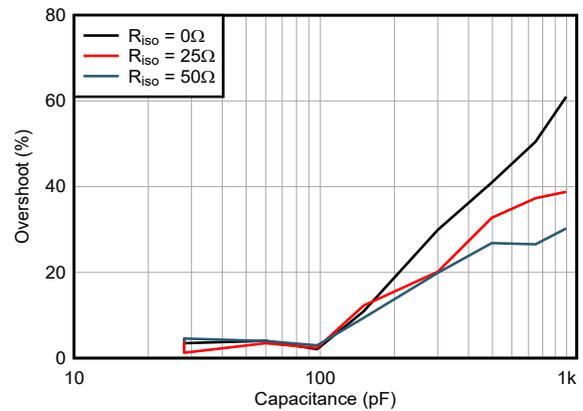
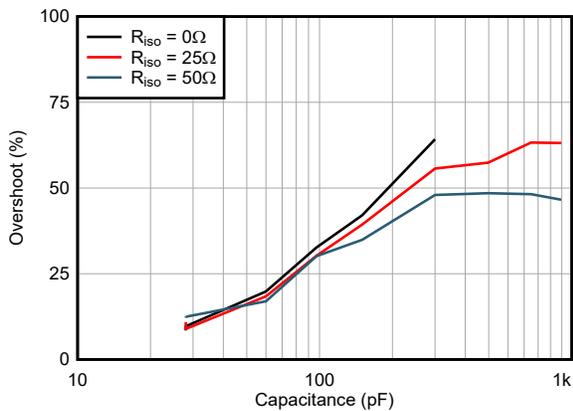


図 5-27. 開ループ出力インピーダンスと周波数との関係



ゲイン = -1, 10mV ステップ

図 5-28. 小信号オーバーシュートと容量性負荷との関係



ゲイン = 1, 10mV ステップ

図 5-29. 小信号オーバーシュートと容量性負荷との関係

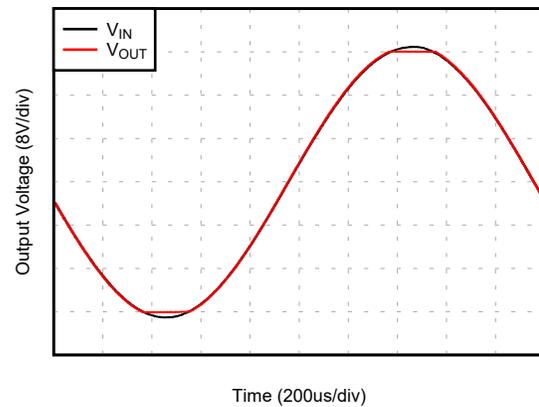


図 5-30. 位相反転が発生しない

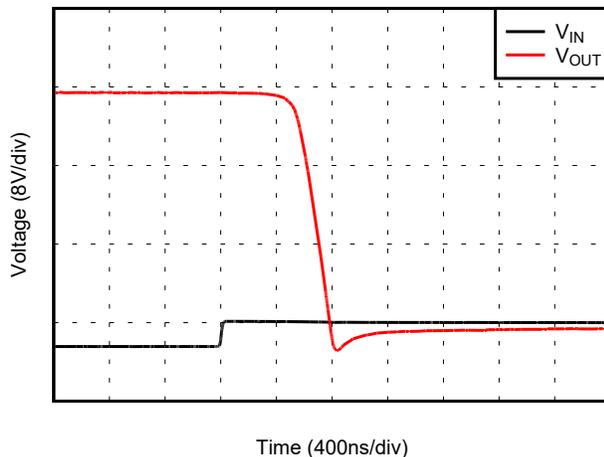


図 5-31. 正の過負荷からの回復

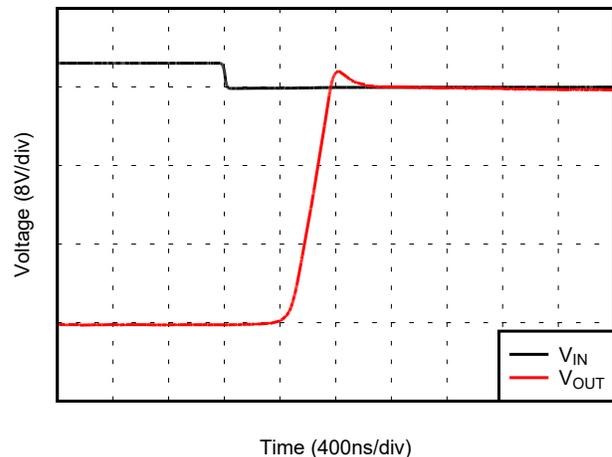
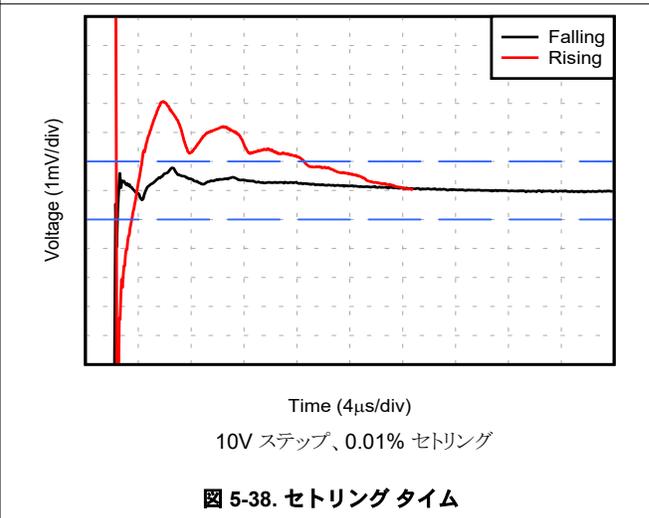
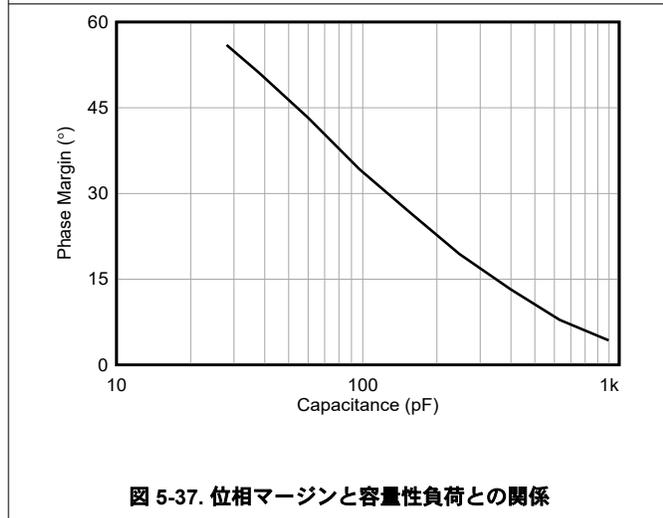
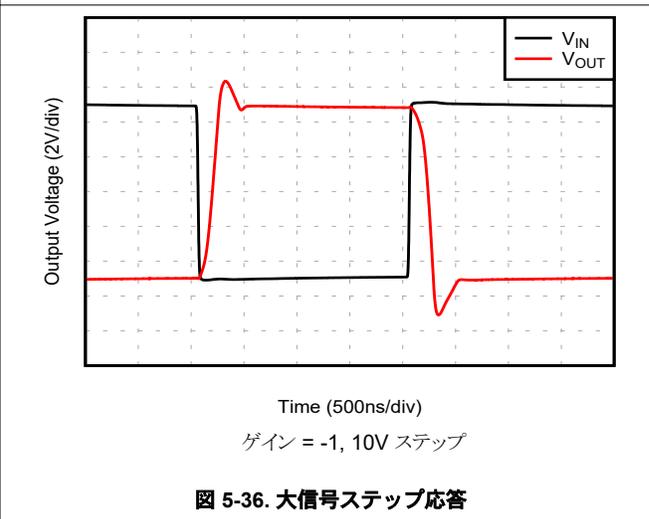
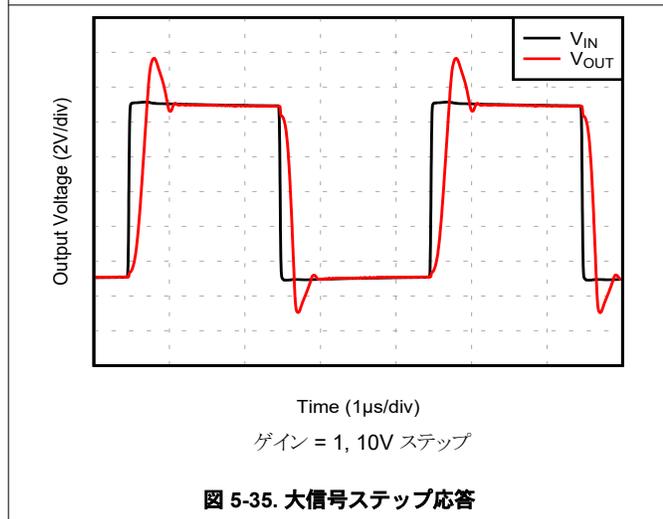
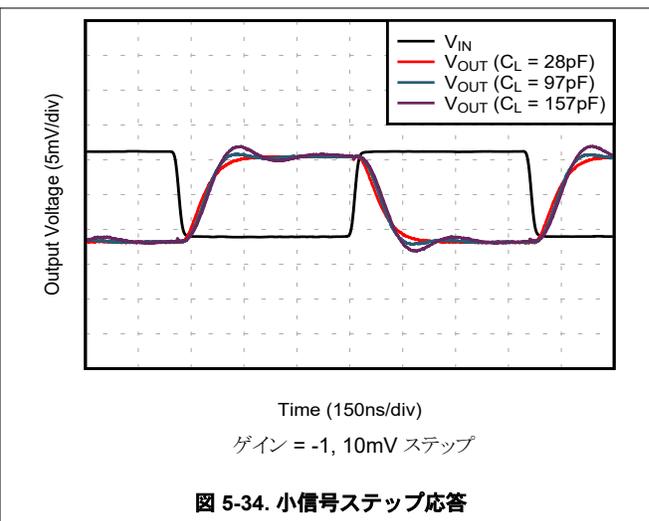
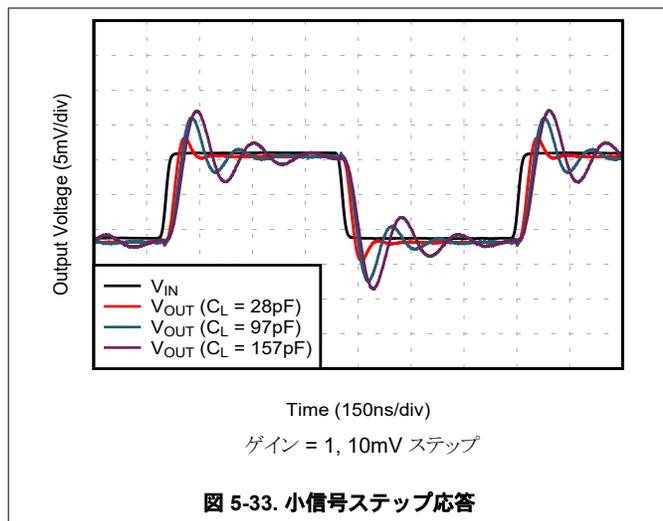


図 5-32. 負の過負荷からの回復

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 48\text{V}$, $V_{\text{CM}} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)



5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 48\text{V}$ 、 $V_{CM} = V_S/2$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

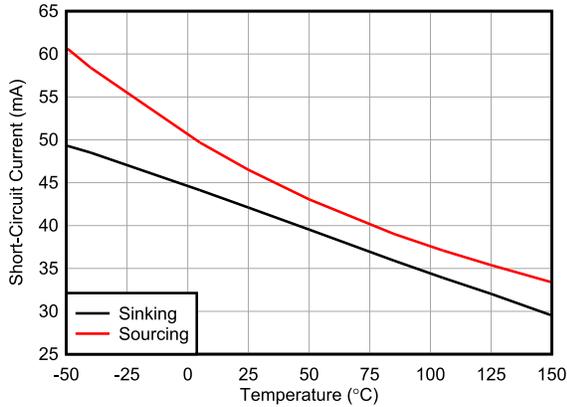


図 5-39. 短絡電流と温度との関係

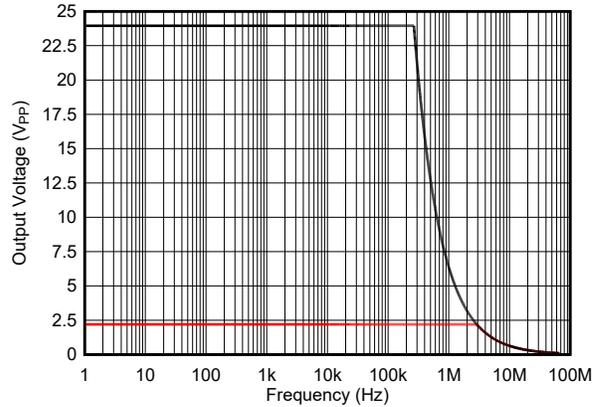


図 5-40. 最大出力電圧と周波数との関係

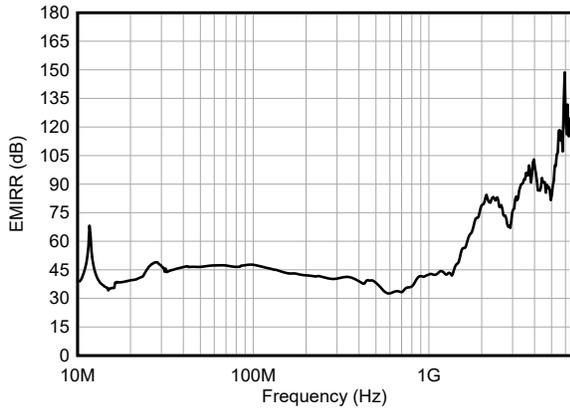


図 5-41. EMIRR と周波数との関係

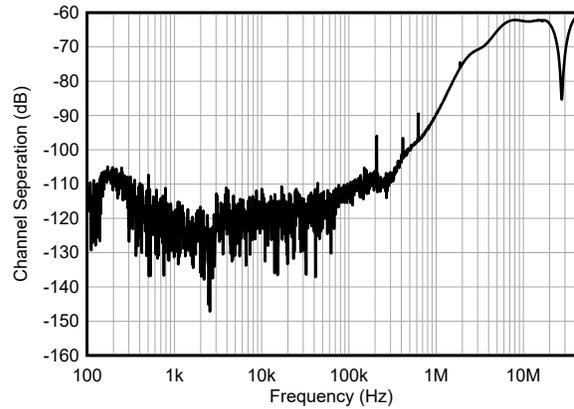


図 5-42. チャンネル セパレーション

6 詳細説明

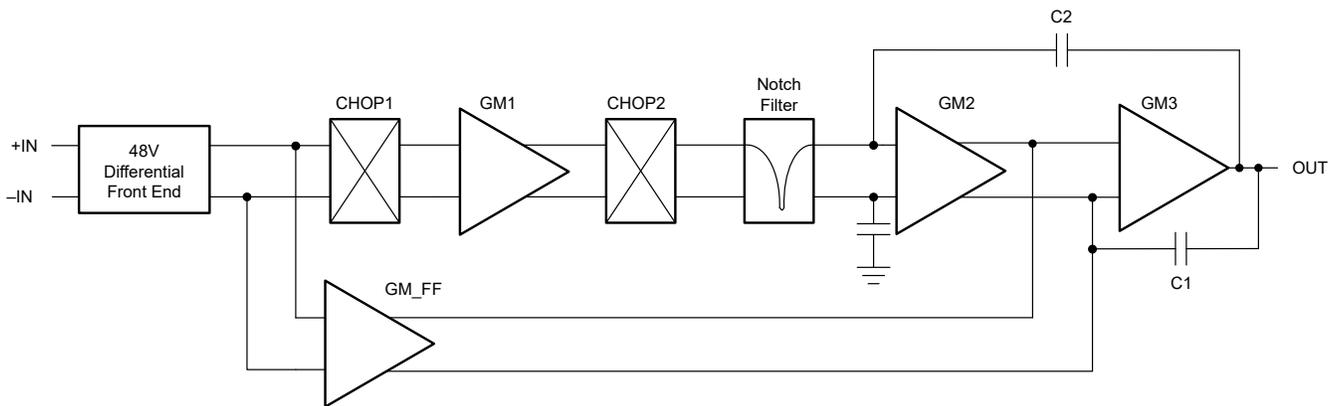
6.1 概要

OPAx488 は、48V の動作電圧と優れた精度を特長とする次世代のオペアンプです。非常に低いオフセットとドリフト、優れた動的性能を兼ね備えているため、広範な高精度アプリケーションに最適です。0.025 μ V/ $^{\circ}$ C という高精度の最大オフセットドリフトにより、 -40° C ~ $+125^{\circ}$ C の全動作温度範囲にわたって安定性が提供されます。さらに、このデバイスは CMRR、PSRR、 A_{OL} が高く、優れた線形性能を提供します。OPAx488 は、14MHz の広いゲイン帯域幅を備えており、非常に高いゲイン構成と高周波数の高精度シグナル コンディショニングをサポートします。

さらに、ユニティゲインで安定している OPAx488 には、シグナル コンディショニングの性能を向上させる他の機能も備わっています。これらのデバイスはマルチプレクサ対応入力を備えています。これは、セリング動作を改善し、高精度の多重化システムを実現できる特許申請中の技術です。ゼロドリフトアーキテクチャを採用しているため、温度および時間の経過に伴う入力オフセット電圧ドリフトがほぼゼロになっているというもう 1 つの利点があり、アンプのフリッカーノイズも除去されます。

次のセクションは、独自の OPAx488 アーキテクチャを示しています。

6.2 機能ブロック図



6.3 機能説明

OPAx488 は 48V の動作電圧と 60V の絶対最大電圧を特長としており、堅牢なシステム設計が可能です。このオペアンプは、独自の定期的な自動較正技術を使用して、低い入力オフセット電圧を実現するとともに、時間の経過および温度変化に伴う入力オフセット電圧ドリフトを非常に低く抑えます。このデバイスは、さまざまなアプリケーションにおいて高い精度を維持するために役立つ、いくつかの統合機能を備えています。これには、位相反転の防止、EMI 除去、電気的オーバーストレスの防止、マルチプレクサ対応入力などがあります。

6.3.1 入力同相範囲

OPAx488 は、負のレールを超える広い入力同相電圧範囲を提供しているため、単一電源動作に最適です。正の入力同相電圧は、正の電源から 1.7V 以内まで拡張されます。広い入力同相電圧は、広範な種類のアプリケーションに対応できるように設計されています。

6.3.2 位相反転保護

OPAx488 には、位相反転保護が内蔵されています。一部のオペアンプでは、入力が増幅範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、規定された同相電圧範囲を超えて入力を駆動すると、出力は逆のレールに反転します。OPAx488 入力には、過剰な同相電圧による位相反転を防止します。代わりに、出力は適切なレールに制限されます。図 6-1 にこの特性を示します。

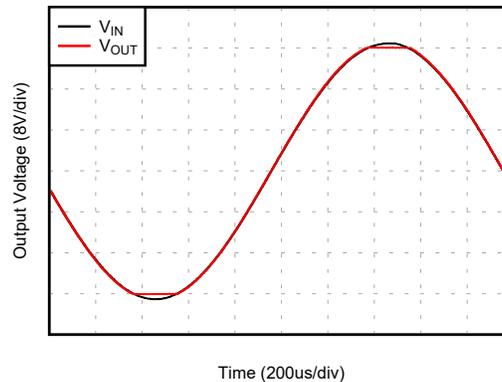


図 6-1. 位相反転が発生しない

6.3.3 チョッピングによる過渡現象

OPAx488 などのゼロドリフト アンプは、入力のスイッチング アーキテクチャを使用して、アンプ固有のオフセットとドリフトを補正します。入力の内蔵スイッチからのチャージ インジェクションがあると、アンプの入力バイアス電流に短い過渡現象が発生する可能性があります。パルスの持続時間が非常に短いため、このパルスは増幅されません。ただし、帰還回路を経由して、パルスがアンプの出力に結合される可能性があります。アンプ出力における入力過渡現象の影響を最小限に抑えるには、低い値の抵抗を使用します。過渡現象による追加ノイズを最小限に抑えるには、RC ネットワークなどのローパス フィルタを使用します。このトピックの詳細については、『[チョッパ アンプの精度の最適化](#)』アプリケーション レポートを参照してください。

6.3.4 EMI 除去

OPAx488 は、内蔵の電磁干渉 (EMI) フィルタを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品を組み合わせた高密度実装のボードなどから発生する EMI 干渉の影響を低減します。EMI 耐性は、回路設計手法により改善可能です。OPAx488 は、このような設計の改善を活用しています。

帯域幅外のスペクトル成分を持つ信号に対しては、それを補正するためのアンプのループ ゲインが不十分なため、いずれかのオペアンプに対して高周波信号が伝導または放射されると、悪影響が発生する可能性があります。入力、電源、または出力で伝導または放射による EMI があると、予期しない DC オフセット、過渡電圧、その他の未知の動作が発生する可能性があります。ノイズの多い無線信号、デジタル クロック、インターフェイスから、敏感なアナログ ノードを適切にシールドし、分離するように注意してください。

6.3.5 電氣的オーバーストレス

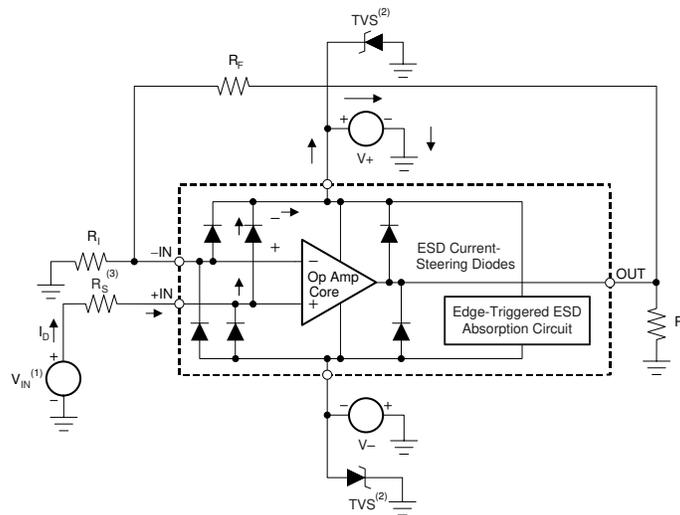
設計者は、オペアンプが電氣的オーバーストレスにどの程度耐えられるのかという質問をすることがよくあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電氣的ストレスの制限値があります。また、これらの回路には内部に静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前にも組み立て中にも、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電氣的オーバーストレス イベントとの関連性を十分に理解しておくに役立ちます。OPAx186 に含まれる ESD 回路の図を、[図 6-2](#) に示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、入力ピンや出力ピンから内部の電源ラインへ戻るように配線されています。さらに、これらのダイオードは、オペアンプ内部の吸収デバイスにも接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

ESD イベントがあると、短時間の高電圧パルスが発生し、それが半導体デバイスを通して放電する際に、短時間の大電流パルスに変わります。ESD 保護回路は、オペアンプ コアを迂回する電流経路を提供して、損傷を防止するように設計されています。保護回路によって吸収されたエネルギーは、熱として放散されます。

2 つ以上のアンプ デバイス ピンの間に ESD 電圧が発生すると、電流は 1 つまたは複数のステアリング ダイオードを流れます。電流が流れる経路に応じて、吸収デバイスがアクティブになります。吸収デバイスのトリガまたはスレッショルド電圧は、OPAx488 の通常動作電圧より高く、デバイスのブレイクダウン電圧レベルよりも低くなっています。このスレッショルドを超えると、吸収デバイスが迅速にアクティブになり、電源レールの電圧を安全なレベルにクランプします。

[図 6-2](#) は、オペアンプを回路に接続したとき、ESD 保護部品は非アクティブのままであり、アプリケーション回路の動作に関与しないことを示しています。ただし、印加された電圧が特定のピンの動作電圧範囲を超える状況が発生する可能性があります。この状況が発生した場合、一部の内部 ESD 保護回路のバイアスがオンになって電流が流れるリスクがあります。このような電流の流れは、ステアリング ダイオード パスを経由して発生し、吸収デバイスが関係することはほとんどありません。



(1) $V_{IN} = (V+) + 500mV$

(2) TVS: $60V > V_{TVSBR}(\min) > V+$ 。ここで、 $V_{TVSBR}(\min)$ は、過電圧サプレッサのブレイクダウン電圧の最小規定値です。

(3) 推奨値は、過電圧条件で約 $5k\Omega$ です。

図 6-2. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

[図 6-2](#) に、入力電圧 (V_{IN}) が正電源電圧 ($V+$) を $500mV$ 以上上回る具体的な例を示します。この回路で発生する現象の多くは、電源の特性によって異なります。 $V+$ が電流をシンクできる場合、上側の入力ステアリング ダイオードの 1 つが導通し、電流を $+V_S$ へ導きます。 V_{IN} が高くなると、非常に高いレベルの電流が流れる可能性があります。その結果、データシートの仕様では、アプリケーションが入力電流を $10mA$ に制限することを推奨しています。

電源が電流をシンクできない場合、 V_{IN} はオペアンプへの電流ソースを開始し、その後、正の電源電圧供給を引き継ぐことができます。この場合の危険は、電圧がオペアンプの絶対最大定格を超えるレベルまで上昇する可能性があることです。

よくある質問として、「電源 $V+$ または $V-$ が $0V$ のときに入力信号を加えるとどうなるか」というものもあります。ここでも、電源が $0V$ または入力信号の振幅より低いレベルにあるときの電源特性によって状況が変わります。見かけ上、電源のイン

ピーダンスが高い場合、オペアンプの電源電流は、入力ソースから電流ステアリング ダイオードを経由して供給できます。このような状態はアンプにとって通常のバイアス条件ではなく、特性の劣化や異常な動作につながる可能性があります。電源のインピーダンスが低い場合には、ステアリング ダイオードを流れる電流が非常に大きくなる可能性があります。電流レベルは、入力ソースが電流を供給できる能力と、入力パスに存在する抵抗によって異なります。

この電流を吸収する電源の能力が不確実である場合は、外部ツェナー ダイオードを電源ピンに追加します (図 6-2 も参照)。このツェナー電圧は、通常動作中にダイオードがオンにならないように選択する必要があります。ただし、電源ピンが安全な動作電源電圧レベルを超えそうになった場合にはツェナー ダイオードが導通する程度に、ツェナー電圧を低くする必要があります。

6.3.6 MUX 対応入力

OPAx488 には独自の入力段設計が採用されており、高い入力インピーダンスを維持しながら、入力差動電圧を印加できます。通常、高電圧の CMOS またはバイポーラ接合入力アンプには、半導体プロセスの最大値を超えていてデバイスに永続的な損傷を与える可能性のある、大きい V_{GS} 電圧から入力トランジスタを保護する逆並列ダイオードが搭載されています。大きいステップ入力を印加したとき、またはチャンネル間を切り替えたとき、またはアンプをコンパレータとして使う場合、大きい V_{GS} 電圧が発生してしまう可能性があります。

OPAx488 は、大きい差動電圧が印加されたときに大きい入力バイアス電流が発生することを防止するスイッチ入力手法により、これらの問題を解決します。この入力アーキテクチャは、スイッチングまたは多重化アプリケーションで見られる多くの問題に対応します。これらのアプリケーションでは、大きな電位間を高速にスイッチングすることにより、RC フィルタリング ネットワークに大きな乱れが生じます。図 6-3 は、マルチプレクサ対応入力でセトリング タイム性能を向上できる代表的なアプリケーションを示しています。OPAx488 は、これらの設計の革新により、優れたセトリング性能を得るとともに、スルーレートの向上と広い帯域幅を実現しています。OPAx488 は、コンパレータとしても使用できます。差動および同相入力電圧範囲は引き続き適用されます。

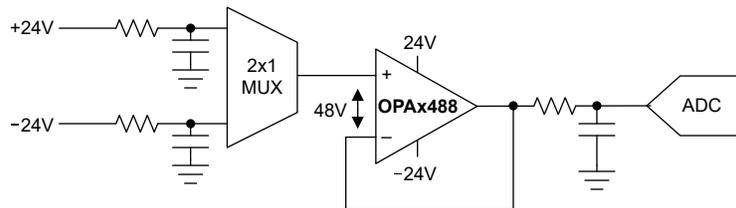


図 6-3. 多重化アプリケーション

6.4 デバイスの機能モード

OPAx488 には単一機能モードがあり、電源電圧が 4.5V ($\pm 2.25V$) を上回ると動作します。OPAx488 の推奨電源電圧は 4.5V ($\pm 2.25V$) ~ 48V ($\pm 24V$) です。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

OPAx488 オペアンプは、非常に優れた DC および AC 特性を独自に組み合わせたもので、広範なアプリケーションに非常に適しています。たとえば、48V 動作、高速セトリング、非常に優れたオフセットおよびドリフトの組み合わせにより、これらのデバイスは要求の厳しいハイサイド電流検出アプリケーションに最適です。OPAx488 の性能を活用できる他のアプリケーションとしては、歪みゲージ、力センサ、熱電対を挙げることができます。

7.1.1 ノイズの基本的な計算

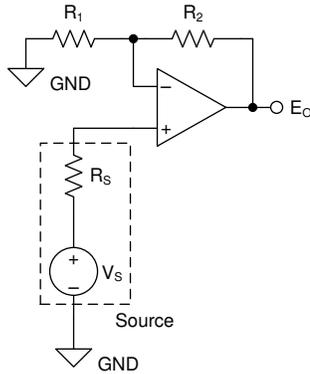
低ノイズ回路設計では、すべてのノイズ源を慎重に分析する必要があります。多くの場合、外部ノイズ源が支配的な要素になることがあるため、ソース抵抗がオペアンプのノイズ性能全体に与える影響を考慮します。回路全体のノイズは、すべてのノイズ要素の二乗和平方根に等しくなります。

ソース インピーダンスの抵抗の部分では、抵抗の平方根に比例する熱ノイズが発生します。ソース インピーダンスは一般に固定されているため、ノイズ全体への寄与を最小限に抑えるオペアンプおよび帰還抵抗を選定します。

図 7-1 に、非反転型 (A) と反転型 (B) の両方のオペアンプ回路構成とゲインを示します。ゲインが存在する回路構成では、帰還ネットワーク抵抗もノイズの原因となります。一般に、オペアンプの電流ノイズは帰還抵抗に反応して、追加のノイズを発生させます。ただし、OPAx488 の電流ノイズは低いため、電流ノイズの寄与は無視できます。

一般的には、帰還抵抗の値を選択して、これらのノイズ発生源を無視できる程度まで下げることができます。低インピーダンスの帰還抵抗は、アンプの出力に負荷をかけます。両方の構成について、合計ノイズの計算式を示します。

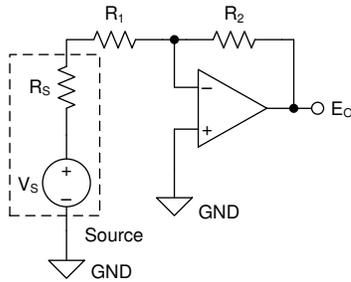
(A) Noise in Noninverting Gain Configuration



Noise at the output is given as E_o , where

- (1) $E_o = \left(1 + \frac{R_2}{R_1}\right) \cdot \sqrt{(e_S)^2 + (e_N)^2 + (e_{R_1 \parallel R_2})^2 + (i_N \cdot R_S)^2 + \left(i_N \cdot \left[\frac{R_1 \cdot R_2}{R_1 + R_2}\right]\right)^2}$ [V_{RMS}]
- (2) $e_S = \sqrt{4 \cdot k_B \cdot T(K) \cdot R_S}$ [$\frac{V}{\sqrt{Hz}}$] Thermal noise of R_S
- (3) $e_{R_1 \parallel R_2} = \sqrt{4 \cdot k_B \cdot T(K) \cdot \left[\frac{R_1 \cdot R_2}{R_1 + R_2}\right]}$ [$\frac{V}{\sqrt{Hz}}$] Thermal noise of $R_1 \parallel R_2$
- (4) $k_B = 1.38065 \cdot 10^{-23}$ [$\frac{J}{K}$] Boltzmann Constant
- (5) $T(K) = 237.15 + T(^{\circ}C)$ [K] Temperature in kelvins

(B) Noise in Inverting Gain Configuration



Noise at the output is given as E_o , where

- (6) $E_o = \left(1 + \frac{R_2}{R_S + R_1}\right) \cdot \sqrt{(e_N)^2 + (e_{R_1 + R_S \parallel R_2})^2 + \left(i_N \cdot \left[\frac{(R_S + R_1) \cdot R_2}{R_S + R_1 + R_2}\right]\right)^2}$ [V_{RMS}]
- (7) $e_{R_1 + R_S \parallel R_2} = \sqrt{4 \cdot k_B \cdot T(K) \cdot \left[\frac{(R_S + R_1) \cdot R_2}{R_S + R_1 + R_2}\right]}$ [$\frac{V}{\sqrt{Hz}}$] Thermal noise of $(R_1 + R_S) \parallel R_2$
- (8) $k_B = 1.38065 \cdot 10^{-23}$ [$\frac{J}{K}$] Boltzmann Constant
- (9) $T(K) = 237.15 + T(^{\circ}C)$ [K] Temperature in kelvins

Copyright © 2017, Texas Instruments Incorporated

ここでは、 e_n はアンプの電圧ノイズ スペクトル密度です。OPA488 オペアンプの場合、 $e_n = 7.5nV/\sqrt{Hz}$ (1kHz 時) です。

注: ノイズ計算に関する追加リソースについては、[TI Precision Labs](#) を参照してください。

図 7-1. ゲイン構成のノイズの計算

7.2 代表的なアプリケーション

7.2.1 ハイサイド電流センシング

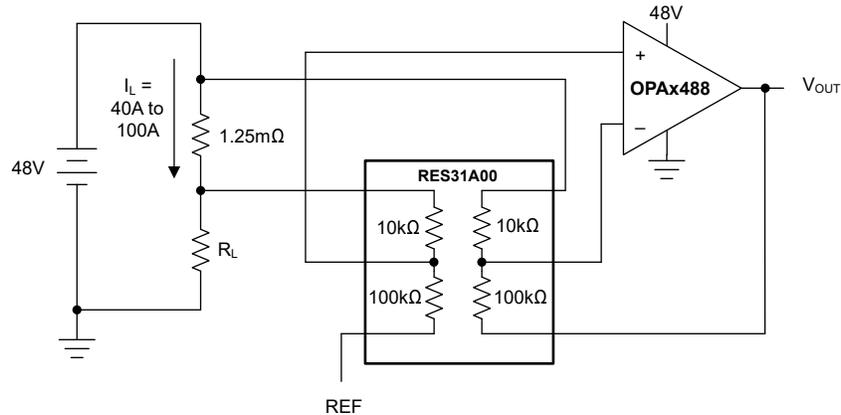


図 7-2. ハイサイド電流監視

7.2.1.1 設計要件

電流監視は、幅広いアプリケーションで重要な機能です。たとえば、電源では、電流監視は、負荷に供給される電力を制御する閉ループ システムの一部です。現在は十分に容易に利用できる電流モニタが存在していますが、多くのアプリケーションでは市場で使用できるモノリシック デバイスでは満たすことができない電流検出要件が存在します。このような要件の一部には、柔軟なゲイン、高速、高い同相電圧、高インピーダンスが含まれます。

アプリケーション固有の要件を満たす電流モニタは、OPAx488 や RESx1A 高精度マッチング抵抗などの高電圧、高精度オペアンプを使用して設計できます。OPAx488 オペアンプと RESx1A マッチング抵抗ペアの組み合わせにより、高インピーダンス、高入力同相モード、高精度の電流モニタを構築できます。

この設計例では、以下のパラメータを使用します。

- 電源電圧の定格: 48V
- 入力同相電圧範囲: 48V
- 負荷電流、 I_L : 50A ~ 200A

以下の設計の詳細と式を使用して、この設計を特定の要件に合わせて再構成できます。

7.2.1.2 詳細な設計手順

ハイサイド電流センス回路では、アンプの入力と出力の同相モード制限について特別に考慮する必要があります。ハイサイド電流測定の最大の課題は、高い同相電圧に固有の誤差をアンプが確実にサポートできるようにすることです。同相電圧、シャント抵抗、電流範囲の特定の設計要件により、入力インピーダンス、コスト、複雑さ、ゲインのトレードオフについて重要な決定を下すことができます。

たとえば、非常に高い同相電圧の電流モニタを簡単に設計できますが、単純な高い同相電圧の電流モニタでは、大きな抵抗が生じ、ゲインが減衰します。値の大きい抵抗は、高価で物理的に大きく、供給が困難な場合があります。さらに、結果として生じる減衰には、より大きなシャント抵抗の使用や、追加のゲイン ステージが必要になります。

さらにいくつかの抵抗器を使用すると、ユニティゲインの高い同相電圧アンプを構築できますが、情報を十分にデジタル化するには追加のゲイン ステージが必要です。さらに重要なのは、シャント抵抗の両端間の電圧降下が非常に小さく、電流モニタの出力がグランド近くまで駆動されることを考慮することです。これは、ほとんどの単一電源アンプの線形出力電圧範囲の範囲外です。もちろん、簡単な解決策は、デュアル電源を使用してアンプに電力を供給することです。ただし、デュアル電源で使用できる最大正電圧が制限されるため、アンプの最大入力同相電圧範囲が制限されます。LM27761 などの追加部品を使用して、低レベルの信号を処理するための小さな負バイアスを生成できますが、それによってコストも増加します。

アンプの入力同相電圧を改善する明白な方法の 1 つは、より電圧の高いアンプを使用することです。動作電圧が高いほど、非常に高い抵抗値を簡単に使用でき、より高いゲイン構成が可能になります。OPAx488 は非常に広い動作電圧を実現するため、補助部品が不要になり、システム全体の複雑さを最小限に抑えることができます。OPAx488 は、[図 7-2](#) に示すように電流モニタとして構成されています。

このデザインでは、定格 48V、最大 9600W の大電力高電圧電源で電流を測定することが想定されています。これらの消費電力量の大きい電源は、データ センターや電動スクーターに使用されています。高電圧電源により、低電圧電源と比較して、一定の電力を供給するために必要な電流の量を減らすことができます。ただし、9600W は依然として 48V で約 200A という非常に高い電流出力になります。ここで設計した電流モニタは、最大 48V の同相電圧で 40A ~ 200A の電流を確実に測定できます。

最大同相電圧は、[式 2](#) および [式 3](#) に示すように、電流モニタのゲインとオペアンプの電源電圧の関数です。前述のように、分圧比を上げてモニタの同相電圧能力を向上させるとゲインが低下し、電源電圧を上げるとより良い結果が得られます。OPAx488 は、1.25mΩ シャント抵抗の両端のフル スケール電流範囲で 2.5V の最大出力電圧を供給するように 10V/V のゲインで構成されています。ゲインは [式 1](#) で求められます。このアプリケーションでは、シャント抵抗が約 50W の電力消費に対応できる適切な定格になっていることを確認してください。

$$G = \frac{R_G}{R_{IN}} \quad (1)$$

$$V_{IN} \left(\frac{G}{G+1} \right) + V_{REF} \left(\frac{1}{G+1} \right) \leq V_+ - 1.7V \quad (2)$$

$$V_{IN} \left(\frac{G}{G+1} \right) + V_{REF} \left(\frac{1}{G+1} \right) \geq V_- - 0.1V \quad (3)$$

このアプリケーションで考慮するべきもう 1 つの事項は、R1 と R2 で設定される電流モニタの入力インピーダンスです。OPAx488 の高精度およびノイズ性能を維持するため、R1 はできるだけ小さくしてください。性能と入力インピーダンスとの間でトレードオフを考慮する必要があります。このアプリケーションでは、10kΩ および 100kΩ の抵抗を使用すると、ノイズと精度のバランスが適切に保たれます。これらの抵抗のマッチングは、高精度の測定を維持するために重要であり、RES31A マッチング抵抗ペアが使用されます。[図 7-3](#) に示すように、RES31A は、個別の 0.1% 抵抗よりも同相信号除去比 (CMRR) が大幅に優れています。

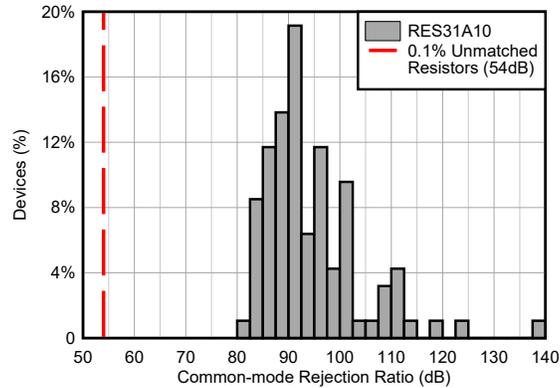


図 7-3. RES31A 同相信号除去比

レンダリングされた利点にもかかわらず、デザインは制限なしではありません。1 つ目は、開ループ電圧ゲイン (AOL) における「電気的特性」に記載されている OPAx488 の線形出力スイングによってグラウンドまでの出力スイングが制限されることです。グラウンドへの出力スイング制限によって、電流モニタが正確に測定できるスレッシュホールドが生じます。下限電流範囲を拡大するには、LM27761 を使用して、 $-1V$ という小さい負バイアス電圧を追加するだけです。

考慮する必要があるもう 1 つの制限は、正のレールまでの出力電圧スイングが制限されることです。この制限はモニタの最大ゲインにより設定され、使用される $3V$ または $5V$ の A/D (ADC) コンバータのフル スケール範囲が防止されます。ゲインを増やすには、テキサス インストルメンツのモノリシック チップでは現在利用できない新しい抵抗比のセットが必要になります。利用可能な最大ゲインは、アンプの入力同相範囲によって制限されることに注意してください。このアプリケーションで与えられた制約により、ゲインは約 $27V/V$ に制限されます。これは、 $36V$ アンプの場合の $2.5V/V$ よりもかなり高い値です。

一部のアプリケーションでは、入力インピーダンスの制限が別の欠点になる可能性があります。非常に小さい電流を測定する場合、特にこのことが当てはまります。非常に高い入力インピーダンスを実現するには、OPAx488 で電流モニタの入力をバッファする必要があります。この回路の欠点は、入力同相電圧範囲がバッファの電圧範囲によって制限されることです。OPAx488 では、このアプリケーションの制約により、入力同相モードは $(V-) \sim (V+) -1.7V$ 、または $0V \sim 46.3V$ に制限されます。入力同相電圧が最大 $81.5V$ の OPA596 のような、さらに高電圧のアンプの使用を検討してください。

図 7-2 の回路は、TINA Spice 回路シミュレーション ツールを使用してチェックし、OPAx488 ハイサイド電流モニタが正常に動作していることを検証しました。図 7-4 に、シミュレーション結果を示します。プロットを注意深く検査すると、予期しない結果として、 V_{OUT} が $2.5V$ を超える場合、 V_{OUT} は $200A$ をはるかに超えて継続していることがわかります。OPAx488 の出力は $2.5V$ をはるかに超えるスイングが可能ですが、シャントで消費される電力が電流測定範囲の上限の制限因子になります。 V_{OUT} は $48A$ を優に下回る形でもゼロに向かいます。この場合、 V_{OUT} は $600mV$ 以下ですが、電流測定範囲の下限はアンプの線形出力スイングによって制限されます。

OPAx488 の出力は、他の CMOS 出力アンプと同様に、線形出力パラメータが示す範囲よりも $0V$ に近づく傾向があります。電圧出力スイング V_O (「電気的特性」表を参照) は、線形出力範囲を示すものではなく、出力がどこまで電源レールに近づけるかを示す値です。この領域では、アンプ出力が飽和に近づき、アンプは線形に動作しなくなります。したがって、電流監視アプリケーションでは、電流測定能力は $600mV$ 出力レベルよりはるかに低い範囲でも継続できます。ただし、直線性誤差が大きくなる点を考慮してください。

この電流モニタ回路は、交流 (AC) の測定にも使用できます。OPAx488 は、十分なスルーレートと帯域幅により周波数全体にわたって優れた性能を実現し、広い範囲の高周波信号の出力電圧スイング範囲と波形をサポートします。

アンプ ベースのハイサイド電流監視の詳細については、『TI アナログ エンジニア向け回路クックブック: アンプ』を参照してください。

7.2.1.3 アプリケーション曲線

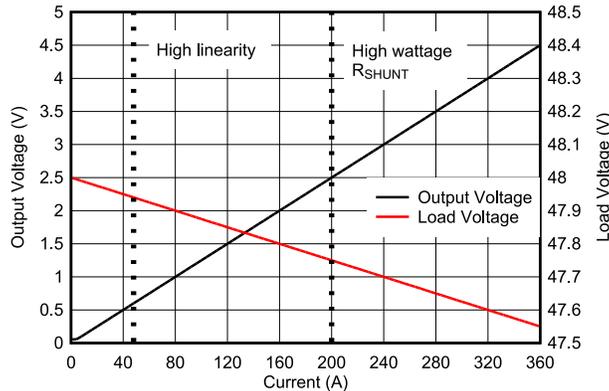


図 7-4. ハイスайд電流監視の結果

7.2.2 プログラマブル電流ソース

高精度の電流源を必要とするアプリケーションは数多く存在します。たとえば、測温抵抗体 (RTD) は、多くの場合、温度を正確に測定するために高精度の電流源を必要とします。図 7-5 に、OPAx488 を使用した高精度電流源の一般的な構成を示します。この回路により、設計者は D/A コンバータ (DAC) などの電圧源を使用して、さまざまな使用事例に合わせて電流をプログラムできます。

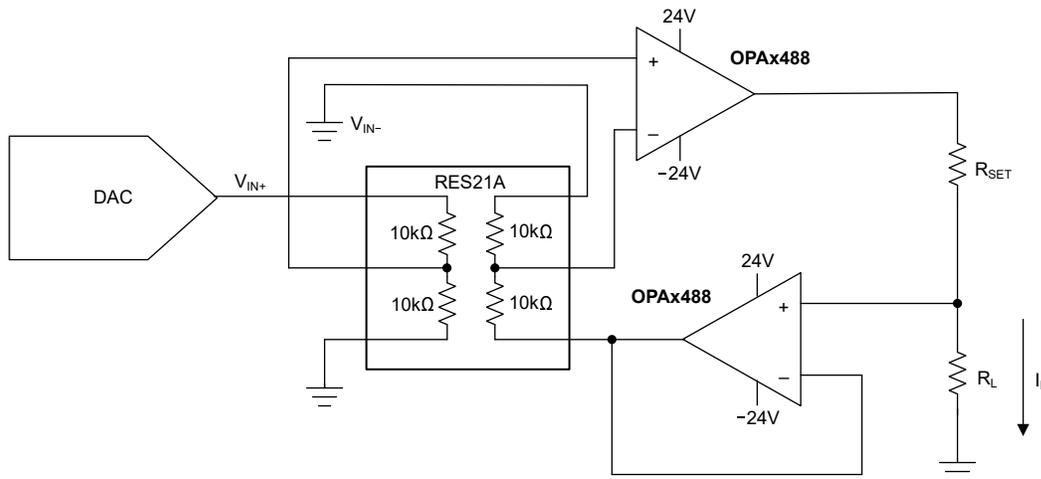


図 7-5. ハウランド電流ポンプ

この電流は、差動入力電圧 $V_{IN+} - V_{IN-}$ によって設定されます。ここでの場合と同様に、シングル エンド信号を使用して電流を制御するために入力電圧の 1 つを短絡することができます。電流は、式 4 に従ってプログラムされます。最大ソースおよびシンク電流は、アンプの出力駆動能力によって制限されることに注意してください。ハウランド電流ポンプは、低レベルで超高精度の電流源に最適なオプションです。OPAx488 の電源電圧 48V は、コンプライアンス電圧が高いという追加の利点を備えています。

$$I_L = \frac{(V_{IN+} - V_{IN-})}{R_{SET}} \quad (4)$$

この回路の詳細については、『改良型ハウランド電流ポンプ構成の分析』アプリケーション レポートをご覧ください。

7.2.3 接地された負荷用のプログラマブル電流源

図 7-6 は、グラウンドリファレンス負荷用にプログラマブル電流源として構成された OPAx488 を示しています。単一電源動作を実現するために、2 段構成が採用されています。最初の段はリファレンス電流を設定し、2 番目の段はゲイン付き電流ミラーとして機能します。OPAx488 は両段において、トランジスタから供給される電流を制御するために使用されます。この設計は、OPAx488 のより高い動作電圧が利点となります。48V 動作により、より高い電源電圧を使用してコンプライアンス電圧を高め、最大負荷抵抗 R_L を高めることができます。

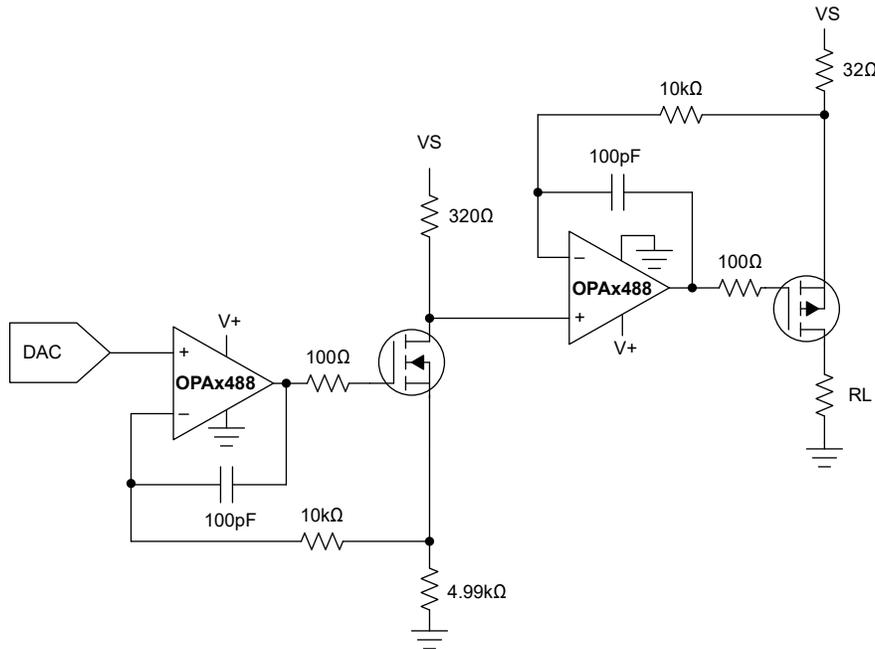


図 7-6. グラウンドリファレンス負荷用の単一電源、プログラマブル電流源

7.3 電源に関する推奨事項

OPAx488 は、4.5V～48V ($\pm 2.25V \sim \pm 24V$) で動作することが規定されています。OPAx488 は、シングル電源とデュアル電源の両方で動作できます。OPAx488 は対称電源を必要とせず、オペアンプは動作に最低 4.5V の電圧のみを必要とします。

注意

60V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」表を参照してください。

電源ピンの近くに 0.1 μ F のバイパスコンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパスコンデンサの配置の詳細については、セクション 7.4 を参照してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れたプリント基板 (PCB) レイアウト手法を使用してください。

- オフセット電圧を最小限に抑えるため、異なる導体の接続部に形成される熱電対接合部で熱電効果 (ゼーベック効果) が発生するような温度勾配を避けます。また、
 - 熱電係数の低い条件を使用します (異なる金属は避けてください)。
 - 電源や他の熱源から部品を熱的に絶縁します。
 - オペアンプおよび入力回路を、冷却ファンなどの空気流から遮蔽します。
- ノイズは、オペアンプの電源ピンや回路全体を通じてアナログ回路に伝播する可能性があります。バイパス コンデンサは、アナログ回路に対して局所的に **Low インピーダンス** の電源を供給することにより、結合ノイズを低減します。
 - 各電源ピンとグラウンドの間に **Low ESR 0.1 μ F** のセラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、**V+** からグラウンドに対して **1** つのバイパス コンデンサを接続します。
- 回路のアナログ部分とデジタル部分のグラウンドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の **1** つです。通常、多層 PCB のうち **1** つ以上の層はグラウンド プレーン専用です。グラウンド プレーンは熱の分散に役立つとともに、**EMI** ノイズを拾う可能性を低減します。グラウンド電流の流れに注意して、デジタル グラウンドとアナログ グラウンドを物理的に確実に分離してください。詳細については、『**PCB はオペアンプ設計のコンポーネント**』[Analog Design Journal](#) を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- デカップリング コンデンサをデバイスのできるだけ近くに配置します。図 7-7 が示すように、帰還抵抗 (**R3**) とゲイン抵抗 (**R4**) は反転入力に近い位置に配置して、寄生容量を最小限に抑えます。
- 入力配線は、できる限り短くします。入力配線は、回路の最も影響を受ける部分であることに常に注意してください。
- 重要な配線の周囲に、駆動型の低インピーダンス ガードリングの配置を検討してください。ガードリングを使用すると、付近に存在する、さまざまな電位にある配線からのリーク電流を大幅に低減できます。
- 最高の性能を得るために、基板組立後には PCB を清掃します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの状況では、クリーニング後に **85°C** で **30** 分間の低温ベーキングを行えば十分です。

7.4.2 レイアウト例

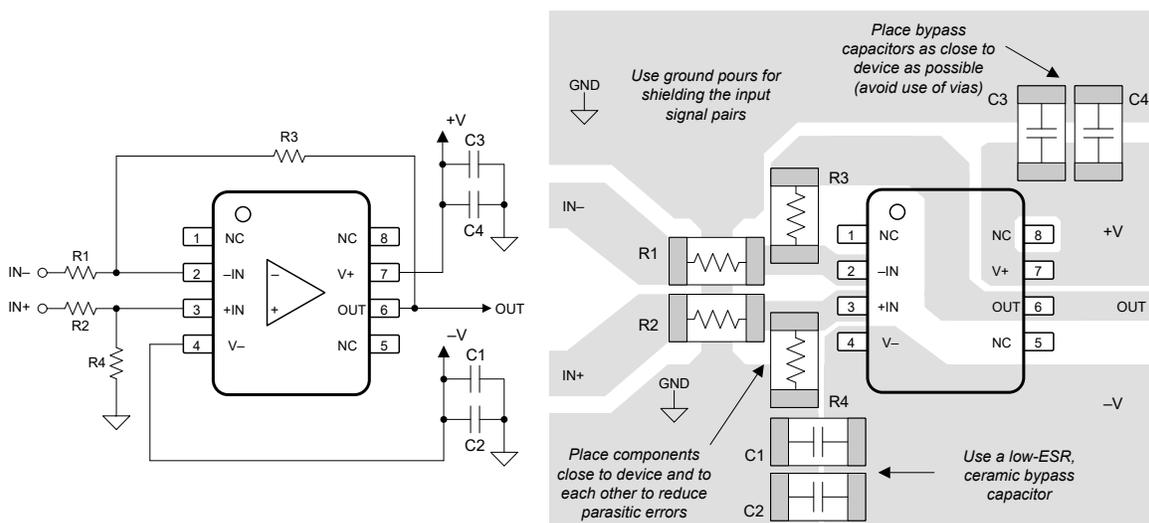


図 7-7. 差動アンプ構成のオペアンプ基板のレイアウト

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.2 TINA-TI™シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは設計ツールとシミュレーション Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『ゼロドリフト アンプ: 特長と利点』アプリケーション ブリーフ
- テキサス インスツルメンツ、『PCB はオペアンプ設計のコンポーネント』アプリケーション ノート
- テキサス・インスツルメンツ、『オペアンプのゲイン安定性、第3部: AC ゲイン誤差の分析』
- テキサス・インスツルメンツ、『オペアンプのゲイン安定性、第2部: DC ゲイン誤差の分析』
- テキサス インスツルメンツ、『完全差動アクティブ フィルタにおける無限ゲイン、MFB フィルタトポロジの使用』アプリケーション ノート
- テキサス インスツルメンツ、『オペアンプの性能分析』
- テキサス インスツルメンツ、『オペアンプの単一電源動作』アプリケーション ノート
- テキサス インスツルメンツ、『鉛フリー仕上げ部品の保管寿命評価』アプリケーション ノート
- テキサス インスツルメンツ、『フィードバック プロットによるオペアンプ AC 性能の定義』アプリケーション ノート
- テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション ノート
- テキサス インスツルメンツ、『測温抵抗体のアナログ線形化』アプリケーション ノート
- テキサス インスツルメンツ、『TI 高精度設計 TIPD102 ハイサイド電圧-電流 (V-I) コンバータ』

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

8.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
February 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA4488DR	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA4488
OPA4488PWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA4488

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

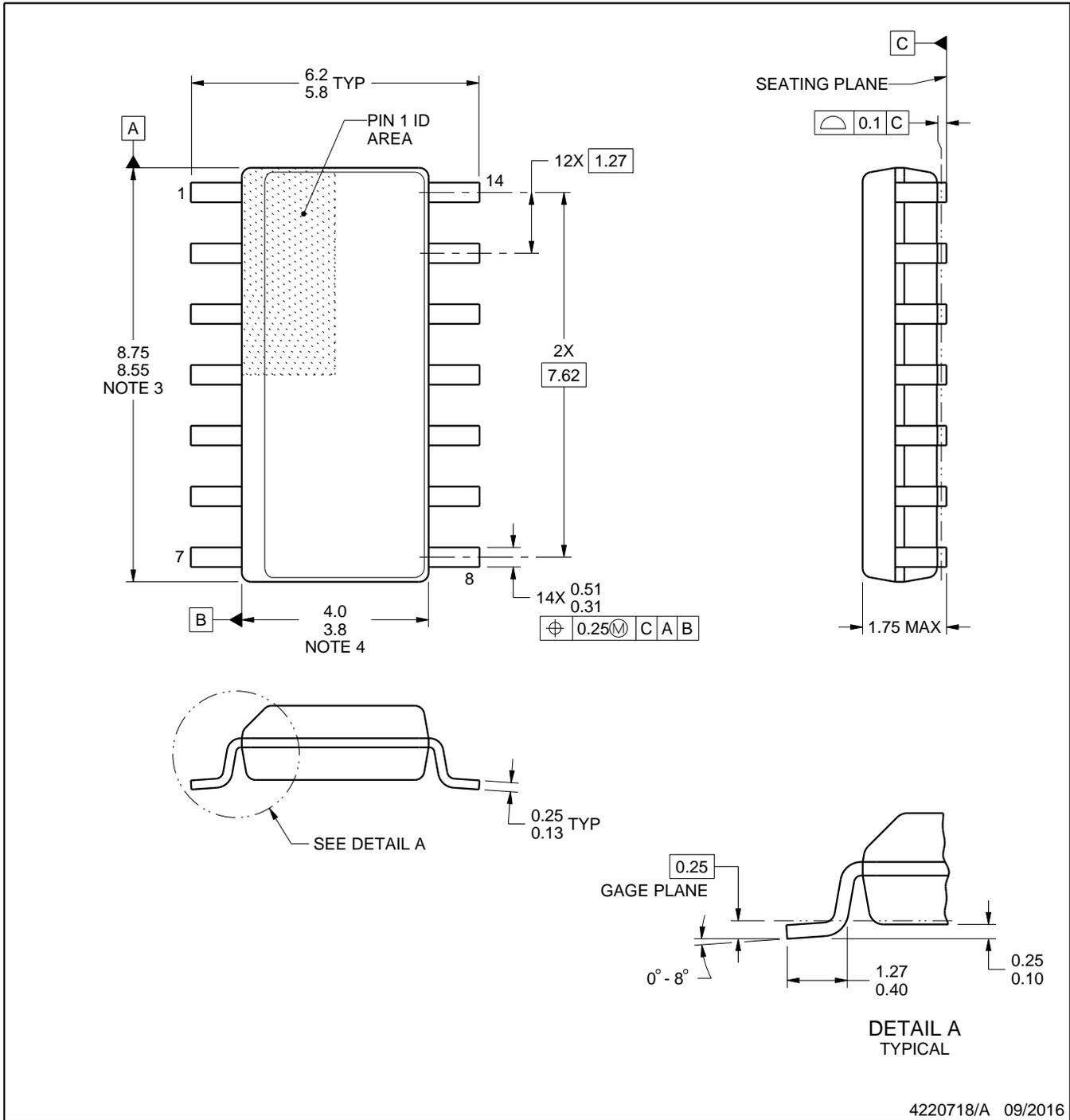
D0014A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

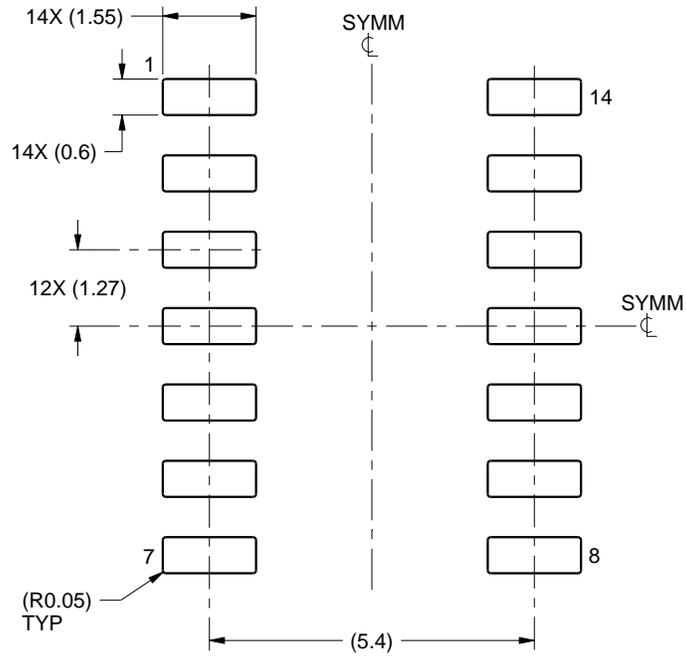
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

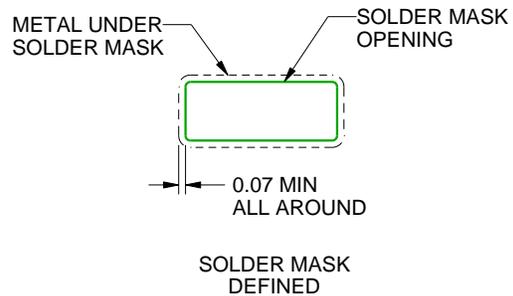
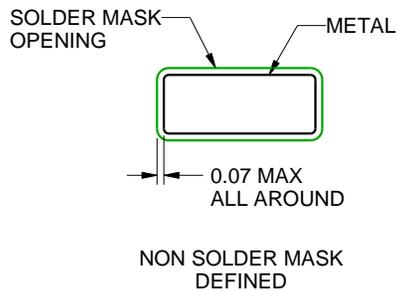
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X

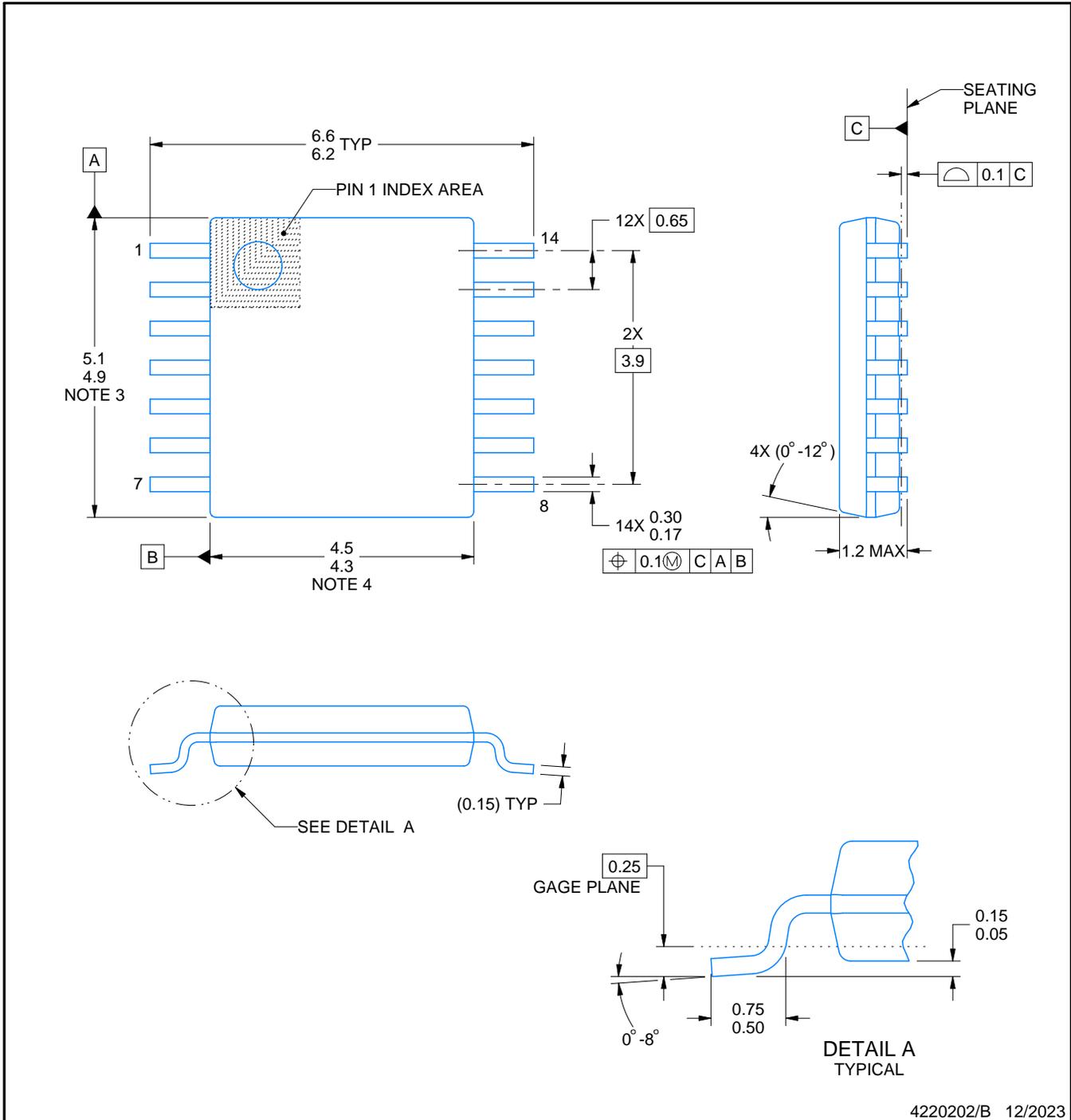
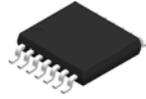


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



4220202/B 12/2023

NOTES:

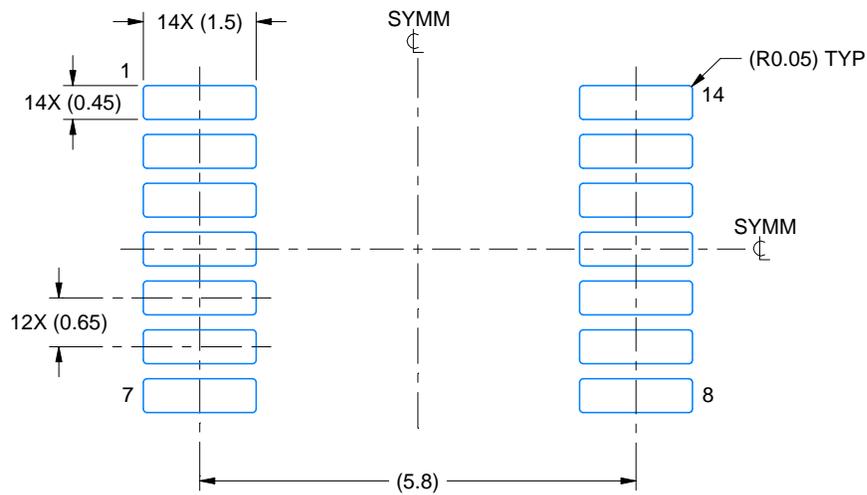
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

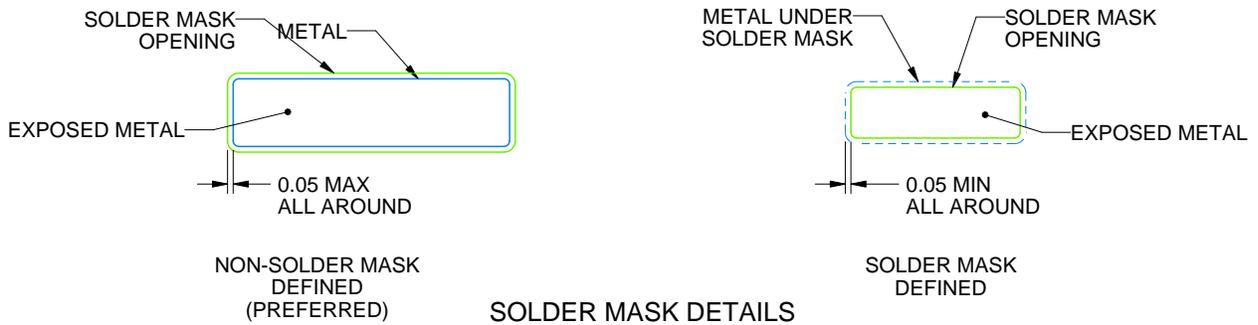
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

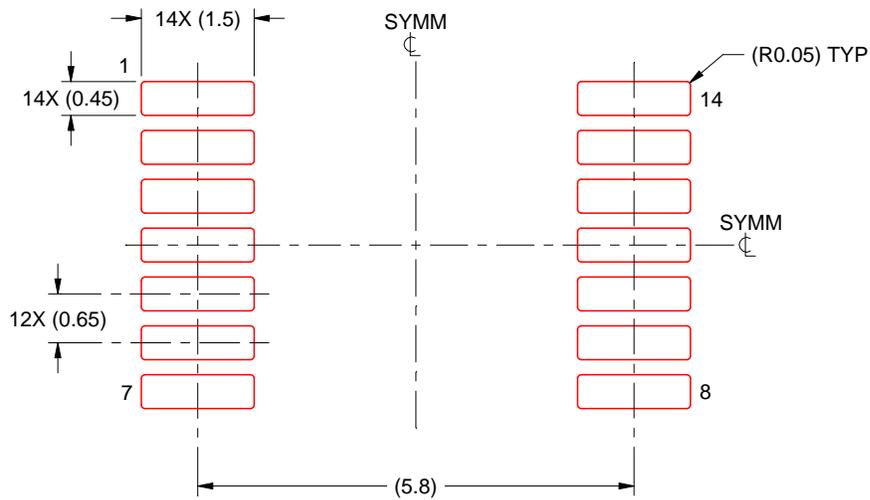
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月