



## e-trim™ 20MHz, 高精度、CMOS オペアンプ

### 特長

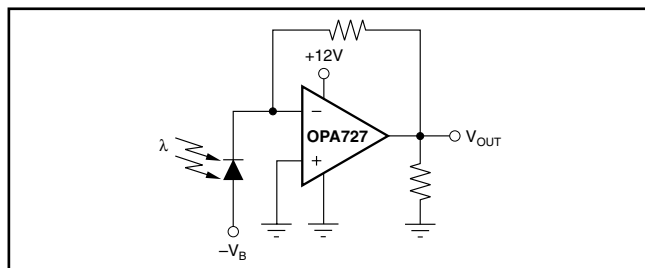
- オフセット：15 $\mu$ V (typ)、150 $\mu$ V (max)
- ドリフト：0.3 $\mu$ V/°C (typ)、1.5 $\mu$ V/°C (max)
- 帯域幅：20MHz
- スルーレート：30V/ $\mu$ s
- バイアス電流：500pA (max)
- 低ノイズ：6nV/ $\sqrt{\text{Hz}}$ 、100kHz 時
- THD+N：0.0003%、1kHz 時
- 無信号時電流：4.3mA/ch
- 電源電圧：4V ~ 12V
- シャットダウン・モード (OPA728)：6 $\mu$ A

### アプリケーション

- 光ネットワーク
- トランスインピーダンス・アンプ
- 積分器
- アクティブ・フィルタ
- A/Dコンバータ・ドライバ
- I/Vコンバータ、DAC用
- 高性能オーディオ
- プロセス制御
- 試験用機器

### OPAx727 及び OPAx728 の関連製品

特長	製品名
20MHz, 3mV, 4 $\mu$ V/°C (OPA727の非e-trim版)	OPA725
20MHz, 3mV, 4 $\mu$ V/°C、シャットダウン (OPA728の非e-trim版)	OPA726



### 概要

OPA727およびOPA728シリーズのオペアンプには、最先端の12VアナログCMOSプロセスとパッケージレベルのトリミング技術であるe-trimが使用されており、非常に優れたDC精度とAC性能を実現しています。パッケージ後にICをデジタル的にトリミングすることで、非常に低いオフセット(150 $\mu$ V最大値)とドリフト(1.5 $\mu$ V/°C)を実現し、パッケージ組み立て工程中の負荷によるパラメータの変化を避けることに成功しました。オフセット・ドリフトを補正するために、OPA727およびOPA728ファミリーを動作温度範囲内で調整しています。このデバイスの特徴は、非常に高いCMRRとオープン・ループ・ゲインによって誤差を最小限に留めている点です。

20MHzGBW、30V/ $\mu$ sスルーレート、0.0003% THD+Nという優れたAC特性により、OPA727とOPA728は通信、ハイエンド・オーディオ、アクティブ・フィルタ・アプリケーションに最適です。バイアス電流が500pA以下のため、ONETアプリケーションで光電力を監視するためのトランスインピーダンス(I/V変換)アンプとしても最適です。

最大12Vの単電源での動作に最適化されているため、入力同相範囲は単電源で機能するようにGNDまで拡張されています。出力スイングはレールの150mV以内で、ダイナミック・レンジが最大になっています。4.3mAの無信号時電流のため、バッテリー駆動の機器に最適です。OPA728のシャットダウン付きバージョンでは、無信号時電流(シャットダウン時)を通常6 $\mu$ Aまでに抑え、またデュアル電源アプリケーションの標準CMOSロジックでシャットダウン動作を容易にするための基準電圧ピンを搭載しています。

利用しやすいように、OPA727およびOPA728オペアンプ・ファミリーは4V~12Vの動作電圧範囲において仕様が規定されています。OPA727(シングル)およびOPA728(シャットダウン付シングル)は、MSOP-8およびDFN-8で提供されています。OPA2727(デュアル)はDFN-8およびSO-8で提供されています。また、クワッド・バージョンのOPA4727はTSSOP-14で提供されています。すべてのバージョンの仕様温度範囲は、-40°C~+125°Cです。

e-trimは、テキサス・インスツルメンツの登録商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。



## 静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

### 製品情報<sup>(1)</sup>

製品名	パッケージ - ピン数	パッケージ・コード	パッケージ捺印
シャットダウン無し			
OPA727	MSOP-8	DGK	AUE
	DFN-8	DRB	NSF
OPA2727	DFN-8	DRB	NSD
	SO-8	D	O2727A
OPA4727	TSSOP-14	PW	OPA4727
シャットダウン			
OPA728	MSOP-8	DGK	AUF
	DFN-8	DRB	NSG

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「追補：パッケージ・オプション」を参照するか、[www.tij.co.jp](http://www.tij.co.jp)または[www.tij.co.jp](http://www.tij.co.jp)にあるTIのWebサイトを参照してください。

### 絶対最大定格<sup>(1)</sup>

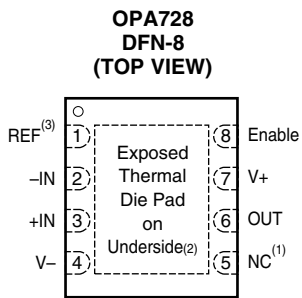
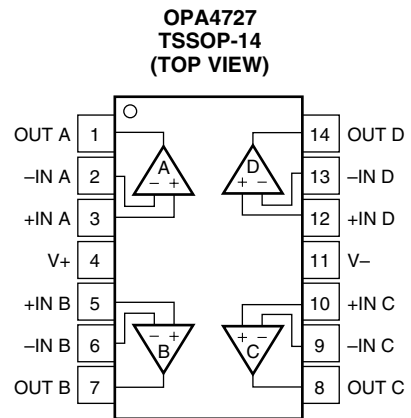
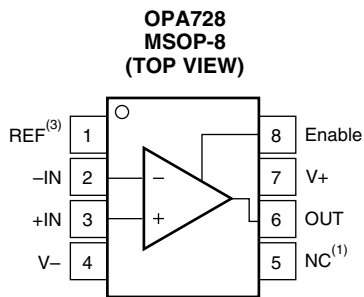
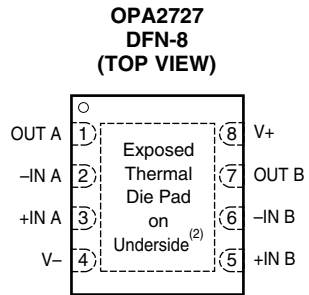
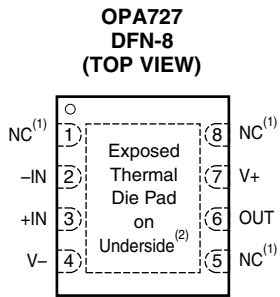
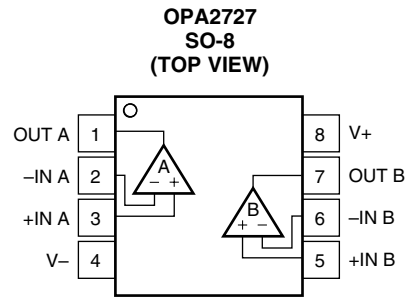
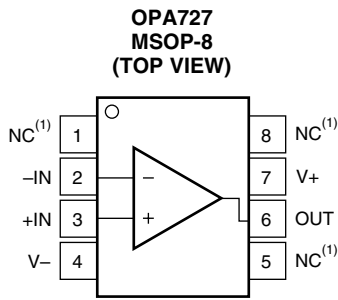
		OPA727, OPA2727 OPA4727, OPA728	単位
電源電圧		+13.2	V
信号入力端子	電圧 <sup>(2)</sup>	-0.5 ~ (V+) + 0.5	V
	電流 <sup>(2)</sup>	±10	mA
出力短絡 <sup>(3)</sup>		連続	
動作温度		-55 ~ +125	°C
保存温度		-55 ~ +150	°C
ジャンクション温度		+150	°C
ESD レーティング	人体モデル	2000	V
	デバイス帯電モデル	1000	V

(1) 絶対最大定格を超えるストレスは、デバイスに永久的な損傷を与えます。絶対最大定格の状態では長時間動作させると、デバイスの信頼性が低下します。これはストレスの定格のみについて示してあり、本製品の仕様を越える状態での機能動作を意味するものではありません。

(2) 入力端子は、電源レールに対してダイオード・クランプされています。電源電圧に対し、入力信号の振幅が0.5Vを上回る可能性がある場合は、電流を10mA以下に制限する必要があります。

(3) グランドへの短絡、1パッケージ当たり1アンプ回路。

# ピン構成



注： 1. NCは、「No Internal Connection」(内部接続なし)の略称です。  
 2. 熱ダイ・パッドをV-に接続。  
 3. REFはEnableピンの基準電圧です。

## 電気的特性： $V_S = +4V \sim +12V$ または $V_S = \pm 2V \sim \pm 6V$

太字は、温度範囲  $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$  の適用を示します。特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $R_L = 10\text{k}\Omega$  で  $V_S/2$  および  $V_{OUT} = V_S/2$  に接続されます。

パラメータ	条件	OPA727, OPA728, OPA2727, OPA4727			単位
		MIN	TYP	MAX	
オフセット電圧					
入力オフセット電圧 OPA727 DFN, OPA728 DFN パッケージ OPA727 MSOP, OPA728 MSOP パッケージ OPA2727 OPA4727 ドリフト	$V_{OS}$ $V_S = \pm 5V, V_{CM} = 0V$ $dV_{OS}/dT$ $0^\circ\text{C} \sim +85^\circ\text{C}$ <b><math>-40^\circ\text{C} \sim +125^\circ\text{C}</math></b>		15 15 15 15	150 300 150 175	$\mu\text{V}$ $\mu\text{V}$ $\mu\text{V}$ $\mu\text{V}$
対 電源電圧 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ チャンネル・セパレーション、DC	PSRR $V_S = \pm 2V \sim \pm 6V, V_{CM} = V-$ <b><math>V_S = \pm 2V \sim \pm 6V, V_{CM} = V-</math></b>		30	150 <b>150</b>	$\mu\text{V}/\text{V}$ $\mu\text{V}/\text{V}$
入力バイアス電流			$\pm 85$	$\pm 500$	pA
入力バイアス電流 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			「代表的特性」を参照		
入力オフセット電流	$I_{OS}$		$\pm 10$	$\pm 100$	pA
ノイズ					
入力電圧ノイズ、 $f = 0.1\text{Hz} \sim 10\text{Hz}$	$e_n$ $V_S = \pm 6V, V_{CM} = 0V$		10		$\mu\text{V}_{PP}$
入力電圧ノイズ密度、 $f = 10\text{kHz}$	$e_n$ $V_S = \pm 6V, V_{CM} = 0V$		10		$\text{nV}/\sqrt{\text{Hz}}$
入力電圧ノイズ密度、 $f = 100\text{kHz}$	$e_n$ $V_S = \pm 6V, V_{CM} = 0V$		6		$\text{nV}/\sqrt{\text{Hz}}$
入力電圧ノイズ密度、 $f = 1\text{kHz}$	$i_n$ $V_S = \pm 6V, V_{CM} = 0V$		2.5		$\text{fA}/\sqrt{\text{Hz}}$
入力電圧範囲					
同相電圧範囲	$V_{CM}$ $(V-) \leq V_{CM} \leq (V+) - 2.5V$	(V-)		(V+)-2.5	V
同相除去比 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	CMRR <b><math>(V-) \leq V_{CM} \leq (V+) - 2.5V</math></b> $(V-) \leq V_{CM} \leq (V+) - 3V$	86	94		dB
$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	<b>84</b> $(V-) \leq V_{CM} \leq (V+) - 3V$	94	100		dB
	<b>84</b>				dB
入力インピーダンス					
差動			$10^{11} \parallel 5$		$\Omega \parallel \text{pF}$
同相			$10^{11} \parallel 4$		$\Omega \parallel \text{pF}$
開ループ・ゲイン					
開ループ電圧ゲイン $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$A_{OL}$ $R_L = 100\text{k}\Omega, 0.15V < V_O < (V+) - 0.15V$ <b><math>R_L = 100\text{k}\Omega, 0.15V &lt; V_O &lt; (V+) - 0.15V</math></b>	110	120		dB
$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ , OPA727, OPA728	$R_L = 1\text{k}\Omega, 0.25V < V_O < (V+) - 0.25V$ <b><math>R_L = 1\text{k}\Omega, 0.25V &lt; V_O &lt; (V+) - 0.25V</math></b>	106	116		dB
$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ , OPA2727, OPA4727	<b><math>R_L = 1\text{k}\Omega, 0.35V &lt; V_O &lt; (V+) - 0.35V</math></b>	96			dB
	<b>96</b>				dB
周波数特性	$C_L = 20\text{pF}$				
ゲイン・バンド幅積	GBW		20		MHz
スルーレート	SR	$G = +1$	30		V/ $\mu\text{s}$
セトリング・タイム、0.1%	$t_s$	$V_S = \pm 6V, 5V$ ステップ, $G = +1$	350		ns
セトリング・タイム、0.01%		$V_S = \pm 6V, 5V$ ステップ, $G = +1$	450		ns
過負荷復帰時間		$V_{IN} \times \text{ゲイン} > V_S$	50		ns
全高調波歪 + ノイズ	THD+N	$V_S = \pm 6V, V_{OUT} = 2V_{RMS}, R_L = 600\Omega, G = +1, f = 1\text{kHz}$	0.003		%

電気的特性：  $V_S = +4V \sim +12V$  または  $V_S = \pm 2V \sim \pm 6V$

太字は、温度範囲  $T_A = -40^\circ C \sim +125^\circ C$  の適用を示します。特に記述のない限り、 $T_A = +25^\circ C$ 、 $R_L = 10k\Omega$  で  $V_S/2$  および  $V_{OUT} = V_S/2$  に接続されます。

パラメータ	条件	OPA727, OPA728, OPA2727, OPA4727			単位
		MIN	TYP	MAX	
出力 レールに対する電圧出力スイング	$R_L = 100k\Omega, A_{OL} > 110dB$ $R_L = 100k\Omega, A_{OL} > 100dB$ $R_L = 1k\Omega, A_{OL} > 106dB$ $R_L = 1k\Omega, A_{OL} > 96dB$ $R_L = 1k\Omega, A_{OL} > 96dB$		100 200	150 250	mV mV mV mV
出力電流 $I_{OUT}$	$ V_S - V_{OUT}  < 1V$		40		mA
短絡電流 $I_{SC}$			$\pm 55$		mA
容量性負荷駆動能力 オープンループ出力インピーダンス	$f = 1MHz, I_O = 0$		CLOADを参照		$\Omega$
イネーブル/シャットダウン、OPA728					
$t_{OFF}$			5		$\mu s$
$t_{ON}$			80		$\mu s$
イネーブル基準 (Ref Pin) 電圧範囲		V-		(V+) - 2	V
$V_L$ (アンプのディスエーブル時)		$> V_{DGND} + 2V$		$< V_{DGND} + 0.8V$	V
$V_H$ (アンプのイネーブル時)					V
Enable ピンの入力バイアス電流			5		pA
$I_{QSD}$	シャットダウン時		6	15	$\mu A$
電源					
規定電圧範囲	$V_S$	4		12	V
動作電圧範囲	$V_S$		3.5 ~ 13.2		V
無信号時電流 (アンプ1個あたり)	$I_Q$		4.3	6.5	mA
	$T_A = -40^\circ C \sim +125^\circ C$			<b>6.5</b>	<b>mA</b>
温度範囲					
規定範囲		-40		+125	$^\circ C$
動作範囲		-55		+125	$^\circ C$
保存範囲		-55		+150	$^\circ C$
熱抵抗	$\theta_{JA}$				
MSOP-8, SO-8			150		$^\circ C/W$
TSSOP-14			100		$^\circ C/W$
DFN-8			46		$^\circ C/W$

## 代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 10\text{k}\Omega$ で $V_S/2$ および $V_{OUT} = V_S/2$ に接続されます。

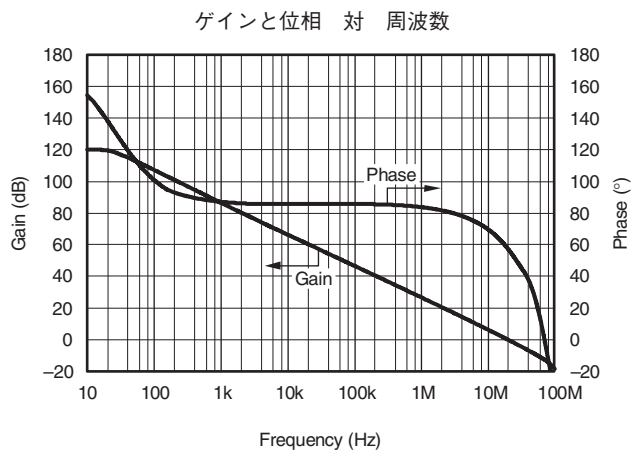


図 1

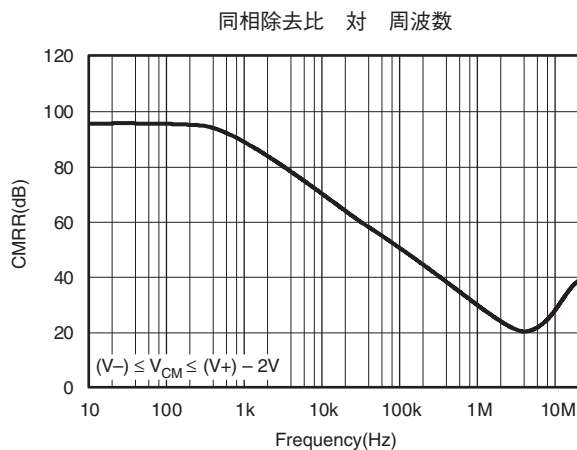


図 2

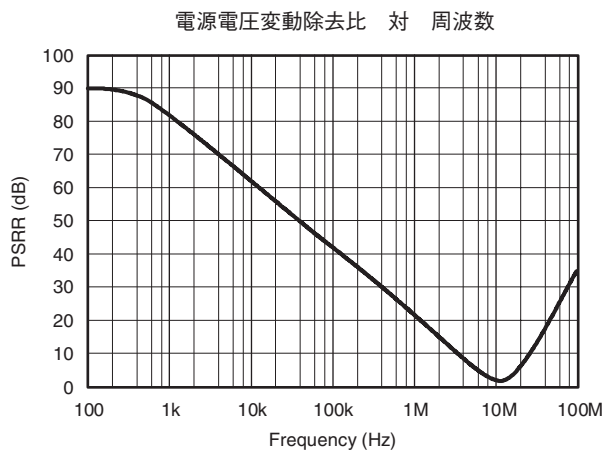


図 3

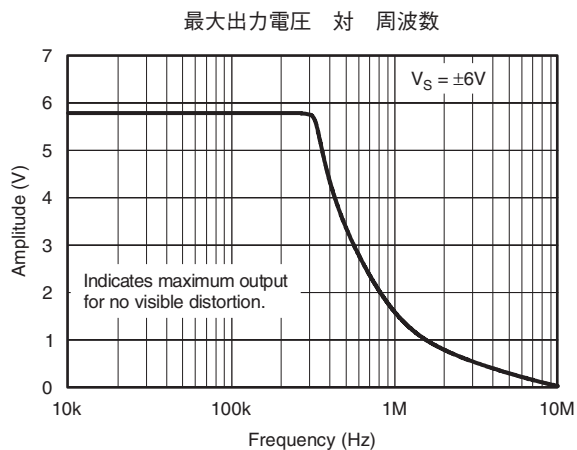


図 4

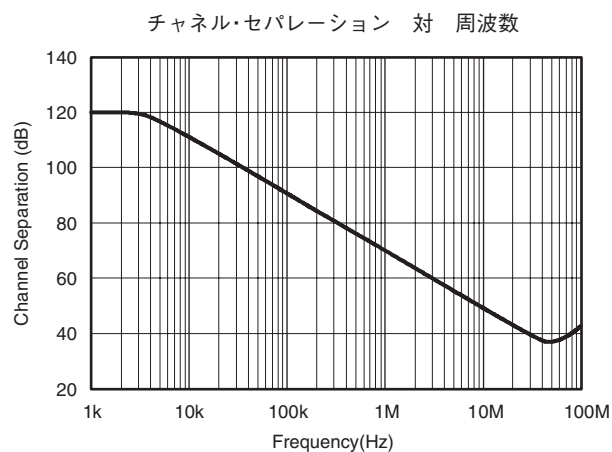


図 5

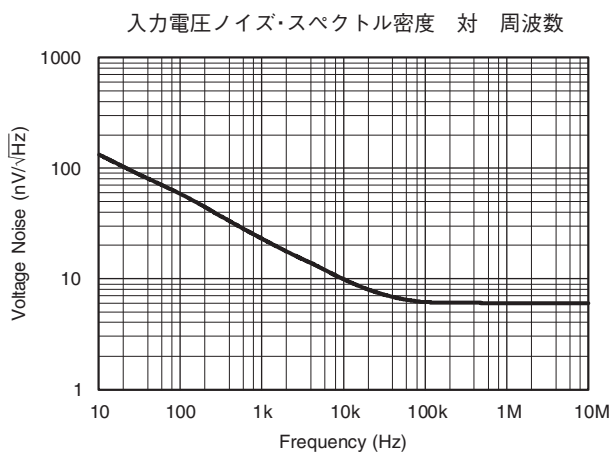


図 6

# 代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 10\text{k}\Omega$ で $V_S/2$ および $V_{\text{OUT}} = V_S/2$ に接続されます。

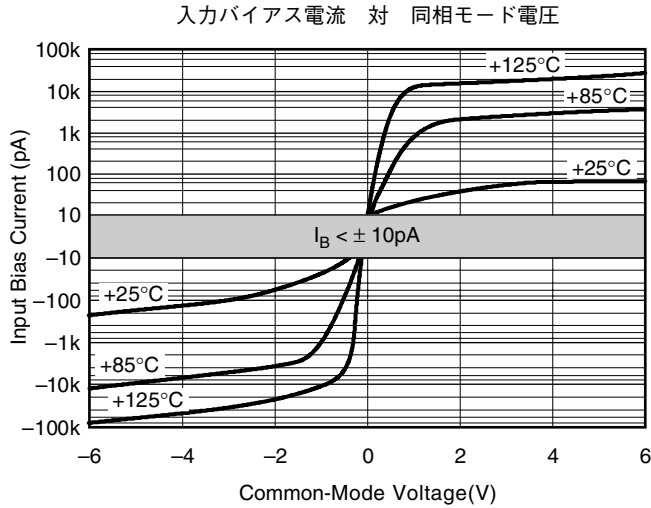


図 7

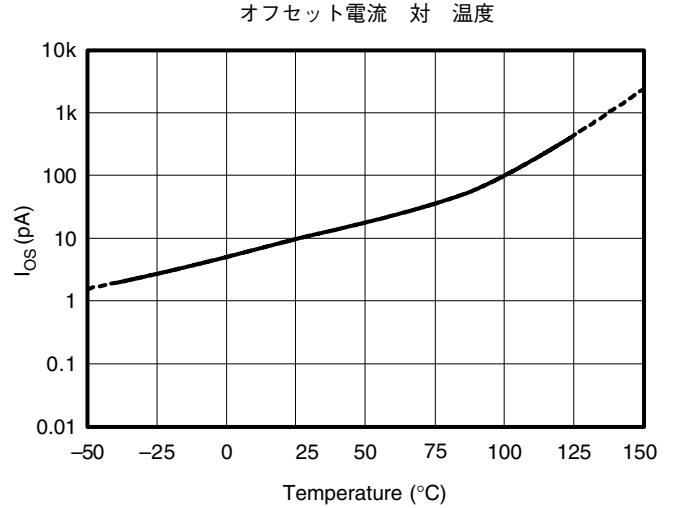


図 8

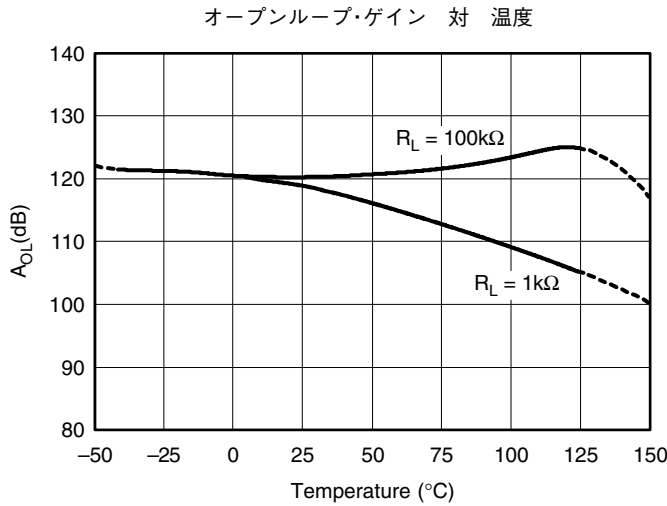


図 9

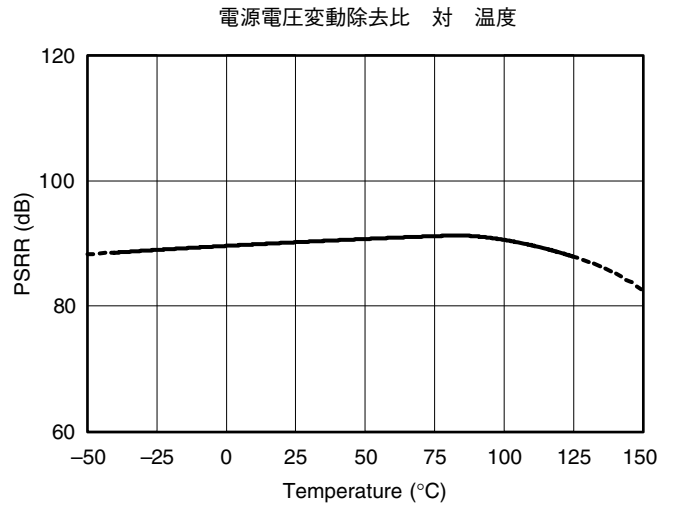


図 10

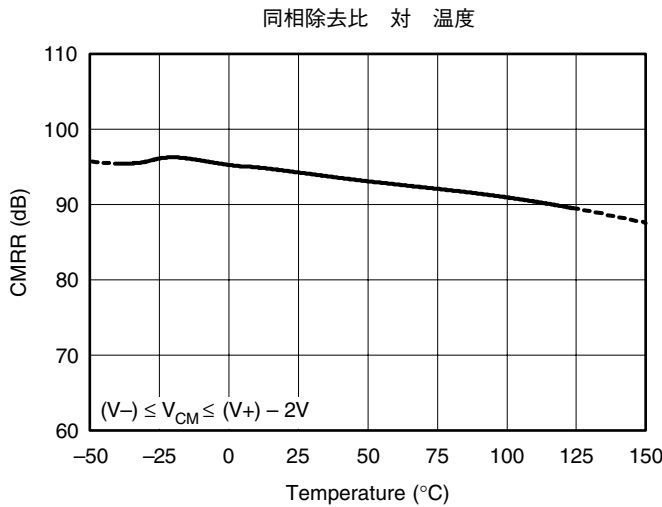


図 11

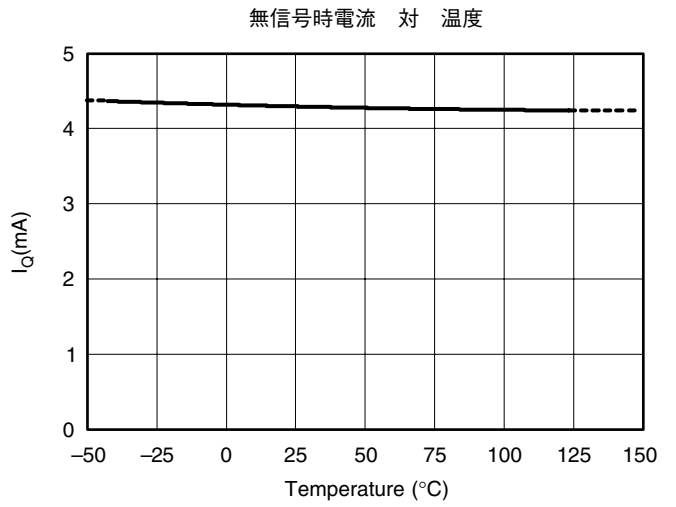


図 12

## 代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 10\text{k}\Omega$ で $V_S/2$ および $V_{OUT} = V_S/2$ に接続されます。

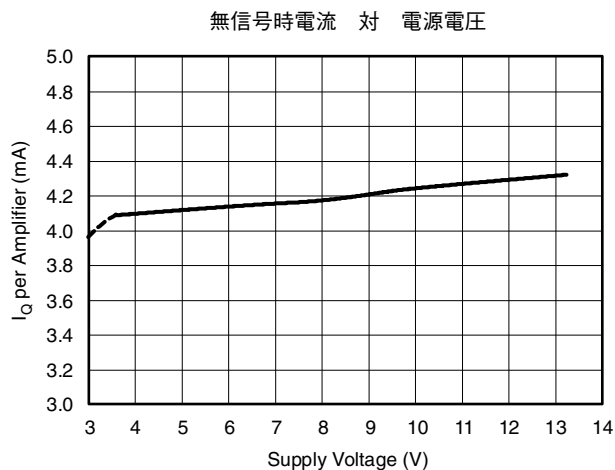


図 13

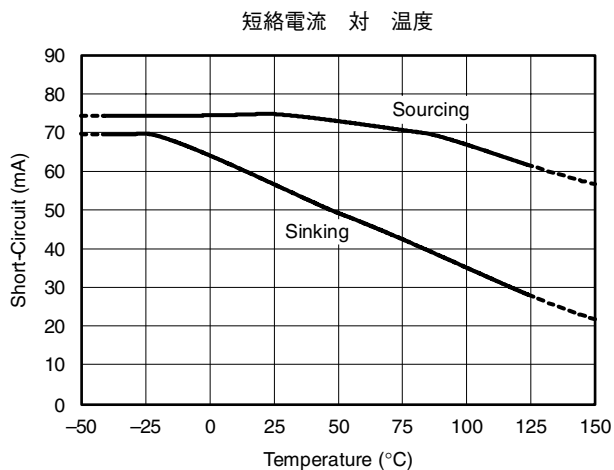


図 14

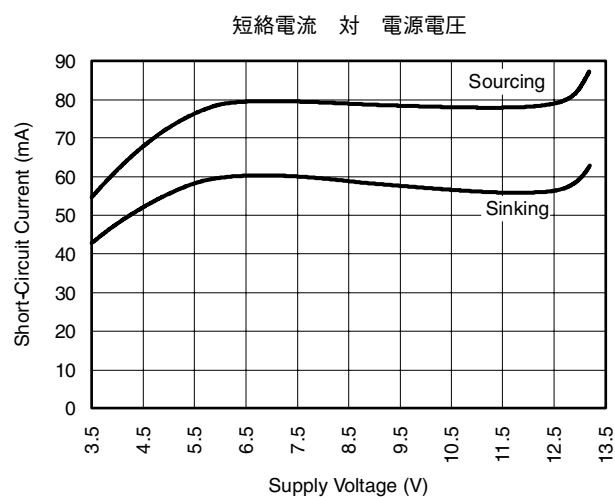


図 15

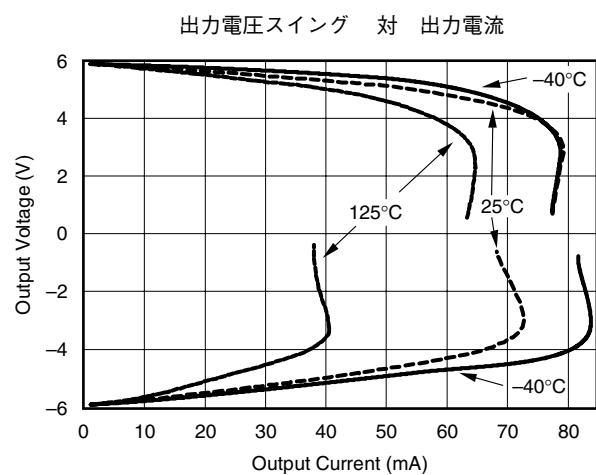


図 16

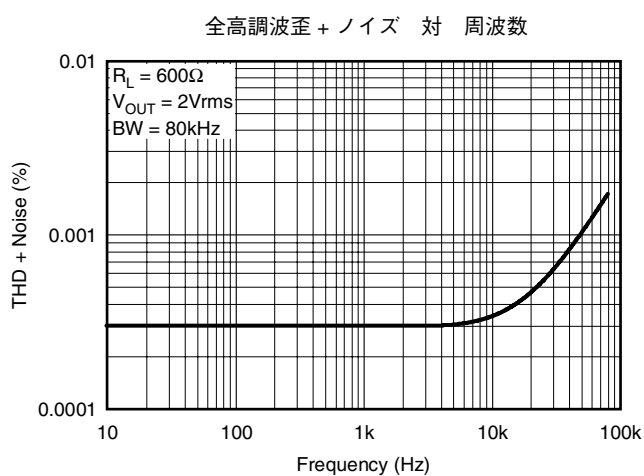


図 17

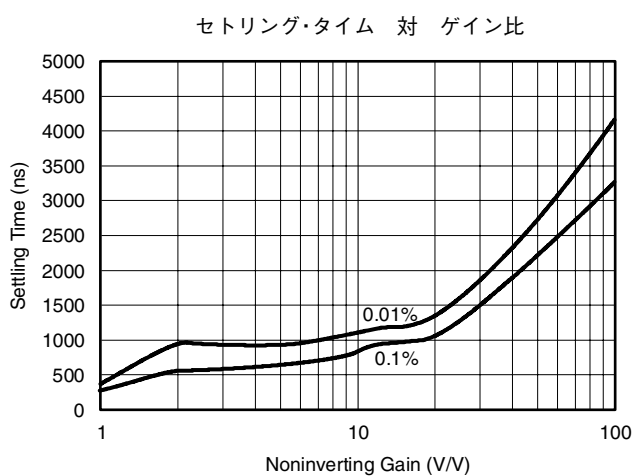


図 18



# 代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 5\text{V}$ 、 $R_L = 10\text{k}\Omega$ で $V_S/2$ および $V_{OUT} = V_S/2$ に接続されます。

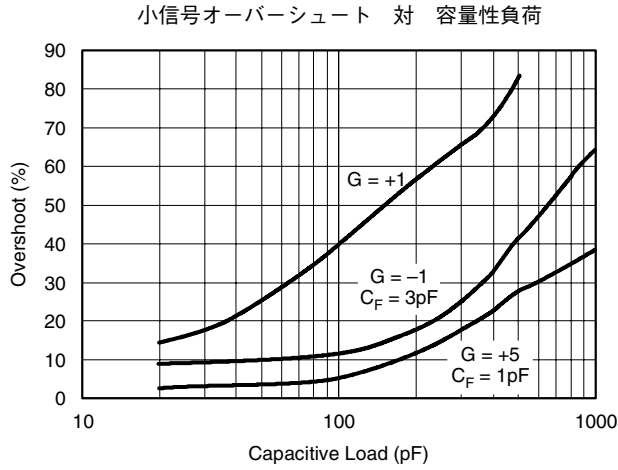


図 19

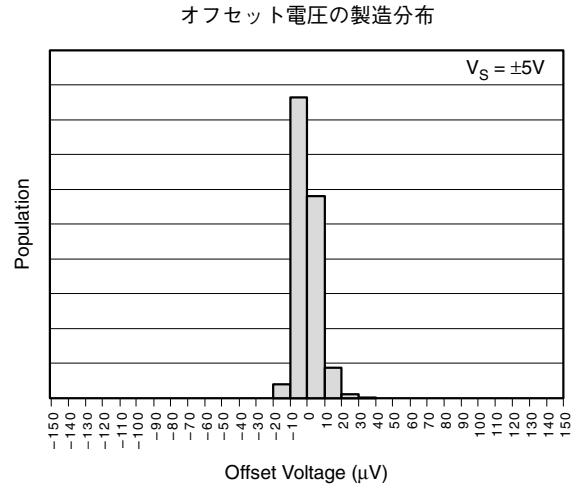


図 20

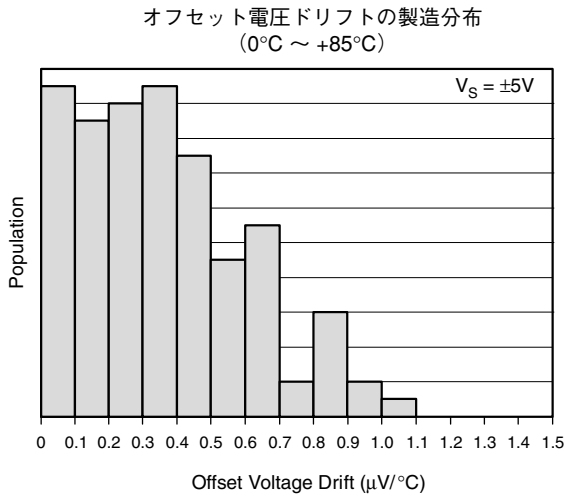


図 21

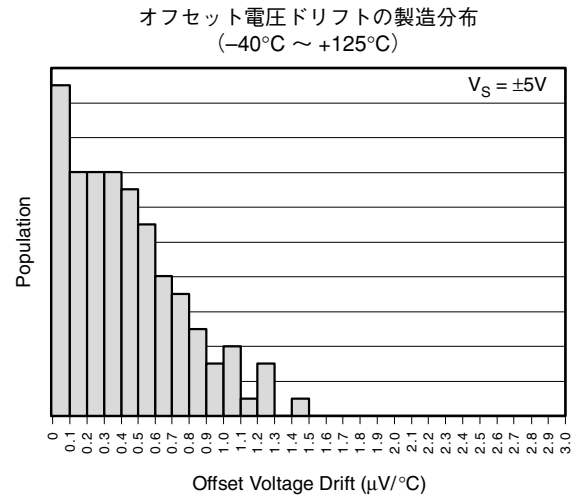


図 22

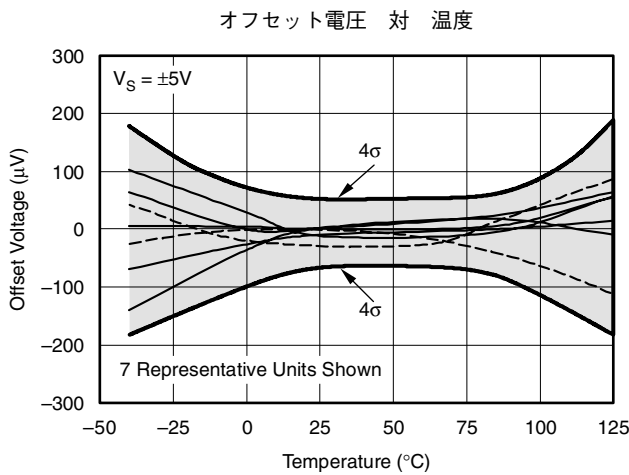


図 23

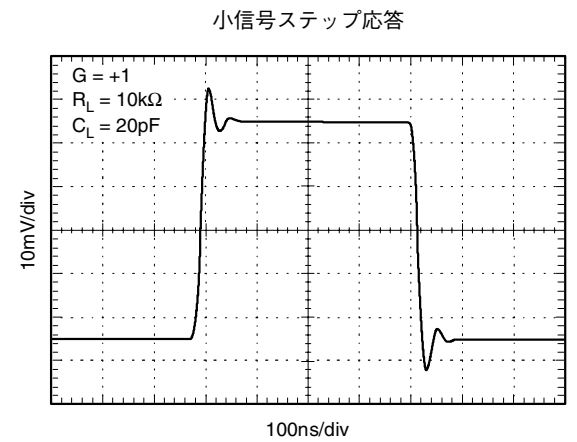


図 24

## 代表的特性

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 6\text{V}$ 、 $R_L = 10\text{k}\Omega$ で $V_S/2$ および $V_{OUT} = V_S/2$ に接続されます。

大信号ステップ応答

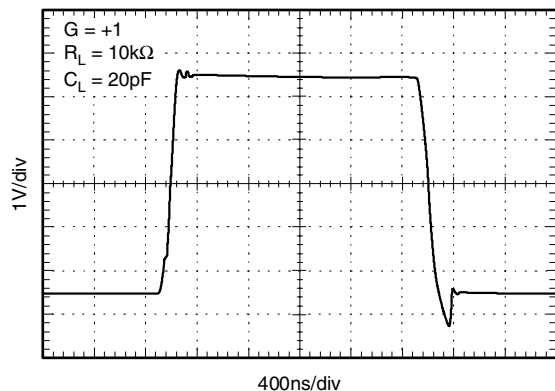


図 25

小信号ステップ応答

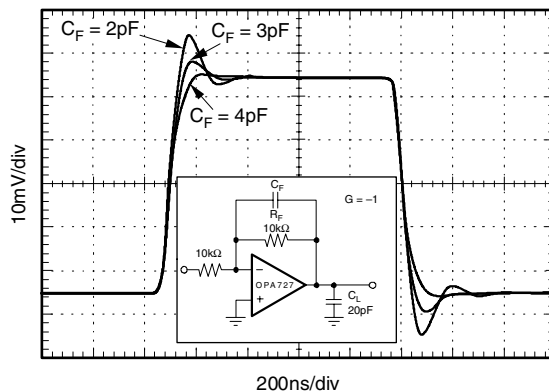


図 26

大信号ステップ応答

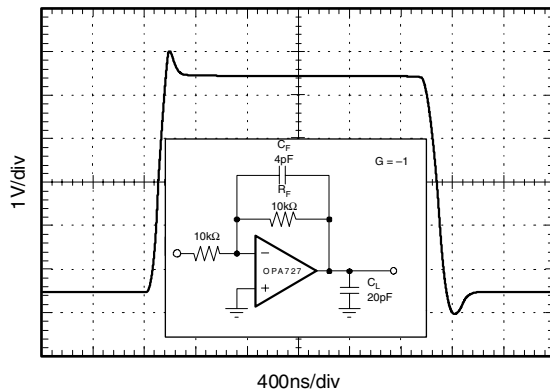


図 27

## アプリケーション情報

オペアンプのOPA727およびOPA728ファミリーでは、プラスチックのモールド完了後に製造工程の最終段階としてオフセット電圧と温度ドリフトを調整するe-trimが使用されています。これにより、モールド工程中に発生する性能の変動が補正されます。e-trimによって、OPA727とOPA728では優れたオフセット電圧(150 $\mu$ V最大値)と非常に低いオフセット電圧ドリフト(1.5 $\mu$ V/ $^{\circ}$ C)を実現しています。さらに、これらの20MHz CMOS オペアンプでは、高速スルーレート、低ノイズ、優れたPSRR、CMRR、 $A_{OL}$ を実現しています。4V~6V( $\pm 2$ V~ $\pm 6$ V)の範囲で単(または両)電源からの標準4.3mA無信号時電流で動作することができます。または、ユニティ・ゲインで安定動作します。

電源電圧ピンは、1 $\mu$ Fのタンタル・コンデンサを並列接続した1nFのセラミック・コンデンサでバイパスする必要があります。

## 動作電圧

OPA727シリーズのオペアンプの仕様は、 $-40^{\circ}$ C~ $+125^{\circ}$ Cの温度範囲にわたり4V~12Vの電源で仕様が規定されています。特に、 $\pm 5$ V または+5V~+12V電源で最適に動作します。動作電圧または温度によって大きく異なるパラメータについては、代表的特性に示します。

## イネーブル/シャットダウン

OPA727シリーズのオペアンプは、約4.3mAの無信号時電流が流れます。OPA728のイネーブル/シャットダウン機能を使用すると、オペアンプをシャットダウンして、この電流を約6 $\mu$ Aまで低減させることが可能です。

イネーブル/シャットダウン入力、イネーブル基準電圧ピンREFを基準としています(ピン構成を参照)。このピンは、デュアル電源オペアンプのロジック電源のグラウンドに接続することができます。図28に示すように、イネーブルロジック信号がレベルシフトされることを回避します。

イネーブル基準電圧ピンの電圧 $V_{REF}$ は、(V+) - 2Vを超えてはなりません。この値は最低、V-まで設定することができます。オペアンプは、イネーブル・ピンの電圧が $V_{REF} + 2$ Vを超える場合に有効になります。オペアンプは、イネーブル・ピンの電圧が $V_{REF} + 0.8$ V未満の場合にディスエーブルになります。イネーブル・ピンは内部でプルアップされているので、このピンが開放の場合は、デバイスはイネーブルになります。

## 同相モード電圧範囲

OPA727とOPA728シリーズの同相入力電圧範囲は、V- ~ (V+) - 2.5Vです。同相除去は、V- ~ (V+) - 3Vの入力電圧範囲で優れた特性を発揮します。CMRRは、若干特性の低下をとまありませんが、同相電圧を(V+) - 2.5Vまで拡張されています。この範囲内でのテストによれば、良好な特性を維持することが可能となっています。詳細については、電気的特性を参照してください。

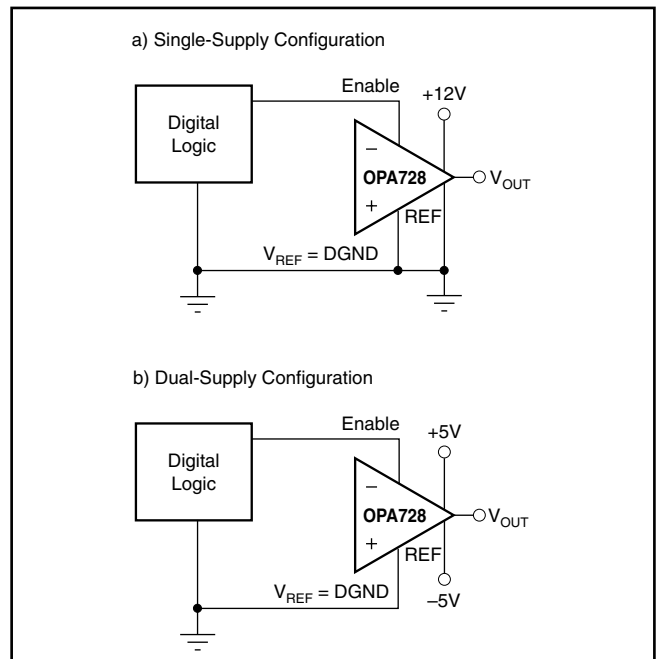


図 28. 単電源およびデュアル電源構成におけるイネーブル基準電圧ピンの接続

## 入力過電圧保護

デバイス入力は、入力電圧が電源電圧を約 300mV以上超過した場合に導通するESDダイオードで保護されています。電流が最大10mAに制限されている場合は、電源電圧を300mV以上上回る瞬間的な電圧が許容されます。これは、図29に示すように、入力抵抗がオペアンプと直列になっている場合に簡単に実現することができます。OPA727シリーズには、入力電流が制限されているときに入力が電源電圧を上回った場合に位相が反転することはありません。

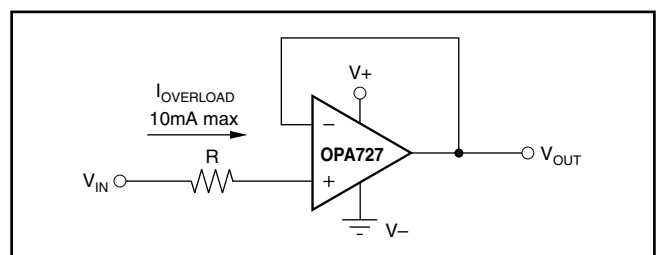


図 29. 電圧が供給電圧を超過した場合の入力電流保護

## レール・ツー・レール出力

コモンソース・トランジスタ構成のClass-AB出力段を使用して、レール・ツー・レール出力を実現しています。この出力段は、 $V_+$ と $V_-$ の間の任意の点（電位）に接続される重い負荷を駆動することができます。軽い抵抗性負荷の場合（ $>100\text{k}\Omega$ ）は、優れた直線性（ $A_{OL} > 110\text{dB}$ ）を維持しながら、出力電圧を電源レールから150mVのところまでスイングすることができます。抵抗性負荷が $1\text{k}\Omega$ の場合、出力の仕様では、優れた直線性を維持しながら、電源レールから250mV以内のところまでスイングします（代表的特性の出力電圧スイング 対 出力電流を参照）。

## 容量性負荷と安定性

容量性負荷駆動能力は、アプリケーションのゲインとオーバーシュートに対する許容条件に依存します。ゲインを大きくすると、より大きな容量性負荷を駆動できるようになります（代表的特性の小信号オーバーシュート 対 負荷容量を参照）。

ユニティ・ゲイン設定で容量性負荷駆動能力を上げる方法の1つは、図30に示すように、フィードバック・ループ内に $10\Omega \sim 20\Omega$ の抵抗を挿入することです。これにより、DC精度を維持しながら、大容量負荷のリングングを低減することができます。

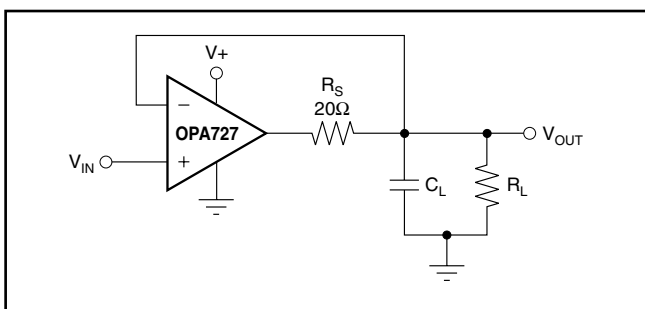


図 30. 容量性負荷駆動能力を向上させるユニティ・ゲイン・バッファ構成における直列抵抗

## 高速16ビットADC駆動

OPA727シリーズは、ADS8342などの高速16ビットADC駆動用に最適化されています。OPA727オペアンプは、ゲインを持たせてもチャージ・インジェクションの原因となる入力容量をバッファリングします。図31に、入力範囲 $\pm 2.5\text{V}$ のADS8342 16ビット、250kSPS、4チャンネルADCへのインターフェイスに使用したシングルエンド構成のOPA727を示します。OPA727は、ADS8342のアクイジション・タイム600ns内に16ビット精度で優れたセトリング時間を達成しています。図31に示すように、RCフィルタは、最高のノイズ性能とセトリング性能を実現できるよう慎重にチューニングされています。オペアンプ構成が異なる場合は、調整が必要となる可能性があります。この製品の詳細については、ADS8342データシート（[www.tij.co.jp](http://www.tij.co.jp)からダウンロード可能）を参照してください。

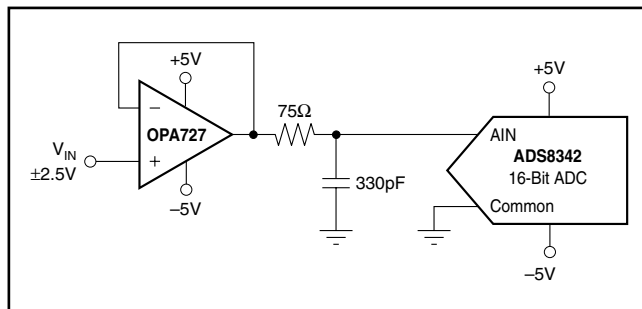


図 31. ADCを駆動するOPA727

## トランスインピーダンス・アンプ

広帯域幅、低入力バイアス電流、低入力電圧、低電流ノイズ性能によって、OPA727は理想的な広帯域のフォトダイオード・トランスインピーダンス・アンプになります。フォトダイオードの容量によって、回路の実効ノイズ・ゲインが高周波で大きくなるため、低電圧ノイズは重要です。

図32に示すように、トランスインピーダンス・アンプの設計の主要な要素は、予想されるダイオード容量（ $C_D$ ）です。この中には、同相と差動の寄生入力容量（OPA727の場合、 $4\text{pF} + 5\text{pF}$ ）、対象となるトランスインピーダンス・ゲイン（ $R_F$ ）、さらにOPA727のGBW（20MHz）が含まれる必要があります。これらの3つの変数セットを使用して、フィードバック容量の値（ $C_F$ ）を設定し、周波数特性を制御することができます。 $C_F$ には、標準的な表面実装抵抗で $0.2\text{pF}$ となる $R_F$ の浮遊容量が含まれます。

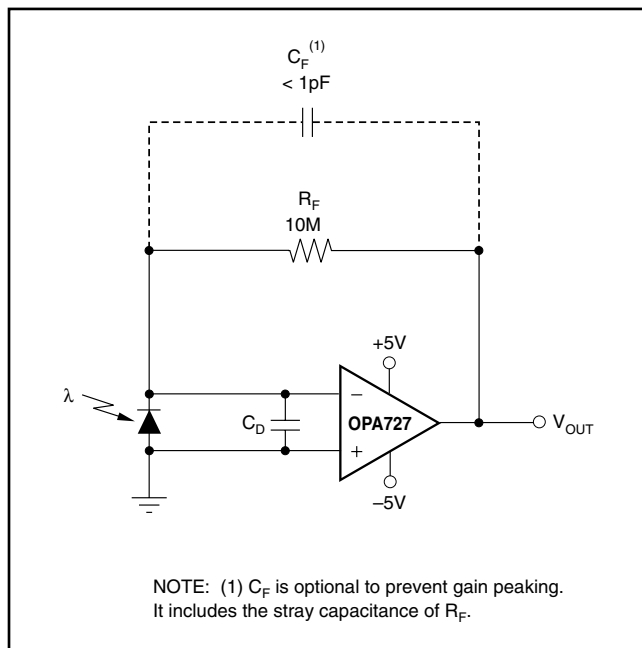


図 32. デュアル電源のトランスインピーダンス・アンプ

最大平坦特性と2次バターワース周波数応答を実現するためには、フィードバックのポールを次のように設定しなければなりません。帯域幅は次のように計算します。

$$\frac{1}{2\pi R_F C_F} = \sqrt{\frac{GBW}{4\pi R_F C_D}} \quad (1)$$

$$f_{-3dB} = \sqrt{\frac{GBW}{2\pi R_F C_D}} \text{ Hz} \quad (2)$$

トランスインピーダンス帯域幅がさらに高い場合でも、高速CMOS OPA380 (GBW 90MHz)、OPA354 (GBW 100MHz)、OPA300 (GBW 180MHz)、OPA355 (GBW 200MHz)、またはOPA656、OPA657 (GBW 400MHz)を使用することができます。

単電源アプリケーションの場合は、+IN入力を正DC電圧でバイアスして、フォトダイオードに光が当たってないとき出力を正確に0にし、負のレールから生じる遅延を追加せずに応答させることができます。これについては、図33に示します。このバイアス電圧は、フォトダイオードの両端に加わり、高速動作では逆バイアスになります。

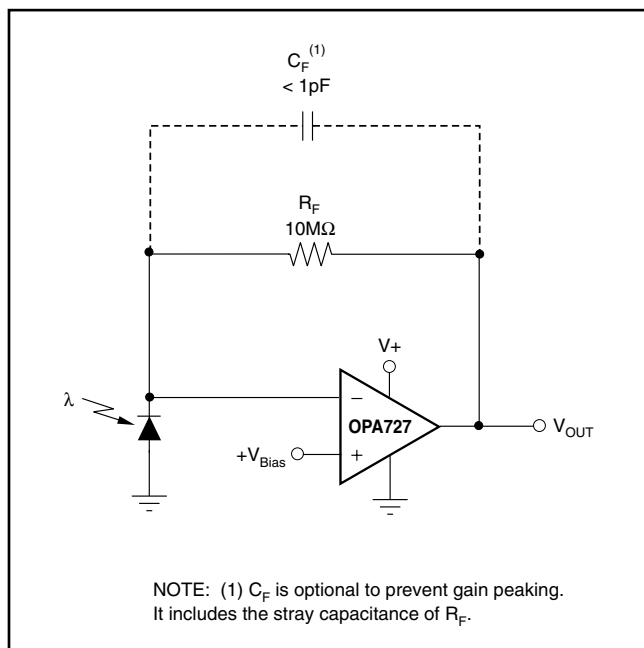


図 33. 単電源のトランスインピーダンス・アンプ

詳細については、www.tij.co.jpからダウンロード可能なアプリケーション・ノート (SBOA055)、「Compensate Transimpedance Amplifiers Intuitively (トランスインピーダンス・アンプを補正する)」を参照してください。

## トランスインピーダンス回路の最適化

最高の性能を引き出すためには、次のガイドラインに従ってコンポーネントを選択してください。

1. ノイズを最小限に抑える場合は、 $R_F$ を選択して必要な総ゲインを決めます。 $R_F$ の値を小さくして、トランスインピーダンス・アンプの後にゲインを加えると、通常はノイズ特性が悪化します。 $R_F$ によって生成されたノイズは $R_F$ の平方根に比例して大きくなりますが、信号は線形的に増加します。そのため、必要なすべてのゲインをトランスインピーダンス段に配置すると、信号雑音比が改善されます。
2. 反転入力接続点におけるフォトダイオード容量と浮遊容量を最小限に抑えてください。この容量によって、オペアンプの電圧ノイズが増幅されます (高周波のゲインが増加します)。低雑音の電源をフォトダイオードの逆バイアスに使用すると、容量を大幅に削減することができます。フォトダイオードが小さいほど、その容量も少なくなります。小さなフォトダイオードに光を集めるには、光学素子を使用します。
3. 帯域幅を大きくすると、ノイズも大きくなります。回路の帯域幅は、必要な分だけに制限してください。安定させるために必要のない場合でも、帯域幅を制限するために、 $R_F$ と並列にコンデンサを入れてください。
4. 優れた設計のアンプでなければ、回路基板のリークによって性能が落ちる場合があります。回路をクリーンにする際は、慎重に行ってください。接続点のまわりに同じ電圧で駆動する回路ガード・トレースを取り付けることで、リークを制御できるようになります。

詳細については、TIのWebサイトからダウンロード可能なアプリケーション・ノート「Noise Analysis of FET Transimpedance Amplifiers (トランスインピーダンス・アンプのノイズ解析)」(SBOA060)および「Noise Analysis for High-Speed Op Amps (高速オペアンプのノイズ解析)」(SBOA066)を参照してください。

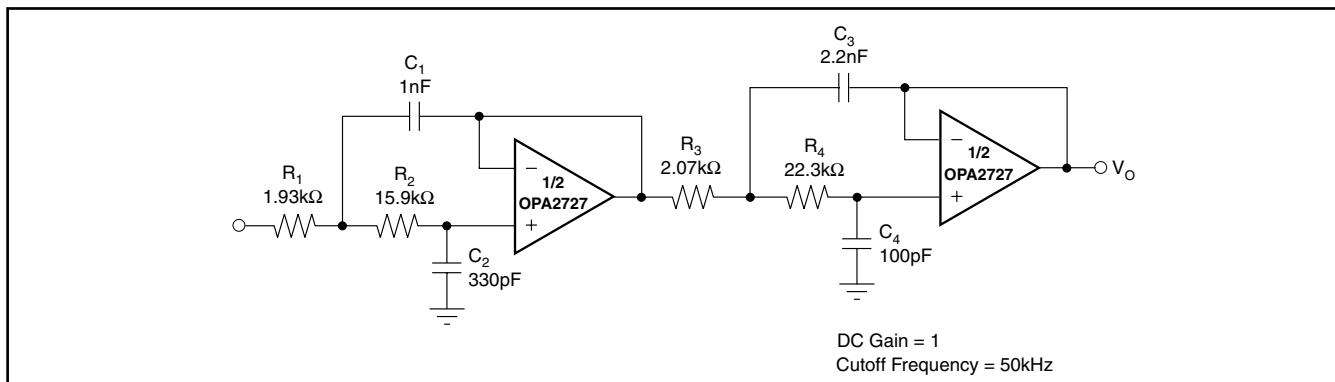


図 34. 4ポール・バターワース・サレンキー型ローパス・フィルタ

注：FilterProは、TIのWebサイト(www.tij.co.jp)から無償でダウンロードできるフィルタ設計プログラムです。このプログラムを使用すると、その他のカットオフ周波数やフィルタ・タイプの部品定数を決定することができます。

## DFN パッケージ

OPA727シリーズでは、パッケージ底部の両側だけにリード・コンタクトの付いたQFNパッケージであるDFN-8(SONとも呼ばれます)を使用しています。このリードのないニアチップスケールのパッケージにより、ボードの面積が最大化され、露出したパッドによって熱特性と電気的特性が向上します。DFNパッケージは物理的に小さく、配線領域も小さくなっています。さらに、SOやMSOPなどの一般的に使用される他のパッケージと整合性のあるピン配列になっており、熱特性や電氣的な寄生効果が改善されています。また、外部にリードがないため、リード曲がりの問題も解消されます。

DFNパッケージは、標準的なプリント基板(PCB)のアセンブリ技法を使用して容易に実装できます。詳細については、アプリケーション・ノート「QFN/SON PCB Attachmen」(SLUA271)、およびアプリケーション・レポート「Quad Flatpack No-Lead Logic Packages」(SCBA017)を参照してください。どちらも、www.tij.co.jpからダウンロードすることができます。

パッケージ底部に露出したリード端子を持つダイ・パッドは、V-に接続します。

## レイアウト

リード端子を持つダイ・パッドは、PCBのサーマル・パッドに半田付けします。このデータシートの末尾には、レイアウト例を示したメカニカル・データが添付されています。実装上の条件によっては、このレイアウトを改良する必要がある場合があります。このデータシートの末尾に掲載されたパッケージ図面には、パッケージとパッドの寸法が記載されています。ランド・パターン5個の穴はオプションであり、リード端子を持つダイ・パッドをPCBのヒートシンク領域に接続するサーマル・ビアに使用されます。

露出したパッドを半田付けすると、温度サイクル、キープ・アップ、パッケージ切断、類似ボード・レベルのテスト中におけるボード・レベルの信頼性が大幅に向上します。低消費電力のアプリケーションでも、露出したパッドは必ずPCBに半田付けして、構造上の完全性と長期的な信頼性を確保する必要があります。

# パッケージ・オプション

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
OPA2727AID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
OPA2727AIDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
OPA2727AIDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
OPA2727AIDRBR	ACTIVE	SON	DRB	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
OPA2727AIDRBRG4	ACTIVE	SON	DRB	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
OPA2727AIDRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
OPA2727AIDRBTG4	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
OPA2727AIDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
OPA4727AIPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA4727AIPWRG4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA727AIDGKR	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA727AIDGKRG4	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA727AIDGKT	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA727AIDGKTG4	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA727AIDRBR	ACTIVE	SON	DRB	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA727AIDRBRG4	ACTIVE	SON	DRB	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA727AIDRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA727AIDRBTG4	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA728AIDGKR	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA728AIDGKRG4	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA728AIDGKT	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA728AIDGKTG4	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA728AIDRBR	ACTIVE	SON	DRB	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA728AIDRBRG4	ACTIVE	SON	DRB	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
OPA728AIDRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

# パッケージ・オプション

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
OPA728AIDRBTG4	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

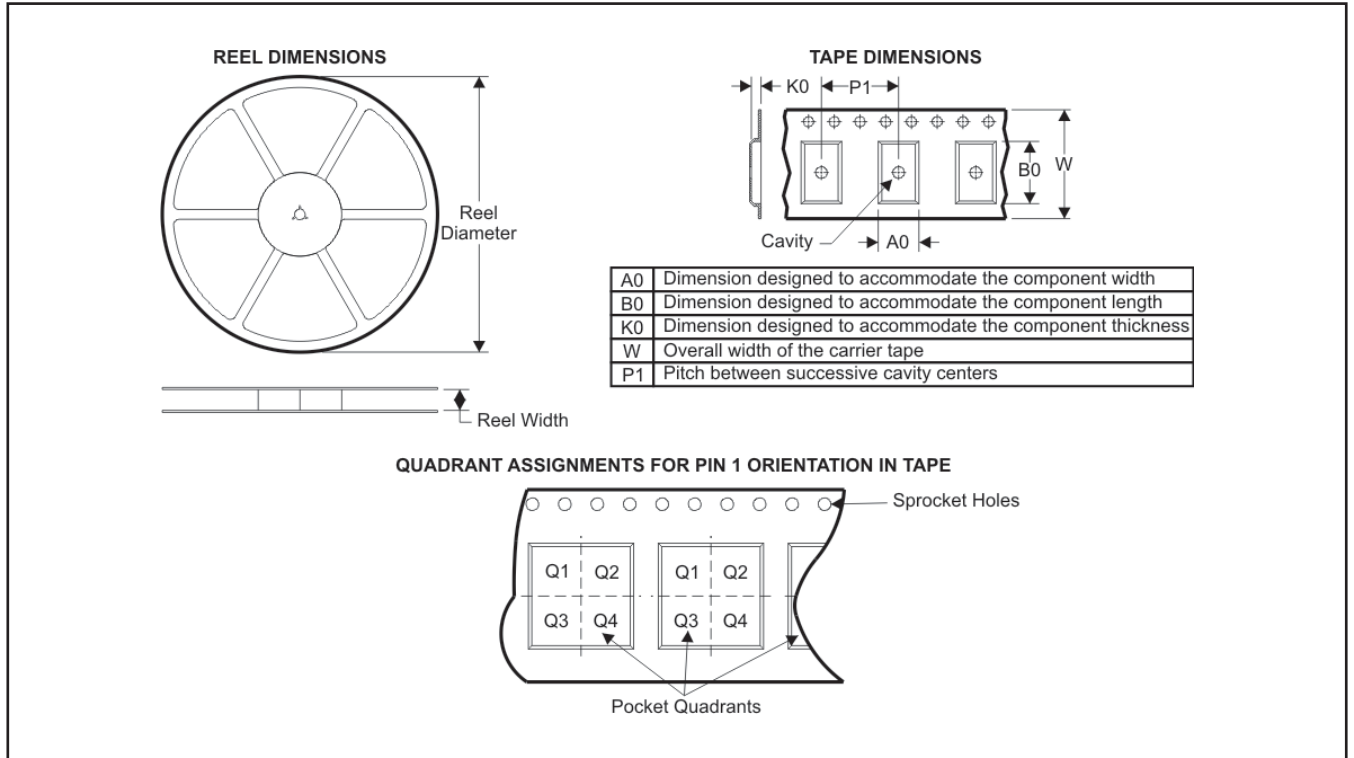
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。



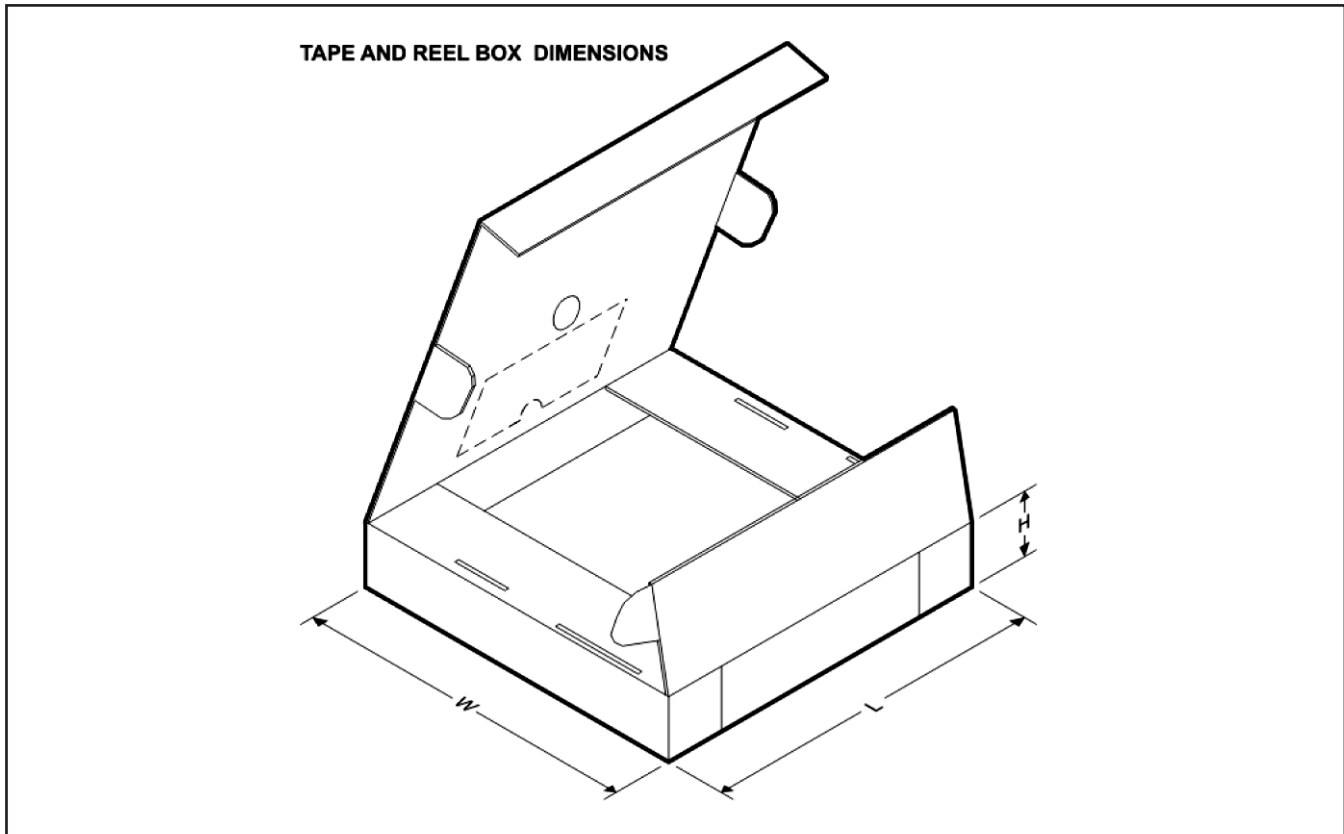
# パッケージ・マテリアル情報

## TAPE AND REEL BOX INFORMATION

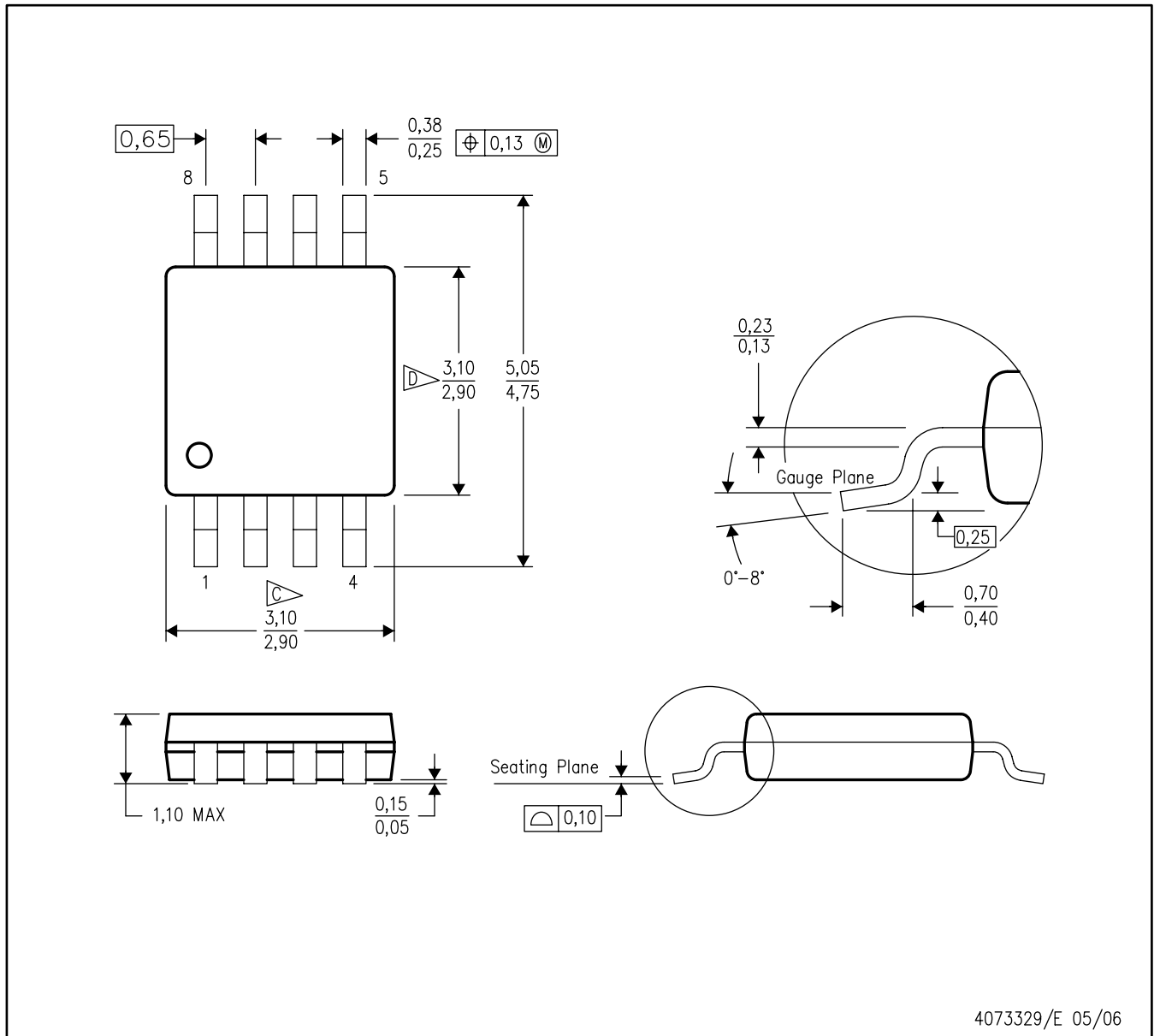


Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS74901KTWR	KTW	7	SITE 41	330	24	10.6	15.6	4.9	16	24	Q2
TPS74901KTWT	KTW	7	SITE 41	330	24	10.6	15.6	4.9	16	24	Q2
TPS74901RGWR	RGW	20	SITE 41	330	12	5.3	5.3	1.5	8	12	Q2
TPS74901RGWT	RGW	20	SITE 41	180	12	5.3	5.3	1.5	8	12	Q2

## パッケージ・材料情報

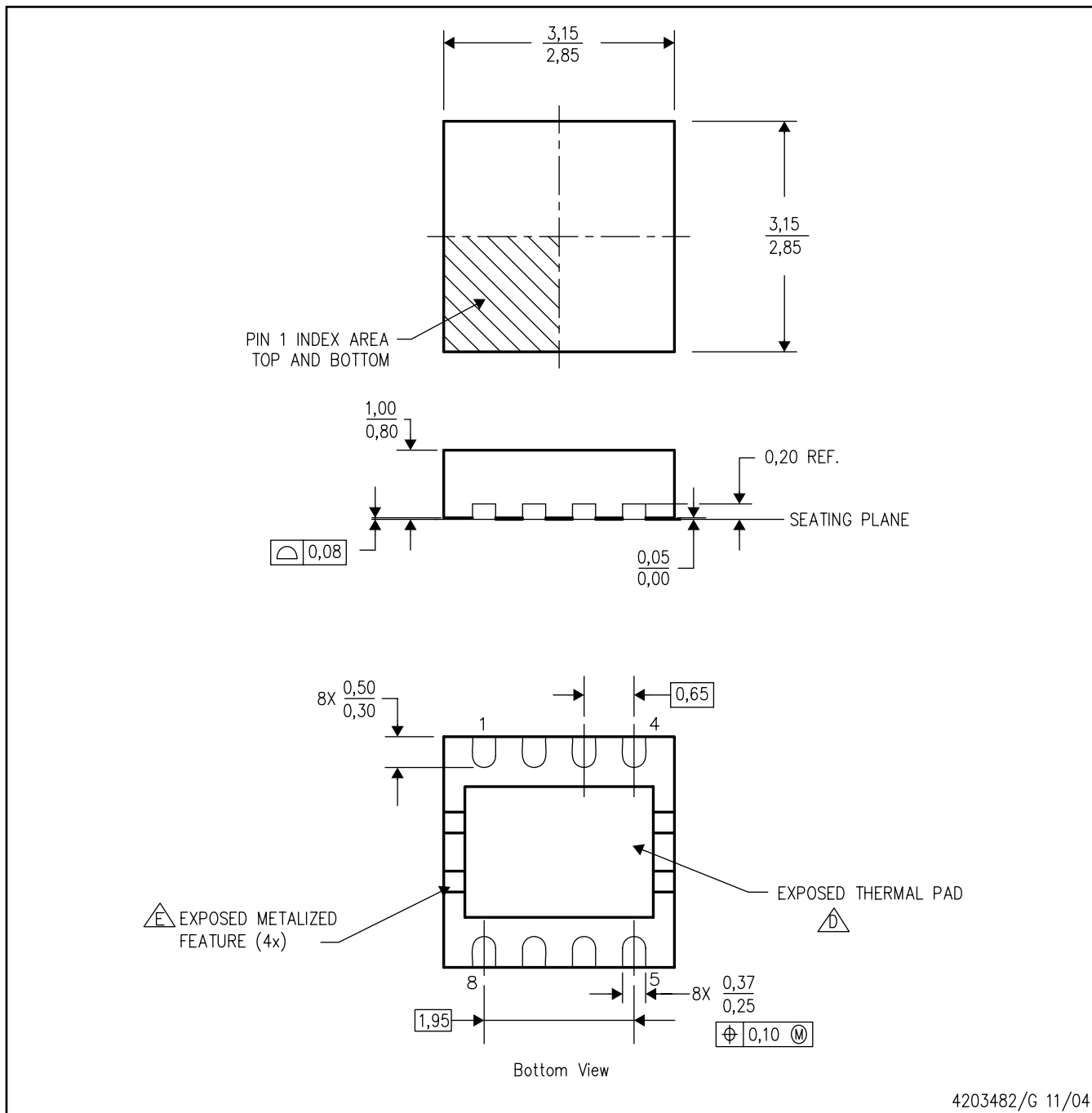




Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
OPA2727AIDR	D	8	SITE 41	346.0	346.0	29.0
OPA2727AIDRBR	DRB	8	SITE 41	346.0	346.0	29.0
OPA2727AIDRBT	DRB	8	SITE 41	190.0	212.7	31.75
OPA4727AIPWR	PW	14	SITE 41	346.0	346.0	29.0
OPA727AIDGKR	DGK	8	SITE 41	346.0	346.0	29.0
OPA727AIDGKT	DGK	8	SITE 41	184.0	184.0	50.0
OPA727AIDRBR	DRB	8	SITE 41	346.0	346.0	29.0
OPA727AIDRBT	DRB	8	SITE 41	190.0	212.7	31.75
OPA728AIDGKR	DGK	8	SITE 41	346.0	346.0	29.0
OPA728AIDGKT	DGK	8	SITE 41	184.0	184.0	50.0
OPA728AIDRBR	DRB	8	SITE 41	346.0	346.0	29.0
OPA728AIDRBT	DRB	8	SITE 41	190.0	212.7	31.75



4073329/E 05/06

- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C** Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
  - D** Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
  - E. Falls within JEDEC MO-187 variation AA, except interlead flash.



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - B. This drawing is subject to change without notice.
  - C. Small Outline No-Lead (SON) package configuration.
  -  The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
  -  Metalized features are supplier options and may not be on the package.

# サーマルパッド・メカニカル・データ

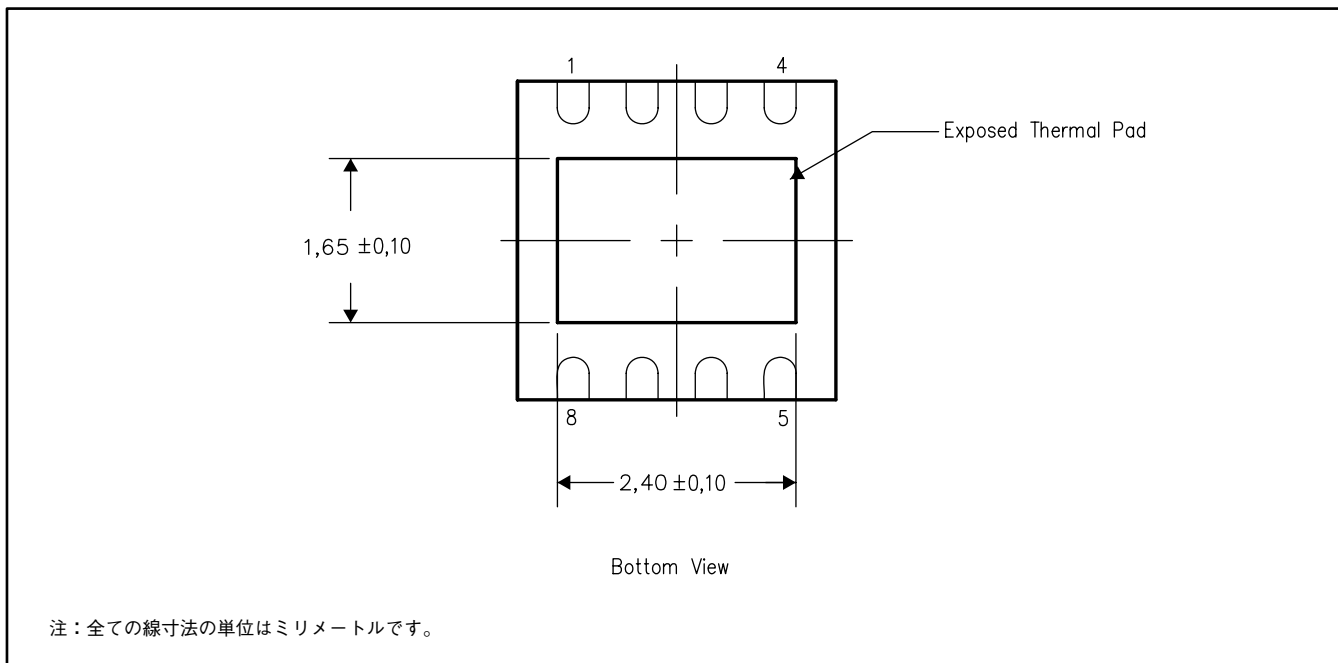
## DRB (S-PDSO-N8)

### 熱特性について

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマルビアを使用して、サーマルパッドをグランドプレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーションレポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SCBA017)を参照してください。このドキュメントは、ホームページ[www.ti.com](http://www.ti.com)もしくは[www.tij.co.jp](http://www.tij.co.jp)で入手できます。

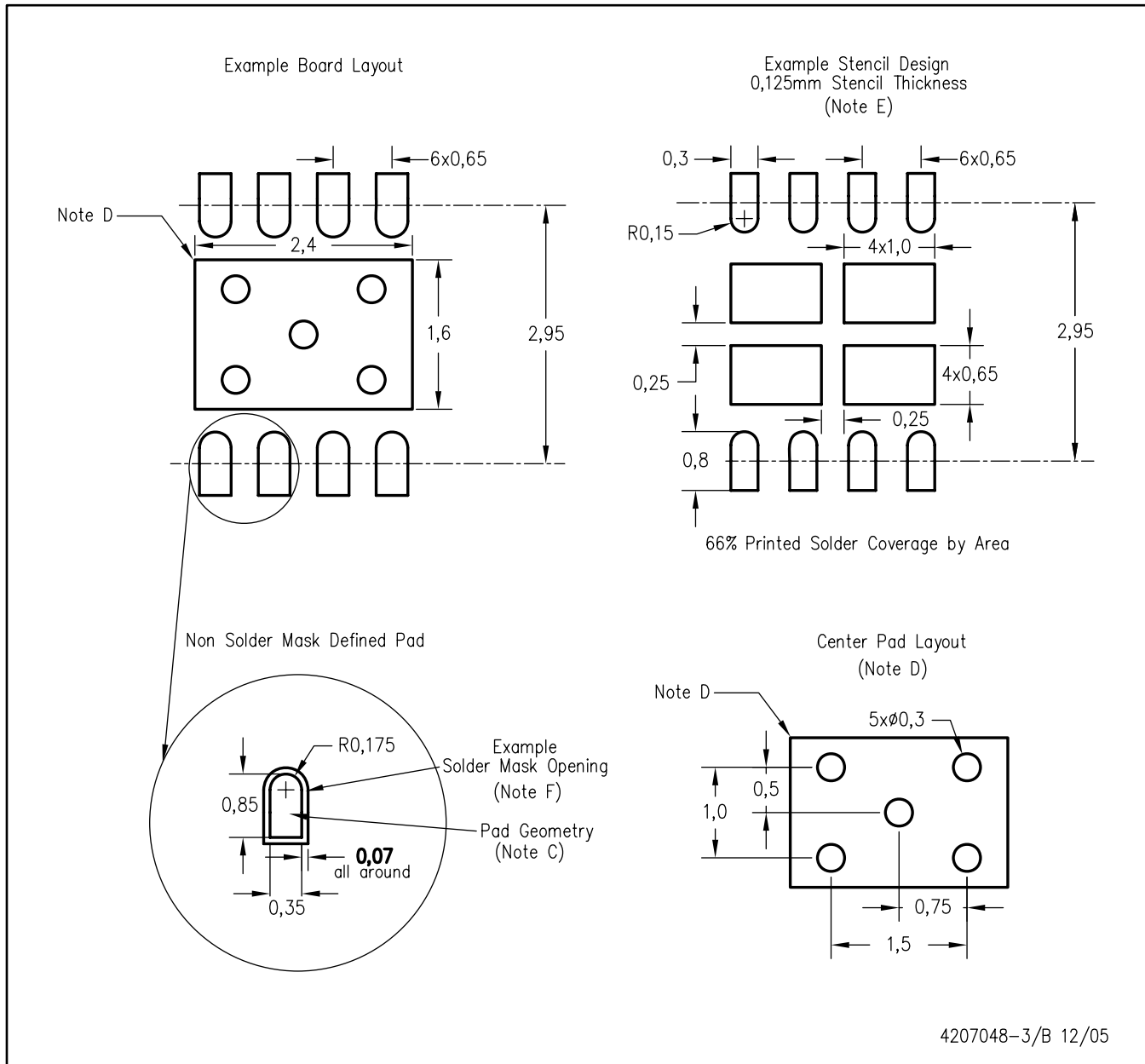
このパッケージの露出したサーマルパッドの寸法を次の図に示します。



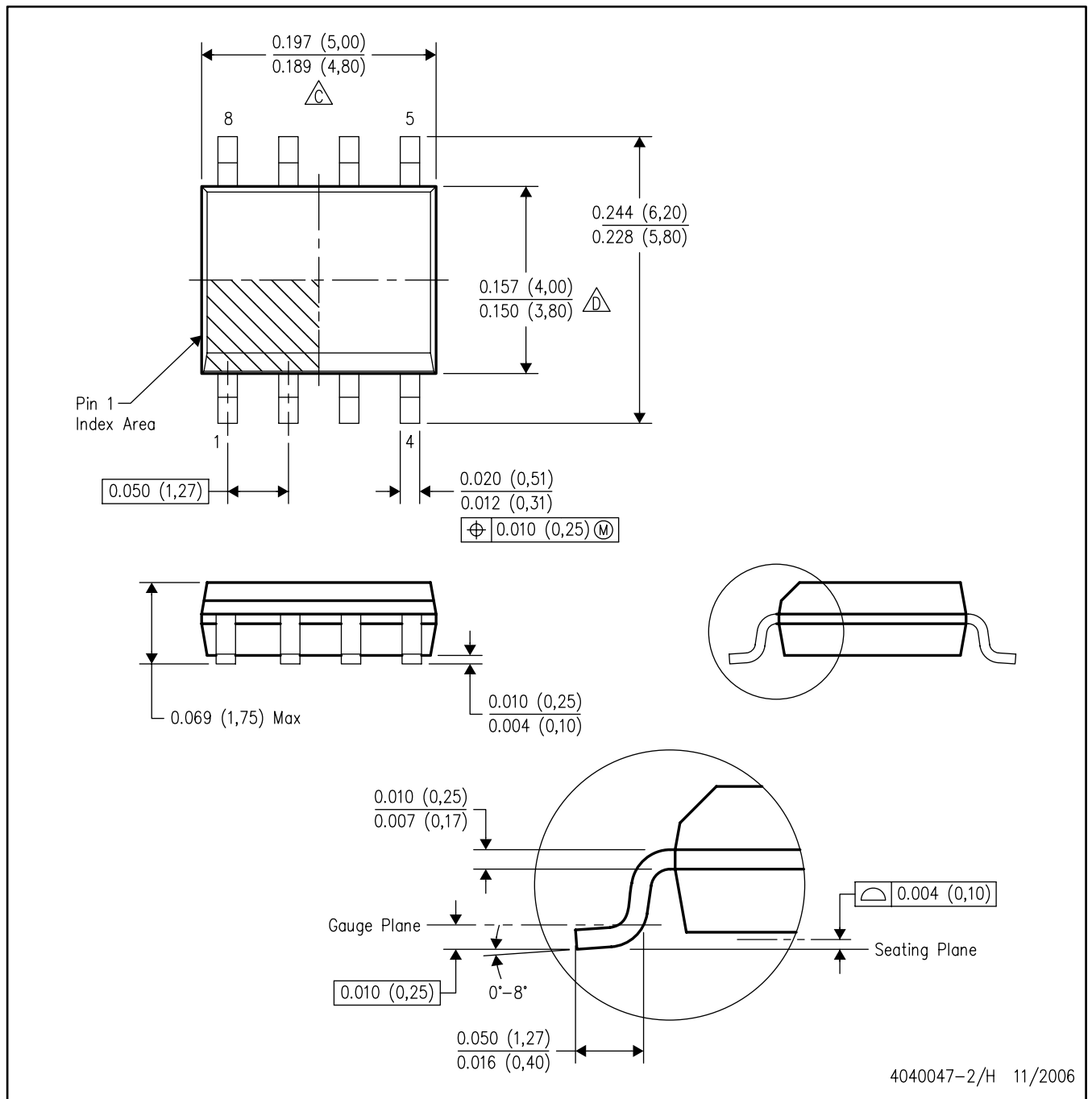
サーマルパッド寸法図

# ランド・パターン

DRB (S-PDSO-N8)



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, QFN Packages, Texas Instruments Literature No. SCBA017, SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at [www.ti.com](http://www.ti.com) <<http://www.ti.com>>.
  - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
  - F. Customers should contact their board fabrication site for solder mask tolerances.



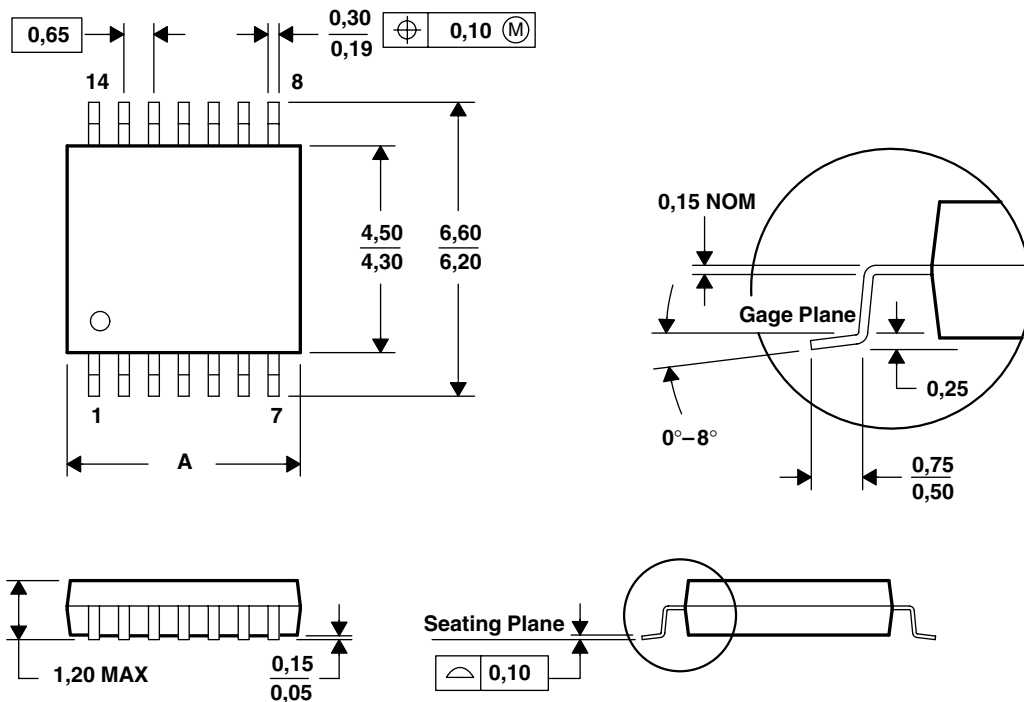
- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - $\triangle C$  Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
  - $\triangle D$  Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
  - E. Reference JEDEC MS-012 variation AA.

# メカニカル・データ

PW (R-PDSO-G\*\*)

14 PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



DIM \ PINS **	8	14	16	20	24	28
A MAX	3,10	5,10	5,10	6,60	7,90	9,80
A MIN	2,90	4,90	4,90	6,40	7,70	9,60

4040064/F 01/97

- NOTES: A. All linear dimensions are in millimeters.  
 B. This drawing is subject to change without notice.  
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.  
 D. Falls within JEDEC MO-153

(SBOS314H)



# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上