

OPA859 1.8 GHz ユニティ ゲイン帯域幅、3.3nV/√Hz、FET 入力アンプ

1 特長

- 高いユニティ ゲイン帯域幅: 1.8GHz
- ゲイン帯域幅積: 900MHz
- 非常に低いバイアス電流 MOSFET 入力: 10pA
- 小さい入力電圧ノイズ: 3.3nV/√Hz
- スルーレート: 1150V/μs
- 低入力容量:
 - 同相: 0.6pF
 - 差動: 0.2pF
- 広い入力同相範囲:
 - 正電源から 1.4V
 - 負電源を含む
- TIA 構成で 2.5V_{pp} の出力シング
- 電源電圧範囲: 3.3V ~ 5.25V
- 静止電流: 20.5mA
- パッケージ: 8 ピン WSON
- 温度範囲: -40°C ~ +125°C

2 アプリケーション

- 光学時間領域反射率測定 (OTDR)
- 3D スキャナ
- レーザーによる測距
- ソリッド ステート スキャン LIDAR
- 光学 ToF 位置センサ
- ドローン ビジョン
- 産業用ロボットの LIDAR
- 掃除ロボットの LIDAR
- シリコン光電子増倍素子 (SiPM) バッファ アンプ
- フォトマルチプライヤ管のポスト アンプ

3 説明

OPA859 は、広帯域トランスインピーダンスおよび電圧アンプ アプリケーション用の広帯域、低ノイズの CMOS 入力オペアンプです。本デバイスをトランスインピーダンスアンプ (TIA) として構成した場合、0.9GHz のゲイン帯域幅積 (GBWP) により、低容量フォトダイオード アプリケーションで高い閉ループ帯域幅を実現できます。

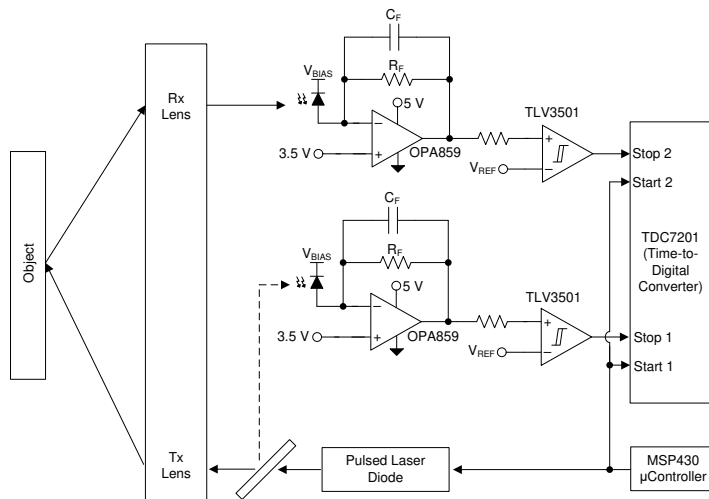
次のグラフは、アンプが TIA として構成されているときの OPA859 の帯域幅およびノイズ特性を、フォトダイオード容量の関数として示したものです。合計ノイズは、dc から左側のスケールで計算された周波数 (f) までの帯域幅の範囲にわたって計算されます。OPA859 のパッケージにはフィードバック ピン (FB) があるため、入力と出力の間の帰還回路接続が簡単になります。

OPA859 は、OPA859 を TDC7201 などの時間 / デジタル コンバータと組み合わせて使用する光学的タイム オブフライト (ToF) システムで動作するよう最適化されています。OPA859 を使うと、THS4541 や LMH5401 デバイスなどの差動出力アンプを接続した高分解能 LIDAR システムの高速 A/D コンバータ (ADC) を駆動できます。

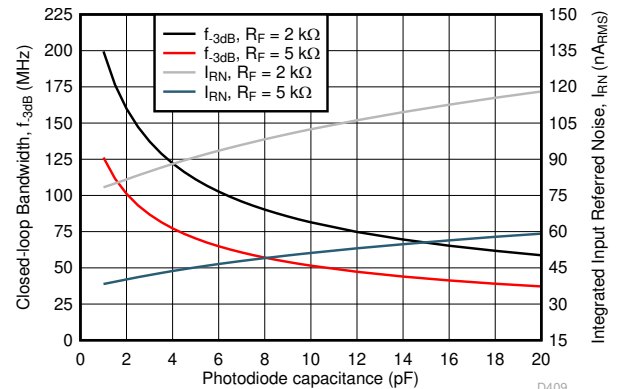
パッケージ情報

部品番号 (1)	パッケージ (2)	パッケージ サイズ (3)
OPA859	DSG (WSON, 8)	2mm × 2mm
	ベア ダイ	0.751mm × 0.705mm

- (1) デバイス比較表を参照してください。
- (2) 詳細については、セクション 12 を参照してください。
- (3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



高速タイム オブフライト レシーバ



フォトダイ オード容量と帯域幅およびノイズとの関係



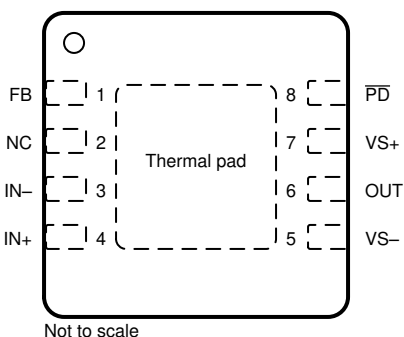
目次

1 特長.....	1	8.4 デバイスの機能モード.....	21
2 アプリケーション.....	1	9 アプリケーションと実装.....	22
3 説明.....	1	9.1 アプリケーション情報.....	22
4 デバイス比較表.....	2	9.2 代表的なアプリケーション.....	22
5 ピン構成および機能.....	3	9.3 電源に関する推奨事項.....	25
6 仕様.....	5	9.4 レイアウト.....	26
6.1 絶対最大定格.....	5	10 デバイスおよびドキュメントのサポート.....	27
6.2 ESD 定格.....	5	10.1 デバイス サポート.....	27
6.3 推奨動作条件.....	5	10.2 ドキュメントのサポート.....	27
6.4 熱に関する情報.....	5	10.3 ドキュメントの更新通知を受け取る方法.....	27
6.5 電気的特性.....	6	10.4 サポート・リソース.....	27
6.6 代表的特性.....	8	10.5 商標.....	27
7 パラメータ測定情報.....	16	10.6 静電気放電に関する注意事項.....	27
8 詳細説明.....	17	10.7 用語集.....	27
8.1 概要.....	17	11 改訂履歴.....	28
8.2 機能ブロック図.....	17	12 メカニカル、パッケージ、および注文情報.....	28
8.3 機能説明.....	18		

4 デバイス比較表

デバイス	入力タイプ	最小安定ゲイン	電圧ノイズ (nV/√Hz)	入力容量 (pF)	ゲイン帯域幅 (GHz)
OPA859	CMOS	1 V/V	3.3	0.8	0.9
OPA858	CMOS	7 V/V	2.5	0.8	5.5
OPA855	バイポーラ	7 V/V	0.98	0.8	8
LMH6629	バイポーラ	10 V/V	0.69	5.7	4

5 ピン構成および機能



**図 5-1. DSG パッケージ、
8 ピン WSON (露出サーマルパッド付き)
(上面図)**

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
FB	1	入力	アンプの出力への帰還接続
IN-	3	入力	反転入力
IN+	4	入力	非反転入力
NC	2	—	接続しない
OUT	6	出力	アンプの出力
PD	8	入力	パワー ダウン接続。PD = 論理 Low = 電源オフ モード、PD = 論理 High = 通常動作。
VS-	5	—	負電源電圧
VS+	7	—	正電源電圧
サーマル パッド		—	サーマル パッドを VS- に接続します。

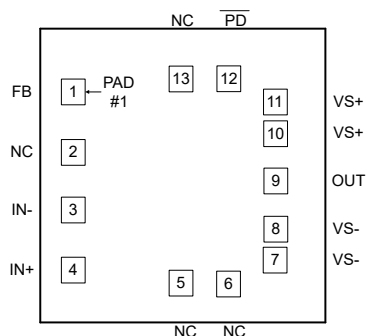


図 5-2. ペア ダイ パッケージ

表 5-2. 接着パッド機能

PAD		タイプ	説明
名称	番号		
FB	1	入力	アンプの出力への帰還接続
IN-	3	入力	反転入力
IN+	4	入力	非反転入力
NC	2、5、6、13	—	接続しない
OUT	9	出力	アンプの出力
PD	12	入力	パワー ダウン接続。 $\overline{\text{PD}}$ = 論理 Low = 電源オフ モード、 $\overline{\text{PD}}$ = 論理 High = 通常動作。
VS-	7.8	—	負電源電圧
VS+	10.11	—	正電源電圧
裏面		—	VS- に接続

表 5-3. ペア ダイの情報

ダイの厚さ	裏面仕上げ	裏面電位	接着パッド メタライゼーション
381μm	シリコン (バックグラインド加工)	裏面のウェハは VS- に電氣的に接続されています	AlCu

表 5-4. ペア ダイ バージョンの接着パッドの座標 (ミクロン単位)

パッド番号	パッド名	X- 最小	Y- 最小	X- 最大	Y- 最大
1	FB	14.5	537.4	79.5	602.4
2	NC	14.5	379	79.5	444
3	IN-	14.5	227	79.5	292
4	IN+	14.5	68.6	79.5	133.6
5	NC	296.725	34.825	361.725	99.825
6	NC	421.725	34.825	486.725	99.825
7	VS-	545.5	93.8	610.5	158.8
8	VS-	545.5	178.8	610.5	243.8
9	OUT	545.5	303	610.5	368
10	VS+	545.5	427.2	610.5	492.2
11	VS+	545.5	512.2	610.5	577.2
12	PD	421.325	571.175	486.325	636.175
13	NC	297.125	571.175	362.125	636.175

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_S	全電源電圧 ($V_{S+} - V_{S-}$)		5.5	V
V_{IN+}, V_{IN-}	入力電圧	$(V_{S-}) - 0.5$	$(V_{S+}) + 0.5$	V
V_{ID}	差動入力電圧		1	V
V_{OUT}	出力電圧	$(V_{S-}) - 0.5$	$(V_{S+}) + 0.5$	V
I_{IN}	連続入力電流		±10	mA
I_{OUT}	連続出力電流 ⁽²⁾		±100	mA
T_J	接合部温度		150	°C
T_A	自由空気での動作温度	-40	125	°C
T_{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) エレクトロマイグレーションを制限するための長期的な連続出力電流。

6.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±1500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	全電源電圧 ($V_{S+} - V_{S-}$)	3.3	5	5.25	V
T_A	自由空気での動作温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		OPA859	単位
		DSG (WSON)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	80.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	100	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	45	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	6.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	45.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	22.7	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性

$V_{S+} = 5V$ 、 $V_{S-} = 0V$ 、中間電源で入力同相バイアス、ユニティゲイン構成、 $R_L = 200\Omega$ 、出力負荷は中間電源を基準、 $T_A \approx +25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
AC 特性						
SSBW	小信号帯域幅	$V_{OUT} = 100\text{ mV}_{PP}$		1.8		GHz
LSBW	大信号帯域幅	$V_{OUT} = 2\text{ V}_{PP}$		400		MHz
GBWP	ゲイン帯域幅積			900		MHz
	0.1dB の平坦度に対する帯域幅			140		MHz
SR	スルー レート (10%-90%)	$V_{OUT} = 2\text{-V ステップ}$		1150		V/ μs
t_r	立ち上がり時間	$V_{OUT} = 100\text{-mV ステップ}$		0.3		ns
t_f	立ち下がり時間	$V_{OUT} = 100\text{-mV ステップ}$		0.3		ns
	0.1% までのセトリング タイム	$V_{OUT} = 2\text{-V ステップ}$		8		ns
	0.001% までのセトリング タイム	$V_{OUT} = 2\text{-V ステップ}$		3000		ns
	オーバーシュート/アンダーシュート	$V_{OUT} = 2\text{-V ステップ}$		7%		
HD2	2 次高調波歪	$f = 10\text{MHz}$ 、 $V_{OUT} = 2\text{V}_{PP}$		90		dBc
		$f = 100\text{MHz}$ 、 $V_{OUT} = 2\text{V}_{PP}$		60		
HD3	3 次高調波歪	$f = 10\text{MHz}$ 、 $V_{OUT} = 2\text{V}_{PP}$		86		dBc
		$f = 100\text{MHz}$ 、 $V_{OUT} = 2\text{V}_{PP}$		64		
e_n	入力換算電圧ノイズ	$f = 1\text{MHz}$		3.3		nV/ $\sqrt{\text{Hz}}$
Z_{OUT}	閉ループ出力インピーダンス	$f = 1\text{MHz}$		0.15		Ω
DC 特性						
A_{OL}	開ループ電圧ゲイン ⁽¹⁾		60	65		dB
V_{OS}	入力オフセット電圧 ⁽¹⁾	$T_A = 25^\circ C$	-5	± 0.9	5	mV
$\Delta V_{OS}/\Delta T$	入力オフセット電圧ドリフト	$T_A = -40^\circ C \sim +125^\circ C$		-2		$\mu V/^\circ C$
I_{BN} 、 I_{BI}	入力バイアス電流 ⁽¹⁾	$T_A = 25^\circ C$	-5	± 0.5	5	pA
I_{BOS}	入力オフセット電流 ⁽¹⁾	$T_A = 25^\circ C$	-5	± 0.1	5	pA
CMRR	同相信号除去比 ⁽¹⁾	$V_{CM} = \pm 0.5V$	70	84		dB
入力						
	同相入力抵抗			1		G Ω
C_{CM}	同相入力キャパシタンス			0.62		pF
	差動入力抵抗			1		G Ω
C_{DIFF}	差動入力容量			0.2		pF
V_{IH}	同相入力電圧 (high) ⁽¹⁾	$V_{S+} = 3.3V$ 、CMRR > 66dB	1.7	1.9		V
V_{IL}	同相入力電圧 (low) ⁽¹⁾	$V_{S+} = 3.3V$ 、CMRR > 66dB		0	0.4	V
V_{IH}	同相入力電圧 (high) ⁽¹⁾	CMRR > 66dB	3.4	3.6		V
		$T_A = -40^\circ C \sim +125^\circ C$ 、CMRR > 66dB		3.4		
V_{IL}	同相入力電圧 (low) ⁽¹⁾	CMRR > 66dB		0	0.4	V
		$T_A = -40^\circ C \sim +125^\circ C$ 、CMRR > 66dB		0.35	0.45	

6.5 電気的特性 (続き)

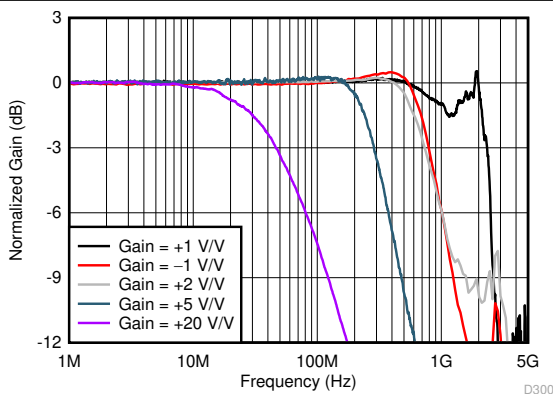
$V_{S+} = 5V$ 、 $V_{S-} = 0V$ 、中間電源で入力同相バイアス、ユニティゲイン構成、 $R_L = 200\Omega$ 、出力負荷は中間電源を基準、 $T_A \approx +25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
V _{OH}	出力電圧 (high)	V _{S+} = 3.3V、T _A = 25°C	2.3	2.4		V
		T _A = 25°C	3.95	4.1		
		T _A = -40°C～+125°C		3.9		
V _{OL}	出力電圧 (low)	V _{S+} = 3.3V、T _A = 25°C		1.05	1.15	V
		T _A = 25°C		1.1	1.15	
		T _A = -40°C～+125°C		1.2		
I _{O_LIN}	リニア出力駆動 (シンクおよびソース) ⁽¹⁾	R _L = 10Ω、A _{OL} > 52dB	65	76		mA
		T _A = -40°C ～ +125°C、R _L = 10Ω、A _{OL} > 52dB		64		
I _{SC}	出力短絡検出電流 ⁽¹⁾		85	105		mA
電源						
I _Q	静止時電流	V _{S+} = 5V	18	20.5	24	mA
		V _{S+} = 3.3V	17.5	20	23.5	
		V _{S+} = 5.25V	18	21	24	
		T _A = 125°C		24.5		
		T _A = -40°C		18.5		
PSRR+	正の電源電圧変動除去比 ⁽¹⁾		66	74		dB
PSRR-	負の電源電圧変動除去比 ⁽¹⁾		64	72		
パワーダウン						
	電圧スレッシュホールド無効化	この電圧未満の場合、アンプはオフになります	0.65	1		V
	電圧スレッシュホールド有効化	この電圧よりも高い場合、アンプがオンになります		1.5	1.8	V
	パワーダウン静止時電流			70	140	μA
	\overline{PD} バイアス電流			70	200	μA
	ターンオン時間の遅延	V _{OUT} が最終値の 90% までの時間		25		ns
	ターンオフ時間の遅延			120		ns

(1) 最小値および最大値の制限値は、ベアダイには適用されません。

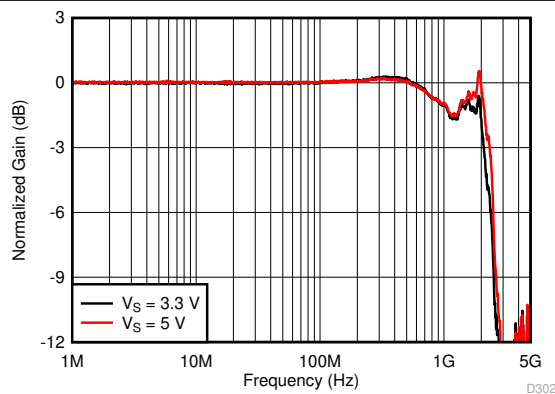
6.6 代表的特性

$T_A = 25^\circ\text{C}$, $V_{S+} = 2.5\text{V}$, $V_{S-} = -2.5\text{V}$, $V_{IN+} = 0\text{V}$, ゲイン = 1V/V , $R_F = 0\Omega$, $R_L = 200\Omega$, 出力負荷は中間電源を基準 (特に記述のない限り)



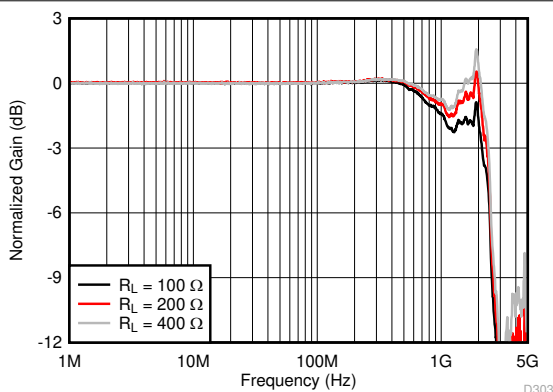
$V_{OUT} = 100\text{mV}_{PP}$, 回路構成については、[セクション 7](#) を参照してください

図 6-1. 小信号周波数応答とゲインとの関係



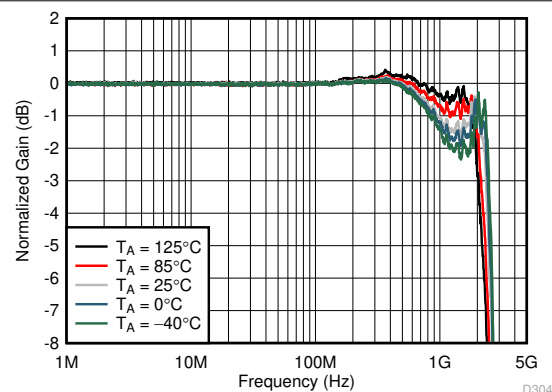
$V_{OUT} = 100\text{mV}_{PP}$

図 6-2. 小信号周波数応答と電源電圧との関係



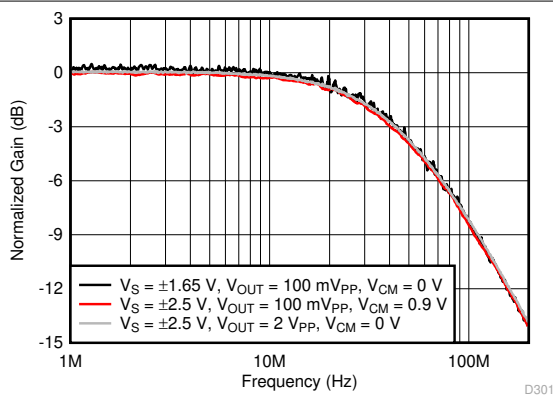
$V_{OUT} = 100\text{mV}_{PP}$

図 6-3. 小信号周波数応答と出力負荷との関係



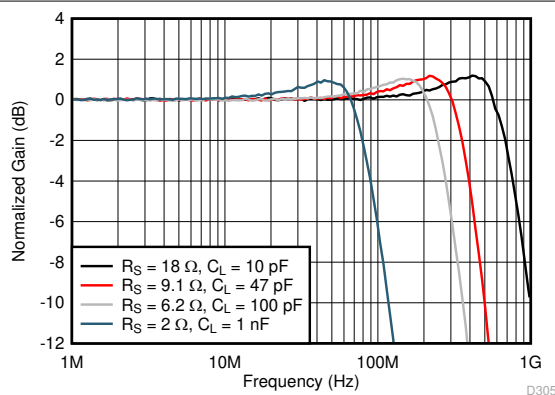
$V_{OUT} = 100\text{mV}_{PP}$

図 6-4. 小信号周波数応答と周囲温度との関係



ゲイン = 20V/V $R_F = 453\Omega$

図 6-5. ゲイン = 20V/V での周波数応答



$V_{OUT} = 100\text{mV}_{PP}$, 回路構成については、[図 7-4](#) を参照してください

図 6-6. 小信号周波数応答と容量性負荷との関係

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_{S+} = 2.5\text{V}$, $V_{S-} = -2.5\text{V}$, $V_{IN+} = 0\text{V}$, ゲイン = 1V/V , $R_F = 0\Omega$, $R_L = 200\Omega$, 出力負荷は中間電源を基準 (特に記述のない限り)

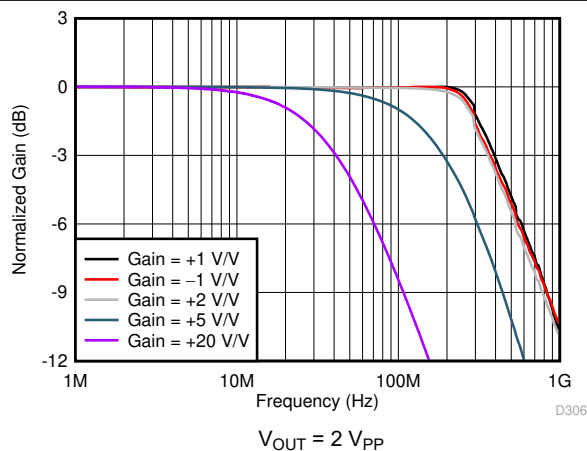


図 6-7. 大信号周波数応答とゲインとの関係

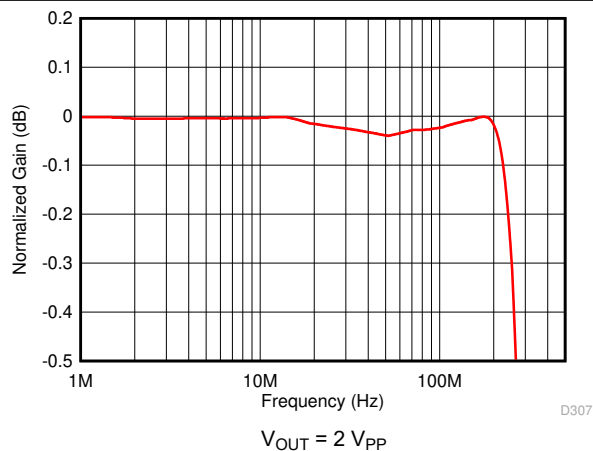


図 6-8. 0.1dB のゲイン フラットネスに対する大信号応答

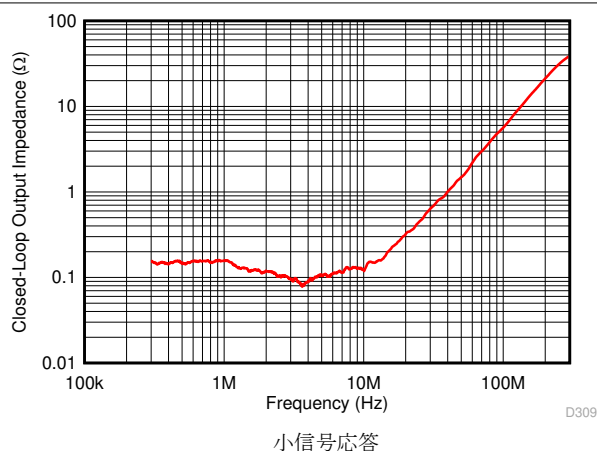


図 6-9. 閉ループ出力インピーダンスと周波数との関係

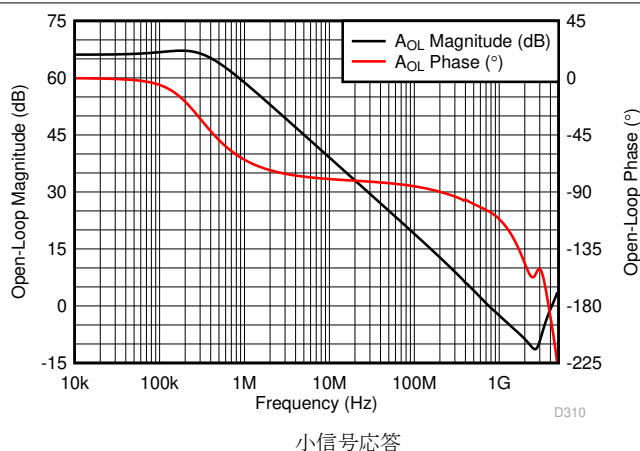


図 6-10. 開ループ振幅および位相と周波数との関係

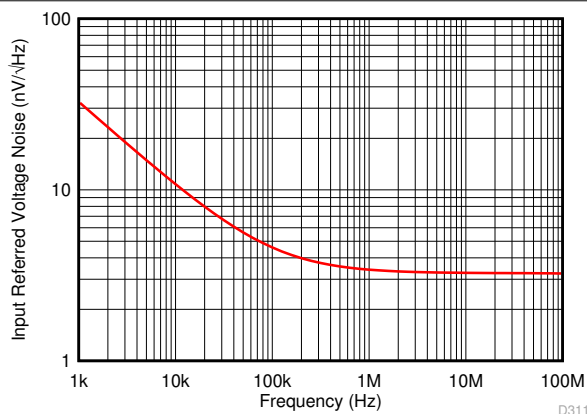


図 6-11. 電圧ノイズ密度と周波数との関係

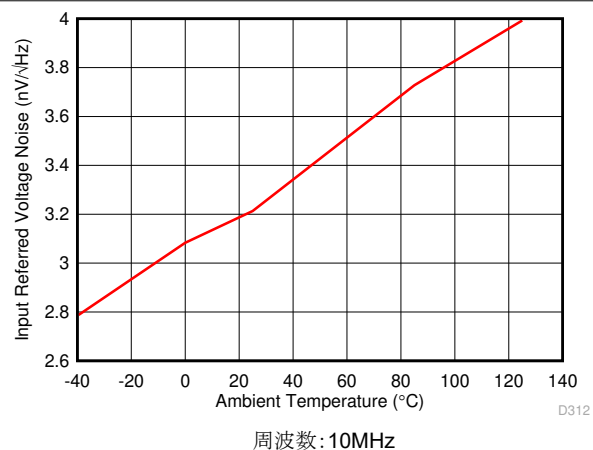


図 6-12. 電圧ノイズ密度と周囲温度との関係

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_{S+} = 2.5\text{V}$, $V_{S-} = -2.5\text{V}$, $V_{IN+} = 0\text{V}$, ゲイン = 1V/V , $R_F = 0\Omega$, $R_L = 200\Omega$, 出力負荷は中間電源を基準 (特に記述のない限り)

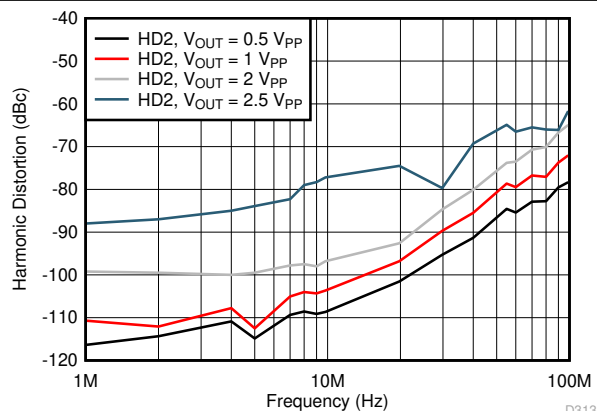


図 6-13. 高調波歪み (HD2) と出力スイングとの関係

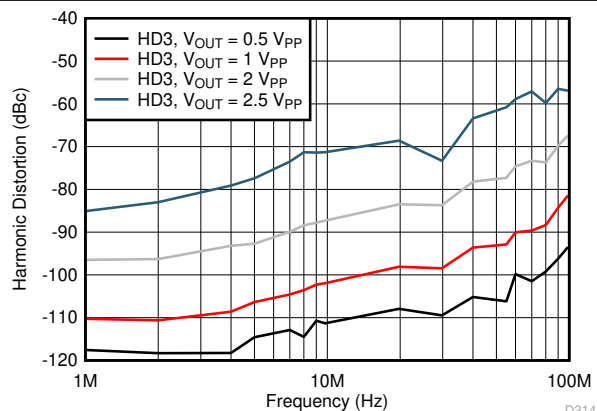


図 6-14. 高調波歪み (HD3) と出力スイングとの関係

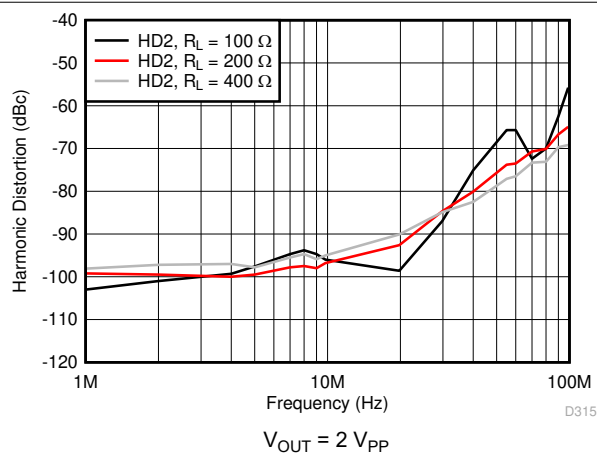


図 6-15. 高調波歪み (HD2) と出力電圧との関係

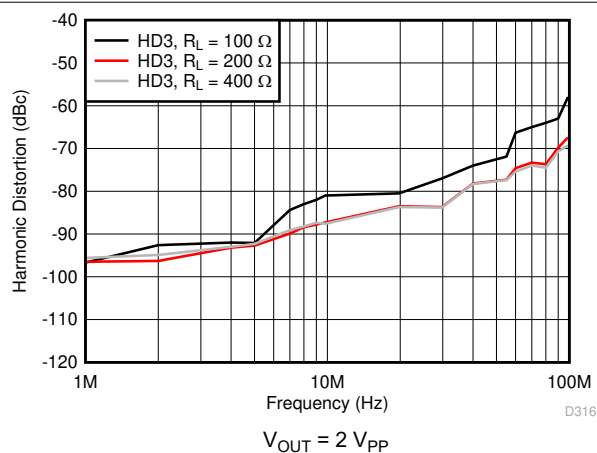


図 6-16. 高調波歪み (HD3) と出力電圧との関係

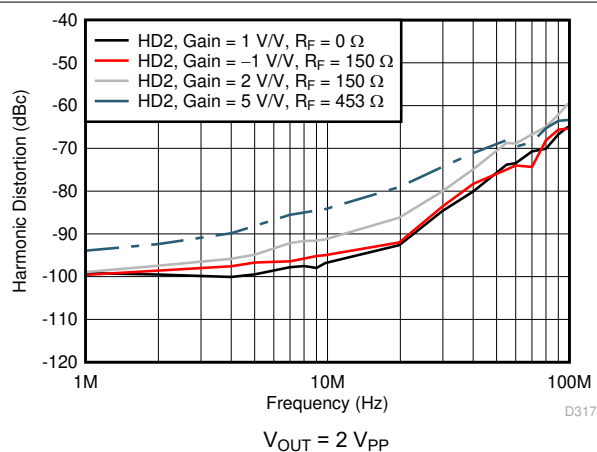


図 6-17. 高調波歪み (HD2) とゲインとの関係

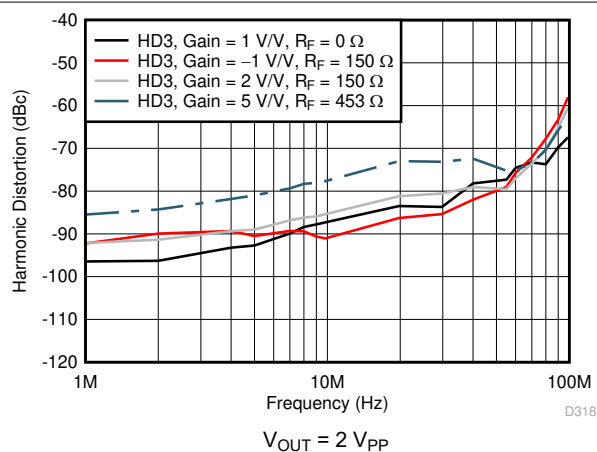
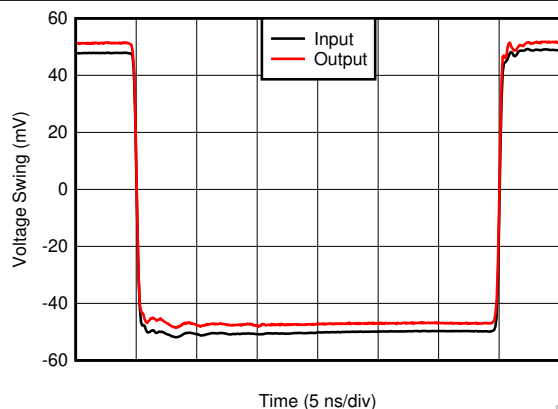


図 6-18. 高調波歪み (HD3) とゲインとの関係

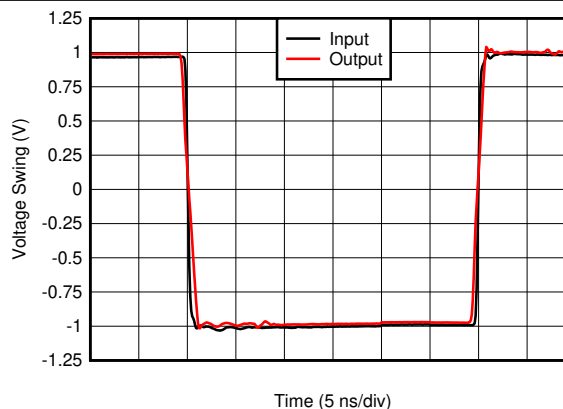
6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_{S+} = 2.5\text{V}$, $V_{S-} = -2.5\text{V}$, $V_{IN+} = 0\text{V}$, ゲイン = 1V/V , $R_F = 0\Omega$, $R_L = 200\Omega$, 出力負荷は中間電源を基準 (特に記述のない限り)



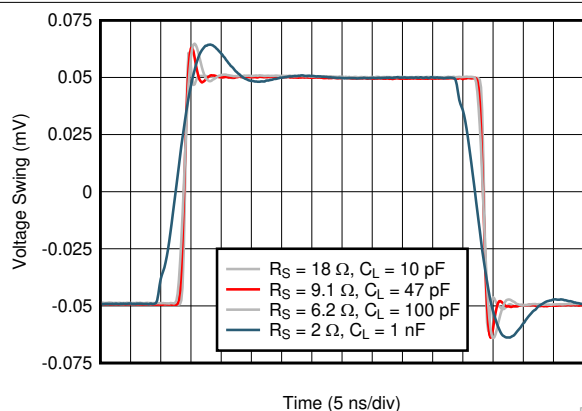
立ち上がり/立ち下がり時間の平均 (10% ~ 90%) = 450ps

図 6-19. 小信号過渡応答



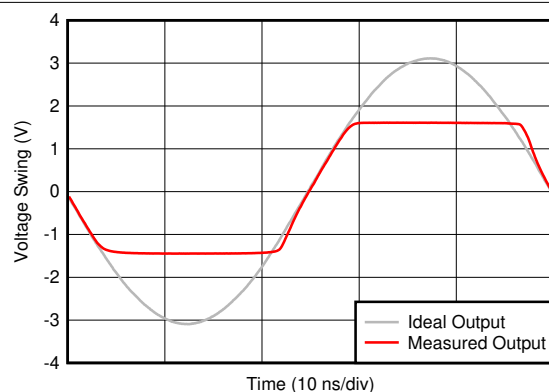
スルー レート: 立ち下がり = $1160\text{V}/\mu\text{s}$, 立ち上がり = $1400\text{V}/\mu\text{s}$

図 6-20. 大信号過渡応答



回路構成については、図 7-4 を参照してください

図 6-21. 小信号過渡応答と容量性負荷との関係



ゲイン = 5V/V , $R_F = 453\Omega$, $2\times$ 出力オーバードライブ

図 6-22. 出力過負荷応答

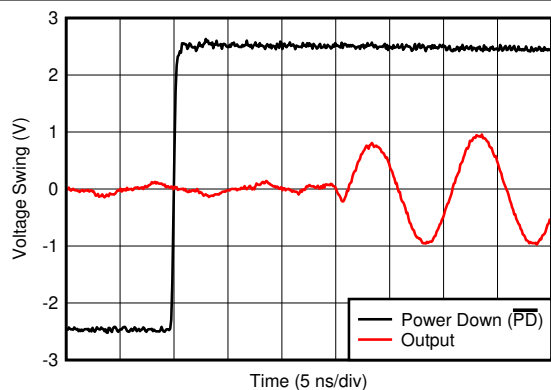


図 6-23. ターンオン過渡応答

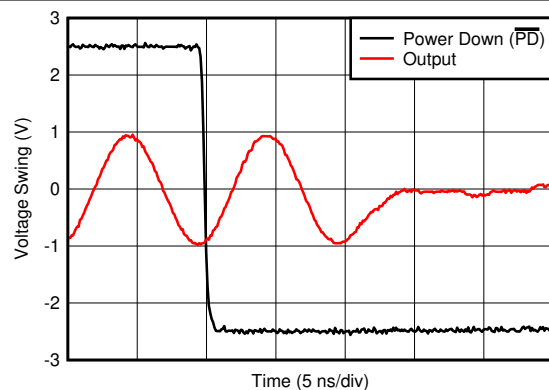
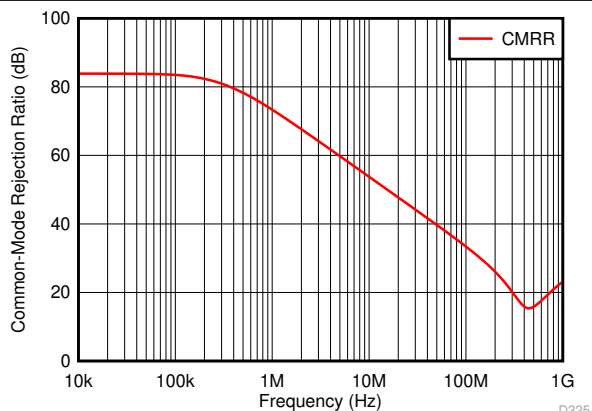


図 6-24. ターンオフ過渡応答

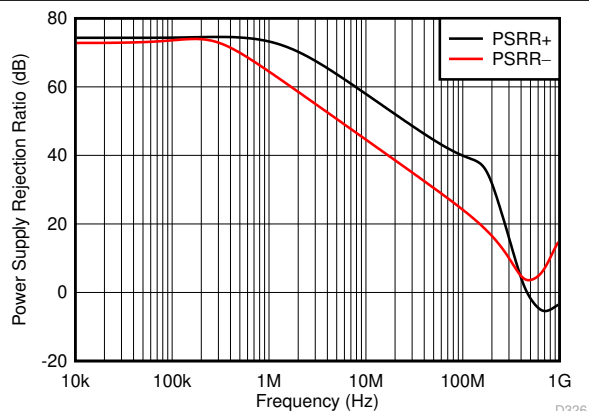
6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_{S+} = 2.5\text{V}$, $V_{S-} = -2.5\text{V}$, $V_{IN+} = 0\text{V}$, ゲイン = 1V/V , $R_F = 0\Omega$, $R_L = 200\Omega$, 出力負荷は中間電源を基準 (特に記述のない限り)



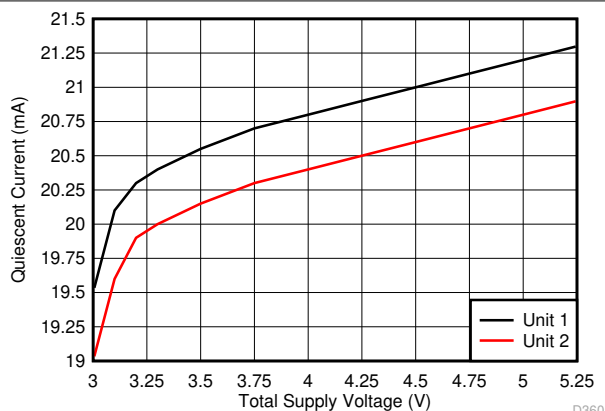
小信号応答

図 6-25. 同相除去比と周波数との関係



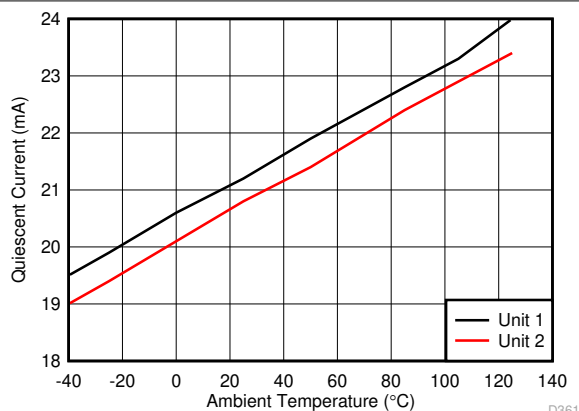
小信号応答

図 6-26. 電源除去比と周波数との関係



2 個の代表的なユニ
ット

図 6-27. 静止電流と電源電圧との関係



$V_S = 5\text{V}$ 2 個の代表的なユニ
ット

図 6-28. 静止電流と周囲温度の関係

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_{S+} = 2.5\text{V}$, $V_{S-} = -2.5\text{V}$, $V_{IN+} = 0\text{V}$, ゲイン = 1V/V , $R_F = 0\Omega$, $R_L = 200\Omega$, 出力負荷は中間電源を基準 (特に記述のない限り)

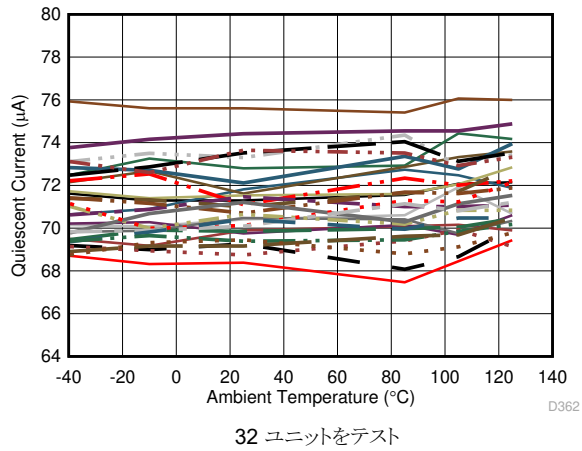


図 6-29. 静止電流 (アンプ ディセーブル) と周囲温度の関係

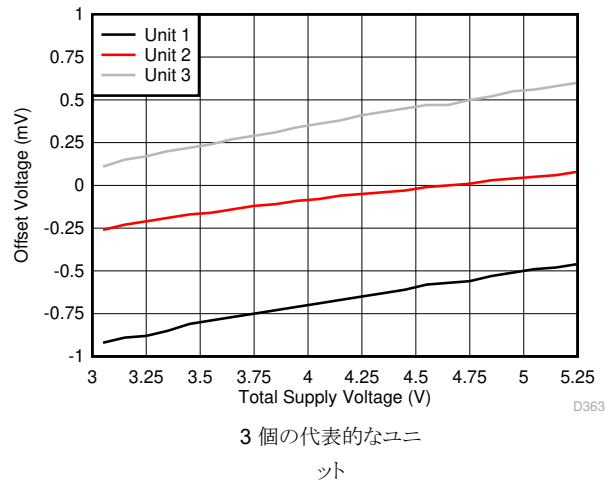


図 6-30. オフセット電圧と電源電圧との関係

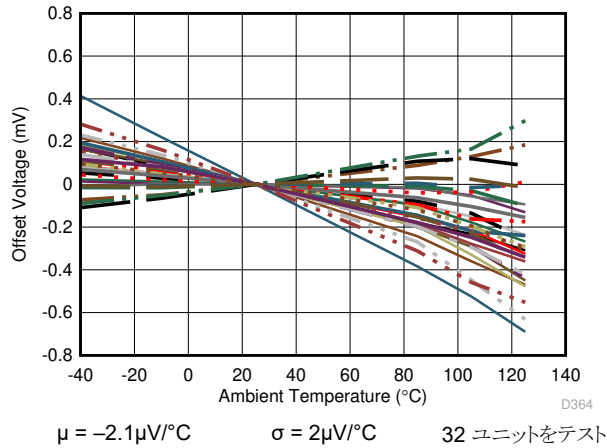


図 6-31. オフセット電圧と周囲温度との関係

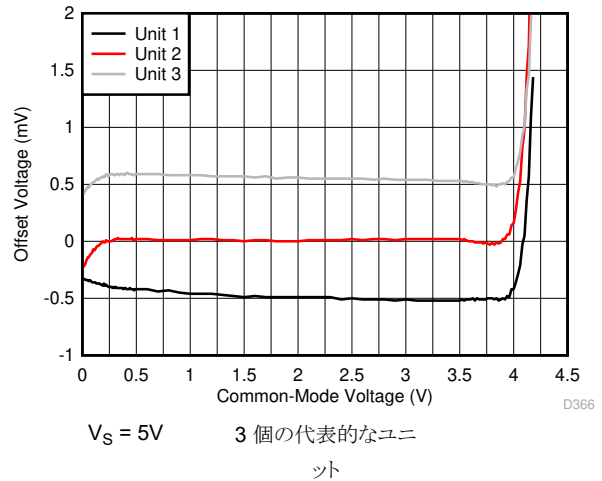


図 6-32. オフセット電圧 対 入力同相電圧

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{S+} = 2.5\text{V}$ 、 $V_{S-} = -2.5\text{V}$ 、 $V_{IN+} = 0\text{V}$ 、ゲイン = 1V/V 、 $R_F = 0\Omega$ 、 $R_L = 200\Omega$ 、出力負荷は中間電源を基準 (特に記述のない限り)

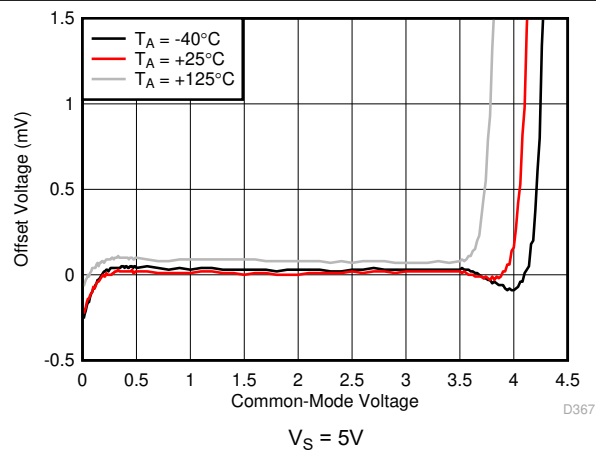


図 6-33. オフセット電圧、入力コモンモード電圧、周囲温度の関係

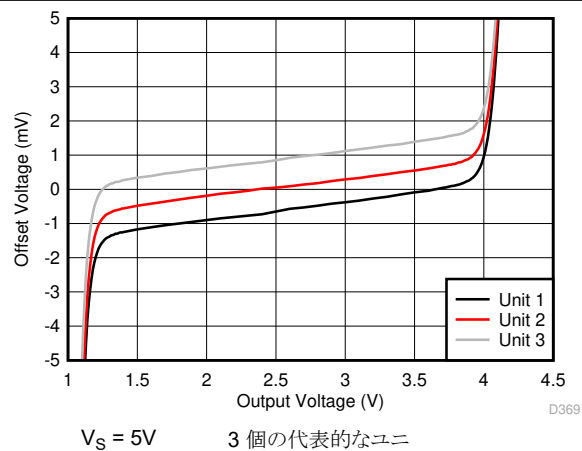


図 6-34. オフセット電圧と出力スイングとの関係

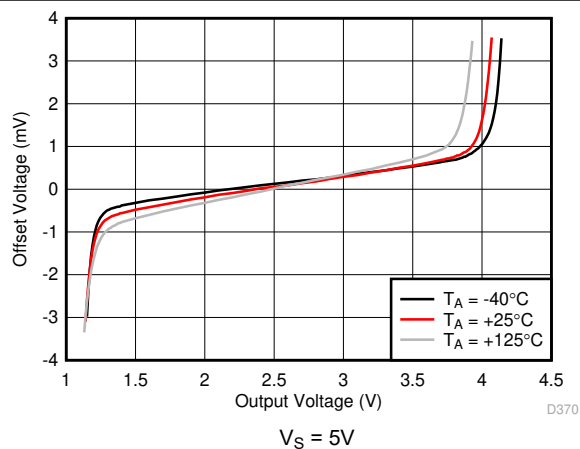


図 6-35. オフセット電圧と出力スイングと周囲温度との関係

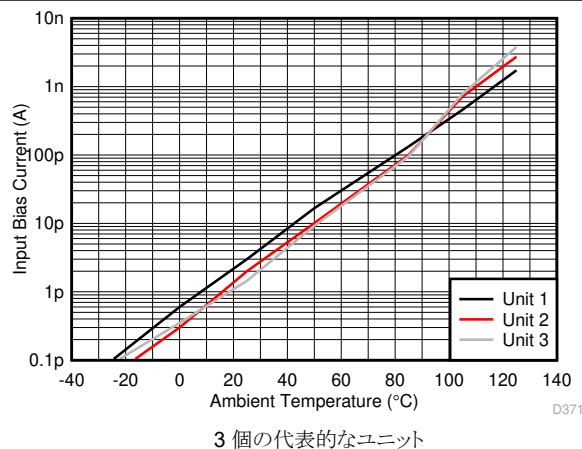


図 6-36. 入力バイアス電流と周囲温度との関係

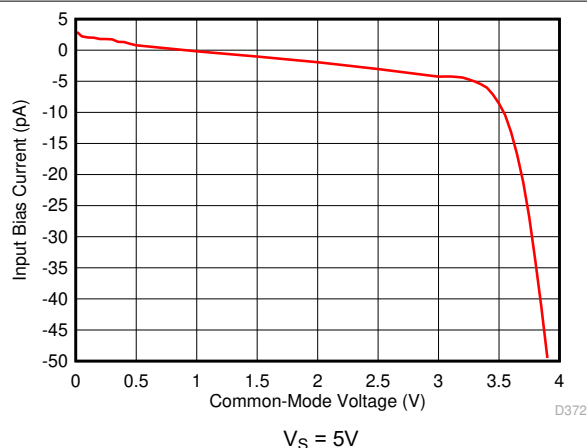


図 6-37. 入力バイアス電流と入力同相電圧との関係

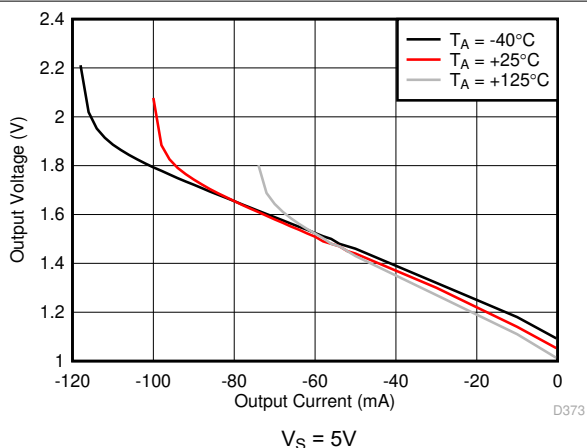


図 6-38. 出力スイングとシンク電流との関係

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_{S+} = 2.5\text{V}$, $V_{S-} = -2.5\text{V}$, $V_{IN+} = 0\text{V}$, ゲイン = 1V/V , $R_F = 0\Omega$, $R_L = 200\Omega$, 出力負荷は中間電源を基準 (特に記述のない限り)

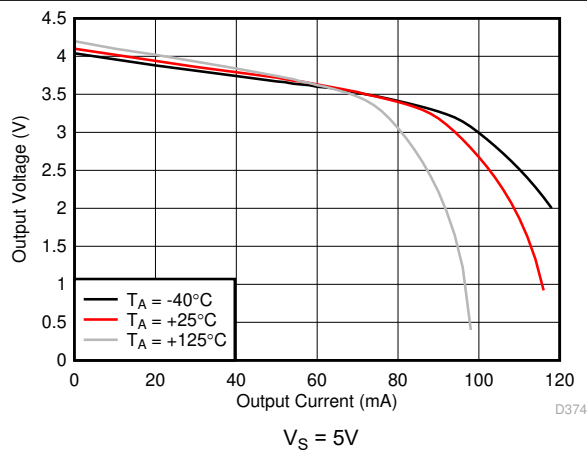


図 6-39. 出カスイングとソース電流との関係

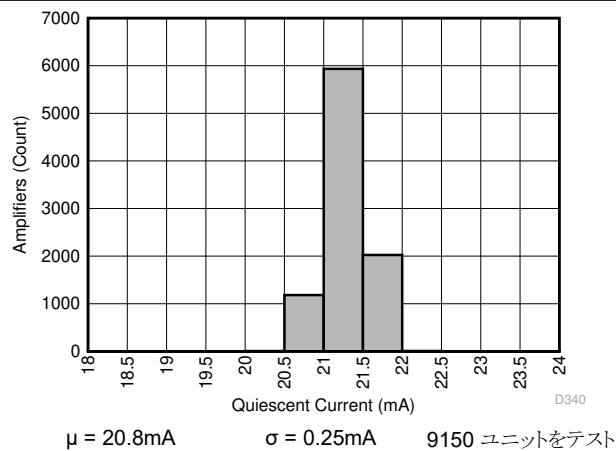


図 6-40. 静止時電流の分布

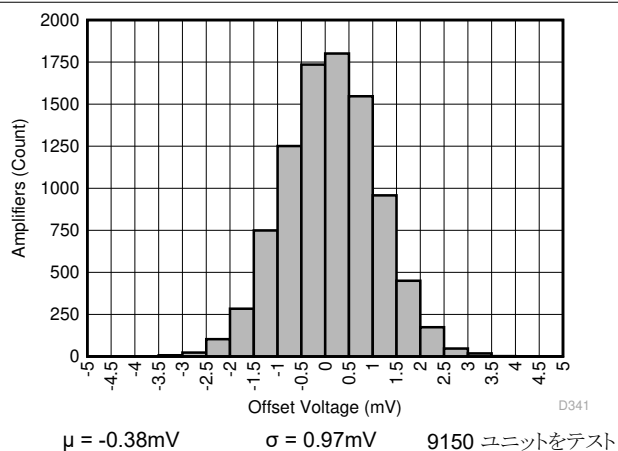


図 6-41. オフセット電圧の分布

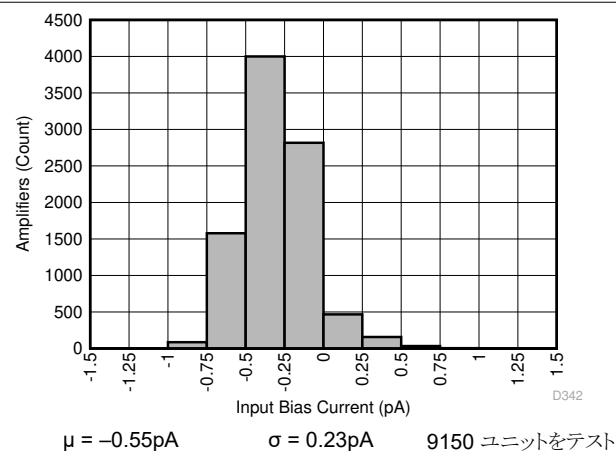


図 6-42. 入力バイアス電流の分布

7 パラメータ測定情報

OPA859 のさまざまなテスト設定構成を次の図に示します。OPA859 を 3V/V 未満のゲインの非反転アンプとして構成する場合は、 $R_F = 150\Omega$ に設定します。OPA859 をゲイン 4V/V 以上の非反転アンプとして構成する場合は、 $R_F = 453\Omega$ に設定します。

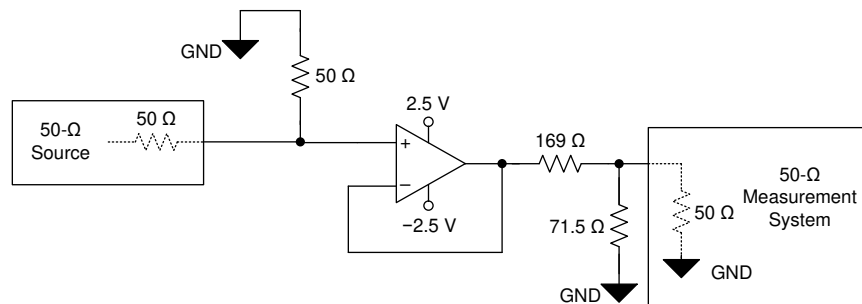
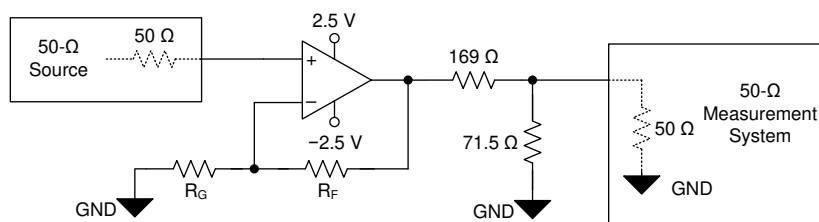


図 7-1. ユニティ ゲイン バッファ構成



R_G values depend on gain configuration

図 7-2. 非反転構成

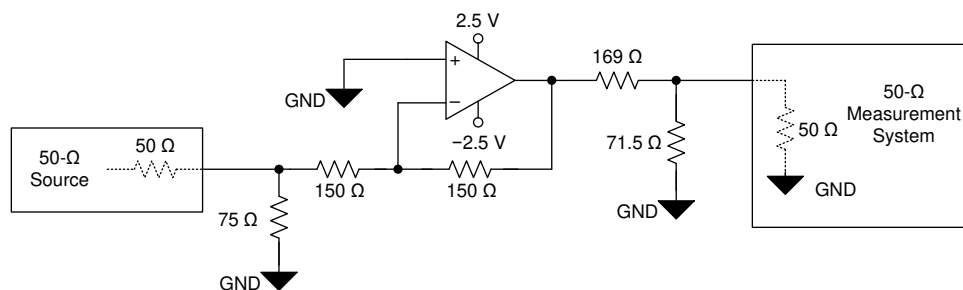


図 7-3. 反転構成 (ゲイン = -1V/V)

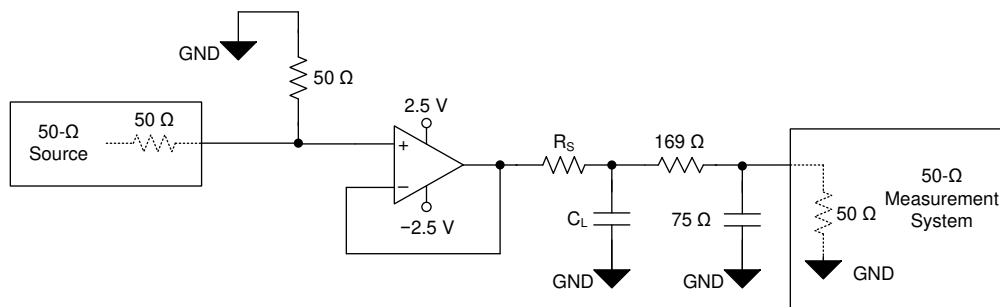


図 7-4. 容量性負荷ドライバ構成

8 詳細説明

8.1 概要

OPA859 の非常に広い 900MHz のゲイン帯域幅積 (GBWP) と、3.3nV/√Hz の広帯域電圧ノイズの組み合わせにより、広帯域トランスインピーダンス アプリケーション、高速データ収集システム、弱信号入力が必要とする低ノイズで高ゲインのフロントエンドを必要とするアプリケーションに適したアンプを実現します。OPA859 は、動的性能を最適化するため、複数の機能を組み合わせています。OPA859 は、広い小信号帯域幅に加えて、大信号帯域幅 ($V_{OUT} = 2V_{PP}$) の 400MHz、およびスレー レートが 1150V/μs です。

8.2 機能ブロック図

OPA859 は、2 つの高インピーダンス入力と低インピーダンス出力を備えた従来の電圧帰還オペアンプです。図 8-1 と図 8-2 の 2 つの基本オプションなど、標準のアプリケーション回路がサポートされています。各構成の dc 動作点は基準電圧 (V_{REF}) によってレベル シフトされます。この電圧は通常、単一電源動作時の中間電圧に設定されます。 V_{REF} は通常、分割電源アプリケーションではグラウンドに接続されます。

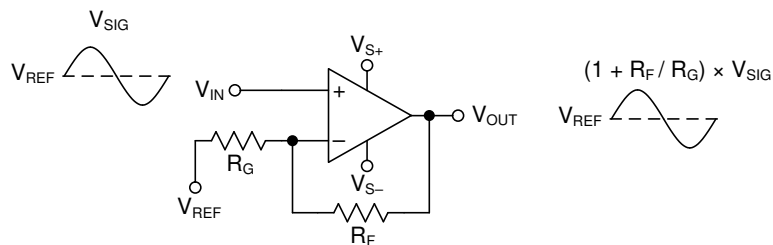


図 8-1. 非反転アンプ

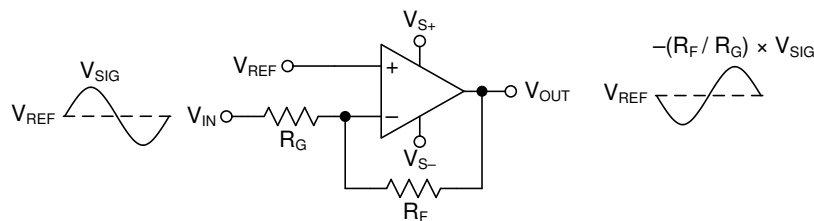


図 8-2. 反転アンプ

8.3 機能説明

8.3.1 入力およびESD 保護

OPA859 は、低電圧、高速の BiCMOS プロセスで製造されています。このように形状の小さなデバイスの場合、内部接合部ブレークダウン電圧は低く、その結果、[図 8-3](#) に示すように、すべてのデバイス ピンは電源への内部 ESD 保護ダイオードで保護されています。アンプの入力の間には 2 つの逆並列ダイオードがあり、範囲超過または障害状態のときに入力をクランプします。

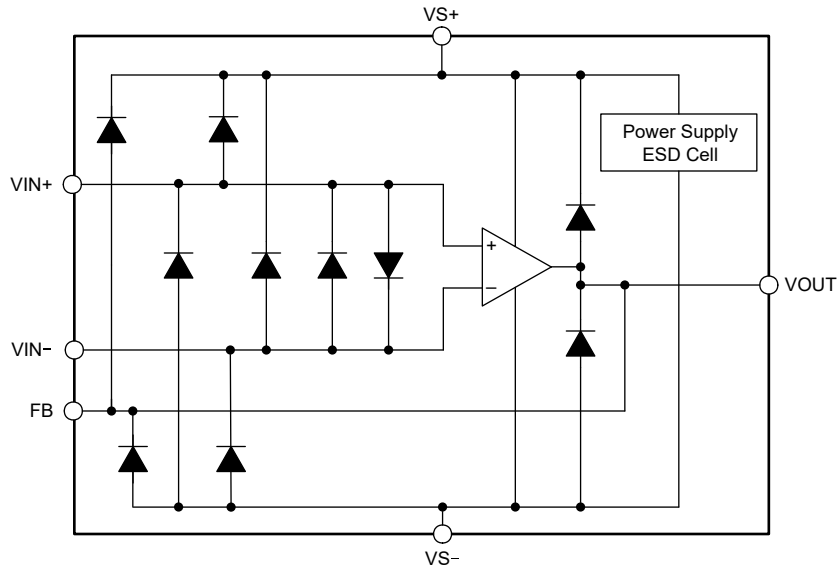


図 8-3. 内部 ESD 構造

8.3.2 フィードバック ピン

OPA859 ピン レイアウトは、高速アナログ設計で重要な注意事項である寄生インダクタンスおよび寄生容量を最小化するように最適化されています。FB ピン（ピン 1）はアンプの出力に内部的に接続されています。FB ピンは、無接続 (NC) ピン（ピン 2）によってアンプの反転入力（ピン 3）と分離されています。NC ピンはフローティングのままにする必要があります。このピン レイアウトには、次の 2 つの利点があります。

1. 帰還抵抗 (R_F) は [図 8-4](#)、パッケージの周囲に配置するのではなく、FB ピンと IN- ピンとの間に接続できます (を参照)。
2. NC ピンによって作成される絶縁により、FB ピンと IN- ピンの間の物理的な分離を増やすことで、FB ピンと IN- ピンの間の容量性結合を最小限に抑えることができます。

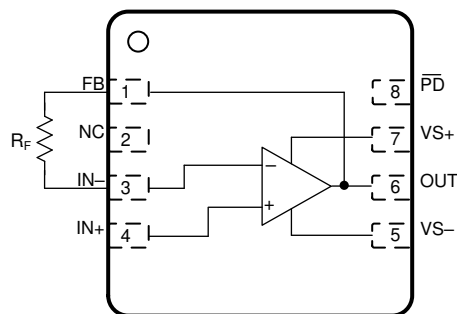
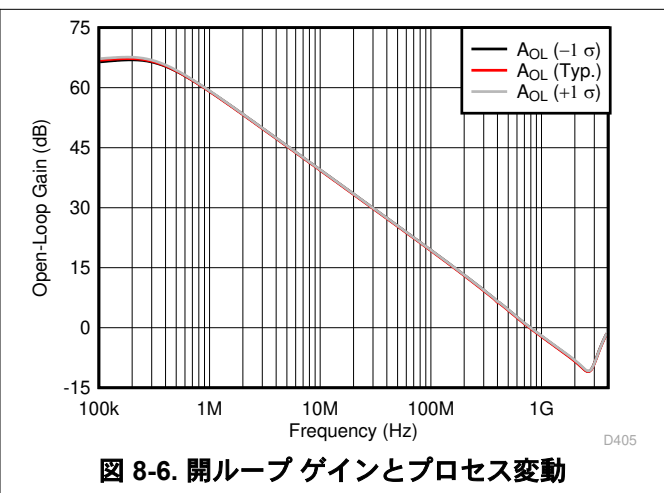
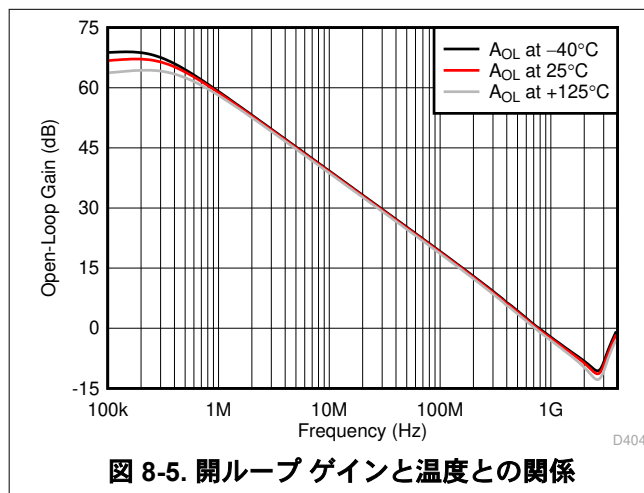


図 8-4. FB ピンと IN- ピンの間の R_F 接続

8.3.3 広いゲイン帯域幅積

図 6-10 に、OPA859 の開ループ振幅と位相応答を示します。 A_{OL} が 40dB となる周波数を決定し、その周波数に 100 を乗算することにより、任意のオペアンプのゲイン帯域幅積を計算します。OPA859 の開ループ応答は、ユニティゲインバッファとして構成したときの位相マージンが約 63° になることを示しています。

図 8-5 に、OPA859 の開ループ振幅 (A_{OL}) を温度の関数とした例を示します。結果には、温度範囲全体で位相マージンの変動が約 5° 見られます。半導体プロセスのばらつきとは、トランジスタ (初期電圧、 β 、チャネル長、幅) やその他の受動素子 (抵抗およびコンデンサ) を集積回路に製造するときに、自然に発生する変動のことです。このプロセスのばらつきは、単一のウェハを使用するデバイス間、または時間の経過とともに複数のウェハロットの間でデバイス全体で発生することがあります。通常、1 枚のウェハでの変動は厳密に制御されています。図 8-6 に、OPA859 の A_{OL} の大きさを、時間の経過に伴うプロセス変動の関数として示します。この結果は、公称プロセスコーナーの A_{OL} 曲線と、公称からの偏差 1 標準偏差を示しています。シミュレーション結果は、アンプがユニティゲインバッファとして構成されているとき、プロセス変動の標準偏差の範囲内で位相マージンの差が 2° 未満となります。



8.3.4 スルーレートと出力段

OPA859 は広帯域幅に加えて $1150\text{V}/\mu\text{s}$ の高スルー レートを特長としています。光学時間領域反射率測定 (OTDR) や LIDAR など、パルスが 10ns 未満の高速パルス アプリケーションにとってスルー レートは重要なパラメータになります。OPA859 はスルー レートが高いため、本デバイスは 2-V 、 ns 未満のパルス エッジを正確に再現できます。図 6-20 も参照してください。帯域幅とスルー レートが広いため、OPA859 は高速シグナル チェーン フロント エンド用の優れたアンプとなります。

図 8-7 に、OPA859 の開ループ出力インピーダンスを周波数の関数として示します。広い周波数範囲にわたって高いスルーレートと低い出力インピーダンスを実現するため、OPA859 の出力スイングは約 3V に制限されています。OPA859 は通常、高速パイプライン ADC および入力範囲が制限されるフラッシュ ADC と組み合わせて使用されます。したがって、OPA859 出力スイング範囲と、CMOS アンプ のクラスをリードする電圧ノイズ仕様との組み合わせにより、信号チェーンの全体的なダイナミックレンジが最大化されます。

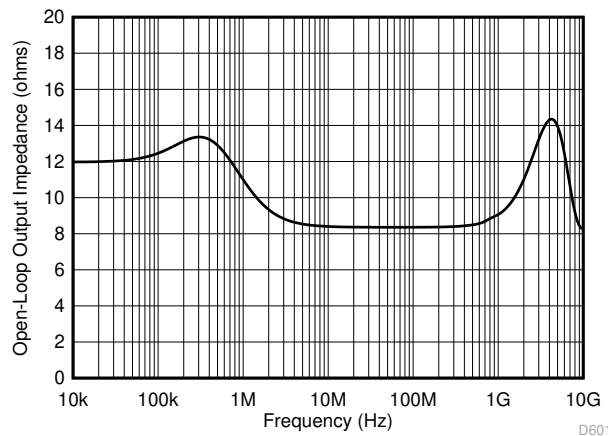


図 8-7. 開ループ出力インピーダンス (Z_{OL}) と周波数との関係

8.3.5 電流ノイズ

低周波数での CMOS および JFET 入力アンプの入力インピーダンスは数 $\text{G}\Omega$ を超えます。ただし、より高い周波数では、ドレイン、ソース、サブストレートに対するトランジスタの寄生静電容量によってインピーダンスが低下します。低周波数で高インピーダンスを行うため、バイアス電流と関連するショット ノイズを排除できます。高い周波数では、CMOS ゲート酸化膜と基礎となるトランジスタ チャンネルの間の容量性結合の結果、入力電流ノイズが大きくなります (図 8-8 を参照)。この現象はトランジスタの構造の自然なアーティファクトであり、避けられない。

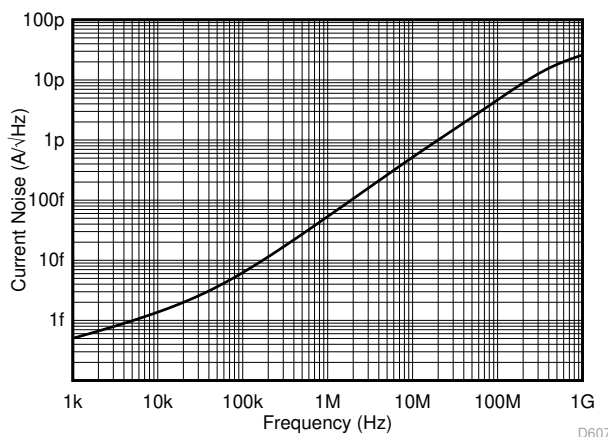


図 8-8. 入力電流ノイズ (I_{BN} および I_{BI}) と周波数との関係

8.4 デバイスの機能モード

8.4.1 分割電源と単一電源動作

OPA859 は、片面電源または分割電源で構成できます。図 9-4 も参照してください。入力同相モードがグランドに設定されている平衡電源を使用する両電源動作は、ラボ試験の容易さを向上させるのに役立ちます (ほとんどの信号ジェネレータ、ネットワーク アナライザ、スペクトラム アナライザ、その他のラボ用機器は通常、入力と出力をグランドに接続しているため)。分割電源動作では、サーマル パッドを負電源に接続します。

より新しいシステムは単一電源を使用して、効率の向上と、追加電源のコスト削減に貢献します。OPA859 は、入力同相と出力シングがデバイスの線形動作範囲内にバイアスされている場合、性能を変化させない単一の正電源 (グランドの負電源) で使用できます。単一電源動作では、電源レール間の電圧差の半分のレベル シフトを行います。この構成により、入力同相および出力負荷基準電圧は電源の中間点に維持されます。ゲイン誤差を除去するため、リファレンス入力同相電圧を駆動するソースは、対象の周波数範囲全体にわたって出力インピーダンスを低くする必要があります。この場合は、サーマル パッドをグランドに接続します。

8.4.2 パワーダウン モード

OPA859 は、静止電流を低減して消費電力を節約するため、パワーダウン モードを備えています。とは、 $\overline{\text{PD}}$ ピンがディセーブルとイネーブルの状態をトグルするとき OPA859 の過渡応答を示しています。

$\overline{\text{PD}}$ ディセーブルおよびイネーブル スレッシュホールド電圧は、負電源を基準としています。アンプが正電源を 3.3V、負電源をグラウンドに設定されている場合、ディセーブル スレッシュホールド電圧は 0.65V、イネーブル スレッシュホールド電圧は 1.8V です。アンプが $\pm 1.65\text{V}$ 電源に設定されている場合、ディセーブル スレッシュホールド電圧は -1V、イネーブル スレッシュホールド電圧は 0.15V です。アンプが $\pm 2.5\text{V}$ 電源に設定されている場合、ディセーブル スレッシュホールド電圧は -1.85V、イネーブル スレッシュホールド電圧は -0.7V です。

図 8-9 に、 $\overline{\text{PD}}$ ピンがイネーブル状態からディセーブル状態に掃引されるとき標準的なアンプのスイッチング動作を示します。同様に、図 8-10 は、 $\overline{\text{PD}}$ ピンがディセーブル状態からイネーブル状態にスイープされるとき標準的なアンプのスイッチング動作を示します。ダウン スイープとアップ スイープとのスイッチング スレッシュホールドの小さな差は、 $\overline{\text{PD}}$ のノイズ耐性を高めるためにアンプにヒステリシスが設計されていることによるものです。

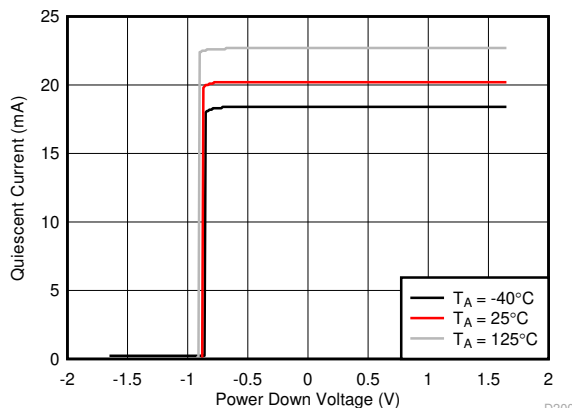


図 8-9. スイッチング スレッシュホールド
($\overline{\text{PD}}$ ピンを High から Low に掃引)

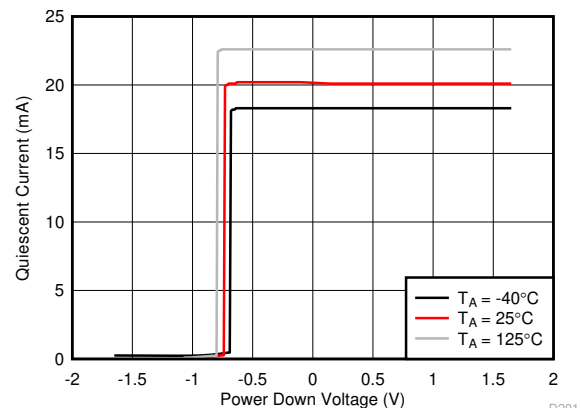


図 8-10. スイッチング スレッシュホールド
($\overline{\text{PD}}$ ピンを Low から High に掃引)

$\overline{\text{PD}}$ ピンを low に接続すると、アンプがディセーブルになり、出力が高インピーダンス状態になります。アンプが非反転アンプとして構成されている場合、帰還 (R_F) およびゲイン (R_G) 抵抗ネットワークはアンプの出力への並列負荷を形成します。アンプの入力段を保護するため、OPA859 は反転入力ピンと非反転入力ピンの間に内部の双方向保護ダイオードを使用します。図 8-3 も参照してください。パワーダウン状態では、アンプの入力ピン間の差動電圧がダイオードの電圧降下を超えると、非反転入力ピンと出力ピンとの間に低インピーダンスの経路が追加されます。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

OPA859 は入力インピーダンス、超高帯域幅、高スルーレート、低ノイズを実現し、100MHz までの周波数で -60dBc よりも優れた歪み性能を提供します。これらの特長からこのデバイスは、高速データ収集システムのフロントエンド バッファとして優れています。また、帯域幅が広いので、このアンプは高ゲインのアクティブ フィルタ システムに最適です。

9.2 代表的なアプリケーション

9.2.1 光学フロント エンド システム内の TIA を使用したものです

図 9-1 に、広帯域幅の光フロントエンド システムのトランスインピーダンス アンプ (U1) として構成された OPA859 を示します。2 つ目の OPA859 構成がユニティ ゲイン バッファ (U2) として構成されている場合、THS4520 への dc オフセット電圧が設定されます。THS4520 は、OPA859 のシングルエンドトランスインピーダンス出力を差動出力信号へ変換するために使用されます。THS4520 は、ADS54J64 (14 ビット、1GSPS のアナログ/デジタル コンバータ (ADC)) の入力を駆動し、アナログ信号をデジタル化します。

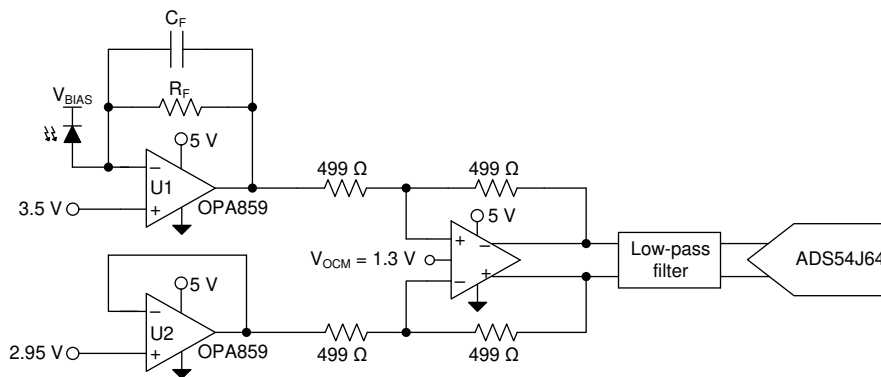


図 9-1. OPA859 これらは光学フロントエンド システム内の TIA とバッファの両方として機能します

9.2.1.1 設計要件

この目的は、OPA859 をトランスインピーダンス アンプとして使用して、低ノイズで広帯域の光フロントエンド システムを設計することです。設計要件は次のとおりです。

- アンプ電源電圧: 5V
- TIA コモン モード電圧: 3.5V
- THS4520 ゲイン: 1 V/V
- ADC 入力の同相モード電圧: 1.3V
- ADC アナログ差動入力範囲: 1.1V_{pp}

9.2.1.2 詳細な設計手順

OPA859 は、広帯域、低ノイズのフォトダイオード アンプの増大する要求を満たします。トランスインピーダンス アンプの閉ループ帯域幅は、以下の関数です。

1. 全出力キャパシタンス (C_{IN})。この合計には、フォトダイオード容量、アンプの入力容量 (同相容量および差動容量)、PCB からの浮遊容量が含まれます。
2. オペアンプのゲイン帯域幅積 (GBWP)。
3. トランスインピーダンス ゲイン (R_F)。

図 9-1 に、アバランシェ フォトダイオード (APD) 逆バイアスにより APD のカソードが大きな正バイアス電圧に接続されるトランスインピーダンス アンプ (TIA) として構成された OPA859 を示します。この構成では、APD からオペアンプの帰還ループに電流が供給され、出力は入力同相電圧に対して負の方向にスイングします。出力スイングを負方向に最大化するため、OPA859 の同相電圧は正の制限値に近く設定され、正の電源レールからは 1.5V のみです。帰還抵抗 (R_F) と入力容量 (C_{IN}) はノイズ ゲインでゼロを形成し、未チェックの場合は不安定性が生じます。ゼロの影響を打ち消すため、帰還コンデンサ (C_F) を追加して、ノイズ ゲイン伝達関数に極を挿入します。

『高速アンプのトランスインピーダンスに関する考慮事項アプリケーション レポート』では、特定のトランスインピーダンス ゲインと入力容量についてトランスインピーダンス アンプを補償する方法を示す理論と式について説明しています。アプリケーション レポートに掲載されている帯域幅と補償の式は、Excel® カリキュレータで利用できます。『トランスインピーダンス アンプについて知っておくべきこと—第 1 部』では、カリキュレータへのリンクを提供しています。

参照するアプリケーション レポートとブログ投稿に掲載されている式と計算ツールを使用して、TIA として構成されている OPA859 の帯域幅 (f_{-3dB}) とノイズ (I_{RN}) 性能をモデル化します。結果のパフォーマンスを 図 9-2 と 図 9-3 に示します。左側の Y 軸は閉ループ帯域幅性能を示し、グラフの右側には積分入力換算ノイズが示されています。固定 R_F と C_{PD} について、 I_{RN} を計算するためのノイズ帯域幅は、 f_{-3dB} の周波数に設定されます。図 9-2 に、 $R_F = 10k\Omega$ および $20k\Omega$ のフォトダイオード容量 (C_{PD}) の関数としてのアンプ性能を示します。 C_{PD} を大きくすると、閉ループ帯域幅が狭くなります。帯域幅を最大化するため、PCB の浮遊寄生容量を必ず低減してください。OPA859 は、システム性能への浮遊容量の影響を最小限に抑えるように、合計入力容量 0.8pF で設計されています。図 9-3 に、 $C_{PD} = 1pF$ および $2pF$ について、 R_F の関数としてアンプ性能を示します。 R_F を大きくすると、帯域幅は狭くなります。光学フロントエンドシステムで信号対雑音比 (SNR) を最大化するには、TIA 段のゲインを最大化します。 R_F を X の係数に増やすと信号レベルが X だけ増加しますが、抵抗ノイズの寄与は \sqrt{X} だけ増大するだけで、SNR が向上します。

OPA859 はユニティ ゲイン バッファとして構成されており、2.95V の DC オフセット電圧を THS4520 の下側半分に駆動します。ADC のダイナミック レンジを最大化するために、2 つの OPA859 アンプは THS4520 に 3.5V と 2.95V の差動同相モードを駆動します。バッファ アンプの dc オフセット電圧は、式 1 を使用して求めることができます。

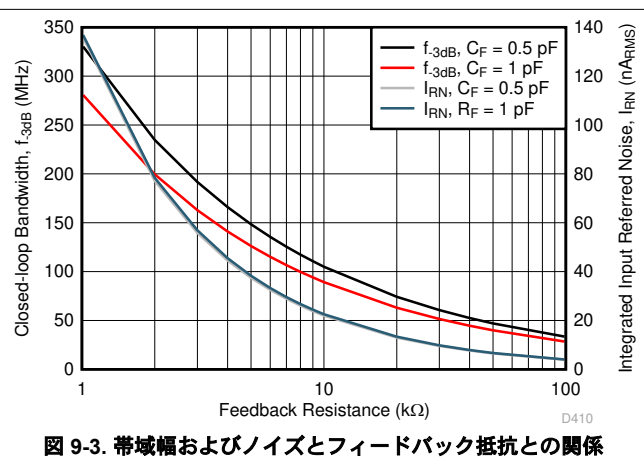
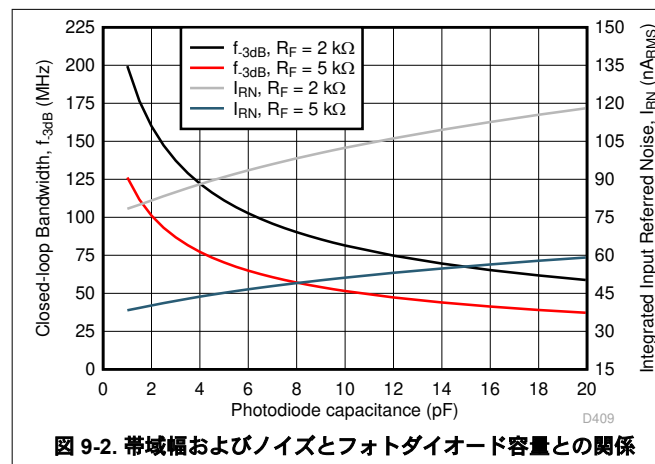
$$V_{BUF_DC} = V_{TIA_CM} - \left(\frac{1}{2} \times \frac{V_{ADC_DIFF_IN}}{\left(\frac{R_F}{R_G} \right)} \right) \quad (1)$$

ここで、

- V_{TIA_CM} は TIA の同相電圧 (3.5V) です。
- $V_{ADC_DIFF_IN}$ は ADC の差動入力電圧範囲 (1.1V_{PP}) です。
- R_F と R_G は THS4520 差動アンプの帰還抵抗 (499Ω) とゲイン抵抗 (499Ω) です

THS4520 と ADC54J64 との間のローパス フィルタは、高周波ノイズを最小限に抑え、SNR を最大化します。ADC54J64 には内部バッファがあり、THS4520 の出力を ADC サンプリング コンデンサの入力から絶縁するため、従来の充電バケット フィルタは不要です。

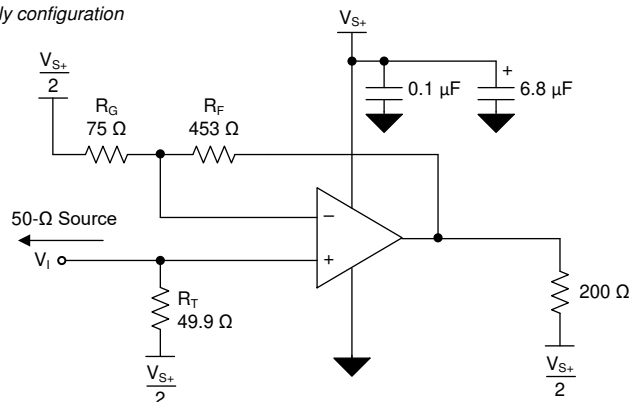
9.2.1.3 アプリケーション曲線



9.3 電源に関する推奨事項

OPA859 は 3.3V ~ 5.25V の電源で動作します。OPA859 は、片側電源、分割および平衡型バイポーラ電源、および不平衡型バイポーラ電源で動作します。OPA859 はレール ツー レールの入出力を備えていないため、入力同相および出力スイングの範囲は 3.3-V 電源で制限されます。

a) Single supply configuration



b) Split supply configuration

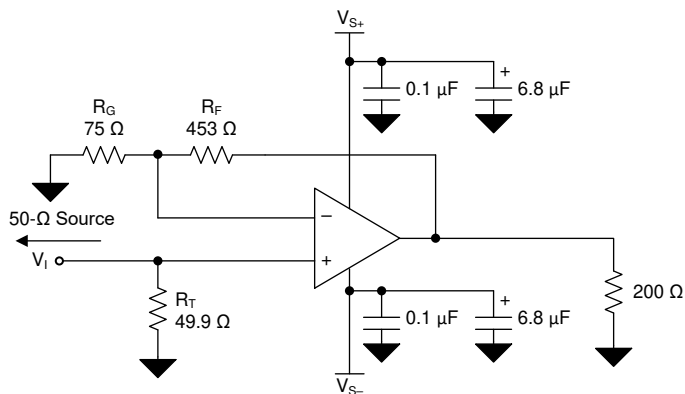


図 9-4. 分割および単一電源回路構成、ゲイン = 7V/V

9.4 レイアウト

9.4.1 レイアウトのガイドライン

OPA859 などの高い周波数のアンプを使用して最適な性能を実現するには、基板レイアウトの寄生素子と外部部品の種類に細心の注意を払う必要があります。性能を最適化するための推奨事項として以下が挙げられます。

- **信号 I/O ピンから AC グランドへの寄生容量を最小限に抑えます。** 出力ピンと反転入力ピンの寄生容量が、不安定性の原因になる場合があります。不要な容量を減らすため、信号入力および出力ピンの下に電源パターンとグランドパターンを切断します。その他に、グランドプレーンと電源プレーンが基板上の他の場所で途切れないようにする必要があります。アンプを TIA として構成する際には、必要な帰還コンデンサが 0.15pF 未満の場合は、抵抗からの寄生容量を最小化するために、2 つの直列抵抗を使うことを検討します。それぞれの値は、帰還ループ内で 1 つの抵抗の半分です。
- **電源ピンから高周波バイパス コンデンサまでの距離を最小限 (0.25 インチ未満) にします。** アンプの最大電源電圧の 3 倍以上の電圧定格を持つ、0.1- μ F、C0G、NPO タイプの高品質 pF デカップリング コンデンサを使用してください。この構成により、アンプのゲイン帯域幅仕様全体にわたって、アンプの電源ピンへの低インピーダンスのパスが確実に確立されます。デバイスのピンの配置では、グランドおよび電源プレーンのレイアウトを信号 I/O ピンの近くに配置しないようにしてください。ピンとデカップリング コンデンサ間のインダクタンスを最小にするため、電源パターンおよびグランドパターンは狭くならないようにします。電源接続は、必ずこれらのコンデンサによってデカップリングする必要があります。低い周波数で効果的な、より大きなデカップリング コンデンサ (2.2- μ F から 6.8- μ F) を電源ピンに使用する必要があります。これらのデカップリング コンデンサは、デバイスからさらに離して配置します。プリント基板 (PCB) の同じ領域にある複数のデバイス間でデカップリング コンデンサを共有します。
- **外付け部品を慎重に選択および配置することで、OPA859 の高周波性能が維持されます。** リアクタンスが小さい抵抗を使用します。最もよく機能するのは表面実装抵抗で、レイアウト全体をより厳密にすることができます。高周波アプリケーションでは、巻線抵抗を決して使用しないでください。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいので、帰還抵抗と直列出力抵抗 (ある場合) は、出力ピンにできるだけ近付けて配置します。(非反転入力終端抵抗といった) 他のネットワーク部品は、パッケージの近くに配置します。外部抵抗をシャントする寄生容量が少ない場合も、抵抗の値が大きいと、時定数が大きくなり、性能が低下する可能性があります。OPA859 を電圧アンプとして構成する場合は、抵抗値を可能な限り低くし、負荷駆動に関する考慮事項と一致するようにします。抵抗値を小さくすると、抵抗ノイズ項が低く保たれ、寄生容量の影響が最小化されます。ただし、抵抗値を小さくすると、 R_F と R_G はアンプの出力負荷ネットワークの一部になるため、ダイナミック消費電力が増加します。

9.4.2 レイアウト例

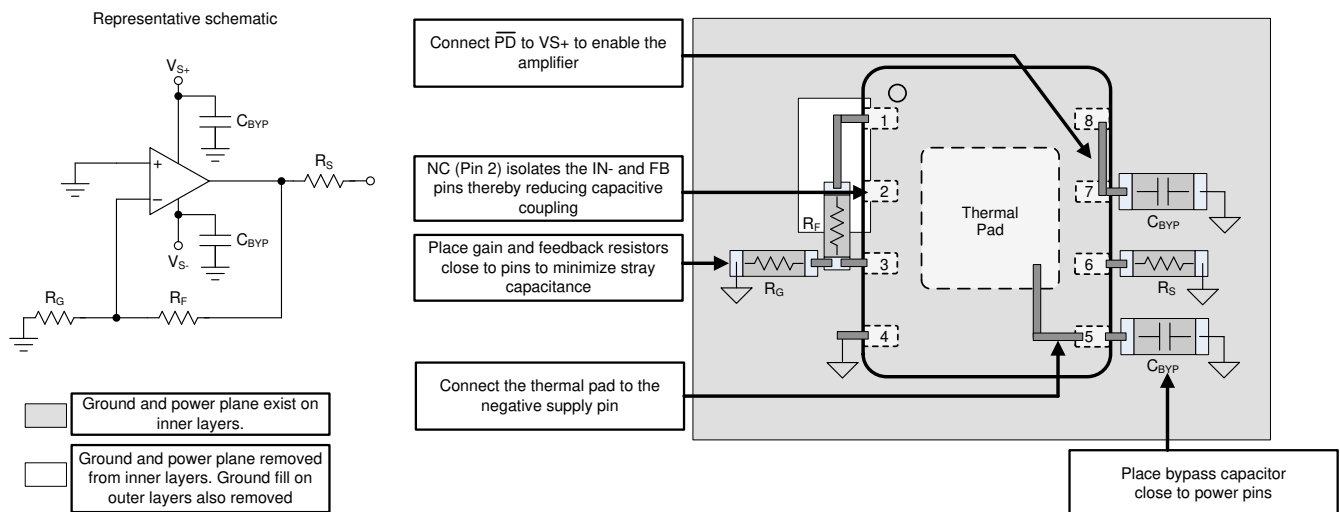


図 9-5. レイアウトに関する推奨事項

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 開発サポート

- [LIDAR パルス ToF リファレンス デザイン](#)
- [高速データコンバータを使用する LIDAR パルスのタイム オブ フライト \(ToF\) リファレンス デザイン](#)
- [広帯域の光フロント エンドリファレンス デザイン](#)

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[『OPA858EVM ユーザー ガイド』](#)
- テキサス インスツルメンツ、[トレーニング ビデオ:『高速トランスインピーダンス アンプの設計の流れ』](#)
- テキサス インスツルメンツ、[トレーニング ビデオ:トランスインピーダンス アンプ回路の設計方法](#)
- テキサス インスツルメンツ、[トレーニング ビデオ:『トレーニング ビデオ:TINA-TI モデルを汎用 SPICE モデルに変換する方法』](#)
- テキサス インスツルメンツ、[『高速アンプのトランスインピーダンスに関する考慮事項』アプリケーション レポート](#)
- テキサス インスツルメンツ、[『ブログ: トランスインピーダンス アンプについて知っておくべきこと—第 1 部』](#)
- テキサス インスツルメンツ、[『ブログ: トランスインピーダンス アンプについて知っておくべきこと—第 2 部』](#)

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

、Excel® is a registered trademark of Microsoft Corporation.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

Changes from Revision * (September 2018) to Revision A (May 2025)

Page

- ベア ダイ パッケージと関連する内容をデータシートに追加..... 1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA859IDSGR	Active	Production	WSO (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	859
OPA859IDSGR.B	Active	Production	WSO (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	859
OPA859IDSGT	Active	Production	WSO (DSG) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	859
OPA859IDSGT.B	Active	Production	WSO (DSG) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	859
OPA859YR	Active	Production	DIESALE (Y) 0	3000 LARGE T&R	Yes	Call TI	N/A for Pkg Type	-40 to 125	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA859 :

- Automotive : [OPA859-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

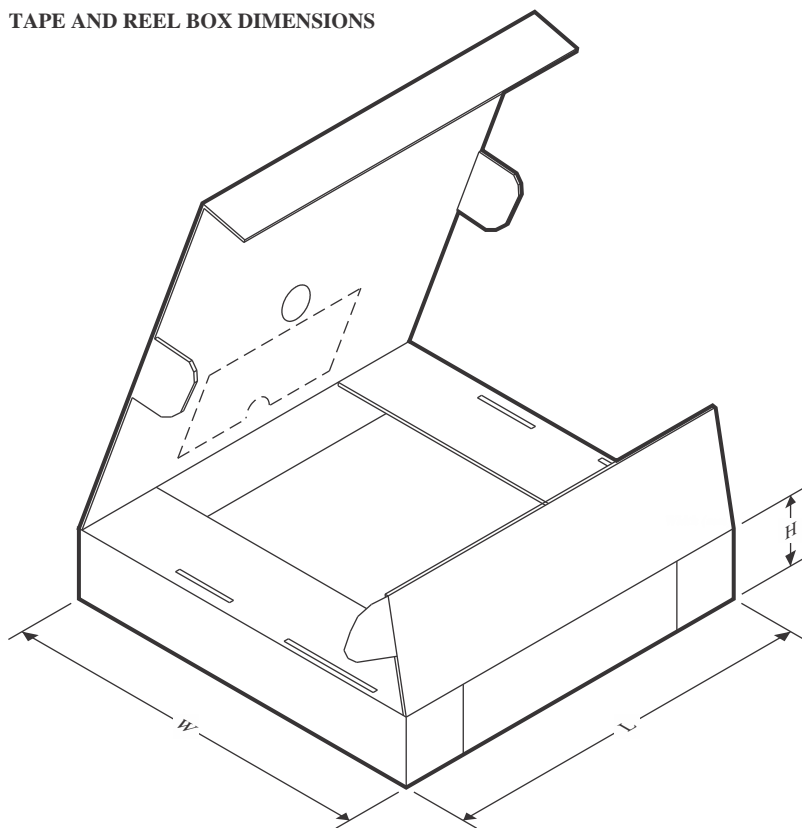
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA859IDSGR	WSO	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA859IDSGT	WSO	DSG	8	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA859YR	DIESALE	Y	0	3000	180.0	8.4	0.74	0.78	0.45	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA859IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
OPA859IDSGT	WSON	DSG	8	250	210.0	185.0	35.0
OPA859YR	DIESALE	Y	0	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

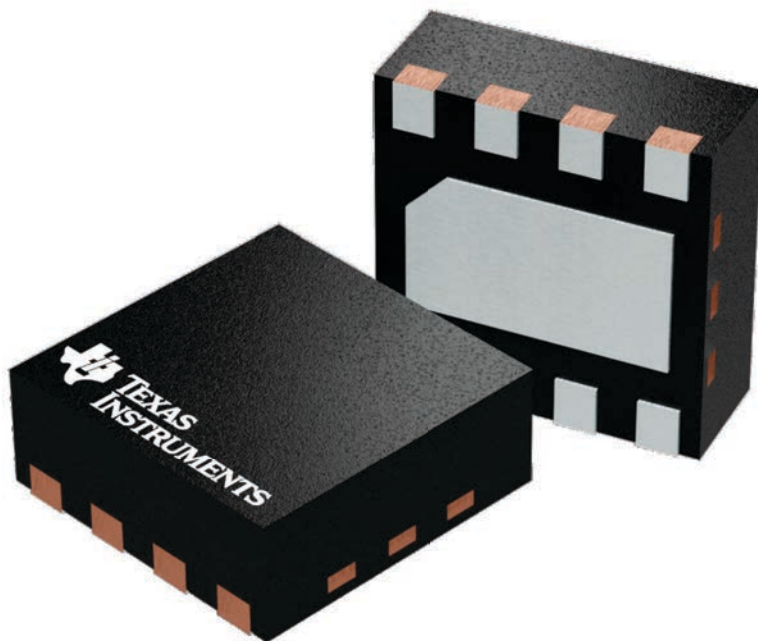
DSG 8

WSON - 0.8 mm max height

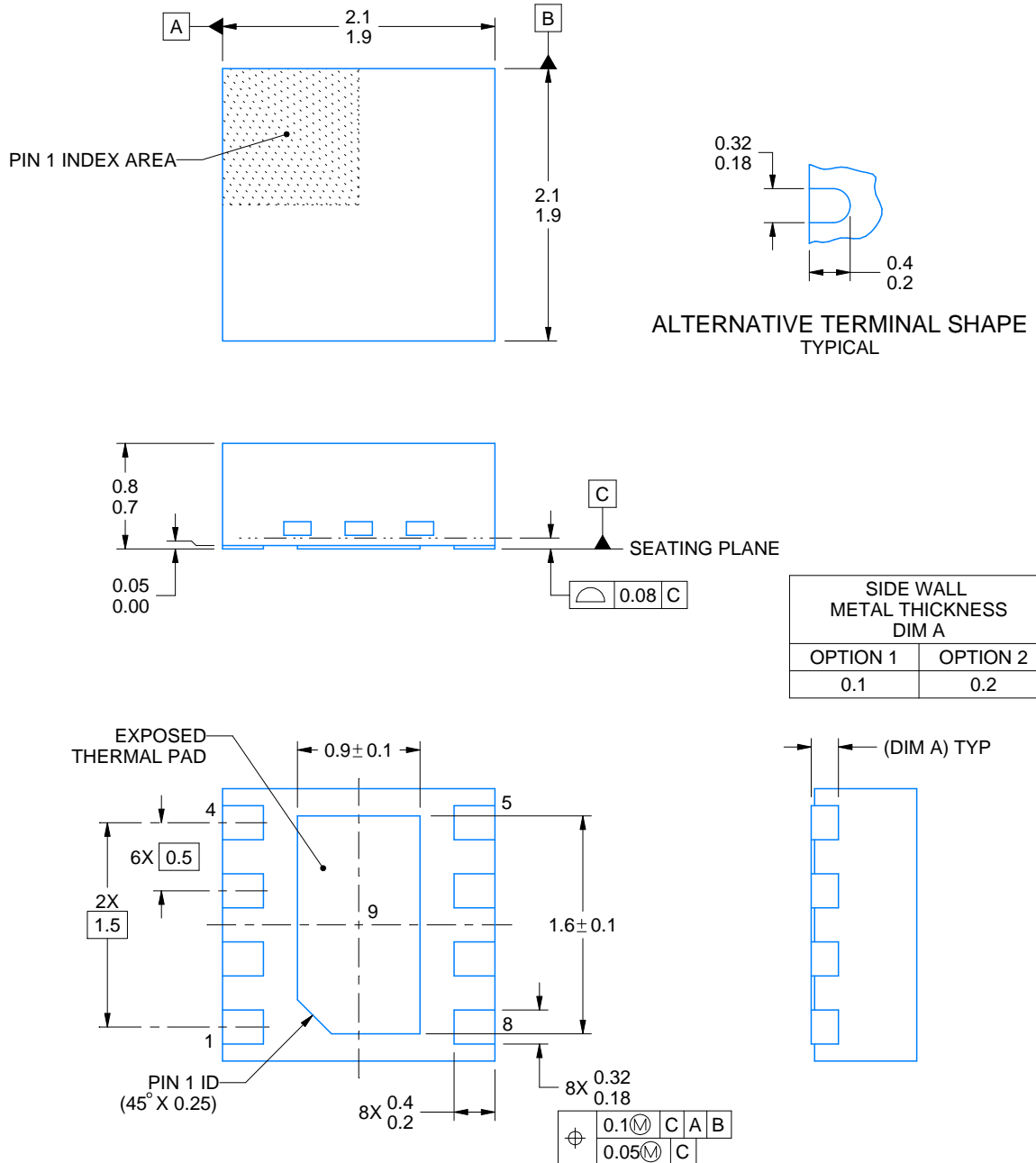
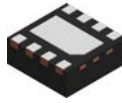
2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224783/A



4218900/E 08/2022

NOTES:

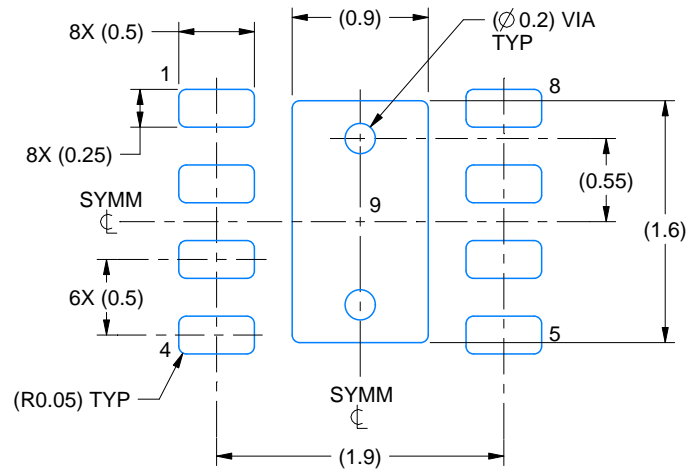
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

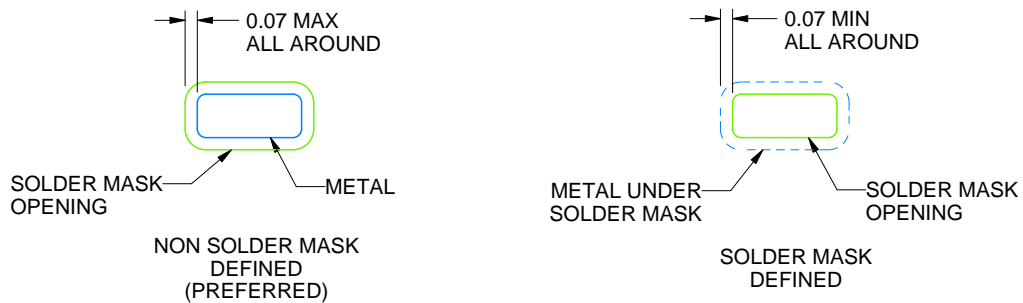
DSG0008A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

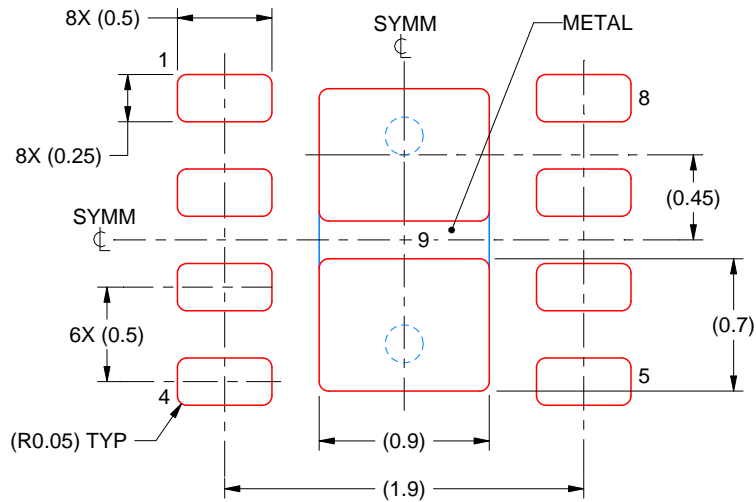
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSG0008A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月