

# PCM3140-Q1 クワッド チャネル、768kHz、Burr-Brown™ オーディオ ADC

## 1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - 温度グレード 1:  $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$
- マルチチャネルの高性能 ADC:
  - 4 チャネルのアナログ マイクロフォンまたはラインイン
  - 8 チャネルのデジタル PDM マイクロフォン
  - アナログとデジタルのマイクロフォンの組み合わせ
- ADC ラインおよびマイクロフォンの差動入力性能:
  - ダイナミックレンジ (DR) 106dB
  - THD+N: -98dB
- ADC チャネル合計モード、DR 性能:
  - 109dB (2 チャネル加算)
  - 112dB (4 チャネル加算)
- ADC 入力電圧:
  - 差動、 $2\text{V}_{\text{RMS}}$  フルスケール入力
  - シングルエンド、 $1\text{V}_{\text{RMS}}$  フルスケール入力
- ADC サンプル・レート ( $f_S$ ): 8kHz ~ 768kHz
- プログラム可能なチャネル設定:
  - チャネルゲイン: 1dB 刻みで 0dB ~ 42dB
  - デジタルボリューム制御: -100dB ~ 27dB
  - 0.1dB 分解能のゲイン較正
  - 163ns 分解能の位相較正
- マイクロフォンのバイアスまたは電源電圧の生成をプログラム可能
- 低遅延信号処理フィルタの選択
- HPF およびバイカッド デジタルフィルタをプログラム可能
- 自動ゲインコントローラ (AGC)
- I<sup>2</sup>C または SPI 制御
- 高性能オーディオ PLL を内蔵
- クロック分周器の設定を自動的に構成
- オーディオシリアルデータインターフェイス
  - フォーマット: TDM, I<sup>2</sup>S, 左揃え (LJ)
  - ワード長: 16 ビット、20 ビット、24 ビット、32 ビット
  - コントローラまたはターゲットのインターフェイス
- 単一電源動作: 3.3V または 1.8V
- I/O 電源動作: 3.3V または 1.8V
- 1.8V AVDD 電源での消費電力:
  - 8.5mW/チャネル (サンプルレート: 16kHz)
  - 9.2mW/チャネル (サンプルレート: 48kHz)

## 2 アプリケーション

- 車載アクティブノイズキャンセル
- 車載ヘッドユニット
- デジタルコックピット処理装置
- 車載外部アンプ

## 3 概要

PCM3140-Q1 は、最大 4 つのアナログチャネル、またはパルス密度変調 (PDM) マイクロフォン入力のために 8 つのデジタルチャネルを同時にサンプリングできる Burr-Brown™ 高性能オーディオ A/D コンバータ (ADC) です。このデバイスは、ラインおよびマイクロフォン入力をサポートし、シングルエンドと差動の両方の入力構成が可能です。このデバイスには、プログラム可能なチャネルゲイン、デジタルボリューム制御、プログラム可能なマイクロフォンバイアス電圧、フェーズロックループ (PLL)、プログラム可能なハイパスフィルタ (HPF)、バイカッドフィルタ、低遅延フィルタモードが搭載されており、最高 768kHz のサンプルレートに対応できます。また、最高 192kHz のサンプルレートに対応できます。このデバイスは時分割多重化 (TDM)、I<sup>2</sup>S または、左揃え (LJ) オーディオ・フォーマットに対応し、I<sup>2</sup>C または SPI で制御可能です。これらの高性能な機能を搭載しており、3.3V または 1.8V の単一電源で動作できることから、遠距離マイクロフォン録音アプリケーションの、スペースの制約が厳しいオーディオ・システムに最適です。

PCM3140-Q1 は  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  で動作が規定されており、24 ピンの VQFN パッケージで供給されます。

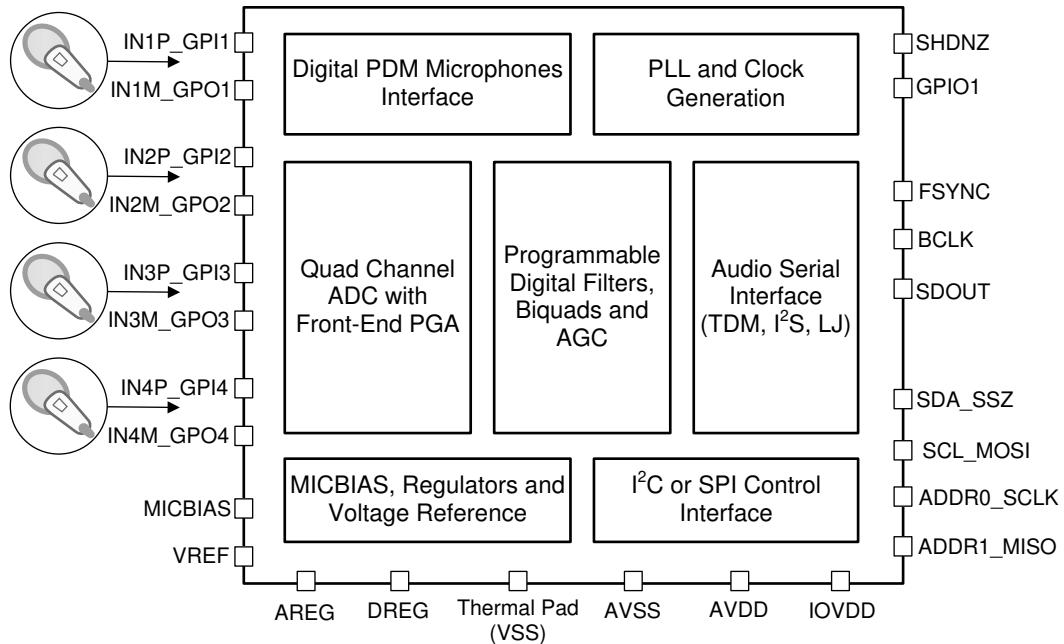
### 製品情報 (1)

部品番号	パッケージ	パッケージサイズ <sup>(2)</sup>	本体サイズ(公称)
PCM3140-Q1	VQFN (24)	4.00mm × 4.00mm	4.00mm × 4.00mm, 0.5mm ピッチ

- (1) 利用可能なパッケージについては、データシートの末尾にあるパッケージオプションについての付録を参照してください。  
 (2) パッケージサイズ(長さ × 幅)は公称値であり、該当する場合はピッチも含まれます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



概略ブロック図

## 目次

<b>1 特長</b>	<b>1</b>	<b>7 詳細説明</b>	<b>20</b>
<b>2 アプリケーション</b>	<b>1</b>	7.1 概要	20
<b>3 概要</b>	<b>1</b>	7.2 機能ブロック図	21
<b>4 デバイス比較表</b>	<b>4</b>	7.3 機能説明	21
<b>5 ピン構成および機能</b>	<b>5</b>	7.4 デバイスの機能モード	63
<b>6 仕様</b>	<b>7</b>	7.5 プログラミング	64
6.1 絶対最大定格	7	<b>8 レジスタ マップ</b>	69
6.2 ESD 定格	7	8.1 デバイス構成レジスタ	69
6.3 推奨動作条件	7	8.2 プログラム可能な係数レジスタ	114
6.4 熱に関する情報	8	<b>9 アプリケーションと実装</b>	122
6.5 電気的特性	8	9.1 アプリケーション情報	122
6.6 タイミング要件:I <sup>2</sup> C インターフェイス	12	9.2 代表的なアプリケーション	122
6.7 スイッチング特性:I <sup>2</sup> C インターフェイス	13	9.3 推奨事項および禁止事項	129
6.8 タイミング要件:SPI インターフェイス	13	9.4 電源に関する推奨事項	129
6.9 スイッチング特性:SPI インターフェイス	13	9.5 レイアウト	130
6.10 タイミング要件:TDM、I <sup>2</sup> S または LJ インターフェイス	13	<b>10 デバイスおよびドキュメントのサポート</b>	132
6.11 スイッチング特性:TDM、I <sup>2</sup> S または LJ インターフェイス	14	10.1 ドキュメントのサポート	132
6.12 タイミング要件:PDM デジタル マイクロフォンインターフェイス	14	10.2 ドキュメントの更新通知を受け取る方法	132
6.13 スイッチング特性:PDM デジタル マイクロフォンインターフェイス	14	10.3 サポート・リソース	132
6.14 タイミング図	15	10.4 商標	132
6.15 代表的特性	17	10.5 静電気放電に関する注意事項	132
		10.6 用語集	132
		<b>11 改訂履歴</b>	132
		<b>12 メカニカル、パッケージ、および注文情報</b>	134

## 4 デバイス比較表

特長	PCM3140-Q1	PCM5140-Q1	PCM6140-Q1
制御インターフェイス	I <sup>2</sup> C または SPI		
デジタル オーディオ シリアル インターフェイス	TDM、I <sup>2</sup> S、左揃え (LJ)		
オーディオ アナログ チャネル	4	4	4
デジタル PDM チャネル	8	8	8
ダイナミックレンジ エンハンサ (DRE)	該当なし	使用可能	使用可能
ダイナミックレンジ (DRE 無効)	106dB	108dB	113dB
ダイナミックレンジ (DRE 有効)	該当なし	120dB	123dB
互換性	ピン ツー ピン、パッケージ、制御レジスタ互換、互いにドロップイン置き換え可能		
パッケージ	VQFN (RGE)、24 ピン、4.00mm × 4.00mm (0.5mm pitch)		

## 5 ピン構成および機能

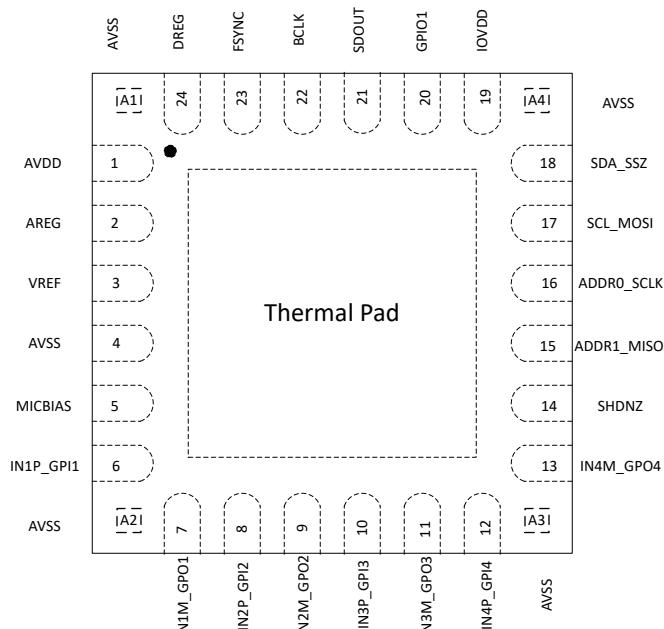


図 5-1. RGE パッケージ 24 ピン VQFN (露出サーマルパッド付き) 上面図

表 5-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	AVDD	アナログ電源	アナログ電源 (1.8V または 3.3V、公称値)
2	AREG	アナログ電源	アナログ電源 (1.8V、公称値) または外部アナログ電源 (1.8V、公称値) 用のアナログオンチップ レギュレータ出力電圧
3	VREF	アナログ	アナログ リファレンス電圧フィルタ出力
4	AVSS	アナログ電源	アナログ グランド。このピンを直接基板のグランド プレーンに短絡。
5	MICBIAS	アナログ	MICBIAS 出力
6	IN1P_GPI1	アナログ入力/デジタル入力	アナログ入力 1P ピンまたは汎用デジタル入力 1 (デジタルマイク データ、PLL 入力 クロック ソースなどの多目的機能)
7	IN1M_GPO1	アナログ入力/デジタル出力	アナログ入力 1M ピンまたは汎用デジタル出力 1 (デジタルマイク クロック、割り込みなどの多目的機能)
8	IN2P_GPI2	アナログ入力/デジタル入力	アナログ入力 2P ピンまたは汎用デジタル入力 2 (デジタルマイク データ、PLL 入力 クロック ソースなどの多目的機能)
9	IN2M_GPO2	アナログ入力/デジタル出力	アナログ入力 2M ピンまたは汎用デジタル出力 2 (デジタルマイク クロック、割り込みなどの多目的機能)
10	IN3P_GPI3	アナログ入力/デジタル入力	アナログ入力 3P ピンまたは汎用デジタル入力 3 (デジタルマイク データ、PLL 入力 クロック ソースなどの多目的機能)
11	IN3M_GPO3	アナログ入力/デジタル出力	アナログ入力 3M ピンまたは汎用デジタル出力 3 (デジタルマイク クロック、割り込みなどの多目的機能)
12	IN4P_GPI4	アナログ入力/デジタル入力	アナログ入力 4P ピンまたは汎用デジタル入力 4 (デジタルマイク データ、PLL 入力 クロック ソースなどの多目的機能)
13	IN4M_GPO4	アナログ入力/デジタル出力	アナログ入力 4M ピンまたは汎用デジタル出力 4 (デジタルマイク クロック、割り込みなどの多目的機能)
14	SHDNZ	デジタル入力	デバイス ハードウェア シャットダウンおよびリセット (アクティブ Low)

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
15	ADDR1_MISO	デジタル I/O	I <sup>2</sup> C 動作の場合:I <sup>2</sup> C ターゲットアドレス A1 ピン SPI 動作の場合:SPI ターゲット出力ピン
16	ADDR0_SCLK	デジタル入力	I <sup>2</sup> C 動作の場合:I <sup>2</sup> C ターゲットアドレス A0 ピン SPI 動作の場合:SPI シリアルビットクロック
17	SCL_MOSI	デジタル入力	I <sup>2</sup> C 動作の場合:I <sup>2</sup> C 制御バスのクロックピン SPI 動作の場合:SPI ターゲット入力ピン
18	SDA_SSZ	デジタル I/O	I <sup>2</sup> C 動作の場合:I <sup>2</sup> C 制御バスのデータピン SPI 動作の場合:SPI ターゲットセレクトピン
19	IOVDD	デジタル電源	デジタル I/O 電源(1.8V または 3.3V、公称値)
20	GPIO1	デジタル I/O	汎用デジタル入出力 1(デジタルマイククロックまたはデータ、PLL 入力クロックソース、割り込みなどの多目的機能)
21	SDOUT	デジタル出力	オーディオシリアルデータインターフェイスバス出力
22	BCLK	デジタル I/O	オーディオシリアルデータインターフェイスバスビットクロック
23	FSYNC	デジタル I/O	オーディオシリアルデータインターフェイスバスフレーム同期信号
24	DREG	デジタル電源	デジタルコア電源用デジタルレギュレータ出力電圧(1.5V、公称値)
A1、A2、A3、 A4	AVSS	アナログ電源	アナロググランド。このピンを直接基板のグランドプレーンに短絡。
サーマルパッド	サーマルパッド(VSS)	グランド電源	サーマルパッドを内部デバイスのグランドに短絡します。サーマルパッドを直接基板のグランドプレーンに短絡。

## 6 仕様

### 6.1 絶対最大定格

動作環境温度範囲内(特に記載がない限り) [\(1\)](#)

		最小値	最大値	単位
電源電圧	AVDD から AVSS へ	-0.3	3.9	V
	AREG から AVSS へ	-0.3	2.0	
	IOVDD から VSS (サーマル パッド)	-0.3	3.9	
グランドとの電位差	VSS から VSS (サーマル パッド) へ	-0.3	0.3	V
アナログ入力電圧	アナログ入力ピン電圧から AVSS へ	-0.3	AVDD + 0.3	V
デジタル入力電圧	デジタル入力ピン (INxP_GPIx ピンを除く) 電圧から VSS (サーマル パッド)	-0.3	IOVDD + 0.3	V
	デジタル入力 INxP_GPIx ピン電圧から VSS (サーマル パッド)	-0.3	AVDD + 0.3	
温度	動作時周囲温度、 $T_A$	-40	125	°C
	接合部、 $T_J$	-40	150	
	保存、 $T_{stg}$	-65	150	

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

### 6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 <a href="#">(1)</a>	±2000	V
		デバイス帶電モデル (CDM)、 AEC Q100-011 準拠	±750	
		その他のすべてのコーナーなしのパッケージピン	±500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています

### 6.3 推奨動作条件

		最小値	公称値	最大値	単位
<b>電源</b>					
AVDD、 AREG <a href="#">(1)</a>	アナログ電源電圧 AVDD から AVSS へ (AREG はオンチップ レギュレータを使用して生成) - AVDD 3.3V 動作	3.0	3.3	3.6	V
	アナログ電源電圧 AVDD と AREG から AVSS へ (AREG 内部レギュレータはシャットダウン中) - AVDD 1.8V 動作	1.7	1.8	1.9	
IOVDD	IO 供給電圧を VSS (サーマル パッド) に接続 - IOVDD 3.3V 動作	3.0	3.3	3.6	V
	IO 供給電圧を VSS (サーマル パッド) に接続 - IOVDD 1.8V 動作	1.65	1.8	1.95	
<b>入力</b>					
	アナログ入力ピン電圧から AVSS へ	0	AVDD	V	
	デジタル入力ピン (INxP_GPIx ピンを除く) 電圧から VSS (サーマル パッド)	0	IOVDD	V	
	デジタル入力 INxP_GPIx ピン電圧から VSS (サーマル パッド)	0	AVDD	V	
<b>温度</b>					
$T_A$	動作時の周囲温度	-40	125	°C	
<b>その他</b>					
	GPIOx または GPIx (MCLK 入力として使用) のクロック周波数	36.864 <a href="#">(2)</a>		MHz	
$C_b$	I <sup>2</sup> C インターフェイスの SCL および SDA バス容量は、スタンダード モードおよびファースト モードをサポートしています	400		pF	
	I <sup>2</sup> C インターフェイスの SCL および SDA バス容量は、ファーストモード プラスをサポートしています	550			

		最小値	公称値	最大値	単位
C <sub>L</sub>	デジタル出力負荷容量		20	50	pF

- (1) AVSS および VSS (サーマル パッド)。すべてのグランド ピンは一緒に接続する必要があり、電圧の差は 0.2V を超えてはなりません。
- (2) MCLK 入力の立ち上がり時間 ( $V_{IL}$  から  $V_{IH}$ ) と立ち下がり時間 ( $V_{IH}$  から  $V_{IL}$ ) は 5ns 未満である必要があります。オーディオのノイズ特性を向上させるには、低ジッタの MCLK 入力を使用する必要があります。

## 6.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		PCMx140-Q1	単位
		RGE (VQFN)	
		24 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	45.6	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	30	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	22.5	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	0.8	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	22.4	°C/W
R <sub>θJC(bot)</sub>	接合部からケース (底面) への熱抵抗	15	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。

## 6.5 電気的特性

$T_A = 25^\circ\text{C}$  の場合、AVDD = 3.3V、IOVDD = 3.3V、 $f_{IN} = 1\text{-kHz}$  の正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットのオーディオ データ、BCLK =  $256 \times f_S$ 、TDM スレーブ モード、PLL がオンのとき (特に記載がない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>ADC の構成</b>					
AC 入力インピーダンス	入力ピン INxP または INxM、2.5kΩ 入力インピーダンスの選択		2.5		kΩ
	入力ピン INxP または INxM、10kΩ 入力インピーダンスの選択		10		
	入力ピン INxP または INxM、20kΩ 入力インピーダンスの選択		20		
	チャネル ゲイン範囲	1dB ステップでのプログラマブル範囲	0	42	dB
<b>ライン/マイク入力録音の ADC 性能。AVDD 3.3V 動作</b>					
差動入力のフルスケール AC 信号電圧	AC 結合入力		2		V <sub>RMS</sub>
シングルエンド入力のフルスケール AC 信号電圧	AC 結合入力		1		V <sub>RMS</sub>
SNR	信号対雑音比、A 特性補正 <sup>(1) (2)</sup>	IN1 差動入力を選択して AC 信号をグランドに短絡、10kΩ 入力インピーダンスの選択、チャネル ゲイン 0dB	100	106	dB
		IN1 差動入力を選択して AC 信号をグランドに短絡、10kΩ 入力インピーダンスの選択、チャネル ゲイン 12dB		102	
DR	ダイナミック レンジ、A 特性補正 <sup>(2)</sup>	IN1 差動入力を選択して -60dB フルスケール AC 信号入力、10kΩ 入力インピーダンスの選択、チャネル ゲイン 0dB		107	dB
		IN1 差動入力を選択して -72dB フルスケール AC 信号入力、10kΩ 入力インピーダンスの選択、チャネル ゲイン 12dB		103	
THD+N	全高調波歪み <sup>(2) (3)</sup>	IN1 差動入力を選択して -1dB フルスケール AC 信号入力、10kΩ 入力インピーダンスの選択、チャネル ゲイン 0dB		-98	dB
		IN1 差動入力を選択して -13dB フルスケール AC 信号入力、10kΩ 入力インピーダンスの選択、チャネル ゲイン 12dB		-94	
<b>ライン/マイク入力録音の ADC 性能。AVDD 1.8V 動作</b>					
差動入力のフルスケール AC 信号電圧	AC 結合入力		1		V <sub>RMS</sub>

$T_A = 25^\circ\text{C}$  の場合、AVDD = 3.3V、IOVDD = 3.3V、 $f_{IN} = 1\text{-kHz}$  の正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットのオーディオ データ、BCLK =  $256 \times f_S$ 、TDM スレーブ モード、PLL がオンのとき (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	シングルエンド入力のフルスケール AC 信号電圧	AC 結合入力		0.5		$\text{V}_{\text{RMS}}$
SNR	信号対雑音比、A 特性補正 (1) (2)	IN1 差動入力を選択して AC 信号をグランドに短絡、 $10\text{k}\Omega$ 入力インピーダンスの選択、チャネル ゲイン 0dB		100		dB
DR	ダイナミックレンジ、A 特性補正 (2)	IN1 差動入力を選択して $-60\text{dB}$ フルスケール AC 信号入力、 $10\text{k}\Omega$ 入力インピーダンスの選択、チャネル ゲイン 0dB		101		dB
THD+N	全高調波歪み (2) (3)	IN1 差動入力を選択して $-2\text{dB}$ フルスケール AC 信号入力、 $10\text{k}\Omega$ 入力インピーダンスの選択、チャネル ゲイン 0dB		-90		dB

**ADC のその他のパラメータ**

	デジタル ボリューム制御範囲	プログラマブルな 0.5 -dB ステップ	-100	27	dB
	出力データのサンプル レート	プログラム可能	7.35	768	kHz
	出力データ サンプルのワード長	プログラム可能	16	32	ビット
	デジタル ハイパス フィルタのカットオフ周波数	プログラム可能な係数を持つ 1 次 IIR フィルタ、-3dB ポイント (デフォルト設定)		12	Hz
	チャネル間絶縁	非測定チャネルへの $-1\text{dB}$ フルスケール AC 信号入力		-124	dB
	チャネル間ゲインのミスマッチ	$-6\text{dB}$ フルスケール AC 信号入力、チャネル ゲイン 0dB		0.1	dB
	ゲインドリフト	0dB チャネル ゲイン、温度範囲全体 $15^\circ\text{C} \sim 35^\circ\text{C}$		-4.4	$\text{ppm}/^\circ\text{C}$
	チャネル間位相のミスマッチ	1-kHz の正弦波信号		0.02	度
	位相ドリフト	1kHz の正弦波信号、温度範囲全体 $15^\circ\text{C} \sim 35^\circ\text{C}$		0.0005	$\text{度}/^\circ\text{C}$
PSRR	電源除去比	AVDD に $100\text{-mV}_{\text{PP}}$ 、1-kHz の正弦波信号を入力、差動入力を選択、チャネル ゲインは 0-dB		102	dB
CMRR	同相除去比	差動マイク入力を選択、チャネル ゲイン 0dB、 $100\text{mV}_{\text{PP}}$ 、両ピンに 1kHz 信号、出力レベルを測定		60	dB

**マイクバイアス**

	MICBIAS ノイズ	BW = 20 Hz ~ 20 kHz、A 特性補正、MICBIAS と AVSS の間に $1\mu\text{F}$ コンデンサを接続		1.6	$\mu\text{V}_{\text{RMS}}$	
	MICBIAS 電圧	MICBIAS を VREF および VREF にプログラムして、2.75V、2.5V、1.375V のいずれかにプログラム		VREF	V	
		MICBIAS を $\text{VREF} \times 1.096$ および VREF にプログラムして、2.75V、2.5V、1.375V のいずれかにプログラム		$\text{VREF} \times 1.096$		
		20mA 負荷で AVDD にバイパス		AVDD - 0.2		
	MICBIAS 電流ドライブ	MICBIAS の電圧は $\geq 2.5\text{V}$		20	mA	
		MICBIAS の電圧は $< 2.5\text{V}$		10		
	MICBIAS 負荷制御	MICBIAS を VREF または $\text{VREF} \times 1.096$ にプログラムして、最大負荷まで測定	0	0.6	1.8	%
	MICBIAS の過電流保護スレッショルド			25		mA

**デジタル I/O**

$V_{IL(\text{SHDNZ})}$	Low レベル デジタル入力ロジック電圧スレッショルド	SHDNZ ピン	-0.3	$0.25 \times \text{IOVDD}$	V
$V_{IH(\text{SHDNZ})}$	High レベル デジタル入力ロジック電圧スレッショルド	SHDNZ ピン	$0.75 \times \text{IOVDD}$	$\text{IOVDD} + 0.3$	V
$V_{IL}$	Low レベル デジタル入力ロジック電圧スレッショルド	INxP_GPIx、SDA、SCL を除くすべてのデジタル ピン、 $\text{IOVDD} 1.8\text{V}$ 動作	-0.3	$0.35 \times \text{IOVDD}$	V
		INxP_GPIx、SDA、SCL を除くすべてのデジタル ピン、 $\text{IOVDD} 3.3\text{V}$ 動作	-0.3	0.8	
$V_{IH}$	High レベル デジタル入力ロジック電圧スレッショルド	INxP_GPIx、SDA、SCL を除くすべてのデジタル ピン、 $\text{IOVDD} 1.8\text{V}$ 動作	$0.65 \times \text{IOVDD}$	$\text{IOVDD} + 0.3$	V
		INxP_GPIx、SDA、SCL を除くすべてのデジタル ピン、 $\text{IOVDD} 3.3\text{V}$ 動作	2	$\text{IOVDD} + 0.3$	

$T_A = 25^\circ\text{C}$  の場合、 $\text{AVDD} = 3.3\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、 $f_{IN} = 1\text{-kHz}$  の正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットのオーディオ データ、 $\text{BCLK} = 256 \times f_S$ 、TDM スレーブ モード、PLL がオンのとき (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OL}$	Low レベル デジタル出力電圧	INxM_GPOx, SDA, SCL を除くすべてのデジタル ピン、 $I_{OL} = -2\text{mA}$ 、 $\text{IOVDD} 1.8\text{V}$ 動作		0.45		V
		INxM_GPOx, SDA, SCL を除くすべてのデジタル ピン、 $I_{OL} = -2\text{mA}$ 、 $\text{IOVDD} 3.3\text{V}$ 動作		0.4		
$V_{OH}$	High レベル デジタル出力電圧	INxM_GPOx, SDA, SCL を除くすべてのデジタル ピン、 $I_{OH} = 2\text{mA}$ 、 $\text{IOVDD} 1.8\text{V}$ 動作	$\text{IOVDD} - 0.45$			V
		INxM_GPOx, SDA, SCL を除くすべてのデジタル ピン、 $I_{OH} = 2\text{mA}$ 、 $\text{IOVDD} 3.3\text{V}$ 動作	2.4			
$V_{IL(I2C)}$	Low レベル デジタル入力ロジック電圧スレッショルド	SDA および SCL	-0.5	$0.3 \times \text{IOVDD}$		V
$V_{IH(I2C)}$	High レベル デジタル入力ロジック電圧スレッショルド	SDA および SCL	$0.7 \times \text{IOVDD}$	$\text{IOVDD} + 0.5$		V
$V_{OL1(I2C)}$	Low レベル デジタル出力電圧	SDA, $I_{OL(I2C)} = -3\text{ mA}$ , $\text{IOVDD} > 2\text{ V}$		0.4		V
$V_{OL2(I2C)}$	Low レベル デジタル出力電圧	SDA, $I_{OL(I2C)} = -2\text{mA}$ , $\text{IOVDD} \leq 2\text{V}$		$0.2 \times \text{IOVDD}$		V
$I_{OL(I2C)}$	Low レベル デジタル出力電流	SDA, $V_{OL(I2C)} = 0.4\text{V}$ , スタンダード モードまたはファスト モード	3			mA
		SDA, $V_{OL(I2C)} = 0.4\text{V}$ , ファースト モード プラス	20			
$I_{IH}$	デジタル入力への入力ロジック High リーケージ	INxP_GPlx ピンを除くすべてのデジタル ピン、入力 = $\text{IOVDD}$	-5	0.1	5	$\mu\text{A}$
$I_{IL}$	デジタル入力への入力ロジック Low リーケージ	INxP_GPlx ピンを除くすべてのデジタル ピン、入力 = $0\text{V}$	-5	0.1	5	$\mu\text{A}$
$V_{IL(GPlx)}$	Low レベル デジタル入力ロジック電圧スレッショルド	すべての INxP_GPlx デジタル ピン、 $\text{AVDD} 1.8\text{V}$ 動作	-0.3	$0.35 \times \text{AVDD}$		V
		すべての INxP_GPlx デジタル ピン、 $\text{AVDD} 3.3\text{V}$ 動作	-0.3	0.8		
$V_{IH(GPlx)}$	High レベル デジタル入力ロジック電圧スレッショルド	すべての INxP_GPlx デジタル ピン、 $\text{AVDD} 1.8\text{V}$ 動作	$0.65 \times \text{AVDD}$	$\text{AVDD} + 0.3$		V
		すべての INxP_GPlx デジタル ピン、 $\text{AVDD} 3.3\text{V}$ 動作	2	$\text{AVDD} + 0.3$		
$V_{OL(GPOx)}$	Low レベル デジタル出力電圧	すべての INxM_GPOx デジタル ピン、 $I_{OL} = -2\text{mA}$ , $\text{AVDD} 1.8\text{V}$ 動作		0.45		V
		すべての INxM_GPOx デジタル ピン、 $I_{OL} = -2\text{mA}$ , $\text{AVDD} 3.3\text{V}$ 動作		0.4		
$V_{OH(GPOx)}$	High レベル デジタル出力電圧	すべての INxM_GPOx デジタル ピン、 $I_{OH} = 2\text{mA}$ , $\text{AVDD} 1.8\text{V}$ 動作	$\text{AVDD} - 0.45$			V
		すべての INxM_GPOx デジタル ピン、 $I_{OH} = 2\text{mA}$ , $\text{AVDD} 3.3\text{V}$ 動作	2.4			
$I_{IH(GPlx)}$	デジタル入力への入力ロジック High リーケージ	すべての INxP_GPlx デジタル ピン、入力 = $\text{AVDD}$	-5	0.1	5	$\mu\text{A}$
$I_{IL(GPlx)}$	デジタル入力への入力ロジック High リーケージ	すべての INxP_GPlx デジタル ピン、入力 = $0\text{V}$	-5	0.1	5	$\mu\text{A}$
$C_{IN}$	デジタル入力の入力容量	すべてのデジタル ピン		5		$\text{pF}$
$R_{PD}$	デジタル I/O ピンがアサートされている場合のプルダウン 抵抗			20		$\text{k}\Omega$
標準電源電流消費						
$I_{AVDD}$	ハードウェア シャットダウン モードでの消費電流	SHDNZ = 0, $\text{AVDD} = 3.3\text{V}$ 、内部 AREG		0.5		$\mu\text{A}$
$I_{AVDD}$		SHDNZ = 0, $\text{AVDD} = 1.8\text{V}$ 、外部 AREG 電源 (AREG を $\text{AVDD}$ に短絡)		0.5		
$I_{IOVDD}$		SHDNZ = 0、すべての外部クロックが停止、 $\text{IOVDD} = 3.3\text{V}$		0.1		
$I_{IOVDD}$		SHDNZ = 0、すべての外部クロックが停止、 $\text{IOVDD} = 1.8\text{V}$		0.1		

$T_A = 25^\circ\text{C}$  の場合、AVDD = 3.3V、IOVDD = 3.3V、 $f_{IN} = 1\text{-kHz}$  の正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットのオーディオ データ、BCLK =  $256 \times f_S$ 、TDM スレーブ モード、PLL がオンのとき (特に記載がない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$I_{AVDD}$	すべての外部クロックが停止、AVDD = 3.3V、内部 AREG	5			$\mu\text{A}$
$I_{AVDD}$		5			
$I_{IOVDD}$		0.5			
$I_{IOVDD}$		0.5			
$I_{AVDD}$	AVDD = 3.3V、内部 AREG	11.7			$\text{mA}$
$I_{AVDD}$	AVDD = 1.8V、外部 AREG 電源 (AREG を AVDD に短絡)	11.0			
$I_{IOVDD}$	IOVDD = 3.3V	0.2			
$I_{IOVDD}$	IOVDD = 1.8V	0.1			
$I_{AVDD}$	AVDD = 3.3V、内部 AREG	19.7			$\text{mA}$
$I_{AVDD}$	AVDD = 1.8V、外部 AREG 電源 (AREG を AVDD に短絡)	18.6			
$I_{IOVDD}$	IOVDD = 3.3V	0.1			
$I_{IOVDD}$	IOVDD = 1.8V	0.05			
$I_{AVDD}$	AVDD = 3.3V、内部 AREG	21.3			$\text{mA}$
$I_{AVDD}$	AVDD = 1.8V、外部 AREG 電源 (AREG を AVDD に短絡)	20.2			
$I_{IOVDD}$	IOVDD = 3.3V	0.25			
$I_{IOVDD}$	IOVDD = 1.8V	0.15			

- (1) 1-kHz のフルスケール正弦波入力時の出力レベルと、AC 信号入力がグラウンドにショートされている場合の出力レベルの比率、オーディオ アナライザを使用し、20-Hz から 20-kHz の帯域幅で A 特性補正を測定しました。
- (2) すべての性能測定は、20-kHz のローパス フィルタを使用して行い、必要に応じて A 特性補正フィルタも使用します。このようなフィルタを使用しない場合、電気的特性に示されている値よりも THD が高く、信号対雑音比およびダイナミックレンジの読み取り値が低くなる可能性があります。ローパス フィルタは帯域外のノイズを除去します。これらのノイズは聴覚には影響しませんが、ダイナミック仕様値に影響を与える可能性があります。
- (3) 最高の歪み性能を得るには、電圧係数の低い入力 AC カップリング コンデンサを使用してください。

## 6.6 タイミング要件 : I<sup>2</sup>C インターフェイス

T<sub>A</sub> = 25°C の場合、IOVDD = 3.3V または 1.8V (特に記載がない限り)。タイミング図については、図 6-1 を参照

		最小値	公称値	最大値	単位
<b>スタンダード モード</b>					
f <sub>SCL</sub>	SCL クロック周波数	0	100	kHz	
t <sub>HD:STA</sub>	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック バルスが生成されます。	4		μs	
t <sub>LOW</sub>	SCL クロックの Low 期間	4.7		μs	
t <sub>HIGH</sub>	SCL クロックの High 期間	4		μs	
t <sub>SU:STA</sub>	反復開始条件のセットアップ時間	4.7		μs	
t <sub>HD:DAT</sub>	データ ホールド時間	0	3.45	μs	
t <sub>SU:DAT</sub>	データ セットアップ時間	250		ns	
t <sub>r</sub>	SDA と SCL の立ち上がり時間		1000	ns	
t <sub>f</sub>	SDA と SCL の立ち下がり時間		300	ns	
t <sub>SU:STO</sub>	停止条件のセットアップ時間	4		μs	
t <sub>BUF</sub>	STOP 条件と START 条件の間のバス フリー時間	4.7		μs	
<b>ファスト モード</b>					
f <sub>SCL</sub>	SCL クロック周波数	0	400	kHz	
t <sub>HD:STA</sub>	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック バルスが生成されます。	0.6		μs	
t <sub>LOW</sub>	SCL クロックの Low 期間	1.3		μs	
t <sub>HIGH</sub>	SCL クロックの High 期間	0.6		μs	
t <sub>SU:STA</sub>	反復開始条件のセットアップ時間	0.6		μs	
t <sub>HD:DAT</sub>	データ ホールド時間	0	0.9	μs	
t <sub>SU:DAT</sub>	データ セットアップ時間	100		ns	
t <sub>r</sub>	SDA と SCL の立ち上がり時間	20	300	ns	
t <sub>f</sub>	SDA と SCL の立ち下がり時間	20 × (IOVDD / 5.5V)	300	ns	
t <sub>SU:STO</sub>	停止条件のセットアップ時間	0.6		μs	
t <sub>BUF</sub>	STOP 条件と START 条件の間のバス フリー時間	1.3		μs	
<b>ファスト モード プラス</b>					
f <sub>SCL</sub>	SCL クロック周波数	0	1000	kHz	
t <sub>HD:STA</sub>	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック バルスが生成されます。	0.26		μs	
t <sub>LOW</sub>	SCL クロックの Low 期間	0.5		μs	
t <sub>HIGH</sub>	SCL クロックの High 期間	0.26		μs	
t <sub>SU:STA</sub>	反復開始条件のセットアップ時間	0.26		μs	
t <sub>HD:DAT</sub>	データ ホールド時間	0		μs	
t <sub>SU:DAT</sub>	データ セットアップ時間	50		ns	
t <sub>r</sub>	SDA と SCL の立ち上がり時間		120	ns	
t <sub>f</sub>	SDA と SCL の立ち下がり時間	20 × (IOVDD / 5.5V)	120	ns	
t <sub>SU:STO</sub>	停止条件のセットアップ時間	0.26		μs	
t <sub>BUF</sub>	STOP 条件と START 条件の間のバス フリー時間	0.5		μs	

## 6.7 スイッチング特性 : I<sup>2</sup>C インターフェイス

$T_A = 25^\circ\text{C}$  の場合、 $\text{IOVDD} = 3.3\text{V}$  または  $1.8\text{V}$  (特に記載がない限り)。タイミング図については、[図 6-1](#) を参照

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_d(\text{SDA})$	SCL から SDA への遅延	スタンダード モード	250	1250		ns
		ファースト モード	250	850		
		ファースト モード プラス		400		

## 6.8 タイミング要件 : SPI インターフェイス

$T_A = 25^\circ\text{C}$  の場合、 $\text{IOVDD} = 3.3\text{V}$  または  $1.8\text{V}$ 、すべての出力に  $20\text{pF}$  負荷 (特に記載がない限り)、タイミング図については、[図 6-2](#) を参照

		最小値	公称値	最大値	単位
$t_{\text{SCLK}}$	SCLK 周期	40			ns
$t_{\text{H}(\text{SCLK})}$	SCLK High パルスの期間	18			ns
$t_{\text{L}(\text{SCLK})}$	SCLK Low パルス持続時間	18			ns
$t_{\text{LEAD}}$	リードタイムをイネーブルします	16			ns
$t_{\text{TRAIL}}$	トレール時間をイネーブルにします	16			ns
$t_{\text{DSEQ}}$	シーケンシャル転送遅延	20			ns
$t_{\text{SU}(\text{MOSI})}$	MOSI のデータセットアップ時間	8			ns
$t_{\text{HLD}(\text{MOSI})}$	MOSI のデータホールド時間	8			ns
$t_{\text{r}(\text{SCLK})}$	SCLK の立ち上がり時間	10%~90% の立ち上がり時間		6	ns
$t_{\text{f}(\text{SCLK})}$	SCLK の立ち下がり時間	90%~10% の立ち下がり時間		6	ns

## 6.9 スイッチング特性 : SPI インターフェイス

$T_A = 25^\circ\text{C}$  の場合、 $\text{IOVDD} = 3.3\text{V}$  または  $1.8\text{V}$ 、すべての出力に  $20\text{pF}$  負荷 (特に記載がない限り)、タイミング図については、[図 6-2](#) を参照

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{a}(\text{MISO})}$		MISO アクセス時間			16	ns
$t_{\text{d}(\text{MISO})}$		SCLK から MISO への遅延	SCLK の 50% から MISO の 50%		16	ns
$t_{\text{dis}(\text{MISO})}$		MISO のディセーブル時間			20	ns

## 6.10 タイミング要件 : TDM、I<sup>2</sup>S または LJ インターフェイス

$T_A = 25^\circ\text{C}$  の場合、 $\text{IOVDD} = 3.3\text{V}$  または  $1.8\text{V}$ 、すべての出力に  $20\text{pF}$  負荷 (特に記載がない限り)、タイミング図については、[図 6-3](#) を参照

		最小値	公称値	最大値	単位
$t_{\text{(BCLK)}}$	BCLK 周期	40			ns
$t_{\text{H}(\text{BCLK})}$	BCLK high パルス持続時間 <a href="#">(1)</a>	18			ns
$t_{\text{L}(\text{BCLK})}$	BCLK low パルス持続時間 <a href="#">(1)</a>	18			ns
$t_{\text{SU}(\text{FSYNC})}$	FSYNC のセットアップ時間	8			ns
$t_{\text{HLD}(\text{FSYNC})}$	FSYNC のホールド時間	8			ns
$t_{\text{r}(\text{BCLK})}$	BCLK の立ち上がり時間	10%~90% の立ち上がり時間		10	ns
$t_{\text{f}(\text{BCLK})}$	BCLK の立ち下がり時間	90%~10% の立ち下がり時間		10	ns

(1) SDOUT データラインが、デバイスが SDOUT データを送信するために使用するエッジとは逆の BCLK エッジ極性でラッチされる場合、BCLK の最小 High/Low パルス幅は 25ns 以上 (タイミング仕様を満たすため) である必要があります。

## 6.11 スイッチング特性 : TDM、I<sup>2</sup>S または LJ インターフェイス

$T_A = 25^\circ\text{C}$  の場合、 $\text{IOVDD} = 3.3\text{V}$  または  $1.8\text{V}$ 、すべての出力に  $20\text{pF}$  負荷 (特に記載がない限り)、タイミング図については、図 6-3 を参照

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{d(\text{SDOUT-BCLK})}$	BCLK から SDOUT への遅延	BCLK の 50% から SDOUT の 50%		18	ns
$t_{d(\text{SDOUT-FSYNC})}$	TDM または LJ モードにおける FSYNC から SDOUT までの遅延 ( $\text{TX\_OFFSET} = 0$ の場合、MSB データ用)	FSYNC の 50% から SDOUT の 50%		18	ns
$f_{(\text{BCLK})}$	BCLK 出力クロック周波数、マスター モード (1)		24.576		MHz
$t_{H(\text{BCLK})}$	BCLK のハイパルスの持続時間、マスター モード		14		ns
$t_{L(\text{BCLK})}$	BCLK Low パルス幅、マスター モード		14		ns
$t_{d(\text{FSYNC})}$	BCLK から FSYNC までの遅延、マスター モード	BCLK の 50% から FSYNC の 50%		18	ns
$t_{r(\text{BCLK})}$	BCLK 立ち上がり時間、マスター モード	10%~90% の立ち上がり時間		8	ns
$t_{f(\text{BCLK})}$	BCLK 立ち下がり時間、マスター モード	90%~10% の立ち下がり時間		8	ns

(1) SDOUT データラインが、デバイスが SDOUT データを送信するために使用するエッジとは反対の BCLK エッジ極性でラッチされる場合、BCLK 出力クロック周波数は  $18.5\text{MHz}$  未満である必要があります。

## 6.12 タイミング要件 : PDM デジタルマイクロフォンインターフェイス

$T_A = 25^\circ\text{C}$  の場合、 $\text{IOVDD} = 3.3\text{V}$  または  $1.8\text{V}$ 、すべての出力に  $20\text{pF}$  負荷 (特に記載がない限り)、タイミング図については、図 6-4 を参照

		最小値	公称値	最大値	単位
$t_{SU(\text{PDMDINx})}$	PDMDINx のセットアップ時間	30			ns
$t_{HLD(\text{PDMDINx})}$	PDMDINx ホールド時間	0			ns

## 6.13 スイッチング特性 : PDM デジタルマイクロフォンインターフェイス

$T_A = 25^\circ\text{C}$  の場合、 $\text{IOVDD} = 3.3\text{V}$  または  $1.8\text{V}$ 、すべての出力に  $20\text{pF}$  負荷 (特に記載がない限り)、タイミング図については、図 6-4 を参照

パラメータ	テスト条件	最小値	標準値	最大値	単位
$f_{(\text{PDMCLK})}$	PDMCLK クロック周波数		0.768	6.144	MHz
$t_{H(\text{PDMCLK})}$	PDMCLK High パルスの期間		72		ns
$t_{L(\text{PDMCLK})}$	PDMCLK Low パルス持続時間		72		ns
$t_{r(\text{PDMCLK})}$	PDMCLK の立ち上がり時間	10%~90% の立ち上がり時間		18	ns
$t_{f(\text{PDMCLK})}$	PDMCLK の立ち下がり時間	90%~10% の立ち下がり時間		18	ns

## 6.14 タイミング図

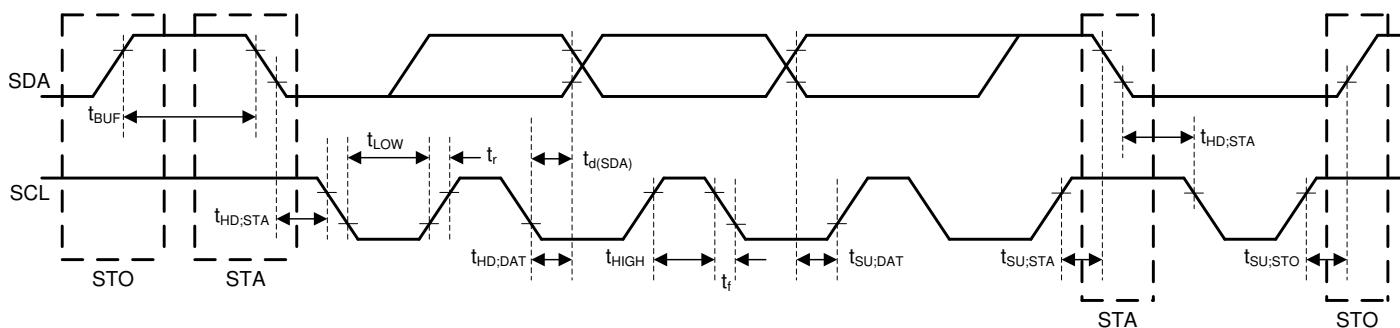


図 6-1. I<sup>2</sup>C インターフェイス プロトコル図

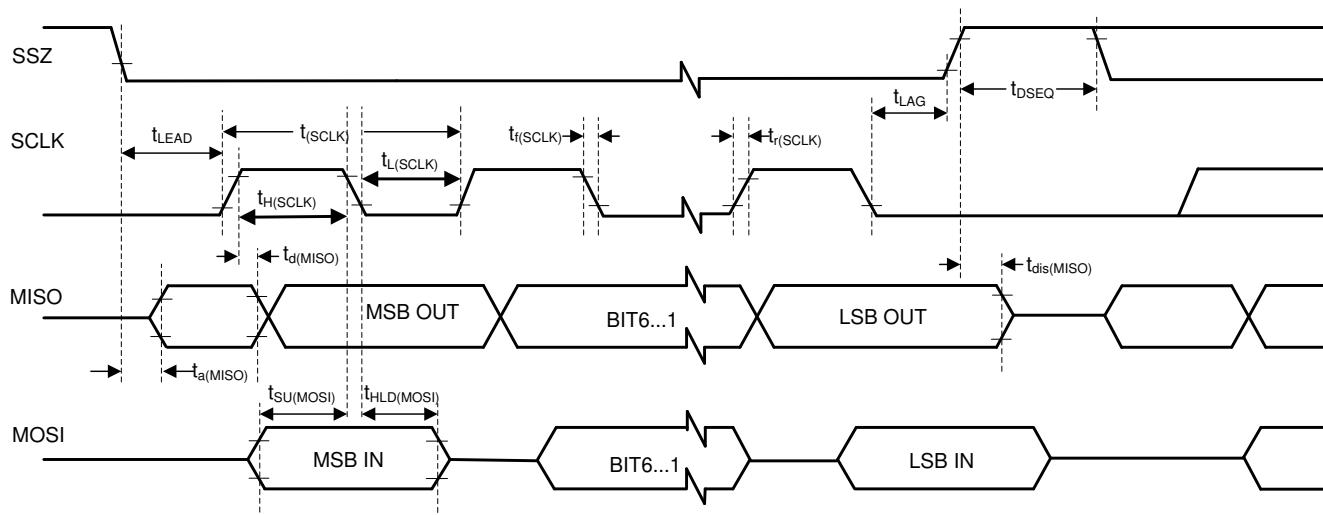


図 6-2. SPI インターフェイスのタイミング図

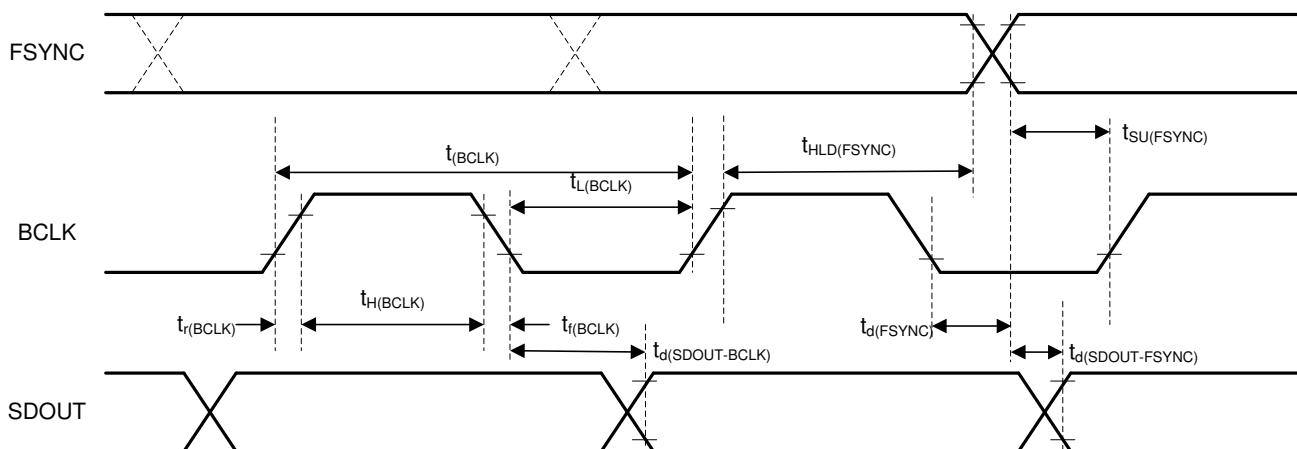


図 6-3. TDM (BCLK POL = 1)、I<sup>2</sup>S、LJ インターフェイスのタイミング図

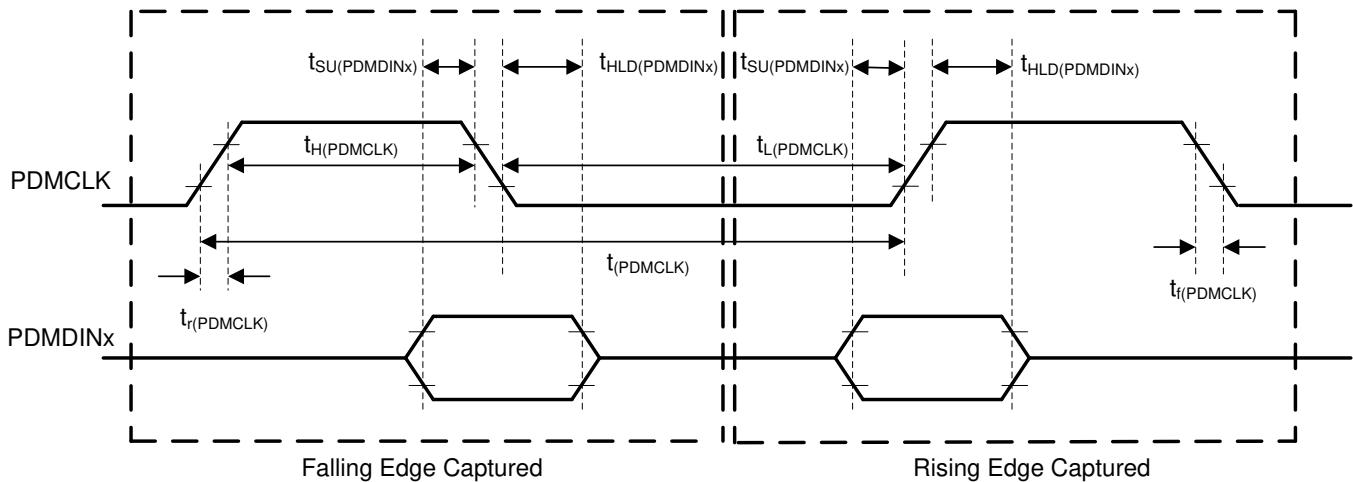


図 6-4. PDM デジタルマイクロフォンインターフェイスのタイミング図

## 6.15 代表的特性

$T_A = 25^\circ\text{C}$  の場合、AVDD = 3.3V、IOVDD = 3.3V、 $f_{IN} = 1\text{kHz}$  正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットのオーディオ データ、BCLK =  $256 \times f_S$ 、TDM ターゲットモード、PLL オン、チャネル レギュイ  $= 0\text{dB}$ 、線形位相デシメーション フィルタ (特に記述のない限り)。すべての性能測定は、20kHz のローパス フィルタと A 特性補正 フィルタを使用して実行

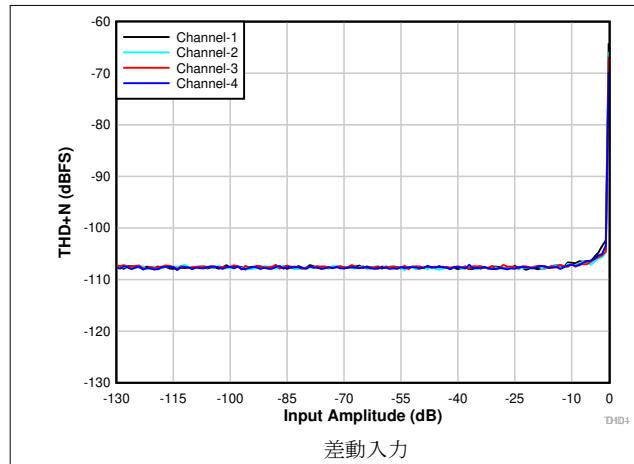
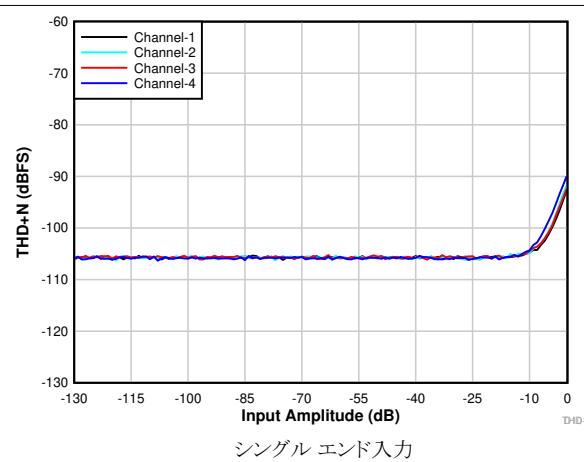
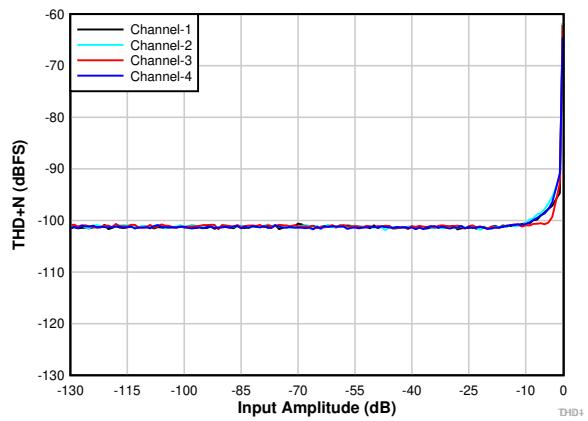


図 6-5. THD+N と入力振幅との関係



シングル エンド入力

図 6-6. THD+N と入力振幅との関係



AVDD = 1.8V および VREF = 1.375V の差動入力

図 6-7. THD+N と入力振幅との関係

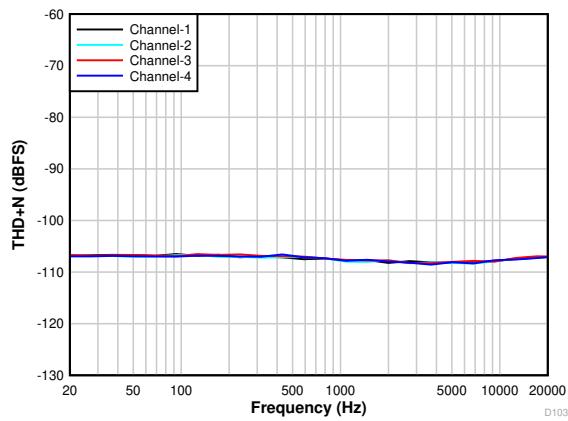


図 6-8. THD+N と入力周波数との関係、-60dB 入力

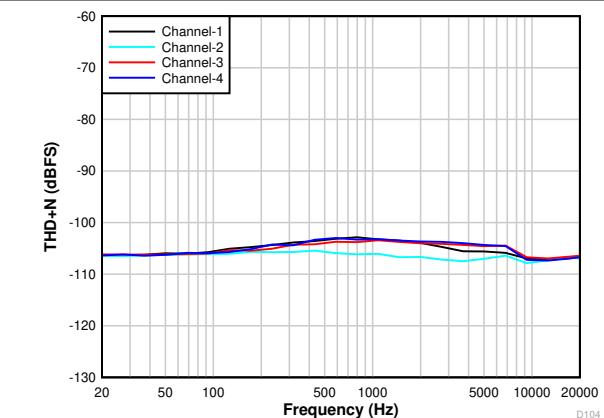


図 6-9. THD+N と入力周波数との関係、-1dBr 入力

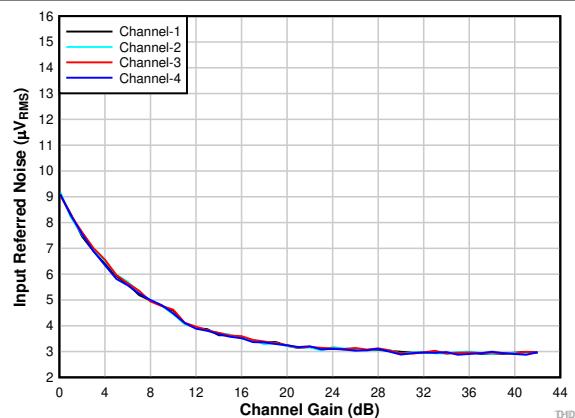


図 6-10. 入力換算ノイズとチャネル ゲインとの関係

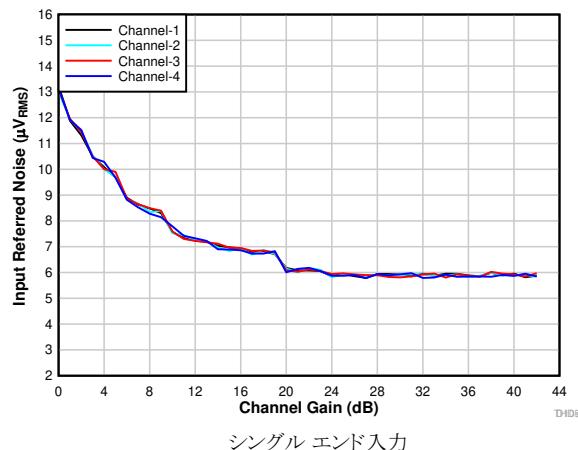


図 6-11. 入力換算ノイズとチャネル ゲインとの関係

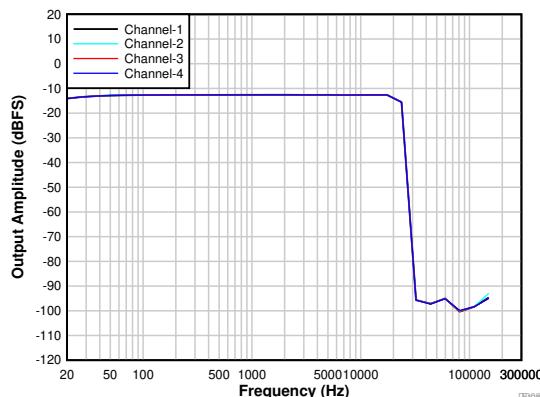


図 6-12. 周波数応答、-12dBr 入力

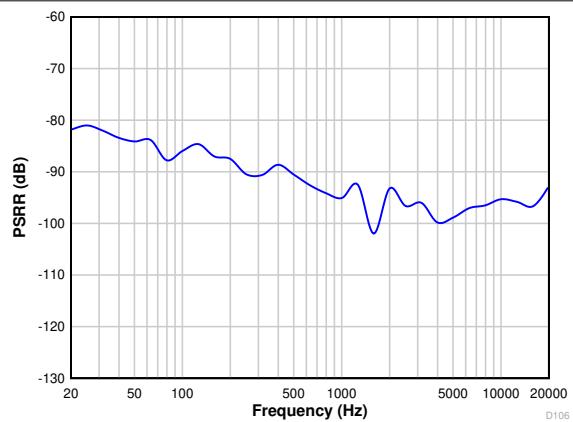
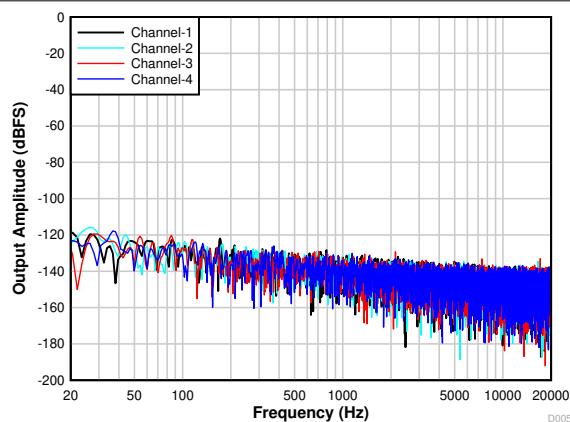
図 6-13. 電源除去比とリップル周波数との関係、  
100mV<sub>PP</sub> 振幅

図 6-14. アイドル入力の FFT

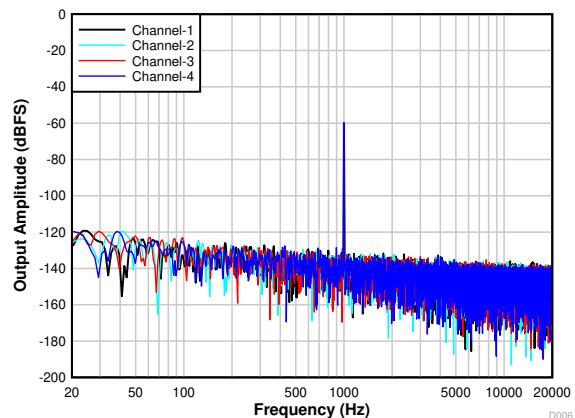


図 6-15. -60dBr 入力の FFT

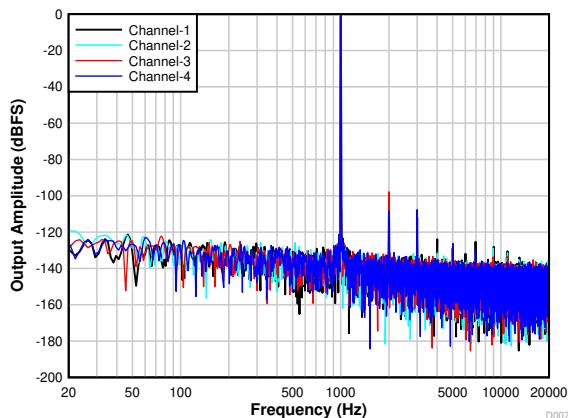


図 6-16. -1dBr 入力の FFT

## 7 詳細説明

### 7.1 概要

PCM3140-Q1 は高性能、低消費電力、高柔軟性のクワッド チャネルのオーディオ A/D コンバータ (ADC) で、豊富な機能を統合しています。デバイスは、音声操作システム、業務用マイク、電話会議、ポータブル コンピューティング、通信、エンターテインメントの各アプリケーションを意図しています。デバイスはダイナミック レンジが広いので、忠実度の高いファー フィールドのオーディオ録音を実現できます。このデバイスには、スペースが制限されたバッテリ駆動の民生用、家庭用、産業用アプリケーションにおけるコスト、基板スペース、電力消費を削減する多数の機能が統合されています。

PCM3140-Q1 は以下に示すブロックで構成されています。

- クワッド チャネル、マルチビット、高性能デルタシグマ ( $\Delta\Sigma$ ) ADC
- 構成可能なシングルエンド入力または差動入力
- 低ノイズのプログラマブル マイクバイアス出力
- 自動ゲイン コントローラ (AGC)
- 線形位相または低レイテンシ フィルタを備えたプログラマブル デシメーション フィルタ
- 各チャネルにプログラム可能なチャネル ゲイン、ボリューム制御、バイクワッド フィルタ
- 各チャネルごとに、高分解能で位相とゲインの較正をプログラム可能
- プログラマブル ハイパス フィルタ (HPF) およびデジタル チャネルミキサ
- パルス密度変調 (PDM) デジタル マイク インターフェイスと高性能デシメーション フィルタ
- 多様なシステム クロックをサポートする低ジッタのフェーズ ロック ループ (PLL) を内蔵
- 単一電源動作をサポートするデジタルおよびアナログ電圧レギュレータを内蔵

制御レジスタを構成するための PCM3140-Q1 との通信は、I<sup>2</sup>C または SPI インターフェイスを使用してサポートされています。このデバイスは、柔軟性の高いオーディオ・シリアル・インターフェイス[時分割多重化 (TDM)、I<sup>2</sup>S、左揃え (LJ)]をサポートしており、システムでデバイスの間でオーディオ データをシームレスに送信できます。

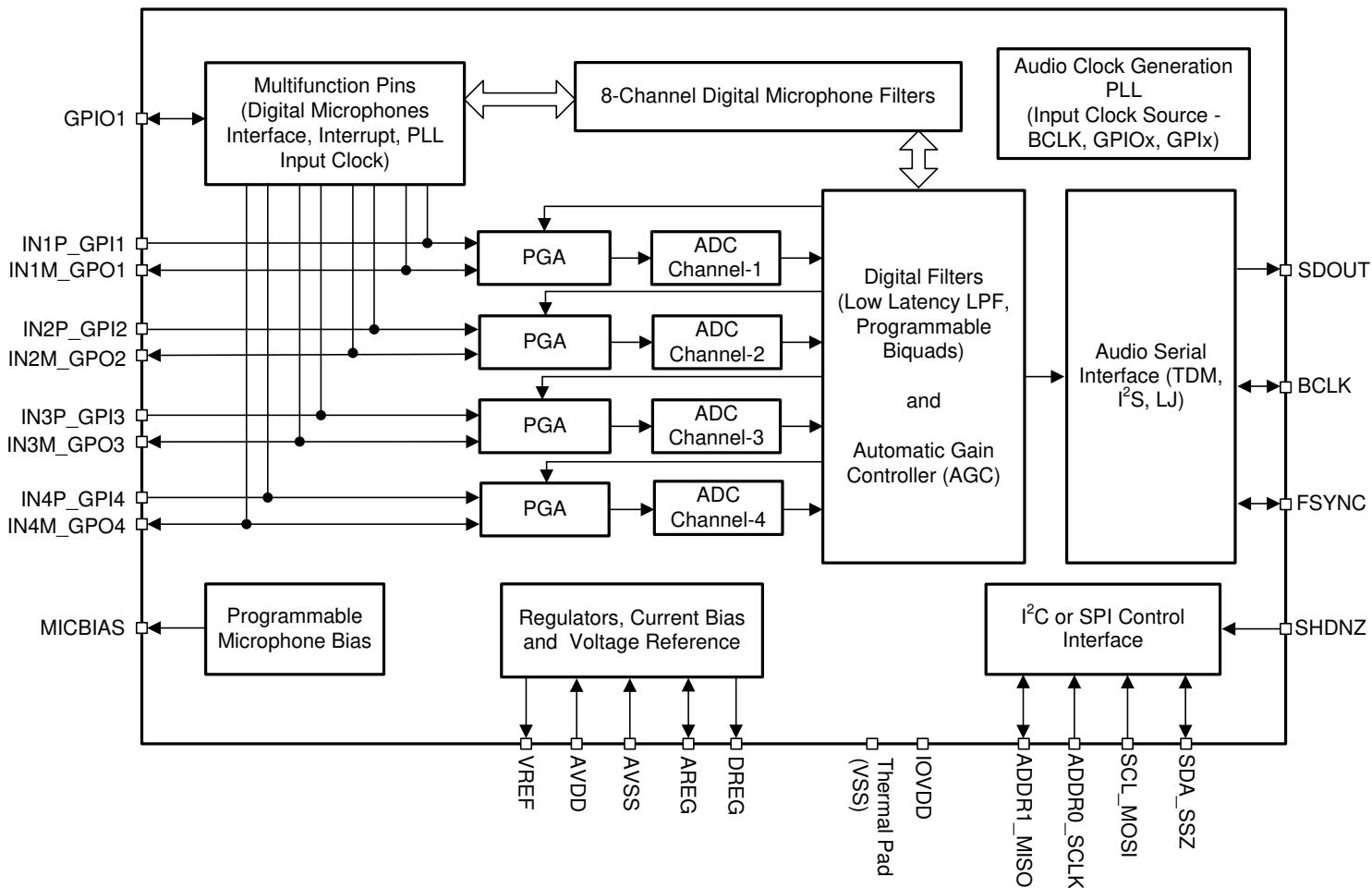
デバイスは、複数のデバイス間で共通の I<sup>2</sup>C と TDM バスを共有することで、複数のデバイスをサポートできます。さらに、このデバイスはデイジーチェーン機能と、セカンダリ オーディオ シリアル出力データ ピンを備えています。これらの機能により、高いオーディオ データ帯域幅を必要とするアプリケーションで複数のデバイスを動作させる場合、共有 TDM バスのタイミング要件と基板設計の複雑さが緩和されます。

表 7-1 に、このドキュメント全体を通して、デバイスを制御するレジスタに使用される参照用略語を示します。

表 7-1. レジスタ参照の略語

リファレンス	略語	説明	例
ページ y、登録 z、ビット k	Py_Rz_Dk	シングル データビット。レジスタの 1 ビットの値。	ページ 4、レジスタ 36、ビット 0 = P4_R36_D0
ページ y、レジスタ z、ビット k:m	Py_Rz_D[k:m]	データビットの範囲。データビットの範囲(含む)。	ページ 4、レジスタ 36、ビット 3:0 = P4_R36_D[3:0]
ページ y、登録 z	Py_Rz	レジスタ全体に 1 つ。レジスタ内の 8 ビットすべてをユニットとして使用	ページ 4、レジスタ 36 = P4_R36
ページ y、レジスタ z-n	Py_Rz-Rn	レジスタの範囲。同じページ内のレジスタの範囲。	ページ 4、レジスタ 36, 37, 38 = P4_R36~R38

## 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 シリアルインターフェイス

このデバイスには、制御とオーディオ データの 2 つのシリアル インターフェイスがあります。制御シリアル インターフェイスは、デバイスの構成に使用されます。オーディオ データシリアル インターフェイスは、オーディオ データをホスト デバイスに送信するために使用されます。

#### 7.3.1.1 制御シリアル インターフェイス

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラマブル係数が含まれています。これらのレジスタには、デバイスへの I<sup>2</sup>C または SPI 通信を使用してすべてアクセスできます。詳細については、「[セクション 7.5](#)」セクションを参照してください。

#### 7.3.1.2 オーディオシリアルインターフェイス

デジタル オーディオ データは、ホスト プロセッサと PCM3140-Q1 の間でデジタル オーディオ シリアル インターフェース (ASI) またはオーディオ バスを通じて流れます。この非常に柔軟な ASI バスには、マルチチャンネル動作用の TDM モード、I<sup>2</sup>S または左揃えプロトコル フォーマットのサポート、プログラム可能なデータ長オプション、バス クロック ラインのための非常に柔軟なコントローラーのターゲット設定、システム内の複数のデバイスと直接通信する能力が含まれています。

バスプロトコル TDM、I<sup>2</sup>S、左揃え (LJ) 形式は、ASI\_FORMAT[1:0]、P0\_R7\_D[7:6] レジスタビットを使用して選択できます。表 7-2 と表 7-3 に示されているように、これらのモードはすべて最上位ビット (MSB) ファーストのパルス符号変調 (PCM) データフォーマットで、出力チャネルのデータワード長は、ASI\_WLEN[1:0]、P0\_R7\_D[5:4] レジスタビットを構成することで 16、20、24、または 32 ビットに設定可能です。

表 7-2. オーディオシリアルインターフェイスのフォーマット

P0_R7_D[7:6]:ASI_FORMAT[1:0]	オーディオシリアルインターフェイスのフォーマット
00 (デフォルト)	時分割多重化 (TDM) モード
01	インタ IC サウンド (I <sup>2</sup> S) モード
10	左揃え (LJ) モード
11	予約済み (この設定は使用しないでください)

表 7-3. オーディオ出力チャネルデータワード長

P0_R7_D[5:4]:ASI_WLEN[1:0]	オーディオ出力チャネルデータワード長
00	出力チャネルデータワード長は 16 ビットに設定
01	出力チャネルデータワード長は 20 ビットに設定
10	出力チャネルデータワード長は 24 ビットに設定
11 (デフォルト)	出力チャネルデータワード長は 32 ビットに設定

フレーム同期ピン (FSYNC) は、このオーディオバスプロトコルでフレームの開始を定義するために使用され、出力データサンプルレートと同じ周波数を持っています。ビットクロックピン (BCLK) は、デジタルオーディオデータをシリアルバス経由でクロックアウトするために使用されます。フレーム内のビットクロックサイクル数は、プログラムされたデータワード長を持つ複数のデバイスアクティブ出力チャネルに対応する必要があります。

フレームは、複数の時分割チャネルスロット (最大 64 個) で構成され、同じオーディオバスを共有するデバイスまたは複数の PCM3140-Q1 デバイスによって、すべての出力チャネルのオーディオデータ転送がオーディオバス上で完了するようになっています。このデバイスは、最大 8 つの出力チャネルをサポートしており、オーディオデータをスロット 0 からスロット 63 まで配置するように設定できます。表 7-4 に、出力チャネルスロットの設定値を示します。In I<sup>2</sup>S および LJ モードでは、セクション 7.3.1.2.2 およびセクション 7.3.1.2.3 セクションに記載されているように、スロットは左チャネルスロットと右チャネルスロットの 2 つのセットに分割されます。

表 7-4. 出力チャネルスロット割り当て設定

P0_R11_D[5:0]:CH1_SLOT[5:0]	出力チャネル 1 のスロット割り当て
00 0000 = 0d (デフォルト)	スロット 0 は TDM 用、または I <sup>2</sup> S、LJ 用の左チャネルスロット 0。
00 0001 = 1d	スロット 1 は TDM 用、または I <sup>2</sup> S、LJ 用の左チャネルスロット 1。
...	...
01 1111 = 31d	スロット 31 は TDM 用、または I <sup>2</sup> S、LJ 用の左チャネルスロット 31。
10 0000 = 32d	TDM の場合はスロット 32、I <sup>2</sup> S、LJ の場合は右スロット 0。
...	...
11 1110 = 62d	TDM の場合はスロット 62、I <sup>2</sup> S、LJ の場合は右スロット 30。
11 1111 = 63d	TDM の場合はスロット 63、I <sup>2</sup> S、LJ の場合は右スロット 31。

同様に、出力チャネル 2 からチャネル 8 のスロット割り当て設定は、CH2\_SLOT (P0\_R12) から CH8\_SLOT (P0\_R18) のレジスタを使用して、それぞれ構成することができます。

スロットワード長は、デバイスに設定された出力チャネルデータワード長と同じです。出力チャネルデータワード長は、システム内ですべてのデバイスが同じ ASI バスを共有する場合、すべての PCM3140-Q1 デバイスで同じ値に設定する必要があります。システム内の ASI バスで使用可能な最大スロット数は、利用可能なバス帯域幅によって制限されます。この帯域幅は、BCLK 周波数、使用される出力データサンプルレート、および設定されたチャネルデータワード長に依存します。

このデバイスには、スロットデータ転送の開始位置をフレーム同期に対して最大 31 サイクル分、ビットクロックでオフセットする機能も含まれています。表 7-5 に、プログラマブル オフセット構成の設定を示します。

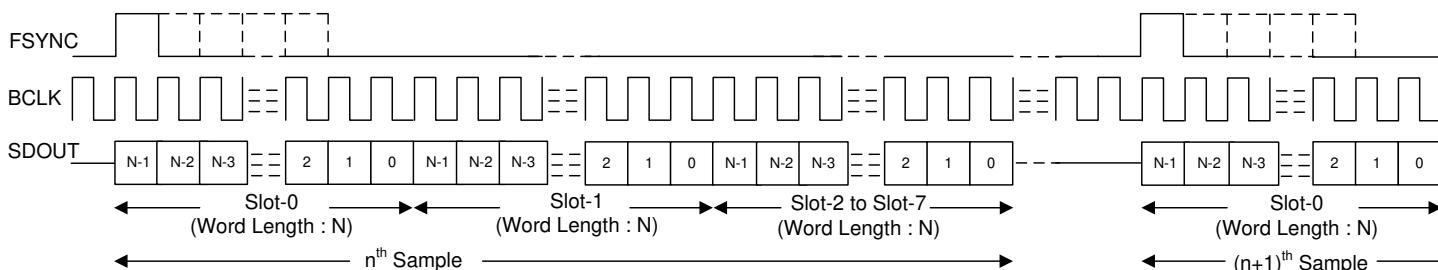
**表 7-5. ASI スロット開始のプログラマブル オフセット設定**

P0_R8_D[4:0]:TX_OFFSET[4:0]	スロットデータ送信開始のプログラム可能なオフセット設定
0 0000 = 0d (デフォルト)	このデバイスは、オフセットなしで標準プロトコルのタイミングに従います。
0 0001 = 1d	スロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。 I <sup>2</sup> S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。
.....	.....
1 1110 = 30d	スロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。 I <sup>2</sup> S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。
1 1111 = 31d	スロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。 I <sup>2</sup> S または LJ の場合、左チャネルと右チャネルのスロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。

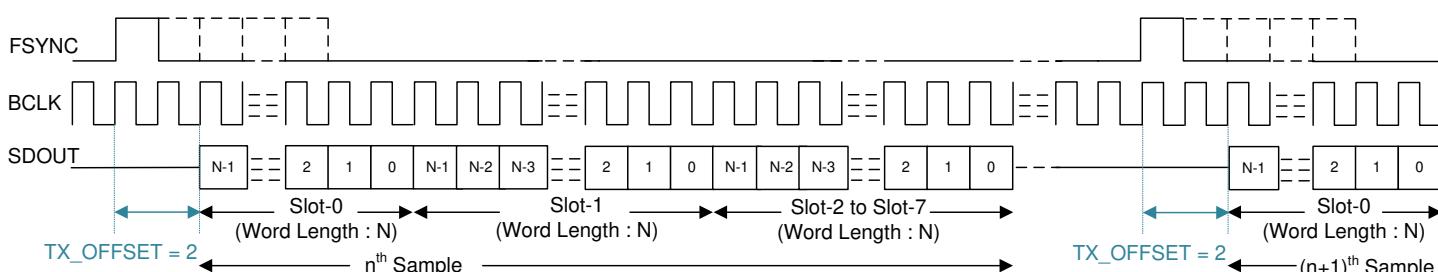
このデバイスには、オーディオ データを転送するために使用されるフレーム同期ピン (FSYNC) の極性を反転させる機能もあり、これは標準プロトコルのタイミングで使用されるデフォルトの FSYNC 極性と比較されます。この機能は、FSYNC\_POL、P0\_R7\_D3 レジスタ ビットを使用して設定できます。同様に、このデバイスはビットクロック ピン (BCLK) の極性を反転させることができ、これは BCLK\_POL、P0\_R7\_D2 レジスタ ビットを使用して設定できます。

### 7.3.1.2.1 時分割多重オーディオ (TDM) インターフェイス

DSP モードとも呼ばれる TDM モードでは、FSYNC の立ち上がりエッジで、スロット 0 のデータから最初にデータ転送が開始されます。スロット 0 データの転送直後に、残りのスロットデータは順番に送信されます。FSYNC と各データビット (TX\_OFFSET が 0 のときのスロット 0 の MSB を除く) は、BCLK の立ち上がりエッジで送信されます。図 7-1 ~ 図 7-4 に、TDM 動作のプロトコルタイミングとさまざまな構成を示します。



**図 7-1. TDM モード標準プロトコルタイミング (TX\_OFFSET = 0)**



**図 7-2. TDM モードのプロトコルタイミング (TX\_OFFSET = 2)**

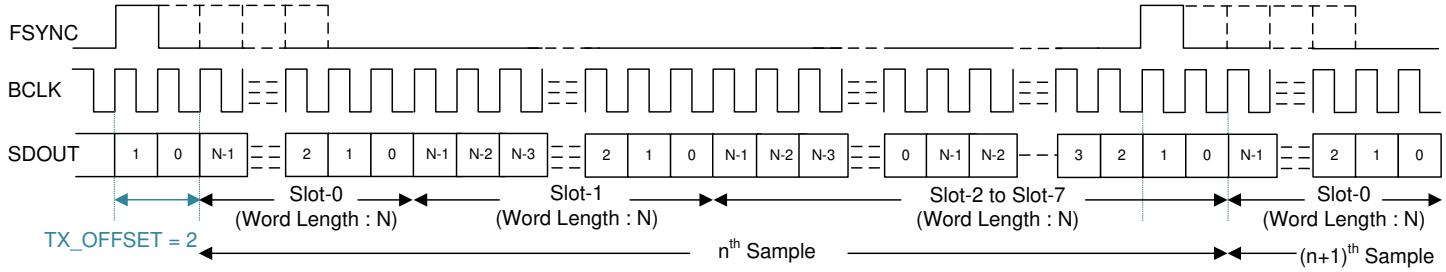


図 7-3. TDM モードのプロトコルタイミング (アイドル BCLK サイクルなし、TX\_OFFSET = 2)

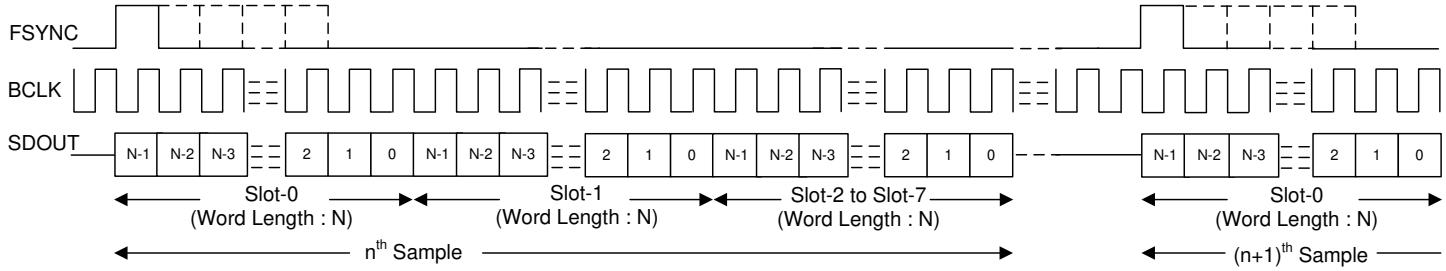
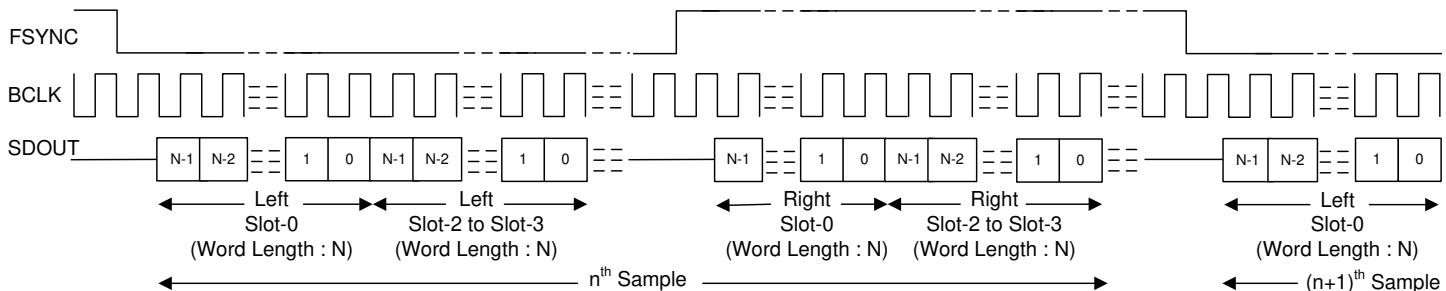


図 7-4. TDM プロトコルのタイミング (TX\_OFFSET = 0 および BCLK\_POL = 1)

TDM モードでオーディオ バスを適切に動作させるには、1 フレームあたりのビットクロック数が、アクティブな出力チャネル数と出力チャネルデータのプログラムされたワード長との積以上の値である必要があります。このデバイスは、1 サイクル幅のビットクロックを使用するパルスとして FSYNC をサポートしますが、同様に複数の倍数にも対応しています。BCLK 周波数を高くして動作させるには、TX\_OFFSET 値を 0 より高く設定した TDM モードを使用することを推奨します。

### 7.3.1.2.2 I<sup>2</sup>S (Inter IC Sound) インターフェイス

標準の I<sup>2</sup>S プロトコルは、左と右の 2 つのチャネルのみに対して定義されています。このデバイスは、同じプロトコルのタイミングをマルチチャネル動作に拡張しています。I<sup>2</sup>S モードでは、FSYNC の立ち下がりエッジの後の 2 番目のサイクルで、左スロット 0 の MSB が BCLK の立ち下がりエッジで送信されます。左スロット 0 のデータ送信が完了した直後に、残りの左スロットのデータが順番に送信されます。右スロット 0 の MSB は、FSYNC の立ち上がりエッジの後の 2 番目のサイクルで、BCLK の立ち下がりエッジで送信されます。右スロット 0 のデータ送信が完了した直後に、残りの右スロットのデータが順番に送信されます。FSYNC と各データビットは、BCLK の立ち下がりエッジで送信されます。図 7-5 ~ 図 7-8 に、I<sup>2</sup>S 動作のプロトコルタイミングとさまざまな構成を示します。

図 7-5. I<sup>2</sup>S モードの標準プロトコルのタイミング (TX\_OFFSET = 0)

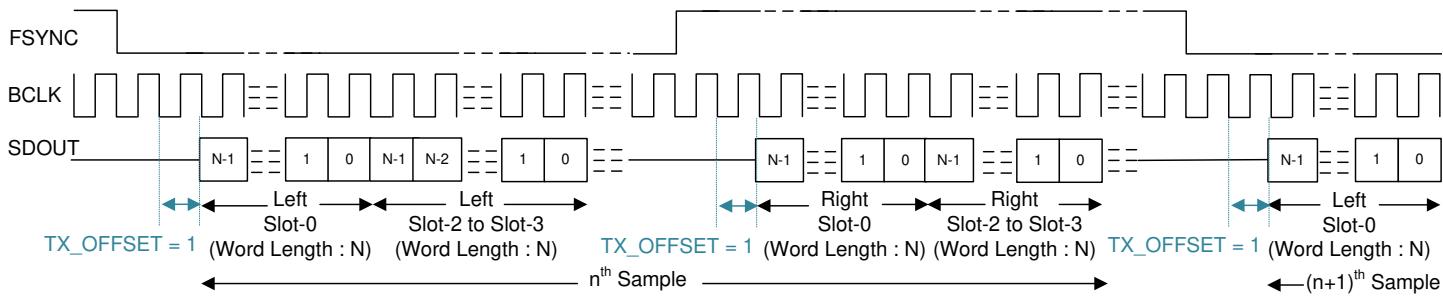


図 7-6. I<sup>2</sup>S プロトコルのタイミング (TX\_OFFSET = 1)

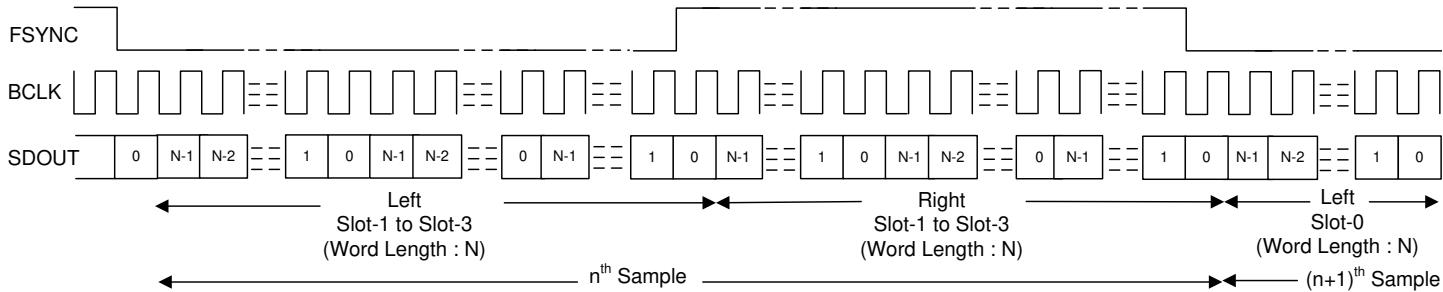


図 7-7. I<sup>2</sup>S プロトコルのタイミング (アイドル BCLK サイクルなし、TX\_OFFSET = 0)

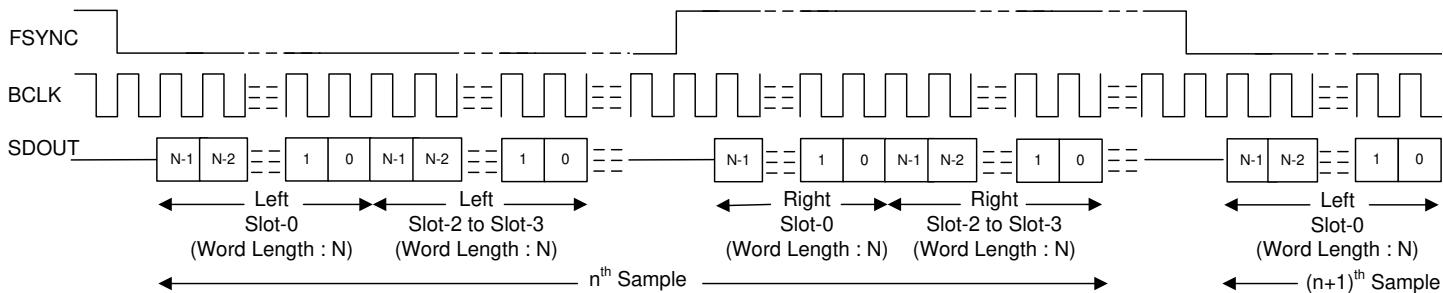
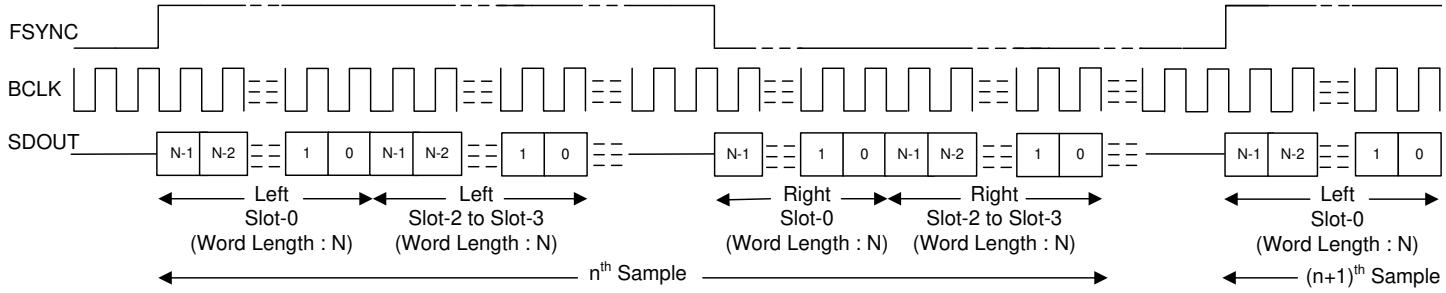
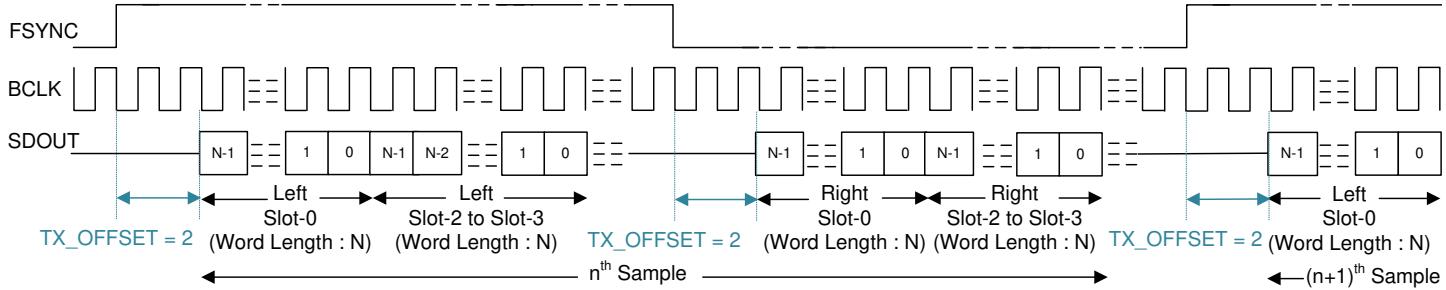
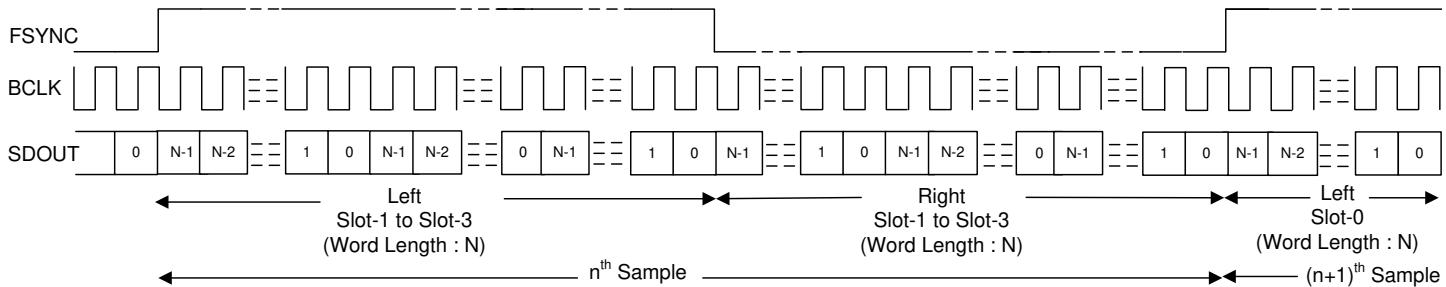
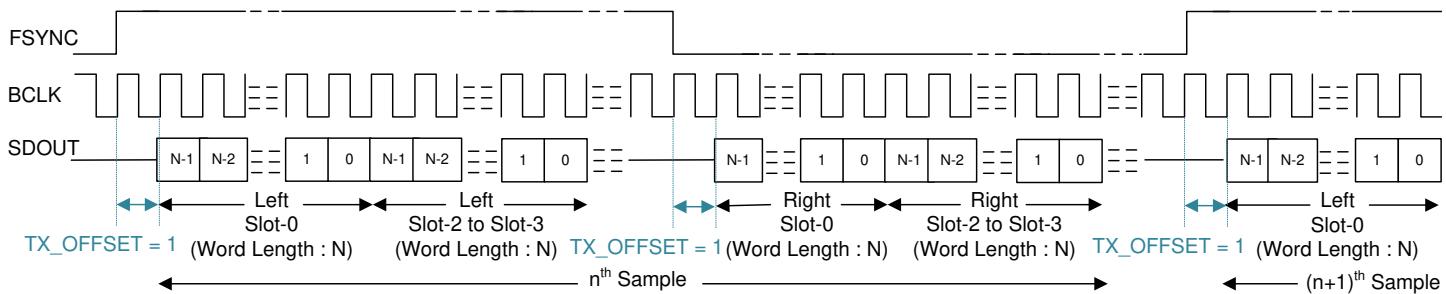


図 7-8. I<sup>2</sup>S プロトコルのタイミング (TX\_OFFSET = 0 および BCLK\_POL = 1)

I<sup>2</sup>S モードでオーディオ バスを正常に動作させるためには、フレームあたりのビット クロック数が、アクティブな出力チャネル数(左および右スロットを含む)に、出力チャネル データの設定されたワード長を掛けた値以上でなければなりません。本デバイスの FSYNC の Low パルスは、アクティブな左スロット数に設定されたデータ ワード長を掛けた値以上の BCLK サイクル幅でなければなりません。同様に、FSYNC の High パルスは、アクティブな右スロット数に設定されたデータ ワード長を掛けた値以上の BCLK サイクル幅でなければなりません。

### 7.3.1.2.3 左揃え (LJ) インターフェイス

標準的な LJ プロトコルは、左と右の 2 チャネルのみに定義されています。このデバイスは、同じプロトコルのタイミングをマルチチャネル動作に拡張しています。LJ モードでは、FSYNC の立ち上がりエッジの後、左スロット 0 の MSB が同じ BCLK サイクルで送信されます。それ以降の各データビットは、BCLK の立ち下がりエッジで送信されます。左スロット 0 のデータ送信が完了した直後に、残りの左スロットのデータが順番に送信されます。右スロット 0 の MSB は、FSYNC の立ち下がりエッジの後、同じ BCLK サイクルで送信されます。それ以降の各データビットは、BCLK の立ち下がりエッジで送信されます。右スロット 0 のデータ送信が完了した直後に、残りの右スロットのデータが順番に送信されます。FSYNC は、BCLK の立ち下がりエッジで送信されます。図 7-9 ~ 図 7-12 に、LJ 動作のプロトコル タイミングとさまざまな構成を示します。

図 7-9. LJ モード標準プロトコル タイミング ( $TX\_OFFSET = 0$ )図 7-10. LJ プロトコルのタイミング ( $TX\_OFFSET = 2$ )図 7-11. LJ プロトコルのタイミング (アイドル BCLK サイクルなし、 $TX\_OFFSET = 0$ )図 7-12. LJ プロトコルのタイミング ( $TX\_OFFSET = 1$  および  $BCLK\_POL = 1$ )

LJ モードでオーディオ バスを適切に動作させるには、1 フレームあたりのビット クロック数が、アクティブな出力チャンネル数(左および右のスロットを含む)に、出力チャネル データのプログラムされたワード長を掛けた数以上である必要があります。デバイス FSYNC の High パルスは、アクティブな左スロット数に設定されたデータ ワード長を掛けた数以上の BCLK サイクル幅である必要があります。同様に、FSYNC の Low パルスは、アクティブな右スロット数に設定されたデータ ワード長を掛けた数以上の BCLK サイクル幅である必要があります。BCLK 周波数を高くして動作させるには、 $TX\_OFFSET$  値を 0 より高く設定した LJ モードを使用することを推奨します。

### 7.3.1.3 共有バスで複数のデバイスを使用

このデバイスは、複数の機能と柔軟なオプションを備え、単一の共通の I<sup>2</sup>C 制御バスとオーディオシリアルインターフェイスバスを共有することで、複数の PCM3140-Q1 デバイスをシステムでシームレスに接続するために使用できます。このアーキテクチャにより、ビームフォーミング動作、電話会議、ノイズキャンセルなどにマイクアレイを必要とするシステムに、複数のアプリケーションを適用できます。図 7-13 に、制御データバスとオーディオデータバスが共有されている構成内の複数の PCM3140-Q1 デバイスの図を示します。

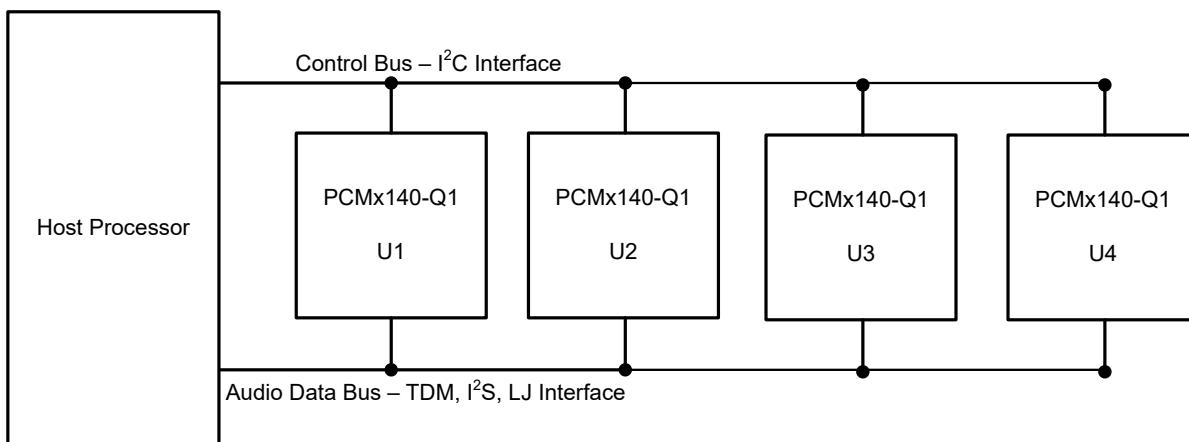


図 7-13. 制御およびオーディオデータバスを共有する複数の PCM3140-Q1 デバイス

PCM3140-Q1 は、共有バスを使用して複数のデバイスとのシームレスな接続と相互作用を可能にする以下の機能を備えています。

- ピンによりプログラム可能な 4 つまでの I<sup>2</sup>C ターゲットアドレスをサポート
- I<sup>2</sup>C ブロードキャストにより、すべての PCM3140-Q1 デバイスに対して同時に書き込み（またはトリガ）します
- オーディオシリアルインターフェース用の最大 64 構成の出力チャネルスロットをサポート
- デバイスの未使用のオーディオデータスロット用のトライステート機能（有効化と無効化が可能）
- オーディオバス上の最後の駆動値を保持するためのバスホルダ機能（有効化および無効化可能）をサポート
- GPIO1 または GPOx ピンは、オーディオシリアルインターフェースのセカンダリ出力データレーンとして構成できます
- GPIO1 または GPIx ピンは、複数の PCM3140-Q1 デバイスのデイジーチェーン構成で使用できます
- 高速インターフェースのタイミング要件を緩和するために、BCLK サイクル 1 回のデータラッピングタイミングをサポート
- オーディオシリアルインターフェース用のプログラマブルコントローラとターゲットオプション
- 複数のデバイスを同期し、複数のデバイス間での同時サンプリング要件に対応できる機能

詳細については、『複数の TLV320ADCx140 デバイスでの TDM と I<sup>2</sup>C バスの共有』アプリケーションレポートを参照してください。

### 7.3.2 フェーズロックループ(PLL) とクロック生成

このデバイスには、ADC 変調器および信号処理に使用されるデジタル フィルタ エンジンに必要なすべての内部クロックを生成するスマート自動構成ブロックがあります。この構成は、オーディオ バス上の FSYNC および BCLK 信号の周波数を監視することによって行われます。

デバイスは、さまざまな出力データ サンプル レート (FSYNC 信号周波数) および BCLK と FSYNC の比率をサポートし、ホスト プログラミングなしで PLL 構成を含むすべてのクロック ディバイダを内部で構成します。表 7-6 および 表 7-7 に、サポートされている FSYNC および BCLK 周波数を示します。

表 7-6. サポートされる FSYNC (48kHz の倍数またはサブ倍数) および BCLK 周波数

BCLK 対 FSYNC 比	BCLK (MHz)								
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)	FSYNC (384kHz)	FSYNC (768kHz)
16	予約済み	0.256	0.384	0.512	0.768	1.536	3.072	6.144	12.288
24	予約済み	0.384	0.576	0.768	1.152	2.304	4.608	9.216	18.432
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144	12.288	24.576
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216	18.432	予約済み
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288	24.576	予約済み
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432	予約済み	予約済み
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576	予約済み	予約済み
192	1.536	3.072	4.608	6.144	9.216	18.432	予約済み	予約済み	予約済み
256	2.048	4.096	6.144	8.192	12.288	24.576	予約済み	予約済み	予約済み
384	3.072	6.144	9.216	12.288	18.432	予約済み	予約済み	予約済み	予約済み
512	4.096	8.192	12.288	16.384	24.576	予約済み	予約済み	予約済み	予約済み
1024	8.192	16.384	24.576	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
2048	16.384	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み

表 7-7. サポートされる FSYNC (44.1kHz の倍数またはサブ倍数) および BCLK 周波数

BCLK 対 FSYNC 比	BCLK (MHz)								
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)	FSYNC (352.8kHz)	FSYNC (705.6kHz)
16	予約済み	予約済み	0.3528	0.4704	0.7056	1.4112	2.8224	5.6448	11.2896
24	予約済み	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336	8.4672	16.9344
32	予約済み	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448	11.2896	22.5792
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672	16.9344	予約済み
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896	22.5792	予約済み
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344	予約済み	予約済み
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792	予約済み	予約済み
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	予約済み	予約済み	予約済み
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	予約済み	予約済み	予約済み
384	2.8224	5.6448	8.4672	11.2896	16.9344	予約済み	予約済み	予約済み	予約済み
512	3.7632	7.5264	11.2896	15.0528	22.5792	予約済み	予約済み	予約済み	予約済み
1024	7.5264	15.0528	22.5792	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
2048	15.0528	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み

ステータス レジスタ ASI\_STS、P0\_R21 は、デバイスの自動検出結果 (FSYNC 周波数と BCLK と FSYNC の比率) をキャプチャします。デバイスがサポートされていない FSYNC 周波数と BCLK と FSYNC の比率の組み合わせを検出した場合、デバイスは ASI クロック エラー割り込みを生成し、それに応じて録音 チャネルをミュートします。

デバイスは、ADC モジュレータやデジタル フィルタ エンジン、その他の制御ブロックに必要な内部クロックを生成するために、統合された低ジッタの位相同期ループ (PLL) を使用しています。このデバイスは、PLL を使用せずに BCLK、GPIO1、または GPIx ピン (MCLK として) をオーディオ クロック ソースとして使用するオプションもサポートしており、これにより消費電力を削減できます。ただし、外部クロック ソースからのジッタにより ADC の性能が低下する可能性があり、外部オーディオ クロック ソースの周波数が十分に高くない場合、一部の処理機能がサポートされない可能性があります。したがって、TI は高性能アプリケーションには PLL の使用を推奨しています。PLL を使用せずに低電力モードでデバイスを構成して使用する方法に関する詳細および情報については、『[低消費電力が重要となるアプリケーションでの TLV320ADCx140 動作](#)』アプリケーション レポートを参照してください。

デバイスは、GPIO1 または GPIx ピン (MCLK として) をリファレンス入力クロック ソースとして使用するオーディオ バス コントローラ モード動作もサポートしており、さまざまな柔軟なオプションと広範囲なシステム クロックをサポートしています。コントローラ モードの構成と動作に関する詳細については、『[オーディオ バス マスターとしての TLV320ADCx140 の構成と動作](#)』アプリケーション レポートを参照してください。

オーディオ バス クロック エラー検出および自動検出機能は、すべての内部クロックを自動的に生成しますが、ASI\_ERR、P0\_R9\_D5、および AUTO\_CLK\_CFG、P0\_R19\_D6 レジスタ ビットを使用してそれぞれ無効にすることができます。システムでは、この無効化機能を使用して、オート検出方式ではカバーされていないカスタムクロック周波数をサポートすることができます。このようなアプリケーションの使用事例では、複数のクロック分周器がすべて適切に構成されるように注意する必要があります。そのため、TI は、デバイス設定の構成には PPC3 GUI の使用を推奨しています。詳細については、『[TLV320ADCx140 評価基板](#)』ユーザー ガイド』および『[PurePath™ コンソール グラフィカル 開発スイート](#)』を参照してください。

### 7.3.3 入力チャネルの構成

デバイスは、記録チャネルのために差動入力またはシングルエンド入力として構成できる 4 組のアナログ入力ピン (INxP と INxM) で構成されています。このデバイスは、高性能マルチチャネル ADC を使用した、最大 4 つのチャネルの同時録音をサポートしています。アナログ ピンの入力源は、エレクトレットコンデンサ アナログ マイク、微小電気機械システム (MEMS) アナログ マイク、またはシステム基板からのライン入力 (補助) 入力です。さらに、アプリケーションで録音にデジタル PDM マイクを使用する場合、デバイス内の INxP ピンと INxM ピンを再構成して、デジタル マイク録音用に最大 8 つのチャネルをサポートできます。表 7-8 に、記録チャネルの入力ソース選択を示します。

**表 7-8. 記録チャネルの入力ソース選択**

P0_R60_D[6:5]:CH1_INSRC[1:0]		入力チャネル 1 記録ソースの選択
00 (デフォルト)		チャネル 1 のアナログ差動入力 (この設定は、GPI1 および GPO1 ピンの機能が無効のときのみ有効です)
01		チャネル 1 のアナログ シングルエンド入力 (この設定は、GPI1 および GPO1 ピンの機能が無効のときのみ有効です)
10		チャネル 1 のデジタル PDM 入力 (PDMDIN1 および PDMCLK については、それに応じて GPIx ピンと GPOx ピンを構成します)
11		予約済み (この設定は使用しないでください)

同様に、入力チャネル 2、チャネル 3、チャネル 4 の入力ソース選択設定は、それぞれ CH2\_INSRC[1:0] (P0\_R65\_D[6:5])、CH3\_INSRC[1:0] (P0\_R70\_D[6:5])、CH4\_INSRC[1:0] (P0\_R75\_D[6:5]) レジスタ ビットを使用して設定できます。

通常、音声またはオーディオ信号入力は、デバイスに容量結合 (AC 結合) されます。しかし、このデバイスは、基板面積を節約するため、DC 結合入力のオプションもサポートしています。この構成は、CH1\_DC (P0\_R60\_D4)、CH2\_DC (P0\_R65\_D4)、CH3\_DC (P0\_R70\_D4)、CH4\_DC (P0\_R75\_D4) レジスタ ビットを設定することにより、各チャネルごとに個別に行うことができます。INM ピンは、DC 結合モードで直接接地できますが (図 7-14 を参照)、シングルエンド入力構成については、AC 結合モードでの AC カップリング コンデンサの後に INM ピンを接地する必要があります (図 7-15 を参照)。最高のダイナミックレンジ性能を得るには、差動 AC 結合入力を使用する必要があります。

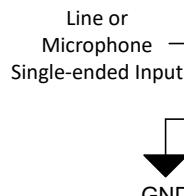


図 7-14. シングルエンド DC 結合入力接続

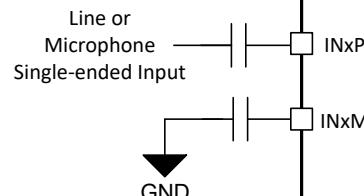


図 7-15. シングルエンド AC 結合入力接続

デバイスでは、入力ソースのインピーダンスに基づいて、INxP または INxM の標準入力インピーダンスを  $2.5\text{k}\Omega$  (デフォルト)、 $10\text{k}\Omega$ 、 $20\text{k}\Omega$  から柔軟に選択できます。入力インピーダンスが大きいほど、ノイズが多少増加し、ダイナミックレンジは多少低下します。表 7-9 は、記録チャネルの入力インピーダンスの構成レジスタ設定をリストします。

表 7-9. 記録チャネルの入力インピーダンス選択

P0_R60_D[3:2]:CH1_IMP[1:0]	チャネル 1 の入力インピーダンス選択
00 (デフォルト)	チャネル 1 の入力インピーダンスの標準値は、INxP または INxM の $2.5\text{k}\Omega$ です
01	チャネル 1 の入力インピーダンスの標準値は、INxP または INxM の $10\text{k}\Omega$ です
10	チャネル 1 の入力インピーダンスの標準値は、INxP または INxM の $20\text{k}\Omega$ です
11	予約済み(この設定は使用しないでください)

同様に、入力チャネル 2、チャネル 3、チャネル 4 の入力インピーダンス選択設定は、それぞれ CH2\_IMP[1:0] (P0\_R65\_D[3:2])、CH3\_IMP[1:0] (P0\_R70\_D[3:2])、CH4\_IMP[1:0] (P0\_R75\_D[3:2]) レジスタビットを使用して設定できます。

AC 結合モードでのカッピング コンデンサの値は、カッピング コンデンサと入力インピーダンスによって形成されるハイパスフィルタが信号成分に影響を与えないように選択する必要があります。適切な記録を開始する前に、このカッピング コンデンサは、パワーアップ時に同相電圧まで充電する必要があります。迅速な充電を可能にするため、このデバイスはカッピング コンデンサの充電を高速化するモードを備えています。クイック充電タイミングのデフォルト値は、最大  $1\mu\text{F}$  のカッピング コンデンサに対して設定されます。ただし、システムでより値の大きいコンデンサを使用する場合は、INCAP\_QCHG (P0\_R5\_D[5:4]) レジスタビットを使用することで、急速充電タイミングを向上させることができます。より優れた歪み性能を実現するため、AC カッピングには電圧係数の小さいコンデンサを使用します。 $2.5\text{k}\Omega$  の入力インピーダンス値は、DC 結合入力ではサポートされていません。

### 7.3.4 基準電圧

すべてのオーディオ データ コンバータは DC リファレンス電圧を必要とします。PCM3140-Q1 は、内部で低ノイズの基準電圧を生成することによって、低ノイズ性能を実現します。このリファレンス電圧は、高い PSRR 性能を持つバンドギャップ回路を使用して生成されます。このオーディオ コンバータのリファレンス電圧は、VREF ピンからアナログ グラウンド (AVSS) に接続された最低  $1\mu\text{F}$  のコンデンサを使用して外部でフィルタリングする必要があります。

このリファレンス電圧の値は、P0\_R59\_D[1:0] レジスタビットを使用して設定でき、デバイスの望ましいフルスケール入力およびシステムで利用可能な AVDD 電源電圧に基づいて適切な値に設定する必要があります。デフォルトの VREF 値は  $2.75\text{V}$  に設定されており、これによりデバイスに対して  $2\text{V}_{\text{RMS}}$  の差動フルスケール入力がサポートされます。このモードに必要な最小 AVDD 電圧は  $3\text{V}$  です。表 7-10 に、サポートされているさまざまな VREF 設定と、必要な AVDD 範囲、およびその構成でサポートされているフルスケール入力信号を示します。

表 7-10. VREF プログラム可能設定

P0_R59_D[1:0]: ADC_FSCALE[1:0]	VREF 出力電圧 (内部 ADC VREF と同じ)	差動フルスケール入力をサ ポート	シングルエンドのフルスケ ール入力をサポート	AVDD 範囲の要件
00 (デフォルト)	$2.75\text{V}$	$2\text{V}_{\text{RMS}}$	$1\text{V}_{\text{RMS}}$	$3\text{V} \sim 3.6\text{V}$
01	$2.5\text{V}$	$1.818\text{V}_{\text{RMS}}$	$0.909\text{V}_{\text{RMS}}$	$2.8\text{V} \sim 3.6\text{V}$
10	$1.375\text{V}$	$1\text{V}_{\text{RMS}}$	$0.5\text{V}_{\text{RMS}}$	$1.7\text{V} \sim 1.9\text{V}$

**表 7-10. VREF プログラム可能設定 (続き)**

P0_R59_D[1:0]: ADC_FSCALE[1:0]	VREF 出力電圧 (内部 ADC VREF と同じ)	差動フルスケール入力をサ ポート	シングルエンドのフルスケ ール入力をサポート	AVDD 範囲の要件
11	予約済み	予約済み	予約済み	予約済み

**セクション 7.4.2** セクションに示されているように、低消費電力を実現するため、このオーディオ参照ブロックは電源が切れます。スリープ モードから復帰する際、オーディオ参照ブロックは内部の高速充電方式を使用して電源が供給され、VREF ピンは安定化時間後に定常状態の電圧に安定します (この時間は VREF ピンのデカップリング コンデンサに依存します)。1 $\mu$ F デカップリング コンデンサを使用する場合、この時間は約 3.5ms に等しくなります。VREF ピンに値の大きいデカップリング コンデンサが使用されている場合、VREF\_QCHG, P0\_R2\_D[4:3] レジスタ ビットを使用して、ファストチャージ設定を再構成する必要があります。このレジスタは、3.5ms (デフォルト)、10ms、50ms、または 100ms のオプションをサポートしています。

### 7.3.5 プログラム可能なマイクロフォンバイアス

このデバイスは、システム内でエレクトレット コンデンサ マイクのバイアスを供給したり、MEMS アナログまたはデジタル マイクへの電源供給に使用できる、内蔵の低ノイズ マイクロフォン バイアス ポートを統合しています。統合バイアス アンプは、最大 20mA の負荷電流をサポートしており、複数のマイクに使用できるように設計されています。また、高い PSRR、低ノイズ、プログラム可能なバイアス電圧の組み合わせを提供し、特定のマイクロフォンの組み合わせに合わせてバイアスの微調整ができます。

この MICBIAS ピンをバイアスや複数のマイクロフォンへの供給に使用する場合、マイクロフォン間のカップリングを最小限に抑えるために、MICBIAS 接続のための基板レイアウトで同相インピーダンスを避けます。表 7-11 に、マイクロフォン バイアスのプログラム可能なオプションを示します。

**表 7-11. MICBIAS プログラム可能設定**

P0_R59_D[6:4]:MBIAS_VAL[2:0]	P0_R59_D[1:0]:ADC_FSCALE[1:0]	MICBIAS 出力電圧
000 (デフォルト)	00 (デフォルト)	2.75V (VREF 出力と同じ)
	01	2.5V (VREF 出力と同じ)
	10	1.375V (VREF 出力と同じ)
001	00 (デフォルト)	3.014V (VREF 出力の 1.096 倍)
	01	2.740V (VREF 出力の 1.096 倍)
	10	1.507V (VREF 出力の 1.096 倍)
010~101	XX	予約済み (これらの設定は使用しないでください)
110	XX	AVDD と同じ
111	XX	予約済み (この設定は使用しないでください)

マイクロフォン バイアス出力は、MICBIAS\_PDZ および P0\_R117\_D7 レジスタ ビットを設定することで、オンまたはオフ (デフォルト) することができます。さらに、デバイスは、GPIO1 または GPIx ピンを構成して、マイクロフォン バイアス出力のオンとオフを直接制御するオプションを提供します。この機能は、I<sup>2</sup>C または SPI 通信を行う場合に、ホストを接続せずに、マイクを直接制御するのに役立ちます。GPIO1 または GPIx ピンがマイク バイアスのオン/オフを設定するように構成されている場合、MICBIAS\_PDZ, P0\_R117\_D7 レジスタ ビットの値は無視されます。

### 7.3.6 シグナル チェーン処理

PCM3140-Q1 シングル チェーンは、非常に低ノイズで高性能、低消費電力のアナログブロックと、高度に柔軟でプログラマ可能なデジタル処理ブロックで構成されています。高性能で柔軟性が高く、コンパクトなパッケージにより、PCM3140-Q1 はマルチチャネル オーディオ キャプチャを必要とする各種の最終機器およびアプリケーション向けに最適化されています。図 7-16 に、信号チェーンで使用される各種ビルディング ブロックと信号チェーン内でブロックがどのように相互作用するかを示す概念ブロック図を示します。

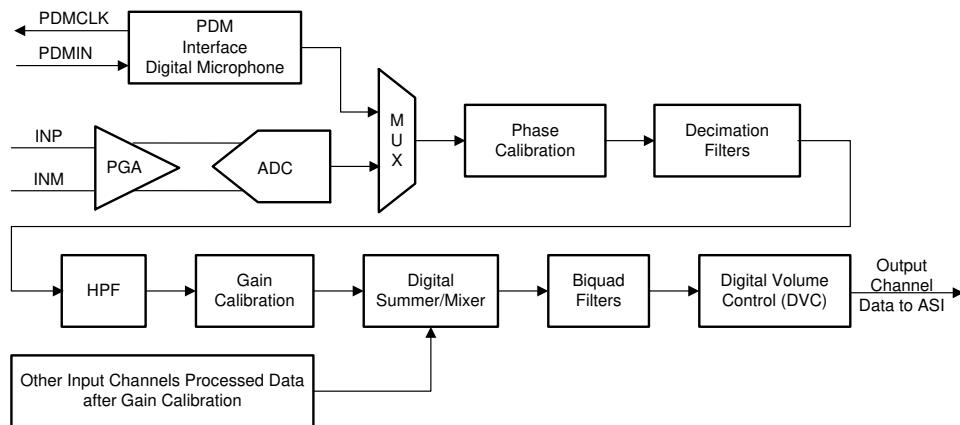


図 7-16. 信号チェーン処理フローチャート

フロントエンド PGA は超低ノイズで、120dB のダイナミック レンジ性能を実現します。低ノイズで低歪みのマルチビット デルタ シグマ ADC に加え、フロントエンド PGA により、PCM3140-Q1 は静かな環境でも騒がしい環境でも、ファーフィールド オーディオ信号を非常に高い忠実度で録音できます。さらに、ADC アーキテクチャには、複数の変調器周波数成分周辺の帯域外周波数ノイズを高いレベルで除去するアンチエイリアス フィルタリングが組み込まれています。したがって、このデバイスは、ADC サンプリング時にノイズがオーディオ帯域にエイリアシングするのを防ぎます。信号チェーンのさらに先では、統合された高性能多段デジタル デシメーション フィルタが、高い阻止帯域減衰量で帯域外の周波数ノイズを鋭く遮断します。

このデバイスには、カスタムのローパス、ハイパス、またはその他の希望する周波数整形を可能にする統合されたプログラマ可能なバイキュー フィルタも搭載されています。このため、シグナル チェーン全体のアーキテクチャにより、アンチエイリアス ローパス フィルタリングのための外部コンポーネントを追加する必要がなくなり、外部システムの部品コストと基板面積を大幅に削減できます。詳細については、[TLV320ADCx140 統合アナログ アンチエイリアシング フィルタおよび柔軟なデジタル フィルタ アプリケーション レポート](#)

信号チェーンは、位相キャリブレーション、ゲイン キャリブレーション、ハイパス フィルタ、デジタル サマーまたはミキサ、バイクワッド フィルタ、ボリューム コントロールなどの多様で非常にプログラマブルなデジタル処理ブロックで構成されています。これらの処理ブロックの詳細については、このセクションで詳しく説明します。また、このデバイスは、アナログ録音チャネルを使用しない場合、最大 8 つのデジタル PDM マイク録音チャネルをサポートします。図 7-16 の信号チェーン ブロック図のチャネル 1 ~ 4 はこのセクションで説明されているとおりですが、チャネル 5 ~ 8 はデジタル マイク録音オプションのみをサポートし、デジタル サマーまたはミキサ オプションはサポートしていません。

記録用の入力チャネルは、IN\_CH\_EN (P0\_R115) レジスタを使用して有効化または無効にすることができ、オーディオシリアル インターフェースの出力チャネルは、ASI\_OUT\_EN (P0\_R116) レジスタを使用して有効化または無効にすることができます。一般的に、このデバイスはすべてのアクティブ チャネルの同時パワーアップおよびパワーダウンをサポートし、同時録音を実現します。しかし、アプリケーションのニーズに基づいて、他のチャネルの録音中に一部のチャネルを動的に電源オンまたはオフにする必要がある場合、その使用例は DYN\_CH\_PUPD\_EN、P0\_R117\_D4 レジスタ ビットを 1'b1 に設定することでサポートされますが、この動作モードではチャネル 1 をパワーダウンしないでください。

このデバイスは、最大 80kHz の入力信号帯域幅をサポートしており、176.4kHz (またはそれ以上) のサンプル レートを使用することで、高周波数の非音声信号を記録再生できます。

出力サンプル レートが 48kHz 以下の場合、デバイスは 8 チャンネル録音のすべての機能とさまざまなプログラム可能な処理ブロックをサポートします。しかし、出力サンプル レートが 48kHz より高い場合、同時に録音できるチャンネル数や、使用できるバイクワッド フィルタの数などに制限があります。詳細については、『[TLV320ADCx140 サンプリング レートおよびサポートされているプログラム可能な処理ブロック】アプリケーション レポート](#) を参照してください。

### 7.3.6.1 プログラム可能なチャネル ゲインおよびデジタル ボリューム制御

デバイスには、各入力チャネルについて独立したプログラム可能なチャネル ゲイン設定があり、システムで予測される最大入力信号に基づいて適切な値に設定できます。また、使用される ADC VREF 設定 ([セクション 7.3.4](#) セクションを参照) によって ADC のフルスケール信号レベルが決まります。

ADC チャネルに電源を投入する前に目的のチャネル ゲイン設定を構成し、ADC の電源がオンの間はこの設定を変更しないでください。各チャネル ゲインをサポートするプログラム可能な範囲は、1dB ごとに 0dB ~ 42dB です。低ノイズ性能を実現するため、デバイスの内部ロジックは最初にフロントエンドの低ノイズ アナログ PGA のゲインを最大化します。この PGA は、120dB のダイナミック レンジをサポートしてから、プログラムされた残留チャネル ゲインをデジタル処理ブロックに適用します。

表 7-12 に、チャネル ゲインに利用可能なプログラマブル オプションを示します。

**表 7-12. チャネル ゲインのプログラマブル設定**

P0_R61_D[7:2]:CH1_GAIN[5:0]	入力チャネル 1 のチャネル ゲイン設定
00 0000 = 0d (デフォルト)	入力チャネル 1 のゲインを 0dB に設定
00 0001 = 1d	入力チャネル 1 のゲインを 1dB に設定
00 0010 = 2d	入力チャネル 1 のゲインを 2dB に設定
...	...
10 1001 = 41d	入力チャネル 1 のゲインを 41dB に設定
10 1010 = 42d	入力チャネル 1 のゲインを 42dB に設定
10 1011 ~ 11 1111 = 43d ~ 63d	予約済み(これらの設定は使用しないでください)

同様に、入力チャネル 2、チャネル 3、チャネル 4 のチャネル ゲイン設定は、それぞれ CH2\_GAIN (P0\_R66)、CH3\_GAIN (P0\_R71)、CH4\_GAIN (P0\_R76) レジスタ ビットを使用して構成できます。チャネル ゲイン機能は、デジタル マイク録音パスでは使用できません。

また、デバイスにはプログラマブル デジタル ボリューム制御機能があり、-100dB ~ 27dB で 0.5dB 刻みの範囲で、チャネルの録音をミュートすることもできます。ADC チャネルが起動し、録音されている間は、デジタル ボリューム コントロール 値を動的に変更することができます。ボリューム コントロールの変更中は、ソフトランアップまたはソフトランダウンド機能が内部的に使用され、可聴アーティファクトを回避します。ソフトステップは、DISABLE\_SOFT\_STEP (P0\_R108\_D4) レジスタ ビットを使用して完全に無効にすることができます。

デジタル ボリューム コントロール 設定は、デジタル マイクロフォン レコード チャネルを含む各出力チャネルに対して個別に使用できます。ただし、チャネル 1 の電源オン時と電源オフ時のどちらであっても、チャネル 1 デジタル ボリューム コントロール 設定を使用して、すべてのチャネルのボリューム コントロール 設定を一括でアップするオプションもサポートしています。このギヤングアップは、DVOL GANG (P0\_R108\_D7) レジスタ ビットを使用して有効化できます。

表 7-13 はデジタル ボリューム コントロール用に利用可能なプログラマブル オプションを示します。

**表 7-13. デジタル ボリューム コントロール (DVC) のプログラマブル設定**

P0_R62_D[7:0]:CH1_DVOL[7:0]	出力チャネル 1 の DVC 設定
0000 0000 = 0d	出力チャネル 1 DVC はミュートに設定されます
0000 0001 = 1d	出力チャネル 1 の DVC は -100dB に設定されます
0000 0010 = 2d	出力チャネル 1 の DVC は -99.5dB に設定されます
0000 0011 = 3d	出力チャネル 1 の DVC は -99dB に設定されます
...	...

**表 7-13. デジタル ボリューム コントロール (DVC) のプログラマブル設定 (続き)**

P0_R62_D[7:0]:CH1_DVOL[7:0]	出力チャネル 1 の DVC 設定
1100 1000 = 200d	出力チャネル 1 の DVC は -0.5dB に設定されます
1100 1001 = 201d (デフォルト)	出力チャネル 1 の DVC は 0dB に設定されます
1100 1010 = 202d	出力チャネル 1 の DVC は 0.5dB に設定されます
...	...
1111 1101 = 253d	出力チャネル 1 の DVC は 26dB に設定されます
1111 1110 = 254d	出力チャネル 1 の DVC は 26.5dB に設定されます
1111 1111 = 255d	出力チャネル 1 の DVC は 27dB に設定されます

同様に、出力チャネル 2 からチャネル 8 のデジタル ボリューム コントロール設定は、それぞれ CH2\_DVOL (P0\_R67) から CH8\_DVOL (P0\_R97) のレジスタ ビットを使用して設定できます。

チャネルが電源投入されると、内部デジタル処理エンジンがミュート レベルからプログラムされた音量レベルまで音量を徐々に上げます。また、チャネルが電源オフになると、内部デジタル処理エンジンがプログラムされた音量からミュートまで音量を徐々に下げます。この音量のソフト ステッピングは、レコード チャネルの急激な電源投入や電源切断を防ぐために行われます。この機能は、DISABLE\_SOFT\_STEP (P0\_R108\_D4) レジスタ ビットを使用して完全に無効化することもできます。

### 7.3.6.2 プログラム可能なチャネル ゲイン較正

プログラム可能なチャネル ゲインとデジタル ボリューム機能に加えて、このデバイスはプログラム可能なチャネル ゲイン較正も提供します。各チャネルのゲインは、-0.8dB ~ 0.7dB のゲイン誤差範囲で、0.1dB ごとに微調整または調整することができます。この調整は、外部部品とマイク感度に起因するチャネル間のゲインを一致させようとする際に役立ちます。この機能は、通常のデジタル ボリューム コントロールと組み合わせることで、0.1dB の解像度で広いゲイン誤差範囲にわたってすべてのチャネルのゲインを一致させることができます。チャネル ゲイン較正に利用可能なプログラム可能なオプションを [表 7-14](#) に示します。

**表 7-14. チャネル ゲイン較正のプログラム可能設定**

P0_R63_D[7:4]:CH1_GCAL[3:0]	入力チャネル 1 のチャネル ゲイン較正設定
0000 = 0d	入力チャネル 1 のゲイン較正を -0.8dB に設定します
0001 = 1d	入力チャネル 1 のゲイン較正を -0.7dB に設定します
...	...
1000 = 8d (デフォルト)	入力チャネル 1 のゲイン較正を 0dB に設定します
...	...
1110 = 14d	入力チャネル 1 のゲイン較正を 0.6dB に設定します
1111 = 15d	入力チャネル 1 のゲイン較正を 0.7dB に設定します

同様に、入力チャネル 2~8 のチャネル ゲイン較正設定は、それぞれ CH2\_GCAL (P0\_R68) ~ CH8\_GCAL (P0\_R98) レジスタ ビットを使用して構成できます。

### 7.3.6.3 プログラム可能なチャネル位相較正

ゲイン較正に加えて、各チャネルの位相遅延は、位相誤差に対して 0 ~ 255 のサイクル範囲に対して、1 变調器クロック サイクル ステップで微調整または調整できます。変調器クロックは、ADC\_MOD\_CLK に使用されるクロックと同じで、アナログ マイクまたはデジタル マイクの使用例に関係なく、6.144MHz (出力データのサンプル レートは 48kHz の倍数または倍数未満) または 5.6448MHz (出力データのサンプル レートは 44.1kHz の倍数または倍数未満) になります。この機能は、外部部品やマイクに起因するチャネル間の位相の不一致など、各チャネル間の位相を細かく一致させる必要がある多くの用途に非常に役立ちます。[表 7-15](#) に、チャネル位相較正で使用可能なプログラム可能なオプションを示します。

**表 7-15. チャネル位相較正のプログラム可能設定**

P0_R64_D[7:0]:CH1_PCAL[7:0]		入力チャネル 1 のチャネル位相較正設定
0000 0000 = 0d (デフォルト)		遅延なしの入力チャネル 1 位相較正
0000 0001 = 1d		入力チャネル 1 位相較正遅延は、変調器クロックの 1 サイクルに設定されます
0000 0010 = 2d		入力チャネル 1 位相較正遅延は、変調器クロックの 2 サイクルに設定されます
...		...
1111 1110 = 254d		入力チャネル 1 位相較正遅延は、変調器クロックの 254 サイクルに設定されます
1111 1111 = 255d		入力チャネル 1 位相較正遅延は、変調器クロックの 255 サイクルに設定されます

同様に、入力チャネル 2 ~ 8 のチャネル位相較正設定は、それぞれ CH2\_PCAL (P0\_R69) ~ CH8\_PCAL (P0\_R99) レジスタ ビットを使用して構成できます。

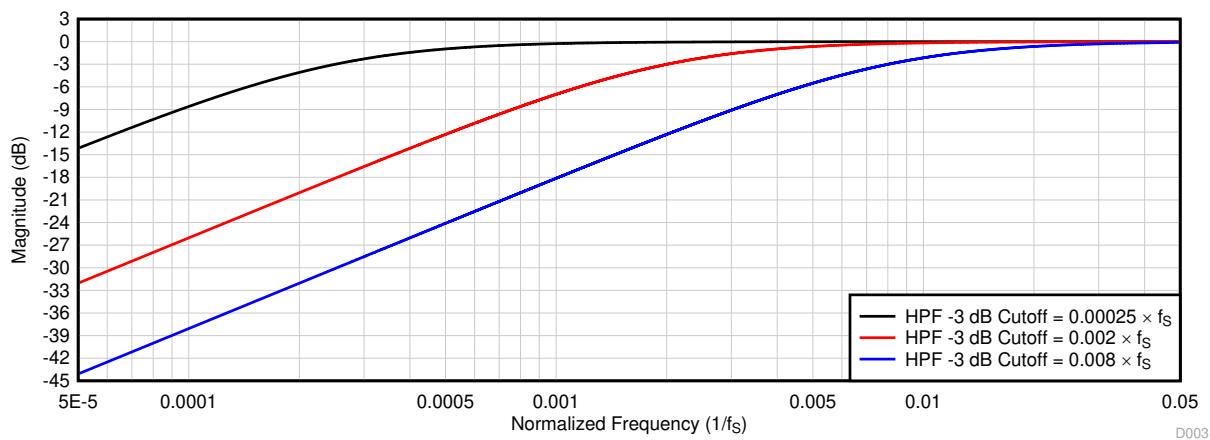
アナログ入力と PDM 入力を組み合わせて同時変換する場合、位相較正機能を使用しないでください。

#### 7.3.6.4 プログラム可能なデジタル ハイパス フィルタ

記録データの直流オフセット成分を除去し、不要な低周波ノイズを減衰させるために、本デバイスはプログラム可能なハイパス フィルタ (HPF) をサポートしています。HPF は、チャネルごとに独立したフィルタ設定ではなく、すべての ADC チャネルに対してグローバルに適用されます。この HPF は一次のインフィニットインパルスレスポンス (IIR) フィルタを使用して構成されており、信号中の DC 成分を効果的に除去するのに十分な性能を備えています。表 7-16 に、P0\_R107 の HPF\_SEL[1:0] レジスタ ビットを使用して設定できる事前定義の -3dB カットオフ周波数を示しています。さらに、特定の用途に合わせて -3dB のカットオフ周波数をカスタマイズするには、HPF\_SEL[1:0] レジスタ ビットを 2'b00 に設定すると、1 次 IIR フィルタ係数をプログラムすることもできます。HPF フィルタの周波数応答プロットを、図 7-17 に示します。

**表 7-16. HPF プログラム可能設定**

P0_R107_D[1:0]: HPF_SEL[1:0]	-3dB カットオフ周波数設定	16kHz サンプル レートにおける -3dB カットオフ周波数	48kHz サンプル レートにおける -3dB カットオフ周波数
00	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ
01 (デフォルト)	$0.00025 \times f_s$	4Hz	12Hz
10	$0.002 \times f_s$	32Hz	96Hz
11	$0.008 \times f_s$	128Hz	384Hz


**図 7-17. HPF フィルタの周波数応答プロット**

式 1 は、一次プログラム可能 IIR フィルタの伝達関数を示しています。

$$H(z) = \frac{N_0 + N_1 z^{-1}}{2^{31} - D_1 z^{-1}} \quad (1)$$

この一次プログラム可能な IIR フィルタは、デフォルト係数の場合、周波数応答が 0dB のフラットなゲインとなり、オールパスフィルタとして動作します。ホストデバイスは、表 7-17 にある IIR 係数をプログラムすることで、ハイパスフィルタリングやその他の必要なフィルタリングに合わせた目的の周波数応答に上書きすることができます。HPF\_SEL[1:0] が 2'b00 に設定されている場合、ホストデバイスは、いずれかの ADC チャネルを録音用に起動する前に、目的の周波数応答に対応するこれらの係数値を書き込む必要があります。これらのプログラム可能な係数は 32 ビットの 2 の補数です。1 次 IIR フィルタのフィルタ係数を、表 7-17 に示します。

表 7-17. 1 次 IIR フィルタの係数

フィルタ	フィルタの係数	デフォルトの係数値	係数レジスタのマッピング
プログラム可能な 1 次 IIR フィルタ (HPF または他の目的のフィルタに割り当て可能)	$N_0$	0x7FFFFFFF	P4_R72-R75
	$N_1$	0x00000000	P4_R76-R79
	$D_1$	0x00000000	P4_R80-R83

### 7.3.6.5 プログラム可能なデジタル バイクワード フィルタ

このデバイスは最大 12 個のプログラム可能なデジタル バイクワード フィルタをサポートしています。これらの高効率フィルタにより、目的の周波数応答を実現できます。デジタル信号処理において、デジタル バイキュア フィルタは、2 つの極と 2 つのゼロを持つ二次の再帰的線形フィルタです。式 2 は、各バイキュア フィルタの伝達関数を示します。

$$H(z) = \frac{N_0 + 2N_1 z^{-1} + N_2 z^{-2}}{2^{31} - 2D_1 z^{-1} - D_2 z^{-2}} \quad (2)$$

デフォルトの係数を使用したバイキュア フィルタ セクションの周波数応答は、0dB のゲインでフラット(全通フィルタ)です。ホストデバイスは、バイキュア係数をプログラムすることで周波数応答を上書きし、低域通過、高域通過、またはその他の希望する周波数シェーピングを達成できます。ミキサ操作のためのプログラム可能な係数は、セクション 8.2.1 および セクション 8.2.2 セクションに記載されています。バイキュア フィルタリングが必要な場合、ホストデバイスは録音用のいかなる ADC チャネルをパワーアップする前に、これらの係数値を書き込む必要があります。これらのプログラム可能な係数は 32 ビットの 2 の補数です。表 7-18 に示されているように、これらのバイクワード フィルタは、P0\_R108 の BIQUAD\_CFG[1:0] レジスタ設定に基づいて、各出力チャネルに割り当てることができます。BIQUAD\_CFG[1:0] を 2'b00 に設定することで、すべてのレコードチャネルのバイクワード フィルタリングが無効になり、システム アプリケーションで追加のフィルタリングが必要ない場合、ホストデバイスはこの設定を選択できます。詳細については、『TLV320ADCx140 のプログラム可能なバイクワード フィルタの構成およびアプリケーション』アプリケーション レポートを参照してください。

表 7-18. バイキュア フィルタの録音出力チャネルへの割り当て

プログラム可能バイキュア フィルタ	P0_R108_D[6:5] レジスタ設定を使用した録音出力チャネルの割り当て		
	BIQUAD_CFG[1:0] = 2'b01 (チャネルごとに 1 バイキュア)	BIQUAD_CFG[1:0] = 2'b10 (デフォルト) (チャネルごとに 2 つのバイキュア)	BIQUAD_CFG[1:0] = 2'b11 (チャネルごとに 3 つのバイキュア)
バイキュア フィルタ 1	すべての 8 チャネルをサポート	最大 6 チャネルをサポート	最大 4 チャネルをサポート
バイキュア フィルタ 2	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て
バイキュア フィルタ 3	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て
バイキュア フィルタ 4	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て	出力チャネル 3 に割り当て
バイキュア フィルタ 5	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て	出力チャネル 4 に割り当て
バイキュア フィルタ 6	未使用	出力チャネル 1 に割り当て	出力チャネル 1 に割り当て
	未使用	出力チャネル 2 に割り当て	出力チャネル 2 に割り当て

**表 7-18. バイキュア フィルタの録音出力チャネルへの割り当て (続き)**

プログラム可能バイキュア フィルタ	P0_R108_D[6:5] レジスタ設定を使用した録音出力チャネルの割り当て		
	BIQUAD_CFG[1:0] = 2'b01 (チャネルごとに 1 バイキュア)	BIQUAD_CFG[1:0] = 2'b10 (デフォルト) (チャネルごとに 2 つのバイキュア)	BIQUAD_CFG[1:0] = 2'b11 (チャネルごとに 3 つのバイキュア)
	すべての 8 チャネルをサポート	最大 6 チャネルをサポート	最大 4 チャネルをサポート
バイキュア フィルタ 7	未使用	出力チャネル 3 に割り当てる	出力チャネル 3 に割り当てる
バイキュア フィルタ 8	未使用	出力チャネル 4 に割り当てる	出力チャネル 4 に割り当てる
バイキュア フィルタ 9	出力チャネル 5 に割り当てる	出力チャネル 5 に割り当てる	出力チャネル 1 に割り当てる
バイキュア フィルタ 10	出力チャネル 6 に割り当てる	出力チャネル 6 に割り当てる	出力チャネル 2 に割り当てる
バイキュア フィルタ 11	出力チャネル 7 に割り当てる	出力チャネル 5 に割り当てる	出力チャネル 3 に割り当てる
バイキュア フィルタ 12	出力チャネル 8 に割り当てる	出力チャネル 6 に割り当てる	出力チャネル 4 に割り当てる

表 7-19 に、レジスタ空間へのバイキュア フィルタ係数のマッピングを示します。

**表 7-19. バイキュア フィルタ係数のレジスタのマッピング**

プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング	プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング
バイキュア フィルタ 1	P2_R8-R27	バイキュア フィルタ 7	P3_R8-R27
バイキュア フィルタ 2	P2_R28-R47	バイキュア フィルタ 8	P3_R28-R47
バイキュア フィルタ 3	P2_R48-R67	バイキュア フィルタ 9	P3_R48-R67
バイキュア フィルタ 4	P2_R68-R87	バイキュア フィルタ 10	P3_R68-R87
バイキュア フィルタ 5	P2_R88-R107	バイキュア フィルタ 11	P3_R88-R107
バイキュア フィルタ 6	P2_R108-R127	バイキュア フィルタ 12	P3_R108-R127

### 7.3.6.6 プログラム可能なチャネル サマーおよびデジタル ミキサ

各チャネルでサポートされている SNR よりもさらに高い SNR を必要とするアプリケーションでは、デバイスのデジタル加算モードを使用できます。このモードでは、デジタル レコードデータが同じ重み係数でチャンネル全体に合計され、有効レコード ノイズの低減に役立ちます。表 7-20 に、チャネル合計モードで使用可能な構成設定を示します。

**表 7-20. チャネル合計モードのプログラマブル設定**

P0_R107_D[3:2]:CH_SUM[1:0]	入力チャネルのチャネル合計モード	信号対雑音比およびダイナミックレンジ ブースト
00 (デフォルト)	チャネル合計モードは無効	該当なし
01	出力チャネル 1 = (入力チャネル 1 + 入力チャネル 2) / 2	信号対雑音比とダイナミックレンジは約 3dB のブースト
	出力チャネル 2 = (入力チャネル 1 + 入力チャネル 2) / 2	
	出力チャネル 3 = (入力チャネル 3 + 入力チャネル 4) / 2	
	出力チャネル 4 = (入力チャネル 3 + 入力チャネル 4) / 2	
	出力チャネル 5 = (入力チャネル 5 + 入力チャネル 6) / 2	
	出力チャネル 6 = (入力チャネル 5 + 入力チャネル 6) / 2	
10	出力チャネル 1 = (入力チャネル 1 + 入力チャネル 2 + 入力チャネル 3 + 入力チャネル 4) / 4	信号対雑音比とダイナミックレンジは約 6dB のブースト
	出力チャネル 2 = (入力チャネル 1 + 入力チャネル 2 + 入力チャネル 3 + 入力チャネル 4) / 4	
	出力チャネル 3 = (入力チャネル 1 + 入力チャネル 2 + 入力チャネル 3 + 入力チャネル 4) / 4	
	出力チャネル 4 = (入力チャネル 1 + 入力チャネル 2 + 入力チャネル 3 + 入力チャネル 4) / 4	
11	予約済み(この設定は使用しないでください)	該当なし

デバイスはまた、さまざまな入力チャネルをカスタム プログラム可能なスケルフクタでミキシングして最終的な出力チャネルを生成する完全なプログラマブル ミキサ機能をサポートしています。プログラマブル ミキサー機能は、CH\_SUM[1:0] が 2'b00 に設定されている場合にのみ使用できます。ミキサ機能は、入力チャネル 1 ~ チャネル 4 のみでサポートされ

ています。図 7-18 は、出力チャネル 1 を生成するためのミキサ 1 の動作を説明するブロック図を示します。ミキサ操作のためのプログラム可能な係数は、[セクション 8.2.3](#) セクションに記載されています。

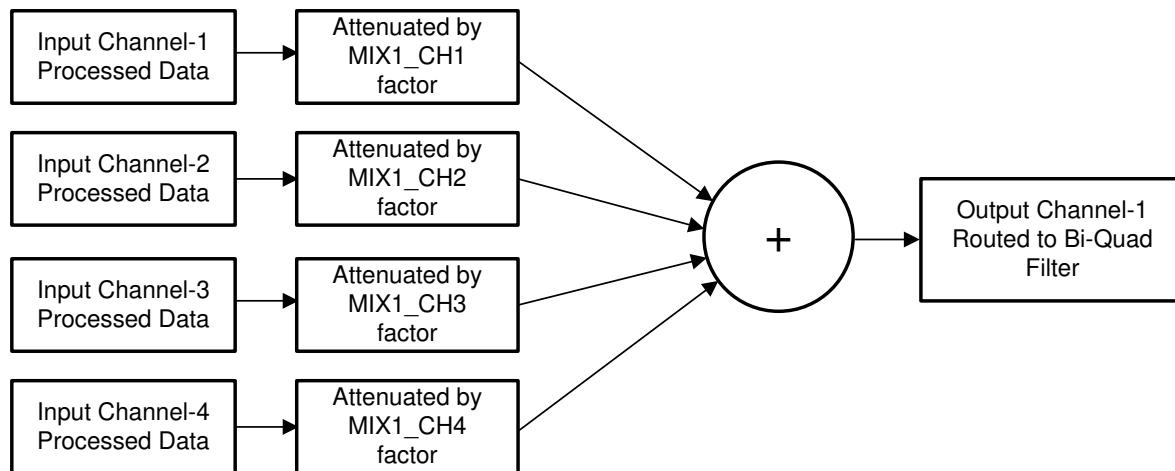


図 7-18. プログラマブル デジタル ミキサのブロック図

ミキサー 2、ミキサー 3、ミキサー 4 で同様のミキサー動作が行われ、それぞれ出力チャネル 2、チャネル 3、チャネル 4 が生成されます。

### 7.3.6.7 構成可能なデジタル デシメーション フィルタ

デバイスのレコード チャネルには、広いダイナミック レンジと、マルチビット デルタ シグマ ( $\Delta\Sigma$ ) 変調器からのオーバーサンプリング データを処理するための内蔵デジタル デシメーション フィルタが含まれており、FSYNC レートと同じナイキストサンプリング レートでデジタル データを生成できます。図 7-16 に示すように、このデシメーション フィルタを使用して、デジタル マイクからオーバーサンプリングされた PDM ストリームを処理することもできます。デシメーション フィルタは、対象アプリケーションに必要な周波数応答、群遅延、位相直線性に応じて、3 つの異なるタイプから選択できます。デシメーション フィルタ オプションの選択は、DECI\_FILT、P0\_R107\_D[5:4] レジスタ ビットの設定によって行うことができます。記録チャネルのデシメーション フィルタ モード選択の構成レジスタ設定を、表 7-21 に示します。

**表 7-21. レコード チャネルのデシメーション フィルタ モードの選択**

P0_R107_D[5:4]:DECI_FILT[1:0]		デシメーション フィルタ モードの選択
00 (デフォルト)		デシメーションには線形位相フィルタが使用されます
01		デシメーションに低レイテンシ フィルタを使用します
10		超低レイテンシのフィルタを使用して、デシメーションを実施します
11		予約済み(この設定は使用しないでください)

#### 7.3.6.7.1 線形位相フィルタ

線形位相のデシメーション フィルタは、デバイスで設定されるデフォルトのフィルタであり、フィルタの通過帯域仕様内でゼロ位相偏差を持つ完全な線形位相が必要なすべてのアプリケーションに使用できます。このセクションでは、サポートされているすべての出力サンプリング レートにおけるフィルタの性能仕様と各種プロットを記載しています。

##### 7.3.6.7.1.1 サンプリング レート : 8 kHz または 7.35 kHz

図 7-19 および 図 7-20 に、このデシメーション フィルタのサンプリング レートが 8kHz または 7.35kHz での振幅応答と通過帯域リップルを示します。表 7-22 に、サンプリング レートが 8kHz または 7.35kHz のデシメーション フィルタの仕様を示します。

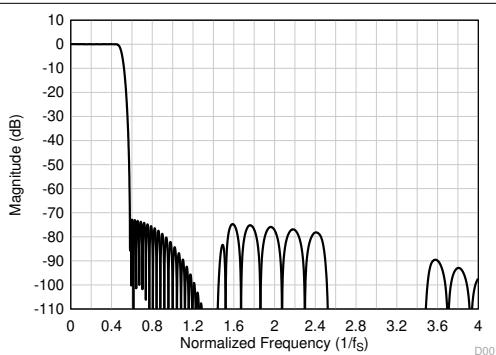


図 7-19. 線形位相デシメーション フィルタの振幅応答

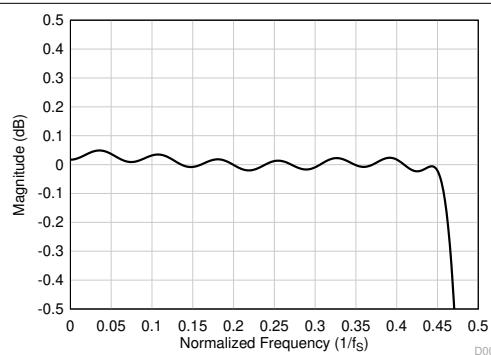


図 7-20. 線形位相デシメーション フィルタのパスバンド リップル

**表 7-22. 線形位相デシメーション フィルタの仕様**

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.454 \times f_S$	-0.05	0.05	0.05	dB
ストップ バンド減衰	周波数範囲は $0.58 \times f_S \sim 4 \times f_S$ です	72.7			dB
	周波数範囲は $4 \times f_S$ 以降です	81.2			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_S$		17.1		$1/f_S$

### 7.3.6.7.1.2 サンプリング レート : 16 kHz または 14.7 kHz

図 7-21 および 図 7-22 に、このデシメーション フィルタのサンプリング レートが 16kHz または 14.7kHz での振幅応答と通過帯域リップルを示します。表 7-23 に、サンプリング レートが 16kHz または 14.7kHz のデシメーション フィルタの仕様を示します。

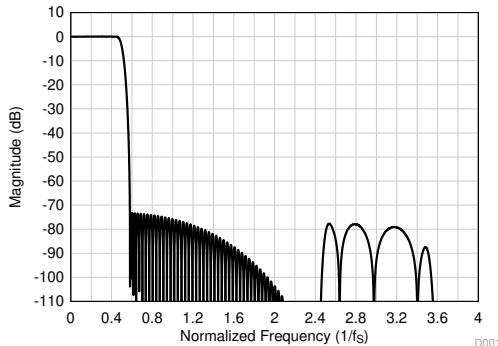


図 7-21. 線形位相デシメーション フィルタの振幅応答

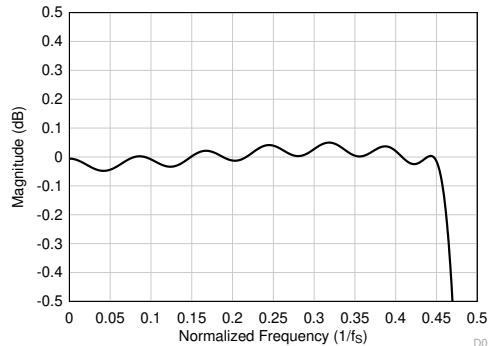


図 7-22. 線形位相デシメーション フィルタのパスバンド リップル

表 7-23. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	73.3			dB
	周波数範囲は $4 \times f_s$ 以降です	95.0			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_s$		15.7		$1/f_s$

### 7.3.6.7.1.3 サンプリング レート : 24 kHz または 22.05 kHz

図 7-23 および 図 7-24 に、このデシメーション フィルタのサンプリング レートが 24kHz または 22.05kHz での振幅応答と通過帯域リップルを示します。表 7-24 に、サンプリング レートが 24kHz または 22.05kHz のデシメーション フィルタの仕様を示します。

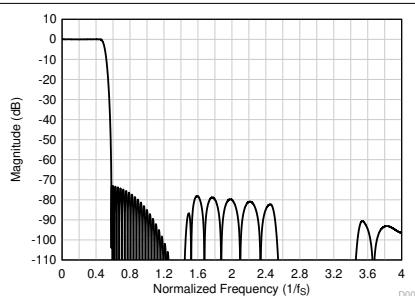


図 7-23. 線形位相デシメーション フィルタの振幅応答

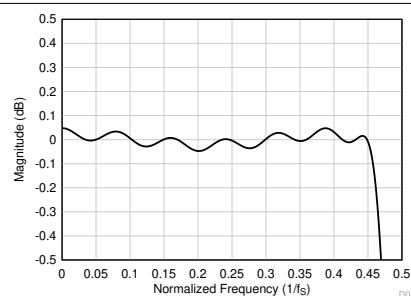


図 7-24. 線形位相デシメーション フィルタのパスバンド リップル

表 7-24. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	73.0			dB
	周波数範囲は $4 \times f_s$ 以降です	96.4			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_s$		16.6		$1/f_s$

#### 7.3.6.7.1.4 サンプリング レート : 32 kHz または 29.4 kHz

図 7-25 および 図 7-26 に、このデシメーション フィルタのサンプリング レートが 32kHz または 29.4kHz での振幅応答と通過帯域リップルを示します。表 7-25 に、サンプリング レートが 32kHz または 29.4kHz のデシメーション フィルタの仕様を示します。

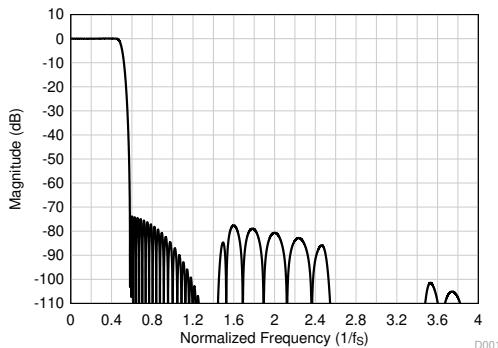


図 7-25. 線形位相デシメーション フィルタの振幅応答

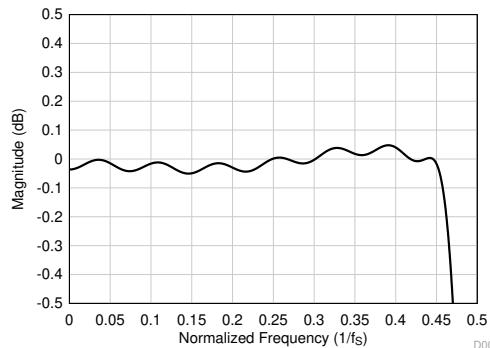


図 7-26. 線形位相デシメーション フィルタのパスバンド リップル

表 7-25. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は 0 ~ $0.454 \times f_s$	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	73.7			dB
	周波数範囲は $4 \times f_s$ 以降です	107.2			
グループ遅延またはレイテンシー	周波数範囲は 0 ~ $0.454 \times f_s$		16.9		$1/f_s$

#### 7.3.6.7.1.5 サンプリング レート : 48 kHz または 44.1 kHz

図 7-27 および 図 7-28 に、このデシメーション フィルタのサンプリング レートが 48kHz または 44.1kHz での振幅応答と通過帯域リップルを示します。表 7-26 に、サンプリング レートが 48kHz または 44.1kHz のデシメーション フィルタの仕様を示します。

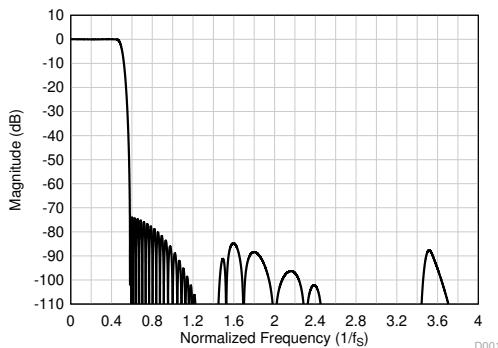


図 7-27. 線形位相デシメーション フィルタの振幅応答

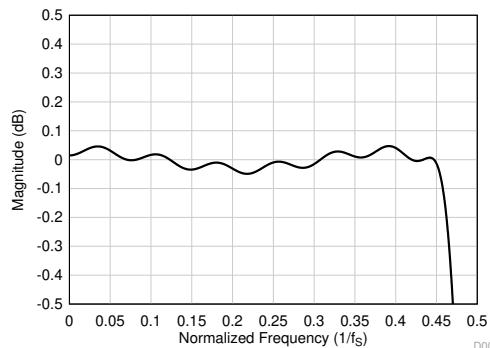


図 7-28. 線形位相デシメーション フィルタのパスバンド リップル

表 7-26. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は 0 ~ $0.454 \times f_s$	-0.05		0.05	dB

表 7-26. 線形位相デシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ストップ バンド減衰	周波数範囲は $0.58 \times f_S \sim 4 \times f_S$ です	73.8			dB
	周波数範囲は $4 \times f_S$ 以降です	98.1			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_S$			17.1	$1/f_S$

### 7.3.6.7.1.6 サンプリング レート : 96 kHz または 88.2 kHz

図 7-29 および 図 7-30 に、このデシメーション フィルタのサンプリング レートが 96kHz または 88.2kHz での振幅応答と通過帯域リップルを示します。表 7-27 に、サンプリング レートが 96kHz または 88.2kHz のデシメーション フィルタの仕様を示します。

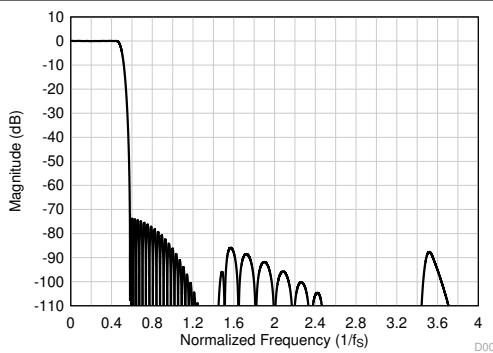


図 7-29. 線形位相デシメーション フィルタの振幅応答

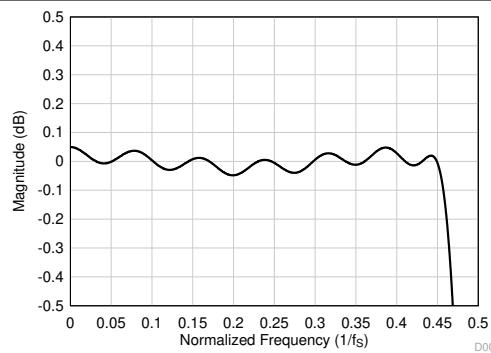


図 7-30. 線形位相デシメーション フィルタのパスバンド リップル

表 7-27. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.454 \times f_S$	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は $0.58 \times f_S \sim 4 \times f_S$ です	73.6			
	周波数範囲は $4 \times f_S$ 以降です	97.9			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_S$			17.1	$1/f_S$

### 7.3.6.7.1.7 サンプリング レート : 192 kHz または 176.4 kHz

図 7-31 および 図 7-32 に、このデシメーション フィルタのサンプリング レートが 192kHz または 176.4kHz での振幅応答と通過帯域リップルを示します。表 7-28 に、サンプリング レートが 192kHz または 176.4kHz のデシメーション フィルタの仕様を示します。

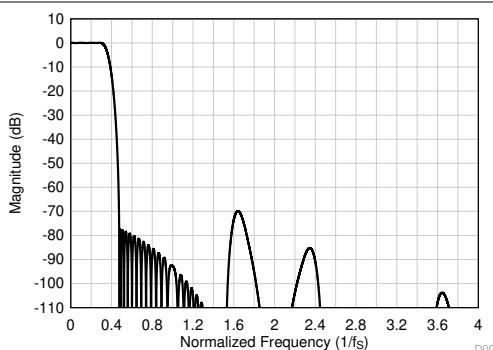


図 7-31. 線形位相デシメーション フィルタの振幅応答

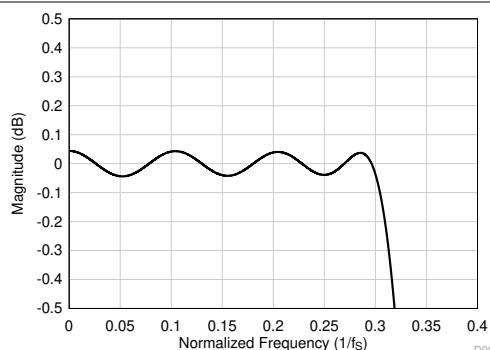


図 7-32. 線形位相デシメーション フィルタのパスバンド リップル

表 7-28. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.3 \times f_s$	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は $0.473 \times f_s \sim 4 \times f_s$ です	70.0			dB
	周波数範囲は $4 \times f_s$ 以降です	111.0			
グループ遅延またはレイテンシー	周波数範囲は $0 \sim 0.3 \times f_s$		11.9		$1/f_s$

#### 7.3.6.7.1.8 サンプリング レート : 384 kHz または 352.8 kHz

図 7-33 および 図 7-34 に、このデシメーション フィルタのサンプリング レートが 384kHz または 352.8kHz での振幅応答と通過帯域リップルを示します。表 7-29 に、サンプリング レートが 384kHz または 352.8kHz のデシメーション フィルタの仕様を示します。

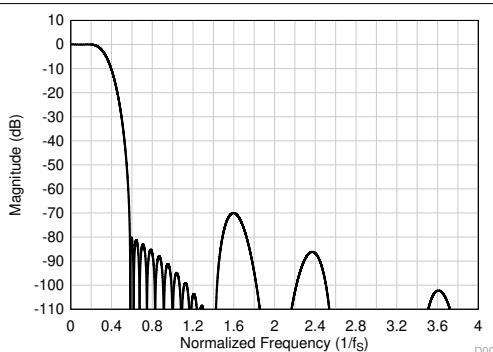


図 7-33. 線形位相デシメーション フィルタの振幅応答

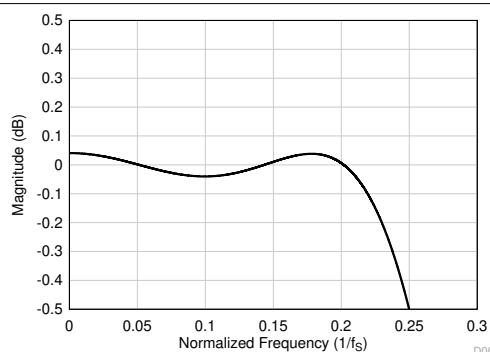


図 7-34. 線形位相デシメーション フィルタのパスバンド リップル

表 7-29. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.212 \times f_s$	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	70.0			dB
	周波数範囲は $4 \times f_s$ 以降です	108.8			
グループ遅延またはレイテンシー	周波数範囲は $0 \sim 0.212 \times f_s$		7.2		$1/f_s$

### 7.3.6.7.1.9 サンプリング レート : 768kHz または 705.6kHz

図 7-35 および 図 7-36 に、このデシメーション フィルタのサンプリング レートが 768kHz または 705.6kHz での振幅応答と通過帯域リップルを示します。表 7-30 に、サンプリング レートが 768kHz または 705.6kHz のデシメーション フィルタの仕様を示します。

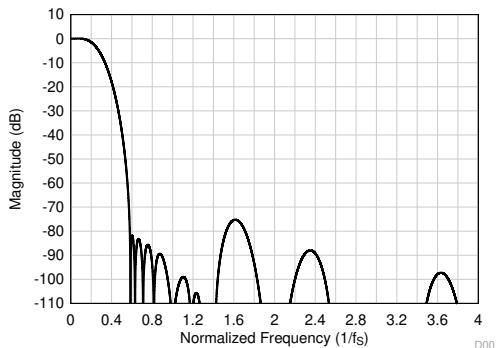


図 7-35. 線形位相デシメーション フィルタの振幅応答

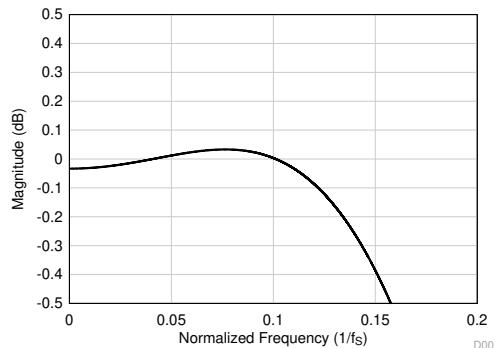


図 7-36. 線形位相デシメーション フィルタのパスバンド リップル

表 7-30. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.113 \times f_s$	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は $0.58 \times f_s \sim 2 \times f_s$ です	75.0			dB
	周波数範囲は $2 \times f_s$ 以降です	88.0			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.113 \times f_s$		5.9		$1/f_s$

### 7.3.6.7.2 低レイテンシ フィルタ

オーディオ帯域内で最小限の位相偏差と低レイテンシが重要なアプリケーションには、PCM3140-Q1 の低レイテンシ デシメーション フィルタを使用できます。このデバイスは、 $0.365 \times f_S$  の周波数帯域内ではほぼ線形な位相応答を持つ、約 7 個のサンプルのグループ遅延のフィルタをサポートしています。このセクションでは、低レイテンシ フィルタに対応するすべての出力サンプリング レートに関するフィルタ性能仕様および各種プロットを提供します。

#### 7.3.6.7.2.1 サンプリング レート : 16 kHz または 14.7 kHz

図 7-37 に、振幅応答を示します。図 7-38 に、サンプリング レート 16kHz または 14.7kHz でのデシメーション フィルタのパスバンドリップルと位相偏差を示します。表 7-31 に、16kHz または 14.7kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

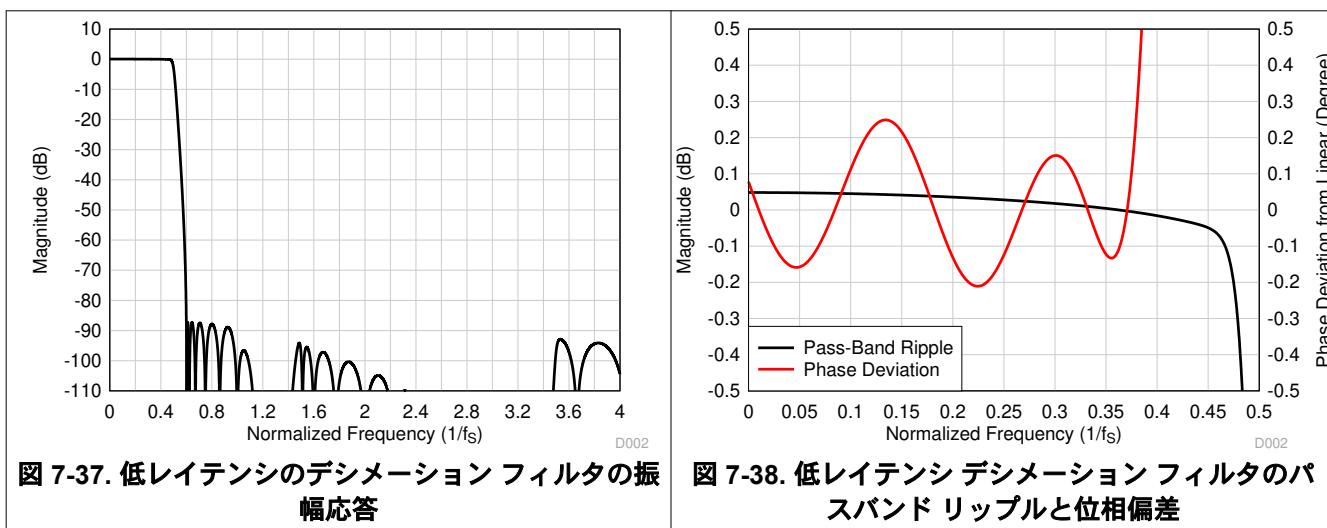


表 7-31. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.451 \times f_S$	-0.05	0.05	0.05	dB
ストップ バンド減衰	周波数範囲は $0.61 \times f_S$ 以降です	87.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.363 \times f_S$		7.6		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.363 \times f_S$	-0.022	0.022	0.022	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.363 \times f_S$	-0.21	0.25	0.25	度

### 7.3.6.7.2.2 サンプリング レート : 24 kHz または 22.05 kHz

図 7-39 に、振幅応答を示します。図 7-40 に、サンプリング レートが 24kHz または 22.05kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 7-32 に、サンプリング レートが 24kHz または 22.05kHz のデシメーション フィルタの仕様を示します。

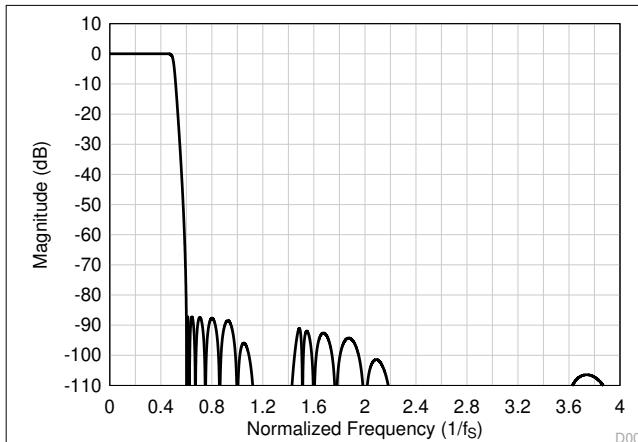


図 7-39. 低レイテンシのデシメーション フィルタの振幅応答

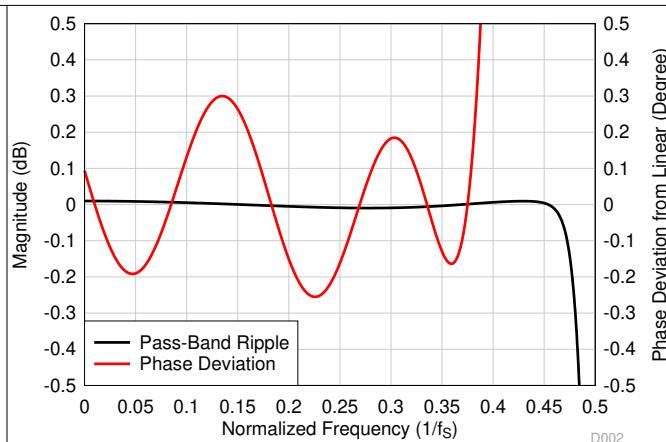


図 7-40. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 7-32. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は 0 ~ 0.459 × f <sub>S</sub>	-0.01		0.01	dB
ストップ バンド減衰	周波数範囲は 0.6 × f <sub>S</sub> 以降です	87.2			dB
グループ遅延またはレイテンシ	周波数範囲は 0 ~ 0.365 × f <sub>S</sub>		7.5		1/f <sub>S</sub>
群遅延の偏差	周波数範囲は 0 ~ 0.365 × f <sub>S</sub>	-0.026		0.026	1/f <sub>S</sub>
位相偏差	周波数範囲は 0 ~ 0.365 × f <sub>S</sub>	-0.26		0.30	度

### 7.3.6.7.2.3 サンプリング レート : 32 kHz または 29.4 kHz

図 7-41 に、振幅応答を示します。図 7-42 に、サンプリング レートが 32kHz または 29.4kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 7-33 に、サンプリング レートが 32kHz または 29.4kHz のデシメーション フィルタの仕様を示します。

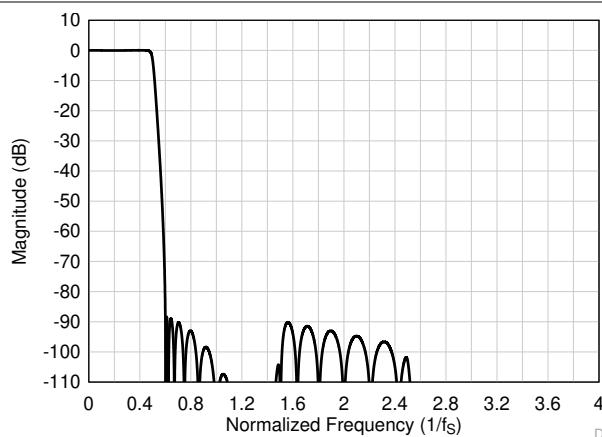


図 7-41. 低レイテンシのデシメーション フィルタの振幅応答

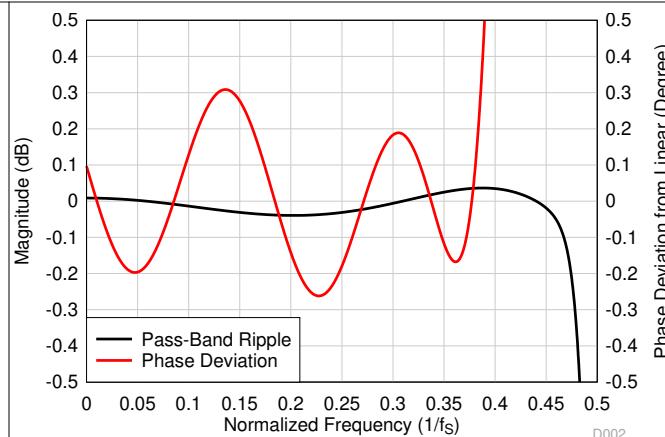


図 7-42. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 7-33. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.457 \times f_s$	-0.04	0.04	0.04	dB
ストップ バンド 減衰	周波数範囲は $0.6 \times f_s$ 以降です	88.3			dB
グループ 遅延またはレイテンシ	周波数範囲は $0 \sim 0.368 \times f_s$		8.7		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.368 \times f_s$	-0.026	0.026	0.026	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.368 \times f_s$	-0.26	0.31	0.31	度

#### 7.3.6.7.2.4 サンプリング レート : 48 kHz または 44.1 kHz

図 7-43 に、振幅応答を示します。図 7-44 に、サンプリング レートが 48kHz または 44.1kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 7-34 に、サンプリング レートが 48kHz または 44.1kHz のデシメーション フィルタの仕様を示します。

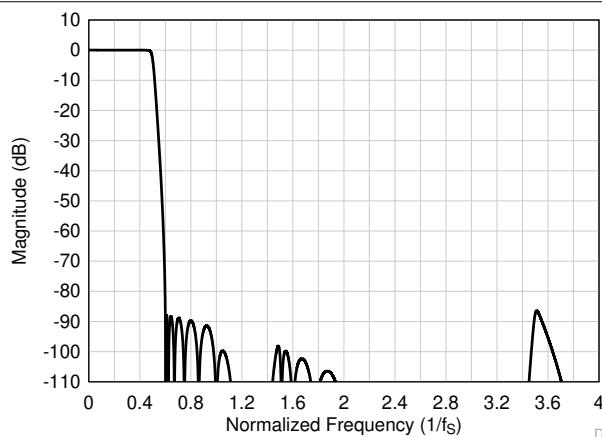


図 7-43. 低レイテンシのデシメーション フィルタの振幅応答

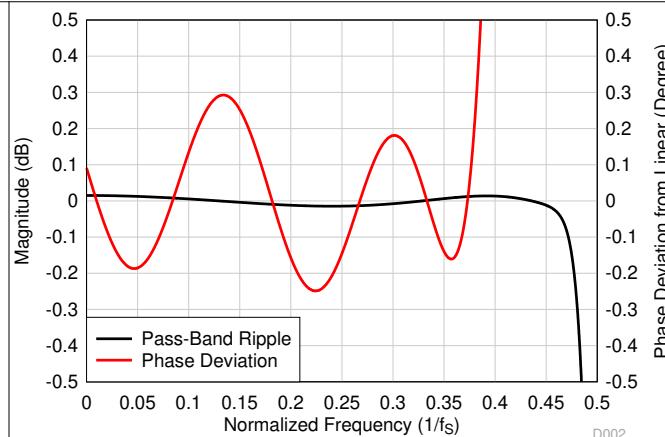


図 7-44. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 7-34. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.452 \times f_s$	-0.015	0.015	0.015	dB

表 7-34. 低レイテンシのデシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ストップ バンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	86.4			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_S$		7.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_S$	-0.027		0.027	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_S$	-0.25		0.30	度

### 7.3.6.7.2.5 サンプリング レート : 96 kHz または 88.2 kHz

図 7-45 に、振幅応答を示します。図 7-46 に、サンプリング レートが 96kHz または 88.2kHz でのデシメーション フィルタのパスバンドリップルと位相偏差を示します。表 7-35 に、サンプリング レートが 96kHz または 88.2kHz のデシメーション フィルタの仕様を示します。

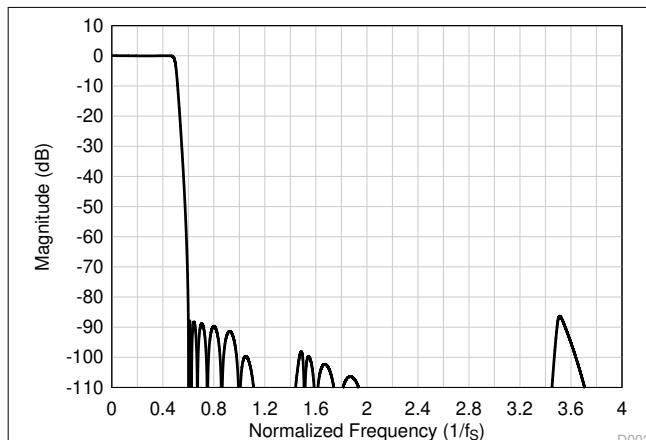


図 7-45. 低レイテンシのデシメーション フィルタの振幅応答

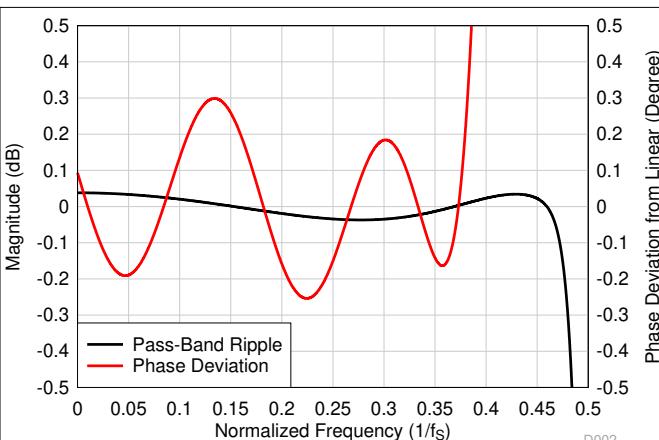


図 7-46. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 7-35. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.466 \times f_s$	-0.04		0.04	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	86.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_s$		7.7		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.027		0.027	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.26		0.30	度

### 7.3.6.7.2.6 サンプリング レート : 192kHz または 176.4kHz

図 7-47 に、振幅応答を示します。図 7-48 に、サンプリング レートが 192kHz または 176.4kHz でのデシメーション フィルタのパスバンドリップルと位相偏差を示します。表 7-36 に、サンプリング レートが 192kHz または 176.4kHz のデシメーション フィルタの仕様を示します。

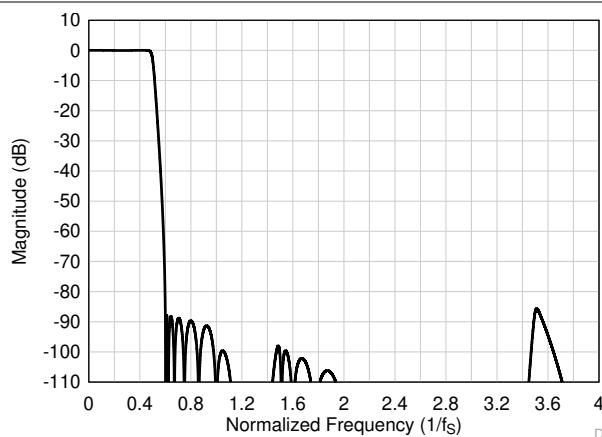


図 7-47. 低レイテンシのデシメーション フィルタの振幅応答

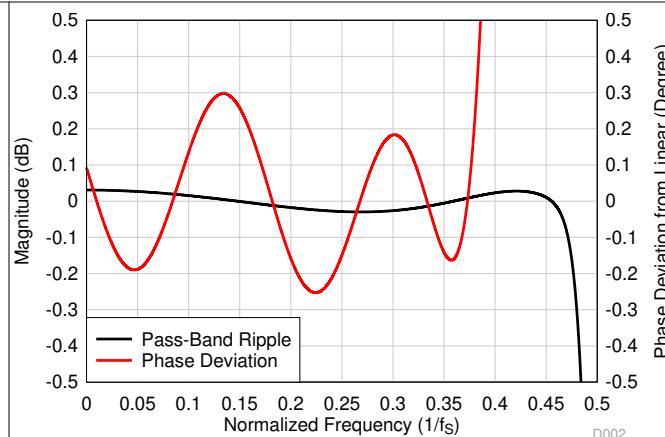


図 7-48. 低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 7-36. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 463 \times f_S$	-0.03	0.03	0.03	dB
ストップ バンド 減衰	周波数範囲は $0.6 \times f_S$ 以降です	85.6			dB
グループ 遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_S$		7.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_S$	-0.027	0.027	0.027	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_S$	-0.26	0.30	0.30	度

### 7.3.6.7.3 超低レイテンシ フィルタ

超低レイテンシ (オーディオ帯域内) が重要なアプリケーションでは、PCM3140-Q1 の超低レイテンシ デシメーション フィルタを使用できます。このデバイスは、 $0.325 \times f_S$  の周波数帯域内でほぼ直線的な位相応答を持つ、約 4 サンプルの群遅延でこれらのフィルタをサポートしています。このセクションでは、超低レイテンシ フィルタのサポートされているすべての出力サンプリング レートにおけるフィルタ性能仕様と各種プロットを提供します。

#### 7.3.6.7.3.1 サンプリング レート : 16 kHz または 14.7 kHz

図 7-49 に、振幅応答を示します。図 7-50 に、サンプリング レート 16kHz または 14.7kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 7-37 に、16kHz または 14.7kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

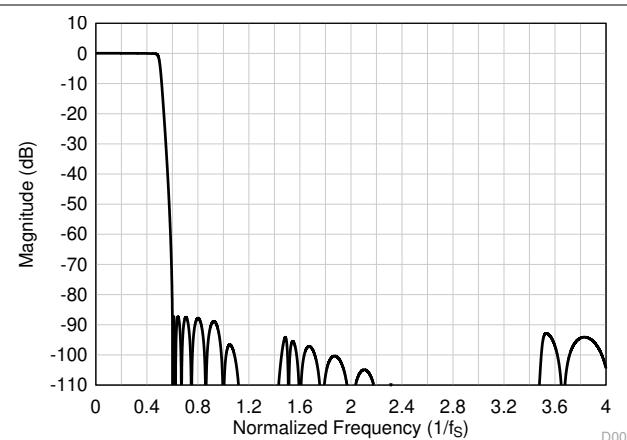


図 7-49. 超低レイテンシのデシメーションフィルタの振幅応答

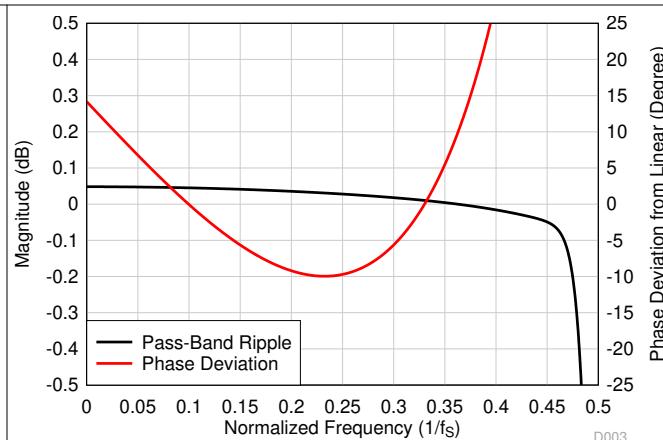


図 7-50. 超低レイテンシデシメーションフィルタのパスバンド リップルと位相偏差

表 7-37. 超低レイテンシデシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.45 \times f_S$	-0.05	0.05	0.05	dB
ストップ バンド 減衰	周波数範囲は $0.6 \times f_S$ 以降です	87.2			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		4.3		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.512		0.512	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-10.0		14.2	度

### 7.3.6.7.3.2 サンプリング レート : 24 kHz または 22.05 kHz

図 7-51 に、振幅応答を示します。図 7-52 に、サンプリング レートが 24kHz または 22.05kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 7-38 に、サンプリング レートが 24kHz または 22.05kHz のデシメーション フィルタの仕様を示します。

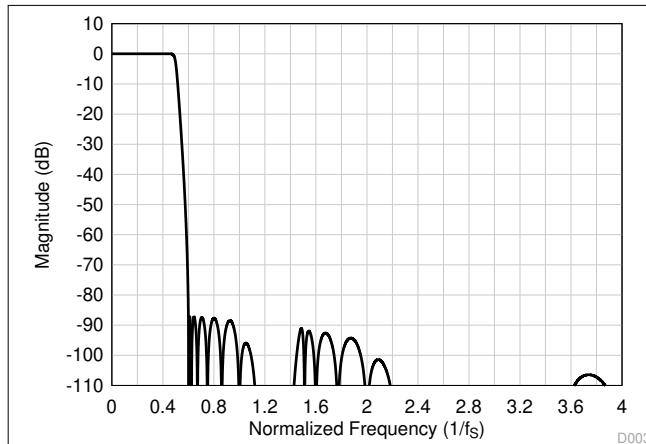


図 7-51. 超低レイテンシのデシメーション フィルタの振幅応答

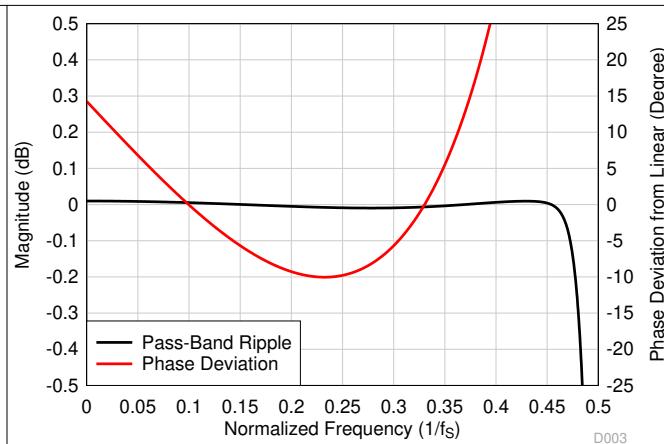


図 7-52. 超低レイテンシ デシメーション フィルタのパスバンド リップルと位相偏差

表 7-38. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.46 \times f_s$	-0.01		0.01	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_s$ 以降	87.1			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_s$		4.1		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_s$	-0.514		0.514	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_s$	-10.0		14.3	度

### 7.3.6.7.3.3 サンプリング レート : 32 kHz または 29.4 kHz

図 7-53 に、振幅応答を示します。図 7-54 に、サンプリング レートが 32kHz または 29.4kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 7-39 に、サンプリング レートが 32kHz または 29.4kHz のデシメーション フィルタの仕様を示します。

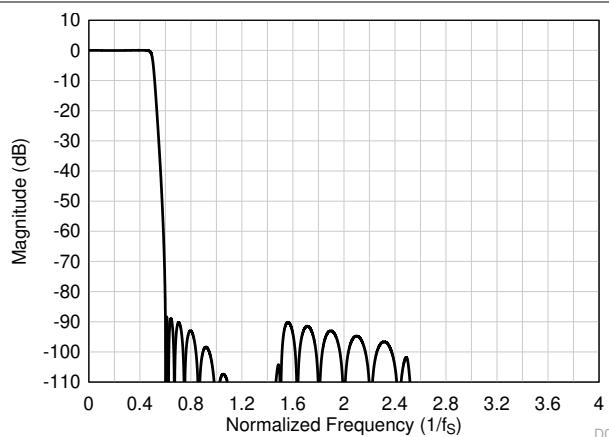


図 7-53. 超低レイテンシのデシメーション フィルタの  
振幅応答

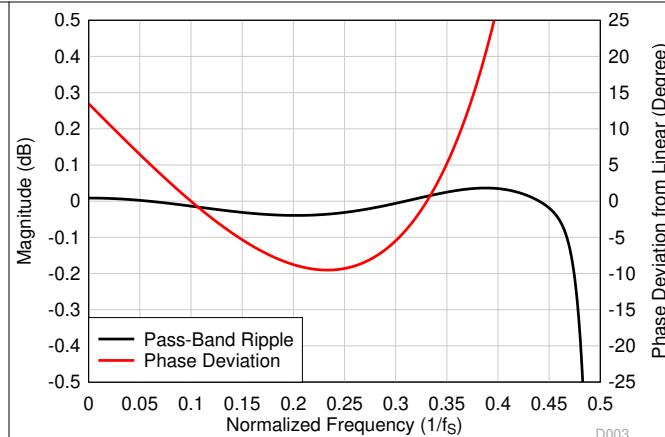


図 7-54. 超低レイテンシ デシメーション フィルタの  
パスバンド リップルと位相偏差

表 7-39. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.457 \times f_S$	-0.04	0.04	0.04	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	88.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		5.2		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.492	0.492	0.492	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-9.5		13.5	度

#### 7.3.6.7.3.4 サンプリング レート : 48 kHz または 44.1 kHz

図 7-55 に、振幅応答を示します。図 7-56 に、サンプリング レートが 48kHz または 44.1kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 7-40 に、サンプリング レートが 48kHz または 44.1kHz のデシメーション フィルタの仕様を示します。

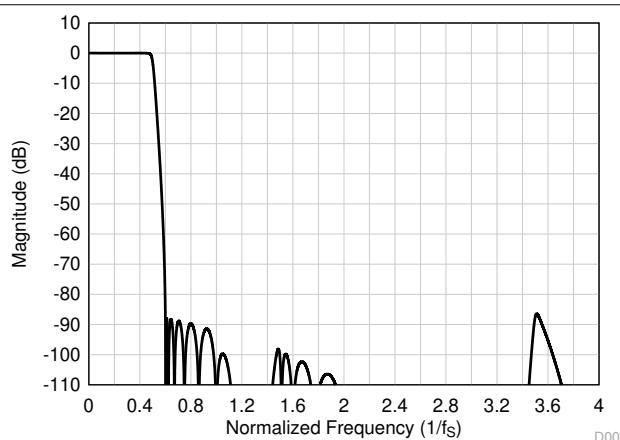


図 7-55. 超低レイテンシのデシメーション フィルタの  
振幅応答

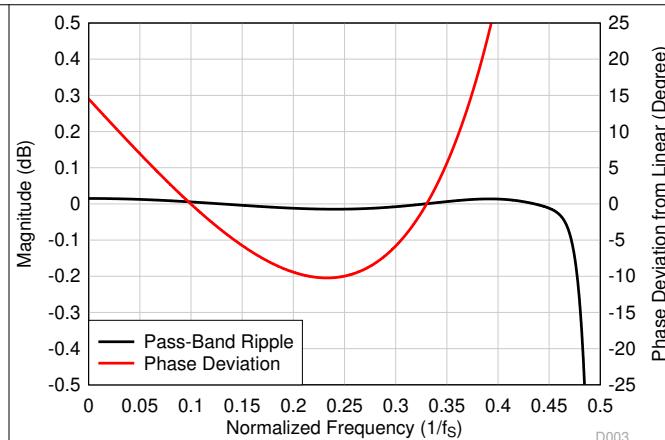


図 7-56. 超低レイテンシ デシメーション フィルタの  
パスバンド リップルと位相偏差

表 7-40. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.452 \times f_S$	-0.015	0.015	0.015	dB

表 7-40. 超低レイテンシ デシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ストップ バンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	86.4			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		4.1		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.525		0.525	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-10.3		14.5	度

### 7.3.6.7.3.5 サンプリング レート : 96 kHz または 88.2 kHz

図 7-57 に、振幅応答を示します。図 7-58 に、サンプリング レートが 96kHz または 88.2kHz でのデシメーション フィルタのパスバンドリップルと位相偏差を示します。表 7-41 に、サンプリング レートが 96kHz または 88.2kHz のデシメーション フィルタの仕様を示します。

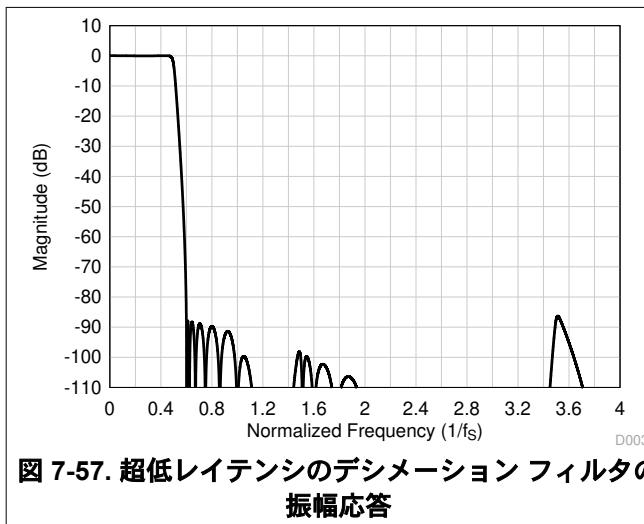


図 7-57. 超低レイテンシのデシメーション フィルタの振幅応答

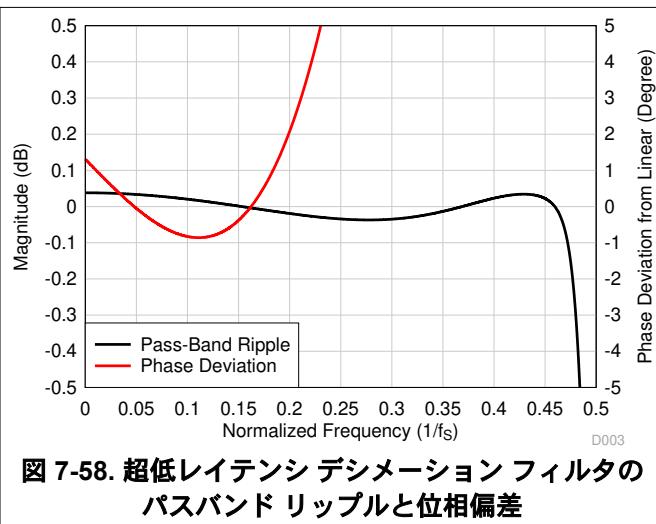


図 7-58. 超低レイテンシデシメーション フィルタのパスバンド リップルと位相偏差

表 7-41. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.466 \times f_s$	-0.04		0.04	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	86.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.1625 \times f_s$		3.7		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.1625 \times f_s$	-0.091		0.091	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.1625 \times f_s$	-0.86		1.30	度

### 7.3.6.7.3.6 サンプリング レート : 192kHz または 176.4kHz

図 7-59 に、振幅応答を示します。図 7-60 に、サンプリング レートが 192kHz または 176.4kHz でのデシメーション フィルタのパスバンドリップルと位相偏差を示します。表 7-42 に、サンプリング レートが 192kHz または 176.4kHz のデシメーション フィルタの仕様を示します。

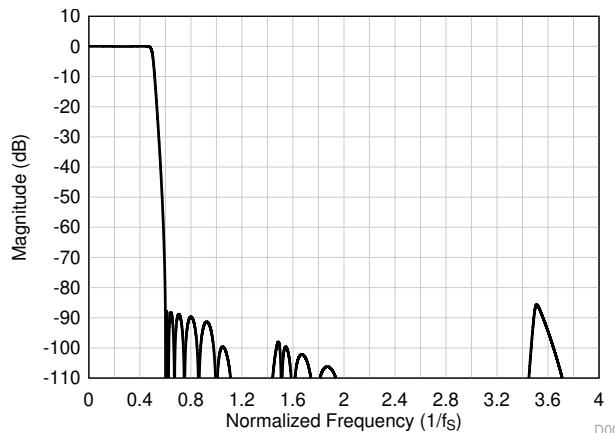


図 7-59. 超低レイテンシのデシメーションフィルタの振幅応答

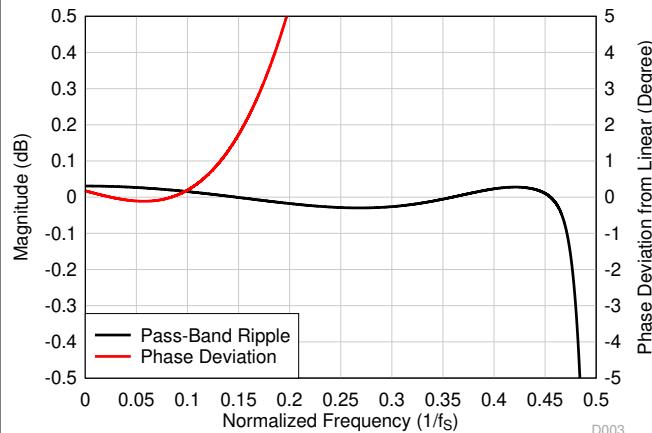


図 7-60. 超低レイテンシデシメーションフィルタのパスバンドリップルと位相偏差

表 7-42. 超低レイテンシデシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.463 \times f_s$	-0.03		0.03	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	85.6			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.085 \times f_s$		3.7		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.085 \times f_s$	-0.024		0.024	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.085 \times f_s$	-0.12		0.18	度

### 7.3.6.7.3.7 サンプリングレート: 384kHz または 352.8kHz

図 7-61 に、振幅応答を示します。図 7-62 に、サンプリングレートが 384kHz または 352.8kHz でのデシメーションフィルタのパスバンドリップルと位相偏差を示します。表 7-43 に、サンプリングレートが 384kHz または 352.8kHz のデシメーションフィルタの仕様を示します。

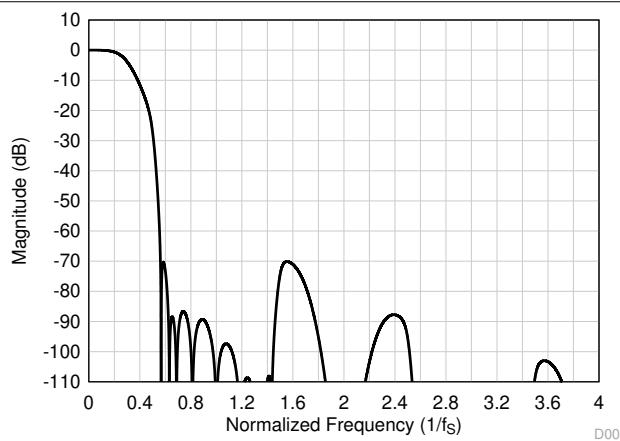


図 7-61. 超低レイテンシのデシメーションフィルタの振幅応答

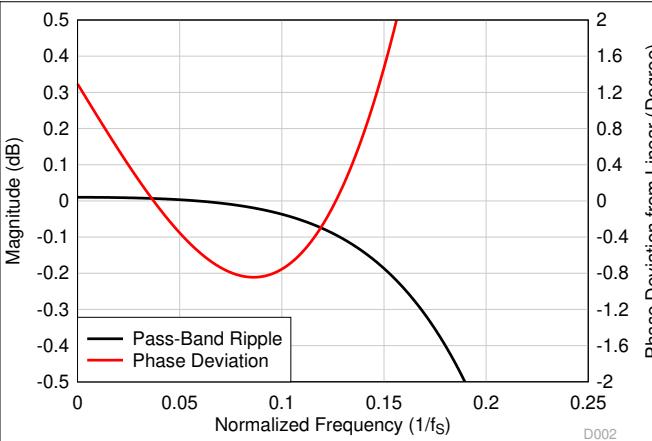


図 7-62. 超低レイテンシデシメーションフィルタのパスバンドリップルと位相偏差

表 7-43. 超低レイテンシデシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.1 \times f_s$	-0.04		0.01	dB

**表 7-43. 超低レイテンシ デシメーション フィルタの仕様 (続き)**

パラメータ	テスト条件	最小値	標準値	最大値	単位
ストップ バンド減衰	周波数範囲は $0.56 \times f_S$ 以降です	70.1			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.157 \times f_S$		4.1		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.157 \times f_S$	-0.18		0.18	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.157 \times f_S$	-0.85		2.07	度

### 7.3.7 自動ゲインコントローラ(AGC)

デバイスには、ADC 記録用の自動ゲインコントローラ(AGC)が内蔵されています。図 7-63 に示されているように、AGC を使用して音声録音時に出力レベルを公称値に一定に維持できます。AGC モードでは、チャネル ゲインを手動で設定する代わりに、マイクに向かって話している人がマイクに近づいたり遠ざかったりするなど、入力信号が大きすぎたり、極端に弱くなったりしたときに、回路がチャネル ゲインを自動的に調整します。AGC アルゴリズムには、ターゲット レベル、許容される最大ゲイン、アタックおよびリリース(または減衰)時間定数、ノイズ レッショルドなど、いくつかのプログラミング可能なパラメータがあり、特定の用途に合わせてアルゴリズムを微調整できます。

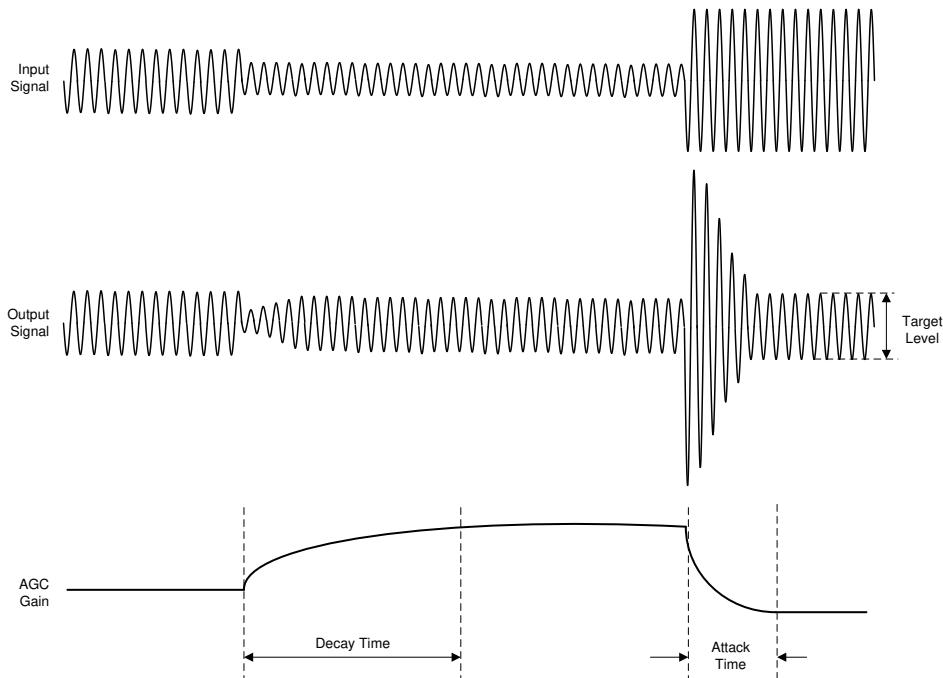


図 7-63. AGC の特性

目標レベル(AGC\_LVL)は、AGC が ADC 出力信号レベルの保持を試みるとときのおおよその出力レベルを表します。PCM3140-Q1 では、フルスケール信号を基準に -6dB ~ -36dB の範囲でさまざまな目標レベルをプログラムできます。AGC\_LVL のデフォルト値は -34dB に設定されています。ターゲット レベルは、大きな音が発生したときにクリッピングを防ぐために十分なマージンを設定することをお勧めします。表 7-44 に、AGC の目標レベル構成の設定値を示します。

表 7-44. AGC 目標レベルのプログラマブル設定

P0_R112_D[7:4]:AGC_LVL[3:0]	出力 AGC 目標レベル
0000	AGC 目標レベルは、-6dB の出力信号レベルです
0001	AGC 目標レベルは、-8dB の出力信号レベルです
0010	AGC 目標レベルは、-10dB の出力信号レベルです
...	...
1110 (デフォルト)	AGC 目標レベルは、-34dB の出力信号レベルです
1111	AGC 目標レベルは、-36dB の出力信号レベルです

許容される最大ゲイン (AGC\_MAXGAIN) により、AGC によって印加される最大ゲインを制限する柔軟性が得られます。この機能により、環境ノイズがプログラムされたノイズ スレッショルドよりも高い状況でチャネル ゲインが制限されます。AGC\_MAXGAIN は 3dB 刻みで 3dB ~ 42dB にプログラム可能で、デフォルト値は 24dB に設定されています。[表 7-45](#) に、AGC\_MAXGAIN 構成の設定を示します。

**表 7-45. AGC 最大ゲイン プログラマブル設定**

P0_R112_D[3:0]:AGC_MAXGAIN[3:0]	AGC 最大許容ゲイン
0000	AGC 最大許容ゲインは 3dB です
0001	AGC 最大許容ゲインは 6dB です
0010	AGC 最大許容ゲインは 9dB です
...	...
0111 (デフォルト)	AGC 最大許容ゲインは 24dB です
...	...
1110	AGC 最大許容ゲインは 39dB です
1111	AGC 最大許容ゲインは 42dB です

AGC 各種構成可能パラメータおよびアプリケーションの使用方法の詳細については、『[TLV320ADCx140 での自動ゲインコントローラ\(AGC\) の使用](#)』アプリケーション レポートを参照してください。

### 7.3.8 デジタル PDM マイクロフォン録音チャネル

アナログマイクのサポートに加えて、デバイスは、デジタルパルス密度変調 (PDM) マイクへのインターフェイスをもサポートし、高次および高性能のデシメーションフィルタを使用して、ホストへのオーディオシリアルインターフェイスで伝送可能なパルス符号変調 (PCM) 出力データを生成します。システムでアナログマイクを使用しない場合、アナログ入力ピン (INxP および INxM) をそれぞれ GPIx および GPOx ピンとして転用し、デジタル PDM マイク録音用の PDMDINx および PDMCLK クロックに構成できます。デバイスは最大 8 つのデジタルマイク録音チャネルをサポートします。

このデバイスは、内部で PCMCLK を生成します。周波数は、6.144MHz、3.072MHz、1.536MHz、または 768kHz (出力データサンプルレートが 48kHz の倍数または約数の場合) または 5.6448MHz、2.8224MHz、1.4112MHz、または 705.6kHz (出力データのサンプルレートが 44.1kHz の倍数またはその倍数でない場合) を使用するには、PDMCLK\_DIV[1:0]、P0\_R31\_D[1:0] レジスタビットを使用します。PDMCLK は GPOx ピンで配線できます。このクロックは、外部デジタルマイクロフォンデバイスに接続できます。図 7-64 は、デジタル PDM マイクの接続図を示します。

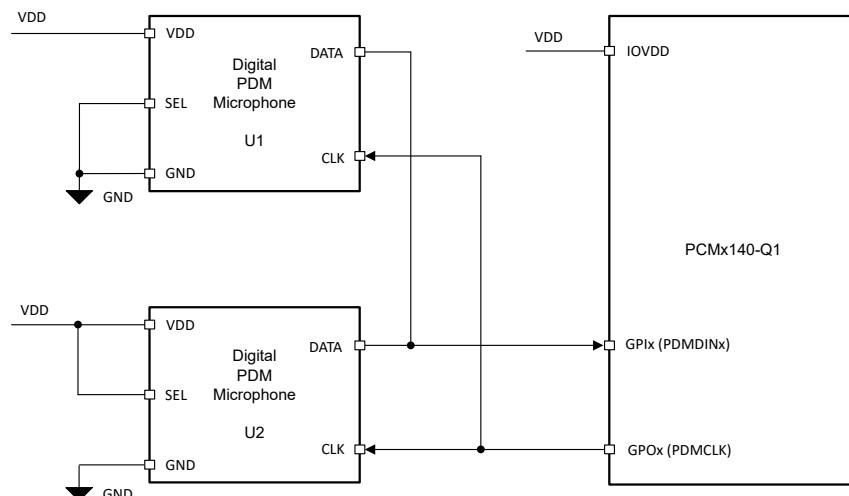


図 7-64. PCM3140-Q1 へのデジタル PDM マイクの接続図

外部デジタルマイクロフォン機器のシングルビット出力を GPIx ピンに接続できます。この単一のデータラインは、2 つのデジタルマイクで共有することができ、PDMCLK の反対側のエッジにデータを配置します。内部的には、デバイスは P0\_R32\_D[7:4] に設定された構成レジスタビットに基づいて、PDMCLK の立ち上がりエッジまたは PDMCLK の立ち下がりエッジで、データの安定した値がラッチされます。図 7-65 に、デジタル PDM マイクロフォンインターフェイスのタイミング図を示します。

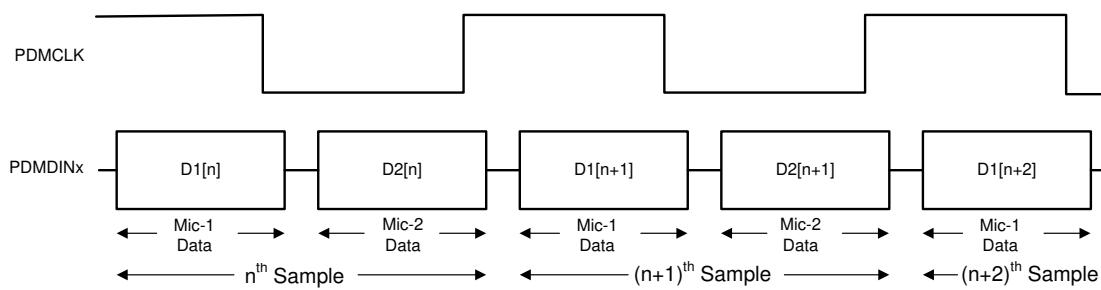


図 7-65. デジタル PDM マイクロフォンプロトコルのタイミング図

デジタルマイクを使用して録音を行うと、各 ADC チャネルのアナログブロックはパワーダウンしてバイパスされ、電力効率が向上します。チャネル 1 からデジタルマイク 4 のために、CH1\_INSRC[1:0] (P0\_R60\_D[6:5])、CH2\_INSRC[1:0] (P0\_R65\_D[6:5])、CH3\_INSRC[1:0] (P0\_R70\_D[6:5])、および CH4\_INSRC[1:0] (P0\_R75\_D[6:5]) レジスタビットを使用して、チャネル 1 からデジタルマイク 4 までを選択します。

### 7.3.9 割り込み、ステータス、およびデジタルI/O ピンの多重化

デバイス内の特定のイベントはホスト プロセッサの介入を必要とし、ホスト プロセッサへの割り込みをトリガするために使用できます。そのようなイベントの 1 つに、オーディオシリアルインターフェース(ASI)バスエラーがあります。ASI バスエラークロックに何らかのエラーが検出された場合、デバイスは記録チャネルをパワーオフにします。

- 無効な FSYNC 周波数
- 無効な SBCLK 対 FSYNC 比
- SBCLK または FSYNC クロックの長い一時停止

ASI バスクロックエラーが検出されると、デバイスは録画チャネルをできるだけ早くシャットダウンします。ASI バスクロックエラーがすべて解決されると、デバイスの音量が元の状態に戻り、録画チャネルが回復します。ASI バスクロックエラーが発生している間、クロックエラー割り込みマスクレジスタビット INT\_MASK0[7]、P0\_R51\_D7 が Low に設定されている場合、内部割り込み要求(IRQ)割り込み信号は Low をアサートします。クロックエラーは、ラッチされたフォルトステータスレジスタビット INT\_LTCH0、P0\_R54 でも読み出しが可能です。これは読み出し専用のレジスタです。ラッチされたフォルトステータスレジスタ INT\_LTCH0 を読み出すと、ラッチされたフォルトステータスがすべてクリアされます。このデバイスは、内部 IRQ 割り込み信号を GPIO1 または GPOx ピンにルーティングするように追加設定できます。また、これらのピンを他のデバイスのオープンドレイン割り込み出力に配線を削減できるように、オープンドレイン出力として設定することもできます。

IRQ 割り込み信号は、INT\_POL、P0\_R50\_D7 レジスタビットを設定することで、アクティブ Low またはアクティブ High のどちらかに構成できます。この信号は、INT\_EVENT[1:0]、P0\_R50\_D[6:5] レジスタビットをプログラムすることで、单一パルスまたは一連のパルスとして設定することもできます。割り込みがパルスの一連のシーケンスとして構成されている場合、イベントがパルスの開始をトリガーし、ラッチされたフォルトステータスレジスタが読み取られて割り込みの原因が特定されるとパルスが停止します。

また、このデバイスは、チャネルがパワーアップまたはパワーダウンの状態であるか、デバイスがスリープモードであるか否かを判断するための読み取り専用のライブステータスレジスタもサポートしています。これらのステータスレジスタは、P0\_R118、DEV\_STS0、P0\_R119、DEV\_STS1 にあります。

このデバイスには多機能の GPIO1 ピンがあり、目的の特定の機能に合わせて構成できます。また、チャネルがアナログ入力の記録に使用されない場合、CHx\_CFG0 レジスタの CHx\_INSRC[1:0] レジスタビットを構成することで、そのチャネルのアナログ入力ピン (INxP および INxM) を多機能ピン (GPIx および GPOx) として転用できます。デバイスでサポートされる GPO ピンの最大数は 4 つで、GPI ピンの最大数は 4 つです。表 7-46 に、これらのマルチファンクションピンのさまざまな機能に対するすべての可能なアロケーションを示します。

**表 7-46. マルチファンクションピン構成**

行	ピン機能 <sup>(4)</sup>	GPIO1	GPO1	GPO2	GPO3	GPO4	GPI1	GPI2	GPI3	GPI4
—	—	GPIO1_CFG	GPO1_CFG	GPO2_CFG	GPO3_CFG	GPO4_CFG	GPI1_CFG	GPI2_CFG	GPI3_CFG	GPI4_CFG
—	—	P0_R33[7:4]	P0_R34[7:4]	P0_R35[7:4]	P0_R36[7:4]	P0_R37[7:4]	P0_R43[6:4]	P0_R43[2:0]	P0_R44[6:4]	P0_R44[2:0]
A	ピンがディスエーブル時	S <sup>(1)</sup>	S(デフォルト)	S(デフォルト)	S(デフォルト)	S(デフォルト)	S(デフォルト)	S(デフォルト)	S(デフォルト)	S(デフォルト)
B	汎用出力(GPO)	S	S	S	S	S	NS <sup>(2)</sup>	NS	NS	NS
C	割り込み出力(IRQ)	S(デフォルト)	S	S	S	S	NS	NS	NS	NS
D	セカンダリ ASI 出力 (SDOUT2) <sup>(3)</sup>	S	S	S	S	S	NS	NS	NS	NS
E	PDM クロック出力(PDMCLK)	S	S	S	S	S	NS	NS	NS	NS
F	MICBIAS オン/オフ入力 (BIASEN)	S	NS	NS	NS	NS	NS	NS	NS	NS
G	汎用入力(GPI)	S	NS	NS	NS	NS	S	S	S	S
H	マスター クロック(MCLK)	S	NS	NS	NS	NS	S	S	S	S
I	ASI ディジーチェーン入力 (SDIN)	S	NS	NS	NS	NS	S	S	S	S
J	PDM データ入力 1 (PDMDIN1)	S	NS	NS	NS	NS	S	S	S	S
K	PDM データ入力 2 (PDMDIN2)	S	NS	NS	NS	NS	S	S	S	S
L	PDM データ入力 3 (PDMDIN3)	S	NS	NS	NS	NS	S	S	S	S

表 7-46. マルチファンクション ピン構成 (続き)

行	ピン機能 <sup>(4)</sup>	GPIO1	GPO1	GPO2	GPO3	GPO4	GPI1	GPI2	GPI3	GPI4
M	PDM データ入力 4 (PDMDIN4)	S	NS	NS	NS	NS	S	S	S	S

- (1) S は、この列に記載されている GPIO1、GPOx、または GPIx ピンで、この行に記載されている機能がサポートされていることを意味します。
- (2) NS は、この列に記載されている GPOx、GPO1、または GPI1 ピンで、この行に記載されている機能がサポートされていないことを意味します。
- (3) 高速 ASI 出力では、セカンダリ ASI 出力用 GPOx の代わりに GPIO1 を使用する必要があります。GPOx は、バス速度の要件が 6.144MHz よりも小さい場合にのみ使用できます。
- (4) GPIO1 ピンのみが IOVDD 電源を基準としています。他の GPOx および GPIx ピンは AVDD 電源を基準としており、それらの主なピン機能は PDMDCLK または PDMDIN 機能用です。

GPIO1 の駆動能力は、GPIO1\_DRV[2:0](P0\_R33) レジスタ ビットで構成できます。『[GPIO1 ドライブ構成設定](#)』に、使用可能なドライブ構成設定を示します。同様に、GPOx ピンは GPOx\_DRV[0] (P0\_R33-37) ビットを使用して設定できます。しかし、ハイインピーダンスとアクティブ High / アクティブ Low のドライブ オプションのみを利用できます。『[GPOx ドライブ構成設定](#)』に、GPO1 の構成オプションを示します。GPO2、3、4 でも同じオプションを使用できます。

表 7-47. GPIO1 ドライブ構成設定

P0_R33_D[2:0]:GPIO1_DRV[2:0]	GPIO1 の GPIO 出力ドライブ構成設定
000	GPIO1 ピンが高インピーダンス(フローティング)に設定
001	GPIO1 ピンは、アクティブ Low またはアクティブ High で駆動
010 (デフォルト)	GPIO1 ピンはアクティブ Low または弱 High(オンチップ プルアップ)で駆動
011	GPIO1 ピンはアクティブ Low またはハイインピーダンスで駆動(フローティング)。
100	GPIO1 ピンは、弱 Low(オンチップ プルダウン)またはアクティブ High で駆動
101	GPIO1 ピンは、ハイインピーダンス(フローティング)またはアクティブ High で駆動
110 および 111	予約済み(これらの設定は使用しないでください)

表 7-48. GPOx ドライブ構成設定

P0_R34_D[0] : GPO1_DRV[0]	GPO1 の GPO1 出力ドライブ構成設定
000	GPO1 ピンが高インピーダンス(フローティング)に設定
001	GPO1 ピンは、アクティブ Low またはアクティブ High で駆動

汎用出力 (GPO) として構成されている場合、GPIO\_VAL または GPOx\_VAL、P0\_R41 レジスタに書き込むことによって、GPIO1 または GPOx ピンの値を駆動できます。GPIO\_MON、P0\_R42 レジスタは、汎用入力 (GPI) として構成されている場合、GPIO1 ピンのステータスを読み出すために使用できます。同様に、GPI\_MON、P0\_R47 レジスタは、汎用入力 (GPI) として構成されている場合に GPIx ピンのステータスを読み戻すために使用できます。

## 7.4 デバイスの機能モード

### 7.4.1 ハードウェア シャットダウン

SHDNZ ピンが Low にアサートされるか、または AVDD 電源電圧がデバイスに印加されないと、デバイスはハードウェア シャットダウン モードに移行します。ハードウェア シャットダウン モードでは、デバイスは AVDD 電源からの最小静止時電流を消費します。このモードでは、すべての構成レジスタとプログラム可能な係数に値が失われるため、デバイスへの I<sup>2</sup>C または SPI 通信がサポートされていません。

デバイスがアクティブ モードのときに SHDNZ ピンが Low にアサートされると、デバイスは録音データのボリュームを下げて、アナログおよびデジタル ブロックの電源をオフにして、25 ミリ秒 (標準値) 以内にデバイスがハードウェア シャットダウン モードに移行します。また、SHDNZ\_CFG[1:0]、P0\_R5\_D[3:2] レジスタ ビットが 2'b00 に設定されている場合、デバイスはアクティブ モードから直ちにハードウェア シャットダウン モードに移行することもできます。SHDNZ ピンが Low にアサートされた後で、デバイスがハードウェア シャットダウン モードに移行した後、SHDNZ ピンを 1 ミリ秒以上 Low に維持してから、デバイスをさらに動作させるために SHDNZ を解放します。

IOVDD 電源が安定した電圧レベルに安定したときのみ、SHDNZ ピンを High にアサートします。SHDNZ ピンが High になると、デバイスはすべての構成レジスタとプログラム可能な係数をデフォルト値に設定してから、スリープ モードに移行します。

### 7.4.2 スリープモードまたはソフトウェア シャットダウン

スリープ モードまたはソフトウェア シャットダウン モードでは、デバイスは AVDD 電源から非常に低い静止電流を消費し、同時に I<sup>2</sup>C または SPI 通信によりデバイスをアクティブ動作に起動することができます。

また、ホスト デバイスが SLEEP\_ENZ、P0\_R2\_D0 ビットを 1'b0 に設定すると、デバイスはスリープ モードに入ります。デバイスがアクティブ モードのときに SLEEP\_ENZ ビットが Low にアサートされると、デバイスは録音データのボリュームを下げて、アナログおよびデジタル ブロックの電源をオフにして、スリープ モードに移行します。しかし、デバイスは依然として、デバイス構成レジスタとプログラマブル係数の最後のプログラムされた値を保持し続けています。

スリープ モードでは、アクティブ モードに移行するためにスリープ モードを終了することを除き、I<sup>2</sup>C または SPI トランザクションを実行しません。スリープ モードに移行した後、I<sup>2</sup>C または SPI トランザクションを開始する前に、スリープ モードを終了します。

スリープモードから復帰するときは、ホスト デバイスは、外部 1.8V AREG 電源 (デフォルト設定) とオンチップ レギュレータで生成される AREG 電源のどちらかを使用するように PCM3140-Q1 を構成する必要があります。AREG 電源を構成するには、同じ P0\_R2 レジスタの AREG\_SELECT、ビット D7 に書き込みます。

### 7.4.3 アクティブ モード

ホスト デバイスが SLEEP\_ENZ ビットを 1'b1 に設定してスリープ モードを終了すると、デバイスはアクティブ モードに入ります。アクティブ モードでは、I<sup>2</sup>C または SPI トランザクションを実行して、デバイスを構成し、アクティブ動作用に電源オンできます。アクティブ モードに移行した後、デバイスが内部ウェイクアップ シーケンスを完了できるように、I<sup>2</sup>C または SPI トランザクションを開始する前に少なくとも 1 ミリ秒待つ必要があります。

ターゲット アプリケーションとシステム設定の他すべてのレジスタを構成した後、入力チャネル イネーブル レジスタ P0\_R115 (IN\_CH\_EN) と出力チャネル イネーブル レジスタ P0\_R116 (ASL\_OUT\_CH\_EN) をそれぞれ構成します。最後に、デバイスのパワーアップ レジスタ P0\_R117 (PWR\_CFG) を構成します。各チャネルに電源を投入する前に、プログラム可能な係数の値をすべて書き込む必要があります。

アクティブ モードでは、P0\_R117 (DEV\_STS0) および P0\_R118 (DEV\_STS1) レジスタに位置する読み取り専用デバイス ステータス ビットを読み取ることで、さまざまなブロックの電源投入および電源切断の状態が監視されます。

### 7.4.4 ソフトウェア リセット

ソフトウェア リセットは、SW\_RESET ビット、P0\_R1\_D0 をアサートすることでいつでも実行でき、これは自己クリア ビットです。このソフトウェア リセットは、デバイスを即座にシャット ダウンし、すべてのデバイス構成レジスタとプログラム可能な係数をデフォルト値に戻します。

## 7.5 プログラミング

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラマブル係数が含まれています。これらのレジスタは **デバイス制御レジスタ** と呼ばれ、ページ方式でマップされて幅が 8 ビットです。

各ページには 128 の構成レジスタがあります。すべてのデバイス構成レジスタはページ 0 に保存されます。これは、電源投入時およびソフトウェアリセット後のデフォルトのページ設定です。プログラム可能な係数レジスタはすべて、ページ 2、ページ 3、ページ 4 にあります。デバイスの現在のページは、各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用して、新しい希望のページに切り替えることができます。

### 7.5.1 制御シリアルインターフェイス

デバイス制御レジスタには、デバイスへの I<sup>2</sup>C または SPI 通信を使用してアクセスできます。

I<sup>2</sup>C または SPI インターフェイスのマルチプレクサ ピンである SDA\_SSZ、SCL\_MOSI、ADDR0\_SCLK、および ADDR1\_MISO デバイスピンを監視することで、デバイスはホストデバイスが I<sup>2</sup>C または SPI 通信を使用しているかどうかを自動的に検出し、デバイスを構成します。特定のエンド アプリケーションでは、デバイスの構成するために、ホストデバイスは常に I<sup>2</sup>C と SPI インターフェイスのどちらかを使用する必要がありますが、両方を使用することはできません。

#### 7.5.1.1 I<sup>2</sup>C 制御インターフェイス

このデバイスは、ターゲットデバイスとして I<sup>2</sup>C 制御プロトコルをサポートし、標準モード、高速モード、高速モードプラスで動作可能です。I<sup>2</sup>C 制御プロトコルには、7 ビットのターゲットアドレスが必要です。ターゲットアドレスの最上位 5 ビット (MSB) は 10011 に固定されており、変更できません。最下位 2 ビット (LSB) はプログラム可能で、ADDR0\_SCLK と ADDR1\_MISO ピンにより制御されます。これら 2 つのピンは、常に VSS または IOVDD にプルする必要があります。I2C\_BRDCAST\_EN (P0\_R2\_D2) ビットが 1'b1 に設定されている場合、システム内のすべての PCM3140-Q1 デバイスへの同時 I<sup>2</sup>C ブロードキャスト通信を可能にするために、I<sup>2</sup>C ターゲットアドレスは 1001100 に固定されます。表 7-49 に、この構成によって発生する 4 つのデバイスアドレスを示します。

表 7-49. I<sup>2</sup>C ターゲットアドレスの設定

ADDR1_MISO	ADDR0_SCLK	I2C_BRDCAST_EN (P0_R2_D2)	I <sup>2</sup> C ターゲットアドレス
0	0	0 (デフォルト)	1001 100
0	1	0 (デフォルト)	1001 101
1	0	0 (デフォルト)	1001 110
1	1	0 (デフォルト)	1001 111
X	X	1	1001 100

#### 7.5.1.1.1 一般的な I<sup>2</sup>C の動作

I<sup>2</sup>C バスは、SDA(データ)と SCL(クロック)の 2 つの信号を使用して、シリアルデータ伝送によってシステム内の集積回路間で通信を行います。アドレスおよびデータの 8 ビットバイトは、MSB(最上位ビット)から先に転送されます。さらに、バス上で転送される各バイトは、受信デバイスによってアクノリッジビットで確認されます。各転送操作は、コントローラデバイスがバス上にスタートコンディションを発生させることで開始し、ストップコンディションを発生させることで終了します。バスは、クロックがロジックハイの状態でデータピン (SDA) の遷移を使用して、スタートの条件およびストップの条件を示します。SDA ラインでのハイからローへの遷移はスタート条件を示し、ローからハイへの遷移はストップ条件を示します。通常のデータビット遷移は、クロック周期の低レベル期間内に発生しなければなりません。

コントローラデバイスは、スタートコンディションを発行した後、7 ビットのターゲットアドレスとリード / ライト (R/W) ビットを送信して他のデバイスとの通信を開始し、次にアクノリッジ (ACK) コンディションを待機します。ターゲットデバイスは、アクノリッジクロック期間中に SDA を低レベルに保持することで、アクノリッジを示します。これにより、コントローラデバイスは順に次のバイトを送信します。各ターゲットデバイスは、一意の 7 ビットのターゲットアドレスに R/W ビットを加えた(1 バイトの)アドレスによって指定されます。すべての互換デバイスは、ワイヤード-AND 接続を使用した双方向バスを介して、同じ信号を共有します。

スタートコンディションとストップコンディションの間で送信されるバイト数に制限はありません。最後のデータワードが転送されると、コントローラデバイスはバスを解放するためにストップコンディションを生成します。図 7-66 に、一般的なデータ転送シーケンスを示します。

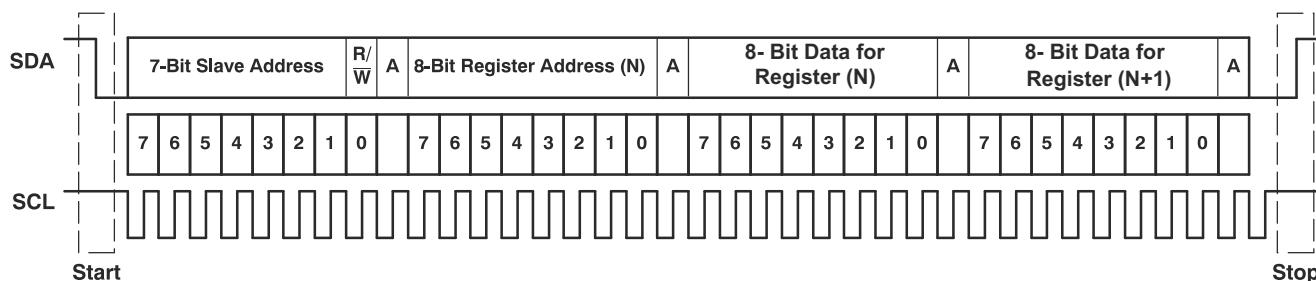


図 7-66. 代表的な I<sup>2</sup>C シーケンス

システム内では、SDA および SCL 信号に外部プルアップ抵抗を使用して、バスの論理 High レベルを設定します。SDA および SCL の電圧は、デバイスの電源電圧である IOVDD を超えてはなりません。

#### 7.5.1.1.2 I<sup>2</sup>C のシングルバイトおよびマルチバイト転送

デバイスの I<sup>2</sup>C インターフェイスは、すべてのレジスタに対して、シングルバイトおよびマルチバイトの読み取り / 書き込み操作をサポートしています。マルチバイトの読み取り動作中は、コントローラがアクノリッジで応答を継続している限り、アサインされたレジスタから始まるデータを 1 バイトずつ返します。

デバイスは、シーケンシャルな I<sup>2</sup>C アドレッシングに対応しています。書き込みトランザクションの場合、レジスタが発行され、次にそのレジスタのデータと残りのすべてのレジスタのデータが続いて送信される場合、I<sup>2</sup>C の書き込みトランザクションはシーケンシャルに実行されます。I<sup>2</sup>C のシーケンシャルな書き込みトランザクションの場合、発行されたレジスタは開始点となり、その次に停止または開始が送信される前に、データの量が送信され、いくつのレジスタを書き込むかが決定されます。

#### 7.5.1.1.2.1 I<sup>2</sup>C のシングルバイト書き込み

図 7-67 に示されているように、シングルバイトのデータ書き込み転送では、最初にコントローラデバイスが開始条件を送信し、次に I<sup>2</sup>C デバイスアドレスと読み取り / 書き込みビットが続きます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送を実行するには、読み取り / 書き込みビットを 0 にセットします。正しい I<sup>2</sup>C のターゲットアドレスと読み取り / 書き込みビットを受信すると、アクノリッジビット(ACK)を返信します。次に、コントローラデバイスは、アクセスされているデバイス内部レジスタアドレスに対応するレジスタバイトを送信します。デバイスは、レジスタバイトを受信すると、再度アクノリッジビット(ACK)を返信します。その後、コントローラは指定されたレジスタに書き込むデータのバイトを送信します。完了すると、ターゲットデバイスはアクノリッジビット(ACK)で応答します。最後に、コントローラデバイスが停止条件を送信すると、シングルバイトデータの書き込み転送が完了します。

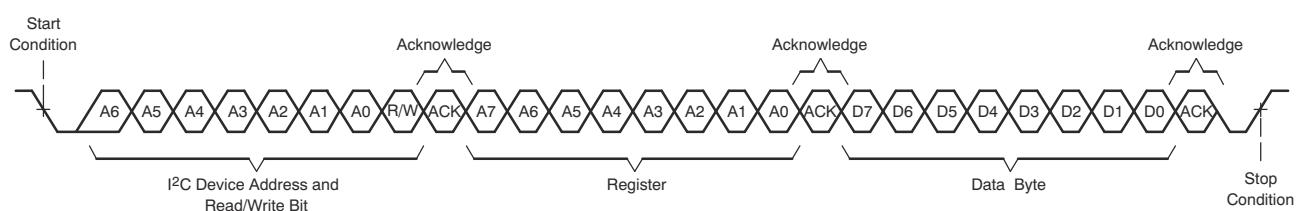


図 7-67. I<sup>2</sup>C のシングルバイト書き込み転送

### 7.5.1.1.2.2 I<sup>2</sup>C のマルチ バイト書き込み

図 7-68 に示されているように、複数バイトのデータ書き込み転送は、コントローラ デバイスからターゲット デバイスに複数のデータ バイトが送信されることを除いて、シングル バイトのデータ書き込み転送と同一です。各データ バイトを受信すると、デバイスはアクノリッジ ビット (ACK) で応答します。最後に、コントローラ デバイスは最後のデータ バイトの書き込み転送後にストップ条件を送信します。

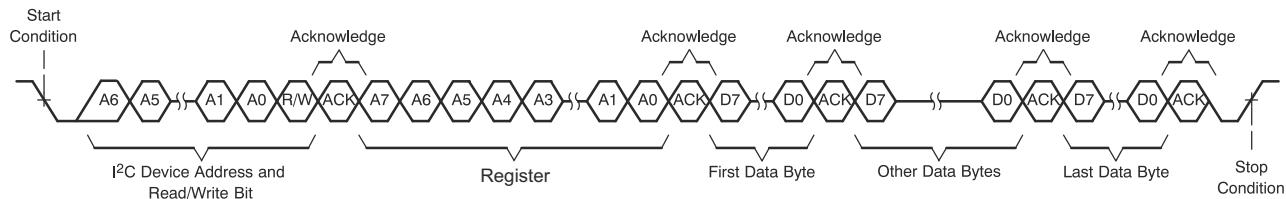


図 7-68. I<sup>2</sup>C のマルチ バイト書き込み転送

### 7.5.1.1.2.3 I<sup>2</sup>C のシングル バイト読み出し

図 7-69 に示されているように、シングル バイトのデータ読み取り転送は、コントローラ デバイスがスタート条件を送信し、それに続いて I<sup>2</sup>C のターゲット アドレスと読み取り/書き込みビットが続きます。データ読み取り転送の場合、書き込みとその次の読み取りの両方が行われます。最初に、内部レジスタ アドレスの読み取りに必要なアドレス バイトを転送するため、書き込みが実行されます。その結果、読み取り / 書き込みビットは 0 に設定されます。

ターゲット アドレスと読み書きビットを受信すると、デバイスはアクノリッジ ビット (ACK) で応答します。その後、コントローラ デバイスは内部レジスタ アドレス バイトを送信し、その後、デバイスがアクノリッジ ビット (ACK) を発行します。コントローラ デバイスは、ターゲット アドレスと読み取り / 書き込みビットに続いて、もう 1 つのスタート条件を送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されることを示します。次に、デバイスは読み取っているレジスタ アドレスからデータ バイトを送信します。データ バイトを受信後、コントローラ デバイスは、1 バイトのデータ読み取り転送を完了するために、非応答 (NACK) に続いてストップ条件を送信します。

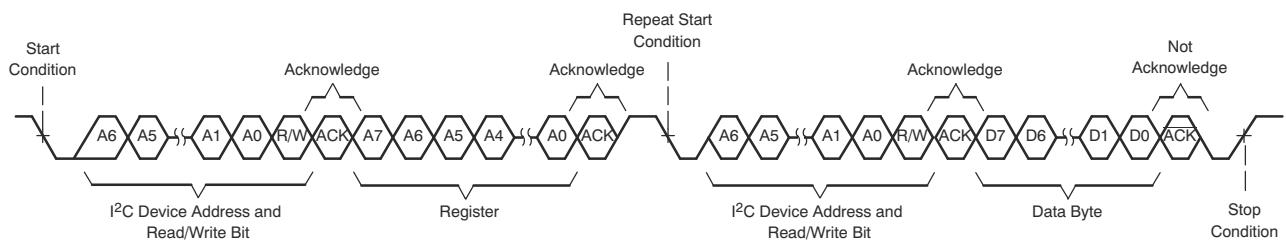


図 7-69. I<sup>2</sup>C のシングル バイト読み出し転送

### 7.5.1.1.2.4 I<sup>2</sup>C のマルチ バイト読み出し

図 7-70 に示されているように、複数バイトのデータ読み取り転送は、シングル バイトのデータ読み取り転送と同様ですが、複数のデータ バイトがデバイスからコントローラ デバイスに送信されます。コントローラ デバイスは、データ バイトを受信するごとにアクノリッジ ビットを返信します。ただし、最後のデータ バイトについては返信しません。最後のデータ バイトを受信した後、コントローラ デバイスは非応答 (NACK) を送信し、その後ストップ条件を送信してデータ読み取り転送を完了します。

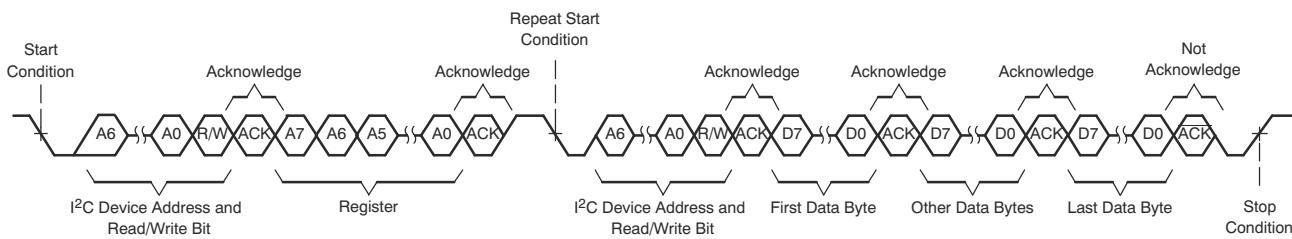


図 7-70. I<sup>2</sup>C のマルチ バイト読み出し転送

### 7.5.1.2 SPI 制御インターフェイス

一般的な SPI プロトコルでは、ホスト プロセッサ (コントローラ) と周辺機器 (ターゲット) の間で全二重同期シリアル通信が可能です。SPI コントローラ (この場合、ホスト プロセッサ) は、同期クロック (SCLK に駆動) を生成し、ターゲット セレクト ピン SSZ を High から Low にすることで送信を開始します。SPI ターゲット デバイス (PCM3140-Q1 など) は、送信を開始および同期するコントローラによって異なります。SPI コントローラにより開始されると、送信が開始されます。SPI コントローラからのバイトは、コントローラのシリアル クロック (SCLK に駆動) の制御下で、ターゲット MOSI ピンにシフトインを開始します。そのバイトが MOSI ピンでシフトインすると、1 バイトが MISO ピンでコントローラ シフト レジスタにシフトアウトされます。

PCM3140-Q1 は、クロック極性設定が 0 (標準的なマイクロ プロセッサ SPI 制御ビット CPOL = 0) およびクロック位相設定が 1 (標準的なマイクロ プロセッサ SPI 制御ビット CPHA = 1) の標準 SPI 制御プロトコルをサポートしています。SSZ ピンは送信と送信の間に Low レベルを維持できますが、デバイスは SSZ の立ち下がりエッジ後に送信された最初の 8 ビットのみをコマンド バイトとして解釈し、次の 8 ビットをレジスタへの書き込みの場合のみデータ バイトとして解釈します。本デバイスはすべてレジスタによって制御されます。これらのレジスタの読み書きは、そのレジスタのデータに先行して MOSI ピンに送信される 8 ビット コマンドによって実行されます。表 7-50 に、コマンドの構造を示します。最初の 7 ビットは、0 から 127(10 進数)までの書き込みまたは読み取り中のレジスタのアドレスを指定します。コマンドワードは R/W ビットで終了し、シリアル バス上のデータ フローの方向を指定します。

レジスタ書き込みの場合は、R/W ビットを 0 に設定します。データの 2 番目のバイトが MOSI ピンに送信され、レジスタに書き込むデータが含まれます。レジスタの読み取りも、同様の方法で実行されます。8 ビットのコマンド ワードは、7 ビットのレジスタ アドレスを送信し、それに続いてレジスタ読み取りを示す 1 に等しい R/W ビットが続きます。8 ビットのレジスタ データは、フレーム内の 2 番目の 8SCLK クロックの間に、MISO ピンからデバイスからクロックアウトされます。SSZ ピンが高レベルにプルアップされるまで、このデバイスは複数バイトのデータ書き込み/読み出し転送のためのシーケンシャル SPI アドレス指定をサポートします。複数バイトのデータ書き込みまたは読み取り転送は、すべてのデータ バイト転送が完了するまでは、それぞれ単一バイトのデータ書き込みまたは読み取り転送と同一です。ホスト デバイスは、すべてのデータ バイト転送中に SSZ ピンを Low に保つ必要があります。図 7-71 にシングルバイトの書き込み転送を示します。図 7-72 にシングルバイトの読み取り転送を示します。

表 7-50. SPI コマンド ワード

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
ADDR(6)	ADDR(5)	ADDR(4)	ADDR(3)	ADDR(2)	ADDR(1)	ADDR(0)	R/W

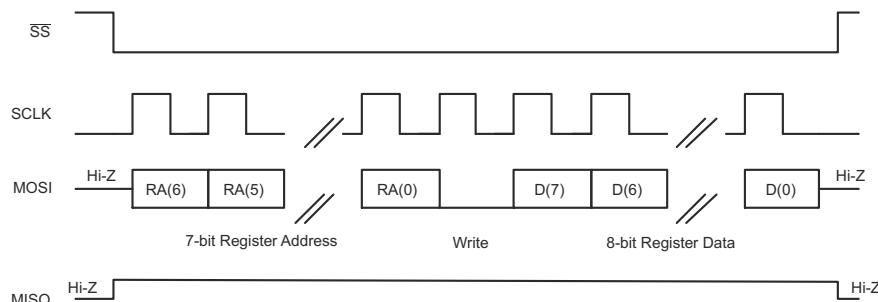


図 7-71. SPI シングル バイトの書き込み転送

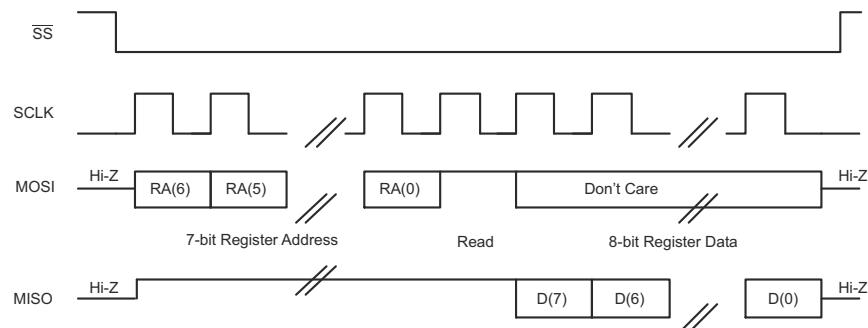


図 7-72. SPI シングル バイトの読み取り転送

## 8 レジスタ マップ

このセクションでは、デバイスの制御レジスタについて詳細に説明します。これらのレジスタはすべて 8 ビット幅で、デバイス構成およびプログラム可能な係数設定に割り当てられます。これらのレジスタは、デバイスへの I<sup>2</sup>C または SPI 通信を使用して制御可能なページ方式を使用して内部的にマップされます。各ページには 128 バイトのレジスタが含まれます。すべてのデバイス構成レジスタはページ 0 に保存されます。これは、電源投入時 (およびソフトウェアリセット後) のデフォルトのページ設定です。プログラム可能な係数レジスタはすべて、ページ 2、ページ 3、ページ 4 にあります。各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用することで、デバイスの現在のページを新しい希望のページに切り替えることができます。

予約済みページや予約済みレジスタとの読み書きを行わないでください。有効なレジスタの予約済みビットのデフォルト値のみを書き込みます。

複数のページにわたるレジスタ アクセスの手順は次のとおりです。

- ページ N を選択します (現在のページ番号に関係なくデータ N をレジスタ 0 に書き込みます)
- ページ N の有効なレジスタとの間でデータを読み書きします
- 新しいページ M を選択します (現在のページ番号に関係なくデータ M をレジスタ 0 に書き込みます)
- ページ M の有効なレジスタとの間でデータの読み書きができます
- 必要に応じて繰り返します

### 8.1 デバイス構成レジスタ

このセクションでは、ページ 0 のデバイス構成レジスタについて説明します。

**表 8-1. レジスタ サマリ表、ページ = 0x00**

アドレス	レジスタ	説明	セクション
0x00	PAGE_CFG	デバイス ページレジスタ	<a href="#">PAGE_CFG レジスタ (P0_R0)</a>
0x01	SW_RESET	ソフトウェアリセット レジスタ	<a href="#">SW_RESET レジスタ (P0_R1)</a>
0x02	SLEEP_CFG	スリープモード レジスタ	<a href="#">SLEEP_CFG レジスタ (P0_R2)</a>
0x05	SHDN_CFG	シャットダウン構成 レジスタ	<a href="#">SHDN_CFG レジスタ (P0_R5)</a>
0x07	ASI_CFG0	ASI 構成 レジスタ 0	<a href="#">ASI_CFG0 レジスタ (P0_R7)</a>
0x08	ASI_CFG1	ASI 構成 レジスタ 1	<a href="#">ASI_CFG1 レジスタ (P0_R8)</a>
0x09	ASI_CFG2	ASI 構成 レジスタ 2	<a href="#">ASI_CFG2 レジスタ (P0_R9)</a>
0x0B	ASI_CH1	チャネル 1 ASI スロット構成 レジスタ	<a href="#">ASI_CH1 レジスタ (P0_R11)</a>
0x0C	ASI_CH2	チャネル 2 ASI スロット構成 レジスタ	<a href="#">ASI_CH2 レジスタ (P0_R12)</a>
0x0D	ASI_CH3	チャネル 3 ASI スロット構成 レジスタ	<a href="#">ASI_CH3 レジスタ (P0_R13)</a>
0x0E	ASI_CH4	チャネル 4 ASI スロット構成 レジスタ	<a href="#">ASI_CH4 レジスタ (P0_R14)</a>
0x0F	ASI_CH5	チャネル 5 ASI スロット構成 レジスタ	<a href="#">ASI_CH5 レジスタ (P0_R15)</a>
0x10	ASI_CH6	チャネル 6 ASI スロット構成 レジスタ	<a href="#">ASI_CH6 レジスタ (P0_R16)</a>
0x11	ASI_CH7	チャネル 7 ASI スロット構成 レジスタ	<a href="#">ASI_CH7 レジスタ (P0_R17)</a>
0x12	ASI_CH8	チャネル 8 ASI スロット構成 レジスタ	<a href="#">ASI_CH8 レジスタ (P0_R18)</a>
0x13	MST_CFG0	ASI マスタモード構成 レジスタ 0	<a href="#">MST_CFG0 レジスタ (P0_R19)</a>
0x14	MST_CFG1	ASI マスタモード構成 レジスタ 1	<a href="#">MST_CFG1 レジスタ (P0_R20)</a>
0x15	ASI_STS	ASI バスクロック モニタステータス レジスタ	<a href="#">ASI_STS レジスタ (P0_R21)</a>
0x16	CLK_SRC	クロック ソース構成 レジスタ 0	<a href="#">CLK_SRC レジスタ (P0_R22)</a>
0x1F	PDMCLK_CFG	PDM クロック生成構成 レジスタ	<a href="#">PDMCLK_CFG レジスタ (P0_R31)</a>

表 8-1. レジスタ サマリ表、ページ = 0x00 (続き)

アドレス	レジスタ	説明	セクション
0x20	PDMIN_CFG	PDM DINx サンプリング エッジ レジスタ	PDMIN_CFG レジスタ (P0_R32)
0x21	GPIO_CFG0	GPIO 構成レジスタ 0	GPIO_CFG0 レジスタ (P0_R33)
0x22	GPO_CFG0	GPO 構成レジスタ 0	GPO_CFG0 レジスタ (P0_R34)
0x23	GPO_CFG1	GPO 構成レジスタ 1	GPO_CFG1 レジスタ (P0_R35)
0x24	GPO_CFG2	GPO 構成レジスタ 2	GPO_CFG2 レジスタ (P0_R36)
0x25	GPO_CFG3	GPO 構成レジスタ 3	GPO_CFG3 レジスタ (P0_R37)
0x29	GPO_VAL	GPIO、GPO 出力値レジスタ	GPO_VAL レジスタ (P0_R41)
0x2A	GPIO_MON	GPIO モニタ値レジスタ	GPIO_MON レジスタ (P0_R42)
0x2B	GPI_CFG0	GPI 構成レジスタ 0	GPI_CFG0 レジスタ (P0_R43)
0x2C	GPI_CFG1	GPI 構成レジスタ 1	GPI_CFG1 レジスタ (P0_R44)
0x2F	GPI_MON	GPI モニタ値レジスタ	GPI_MON レジスタ (P0_R47)
0x32	INT_CFG	割り込み構成レジスタ	INT_CFG レジスタ (P0_R50)
0x33	INT_MASK0	割り込みマスク レジスタ 0	INT_MASK0 レジスタ (P0_R51)
0x36	INT_LTCH0	ラッチ割り込み読み戻しレジスタ 0	INT_LTCH0 レジスタ (P0_R54)
0x3B	BIAS_CFG	バイアスおよび ADC 構成レジスタ	BIAS_CFG レジスタ (P0_R59)
0x3C	CH1_CFG0	チャネル 1 構成レジスタ 0	CH1_CFG0 レジスタ (P0_R60)
0x3D	CH1_CFG1	チャネル 1 構成レジスタ 1	CH1_CFG1 レジスタ (P0_R61)
0x3E	CH1_CFG2	チャネル 1 構成レジスタ 2	CH1_CFG2 レジスタ (P0_R62)
0x3F	CH1_CFG3	チャネル 1 構成レジスタ 3	CH1_CFG3 レジスタ (P0_R63)
0x40	CH1_CFG4	チャネル 1 構成レジスタ 4	CH1_CFG4 レジスタ (P0_R64)
0x41	CH2_CFG0	チャネル 2 構成レジスタ 0	CH2_CFG0 レジスタ (P0_R65)
0x42	CH2_CFG1	チャネル 2 構成レジスタ 1	CH2_CFG1 レジスタ (P0_R66)
0x43	CH2_CFG2	チャネル 2 構成レジスタ 2	CH2_CFG2 レジスタ (P0_R67)
0x44	CH2_CFG3	チャネル 2 構成レジスタ 3	CH2_CFG3 レジスタ (P0_R68)
0x45	CH2_CFG4	チャネル 2 構成レジスタ 4	CH2_CFG4 レジスタ (P0_R69)
0x46	CH3_CFG0	チャネル 3 構成レジスタ 0	CH3_CFG0 レジスタ (P0_R70)
0x47	CH3_CFG1	チャネル 3 構成レジスタ 1	CH3_CFG1 レジスタ (P0_R71)
0x48	CH3_CFG2	チャネル 3 構成レジスタ 2	CH3_CFG2 レジスタ (P0_R72)
0x49	CH3_CFG3	チャネル 3 構成レジスタ 3	CH3_CFG3 レジスタ (P0_R73)
0x4A	CH3_CFG4	チャネル 3 構成レジスタ 4	CH3_CFG4 レジスタ (P0_R74)
0x4B	CH4_CFG0	チャネル 4 構成レジスタ 0	CH4_CFG0 レジスタ (P0_R75)
0x4C	CH4_CFG1	チャネル 4 構成レジスタ 1	CH4_CFG1 レジスタ (P0_R76)
0x4D	CH4_CFG2	チャネル 4 構成レジスタ 2	CH4_CFG2 レジスタ (P0_R77)
0x4E	CH4_CFG3	チャネル 4 構成レジスタ 3	CH4_CFG3 レジスタ (P0_R78)
0x4F	CH4_CFG4	チャネル 4 構成レジスタ 4	CH4_CFG4 レジスタ (P0_R79)
0x52	CH5_CFG2	チャネル 5 (PDM のみ) 構成レジスタ 2	CH5_CFG2 レジスタ (P0_R82)

**表 8-1. レジスタ サマリ表、ページ = 0x00 (続き)**

アドレス	レジスタ	説明	セクション
0x53	CH5_CFG3	チャネル 5 (PDM のみ) 構成レジスタ 3	CH5_CFG3 レジスタ (P0_R83)
0x54	CH5_CFG4	チャネル 5 (PDM のみ) 構成レジスタ 4	CH5_CFG4 レジスタ (P0_R84)
0x57	CH6_CFG2	チャネル 6 (PDM のみ) 構成レジスタ 2	CH6_CFG2 レジスタ (P0_R87)
0x58	CH6_CFG3	チャネル 6 (PDM のみ) 構成レジスタ 3	CH6_CFG3 レジスタ (P0_R88)
0x59	CH6_CFG4	チャネル 6 (PDM のみ) 構成レジスタ 4	CH6_CFG4 レジスタ (P0_R89)
0x5C	CH7_CFG2	チャネル 7 (PDM のみ) 構成レジスタ 2	CH7_CFG2 レジスタ (P0_R92)
0x5D	CH7_CFG3	チャネル 7 (PDM のみ) 構成レジスタ 3	CH7_CFG3 レジスタ (P0_R93)
0x5E	CH7_CFG4	チャネル 7 (PDM のみ) 構成レジスタ 4	CH7_CFG4 レジスタ (P0_R94)
0x61	CH8_CFG2	チャネル 8 (PDM のみ) 構成レジスタ 2	CH8_CFG2 レジスタ (P0_R97)
0x62	CH8_CFG3	チャネル 8 (PDM のみ) 構成レジスタ 3	CH8_CFG3 レジスタ (P0_R98)
0x63	CH8_CFG4	チャネル 8 (PDM のみ) 構成レジスタ 4	CH8_CFG4 レジスタ (P0_R99)
0x6B	DSP_CFG0	DSP 構成レジスタ 0	DSP_CFG0 レジスタ (P0_R107)
0x6C	DSP_CFG1	DSP 構成レジスタ 1	DSP_CFG1 レジスタ (P0_R108)
0x70	AGC_CFG0	AGC 構成レジスタ 0	AGC_CFG0 レジスタ (P0_R112)
0x73	IN_CH_EN	入力チャネル有効構成レジスタ	IN_CH_EN レジスタ (P0_R115)
0x74	ASI_OUT_CH_EN	ASI 出力チャネル有効構成レジスタ	ASI_OUT_CH_EN レジスタ (P0_R116)
0x75	PWR_CFG	パワーアップ構成レジスタ	PWR_CFG レジスタ (P0_R117)
0x76	DEV_STS0	デバイス ステータス レジスタ 0	DEV_STS0 レジスタ (P0_R118)
0x77	DEV_STS1	デバイス ステータス レジスタ 1	DEV_STS1 レジスタ (P0_R119)
0x7E	I2C_CKSUM	I <sup>2</sup> C チェックサム レジスタ	I2C_CKSUM レジスタ (P0_R126)

表 8-2 に、PCM3140-Q1 レジスタに使用されるアクセス コードを一覧します。

**表 8-2. PCM3140-Q1 のアクセス タイプコード**

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R/W	R/W	読み出しありまたは書き込み
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 8.1.1 レジスタの説明

#### 8.1.1.1 PAGE\_CFG レジスタ (ページ=0x00、アドレス=0x00) [リセット=0h]

デバイスのメモリ マップは複数のページに分かれています。このレジスタはページを設定します。

**図 8-1. PAGE\_CFG レジスタ**

7	6	5	4	3	2	1	0
PAGE[7:0]							

図 8-1. PAGE\_CFG レジスタ (続き)

R/W-0h

表 8-3. PAGE\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	これらのビットは、デバイスのページを設定します。 0d = ページ 0 1d = ページ 1 ... 255d = ページ 255

#### 8.1.1.2 SW\_RESET レジスタ (ページ=0x00、アドレス=0x01) [リセット=0h]

このレジスタはソフトウェア リセット レジスタです。ソフトウェア リセットをアサートすると、すべてのレジスタ値はデフォルトのパワーオン リセット (POR) 状態になります。

図 8-2. SW\_RESET レジスタ

7	6	5	4	3	2	1	0
予約済み							SW_RESET
R-0h							R/W-0h

表 8-4. SW\_RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	予約済み
0	SW_RESET	R/W	0h	ソフトウェア リセット。このビットはセルフ クリアです。 0d = リセットしない 1d = リセットする

#### 8.1.1.3 SLEEP\_CFG レジスタ (ページ=0x00、アドレス=0x02) [リセット=0h]

このレジスタは、レギュレータ、VREF クイック充電、I<sup>2</sup>C ブロードキャストおよびスリープモードを構成します。

**図 8-3. SLEEP\_CFG レジスタ**

7	6	5	4	3	2	1	0
AREG_SELECT	予約済み		VREF_QCHG[1:0]	I2C_BRDCAST_EN	予約済み	SLEEP_ENZ	
R/W-0h	R/W-0h		R/W-0h	R/W-0h	R-0h	R/W-0h	

**表 8-5. SLEEP\_CFG レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	AREG_SELECT	R/W	0h	内部レギュレータ電源または外部 AREG 電源のいずれかから選択できるアナログ電源。 0D = 外部 1.8V AREG 電源 (AVDD が 1.8V で、AVDD に接続した AREG の場合はこの設定を使用) 1d = オンチップ レギュレータを使用して内部で生成された 1.8V AREG 電源 (AVDD が 3.3V の場合はこの設定を使用)
6-5	予約済み	R/W	0h	予約済み
4-3	VREF_QCHG[1:0]	R/W	0h	VREF 外部コンデンサの急速充電の時間は、200Ω の内部直列インピーダンスを使用して設定されます。 0d = VREF 急速充電時間 3.5ms (標準値) 1d = VREF 急速充電時間 10ms (標準値) 2d = VREF 急速充電時間 50ms (標準値) 3d = VREF 急速充電時間 100ms (標準値)
2	I2C_BRDCAST_EN	R/W	0h	I <sup>2</sup> C ブロードキャスト アドレッシング設定。 0D = I <sup>2</sup> C ブロードキャスト モード ディスエーブル、I <sup>2</sup> C ターゲット アドレスは ADDR ピンに基づいて決定 1d = I <sup>2</sup> C ブロードキャスト モード イネーブル、I <sup>2</sup> C ターゲット アドレスは 1001 100 に固定
1	予約済み	R	0h	予約済み
0	SLEEP_ENZ	R/W	0h	スリープ モード設定。 0D = デバイスはスリープ モード 1d = デバイスはスリープ モードではない

#### 8.1.1.4 SHDN\_CFG レジスタ (ページ=0x00、アドレス=0x05) [リセット=5h]

このレジスタはデバイスのシャットダウンを構成します。

**図 8-4. SHDN\_CFG レジスタ**

7	6	5	4	3	2	1	0
予約済み	INCAP_QCHG[1:0]		SHDNZ_CFG[1:0]		DREG_KA_TIME[1:0]		
R-0h	R/W-0h		R/W-1h		R/W-1h		

**表 8-6. SHDN\_CFG レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	INCAP_QCHG[1:0]	R/W	0h	外部 AC 結合コンデンサの急速充電時間は、内部直列インピーダンス 800Ω を使用して設定されます。 0d = INxP、INxM 急速充電時間 2.5ms (標準値) 1d = INxP、INxM 急速充電時間 12.5ms (標準値) 2d = INxP、INxM 急速充電時間 25ms (標準値) 3d = INxP、INxM 急速充電時間 50ms (標準値)

表 8-6. SHDN\_CFG レジスタ フィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
3-2	SHDNZ_CFG[1:0]	R/W	1h	シャットダウン構成。 0d = SHDNZ がアサートされた直後に DREG を電源オフ 1d = DREG はアクティブに維持され、タイムアウトに達するまで、クリーンなシャットダウンを有効にし、タイムアウト期間の後に DREG は強制的に電源オフ 2d = デバイスがクリーンにシャットダウンされるまで DREG はアクティブに維持 3d = 予約済み
1-0	DREG_KA_TIME[1:0]	R/W	1h	これらのビットは、SHDNZ がアサートされた後に DREG がアクティブに維持される時間を設定します。 0d = DREG を 30ms (標準値) の間アクティブに維持 1d = DREG を 25ms (標準値) の間アクティブに維持 2d = DREG を 10ms (標準値) の間アクティブに維持 3d = DREG を 5ms (標準値) の間アクティブに維持

#### 8.1.1.5 ASI\_CFG0 レジスタ (ページ=0x00、アドレス=0x07) [リセット=30h]

このレジスタは ASI 構成レジスタ 0 です。

図 8-5. ASI\_CFG0 レジスタ

7	6	5	4	3	2	1	0
ASI_FORMAT[1:0]		ASI_WLEN[1:0]		FSYNC_POL	BCLK_POL	TX_EDGE	TX_FILL
R/W-0h		R/W-3h		R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-7. ASI\_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	ASI_FORMAT[1:0]	R/W	0h	ASI プロトコルフォーマット。 0d = TDM モード 1d = I <sup>2</sup> S モード 2d = LJ (左揃え) モード 3d = 予約済み
5-4	ASI_WLEN[1:0]	R/W	3h	ASI ワードまたはスロットの長さ。 0d = 16 ビット 1d = 20 ビット 2d = 24 ビット 3d = 32 ビット
3	FSYNC_POL	R/W	0h	ASI FSYNC の極性。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
2	BCLK_POL	R/W	0h	ASI BCLK の極性。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
1	TX_EDGE	R/W	0h	ASI データ出力 (プライマリおよびセカンダリデータピン上) の送信エッジ。 0d = ビット 2 (BCLK_POL) のプロトコル構成設定に従うデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として、後続のエッジ (半周期遅延) を反転
0	TX_FILL	R/W	0h	未使用のサイクルの ASI データ出力 (プライマリおよびセカンダリデータピン) 0d = 未使用のサイクルの場合は常に 0 を送信 1d = 未使用のサイクルの場合は常にハイインピーダンスを使用

#### 8.1.1.6 ASI\_CFG1 レジスタ (ページ=0x00、アドレス=0x08) [リセット=0h]

このレジスタは ASI 構成レジスタ 1 です。

図 8-6. ASI\_CFG1 レジスタ

7	6	5	4	3	2	1	0
TX_LSB		TX_KEEPER[1:0]		TX_OFFSET[4:0]			

**図 8-6. ASI\_CFG1 レジスタ (続き)**

R/W-0h	R/W-0h	R/W-0h
--------	--------	--------

**表 8-8. ASI\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	TX_LSB	R/W	0h	LSB 送信用の ASI データ出力 (プライマリおよびセカンダリ データピン上)。 0d = フル サイクルの間 LSB を送信 1d = 前半サイクルの間 LSB を、後半サイクルの間、ハイインピーダンスを送信
6-5	TX_KEEPER[1:0]	R/W	0h	ASI データ出力 (プライマリおよびセカンダリ データピン) バスキーパー。 0D = バスキーパーは常にディスエーブル 1d = バスキーパーは常にイネーブル 2d = LSB 送信中に 1 サイクルのみバスキーパーがイネーブル 3d = LSB 送信中にのみバスキーパーは、1 サイクルおよび半サイクルでのみイネーブル
4-0	TX_OFFSET[4:0]	R/W	0h	ASI データの MSB スロット 0 のオフセット (プライマリおよびセカンダリ データピン)。 0D = ASI データの MSB 位置にはオフセットがなく、標準プロトコルに従っている 1d = ASI データの MSB 位置 (TDM モードはスロット 0 または I <sup>2</sup> S, LJ モードは左および右スロット 0) 標準プロトコルに対して 2 BCLK サイクルのオフセット 2d = ASI データ MSB 位置 (TDM モードはスロット 0 または I <sup>2</sup> S, LJ モードは、標準プロトコルに対する BCLK サイクル 2 つ分の左右スロット 0) オフセット 3d ~ 30d = ASI データ MSB の位置 (TDM モードはスロット 0 または I <sup>2</sup> S, LJ モードは、構成に従って割り当てられた左右のスロット 0 のオフセット) 31d = ASI データ MSB 位置 (TDM モードがスロット 0 または I <sup>2</sup> S, LJ モードは、標準プロトコルに対する左右のスロット 0) の 31 BCLK サイクルのオフセット

#### 8.1.1.7 ASI\_CFG2 レジスタ (ページ=0x00、アドレス=0x09) [リセット=0h]

このレジスタは ASI 構成レジスタ 2 です。

**図 8-7. ASI\_CFG2 レジスタ**

7	6	5	4	3	2	1	0
ASI_DAISY	予約済み	ASI_ERR	ASI_ERR_RCOV			予約済み	
R/W-0h	R-0h	R/W-0h	R/W-0h			R-0h	

**表 8-9. ASI\_CFG2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	ASI_DAISY	R/W	0h	ASI デイジーチェーン接続。 0d = すべてのデバイスが共通 ASI バスに接続されている 1d = すべてのデバイスが ASI バス用にデイジーチェーン接続されている
6	予約済み	R	0h	予約済み
5	ASI_ERR	R/W	0h	ASI バス エラー検出。 0d = バス エラー検出を有効にする 1d = バス エラー検出を無効にする
4	ASI_ERR_RCOV	R/W	0h	ASI バス エラー自動再開。 0d = バス エラー回復後の自動再開を有効にする 1d = バス エラー回復後の自動再開を無効にし、ホストがデバイスを構成するまでの間、電源オフのまま
3-0	予約済み	R	0h	予約済み

#### 8.1.1.8 ASI\_CH1 レジスタ (ページ=0x00、アドレス=0x0B) [リセット=0h]

このレジスタは ASI スロット構成レジスタ チャネル 1 です。

**図 8-8. ASI\_CH1 レジスタ**

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

図 8-8. ASI\_CH1 レジスタ (続き)

予約済み	CH1_OUTPUT	CH1_SLOT[5:0]
R-0h	R/W-0h	R/W-0h

表 8-10. ASI\_CH1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH1_OUTPUT	R/W	0h	チャネル 1 の出力ライン。 0D = チャネル 1 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャネル 1 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある
5-0	CH1_SLOT[5:0]	R/W	0h	チャネル 1 のスロット割り当て。 0d = TDM はスロット 0 または I <sup>2</sup> S、LJ は左スロット 0 1d = TDM はスロット 1 または I <sup>2</sup> S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I <sup>2</sup> S、LJ は左スロット 31 32d = TDM はスロット 32 または I <sup>2</sup> S、LJ は右スロット 0 33d = TDM はスロット 33 または I <sup>2</sup> S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I <sup>2</sup> S、LJ は右スロット 31

#### 8.1.1.9 ASI\_CH2 レジスタ (ページ=0x00、アドレス=0x0C) [リセット=1h]

このレジスタは ASI スロット構成レジスタ チャネル 2 です。

図 8-9. ASI\_CH2 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH2_OUTPUT	CH2_SLOT[5:0]					
R-0h	R/W-0h	R/W-1h					

表 8-11. ASI\_CH2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH2_OUTPUT	R/W	0h	チャネル 2 の出力ライン。 0D = チャネル 2 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャネル 2 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある
5-0	CH2_SLOT[5:0]	R/W	1h	チャネル 2 のスロット割り当て。 0d = TDM はスロット 0 または I <sup>2</sup> S、LJ は左スロット 0 1d = TDM はスロット 1 または I <sup>2</sup> S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I <sup>2</sup> S、LJ は左スロット 31 32d = TDM はスロット 32 または I <sup>2</sup> S、LJ は右スロット 0 33d = TDM はスロット 33 または I <sup>2</sup> S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I <sup>2</sup> S、LJ は右スロット 31

#### 8.1.1.10 ASI\_CH3 レジスタ (ページ=0x00、アドレス=0x0D) [リセット=2h]

このレジスタは ASI スロット構成レジスタ チャネル 3 です。

図 8-10. ASI\_CH3 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH3_OUTPUT	CH3_SLOT[5:0]					
R-0h	R/W-0h	R/W-2h					

**表 8-12. ASI\_CH3 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH3_OUTPUT	R/W	0h	チャネル 3 の出力ライン。 0D = チャネル 3 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャネル 3 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある
5-0	CH3_SLOT[5:0]	R/W	2h	チャネル 3 のスロット割り当て。 0d = TDM はスロット 0 または I <sup>2</sup> S、LJ は左スロット 0 1d = TDM はスロット 1 または I <sup>2</sup> S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I <sup>2</sup> S、LJ は左スロット 31 32d = TDM はスロット 32 または I <sup>2</sup> S、LJ は右スロット 0 33d = TDM はスロット 33 または I <sup>2</sup> S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I <sup>2</sup> S、LJ は右スロット 31

#### 8.1.1.11 ASI\_CH4 レジスタ (ページ=0x00、アドレス=0x0E) [リセット=3h]

このレジスタは ASI スロット構成レジスタ チャネル 4 です。

**図 8-11. ASI\_CH4 レジスタ**

7	6	5	4	3	2	1	0
予約済み	CH4_OUTPUT			CH4_SLOT[5:0]			
R-0h	R/W-0h			R/W-3h			

**表 8-13. ASI\_CH4 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH4_OUTPUT	R/W	0h	チャネル 4 の出力ライン。 0D = チャネル 4 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャネル 4 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある
5-0	CH4_SLOT[5:0]	R/W	3h	チャネル 4 のスロット割り当て。 0d = TDM はスロット 0 または I <sup>2</sup> S、LJ は左スロット 0 1d = TDM はスロット 1 または I <sup>2</sup> S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I <sup>2</sup> S、LJ は左スロット 31 32d = TDM はスロット 32 または I <sup>2</sup> S、LJ は右スロット 0 33d = TDM はスロット 33 または I <sup>2</sup> S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I <sup>2</sup> S、LJ は右スロット 31

#### 8.1.1.12 ASI\_CH5 レジスタ (ページ=0x00、アドレス=0x0F) [リセット=4h]

このレジスタは ASI スロット構成レジスタ チャネル 5 です。

**図 8-12. ASI\_CH5 レジスタ**

7	6	5	4	3	2	1	0
予約済み	CH5_OUTPUT			CH5_SLOT[5:0]			
R-0h	R/W-0h			R/W-4h			

**表 8-14. ASI\_CH5 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH5_OUTPUT	R/W	0h	チャネル 5 の出力ライン。 0D = チャネル 5 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャネル 5 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある

表 8-14. ASI\_CH5 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	CH5_SLOT[5:0]	R/W	4h	チャネル 5 のスロット割り当て。 0d = TDM はスロット 0 または I <sup>2</sup> S, LJ は左スロット 0 1d = TDM はスロット 1 または I <sup>2</sup> S, LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I <sup>2</sup> S, LJ は左スロット 31 32d = TDM はスロット 32 または I <sup>2</sup> S, LJ は右スロット 0 33d = TDM はスロット 33 または I <sup>2</sup> S, LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I <sup>2</sup> S, LJ は右スロット 31

#### 8.1.1.13 ASI\_CH6 レジスタ (ページ=0x00、アドレス=0x10) [リセット=5h]

このレジスタは ASI スロット構成レジスタ チャネル 6 です。

図 8-13. ASI\_CH6 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH6_OUTPUT			CH6_SLOT[5:0]			
R-0h	R/W-0h			R/W-5h			

表 8-15. ASI\_CH6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH6_OUTPUT	R/W	0h	チャネル 6 の出力ライン。 0D = チャネル 6 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャネル 6 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある
5-0	CH6_SLOT[5:0]	R/W	5h	チャネル 6 のスロット割り当て。 0d = TDM はスロット 0 または I <sup>2</sup> S, LJ は左スロット 0 1d = TDM はスロット 1 または I <sup>2</sup> S, LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I <sup>2</sup> S, LJ は左スロット 31 32d = TDM はスロット 32 または I <sup>2</sup> S, LJ は右スロット 0 33d = TDM はスロット 33 または I <sup>2</sup> S, LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I <sup>2</sup> S, LJ は右スロット 31

#### 8.1.1.14 ASI\_CH7 レジスタ (ページ=0x00、アドレス=0x11) [リセット=6h]

このレジスタは ASI スロット構成レジスタ チャネル 7 です。

図 8-14. ASI\_CH7 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH7_OUTPUT			CH7_SLOT[5:0]			
R-0h	R/W-0h			R/W-6h			

表 8-16. ASI\_CH7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH7_OUTPUT	R/W	0h	チャネル 7 の出力ライン。 0D = チャネル 7 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャネル 7 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある

**表 8-16. ASI\_CH7 レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
5-0	CH7_SLOT[5:0]	R/W	6h	チャネル 7 のスロット割り当て。 0d = TDM はスロット 0 または I <sup>2</sup> S、LJ は左スロット 0 1d = TDM はスロット 1 または I <sup>2</sup> S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I <sup>2</sup> S、LJ は左スロット 31 32d = TDM はスロット 32 または I <sup>2</sup> S、LJ は右スロット 0 33d = TDM はスロット 33 または I <sup>2</sup> S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I <sup>2</sup> S、LJ は右スロット 31

#### 8.1.1.15 ASI\_CH8 レジスタ (ページ=0x00、アドレス=0x12) [リセット=7h]

このレジスタは ASI スロット構成レジスタ チャネル 8 です。

**図 8-15. ASI\_CH8 レジスタ**

7	6	5	4	3	2	1	0
予約済み	CH8_OUTPUT			CH8_SLOT[5:0]			
R-0h	R/W-0h			R/W-7h			

**表 8-17. ASI\_CH8 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH8_OUTPUT	R/W	0h	チャネル 8 の出力ライン。 0D = チャネル 8 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャネル 8 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある
5-0	CH8_SLOT[5:0]	R/W	7h	チャネル 8 のスロット割り当て。 0d = TDM はスロット 0 または I <sup>2</sup> S、LJ は左スロット 0 1d = TDM はスロット 1 または I <sup>2</sup> S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I <sup>2</sup> S、LJ は左スロット 31 32d = TDM はスロット 32 または I <sup>2</sup> S、LJ は右スロット 0 33d = TDM はスロット 33 または I <sup>2</sup> S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I <sup>2</sup> S、LJ は右スロット 31

#### 8.1.1.16 MST\_CFG0 レジスタ (ページ=0x00、アドレス=0x13) [リセット=2h]

このレジスタは ASI コントローラ モード構成レジスタ 0 です。

**図 8-16. MST\_CFG0 レジスタ**

7	6	5	4	3	2	1	0
MST_SLV_CFG	AUTO_CLK_CFG	AUTO_MODE_PLL_DIS	BCLK_FSYNC_GATE	FS_MODE		MCLK_FREQ_SEL[2:0]	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-2h	

**表 8-18. MST\_CFG0 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	MST_SLV_CFG	R/W	0h	ASI コントローラまたはターゲット構成レジスタの設定。 0d = デバイスはターゲット モード (BCLK と FSYNC の両方がデバイスに入力) 1d = デバイスはコントローラ モード (BCLK と FSYNC の両方がデバイスから生成)
6	AUTO_CLK_CFG	R/W	0h	自動クロック構成設定。 0d = 自動クロック構成が有効 (すべての内部クロック分周器および PLL 構成が自動派生) 1d = 自動クロック構成が無効 (デバイス構成設定にカスタム モードおよびデバイス GUI を使用する必要あり)

表 8-18. MST\_CFG0 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5	AUTO_MODE_PLL_DIS	R/W	0h	自動モード PLL 設定。 0d = 自動クロック構成で PLL が有効 1d = 自動クロック構成では PLL が無効
4	BCLK_FSYNC_GATE	R/W	0h	BCLK および FSYNC クロック ゲート (デバイスがコントローラ モードのとき有効)。 0d = BCLK と FSYNC をゲートしない 1d = コントローラ モードのデバイスから送信されるときに、ゲート BCLK と FSYNC を強制的にゲートする
3	FS_MODE	R/W	0h	サンプル レート設定 (デバイスがコントローラ モードのときに有効)。 0d = $f_S$ は 48kHz の倍数 (または倍数未満) 1d = $f_S$ は 44.1kHz の倍数 (または倍数未満)
2-0	MCLK_FREQ_SEL[2:0]	R/W	2h	これらのピットは、PLL ソース クロック入力の MCLK (GPIO または GPIO) 周波数を選択します (デバイスがコントローラ モードで MCLK_FREQ_SEL_MODE = 0 のときに有効)。 0d = 12MHz 1d = 12.288MHz 2d = 13MHz 3d = 16MHz 4d = 19.2MHz 5d = 19.68MHz 6d = 24MHz 7d = 24.576MHz

#### 8.1.1.17 MST\_CFG1 レジスタ (ページ=0x00、アドレス=0x14) [リセット=48h]

このレジスタは ASI コントローラ モード構成レジスタ 1 です。

図 8-17. MST\_CFG1 レジスタ

7	6	5	4	3	2	1	0
FS_RATE[3:0]				FS_BCLK_RATIO[3:0]			
R/W-4h				R/W-8h			

表 8-19. MST\_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	FS_RATE[3:0]	R/W	4h	ASI バスのプログラムされたサンプル レート (デバイスがターゲット モード自動クロック構成で構成されている場合は使用されません)。 0d = 7.35kHz または 8kHz 1d = 14.7kHz または 16kHz 2d = 22.05kHz または 24kHz 3d = 29.4kHz または 32kHz 4d = 44.1kHz または 48kHz 5d = 88.2kHz または 96kHz 6d = 176.4kHz または 192kHz 7d = 352.8kHz または 384kHz 8d = 705.6kHz または 768kHz 9d ~ 15d = 予約済み

**表 8-19. MST\_CFG1 レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
3-0	FS_BCLK_RATIO[3:0]	R/W	8h	ASI バスのプログラムされた BCLK/FSYNC 周波数比率 (デバイスがターゲット モード自動クロック構成で構成されている場合は使用されません)。 0d = 比率 16 1d = 比率 24 2d = 比率 32 3d = 比率 48 4d = 比率 64 5d = 比率 96 6d = 比率 128 7d = 比率 192 8d = 比率 256 9d = 比率 384 10d = 比率 512 11d = 比率 1024 12d = 比率 2048 13d ~ 15d = 予約済み

#### 8.1.1.18 ASI\_STS レジスタ (ページ=0x00、アドレス=0x15) [リセット=FFh]

このレジスタは、ASI バスクロックモニタステータスレジスタです

**図 8-18. ASI\_STS レジスタ**

7	6	5	4	3	2	1	0
FS_RATE_STS[3:0]				FS_RATIO_STS[3:0]			
R-Fh				R-Fh			

**表 8-20. ASI\_STS レジスタ フィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-4	FS_RATE_STS[3:0]	R	Fh	ASI バスのサンプルレートが検出されました。 0d = 7.35kHz または 8kHz 1d = 14.7 kHz または 16 kHz 2d = 22.05kHz または 24kHz 3d = 29.4kHz または 32kHz 4d = 44.1kHz または 48kHz 5d = 88.2kHz または 96kHz 6d = 176.4kHz または 192kHz 7d = 352.8kHz または 384kHz 8d = 705.6kHz または 768kHz 9d ~ 14d = 予約済み 15d = 無効なサンプルレート
3-0	FS_RATIO_STS[3:0]	R	Fh	ASI バスの BCLK/FSYNC 周波数比率を検出しました。 0d = 比率 16 1d = 比率 24 2d = 比率 32 3d = 比率 48 4d = 比率 64 5d = 比率 96 6d = 比率 128 7d = 比率 192 8d = 比率 256 9d = 比率 384 10d = 比率 512 11d = 比率 1024 12d = 比率 2048 13d ~ 14d = 予約済み 15d = 無効な比率

### 8.1.1.19 CLK\_SRC レジスタ (ページ=0x00、アドレス=0x16) [リセット=10h]

このレジスタはクロック ソース構成レジスタです。

**図 8-19. CLK\_SRC レジスタ**

7	6	5	4	3	2	1	0
DIS_PLL_SLV_CLK_SRC	MCLK_FREQ_SEL_MODE	MCLK_RATIO_SEL[2:0]				予約済み	
R/W-0h	R/W-0h	R/W-2h				R-0h	

**表 8-21. CLK\_SRC レジスタ フィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	DIS_PLL_SLV_CLK_SRC	R/W	0h	ターゲット モードの自動クロック構成で PLL が無効に設定されているデバイス (AUTO_MODE_PLL_DIS = 1) のオーディオ ルートクロック ソース設定。 0d = BCLK はオーディオ ルートクロック ソースとして使用されます 1d = MCLK (GPIO または GPIx) がオーディオ ルートクロック ソースとして使用されます (MCLK/FSYNC 比率は MCLK_RATIO_SEL 設定に従います)
6	MCLK_FREQ_SEL_MODE	R/W	0h	コントローラ モード MCLK (GPIO または GPIx) 周波数選択モード (デバイスが自動クロック構成の場合に有効)。 0d = MCLK 周波数は MCLK_FREQ_SEL (P0_R19) 構成に基づきます 1d = MCLK 周波数は MCLK_RATIO_SEL (P0_R22) 構成で FSYNC の倍数として指定されます
5-3	MCLK_RATIO_SEL[2:0]	R/W	2h	これらのピットは、コントローラ モードの場合、または MCLK がターゲット モードのオーディオ ルートクロック ソースとして使用されている場合、MCLK (GPIO または GPIx)/FSYNC 比率を選択します。 0d = 比率 64 1d = 比率 256 2d = 比率 384 3d = 比率 512 4d = 比率 768 5d = 比率 1024 6d = 比率 1536 7d = 比率 2304
2-0	予約済み	R	0h	予約済み

### 8.1.1.20 PDMCLK\_CFG レジスタ (ページ=0x00、アドレス=0x1F) [リセット=40h]

このレジスタは PDM クロック生成構成レジスタです。

**図 8-20. PDMCLK\_CFG レジスタ**

7	6	5	4	3	2	1	0
予約済み						PDMCLK_DIV[1:0]	
R/W-10h						R/W-0h	

**表 8-22. PDMCLK\_CFG レジスタ フィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	10h	予約済み
1-0	PDMCLK_DIV[1:0]	R/W	0h	PDMCLK デバイダの値。 0d = PDMCLK は 2.8224MHz または 3.072MHz 1d = PDMCLK は 1.4112MHz または 1.536MHz 2d = PDMCLK は 705.6kHz または 768kHz 3d = PDMCLK は 5.6448MHz または 6.144MHz

### 8.1.1.21 PDMIN\_CFG レジスタ (ページ=0x00、アドレス=0x20) [リセット=0h]

このレジスタは PDM DINx サンプリング エッジ構成レジスタです。

図 8-21. PDMIN\_CFG レジスタ

7	6	5	4	3	2	1	0
PDMDIN1_EDGE	PDMDIN2_EDGE	PDMDIN3_EDGE	PDMDIN4_EDGE			予約済み	
R/W-0h	R/W-0h	R/W-0h	R/W-0h			R-0h	

表 8-23. PDMIN\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PDMDIN1_EDGE	R/W	0h	PDMCLK のラッチ エッジは、チャネル 1 とチャネル 2 のデータに使用されます。 0D = チャネル 1 のデータは負のエッジでラッチ、チャネル 2 のデータは立ち上がりエッジでラッチされる 1d = チャネル 1 のデータは立ち上がりエッジでラッチ、チャネル 2 のデータは負のエッジでラッチされる
6	PDMDIN2_EDGE	R/W	0h	PDMCLK のラッチ エッジは、チャネル 3 とチャネル 4 のデータに使用されます。 0D = チャネル 3 のデータは負のエッジでラッチ、チャネル 4 のデータは立ち上がりエッジでラッチされる 1d = チャネル 3 のデータは立ち上がりエッジでラッチ、チャネル 4 のデータは負のエッジでラッチされる
5	PDMDIN3_EDGE	R/W	0h	PDMCLK のラッチ エッジは、チャネル 5 とチャネル 6 のデータに使用されます。 0D = チャネル 5 のデータは負のエッジでラッチ、チャネル 6 のデータは立ち上がりエッジでラッチされる 1d = チャネル 5 のデータは立ち上がりエッジでラッチ、チャネル 6 のデータは負のエッジでラッチされる
4	PDMDIN4_EDGE	R/W	0h	PDMCLK のラッチ エッジは、チャネル 7 とチャネル 8 のデータに使用されます。 0D = チャネル 7 のデータは負のエッジでラッチ、チャネル 8 のデータは立ち上がりエッジでラッチされる 1d = チャネル 7 のデータは立ち上がりエッジでラッチ、チャネル 8 のデータは負のエッジでラッチされる
3-0	予約済み	R	0h	予約済み

#### 8.1.1.22 GPIO\_CFG0 レジスタ (ページ=0x00、アドレス=0x21) [リセット=22h]

このレジスタは GPIO 構成レジスタ 0 です。

図 8-22. GPIO\_CFG0 レジスタ

7	6	5	4	3	2	1	0
GPIO1_CFG[3:0]				予約済み	GPIO1_DRV[2:0]		
R/W-2h				R-0h	R/W-2h		

表 8-24. GPIO\_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	GPIO1_CFG[3:0]	R/W	2h	GPIO1 構成。 0d = GPIO1 ディスエーブル 1d = GPIO1 は汎用出力として構成 (GPO) 2d = GPIO1 はデバイス割り込み出力として構成 (IRQ) 3d = GPIO1 はセカンダリ ASI 出力として構成 (SDOUT2) 4d = GPIO1 は PDM クロック出力として構成 (PDMCLK) 5d ~ 7d = 予約済み 8d = GPIO1 は MICBIAS のオン/オフを制御する入力として構成 (MICBIAS_EN) 9d = GPIO1 は汎用入力として構成 (GPI) 10d = GPIO1 はコントローラ クロック入力として構成 (MCLK) 11d = GPIO1 はデジーチェーン用の ASI 入力として構成 (SDIN) 12d = GPIO1 はチャネル 1 とチャネル 2 の PDM データ入力として構成 (PDMDIN1) 13d = GPIO1 はチャネル 3 とチャネル 4 の PDM データ入力として構成 (PDMDIN2) 14d = GPIO1 はチャネル 5 とチャネル 6 の PDM データ入力として構成 (PDMDIN3) 15d = GPIO1 はチャネル 7 とチャネル 8 の PDM データ入力として構成 (PDMDIN4)
3	予約済み	R	0h	予約済み
2-0	GPIO1_DRV[2:0]	R/W	2h	GPIO1 出力ドライブ構成 (GPIO1 が SDOUT2 として構成されている場合は使用されません)。 0D = ハイインピーダンス出力 1d = アクティブ Low とアクティブ High を駆動 2d = アクティブ Low と弱い High を駆動 3d = アクティブ Low、ハイインピーダンス 4D = 弱い Low、アクティブ High を駆動 5d = ハイインピーダンスとアクティブ High を駆動 6d ~ 7d = 予約済み

#### 8.1.1.23 GPO\_CFG0 レジスタ (ページ=0x00、アドレス=0x22) [リセット=0h]

このレジスタは GPO 構成レジスタ 0 です。

図 8-23. GPO\_CFG0 レジスタ

7	6	5	4	3	2	1	0
GPO1_CFG[3:0]				予約済み			GPO1_DRV
R/W-0h				R-0h			R/W-0h

表 8-25. GPO\_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	GPO1_CFG[3:0]	R/W	0h	IN1M_GPO1 (GPO1) 構成。 0d = GPO1 ディスエーブル 1d = GPO1 は汎用出力として構成 (GPO) 2d = GPO1 はデバイス割り込み出力として構成 (IRQ) 3d = GPO1 はセカンダリ ASI 出力として構成 (SDOUT2) 4d = GPO1 は PDM クロック出力として構成 (PDMCLK) 5d ~ 15d = 予約済み
3-1	予約済み	R	0h	予約済み
0	GPO1_DRV	R/W	0h	0d = GPO1 はハイインピーダンス状態 1d = GPO1 をアクティブ High/アクティブ Low として駆動

#### 8.1.1.24 GPO\_CFG1 レジスタ (ページ=0x00、アドレス=0x23) [リセット=0h]

このレジスタは GPO 構成レジスタ 1 です。

**図 8-24. GPO\_CFG1 レジスタ**

7	6	5	4	3	2	1	0
GPO2_CFG[3:0]				予約済み	GPO2_DRV[2:0]		
R/W-0h				R-0h	R/W-0h		

**表 8-26. GPO\_CFG1 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-4	GPO2_CFG[3:0]	R/W	0h	IN2M_GPO2 (GPO2) 構成。 0d = GPO2 ディスエーブル 1d = GPO2 は汎用出力として構成 (GPO) 2d = GPO2 はデバイス割り込み出力として構成 (IRQ) 3d = GPO2 はセカンダリ ASI 出力として構成 (SDOUT2) 4d = GPO2 は PDM クロック出力として構成 (PDMCLK) 5d ~ 15d = 予約済み
3	予約済み	R	0h	予約済み
2-0	GPO2_DRV[2:0]	R/W	0h	IN2M_GPO2 (GPO2) 出力ドライブ構成 (GPO2 が SDOUT2 として構成されている場合は使用されません)。 0D = ハイインピーダンス出力 1d = アクティブ Low とアクティブ High を駆動 2d = アクティブ Low と弱い High を駆動 3d = アクティブ Low、ハイインピーダンス 4D = 弱い Low、アクティブ High を駆動 5d = ハイインピーダンスとアクティブ High を駆動 6d ~ 7d = 予約済み

#### 8.1.1.25 GPO\_CFG2 レジスタ (ページ=0x00、アドレス=0x24) [リセット=0h]

このレジスタは GPO 構成レジスタ 2 です。

**図 8-25. GPO\_CFG2 レジスタ**

7	6	5	4	3	2	1	0
GPO3_CFG[3:0]				予約済み	GPO3_DRV		
R/W-0h				R-0h	R/W-0h		

**表 8-27. GPO\_CFG2 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-4	GPO3_CFG[3:0]	R/W	0h	IN3M_GPO3 (GPO3) 構成。 0d = GPO3 ディスエーブル 1d = GPO3 は汎用出力として構成 (GPO) 2d = GPO3 はデバイス割り込み出力として構成 (IRQ) 3d = GPO3 はセカンダリ ASI 出力として構成 (SDOUT2) 4d = GPO3 は PDM クロック出力として構成 (PDMCLK) 5d ~ 15d = 予約済み
3-1	予約済み	R	0h	予約済み
0	GPO3_DRV	R/W	0h	0d = GPO3 はハイインピーダンス状態 1d = GPO3 をアクティブ High/アクティブ Low として駆動

#### 8.1.1.26 GPO\_CFG3 レジスタ (ページ=0x00、アドレス=0x25) [リセット=0h]

このレジスタは GPO 構成レジスタ 3 です。

**図 8-26. GPO\_CFG3 レジスタ**

7	6	5	4	3	2	1	0
GPO4_CFG[3:0]				予約済み	GPO4_DRV		
R/W-0h				R-0h	R/W-0h		

表 8-28. GPO\_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPO4_CFG[3:0]	R/W	0h	IN4M_GPO4 (GPO4) 構成。 0d = GPO4 ディスエーブル 1d = GPO4 は汎用出力として構成 (GPO) 2d = GPO4 はデバイス割り込み出力として構成 (IRQ) 3d = GPO4 はセカンダリ ASI 出力として構成 (SDOUT2) 4d = GPO4 は PDM クロック出力として構成 (PDMCLK) 5d ~ 15d = 予約済み
3-1	予約済み	R	0h	予約済み
0	GPO4_DRV	R/W	0h	0d = GPO4 はハイインピーダンス状態 1d = GPO4 をアクティブ High/アクティブ Low として駆動

#### 8.1.1.27 GPO\_VAL レジスタ (ページ=0x00、アドレス=0x29) [リセット=0h]

このレジスタは、GPIO および GPO 出力値レジスタです。

図 8-27. GPO\_VAL レジスタ

7	6	5	4	3	2	1	0
GPIO1_VAL	GPO1_VAL	GPO2_VAL	GPO3_VAL	GPO4_VAL		予約済み	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h		R-0h	

表 8-29. GPO\_VAL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO1_VAL	R/W	0h	GPO として構成されているときの GPIO1 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
6	GPO1_VAL	R/W	0h	GPO として構成されているときの GPO1 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
5	GPO2_VAL	R/W	0h	GPO として構成されているときの GPO2 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
4	GPO3_VAL	R/W	0h	GPO として構成されているときの GPO3 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
3	GPO4_VAL	R/W	0h	GPO として構成されているときの GPO4 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
2-0	予約済み	R	0h	予約済み

#### 8.1.1.28 GPIO\_MON レジスタ (ページ=0x00、アドレス=0x2A) [リセット=0h]

このレジスタは GPIO モニタ値レジスタです。

図 8-28. GPIO\_MON レジスタ

7	6	5	4	3	2	1	0
GPIO1_MON				予約済み			
R-0h				R-0h			

表 8-30. GPIO\_MON レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO1_MON	R	0h	GPI として構成されている場合は GPIO1 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1

表 8-30. GPIO\_MON レジスタ フィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
6-0	予約済み	R	0h	予約済み

#### 8.1.1.29 GPI\_CFG0 レジスタ (ページ=0x00、アドレス=0x2B) [リセット=0h]

このレジスタは GPI 構成レジスタ 0 です。

図 8-29. GPI\_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み	GPI1_CFG[2:0]			予約済み	GPI2_CFG[2:0]		
R-0h	R/W-0h			R-0h	R/W-0h		

表 8-31. GPI\_CFG0 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	GPI1_CFG[2:0]	R/W	0h	IN1P_GPI1 (GPI1) 構成。 0d = GPI1 ディスエーブル 1d = GPI1 は汎用入力 (GPI) として構成 2d = GPI1 はコントローラ クロック入力として構成 (MCLK) 3d = GPI1 はデイジーチェーン用の ASI 入力として構成 (SDIN) 4d = GPI1 はチャネル 1 とチャネル 2 の PDM データ入力として構成 (PDMDIN1) 5d = GPI1 はチャネル 3 とチャネル 4 の PDM データ入力として構成 (PDMDIN2) 6d = GPI1 はチャネル 5 とチャネル 6 の PDM データ入力として構成 (PDMDIN3) 7d = GPI1 はチャネル 7 とチャネル 8 の PDM データ入力として構成 (PDMDIN4)
3	予約済み	R	0h	予約済み
2-0	GPI2_CFG[2:0]	R/W	0h	IN2P_GPI2 (GPI2) 構成。 0d = GPI2 ディスエーブル 1d = GPI2 は汎用入力 (GPI) として構成 2d = GPI2 はコントローラ クロック入力として構成 (MCLK) 3d = GPI2 はデイジーチェーン用の ASI 入力として構成 (SDIN) 4d = GPI2 はチャネル 1 とチャネル 2 の PDM データ入力として構成 (PDMDIN1) 5d = GPI2 はチャネル 3 とチャネル 4 の PDM データ入力として構成 (PDMDIN2) 6d = GPI2 はチャネル 5 とチャネル 6 の PDM データ入力として構成 (PDMDIN3) 7d = GPI2 はチャネル 7 とチャネル 8 の PDM データ入力として構成 (PDMDIN4)

#### 8.1.1.30 GPI\_CFG1 レジスタ (ページ=0x00、アドレス=0x2C) [リセット=0h]

このレジスタは GPI 構成レジスタ 1 です。

図 8-30. GPI\_CFG1 レジスタ

7	6	5	4	3	2	1	0
予約済み	GPI3_CFG[2:0]			予約済み	GPI4_CFG[2:0]		
R-0h	R/W-0h			R-0h	R/W-0h		

表 8-32. GPI\_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

表 8-32. GPI\_CFG1 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
6-4	GPI3_CFG[2:0]	R/W	0h	IN3P_GPI3 (GPI3) 構成。 0d = GPI3 ディスエーブル 1d = GPI3 は汎用入力 (GPI) として構成 2d = GPI3 はコントローラ クロック入力として構成 (MCLK) 3d = GPI3 はデイジーチェーン用の ASI 入力として構成 (SDIN) 4d = GPI3 はチャネル 1 とチャネル 2 の PDM データ入力として構成 (PDMDIN1) 5d = GPI3 はチャネル 3 とチャネル 4 の PDM データ入力として構成 (PDMDIN2) 6d = GPI3 はチャネル 5 とチャネル 6 の PDM データ入力として構成 (PDMDIN3) 7d = GPI3 はチャネル 7 とチャネル 8 の PDM データ入力として構成 (PDMDIN4)
3	予約済み	R	0h	予約済み
2-0	GPI4_CFG[2:0]	R/W	0h	IN4P_GPI4 (GPI4) 構成。 0d = GPI4 ディスエーブル 1d = GPI4 は汎用入力 (GPI) として構成 2d = GPI4 はコントローラ クロック入力として構成 (MCLK) 3d = GPI4 はデイジーチェーン用の ASI 入力として構成 (SDIN) 4d = GPI4 はチャネル 1 とチャネル 2 の PDM データ入力として構成 (PDMDIN1) 5d = GPI4 はチャネル 3 とチャネル 4 の PDM データ入力として構成 (PDMDIN2) 6d = GPI4 はチャネル 5 とチャネル 6 の PDM データ入力として構成 (PDMDIN3) 7d = GPI4 はチャネル 7 とチャネル 8 の PDM データ入力として構成 (PDMDIN4)

## 8.1.1.31 GPI\_MON レジスタ (ページ=0x00、アドレス=0x2F) [リセット=0h]

このレジスタは GPI モニタ値レジスタです。

図 8-31. GPI\_MON レジスタ

7	6	5	4	3	2	1	0
GPI1_MON	GPI2_MON	GPI3_MON	GPI4_MON	予約済み			
R-0h	R-0h	R-0h	R-0h		R-0h		

表 8-33. GPI\_MON レジスタ フィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	GPI1_MON	R	0h	GPI として構成されている場合は GPI1 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
6	GPI2_MON	R	0h	GPI として構成されている場合は GPI2 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
5	GPI3_MON	R	0h	GPI として構成されている場合は GPI3 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
4	GPI4_MON	R	0h	GPI として構成されている場合は GPI4 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
3-0	予約済み	R	0h	予約済み

## 8.1.1.32 INT\_CFG レジスタ (ページ=0x00、アドレス=0x32) [リセット=0h]

このレジスタは割り込み構成レジスタです。

図 8-32. INT\_CFG レジスタ

7	6	5	4	3	2	1	0
INT_POL	INT_EVENT[1:0]		予約済み	LTCH_READ_CFG	予約済み		
R/W-0h	R/W-0h		R-0h	R/W-0h	R-0h		

**表 8-34. INT\_CFG レジスタ フィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	INT_POL	R/W	0h	割り込み極性。 0b = アクティブ Low (IRQZ) 1b = アクティブ High (IRQ)
6-5	INT_EVENT[1:0]	R/W	0h	割り込みイベントの設定。 0d = INT は、マスクされていないラッチ割り込みイベントが発生するとアサート 1d = 予約済み 2d = INT は、マスクされていないラッチ割り込みイベントが発生するごとに、4 ミリ秒 (標準値) ごとに 2 ミリ秒 (標準値) 間アサート 3d = INT は、マスクされていない割り込みイベントが発生するたびに、各パルスで 2 ミリ秒 (標準) 間、1 回アサート
4-3	予約済み	R	0h	予約済み
2	LTCH_READ_CFG	R/W	0h	ラッチレジスタの読み出し構成を中断。 0b = すべての割り込みを LTCH レジスタから読み出すことができる 1b = マスクされていない割り込みのみ LTCH レジスタで読み出すことができる
1-0	予約済み	R	0h	予約済み

#### 8.1.1.33 INT\_MASK0 レジスタ (ページ=0x00、アドレス=0x33) [リセット=FFh]

このレジスタは割り込みマスク レジスタ 0 です。

**図 8-33. INT\_MASK0 レジスタ**

7	6	5	4	3	2	1	0
INT_MASK0[7]	INT_MASK0[6]						予約済み
R/W-1h	R/W-1h						R/W-3Fh

**表 8-35. INT\_MASK0 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	INT_MASK0[7]	R/W	1h	ASI クロック エラー マスク。 0b = マスク禁止 1b = マスク
6	INT_MASK0[6]	R/W	1h	PLL ロック割り込みマスク。 0b = マスク禁止 1b = マスク
5-0	予約済み	R/W	3Fh	予約済み

#### 8.1.1.34 INT\_LTCH0 レジスタ (ページ=0x00、アドレス=0x36) [リセット=0h]

このレジスタはラッチされた割り込み読み戻しレジスタ 0 です。

**図 8-34. INT\_LTCH0 レジスタ**

7	6	5	4	3	2	1	0
INT_LTCH0[7]	INT_LTCH0[6]						予約済み
R-0h	R-0h						R-0h

**表 8-36. INT\_LTCH0 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	INT_LTCH0[7]	R	0h	ASI バス クロック エラー (セルフクリア ピット) によって発生する割り込み。 0b = 割り込みなし 1b = 割り込みあり
6	INT_LTCH0[6]	R	0h	PLL LOCK (セルフクリア ピット) によって発生する割り込み。 0b = 割り込みなし 1b = 割り込みあり

表 8-36. INT\_LTCH0 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5-0	予約済み	R	0h	予約済み

### 8.1.1.35 BIAS\_CFG レジスタ (ページ=0x00、アドレス=0x3B) [リセット=0h]

このレジスタはバイアスおよび ADC 構成レジスタです

**図 8-35. BIAS\_CFG レジスタ**

7	6	5	4	3	2	1	0
予約済み	MBIAS_VAL[2:0]				予約済み	ADC_FSCALE[1:0]	
R-0h	R/W-0h				R-0h	R/W-0h	

**表 8-37. BIAS\_CFG レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	MBIAS_VAL[2:0]	R/W	0h	MICBIAS 値。 0d = マイクバイアスを VREF (2.750V、2.500V、または 1.375V) に設定 1d = マイクバイアスを VREF × 1.096 (3.014V、2.740V、または 1.507V) に設定 2d ~ 5d = 予約済み 6d = マイクバイアスを AVDD に設定
3-2	予約済み	R	0h	予約済み
1-0	ADC_FSCALE[1:0]	R/W	0h	ADC のフルスケール設定 (この設定は、使用される AVDD 電源の最小電圧に基づいて構成します)。 0d = VREF は 2.75V に設定され、差動入力の場合は 2V <sub>RMS</sub> 、シングルエンド入力の場合は 1V <sub>RMS</sub> をサポートします 1d = VREF は 2.5V に設定され、差動入力の場合は 1.818V <sub>RMS</sub> 、シングルエンド入力の場合は 0.909V <sub>RMS</sub> をサポートします 2d = VREF は、差動入力の場合は 1V <sub>RMS</sub> 、シングルエンド入力の場合は 0.5V <sub>RMS</sub> をサポートするために 1.375V に設定されます 3d = 予約済み

### 8.1.1.36 CH1\_CFG0 レジスタ (ページ=0x00、アドレス=0x3C) [リセット=0h]

このレジスタは、チャネル 1 の構成レジスタ 0 です。

**図 8-36. CH1\_CFG0 レジスタ**

7	6	5	4	3	2	1	0
CH1_INTYP	CH1_INSRC[1:0]		CH1_DC	CH1_IMP[1:0]		予約済み	CH1阿根
R/W-0h	R/W-0h		R/W-0h	R/W-0h		R-0h	R/W-0h

**表 8-38. CH1\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	CH1_INTYP	R/W	0h	チャネル 1 入力タイプ。 0d = マイク入力 1d = ライン入力
6-5	CH1_INSRC[1:0]	R/W	0h	チャネル 1 入力構成。 0d = アナログ差動入力 (GPI1 ピンおよび GPO1 ピンの機能を無効する必要があります) 1d = アナログシングルエンド入力 (GPI1 ピンおよび GPO1 ピンの機能を無効する必要があります) 2d = デジタルマイクの PDM 入力 (PDMDIN1 および PDMCLK の GPO ピンと GPI ピンをそれに応じて構成) 3d = 予約済み
4	CH1_DC	R/W	0h	チャネル 1 入力カッピング (アナログ入力に適用可能)。 0d = AC 結合入力 1d = DC 結合入力

表 8-38. CH1\_CFG0 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
3-2	CH1_IMP[1:0]	R/W	0h	チャネル 1 入力カッピング (アナログ入力に適用可能)。 0d = 2.5kΩ の標準入力インピーダンス 1d = 標準 10kΩ 入力インピーダンス 2d = 標準 20kΩ 入力インピーダンス 3d = 予約済み
1	予約済み	R	0h	予約済み
0	CH1阿根	R/W	0h	チャネル 1 の自動ゲインコントローラ (AGC) の設定。 0d = AGC ディスエーブル 1d = レジスタ 108 のビット 3 の設定に基づいて AGC イネーブル (P0_R108)

## 8.1.1.37 CH1\_CFG1 レジスタ (ページ=0x00、アドレス=0x3D) [リセット=0h]

このレジスタは、チャネル 1 の構成レジスタ 1 です。

図 8-37. CH1\_CFG1 レジスタ

7	6	5	4	3	2	1	0
CH1_GAIN[5:0]						予約済み	
R/W-0h						R-0h	

表 8-39. CH1\_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-2	CH1_GAIN[5:0]	R/W	0h	チャネル 1 ゲイン。 0d = チャネル ゲインを 0dB に設定 1d = チャネル ゲインを 1dB に設定 2d = チャネル ゲインを 2dB に設定 3d ~ 41d = チャネル ゲインを構成に従って設定 42d = チャネル ゲインを 42dB に設定 43d ~ 63d = 予約済み
1-0	予約済み	R	0h	予約済み

## 8.1.1.38 CH1\_CFG2 レジスタ (ページ=0x00、アドレス=0x3E) [リセット=C9h]

このレジスタは、チャネル 1 の構成レジスタ 2 です。

図 8-38. CH1\_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH1_DVOL[7:0]							
R/W-C9h							

表 8-40. CH1\_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	CH1_DVOL[7:0]	R/W	C9h	チャネル 1 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

### 8.1.1.39 CH1\_CFG3 レジスタ (ページ=0x00、アドレス=0x3F) [リセット=80h]

このレジスタは、チャネル 1 の構成レジスタ 3 です。

**図 8-39. CH1\_CFG3 レジスタ**

7	6	5	4	3	2	1	0
CH1_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

**表 8-41. CH1\_CFG3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-4	CH1_GCAL[3:0]	R/W	8h	チャネル 1 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

### 8.1.1.40 CH1\_CFG4 レジスタ (ページ=0x00、アドレス=0x40) [リセット=0h]

このレジスタは、チャネル 1 の構成レジスタ 4 です。

**図 8-40. CH1\_CFG4 レジスタ**

7	6	5	4	3	2	1	0
CH1_PCAL[7:0]							
R/W-0h							

**表 8-42. CH1\_CFG4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-0	CH1_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャネル 1 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

### 8.1.1.41 CH2\_CFG0 レジスタ (ページ=0x00、アドレス=0x41) [リセット=0h]

このレジスタは、チャネル 2 の構成レジスタ 0 です。

**図 8-41. CH2\_CFG0 レジスタ**

7	6	5	4	3	2	1	0
CH2_INTYP	CH2_INSRC[1:0]		CH2_DC	CH2_IMP[1:0]		予約済み	CH2阿根
R/W-0h	R/W-0h		R/W-0h	R/W-0h		R-0h	R/W-0h

**表 8-43. CH2\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	CH2_INTYP	R/W	0h	チャネル 2 入力タイプ。 0d = マイク入力 1d = ライン入力

表 8-43. CH2\_CFG0 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
6-5	CH2_INSRC[1:0]	R/W	0h	チャネル 2 入力構成。 0d = アナログ差動入力 (GPI2 ピンおよび GPO2 ピンの機能を無効する必要があります) 1d = アナログ シングルエンド入力 (GPI2 ピンおよび GPO2 ピンの機能を無効する必要があります) 2d = デジタル マイクの PDM 入力 (PDMDIN1 および PDMCLK の GPO ピンと GPI ピンをそれに応じて構成) 3d = 予約済み
4	CH2_DC	R/W	0h	チャネル 2 入力カッピング (アナログ入力に適用可能)。 0d = AC 結合入力 1d = DC 結合入力
3-2	CH2_IMP[1:0]	R/W	0h	チャネル 2 入力カッピング (アナログ入力に適用可能)。 0d = 2.5kΩ の標準入力インピーダンス 1d = 標準 10kΩ 入力インピーダンス 2d = 標準 20kΩ 入力インピーダンス 3d = 予約済み
1	予約済み	R	0h	予約済み
0	CH2阿根	R/W	0h	チャネル 2 の自動ゲインコントローラ (AGC) の設定。 0d = AGC ディスエーブル 1d = レジスタ 108 のビット 3 の設定に基づいて AGC イネーブル (P0_R108)

#### 8.1.1.42 CH2\_CFG1 レジスタ (ページ=0x00、アドレス=0x42) [リセット=0h]

このレジスタは、チャネル 2 の構成レジスタ 1 です。

図 8-42. CH2\_CFG1 レジスタ

7	6	5	4	3	2	1	0
CH2_GAIN[5:0]						予約済み	
R/W-0h						R-0h	

表 8-44. CH2\_CFG1 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-2	CH2_GAIN[5:0]	R/W	0h	チャネル 2 ゲイン。 0d = チャネル ゲインを 0dB に設定 1d = チャネル ゲインを 1dB に設定 2d = チャネル ゲインを 2dB に設定 3d ~ 41d = チャネル ゲインを構成に従って設定 42d = チャネル ゲインを 42dB に設定 43d ~ 63d = 予約済み
1-0	予約済み	R	0h	予約済み

#### 8.1.1.43 CH2\_CFG2 レジスタ (ページ=0x00、アドレス=0x43) [リセット=C9h]

このレジスタは、チャネル 2 の構成レジスタ 2 です。

図 8-43. CH2\_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH2_DVOL[7:0]							
R/W-C9h							

**表 8-45. CH2\_CFG2 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-0	CH2_DVOL[7:0]	R/W	C9h	チャネル 2 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

### 8.1.1.44 CH2\_CFG3 レジスタ (ページ=0x00、アドレス=0x44) [リセット=80h]

このレジスタは、チャネル 2 の構成レジスタ 3 です。

図 8-44. CH2\_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH2_GCAL[3:0]						予約済み	
R/W-8h						R-0h	

表 8-46. CH2\_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH2_GCAL[3:0]	R/W	8h	チャネル 2 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

### 8.1.1.45 CH2\_CFG4 レジスタ (ページ=0x00、アドレス=0x45) [リセット=0h]

このレジスタは、チャネル 2 の構成レジスタ 4 です。

図 8-45. CH2\_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH2_PCAL[7:0]							
R/W-0h							

表 8-47. CH2\_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH2_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャネル 2 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

### 8.1.1.46 CH3\_CFG0 レジスタ (ページ=0x00、アドレス=0x46) [リセット=0h]

このレジスタは、チャネル 3 の構成レジスタ 0 です。

図 8-46. CH3\_CFG0 レジスタ

7	6	5	4	3	2	1	0
CH3_INTYP	CH3_INSRC[1:0]		CH3_DC	CH3_IMP[1:0]		予約済み	CH3阿根
R/W-0h	R/W-0h		R/W-0h	R/W-0h		R-0h	R/W-0h

表 8-48. CH3\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CH3_INTYP	R/W	0h	チャネル 3 入力タイプ。 0d = マイク入力 1d = ライン入力

**表 8-48. CH3\_CFG0 レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
6-5	CH3_INSRC[1:0]	R/W	0h	チャネル 3 入力構成。 0d = アナログ差動入力 (GPI3 ピンおよび GPO3 ピンの機能を無効する必要があります) 1d = アナログ シングルエンド入力 (GPI3 ピンおよび GPO3 ピンの機能を無効する必要があります) 2d = デジタル マイクの PDM 入力 (PDMDIN2 および PDMCLK の GPO ピンと GPI ピンをそれに応じて構成) 3d = 予約済み
4	CH3_DC	R/W	0h	チャネル 3 入力カッピング (アナログ入力に適用可能)。 0d = AC 結合入力 1d = DC 結合入力
3-2	CH3_IMP[1:0]	R/W	0h	チャネル 3 入力カッピング (アナログ入力に適用可能)。 0d = 2.5kΩ の標準入力インピーダンス 1d = 標準 10kΩ 入力インピーダンス 2d = 標準 20kΩ 入力インピーダンス 3d = 予約済み
1	予約済み	R	0h	予約済み
0	CH3阿根	R/W	0h	チャネル 3 の自動ゲインコントローラ (AGC) の設定。 0d = AGC ディスエーブル 1d = レジスタ 108 のビット 3 の設定に基づいて AGC イネーブル (P0_R108)

#### 8.1.1.47 CH3\_CFG1 レジスタ (ページ=0x00、アドレス=0x47) [リセット=0h]

このレジスタは、チャネル 3 の構成レジスタ 1 です。

**図 8-47. CH3\_CFG1 レジスタ**

7	6	5	4	3	2	1	0
CH3_GAIN[5:0]						予約済み	
R/W-0h						R-0h	

**表 8-49. CH3\_CFG1 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-2	CH3_GAIN[5:0]	R/W	0h	チャネル 3 ゲイン。 0d = チャネル ゲインを 0dB に設定 1d = チャネル ゲインを 1dB に設定 2d = チャネル ゲインを 2dB に設定 3d ~ 41d = チャネル ゲインを構成に従って設定 42d = チャネル ゲインを 42dB に設定 43d ~ 63d = 予約済み
1-0	予約済み	R	0h	予約済み

#### 8.1.1.48 CH3\_CFG2 レジスタ (ページ=0x00、アドレス=0x48) [リセット=C9h]

このレジスタは、チャネル 3 の構成レジスタ 2 です。

**図 8-48. CH3\_CFG2 レジスタ**

7	6	5	4	3	2	1	0
CH3_DVOL[7:0]							
R/W-C9h							

表 8-50. CH3\_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	CH3_DVOL[7:0]	R/W	C9h	チャネル 3 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

#### 8.1.1.49 CH3\_CFG3 レジスタ (ページ=0x00、アドレス=0x49) [リセット=80h]

このレジスタは、チャネル 3 の構成レジスタ 3 です。

図 8-49. CH3\_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH3_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 8-51. CH3\_CFG3 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	CH3_GCAL[3:0]	R/W	8h	チャネル 3 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

#### 8.1.1.50 CH3\_CFG4 レジスタ (ページ=0x00、アドレス=0x4A) [リセット=0h]

このレジスタは、チャネル 3 の構成レジスタ 4 です。

図 8-50. CH3\_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH3_PCAL[7:0]				予約済み			
R/W-0h				R-0h			

表 8-52. CH3\_CFG4 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	CH3_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャネル 3 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

### 8.1.1.51 CH4\_CFG0 レジスタ (ページ=0x00、アドレス=0x4B) [リセット=0h]

このレジスタは、チャネル 4 の構成レジスタ 0 です。

**図 8-51. CH4\_CFG0 レジスタ**

7	6	5	4	3	2	1	0
CH4_INTYP	CH4_INSRC[1:0]		CH4_DC	CH4_IMP[1:0]		予約済み	CH4阿根
R/W-0h	R/W-0h		R/W-0h	R/W-0h		R-0h	R/W-0h

**表 8-53. CH4\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	CH4_INTYP	R/W	0h	チャネル 4 入力タイプ。 0d = マイク入力 1d = ライン入力
6-5	CH4_INSRC[1:0]	R/W	0h	チャネル 4 入力構成。 0d = アナログ差動入力 (GPI4 ピンおよび GPO4 ピンの機能を無効する必要があります) 1d = アナログ シングルエンド入力 (GPI4 ピンおよび GPO4 ピンの機能を無効する必要があります) 2d = デジタル マイクの PDM 入力 (PDMDIN2 および PDMCLK の GPO ピンと GPI ピンをそれに応じて構成) 3d = 予約済み
4	CH4_DC	R/W	0h	チャネル 4 入力カッピング (アナログ入力に適用可能)。 0d = AC 結合入力 1d = DC 結合入力
3-2	CH4_IMP[1:0]	R/W	0h	チャネル 4 入力カッピング (アナログ入力に適用可能)。 0d = 2.5kΩ の標準入力インピーダンス 1d = 標準 10kΩ 入力インピーダンス 2d = 標準 20kΩ 入力インピーダンス 3d = 予約済み
1	予約済み	R	0h	予約済み
0	CH4阿根	R/W	0h	チャネル 4 の自動ゲインコントローラ (AGC) の設定。 0d = AGC ディスエーブル 1d = レジスタ 108 のビット 3 の設定に基づいて AGC イネーブル (P0_R108)

### 8.1.1.52 CH4\_CFG1 レジスタ (ページ=0x00、アドレス=0x4C) [リセット=0h]

このレジスタは、チャネル 4 の構成レジスタ 1 です。

**図 8-52. CH4\_CFG1 レジスタ**

7	6	5	4	3	2	1	0
CH4_GAIN[5:0]						予約済み	
R/W-0h						R-0h	

**表 8-54. CH4\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-2	CH4_GAIN[5:0]	R/W	0h	チャネル 4 ゲイン。 0d = チャネル ゲインを 0dB に設定 1d = チャネル ゲインを 1dB に設定 2d = チャネル ゲインを 2dB に設定 3d ~ 41d = チャネル ゲインを構成に従って設定 42d = チャネル ゲインを 42dB に設定 43d ~ 63d = 予約済み
1-0	予約済み	R	0h	予約済み

### 8.1.1.53 CH4\_CFG2 レジスタ (ページ=0x00、アドレス=0x4D) [リセット=C9h]

このレジスタは、チャネル 4 の構成レジスタ 2 です。

図 8-53. CH4\_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH4_DVOL[7:0]							
R/W-C9h							

表 8-55. CH4\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH4_DVOL[7:0]	R/W	C9h	チャネル 4 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

### 8.1.1.54 CH4\_CFG3 レジスタ (ページ=0x00、アドレス=0x4E) [リセット=80h]

このレジスタは、チャネル 4 の構成レジスタ 3 です。

図 8-54. CH4\_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH4_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 8-56. CH4\_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH4_GCAL[3:0]	R/W	8h	チャネル 4 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

### 8.1.1.55 CH4\_CFG4 レジスタ (ページ=0x00、アドレス=0x4F) [リセット=0h]

このレジスタは、チャネル 4 の構成レジスタ 4 です。

図 8-55. CH4\_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH4_PCAL[7:0]							
R/W-0h							

**表 8-57. CH4\_CFG4 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-0	CH4_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャネル 4 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

#### 8.1.1.56 CH5\_CFG2 レジスタ (ページ=0x00、アドレス=0x52) [リセット=C9h]

このレジスタは、チャネル 5 の構成レジスタ 2 です (デジタルマイク PDM 入力のみ)。

**図 8-56. CH5\_CFG2 レジスタ**

7	6	5	4	3	2	1	0
CH5_DVOL[7:0]							
R/W-C9h							

**表 8-58. CH5\_CFG2 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-0	CH5_DVOL[7:0]	R/W	C9h	チャネル 5 デジタルボリューム制御。 0d = デジタルボリュームはミュート 1d = デジタルボリュームコントロールは -100dB に設定 2d = デジタルボリュームコントロールは -99.5dB に設定 3d ~ 200d = デジタルボリュームコントロールは設定に従って設定 201d = デジタルボリュームコントロールを 0dB に設定 202d = デジタルボリュームコントロールを 0.5dB に設定 203d ~ 253d = デジタルボリュームコントロールは設定に従って設定 254d = デジタルボリュームコントロールは 26.5dB に設定 255d = デジタルボリュームコントロールを 27dB に設定

#### 8.1.1.57 CH5\_CFG3 レジスタ (ページ=0x00、アドレス=0x53) [リセット=80h]

このレジスタは、チャネル 5 の構成レジスタ 3 です (デジタルマイク PDM 入力のみ)。

**図 8-57. CH5\_CFG3 レジスタ**

7	6	5	4	3	2	1	0
CH5_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

**表 8-59. CH5\_CFG3 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-4	CH5_GCAL[3:0]	R/W	8h	チャネル 5 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

### 8.1.1.58 CH5\_CFG4 レジスタ (ページ=0x00、アドレス=0x54) [リセット=0h]

このレジスタは、チャネル 5 の構成レジスタ 4 です (デジタルマイク PDM 入力のみ)。

図 8-58. CH5\_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH5_PCAL[7:0]							
R/W-0h							

表 8-60. CH5\_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH5_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャネル 5 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

### 8.1.1.59 CH6\_CFG2 レジスタ (ページ=0x00、アドレス=0x57) [リセット=C9h]

このレジスタは、チャネル 6 の構成レジスタ 2 です (デジタルマイク PDM 入力のみ)。

図 8-59. CH6\_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH6_DVOL[7:0]							
R/W-C9h							

表 8-61. CH6\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH6_DVOL[7:0]	R/W	C9h	チャネル 6 デジタルボリューム制御。 0d = デジタルボリュームはミュート 1d = デジタルボリュームコントロールは -100dB に設定 2d = デジタルボリュームコントロールは -99.5dB に設定 3d ~ 200d = デジタルボリュームコントロールは設定に従って設定 201d = デジタルボリュームコントロールを 0dB に設定 202d = デジタルボリュームコントロールを 0.5dB に設定 203d ~ 253d = デジタルボリュームコントロールは設定に従って設定 254d = デジタルボリュームコントロールは 26.5dB に設定 255d = デジタルボリュームコントロールを 27dB に設定

### 8.1.1.60 CH6\_CFG3 レジスタ (ページ=0x00、アドレス=0x58) [リセット=80h]

このレジスタは、チャネル 6 の構成レジスタ 3 です (デジタルマイク PDM 入力のみ)。

図 8-60. CH6\_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH6_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

**表 8-62. CH6\_CFG3 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-4	CH6_GCAL[3:0]	R/W	8h	チャネル 6 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

#### 8.1.1.61 CH6\_CFG4 レジスタ (ページ=0x00、アドレス=0x59) [リセット=0h]

このレジスタは、チャネル 6 の構成レジスタ 4 です (デジタルマイク PDM 入力のみ)。

**図 8-61. CH6\_CFG4 レジスタ**

7	6	5	4	3	2	1	0
CH6_PCAL[7:0]							
R/W-0h							

**表 8-63. CH6\_CFG4 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-0	CH6_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャネル 6 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

#### 8.1.1.62 CH7\_CFG2 レジスタ (ページ=0x00、アドレス=0x5C) [リセット=C9h]

このレジスタは、チャネル 7 の構成レジスタ 2 です (デジタルマイク PDM 入力のみ)。

**図 8-62. CH7\_CFG2 レジスタ**

7	6	5	4	3	2	1	0
CH7_DVOL[7:0]							
R/W-C9h							

**表 8-64. CH7\_CFG2 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-0	CH7_DVOL[7:0]	R/W	C9h	チャネル 7 デジタルボリューム制御。 0d = デジタルボリュームはミュート 1d = デジタルボリュームコントロールは -100dB に設定 2d = デジタルボリュームコントロールは -99.5dB に設定 3d ~ 200d = デジタルボリュームコントロールは設定に従って設定 201d = デジタルボリュームコントロールを 0dB に設定 202d = デジタルボリュームコントロールを 0.5dB に設定 203d ~ 253d = デジタルボリュームコントロールは設定に従って設定 254d = デジタルボリュームコントロールは 26.5dB に設定 255d = デジタルボリュームコントロールを 27dB に設定

#### 8.1.1.63 CH7\_CFG3 レジスタ (ページ=0x00、アドレス=0x5D) [リセット=80h]

このレジスタは、チャネル 7 の構成レジスタ 3 です (デジタルマイク PDM 入力のみ)。

図 8-63. CH7\_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH7_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 8-65. CH7\_CFG3 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	CH7_GCAL[3:0]	R/W	8h	チャネル 7 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

#### 8.1.1.64 CH7\_CFG4 レジスタ (ページ=0x00、アドレス=0x5E) [リセット=0h]

このレジスタは、チャネル 7 の構成レジスタ 4 です (デジタルマイク PDM 入力のみ)。

図 8-64. CH7\_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH7_PCAL[7:0]							
R/W-0h							

表 8-66. CH7\_CFG4 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	CH7_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャネル 7 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

#### 8.1.1.65 CH8\_CFG2 レジスタ (ページ=0x00、アドレス=0x61) [リセット=C9h]

このレジスタは、チャネル 8 の構成レジスタ 2 です (デジタルマイク PDM 入力のみ)。

図 8-65. CH8\_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH8_DVOL[7:0]							
R/W-C9h							

**表 8-67. CH8\_CFG2 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-0	CH8_DVOL[7:0]	R/W	C9h	<p>チャネル 8 デジタル ボリューム制御。</p> <p>0d = デジタル ボリュームはミュート</p> <p>1d = デジタル ボリューム コントロールは -100dB に設定</p> <p>2d = デジタル ボリューム コントロールは -99.5dB に設定</p> <p>3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定</p> <p>201d = デジタル ボリューム コントロールを 0dB に設定</p> <p>202d = デジタル ボリューム コントロールを 0.5dB に設定</p> <p>203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定</p> <p>254d = デジタル ボリューム コントロールは 26.5dB に設定</p> <p>255d = デジタル ボリューム コントロールを 27dB に設定</p>

### 8.1.1.66 CH8\_CFG3 レジスタ (ページ=0x00、アドレス=0x62) [リセット=80h]

このレジスタは、チャネル 8 の構成レジスタ 3 です (デジタルマイク PDM 入力のみ)。

図 8-66. CH8\_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH8_GCAL[3:0]						予約済み	
R/W-8h						R-0h	

表 8-68. CH8\_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH8_GCAL[3:0]	R/W	8h	チャネル 8 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

### 8.1.1.67 CH8\_CFG4 レジスタ (ページ=0x00、アドレス=0x63) [リセット=0h]

このレジスタは、チャネル 8 の構成レジスタ 4 です (デジタルマイク PDM 入力のみ)。

図 8-67. CH8\_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH8_PCAL[7:0]							
R/W-0h							

表 8-69. CH8\_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH8_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャネル 8 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d~254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

### 8.1.1.68 DSP\_CFG0 レジスタ (ページ=0x00、アドレス=0x6B) [リセット=1h]

このレジスタはデジタル信号プロセッサ (DSP) 構成レジスタ 0 です。

図 8-68. DSP\_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み		DECI_FILT[1:0]			CH_SUM[1:0]		HPF_SEL[1:0]
R-0h		R/W-0h			R/W-0h		R/W-1h

表 8-70. DSP\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み

**表 8-70. DSP\_CFG0 レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
5-4	DEC1_FILT[1:0]	R/W	0h	デシメーション フィルタ応答。 0d = 線形位相 1d = 低レイテンシ 2d = 超低レイテンシ 3d = 予約済み
3-2	CH_SUM[1:0]	R/W	0h	より高い信号対雑音比のチャネル合計モード 0d = チャネル合計モードが無効 1d = 2 チャネル合計モードが有効で $(CH1 + CH2)/2$ および $(CH3 + CH4)/2$ 出力を生成 2d = 4 チャネル合計モードが有効で $(CH1 + CH2 + CH3 + CH4)/4$ 出力を生成 3d = 予約済み
1-0	HPF_SEL[1:0]	R/W	1h	ハイパス フィルタ (HPF) 選択。 0d = P4_R72 ~ P4_R83 のデフォルト係数値がオールパス フィルタとして設定された、カスタム HPF 用のプログラマブルな一次 IIR フィルタ 1d = HPF はカットオフ周波数 $0.00025 \times f_S$ (12Hz ( $f_S$ が 48kHz の場合)) を選択 2d = HPF は、カットオフ周波数 $0.002 \times f_S$ (96Hz ( $f_S$ が 48kHz の場合)) を選択 3d = HPF はカットオフ周波数 $0.008 \times f_S$ (384Hz ( $f_S$ が 48kHz の場合)) を選択

#### 8.1.1.69 DSP\_CFG1 レジスタ (ページ=0x00、アドレス=0x6C) [リセット=40h]

このレジスタはデジタル信号プロセッサ (DSP) 構成レジスタ 1 です。

**図 8-69. DSP\_CFG1 レジスタ**

7	6	5	4	3	2	1	0
DVOL_GANG	BIQUAD_CFG[1:0]	DISABLE_SOFT_STEP	AGC_SEL			予約済み	
R/W-0h	R/W-2h	R/W-0h	R/W-0h			R/W-0h	

**表 8-71. DSP\_CFG1 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	DVOL_GANG	R/W	0h	チャネル全体で一括した DVOL 制御。 0d = 各チャネルには、CHx_DVOL ビットでプログラムされた固有の DVOL CTRL 設定が存在 1d = すべてのアクティブなチャネルは、チャネル 1 がオンになっているか否かに関わらず、チャネル 1 の DVOL 設定 (CH1_DVOL) を使用する必要があります
6-5	BIQUAD_CFG[1:0]	R/W	2h	チャネル構成あたりのバイクアップの数。 0d = チャネルごとにバイクワードなし、バイクワードはすべてディスエーブル 1d = チャネルごとに 1 バイクワード 2d = チャネルごとに 2 バイクワード 3d = チャネルごとに 3 バイクワード
4	DISABLE_SOFT_STEP	R/W	0h	ソフトステッピング無効化 (DVOL 変更、ミュート、およびミュート解除時)。 0d = ソフトステッピング イネーブル 1d = ソフトステッピング ディスエーブル
3	AGC_SEL	R/W	0h	任意のチャネルで AGC が有効になっている場合の AGC の選択。 0d = AGC 未選択 1d = AGC 選択
2-0	予約済み	R/W	0h	予約済み

#### 8.1.1.70 AGC\_CFG0 レジスタ (ページ=0x00、アドレス=0x70) [リセット=E7h]

このレジスタは自動ゲイン制御 (AGC) 構成レジスタ 0 です。

**図 8-70. AGC\_CFG0 レジスタ**

7	6	5	4	3	2	1	0
AGC_LVL[3:0]				AGC_MAXGAIN[3:0]			

図 8-70. AGC\_CFG0 レジスタ (続き)

R/W-Eh	R/W-7h
--------	--------

表 8-72. AGC\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	AGC_LVL[3:0]	R/W	Eh	AGC 出力信号の目標レベル。 0d = 出力信号目標レベルは -6dB 1d = 出力信号目標レベルは -8dB 2d = 出力信号目標レベルは -10dB 3d ~ 13d = 出力信号目標レベルは構成に拡ります 14d = 出力信号目標レベルは -34dB 15d = 出力信号目標レベルは -36dB
3-0	AGC_MAXGAIN[3:0]	R/W	7h	AGC 最大許容ゲイン。 0d = 最大許容ゲインは 3dB 1d = 最大許容ゲインは 6dB 2d = 最大許容ゲインは 9dB 3d ~ 11d = 最大許容ゲインは構成に拡ります 12d = 最大許容ゲインは 39dB 13d = 最大許容ゲインは 42dB 14d ~ 15d = 予約済み

#### 8.1.1.71 IN\_CH\_EN レジスタ (ページ=0x00、アドレス=0x73) [リセット=F0h]

このレジスタは入力チャネル有効構成レジスタです。

図 8-71. IN\_CH\_EN レジスタ

7	6	5	4	3	2	1	0
IN_CH1_EN	IN_CH2_EN	IN_CH3_EN	IN_CH4_EN	IN_CH5_EN	IN_CH6_EN	IN_CH7_EN	IN_CH8_EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-73. IN\_CH\_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IN_CH1_EN	R/W	1h	入力チャネル 1 のイネーブル設定。 0d = チャネル 1 ディスエーブル 1d = チャネル 1 イネーブル
6	IN_CH2_EN	R/W	1h	入力チャネル 2 のイネーブル設定。 0d = チャネル 2 ディスエーブル 1d = チャネル 2 イネーブル
5	IN_CH3_EN	R/W	1h	入力チャネル 3 のイネーブル設定。 0d = チャネル 3 ディスエーブル 1d = チャネル 3 イネーブル
4	IN_CH4_EN	R/W	1h	入力チャネル 4 のイネーブル設定。 0d = チャネル 4 ディスエーブル 1d = チャネル 4 イネーブル
3	IN_CH5_EN	R/W	0h	入力チャネル 5 (PDM のみ) の有効設定。 0d = チャネル 5 ディスエーブル 1d = チャネル 5 イネーブル
2	IN_CH6_EN	R/W	0h	入力チャネル 6 (PDM のみ) の有効設定。 0d = チャネル 6 ディスエーブル 1d = チャネル 6 イネーブル
1	IN_CH7_EN	R/W	0h	入力チャネル 7 (PDM のみ) の有効設定。 0d = チャネル 7 ディスエーブル 1d = チャネル 7 イネーブル

表 8-73. IN\_CH\_EN レジスタ フィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
0	IN_CH8_EN	R/W	0h	入力チャネル 8 (PDM のみ) の有効設定。 0d = チャネル 8 ディスエーブル 1d = チャネル 8 イネーブル

### 8.1.1.72 ASI\_OUT\_CH\_EN レジスタ (ページ=0x00、アドレス=0x74) [リセット=0h]

このレジスタは ASI 出力チャネル有効構成レジスタです。

**図 8-72. ASI\_OUT\_CH\_EN レジスタ**

7	6	5	4	3	2	1	0
ASI_OUT_CH1_EN	ASI_OUT_CH2_EN	ASI_OUT_CH3_EN	ASI_OUT_CH4_EN	ASI_OUT_CH5_EN	ASI_OUT_CH6_EN	ASI_OUT_CH7_EN	ASI_OUT_CH8_EN
R/W-0h							

**表 8-74. ASI\_OUT\_CH\_EN レジスタ フィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	ASI_OUT_CH1_EN	R/W	0h	ASI 出力チャネル 1 の有効設定。 0d = チャネル 1 出力スロットはトライステート状態 1d = チャネル 1 出力スロット有効
6	ASI_OUT_CH2_EN	R/W	0h	ASI 出力チャネル 2 の有効設定。 0d = チャネル 2 出力スロットはトライステート状態 1d = チャネル 2 出力スロット有効
5	ASI_OUT_CH3_EN	R/W	0h	ASI 出力チャネル 3 の有効設定。 0d = チャネル 3 出力スロットはトライステート状態 1d = チャネル 3 出力スロット有効
4	ASI_OUT_CH4_EN	R/W	0h	ASI 出力チャネル 4 の有効設定。 0d = チャネル 4 出力スロットはトライステート状態 1d = チャネル 4 出力スロット有効
3	ASI_OUT_CH5_EN	R/W	0h	ASI 出力チャネル 5 の有効設定。 0d = チャネル 5 出力スロットはトライステート状態 1d = チャネル 5 出力スロット有効
2	ASI_OUT_CH6_EN	R/W	0h	ASI 出力チャネル 6 の有効設定。 0d = チャネル 6 出力スロットはトライステート状態 1d = チャネル 6 出力スロット有効
1	ASI_OUT_CH7_EN	R/W	0h	ASI 出力チャネル 7 の有効設定。 0d = チャネル 7 出力スロットはトライステート状態 1d = チャネル 7 出力スロット有効
0	ASI_OUT_CH8_EN	R/W	0h	ASI 出力チャネル 8 の有効設定。 0d = チャネル 8 出力スロットはトライステート状態 1d = チャネル 8 出力スロット有効

### 8.1.1.73 PWR\_CFG レジスタ (ページ=0x00、アドレス=0x75) [リセット=0h]

このレジスタは起動構成レジスタです。

**図 8-73. PWR\_CFG レジスタ**

7	6	5	4	3	2	1	0
MICBIAS_PDZ	ADC_PDZ	PLL_PDZ	DYN_CH_PUPD_EN	DYN_MAXCH_SEL[1:0]		予約済み	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

**表 8-75. PWR\_CFG レジスタ フィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	MICBIAS_PDZ	R/W	0h	MICBIAS 向け電源制御。 0d = MICBIAS のパワーダウン 1d = MICBIAS のパワーアップ
6	ADC_PDZ	R/W	0h	ADC と PDM の各チャネルの電源制御。 0d = すべての ADC および PDM チャネルをパワーダウン 1d = 有効なすべての ADC および PDM チャネルをパワーアップ

**表 8-75. PWR\_CFG レジスタ フィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
5	PLL_PDZ	R/W	0h	PLL の電源制御。 0d = PLL パワーダウン 1d = PLL パワーアップ
4	DYN_CH_PUPD_EN	R/W	0h	動的なチャネル パワーアップ / パワーダウン有効 0d = チャネルの電源オン、電源オフは、いずれかのチャネルで録画が実行中の場合はサポートされていません 1d = チャネル録画がオンの場合でも、チャネルは個別にパワーアップまたはパワーダウンできます。このモードでは、チャネル 1 をパワーダウンしないでください
3-2	DYN_MAXCH_SEL[1:0]	R/W	0h	ダイナミック モードの最大チャネル選択構成。 0d = チャネル 1 とチャネル 2 は、動的なチャネル パワーアップ、パワーダウン機能が有効になっている状態で使用 1d = チャネル 1 ~ チャネル 4 は、動的なチャネル パワーアップ、パワーダウン機能が有効になっている状態で使用 2d = チャネル 1 ~ チャネル 6 は、動的なチャネル パワーアップ、パワーダウン機能が有効になっている状態で使用 3d = チャネル 1 ~ チャネル 8 は、動的なチャネル パワーアップ、パワーダウン機能が有効になっている状態で使用
1-0	予約済み	R/W	0h	予約済み

#### 8.1.1.74 DEV\_STS0 レジスタ (ページ=0x00、アドレス=0x76) [リセット=0h]

このレジスタはデバイス ステータス値レジスタ 0 です。

**図 8-74. DEV\_STS0 レジスタ**

7	6	5	4	3	2	1	0
CH1_STATUS	CH2_STATUS	CH3_STATUS	CH4_STATUS	CH5_STATUS	CH6_STATUS	CH7_STATUS	CH8_STATUS
R-0h							

**表 8-76. DEV\_STS0 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	CH1_STATUS	R	0h	ADC または PDM チャネル 1 の電源ステータス。 0d = ADC または PDM チャネルがパワーダウン 1d = ADC または PDM チャネルがパワーアップ
6	CH2_STATUS	R	0h	ADC または PDM チャネル 2 の電源ステータス。 0d = ADC または PDM チャネルがパワーダウン 1d = ADC または PDM チャネルがパワーアップ
5	CH3_STATUS	R	0h	ADC または PDM チャネル 3 の電源ステータス。 0d = ADC または PDM チャネルがパワーダウン 1d = ADC または PDM チャネルがパワーアップ
4	CH4_STATUS	R	0h	ADC または PDM チャネル 4 の電源ステータス。 0d = ADC または PDM チャネルがパワーダウン 1d = ADC または PDM チャネルがパワーアップ
3	CH5_STATUS	R	0h	PDM チャネル 5 の電源ステータス。 0d = PDM チャネルがパワーダウン 1d = PDM チャネルがパワーアップ
2	CH6_STATUS	R	0h	PDM チャネル 6 の電源ステータス。 0d = PDM チャネルがパワーダウン 1d = PDM チャネルがパワーアップ
1	CH7_STATUS	R	0h	PDM チャネル 7 の電源ステータス。 0d = PDM チャネルがパワーダウン 1d = PDM チャネルがパワーアップ

表 8-76. DEV\_STS0 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
0	CH8_STATUS	R	0h	PDM チャネル 8 の電源ステータス。 0d = PDM チャネルがパワーダウン 1d = PDM チャネルがパワーアップ

### 8.1.1.75 DEV\_STS1 レジスタ (ページ=0x00、アドレス=0x77) [リセット=80h]

このレジスタはデバイス ステータス値レジスタ 1 です。

**図 8-75. DEV\_STS1 レジスタ**

7	6	5	4	3	2	1	0	
MODE_STS[2:0]		予約済み						
R-4h		R-0h						

**表 8-77. DEV\_STS1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-5	MODE_STS[2:0]	R	4h	デバイスのモード ステータス。 4d = デバイスはスリープ モードまたはソフトウェア シャットダウン モード 予約済み 6d = デバイスは、すべての ADC または PDM チャンネルをオフにしてアクティブ モードにある 7d = デバイスは、少なくとも 1 つの ADC または PDM チャンネルがオンになっている アクティブ モード
4-0	予約済み	R	0h	予約済み

### 8.1.1.76 I2C\_CKSUM レジスタ (ページ=0x00、アドレス=0x7E) [リセット=0h]

このレジスタは、I<sup>2</sup>C トランザクションのチェックサム値を返します。

**図 8-76. I2C\_CKSUM レジスタ**

7	6	5	4	3	2	1	0	
I2C_CKSUM[7:0]								
R/W-0h								

**表 8-78. I2C\_CKSUM レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-0	I2C_CKSUM[7:0]	R/W	0h	これらのビットは、I <sup>2</sup> C トランザクションのチェックサム値を返します。このレジスタに書き込むと、チェックサムが書き込んだ値にリセットされます。このレジスタは、すべてのページの他のレジスタへの書き込み時に更新されます。

## 8.2 プログラム可能な係数レジスタ

### 8.2.1 プログラム可能な係数レジスタ：ページ=0x02

このレジスタ ページ (表 8-79 を参照) は、バイクワッド 1 ~ バイクワッド 6 フィルタのプログラム可能な係数で構成されています。ページ 2、ページ 3、ページ 4 の係数レジスタのトランザクション時間を最適化するために、デバイスは I<sup>2</sup>C および SPI バースト書き込みおよび読み取り用の自動インクリメント ページも (デフォルトで) サポートしています。レジスタ アドレス 0x7F のトランザクションの後、デバイスは自動的に次のページのレジスタ 0x08 に移動し、次の係数値を処理します。これらのプログラム可能な係数は 32 ビットの 2 の補数です。係数レジスタのトランザクションを成功させるには、ホスト デバイスはターゲット係数レジスタのトランザクションに対して、最上位バイト (BYT1) から始まる 4 バイトすべてを書き込み、読み取る必要があります。係数レジスタの読み取りトランザクションに SPI を使用する場合、デバイスは最初のバイトをダミーの読み取りバイトとして送信します。そのため、ホストは最初のダミーの読み取りバイトと、係数レジスタの値に対応する最後の 4 バイト (最上位バイト (BYT1) から始まる) の合計 5 バイトを読み取る必要があります。

**表 8-79. ページ 0x02 のプログラム可能な係数レジスタ**

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	BQ1_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 1、N0 係数バイト [31:24]
0x09	BQ1_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 1、N0 係数バイト [23:16]
0x0A	BQ1_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 1、N0 係数バイト [15:8]
0x0B	BQ1_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 1、N0 係数バイト [7:0]
0x0C	BQ1_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 1、N1 係数バイト [31:24]
0x0D	BQ1_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 1、N1 係数バイト [23:16]
0x0E	BQ1_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 1、N1 係数バイト [15:8]
0x0F	BQ1_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 1、N1 係数バイト [7:0]
0x10	BQ1_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 1、N2 係数バイト [31:24]
0x11	BQ1_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 1、N2 係数バイト [23:16]
0x12	BQ1_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 1、N2 係数バイト [15:8]
0x13	BQ1_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 1、N2 係数バイト [7:0]
0x14	BQ1_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 1、D1 係数バイト [31:24]
0x15	BQ1_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 1、D1 係数バイト [23:16]
0x16	BQ1_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 1、D1 係数バイト [15:8]
0x17	BQ1_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 1、D1 係数バイト [7:0]
0x18	BQ1_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 1、D2 係数バイト [31:24]
0x19	BQ1_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 1、D2 係数バイト [23:16]
0x1A	BQ1_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 1、D2 係数バイト [15:8]
0x1B	BQ1_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 1、D2 係数バイト [7:0]
0x1C	BQ2_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 2、N0 係数バイト [31:24]
0x1D	BQ2_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 2、N0 係数バイト [23:16]
0x1E	BQ2_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 2、N0 係数バイト [15:8]
0x1F	BQ2_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 2、N0 係数バイト [7:0]
0x20	BQ2_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 2、N1 係数バイト [31:24]
0x21	BQ2_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 2、N1 係数バイト [23:16]
0x22	BQ2_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 2、N1 係数バイト [15:8]
0x23	BQ2_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 2、N1 係数バイト [7:0]
0x24	BQ2_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 2、N2 係数バイト [31:24]
0x25	BQ2_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 2、N2 係数バイト [23:16]
0x26	BQ2_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 2、N2 係数バイト [15:8]
0x27	BQ2_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 2、N2 係数バイト [7:0]
0x28	BQ2_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 2、D1 係数バイト [31:24]

**表 8-79. ページ 0x02 のプログラム可能な係数レジスタ (続き)**

0x29	BQ2_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 2、D1 係数バイト [23:16]
0x2A	BQ2_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 2、D1 係数バイト [15:8]
0x2B	BQ2_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 2、D1 係数バイト [7:0]
0x2C	BQ2_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 2、D2 係数バイト [31:24]
0x2D	BQ2_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 2、D2 係数バイト [23:16]
0x2E	BQ2_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 2、D2 係数バイト [15:8]
0x2F	BQ2_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 2、D2 係数バイト [7:0]
0x30	BQ3_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 3、N0 係数バイト [31:24]
0x31	BQ3_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 3、N0 係数バイト [23:16]
0x32	BQ3_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 3、N0 係数バイト [15:8]
0x33	BQ3_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 3、N0 係数バイト [7:0]
0x34	BQ3_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 3、N1 係数バイト [31:24]
0x35	BQ3_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 3、N1 係数バイト [23:16]
0x36	BQ3_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 3、N1 係数バイト [15:8]
0x37	BQ3_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 3、N1 係数バイト [7:0]
0x38	BQ3_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 3、N2 係数バイト [31:24]
0x39	BQ3_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 3、N2 係数バイト [23:16]
0x3A	BQ3_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 3、N2 係数バイト [15:8]
0x3B	BQ3_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 3、N2 係数バイト [7:0]
0x3C	BQ3_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 3、D1 係数バイト [31:24]
0x3D	BQ3_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 3、D1 係数バイト [23:16]
0x3E	BQ3_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 3、D1 係数バイト [15:8]
0x3F	BQ3_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 3、D1 係数バイト [7:0]
0x40	BQ3_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 3、D2 係数バイト [31:24]
0x41	BQ3_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 3、D2 係数バイト [23:16]
0x42	BQ3_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 3、D2 係数バイト [15:8]
0x43	BQ3_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 3、D2 係数バイト [7:0]
0x44	BQ4_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 4、N0 係数バイト [31:24]
0x45	BQ4_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 4、N0 係数バイト [23:16]
0x46	BQ4_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 4、N0 係数バイト [15:8]
0x47	BQ4_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 4、N0 係数バイト [7:0]
0x48	BQ4_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 4、N1 係数バイト [31:24]
0x49	BQ4_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 4、N1 係数バイト [23:16]
0x4A	BQ4_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 4、N1 係数バイト [15:8]
0x4B	BQ4_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 4、N1 係数バイト [7:0]
0x4C	BQ4_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 4、N2 係数バイト [31:24]
0x4D	BQ4_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 4、N2 係数バイト [23:16]
0x4E	BQ4_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 4、N2 係数バイト [15:8]
0x4F	BQ4_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 4、N2 係数バイト [7:0]
0x50	BQ4_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 4、D1 係数バイト [31:24]
0x51	BQ4_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 4、D1 係数バイト [23:16]
0x52	BQ4_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 4、D1 係数バイト [15:8]
0x53	BQ4_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 4、D1 係数バイト [7:0]
0x54	BQ4_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 4、D2 係数バイト [31:24]
0x55	BQ4_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 4、D2 係数バイト [23:16]
0x56	BQ4_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 4、D2 係数バイト [15:8]
0x57	BQ4_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 4、D2 係数バイト [7:0]

表 8-79. ページ 0x02 のプログラム可能な係数レジスタ (続き)

0x58	BQ5_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 5、N0 係数バイト [31:24]
0x59	BQ5_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 5、N0 係数バイト [23:16]
0x5A	BQ5_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 5、N0 係数バイト [15:8]
0x5B	BQ5_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 5、N0 係数バイト [7:0]
0x5C	BQ5_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 5、N1 係数バイト [31:24]
0x5D	BQ5_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 5、N1 係数バイト [23:16]
0x5E	BQ5_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 5、N1 係数バイト [15:8]
0x5F	BQ5_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 5、N1 係数バイト [7:0]
0x60	BQ5_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 5、N2 係数バイト [31:24]
0x61	BQ5_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 5、N2 係数バイト [23:16]
0x62	BQ5_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 5、N2 係数バイト [15:8]
0x63	BQ5_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 5、N2 係数バイト [7:0]
0x64	BQ5_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 5、D1 係数バイト [31:24]
0x65	BQ5_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 5、D1 係数バイト [23:16]
0x66	BQ5_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 5、D1 係数バイト [15:8]
0x67	BQ5_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 5、D1 係数バイト [7:0]
0x68	BQ5_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 5、D2 係数バイト [31:24]
0x69	BQ5_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 5、D2 係数バイト [23:16]
0x6A	BQ5_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 5、D2 係数バイト [15:8]
0x6B	BQ5_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 5、D2 係数バイト [7:0]
0x6C	BQ6_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 6、N0 係数バイト [31:24]
0x6D	BQ6_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 6、N0 係数バイト [23:16]
0x6E	BQ6_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 6、N0 係数バイト [15:8]
0x6F	BQ6_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 6、N0 係数バイト [7:0]
0x70	BQ6_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 6、N1 係数バイト [31:24]
0x71	BQ6_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 6、N1 係数バイト [23:16]
0x72	BQ6_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 6、N1 係数バイト [15:8]
0x73	BQ6_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 6、N1 係数バイト [7:0]
0x74	BQ6_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 6、N2 係数バイト [31:24]
0x75	BQ6_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 6、N2 係数バイト [23:16]
0x76	BQ6_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 6、N2 係数バイト [15:8]
0x77	BQ6_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 6、N2 係数バイト [7:0]
0x78	BQ6_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 6、D1 係数バイト [31:24]
0x79	BQ6_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 6、D1 係数バイト [23:16]
0x7A	BQ6_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 6、D1 係数バイト [15:8]
0x7B	BQ6_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 6、D1 係数バイト [7:0]
0x7C	BQ6_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 6、D2 係数バイト [31:24]
0x7D	BQ6_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 6、D2 係数バイト [23:16]
0x7E	BQ6_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 6、D2 係数バイト [15:8]
0x7F	BQ6_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 6、D2 係数バイト [7:0]

### 8.2.2 プログラム可能な係数レジスタ：ページ=0x03

このレジスタページ（表 8-80 を参照）は、バイクワッド 7 ~ バイクワッド 12 フィルタのプログラム可能な係数で構成されています。ページ 2、ページ 3、ページ 4 の係数レジスタのトランザクション時間最適化のために、デバイスは I<sup>2</sup>C および SPI バースト書き込みおよび読み取り用の自動インクリメントページも（デフォルトで）サポートしています。レジスタアドレス 0x7F のトランザクションの後、デバイスは自動的に次のページのレジスタ 0x08 に移動し、次の係数値を処理します。これらのプログラム可能な係数は 32 ビットの 2 の補数です。係数レジスタのトランザクションを成功させるには、ホストデバイスはターゲット係数レジスタのトランザクションに対して、最上位バイト (BYT1) から始まる 4 バイトすべてを書き込み、読み取る必要があります。係数レジスタの読み取りトランザクションに SPI を使用する場合、デバイスは最初のバイトをダミーの読み取りバイトとして送信します。そのため、ホストは最初のダミーの読み取りバイトと、係数レジスタの値に対応する最後の 4 バイト（最上位バイト (BYT1) から始まる）の合計 5 バイトを読み取る必要があります。

**表 8-80. ページ 0x03 のプログラム可能な係数レジスタ**

ADDR	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイスページレジスタ
0x08	BQ7_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 7、N0 係数バイト [31:24]
0x09	BQ7_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 7、N0 係数バイト [23:16]
0x0A	BQ7_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 7、N0 係数バイト [15:8]
0x0B	BQ7_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 7、N0 係数バイト [7:0]
0x0C	BQ7_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 7、N1 係数バイト [31:24]
0x0D	BQ7_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 7、N1 係数バイト [23:16]
0x0E	BQ7_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 7、N1 係数バイト [15:8]
0x0F	BQ7_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 7、N1 係数バイト [7:0]
0x10	BQ7_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 7、N2 係数バイト [31:24]
0x11	BQ7_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 7、N2 係数バイト [23:16]
0x12	BQ7_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 7、N2 係数バイト [15:8]
0x13	BQ7_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 7、N2 係数バイト [7:0]
0x14	BQ7_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 7、D1 係数バイト [31:24]
0x15	BQ7_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 7、D1 係数バイト [23:16]
0x16	BQ7_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 7、D1 係数バイト [15:8]
0x17	BQ7_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 7、D1 係数バイト [7:0]
0x18	BQ7_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 7、D2 係数バイト [31:24]
0x19	BQ7_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 7、D2 係数バイト [23:16]
0x1A	BQ7_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 7、D2 係数バイト [15:8]
0x1B	BQ7_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 7、D2 係数バイト [7:0]
0x1C	BQ8_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 8、N0 係数バイト [31:24]
0x1D	BQ8_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 8、N0 係数バイト [23:16]
0x1E	BQ8_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 8、N0 係数バイト [15:8]
0x1F	BQ8_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 8、N0 係数バイト [7:0]
0x20	BQ8_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 8、N1 係数バイト [31:24]
0x21	BQ8_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 8、N1 係数バイト [23:16]
0x22	BQ8_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 8、N1 係数バイト [15:8]
0x23	BQ8_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 8、N1 係数バイト [7:0]
0x24	BQ8_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 8、N2 係数バイト [31:24]
0x25	BQ8_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 8、N2 係数バイト [23:16]
0x26	BQ8_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 8、N2 係数バイト [15:8]
0x27	BQ8_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 8、N2 係数バイト [7:0]
0x28	BQ8_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 8、D1 係数バイト [31:24]
0x29	BQ8_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 8、D1 係数バイト [23:16]
0x2A	BQ8_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 8、D1 係数バイト [15:8]

表 8-80. ページ 0x03 のプログラム可能な係数レジスタ (続き)

0x2B	BQ8_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 8、D1 係数バイト [7:0]
0x2C	BQ8_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 8、D2 係数バイト [31:24]
0x2D	BQ8_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 8、D2 係数バイト [23:16]
0x2E	BQ8_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 8、D2 係数バイト [15:8]
0x2F	BQ8_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 8、D2 係数バイト [7:0]
0x30	BQ9_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 9、N0 係数バイト [31:24]
0x31	BQ9_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 9、N0 係数バイト [23:16]
0x32	BQ9_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 9、N0 係数バイト [15:8]
0x33	BQ9_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 9、N0 係数バイト [7:0]
0x34	BQ9_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 9、N1 係数バイト [31:24]
0x35	BQ9_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 9、N1 係数バイト [23:16]
0x36	BQ9_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 9、N1 係数バイト [15:8]
0x37	BQ9_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 9、N1 係数バイト [7:0]
0x38	BQ9_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 9、N2 係数バイト [31:24]
0x39	BQ9_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 9、N2 係数バイト [23:16]
0x3A	BQ9_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 9、N2 係数バイト [15:8]
0x3B	BQ9_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 9、N2 係数バイト [7:0]
0x3C	BQ9_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 9、D1 係数バイト [31:24]
0x3D	BQ9_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 9、D1 係数バイト [23:16]
0x3E	BQ9_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 9、D1 係数バイト [15:8]
0x3F	BQ9_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 9、D1 係数バイト [7:0]
0x40	BQ9_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 9、D2 係数バイト [31:24]
0x41	BQ9_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 9、D2 係数バイト [23:16]
0x42	BQ9_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 9、D2 係数バイト [15:8]
0x43	BQ9_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 9、D2 係数バイト [7:0]
0x44	BQ10_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 10、N0 係数バイト [31:24]
0x45	BQ10_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 10、N0 係数バイト [23:16]
0x46	BQ10_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 10、N0 係数バイト [15:8]
0x47	BQ10_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 10、N0 係数バイト [7:0]
0x48	BQ10_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 10、N1 係数バイト [31:24]
0x49	BQ10_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 10、N1 係数バイト [23:16]
0x4A	BQ10_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 10、N1 係数バイト [15:8]
0x4B	BQ10_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 10、N1 係数バイト [7:0]
0x4C	BQ10_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 10、N2 係数バイト [31:24]
0x4D	BQ10_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 10、N2 係数バイト [23:16]
0x4E	BQ10_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 10、N2 係数バイト [15:8]
0x4F	BQ10_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 10、N2 係数バイト [7:0]
0x50	BQ10_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 10、D1 係数バイト [31:24]
0x51	BQ10_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 10、D1 係数バイト [23:16]
0x52	BQ10_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 10、D1 係数バイト [15:8]
0x53	BQ10_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 10、D1 係数バイト [7:0]
0x54	BQ10_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 10、D2 係数バイト [31:24]
0x55	BQ10_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 10、D2 係数バイト [23:16]
0x56	BQ10_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 10、D2 係数バイト [15:8]
0x57	BQ10_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 10、D2 係数バイト [7:0]
0x58	BQ11_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 11、N0 係数バイト [31:24]
0x59	BQ11_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 11、N0 係数バイト [23:16]

**表 8-80. ページ 0x03 のプログラム可能な係数レジスタ (続き)**

0x5A	BQ11_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 11、N0 係数バイト [15:8]
0x5B	BQ11_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 11、N0 係数バイト [7:0]
0x5C	BQ11_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 11、N1 係数バイト [31:24]
0x5D	BQ11_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 11、N1 係数バイト [23:16]
0x5E	BQ11_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 11、N1 係数バイト [15:8]
0x5F	BQ11_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 11、N1 係数バイト [7:0]
0x60	BQ11_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 11、N2 係数バイト [31:24]
0x61	BQ11_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 11、N2 係数バイト [23:16]
0x62	BQ11_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 11、N2 係数バイト [15:8]
0x63	BQ11_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 11、N2 係数バイト [7:0]
0x64	BQ11_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 11、D1 係数バイト [31:24]
0x65	BQ11_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 11、D1 係数バイト [23:16]
0x66	BQ11_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 11、D1 係数バイト [15:8]
0x67	BQ11_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 11、D1 係数バイト [7:0]
0x68	BQ11_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 11、D2 係数バイト [31:24]
0x69	BQ11_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 11、D2 係数バイト [23:16]
0x6A	BQ11_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 11、D2 係数バイト [15:8]
0x6B	BQ11_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 11、D2 係数バイト [7:0]
0x6C	BQ12_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 12、N0 係数バイト [31:24]
0x6D	BQ12_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 12、N0 係数バイト [23:16]
0x6E	BQ12_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 12、N0 係数バイト [15:8]
0x6F	BQ12_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 12、N0 係数バイト [7:0]
0x70	BQ12_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 12、N1 係数バイト [31:24]
0x71	BQ12_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 12、N1 係数バイト [23:16]
0x72	BQ12_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 12、N1 係数バイト [15:8]
0x73	BQ12_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 12、N1 係数バイト [7:0]
0x74	BQ12_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 12、N2 係数バイト [31:24]
0x75	BQ12_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 12、N2 係数バイト [23:16]
0x76	BQ12_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 12、N2 係数バイト [15:8]
0x77	BQ12_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 12、N2 係数バイト [7:0]
0x78	BQ12_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 12、D1 係数バイト [31:24]
0x79	BQ12_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 12、D1 係数バイト [23:16]
0x7A	BQ12_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 12、D1 係数バイト [15:8]
0x7B	BQ12_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 12、D1 係数バイト [7:0]
0x7C	BQ12_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 12、D2 係数バイト [31:24]
0x7D	BQ12_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 12、D2 係数バイト [23:16]
0x7E	BQ12_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 12、D2 係数バイト [15:8]
0x7F	BQ12_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 12、D2 係数バイト [7:0]

### 8.2.3 プログラム可能な係数レジスタ：ページ=0x04

このレジスタページ（表 8-81 を参照）は、ミキサ 1 ~ ミキサ 4 のプログラム可能な係数と 1 次 IIR フィルタで構成されています。すべてのミキサ係数は 32 ビットで、1.31 の数値形式を使用した 2 の補数です。0x7FFFFFFF の値は +1 (0dB ゲイン) に相当し、0x00000000 の値はミュート（ゼロデータ）に相当します。その間のすべての値には、式 4 を使用して計算したミキサ減衰を設定します。MSB を「1」に設定すると、減衰は同じままで、信号位相は反転します。すべての IIR フィルタのプログラム可能な係数は 32 ビットの 2 の補数です。係数レジスタのトランザクションを成功させるには、ホストデバイスはターゲット係数レジスタのトランザクションに対して、最上位バイト (BYT1) から始まる 4 バイトすべてを書き込み、読み取る必要があります。係数レジスタ読み取りトランザクションに SPI を使用する場合、デバイスは最初のバイトをダミー読み取りバイトとして発行します。そのため、ホストはダミー読み取りバイトとしての最初のバイトと、最上位バイト (BYT1) から始まる係数レジスタ値に対応する最後の 4 バイトを含む 5 バイトを読み取る必要があります。

*hex2dec (value) / 2<sup>31</sup>*

表 8-81. ページ 0x04 のプログラム可能な係数レジスタ

ADDR	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイスページレジスタ
0x08	MIX1_CH1_BYT1[7:0]	0x7F	デジタルミキサ 1、チャネル 1 係数バイト [31:24]
0x09	MIX1_CH1_BYT2[7:0]	0xFF	デジタルミキサ 1、チャネル 1 係数バイト [23:16]
0x0A	MIX1_CH1_BYT3[7:0]	0xFF	デジタルミキサ 1、チャネル 1 係数バイト [15:8]
0x0B	MIX1_CH1_BYT4[7:0]	0xFF	デジタルミキサ 1、チャネル 1 係数バイト [7:0]
0x0C	MIX1_CH2_BYT1[7:0]	0x00	デジタルミキサ 1、チャネル 2 係数バイト [31:24]
0x0D	MIX1_CH2_BYT2[7:0]	0x00	デジタルミキサ 1、チャネル 2 係数バイト [23:16]
0x0E	MIX1_CH2_BYT3[7:0]	0x00	デジタルミキサ 1、チャネル 2 係数バイト [15:8]
0x0F	MIX1_CH2_BYT4[7:0]	0x00	デジタルミキサ 1、チャネル 2 係数バイト [7:0]
0x10	MIX1_CH3_BYT1[7:0]	0x00	デジタルミキサ 1、チャネル 3 係数バイト [31:24]
0x11	MIX1_CH3_BYT2[7:0]	0x00	デジタルミキサ 1、チャネル 3 係数バイト [23:16]
0x12	MIX1_CH3_BYT3[7:0]	0x00	デジタルミキサ 1、チャネル 3 係数バイト [15:8]
0x13	MIX1_CH3_BYT4[7:0]	0x00	デジタルミキサ 1、チャネル 3 係数バイト [7:0]
0x14	MIX1_CH4_BYT1[7:0]	0x00	デジタルミキサ 1、チャネル 4 係数バイト [31:24]
0x15	MIX1_CH4_BYT2[7:0]	0x00	デジタルミキサ 1、チャネル 4 係数バイト [23:16]
0x16	MIX1_CH4_BYT3[7:0]	0x00	デジタルミキサ 1、チャネル 4 係数バイト [15:8]
0x17	MIX1_CH4_BYT4[7:0]	0x00	デジタルミキサ 1、チャネル 4 係数バイト [7:0]
0x18	MIX2_CH1_BYT1[7:0]	0x00	デジタルミキサ 2、チャネル 1 係数バイト [31:24]
0x19	MIX2_CH1_BYT2[7:0]	0x00	デジタルミキサ 2、チャネル 1 係数バイト [23:16]
0x1A	MIX2_CH1_BYT3[7:0]	0x00	デジタルミキサ 2、チャネル 1 係数バイト [15:8]
0x1B	MIX2_CH1_BYT4[7:0]	0x00	デジタルミキサ 2、チャネル 1 係数バイト [7:0]
0x1C	MIX2_CH2_BYT1[7:0]	0x7F	デジタルミキサ 2、チャネル 2 係数バイト [31:24]
0x1D	MIX2_CH2_BYT2[7:0]	0xFF	デジタルミキサ 2、チャネル 2 係数バイト [23:16]
0x1E	MIX2_CH2_BYT3[7:0]	0xFF	デジタルミキサ 2、チャネル 2 係数バイト [15:8]
0x1F	MIX2_CH2_BYT4[7:0]	0xFF	デジタルミキサ 2、チャネル 2 係数バイト [7:0]
0x20	MIX2_CH3_BYT1[7:0]	0x00	デジタルミキサ 2、チャネル 3 係数バイト [31:24]
0x21	MIX2_CH3_BYT2[7:0]	0x00	デジタルミキサ 2、チャネル 3 係数バイト [23:16]
0x22	MIX2_CH3_BYT3[7:0]	0x00	デジタルミキサ 2、チャネル 3 係数バイト [15:8]
0x23	MIX2_CH3_BYT4[7:0]	0x00	デジタルミキサ 2、チャネル 3 係数バイト [7:0]
0x24	MIX2_CH4_BYT1[7:0]	0x00	デジタルミキサ 2、チャネル 4 係数バイト [31:24]
0x25	MIX2_CH4_BYT2[7:0]	0x00	デジタルミキサ 2、チャネル 4 係数バイト [23:16]
0x26	MIX2_CH4_BYT3[7:0]	0x00	デジタルミキサ 2、チャネル 4 係数バイト [15:8]
0x27	MIX2_CH4_BYT4[7:0]	0x00	デジタルミキサ 2、チャネル 4 係数バイト [7:0]
0x28	MIX3_CH1_BYT1[7:0]	0x00	デジタルミキサ 3、チャネル 1 係数バイト [31:24]

**表 8-81. ページ 0x04 のプログラム可能な係数レジスタ (続き)**

0x29	MIX3_CH1_BYT2[7:0]	0x00	デジタルミキサ 3、チャネル 1 係数バイト [23:16]
0x2A	MIX3_CH1_BYT3[7:0]	0x00	デジタルミキサ 3、チャネル 1 係数バイト [15:8]
0x2B	MIX3_CH1_BYT4[7:0]	0x00	デジタルミキサ 3、チャネル 1 係数バイト [7:0]
0x2C	MIX3_CH2_BYT1[7:0]	0x00	デジタルミキサ 3、チャネル 2 係数バイト [31:24]
0x2D	MIX3_CH2_BYT2[7:0]	0x00	デジタルミキサ 3、チャネル 2 係数バイト [23:16]
0x2E	MIX3_CH2_BYT3[7:0]	0x00	デジタルミキサ 3、チャネル 2 係数バイト [15:8]
0x2F	MIX3_CH2_BYT4[7:0]	0x00	デジタルミキサ 3、チャネル 2 係数バイト [7:0]
0x30	MIX3_CH3_BYT1[7:0]	0x7F	デジタルミキサ 3、チャネル 3 係数バイト [31:24]
0x31	MIX3_CH3_BYT2[7:0]	0xFF	デジタルミキサ 3、チャネル 3 係数バイト [23:16]
0x32	MIX3_CH3_BYT3[7:0]	0xFF	デジタルミキサ 3、チャネル 3 係数バイト [15:8]
0x33	MIX3_CH3_BYT4[7:0]	0xFF	デジタルミキサ 3、チャネル 3 係数バイト [7:0]
0x34	MIX3_CH4_BYT1[7:0]	0x00	デジタルミキサ 3、チャネル 4 係数バイト [31:24]
0x35	MIX3_CH4_BYT2[7:0]	0x00	デジタルミキサ 3、チャネル 4 係数バイト [23:16]
0x36	MIX3_CH4_BYT3[7:0]	0x00	デジタルミキサ 3、チャネル 4 係数バイト [15:8]
0x37	MIX3_CH4_BYT4[7:0]	0x00	デジタルミキサ 3、チャネル 4 係数バイト [7:0]
0x38	MIX4_CH1_BYT1[7:0]	0x00	デジタルミキサ 4、チャネル 1 係数バイト [31:24]
0x39	MIX4_CH1_BYT2[7:0]	0x00	デジタルミキサ 4、チャネル 1 係数バイト [23:16]
0x3A	MIX4_CH1_BYT3[7:0]	0x00	デジタルミキサ 4、チャネル 1 係数バイト [15:8]
0x3B	MIX4_CH1_BYT4[7:0]	0x00	デジタルミキサ 4、チャネル 1 係数バイト [7:0]
0x3C	MIX4_CH2_BYT1[7:0]	0x00	デジタルミキサ 4、チャネル 2 係数バイト [31:24]
0x3D	MIX4_CH2_BYT2[7:0]	0x00	デジタルミキサ 4、チャネル 2 係数バイト [23:16]
0x3E	MIX4_CH2_BYT3[7:0]	0x00	デジタルミキサ 4、チャネル 2 係数バイト [15:8]
0x3F	MIX4_CH2_BYT4[7:0]	0x00	デジタルミキサ 4、チャネル 2 係数バイト [7:0]
0x40	MIX4_CH3_BYT1[7:0]	0x00	デジタルミキサ 4、チャネル 3 係数バイト [31:24]
0x41	MIX4_CH3_BYT2[7:0]	0x00	デジタルミキサ 4、チャネル 3 係数バイト [23:16]
0x42	MIX4_CH3_BYT3[7:0]	0x00	デジタルミキサ 4、チャネル 3 係数バイト [15:8]
0x43	MIX4_CH3_BYT4[7:0]	0x00	デジタルミキサ 4、チャネル 3 係数バイト [7:0]
0x44	MIX4_CH4_BYT1[7:0]	0x7F	デジタルミキサ 4、チャネル 4 係数バイト [31:24]
0x45	MIX4_CH4_BYT2[7:0]	0xFF	デジタルミキサ 4、チャネル 4 係数バイト [23:16]
0x46	MIX4_CH4_BYT3[7:0]	0xFF	デジタルミキサ 4、チャネル 4 係数バイト [15:8]
0x47	MIX4_CH4_BYT4[7:0]	0xFF	デジタルミキサ 4、チャネル 4 係数バイト [7:0]
0x48	IIR_N0_BYT1[7:0]	0x7F	プログラム可能な 1 次 IIR、N0 係数バイト [31:24]
0x49	IIR_N0_BYT2[7:0]	0xFF	プログラム可能な 1 次 IIR、N0 係数バイト [23:16]
0x4A	IIR_N0_BYT3[7:0]	0xFF	プログラム可能な 1 次 IIR、N0 係数バイト [15:8]
0x4B	IIR_N0_BYT4[7:0]	0xFF	プログラム可能な 1 次 IIR、N0 係数バイト [7:0]
0x4C	IIR_N1_BYT1[7:0]	0x00	プログラム可能な 1 次 IIR、N1 係数バイト [31:24]
0x4D	IIR_N1_BYT2[7:0]	0x00	プログラム可能な 1 次 IIR、N1 係数バイト [23:16]
0x4E	IIR_N1_BYT3[7:0]	0x00	プログラム可能な 1 次 IIR、N1 係数バイト [15:8]
0x4F	IIR_N1_BYT4[7:0]	0x00	プログラム可能な 1 次 IIR、N1 係数バイト [7:0]
0x50	IIR_D1_BYT1[7:0]	0x00	プログラム可能な 1 次 IIR、D1 係数バイト [31:24]
0x51	IIR_D1_BYT2[7:0]	0x00	プログラム可能な 1 次 IIR、D1 係数バイト [23:16]
0x52	IIR_D1_BYT3[7:0]	0x00	プログラム可能な 1 次 IIR、D1 係数バイト [15:8]
0x53	IIR_D1_BYT4[7:0]	0x00	プログラム可能な 1 次 IIR、D1 係数バイト [7:0]

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

PCM3140-Q1 は、最大 768 kHz の出力サンプルレートをサポートするマルチチャネルの高性能オーディオ A/D コンバータ (ADC) です。このデバイスは、同時録音アプリケーション用に最大 4 つのアナログマイクまたは最大 8 つのデジタルパルス密度変調 (PDM) マイクをサポートしています。

制御レジスタを構成するための PCM3140-Q1 との通信は、I<sup>2</sup>C または SPI インターフェイスを使用してサポートされています。このデバイスは、柔軟性の高いオーディオシリアルインターフェイス (TDM, I<sup>2</sup>S, LJ) をサポートしており、システム内でデバイス間でオーディオデータをシームレスに送信できます。

### 9.2 代表的なアプリケーション

#### 9.2.1.4 チャネルのアナログマイクロフォン録音

図 9-1 に、I<sup>2</sup>C 制御インターフェイスと時分割多重 (TDM) オーディオデータターゲットインターフェイスを使用して同時録音操作を行う 4 つのアナログ MEMS (微小電気機械システム) マイクを使用するアプリケーション用の PCM3140-Q1 の標準的な構成を示します。最高の歪み性能を得るには、電圧係数の低い入力 AC カップリングコンデンサを使用してください。

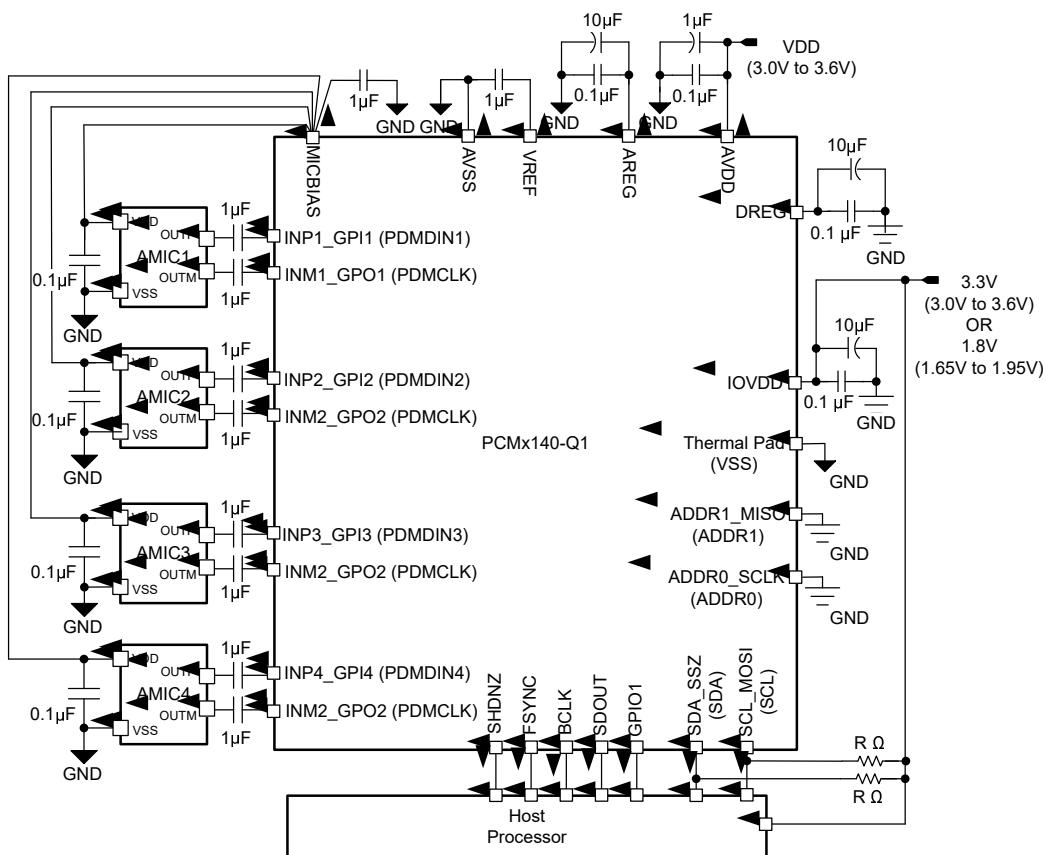


図 9-1.4 チャネルのアナログマイク録音図

### 9.2.1.1 設計要件

このアプリケーションの設計パラメータを、表 9-1 に示します。

**表 9-1. 設計パラメータ**

主要なパラメータ	仕様
AVDD	3.3V
AVDD 供給電流消費	> 23mA (PLL オン、4 チャネル録音、 $f_S = 48\text{kHz}$ )
IOVDD	1.8V または 3.3V
最大 MICBIAS 電流	10mA (MICBIAS 電圧は AVDD と同じ)

### 9.2.1.2 詳細な設計手順

このセクションでは、この特定のアプリケーション用に PCM3140-Q1 を設定するために必要な手順について説明します。以下の手順では、デバイスに電源を投入してから、デバイスからデータを読み取るか、または 1 つのモードから別の動作モードに移行するまでの間に実行する必要がある一連の項目を示します。

1. ボードに電源を供給します。
  - a. IOVDD と AVDD 電源を電源オンにし、SHDNZ ピンの電圧を Low に維持します
  - b. この時点で、デバイスがハードウェア シャットダウン モード (超ローパワー モード < 1 $\mu\text{A}$ ) に移行します
2. ハードウェア シャットダウン モードからスリープ モード (またはソフトウェア シャットダウン モード) に遷移します。
  - a. IOVDD と AVDD 電源が定常状態の動作電圧に安定している場合のみ、SHDNZ を解放します
  - b. デバイスが内部レジスタを初期化できるよう、少なくとも 1 ミリ秒待ちます
  - c. デバイスがスリープ モードに移行します (低消費電力モード < 10 $\mu\text{A}$ )
3. 録音動作に必要な場合に次のようにスリープ モードからアクティブ モードに遷移します。
  - a. P0\_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
  - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 1 ミリ秒待ちます
  - c. 必要に応じて、デフォルトの構成レジスタまたはプログラム可能な係数値を上書きします (このステップはオプションです)
  - d. P0\_R115 に書き込んで、必要なすべての入力チャネルを有効にします
  - e. P0\_R116 に書き込むことで、必要なオーディオ シリアル インターフェースの出力チャネルをすべて有効にします
  - f. P0\_R117 に書き込んで ADC、MICBIAS、および PLL を起動します
  - g. 希望する出力サンプル レートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。

この特定のステップは、ステップ a 以降のシーケンスの任意の時点で実行できます。

サポートされているサンプル レートと BCLK 対 FSYNC 比については、[セクション 7.3.2](#) セクションを参照してください。
4. デバイスの記録データは、TDM オーディオ シリアル データバス経由でホスト プロセッサへ送信されます。
5. 低消費電力動作のためにシステムの必要に応じて、アクティブ モードからスリープ モードに(再度)遷移します。
  - a. P0\_R2 に書き込んでスリープ モードに移行し、スリープ モードをイネーブルにします
  - b. ボリュームが下降し、すべてのブロックがパワーダウンするまで、少なくとも 6ms (FSYNC = 48kHz のとき) 待ちます
  - c. P0\_R119 を読み出して、デバイスのシャットダウンおよびスリープ モードのステータスを確認します
  - d. デバイス P0\_R119\_D7 のステータスビットが 1'b1 の場合、システム内の FSYNC と BCLK を停止します
  - e. この時点で、デバイスはスリープ モード(低消費電力モード < 10 $\mu\text{A}$ )に移行し、すべてのレジスタ値が保持されます
6. 記録動作に必要な場合に、スリープ モードからアクティブ モードに(再度)遷移します。
  - a. P0\_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
  - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 1 ミリ秒待ちます

- c. 希望する出力サンプルレートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。
  - d. デバイスの記録データは、TDM オーディオシリアルデータバス経由でホストプロセッサへ送信されます
6. モードを遷移する必要がある場合は、手順 4 ~ 5 を繰り返します
  7. SHDNZ ピンを Low にアサートして、ハードウェアシャットダウンモードに移行します (再度)
  8. ハードウェアシャットダウンモードを終了するには、手順 2 以降に従います (再度)

#### 9.2.1.2.1 EVM セットアップ用のデバイスレジスタ構成スクリプトの例

このセクションでは、差動入力を備えた 4 チャネルアナログマイク録音モードで PCM3140-Q1 を設定する方法を示す標準的な評価基板 I<sup>2</sup>C レジスタ制御スクリプトを紹介します。

```

# Key: w 98 XX YY ==> write to I2C address 0x98, to register 0xxx, data 0xYY
#           # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. Note that there are
# other valid sequences depending on which features are used.
#
# See the PCM3140-Q1EVM user guide for jumper settings and audio connections.
#
# Differential 4-channel : INP1/INM1 - Ch1, INP2/INM2 - Ch2, INP3/INM3 - Ch3 and INP4/INM4 - Ch4
# FSYNC = 44.1 kHz (Output Data Sample Rate), BCLK = 11.2896 MHz (BCLK/FSYNC = 256)
#####
#
# Power up IOVDD and AVDD power supplies keeping SHDNZ pin voltage LOW
# Wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Release SHDNZ to HIGH.
# Wait for 1ms.
#
# Wake-up device by I2C write into P0_R2 using internal AREG
w 98 02 81
#
# Configure CH1_INSRC as analog Input by I2C write into P0_R60
w 98 3C 00
#
# Configure CH2_INSRC as analog Input by I2C write into P0_R65
w 98 41 00
#
# Configure CH3_INSRC as analog Input by I2C write into P0_R70
w 98 46 00
#
# Configure CH4_INSRC as analog Input by I2C write into P0_R75
w 98 4B 00
#
# Enable Input Ch-1 to Ch-4 by I2C write into P0_R115
w 98 73 F0
#
# Enable ASI Output Ch-1 to Ch-4 slots by I2C write into P0_R116
w 98 74 F0
#
# Power-up ADC, MICBIAS and PLL by I2C write into P0_R117
w 98 75 E0
#
# Apply FSYNC = 44.1 kHz and BCLK = 11.2896 MHz and
# Start recording data by host on ASI bus with TDM protocol 32-bits channel wordlength

```

### 9.2.1.3 アプリケーション曲線

測定は、オーディオ精度を使用してデバイスのアナログ入力信号を供給する方法で、この評価基板を使用して実行します。

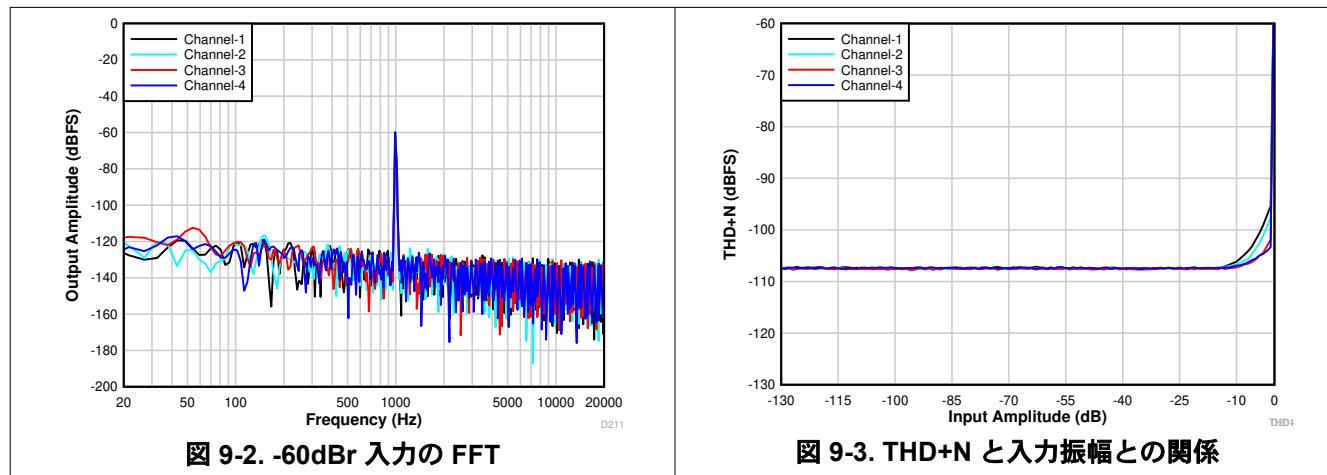


図 9-2. -60dB<sub>r</sub> 入力の FFT

図 9-3. THD+N と入力振幅との関係

### 9.2.2.8 チャネルのデジタル PDM マイクロフォン録音

図 9-1 に、I<sup>2</sup>C 制御インターフェイスと TDM オーディオ データ ターゲットインターフェイスを使用して同時録音操作を実行する 8 つのデジタル PDM MEMS マイクを使用するアプリケーションにおける PCM3140-Q1 の一般的な構成を示します。

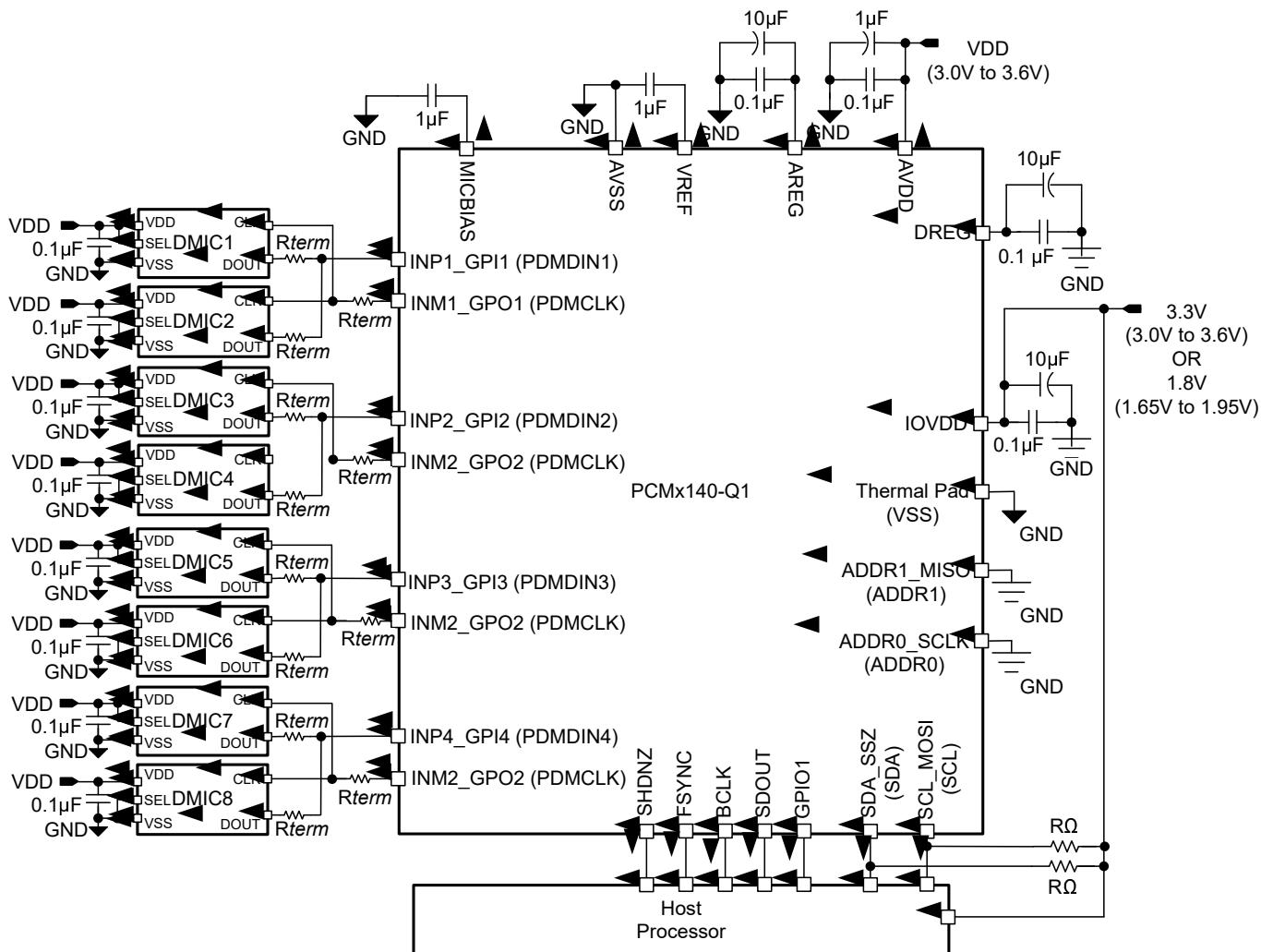


図 9-4. 8 チャネルのデジタル PDM マイク録音図

#### 9.2.2.1 設計要件

表 9-2 に、このアプリケーションの設計パラメータを示します。

表 9-2. 設計パラメータ

主要なパラメータ	仕様
AVDD	3.3V
AVDD 供給電流消費	11.7mA (PLL オン、8 チャネル録音、f <sub>S</sub> = 48 kHz)
IOVDD	1.8V または 3.3V

### 9.2.2.2 詳細な設計手順

このセクションでは、この特定のアプリケーション用に PCM3140-Q1 を設定するために必要な手順について説明します。以下の手順では、デバイスに電源を投入してから、デバイスからデータを読み取るか、または 1 つのモードから別の動作モードに移行するまでの間に実行する必要がある一連の項目を示します。

1. ボードに電源を供給します。
  - a. IOVDD と AVDD 電源をオンにし、SHDNZ ピンの電圧を Low に維持します
  - b. この時点で、デバイスがハードウェア シャットダウン モード (超ローパワー モード < 1 $\mu$ A) に移行します
2. ハードウェア シャットダウン モードからスリープ モード (またはソフトウェア シャットダウン モード) に遷移します。
  - a. IOVDD と AVDD 電源が定常状態の動作電圧に安定している場合のみ、SHDNZ を解放します
  - b. デバイスが内部レジスタを初期化できるよう、少なくとも 1 ミリ秒待ちます
  - c. デバイスがスリープ モードに移行します (低消費電力モード < 10 $\mu$ A)
3. 録音動作に必要な場合に次のようにスリープ モードからアクティブ モードに遷移します。
  - a. P0\_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
  - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 1 ミリ秒待ちます
  - c. 必要に応じて、デフォルトの構成レジスタまたはプログラム可能な係数値を上書きします (このステップはオプションです)
  - d. デジタル マイク用のチャネル 1 からチャネル 4 (CHx\_INSRC) を録音の入力ソースとして構成します
  - e. GPO1 ~ GPO4 (GPOx\_CFG) を PDMCLK 出力として構成します
  - f. GPI1 から GPI4 ~ (GPI1x\_CFG) をそれぞれ PDMDIN1 から PDMDIN4 に構成します
  - g. P0\_R115 に書き込んで、必要なすべての入力チャネルを有効にします
  - h. P0\_R116 に書き込むことで、必要なオーディオ シリアル インターフェースの出力チャンネルをすべて有効にします
  - i. P0\_R117 に書き込んで ADC と PLL を起動します
  - j. 希望する出力サンプル レートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。

この特定のステップは、ステップ a 以降のシーケンスの任意の時点で実行できます。

サポートされているサンプル レートと BCLK 対 FSYNC 比については、[セクション 7.3.2](#) セクションを参照してください。

k. デバイスの記録データは、TDM オーディオ シリアル データバスを使用してホスト プロセッサに送信されます
4. 低消費電力動作のためにシステムの必要に応じて、アクティブ モードからスリープ モードに (再度) 遷移します。
  - a. P0\_R2 に書き込んでスリープ モードに移行し、スリープ モードをイネーブルにします
  - b. ボリュームが下降し、すべてのブロックがパワーダウンするまで、少なくとも 6ms (FSYNC = 48kHz のとき) 待ちます
  - c. P0\_R119 を読み出して、デバイスのシャットダウンおよびスリープ モードのステータスを確認します
  - d. デバイス P0\_R119\_D7 のステータス ビットが 1'b1 の場合、システム内の FSYNC と BCLK を停止します
  - e. この時点で、デバイスはスリープ モード (低消費電力モード < 10 $\mu$ A) に移行し、すべてのレジスタ値が保持されます
5. 記録動作に必要な場合に、スリープ モードからアクティブ モードに (再度) 遷移します。
  - a. P0\_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
  - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 1 ミリ秒待ちます
  - c. 希望する出力サンプル レートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。
  - d. デバイスの記録データは、TDM オーディオ シリアル データバスを使用してホスト プロセッサに送信されます
6. モードを遷移する必要がある場合は、手順 4 ~ 5 を繰り返します
7. SHDNZ ピンを Low にアサートして、ハードウェア シャットダウン モードに移行します (再度)
8. ハードウェア シャットダウン モードを終了するには、手順 2 以降に従います (再度)

### 9.2.2.2.1 EVM セットアップ用のデバイス レジスタ構成スクリプトの例

このセクションでは、8 チャネル デジタル PDM マイク録音モードで PCM3140-Q1 を設定する方法を示す標準的な評価基板 I<sup>2</sup>C レジスタ制御スクリプトを紹介します。

```

# Key: w 98 XX YY ==> write to I2C address 0x98, to register 0xxx, data 0xYY
#           # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. Note that there are
# other valid sequences depending on which features are used.
#
# See the PCM3140-Q1EVM user guide for jumper settings and audio connections.
#
# PDM 8-channel : PDMDIN1 - Ch1 and Ch2, PDMDIN2 - Ch3 and Ch4,
#                 PDMDIN3 - Ch5 and Ch6, PDMDIN4 - Ch7 and Ch8
# FSYNC = 44.1 kHz (Output Data Sample Rate), BCLK = 11.2896 MHz (BCLK/FSYNC = 256)
#####
#
# Power up IOVDD and AVDD power supplies keeping SHDNZ pin voltage LOW
# Wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Release SHDNZ to HIGH.
# Wait for 1ms.
#
# Wake-up device by I2C write into P0_R2 using internal AREG
w 98 02 81
#
# Configure CH1_INSRC as Digital PDM Input by I2C write into P0_R60
w 98 3C 40
#
# Configure CH2_INSRC as Digital PDM Input by I2C write into P0_R65
w 98 41 40
#
# Configure CH3_INSRC as Digital PDM Input by I2C write into P0_R70
w 98 46 40
#
# Configure CH4_INSRC as Digital PDM Input by I2C write into P0_R75
w 98 4B 40
#
# Configure GPO1 as PDMCLK by I2C write into P0_R34
w 98 22 41
#
# Configure GPO2 as PDMCLK by I2C write into P0_R35
w 98 23 41
#
# Configure GPO3 as PDMCLK by I2C write into P0_R36
w 98 24 41
#
# Configure GPO4 as PDMCLK by I2C write into P0_R37
w 98 25 41
#
# Configure GPIO1 and GPIO2 as PDMDIN1 and PDMDIN2 by I2C write into P0_R43
w 98 2B 45
#
# Configure GPIO3 and GPIO4 as PDMDIN3 and PDMDIN4 by I2C write into P0_R44
w 98 2C 67
#
# Enable Input Ch-1 to Ch-8 by I2C write into P0_R115
w 98 73 FF
#
# Enable ASI Output Ch-1 to Ch-8 slots by I2C write into P0_R116
w 98 74 FF
#
# Power-up ADC and PLL by I2C write into P0_R117
w 98 75 60
#
# Apply FSYNC = 44.1 kHz and BCLK = 11.2896 MHz and
# Start recording data by host on ASI bus with TDM protocol 32-bits channel wordlength

```

## 9.3 推奨事項および禁止事項

### 9.3.1

$I^2S$  または  $LJ$  形式のコントローラ モード動作では、デバイスは通常のプロトコル タイミング動作よりも半サイクル早く  $FSYNC$  を生成します。このタイミング動作はほとんどのシステムで引き続き機能しますが、詳細およびこの弱点に関する推奨される回避方法については、『オーディオバス マスターとしての *TLV320ADCx140* の構成と動作』アプリケーション レポートを参照してください。

44.1kHz 未満のサンプリング レートを使用する場合、自動ゲイン コントローラ (AGC) 機能にはいくつかの制限があります。この制限の詳細については、『*TLV320ADCx140* での自動ゲイン コントローラ (AGC) の使用』アプリケーション レポートを参照してください。

## 9.4 電源に関する推奨事項

$IOVDD$  と  $AVDD$  レール間の電源供給シーケンスは、任意の順序で適用できます。しかし、 $IOVDD$  電源電圧がサポートされている動作電圧範囲に安定するまで、 $SHDNZ$  ピンは **Low** に維持します。すべての電源が安定した後、 $SHDNZ$  ピンを **High** に設定してデバイスを初期化します。

電源のパワーアップ要件では、 $t_1$  および  $t_2$  が  $100\mu s$  以上必要です。電源のパワーダウン要件では、 $t_3$  および  $t_4$  が  $10ms$  以上必要です。このタイミング (図 9-5 を参照) により、デバイスは記録再生データのボリュームを下げて、アナログ ブロックとデジタル ブロックをパワーダウンして、デバイスをシャットダウン モードに移行できます。また、 $P0\_R5\_D[3:2]$  ビットを使用して  $SHDNZ\_CFG[1:0]$  を  $2'b00$  に設定すると、デバイスをアクティブ モードから直ちにハードウェア シャットダウン モードに移行させることもできます。この場合、 $t_3$  および  $t_4$  が  $100\mu s$  以上必要です。

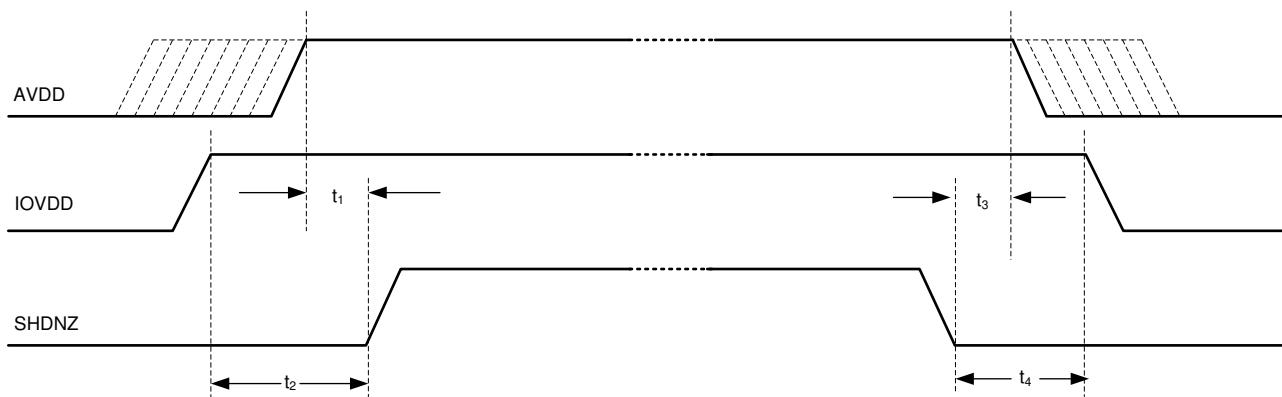


図 9-5. 電源シーケンス要件のタイミング図

電源ランプ レートが  $1V/\mu s$  より遅いこと、およびパワーダウンとパワーアップ イベント間の待機時間が少なくとも  $100ms$  であることを確認してください。供給ランプ レートが  $0.1V/ms$  より遅い場合、ホスト デバイスは、デバイス構成を行う前に、最初のトランザクションとしてソフトウェア リセットを適用する必要があります。

$SHDNZ$  を解放した後、またはソフトウェア リセット後に、デバイスが内部レジスタを初期化できるように、デバイスへの追加  $I^2C$  または SPI トランザクションを  $2ms$  以上遅延させます。デバイスの電源が推奨動作電圧レベルに安定した後で、各種モードでデバイスが動作する方法の詳細については、セクション 7.4 セクションを参照してください。

PCM3140-Q1 は、オンチップのデジタル レギュレータ DREG とアナログ レギュレータ AREG を統合することで、単一  $AVDD$  電源供給動作をサポートします。しかし、システムで  $AVDD$  電圧が  $1.98V$  未満の場合、 $AREG$  ピンと  $AVDD$  ピンをオンボードで短絡し、 $AREG\_SELECT$  ビットを  $P0\_R2$  の  $1b'0$  (デフォルト値) に維持して内部  $AREG$  を有効にしません。システムで使用される  $AVDD$  電源が  $2.7V$  よりも高い場合、ホスト デバイスはスリープ モードを終了しながら  $AREG\_SELECT$  を  $1'b1$  に設定して、デバイスの内部レギュレータが  $AREG$  電源を生成できるようにします。

## 9.5 レイアウト

### 9.5.1 レイアウトのガイドライン

それぞれのシステム設計とプリント回路基板 (PCB) レイアウトは独自です。レイアウトは、特定の PCB 設計のコンテキストで慎重に確認する必要があります。ただし、デバイスの性能を最適化するには、以下のガイドラインを使用します。

- サーマル パッドをグランドに接続します。デバイスの真下にあるデバイスの熱パッドをグランド プレーンに接続するために、ビア パターンを使用します。この接続は、デバイスからの熱を放散するのに役立ちます。
- 電源用のデカップリング コンデンサは、デバイスのピンに近づけて配置する必要があります。
- 電源デカップリング コンデンサには、低 ESR のセラミック タイプを使用する必要があります。

最高の性能を得るには、入力カッピング コンデンサはフィルム タイプである必要があります。入力カッピング コンデンサの種類が THD+N の性能に与える影響の詳細については、『[オーディオ アプリケーションで歪みを最小限に抑えるためのコンデンサの選択](#)』を参照してください。

- ノイズ耐性向上させるため、アナログ差動オーディオ信号は PCB 上で差動形式で配線します。望ましくないクロストークを防止するため、デジタル信号とアナログ信号の交差は避けてください。
- デバイスの内部電圧リファレンスは、外付けのコンデンサを使用してフィルタ処理する必要があります。最適な性能を得るため、フィルタ コンデンサは VREF ピンの近くに配置します。
- 複数のマイクのバイアス線や供給線を配線する際に、マイク間でのカッピングを避けるために、MICBIAS ピンに直接接続して共通インピーダンスを避けます。
- VREF および MICBIAS の外部コンデンサのグランド端子を AVSS ピンに直接短絡します。この接続トレースにはビアを使用しないでください。
- MICBIAS コンデンサ(低い等価直列抵抗を持つもの)を、デバイスにできるだけ近く、トレース インピーダンスが最小となるように配置します。
- デバイスとデカップリング キャパシタの間で電力および信号電流の最小インピーダンスを提供するために、グランド プレーンを使用します。デバイスの真下の領域を、デバイスのための中央グラウンド エリアとして扱い、すべてのデバイスのグラウンドをそのエリアに直接接続します。

### 9.5.2 レイアウト例

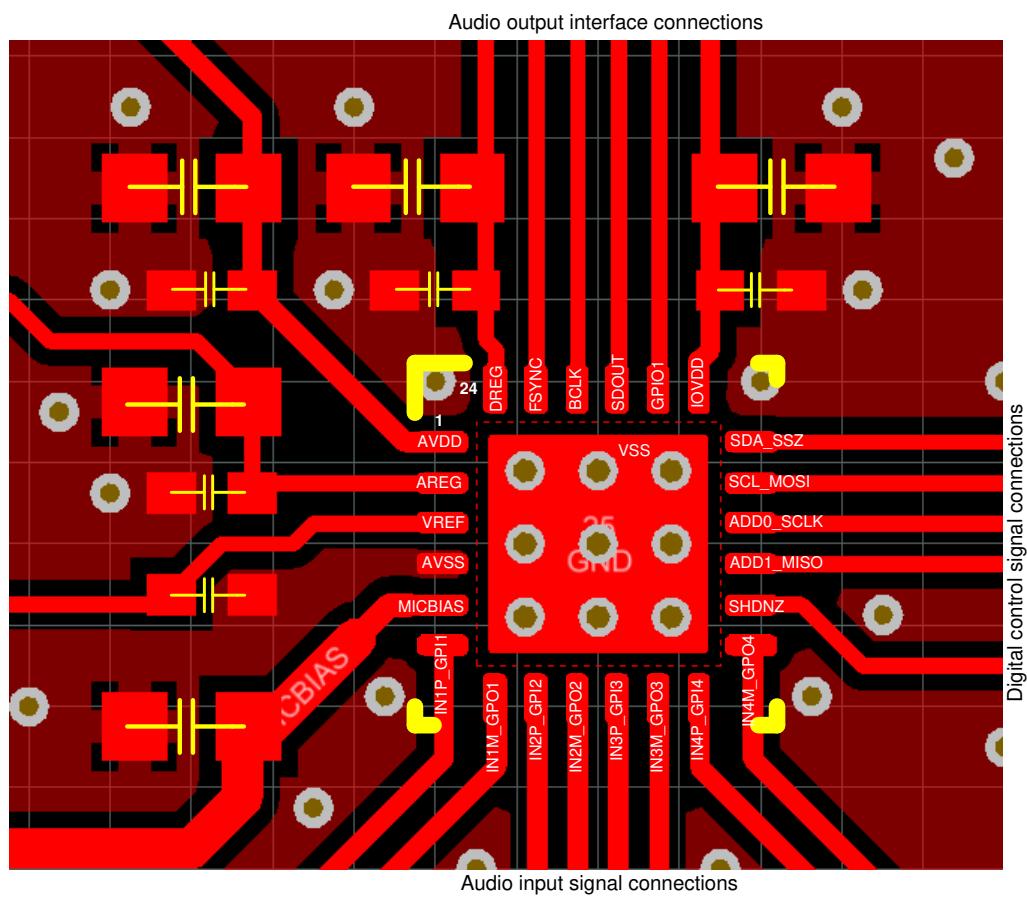


図 9-6. レイアウト例

## 10 デバイスおよびドキュメントのサポート

### 10.1 ドキュメントのサポート

#### 10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『複数の *TLV320ADCx140* デバイスでの TDM と I<sup>2</sup>C バスの共有』アプリケーション レポート
- テキサス・インスツルメンツ、『オーディオバス マスターとしての *TLV320ADCx140* の構成と動作』アプリケーション レポート
- テキサス・インスツルメンツ、*TLV320ADCx140* サンプリング レートとサポートされるプログラマブル処理 ブロック アプリケーション レポート
- テキサス・インスツルメンツ、『*TLV320ADCx140* のプログラム可能なバイクワッド フィルタの構成およびアプリケーション』アプリケーション レポート
- テキサス・インスツルメンツ、*TLV320ADCx140* さまざまな使用シナリオにおける消費電力マトリックス アプリケーション レポート
- テキサス・インスツルメンツ、*TLV320ADCx140* 統合アナログ アンチエイリアシング フィルタおよび柔軟なデジタル フィルタ アプリケーション レポート
- テキサス・インスツルメンツ、『*TLV320ADCx140* での自動ゲイン コントローラ (AGC) の使用』アプリケーション レポート
- テキサス・インスツルメンツ、『*TLV320ADCx140* 評価基板』ユーザー ガイド
- テキサス・インスツルメンツ、『オーディオシステム設計/開発向け PurePath™ Console グラフィカル開発スイート』

### 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品 フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

### 10.4 商標

Burr-Brown™, PurePath™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments. すべての商標は、それぞれの所有者に帰属します。

### 10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.6 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

---

<b>Changes from Revision A (February 2024) to Revision B (July 2025)</b>	<b>Page</b>
• ドキュメントのステータスを「事前情報」から「量産データ」に変更.....	1
• Q100 仕様を更新。.....	1
• 「アプリケーション」の箇条書き項目を更新。.....	1
• 明確化およびアプリケーションの修正のために AEC-Q100 を更新。.....	7

---

<b>Changes from Revision * (December 2023) to Revision A (February 2024)</b>	<b>Page</b>
• ドキュメントのステータスを「事前情報」から「量産データ」に変更.....	1

---

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PCM3140QRGERQ1	Active	Production	VQFN (RGE)   24	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PCM3140 Q1
PCM3140QRGERQ1.A	Active	Production	VQFN (RGE)   24	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PCM3140 Q1

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

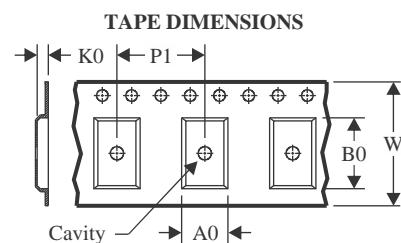
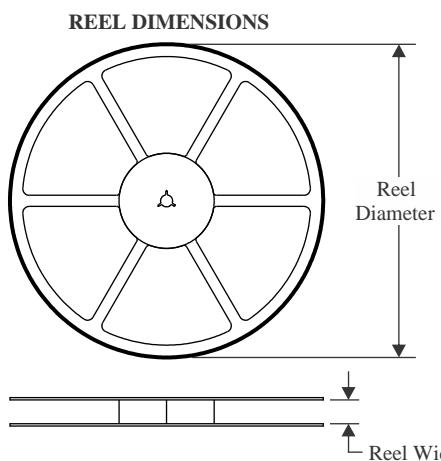
<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

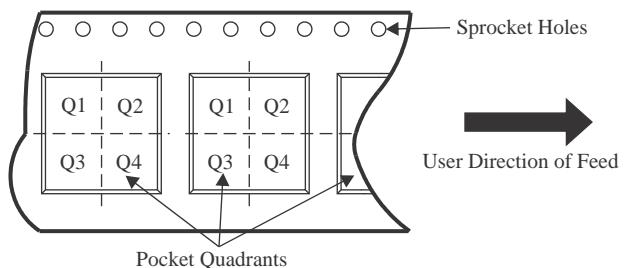
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

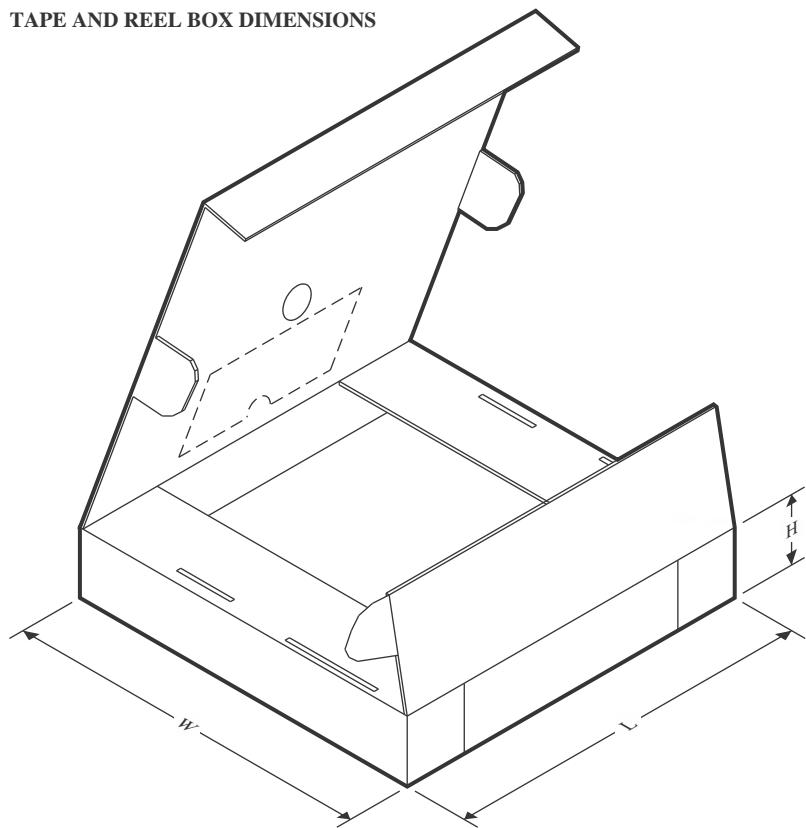
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PCM3140QRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

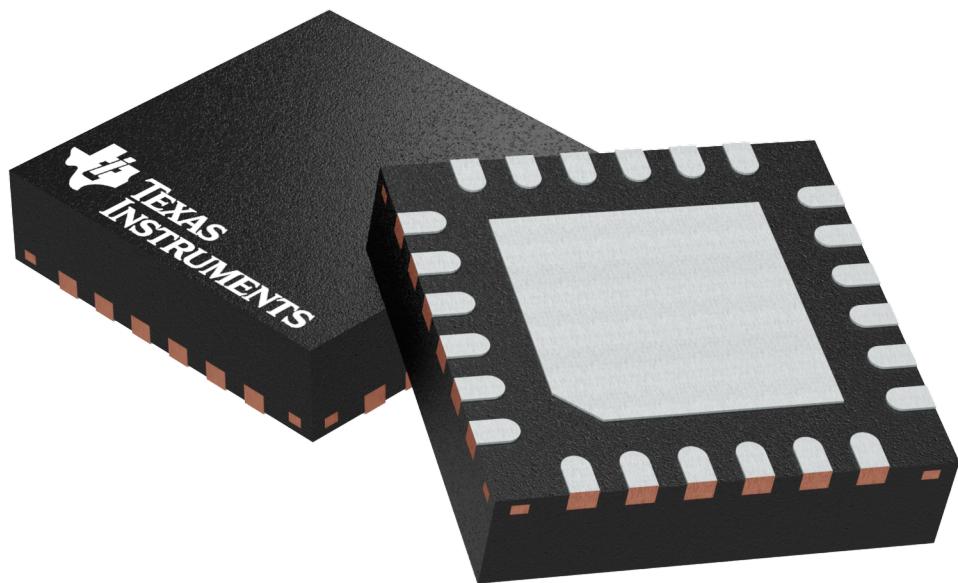
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
PCM3140QRGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0

## GENERIC PACKAGE VIEW

RGE 24

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

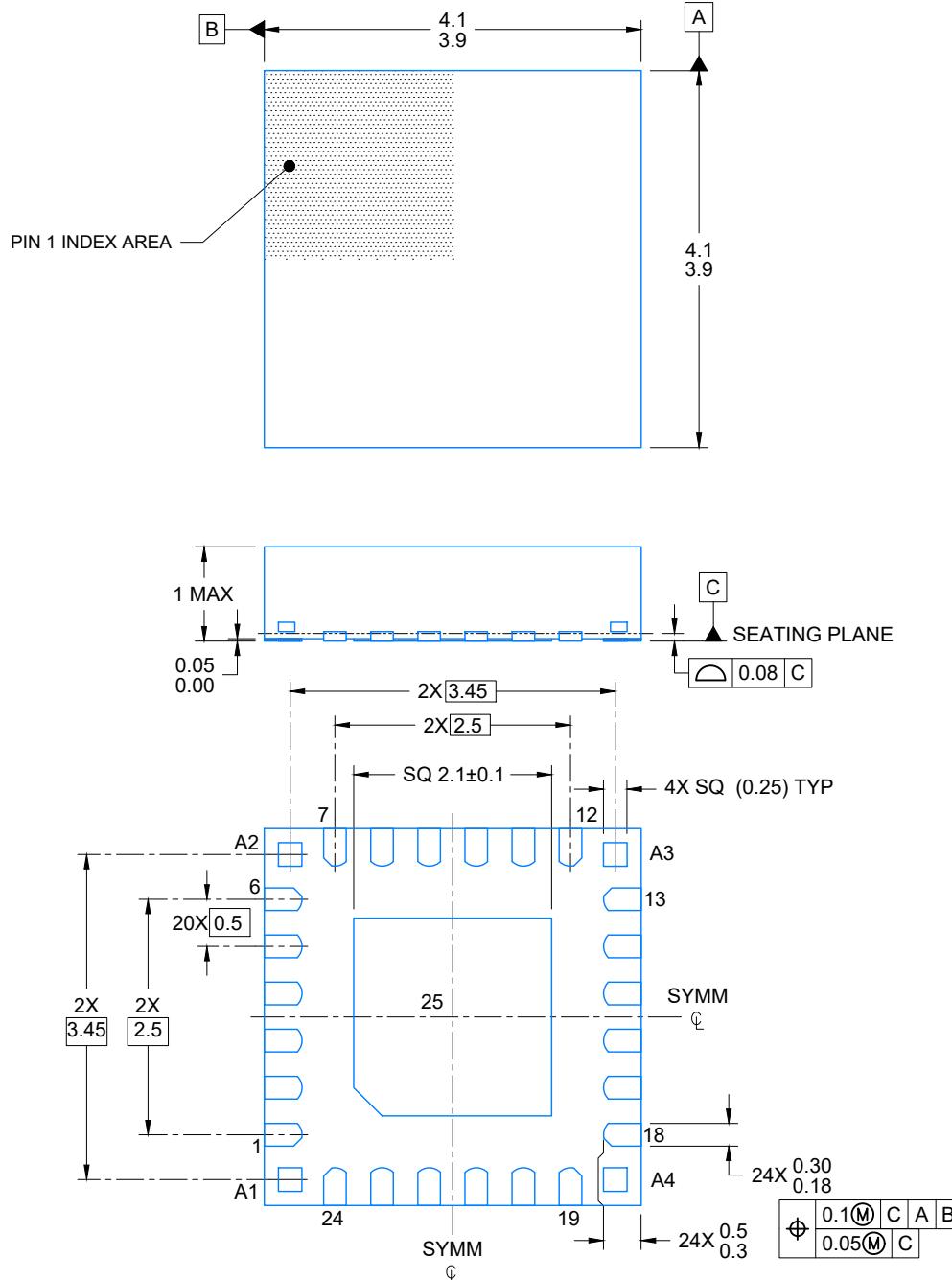
4204104/H

# PACKAGE OUTLINE

## VQFN - 1 mm max height

RGE0024R

PLASTIC QUAD FLATPACK-NO LEAD



4225246/A 08/2019

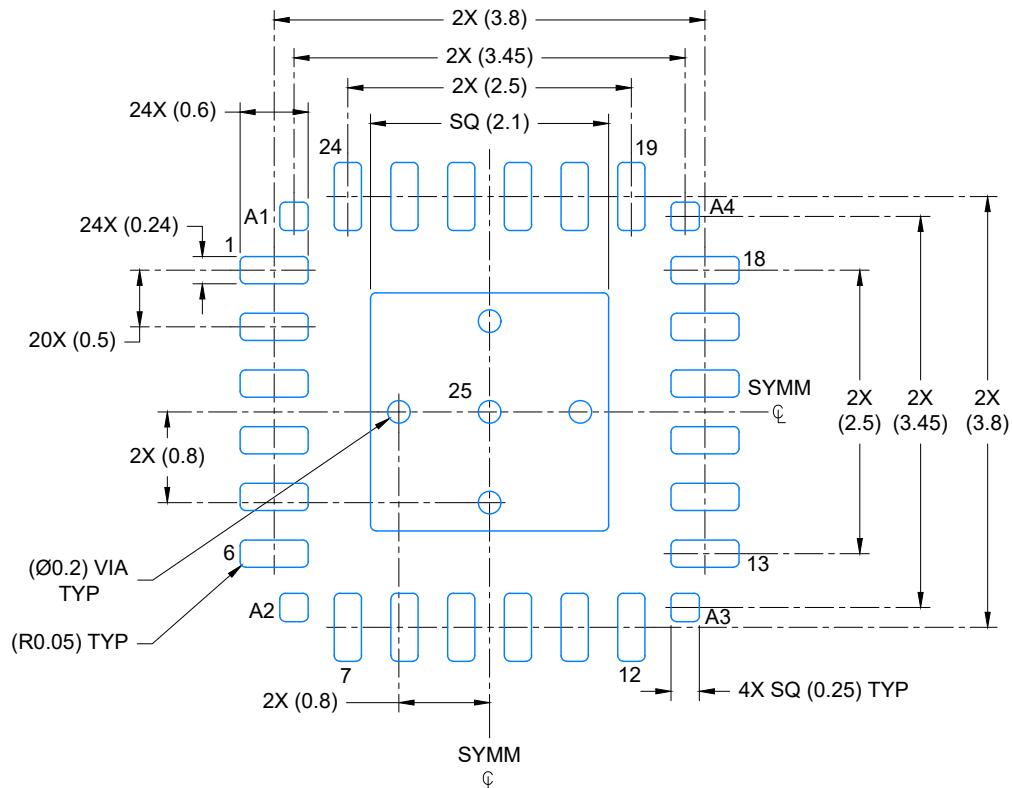
### NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

## EXAMPLE BOARD LAYOUT

## **VQFN - 1 mm max height**

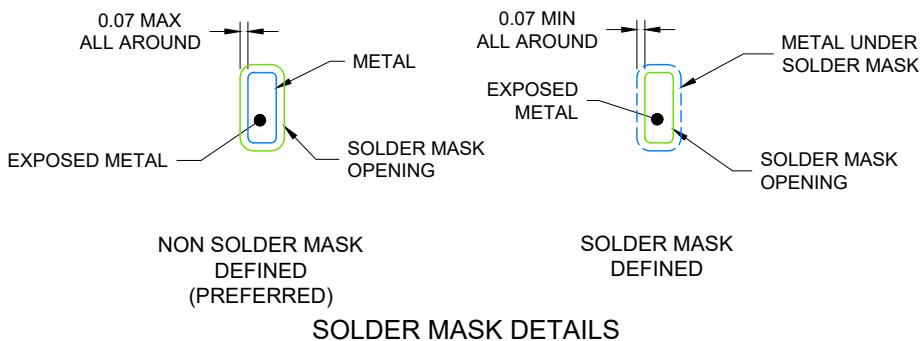
## PLASTIC QUAD FLATPACK-NO LEAD



## LAND PATTERN EXAMPLE

### EXPOSED METAL SHOWN

SCALE: 15X



4225246/A 08/2019

#### NOTES: (continued)

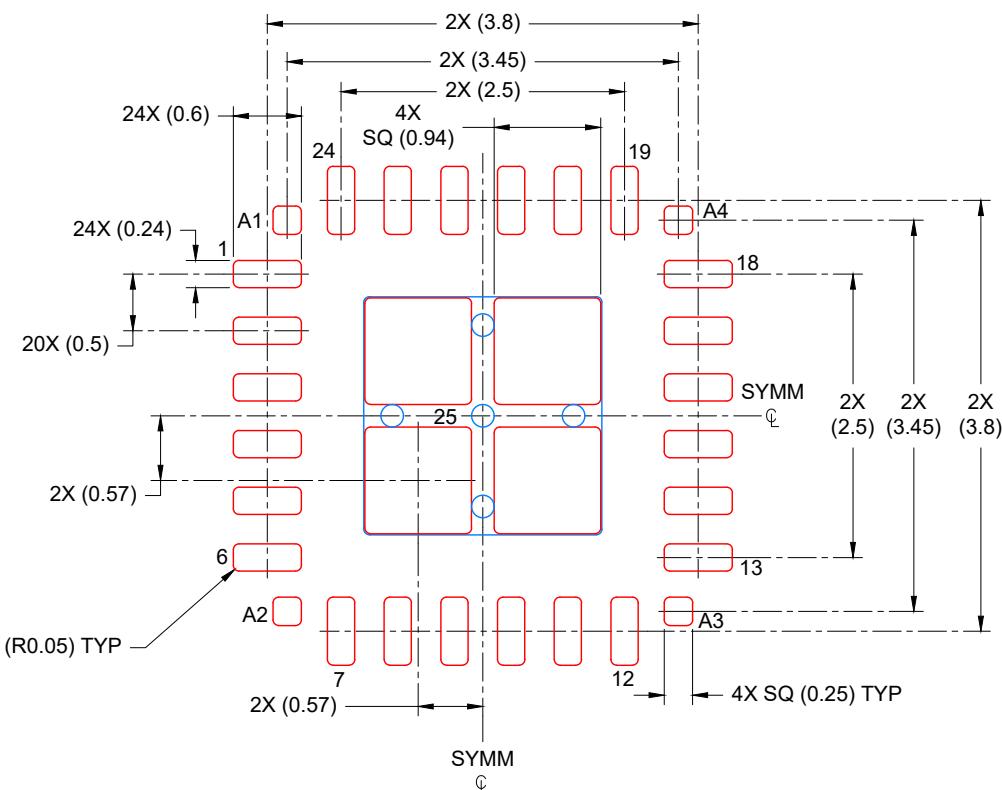
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
  5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

## **VQFN - 1 mm max height**

## PLASTIC QUAD FLATPACK-NO LEAD

RGE0024R



## SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
80% PRINTED COVERAGE BY AREA  
SCALE: 15X

4225246/A 08/2019

**NOTES: (continued)**

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月