

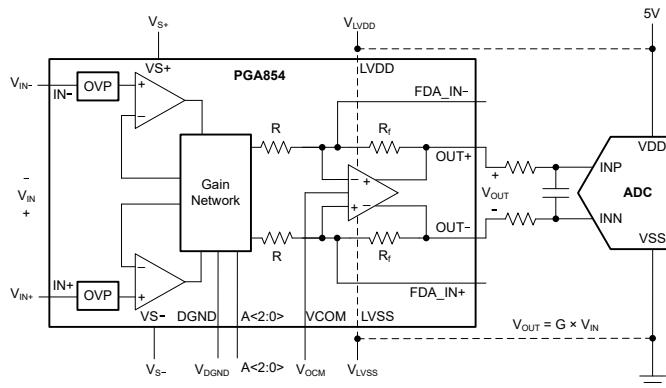
PGA854 低ノイズ、広帯域、ディケイドゲイン、高精度プログラマブルゲイン計測アンプ

1 特長

- 8つのピン プログラム可能ディケイド(スコープ)ゲイン
 - $G(V/V) = \frac{1}{2}, 1, 2, 5, 10, 20, 50$, および 100
- 完全差動出力
- 出力同相モード制御
- Low ゲイン誤差ドリフト: $\pm 2\text{ppm}/^\circ\text{C}$ (最大値)
- 高速信号処理:
 - 広い帯域幅: 6.2MHz ($G < 10$)、 2.4MHz ($G = 50, 100$)
 - 高スルーレート:すべてのゲインで $45\text{V}/\mu\text{s}$
 - セトリングタイム: 0.01% まで 750ns ($G < 20$)
 - 入力段ノイズ: $G > 10\text{V/V}$ で $8.8\text{nV}/\sqrt{\text{Hz}}$
 - SNR を向上させるフィルタオプション
- 高低の電源電圧に対して $\pm 40\text{V}$ までの入力過電圧保護機能
- 入力段電源電圧範囲:
 - シングル電源: $9\text{V} \sim 36\text{V}$
 - デュアル電源: $\pm 4.5\text{V} \sim \pm 18\text{V}$
- 独立した出力電源ピン
- 出力段電源電圧範囲:
 - シングル電源: $4.5\text{V} \sim 36\text{V}$
 - デュアル電源: $\pm 2.25\text{V} \sim \pm 18\text{V}$
- 仕様温度範囲: $-40^\circ\text{C} \sim +125^\circ\text{C}$
- 小型パッケージ: $3\text{mm} \times 3\text{mm}$ VQFN

2 アプリケーション

- ファクトリオートメーション / 制御
- アナログ入力モジュール
- データアクイジション (DAQ)
- 試験および測定機器
- パラメトリック測定ユニット (PMU)



PGA854 のアプリケーション概略図

3 説明

PGA854 は、差動出力を備えた広帯域、高電圧、低ノイズのプログラム可能なゲイン計測アンプです。PGA854 には、減衰ゲイン 0.5V/V から最大 100V/V までの 8 つのディケイド(スコープ)ゲイン設定が備わっています。ゲインは、3 本のデジタルゲイン選択ピンを使用して設定します。

PGA854 アーキテクチャは、追加の ADC ドライバを必要とせずに、最大 1MSPS のサンプリング レートで高分解能、高精度の A/D コンバータ (ADC) の入力を駆動するように最適化されています。出力段の電源は入力段から分離され、ADC または下流側のデバイスをオーバードライブの損傷から保護します。

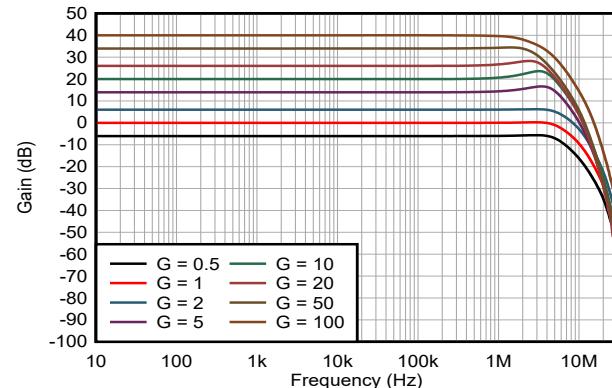
スーパーべータ入力トランジスタが提供する入力バイアス電流は非常に低く、それにより入力電流ノイズ密度が $0.3\text{pA}/\sqrt{\text{Hz}}$ と非常に低くなるため、PGA854 は、事実上あらゆる種類のセンサに対応する汎用性の高い選択肢になっています。低ノイズの電流フィードバック フロントエンドアーキテクチャにより、高周波数でも優れたゲイン平坦性を実現しているため、PGA854 は、優れた高インピーダンスのセンサ読み出しデバイスとなります。入力ピンに保護回路が内蔵されており、電源電圧を最大 $\pm 40\text{V}$ 上回る過電圧に対処できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
PGA854	RGT (VQFN, 16)	$3\text{mm} \times 3\text{mm}$

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はビンを含みます。



ゲインと周波数との関係



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SBOSAN2](#)

目次

1 特長	1	7.4 デバイスの機能モード	26
2 アプリケーション	1	8 アプリケーションと実装	27
3 説明	1	8.1 アプリケーション情報	27
4 デバイス比較表	3	8.2 代表的なアプリケーション	29
5 ピン構成および機能	4	8.3 電源に関する推奨事項	32
6 仕様	5	8.4 レイアウト	32
6.1 絶対最大定格	5	9 デバイスおよびドキュメントのサポート	34
6.2 ESD 定格	5	9.1 デバイス サポート	34
6.3 推奨動作条件	5	9.2 ドキュメントのサポート	34
6.4 熱に関する情報	6	9.3 ドキュメントの更新通知を受け取る方法	34
6.5 電気的特性	6	9.4 サポート・リソース	34
6.6 代表的特性	10	9.5 商標	34
7 詳細説明	23	9.6 静電気放電に関する注意事項	35
7.1 概要	23	9.7 用語集	35
7.2 機能ブロック図	23	10 改訂履歴	35
7.3 機能説明	24	11 メカニカル、パッケージ、および注文情報	35

4 デバイス比較表

デバイス	出力タイプ	ゲイン (V/V)	帯域幅 (MHz)	スルーレート (V/μs)	ノイズ (nV/√Hz)
PGA849	シングル エンド	1/8、1/4、1/2、1、2、4、8、16	10	35	8.6
INA849	シングル エンド	$G = 1 + 6k\Omega/R_G$	28	35	1
PGA848	シングル エンド	1/2、1、2、5、10、20、50、100	6.2	43	8.5
PGA854	差動	1/2、1、2、5、10、20、50、100	6.2	45	8.8
PGA855	差動	1/8、1/4、1/2、1、2、4、8、16	10	35	7.8
INA851	差動	$G = 1 + 6k\Omega/R_G$	22	37	3.2
INA821	シングル エンド	$G = 1 + 49.4k\Omega/R_G$	4.7	2	7
INA819	シングル エンド	$G = 1 + 50k\Omega/R_G$	2	0.9	8

5 ピン構成および機能

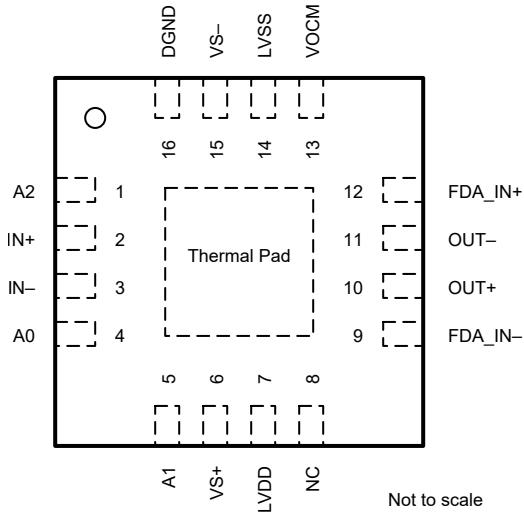


図 5-1. RGT パッケージ、16 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
A0	4	入力	ゲイン設定ピン 0
A1	5	入力	ゲイン設定ピン 1
A2	1	入力	ゲイン設定ピン 2
DGND	16	電源	デジタルロジックおよびゲイン設定ピンの接地リファレンス
FDA_IN-	9	入力	出力ドライバ総和ノードへの接続
FDA_IN+	12	入力	出力ドライバ総和ノードへの接続
IN-	3	入力	負(反転)入力
IN+	2	入力	正(非反転)入力
LVDD	7	電源	出力ドライバの正電源。オーバードライブから保護するには、このピンを ADC の正電源に接続します。
LVSS	14	電源	出力ドライバの負電源。オーバードライブから保護するため、このピンは ADC の負電源に接続します。
NC	8	—	接続しない
OUT-	11	出力	出力(反転)
OUT+	10	出力	出力(非反転)
VOCM	13	入力	出力同相モードコントローラピン
VS+	6	電源	入力段の正電源
VS-	15	電源	入力段の負電源
サーマルパッド	サーマルパッド	—	サーマルパッドをプリント回路基板(PCB)に半田付けします。サーマルパッドを、フロートしているか VS- に電気的に接続されているプレーンまたは大きな銅箔に接続します。低消費電力のアプリケーションでもこの接続を確立します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_S	V_{S+} , V_{S-} ピンの電源電圧、 $V_S = (V_{S+}) - (V_{S-})$	0	40	V
V_{SOUT}	LVDD, LVSS ピンの電源電圧、 $V_{SOUT} = V_{LVDD} - V_{LVSS}$	0	40	V
	電源ピン LVDD, LVSS の電圧	$(V_{S-}) - 0.5$	$(V_{S+}) + 0.5$	V
	信号入力ピン IN+, IN- の電圧	$(V_{S-}) - 40$	$(V_{S+}) + 40$	V
	ピン DGND, FDA_IN+, FDA_IN- の電圧	$(V_{S-}) - 0.5$	$(V_{S+}) + 0.5$	V
	ゲイン選択ピン A2, A1, A0 の電圧	$V_{DGND} - 0.5$	$(V_{S+}) + 0.5$	V
V_O	出力ピン OUT+ および OUT- の電圧	$V_{LVSS} - 0.5$	$V_{LVDD} + 0.5$	V
V_{OCM}	出力同相モード制御電圧	$V_{LVSS} - 0.5$	$V_{LVDD} + 0.5$	V
I_O	出力ピン OUT+ および OUT- の電流	-100	100	mA
I_{SC}	出力短絡検出電流 ⁽²⁾	連続		
T_A	動作温度	-50	150	°C
T_J	接合部温度		175	°C
T_{STG}	保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本デバイスが動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

(2) $V_{SOUT}/2$ への短絡

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_S	入力段電源電圧	単一電源	9	36	V
		デュアル電源	±4.5	±18	
V_{SOUT}	出力段電源電圧	単一電源	4.5	36	V
		デュアル電源	±2.25	±18	
T_A	規定温度		-40	125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		PGA854	単位
		RGT (VQFN)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	47.3	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	53.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	22.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	22.0	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース(底面)への熱抵抗	7.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』アプリケーションレポートを参照してください。

6.5 電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}}$ (電源電圧の中央値、 $R_L = 10\text{k}\Omega$ 、 $G = 1\text{V/V}$ (に明記しない限り))

パラメータ		テスト条件		最小値	標準値	最大値	単位
入力							
V_{os}	差動オフセット電圧 (RTI)	$G = 5 \sim 100$		± 50	± 300	μV	
		$G = 0.5, 1, 2$		$\pm 100/G$	$\pm 700/G$		
Z_{id}	差動オフセット電圧ドリフト (RTI)	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$G > 1$	± 0.1	± 1.0	$\mu\text{V}/^\circ\text{C}$	
			$G = 0.5, 1$	± 0.2	± 2.0		
PSRR	電源除去比	$\pm 4.5\text{V} \leq V_S \leq \pm 18\text{V}$ 、RTI	$G = 0.5$	108	124	dB	
			$G = 1$	114	128		
			$G = 2$	118	130		
			$G \geq 5$	120	134		
Z_{ic}	コモンモード入力インピーダンス	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		$100 \parallel 1$	$\text{G}\Omega \parallel \text{pF}$		
				$10 \parallel 1$			
V_{ICM}	同相入力電圧	$V_S = \pm 4.5\text{V} \sim \pm 18\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$(V_{\text{S}-}) + 3$	$(V_{\text{S}+}) - 3$	V		
V_{IN}	差動入力電圧 ⁽¹⁾		-16	+16	V		
CMRR	同相除去比	$\text{DC} \sim 60\text{Hz}$ 、 $V_{\text{ICM}} = \pm 10\text{V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、RTI	$G = 0.5$	69	82	dB	
			$G = 1$	75	88		
			$G = 2$	80	94		
			$G = 5$	88	100		
			$G = 10$	95	106		
			$G = 20$	100	112		
			$G = 50$	108	116		
			$G = 100$	116	124		
バイアス電流							
I_B	入力バイアス電流			± 0.5	± 2	nA	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		± 1	± 3.6		
I_{os}	入力バイアス電流ドリフト	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			± 5	$\text{pA}/^\circ\text{C}$	
					± 0.5	± 1	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		± 1	± 2	nA	
	入力オフセット電流	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			± 5	$\text{pA}/^\circ\text{C}$	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			± 1		

6.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{SOUT} = \pm 15\text{V}$ 、 $V_{ICM} = V_{OCM}$ (電源電圧の中央値、 $R_L = 10\text{k}\Omega$ 、 $G = 1\text{V/V}$ (に明記しない限り))

パラメータ		テスト条件		最小値	標準値	最大値	単位
ノイズ電圧							
e_{NI}	電圧ノイズ密度 (RTI)	$f = 1\text{kHz}$	$G = 100$	8.5			$\text{nV}/\sqrt{\text{Hz}}$
			$G = 50$	8.5			
			$G = 20$	8.8			
			$G = 10$	8.8			
			$G = 5$	10.5			
			$G = 2$	20			
			$G = 1$	40			
			$G = 0.5$	80			
E_{NI}	電圧ノイズ (RTI)	$f_B = 0.1\text{Hz} \sim 10\text{Hz}$	$G = 100$	0.28			μV_{PP}
			$G = 50$	0.28			
			$G = 20$	0.30			
			$G = 10$	0.30			
			$G = 5$	0.30			
			$G = 2$	0.41			
			$G = 1$	0.76			
			$G = 0.5$	1.50			
i_N	入力電流ノイズ密度	$f = 1\text{kHz}$			0.2		$\text{pA}/\sqrt{\text{Hz}}$
I_N	入力電流ノイズ	$f_B = 0.1\text{Hz} \sim 10\text{Hz}$			7.9		pA_{PP}
ゲイン							
G	差動ゲイン			0.5	100		V/V
GE	微分ゲイン誤差	$G = 0.5, 1, 2$			± 0.005	± 0.035	$\%$
		$G = 5, 10, 20, 50$			± 0.015	± 0.045	
		$G = 100$			± 0.025	± 0.055	
	差動ゲインドリフト	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$G = 2$		± 0.05	± 1	$\text{ppm}/^\circ\text{C}$
			$G \neq 2$		± 0.2	± 2	
	微分ゲインの非直線性	$G = 0.5, V_{OUT} = 8\text{V}$			± 4	± 5.5	ppm
		$G = 1 \sim 20, V_{OUT} = 10\text{V}$			± 9	± 20	
		$G = 50, 100, V_{OUT} = 10\text{V}$			± 5	± 7	
		$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}, G = 0.5, V_{OUT} = 8\text{V}$	$G \le 20$		± 12	± 30	
出力							
V_O	シングルエンド出力電圧	負荷なし、 $V_{SOUT} = \pm 2.25\text{V}$		$V_{LVSS} + 0.1$	$V_{LVDD} - 0.1$		V
		$R_L = 10\text{k}\Omega$	$V_{SOUT} = \pm 2.25\text{V}$	$V_{LVSS} + 0.2$	$V_{LVDD} - 0.2$		
			$V_{SOUT} = \pm 18\text{V}$	$V_{LVSS} + 0.4$	$V_{LVDD} - 0.4$		
V_{OUT}	差動出力電圧	V_{ICM} および V_{IN} の 有効なリニア動作範囲 ⁽²⁾		$G \times V_{IN}$		V	
C_L	差動負荷容量	差動負荷で安定した動作		50		pF	
I_{SC}	短絡電流	$V_{SOUT} / 2$ まで連続		± 45		mA	
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	± 20	± 60		

6.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = V_{\text{SOUT}} = \pm 15\text{V}$, $V_{\text{ICM}} = V_{\text{OCM}}$ (電源電圧の中央値、 $R_L = 10\text{k}\Omega$, $G = 1\text{V/V}$ (に明記しない限り))

パラメータ		テスト条件		最小値	標準値	最大値	単位	
周波数応答								
BW	帯域幅、-3dB	$G < 10$		6.2			MHz	
		$G = 10, 20$		5.0				
		$G = 50, 100$		2.4				
SR	スルーレート	$G = 0.5, V_{\text{OUT}} = 8\text{V}$ $G = 1 \sim 100, V_{\text{OUT}} = 10\text{V}$		45			$\text{V}/\mu\text{s}$	
t_s	セトリング タイム	$G = 0.5, V_{\text{IN}} = 10\text{V}$ ステップ、または $G = 1 \sim 20, V_{\text{OUT}} = 10\text{V}$ ステップ	0.01% まで	0.75			μs	
			0.0015% まで	0.9			μs	
		$G = 50$ $V_{\text{OUT}} = 10\text{V}$ ステップ	0.01% まで	1.3			μs	
			0.0015% まで	1.4			μs	
		$G = 100$ $V_{\text{OUT}} = 10\text{V}$ ステップ	0.01% まで	2			μs	
			0.0015% まで	2.3			μs	
		ゲインスイッチング時間		1.5			μs	
		THD+N	差動入力、 $f = 10\text{kHz}$, $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$ シングルエンド入力、 $f = 10\text{kHz}$, $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$	-99			dB	
HD2	2 次高調波歪	差動入力、 $f = 10\text{kHz}$, $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$		-93				
		シングルエンド入力、 $f = 10\text{kHz}$, $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$		-121			dB	
HD3	3 次高調波歪	差動入力、 $f = 10\text{kHz}$, $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$		-112				
		シングルエンド入力、 $f = 10\text{kHz}$, $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$		-105			dB	
				-104				
出力同相電圧 (V_{OCM}) 制御								
V_{OCM}	出力同相モード制御電圧 ⁽³⁾	$V_S = \pm 4.5\text{V}$	$V_{\text{LVSS}} + 1.5$	$V_{\text{LVDD}} - 1.5$			V	
		$V_S = \pm 18\text{V}$	$V_{\text{LVSS}} + 2$	$V_{\text{LVDD}} - 2$				
VOCM ピンの小信号帯域幅		$V_{\text{OCM}} = 100\text{mV}_{\text{PP}}$		14			MHz	
大信号帯域幅 VOCM ピン		$V_{\text{OCM}} = 0.6\text{V}_{\text{PP}}$		14			MHz	
DC 出力バランス ⁽⁴⁾		V_{OCM} は中間電源電圧 ($V_{\text{OUT}} = \pm 1\text{V}$) に固定		95			dB	
VOCM ピンの入力インピーダンス				250 1			$\text{k}\Omega \text{pF}$	
V_{OUTCM} 中電圧からのオフセット		VOCM ピンフローティング		± 1	± 4.5		mV	
V_{OUTCM} オフセット電圧 ⁽⁵⁾		$V_{\text{OCM}} = V_{\text{ICM}}, V_{\text{OUT}} = 0\text{V}$		± 1	± 4.5		mV	
V_{OUTCM} オフセット電圧ドリフト		$V_{\text{OCM}} = V_{\text{ICM}}, V_{\text{OUT}} = 0\text{V}, T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		± 20	± 40		$\mu\text{V}/^\circ\text{C}$	
入力段電源								
I_{Q_input}	入力段の静止電流 $VS+, VS-$	$V_{\text{IN}} = 0\text{V}, V_{\text{ICM}} = 0\text{V}$	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	3.2	3.9	mA		
					4.9			
出力段電源								
I_{Q_output}	出力段静止電流 $LVDD, LVSS$	$V_{\text{IN}} = 0\text{V}, V_{\text{OCM}}$ は中間電源電圧 に固定	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	2.3	2.8	mA		
					3.5			
デジタル ロジック								
V_{IL}	デジタル入力ロジック Low	A0, A1, A2 ピン、DGND 基準	V_{DGND}	$V_{\text{DGND}} + 0.8$			V	
V_{IH}	デジタル入力ロジック High	A0, A1, A2 ピン、DGND 基準	$V_{\text{DGND}} + 1.8$	V_{S+}			V	
	デジタル入力ピン電流	A0, A1, A2 ピン		1.5	3		μA	
V_{DGND}	DGND 電圧		V_{S-}	$(V_{S+}) - 4$			V	
	DGND リファレンス電流			4	10		μA	

- (1) PGA854 アンプへの差動入力電圧 ($V_{\text{IN}} = V_{\text{IN}+} - V_{\text{IN}-}$)。有効な入力範囲は、入力コモンモード電圧 V_{ICM} 、ゲイン G、および出力コモンモード電圧 V_{OCM} によって異なります。[セクション 8.1.1](#) を参照。
- (2) 差動出力電圧 $V_{\text{OUT}} = V_{\text{OUT}+} - V_{\text{OUT}-}$ アンプの有効なリニア動作範囲については[セクション 8.1.1](#) を参照してください。
- (3) V_{OCM} は VOCM ピンの電圧です。実際の出力 同相電圧は、シングルエンド出力電圧 $V_{\text{OUTCM}} = (V_{\text{OUT}+} + V_{\text{OUT}-}) / 2$ から計算されます。

- (4) DC 出力バランスは、 $|V_{OUTCM}(V_{IN} = +1) - V_{OUTCM}(V_{IN} = -1)| / 2$ として定義されます。
- (5) V_{OUTCM} オフセット電圧は、 $V_{OUTCM} - V_{OCM}$ として定義されます。

6.6 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)

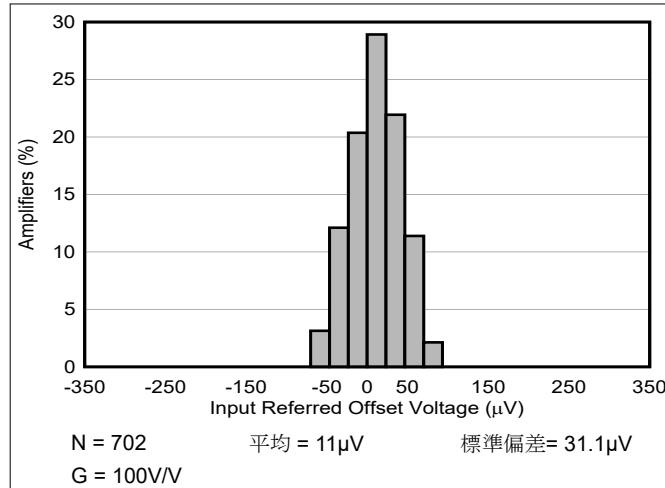


図 6-1. オフセット電圧の分布 (RTI)

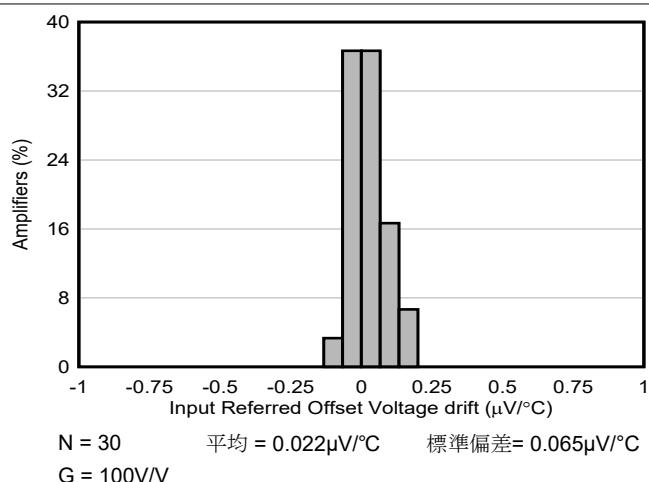


図 6-2. オフセット電圧ドリフトの分布 (RTI)

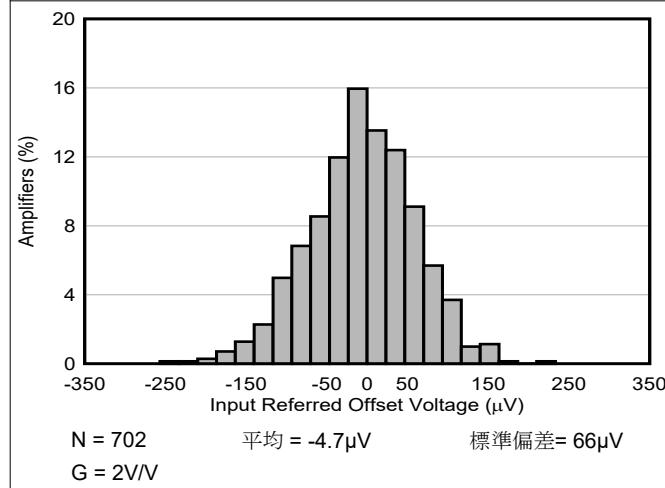


図 6-3. オフセット電圧の分布 (RTI)

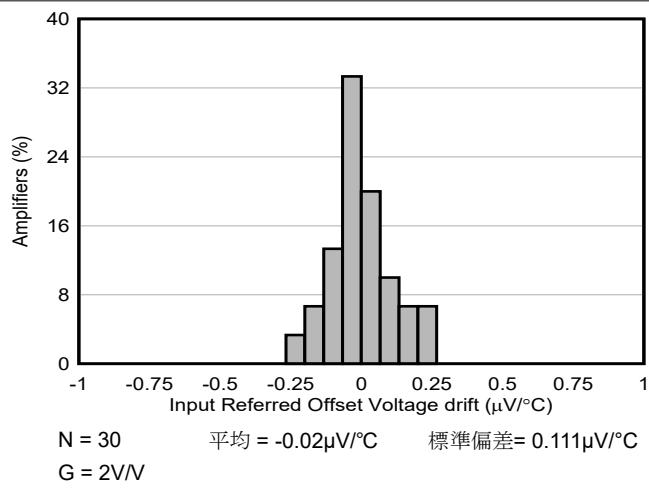


図 6-4. オフセット電圧ドリフトの分布 (RTI)

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)

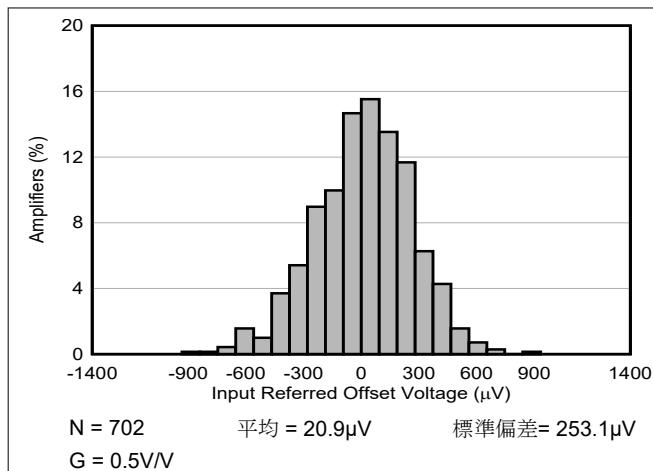


図 6-5. オフセット電圧の分布 (RTI)

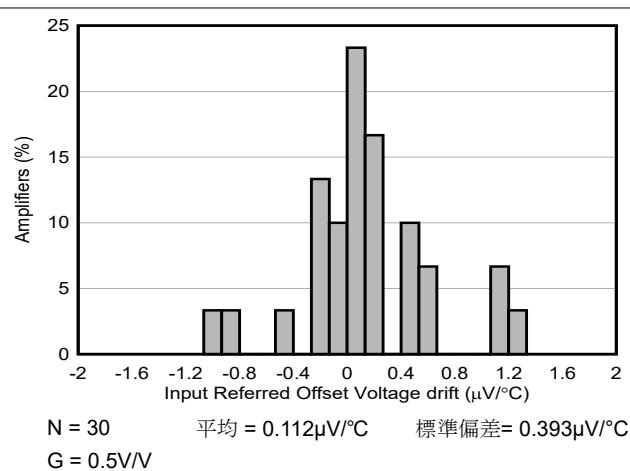


図 6-6. オフセット電圧ドリフトの分布 (RTI)

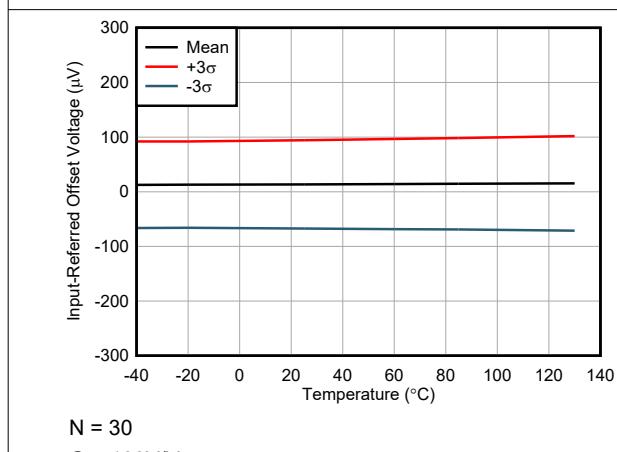


図 6-7. オフセット電圧 (RTI) と温度との関係

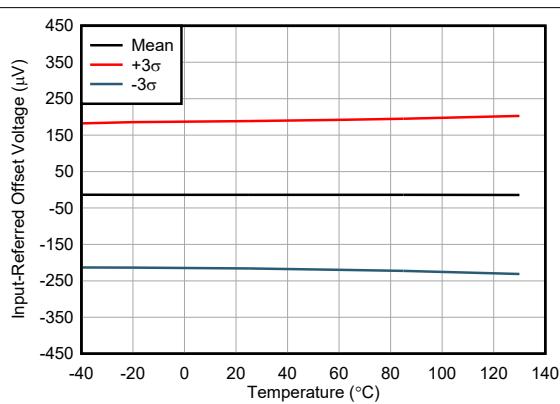


図 6-8. オフセット電圧 (RTI) と温度との関係

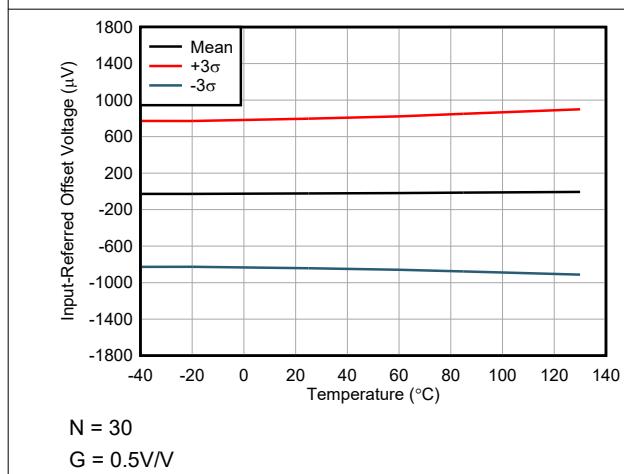


図 6-9. オフセット電圧 (RTI) と温度との関係

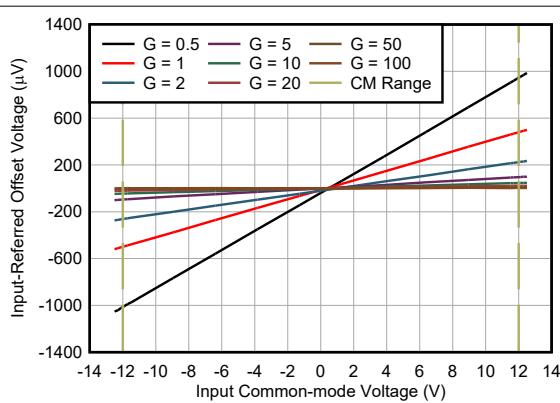


図 6-10. 出力電圧 (RTI) と V_{ICM} との関係

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)

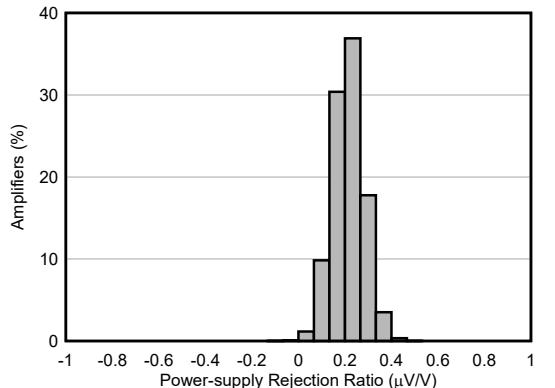


図 6-11. PSRR の分布

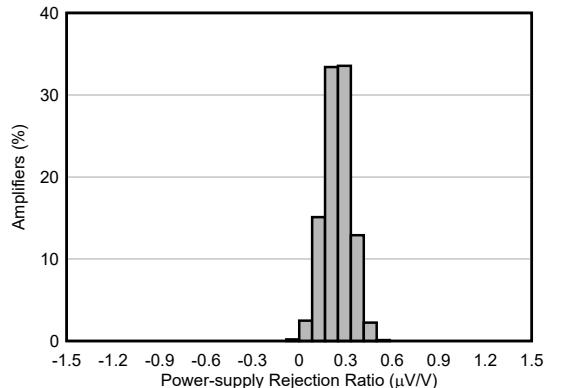


図 6-12. PSRR の分布

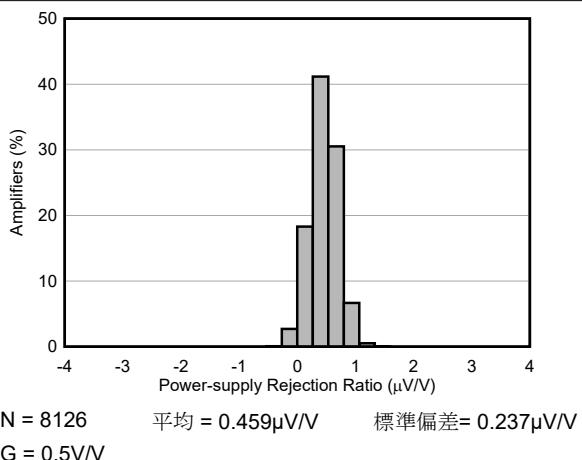


図 6-13. PSRR の分布

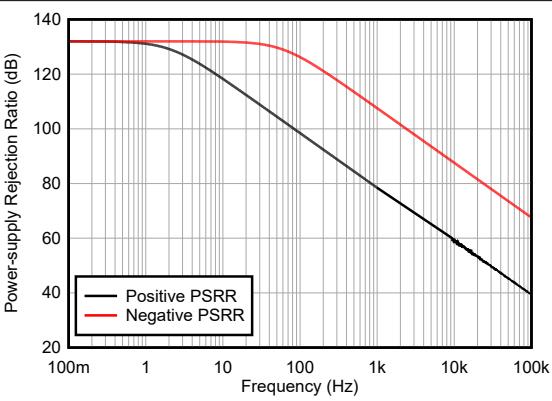


図 6-14. 正および負の PSRR と周波数の関係

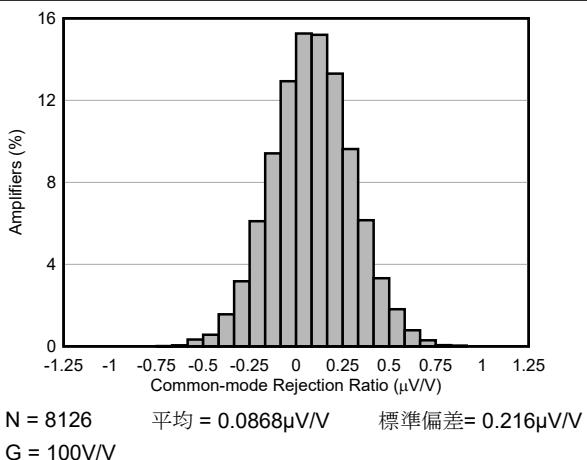


図 6-15. CMRR の分布

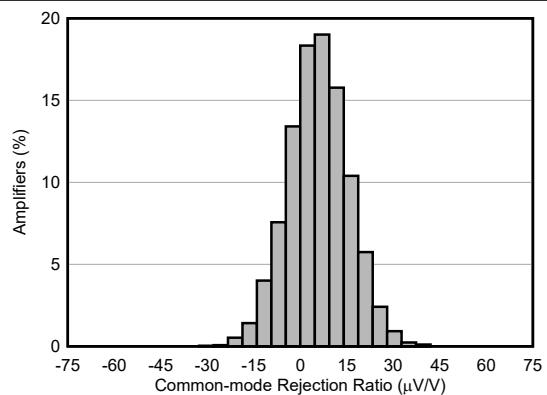


図 6-16. CMRR の分布

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)

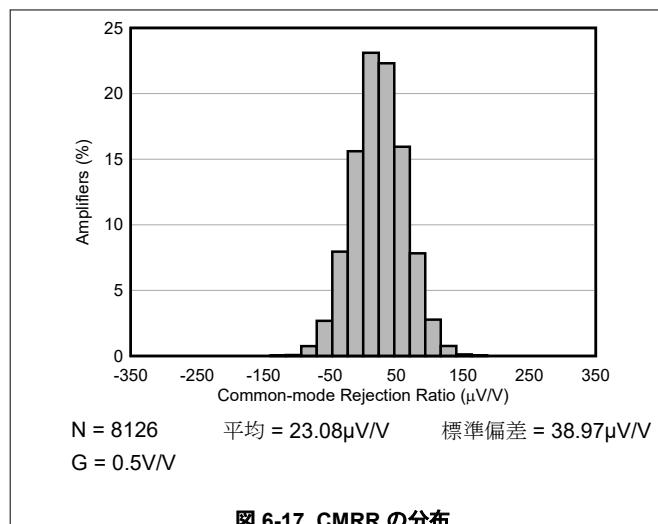


図 6-17. CMRR の分布

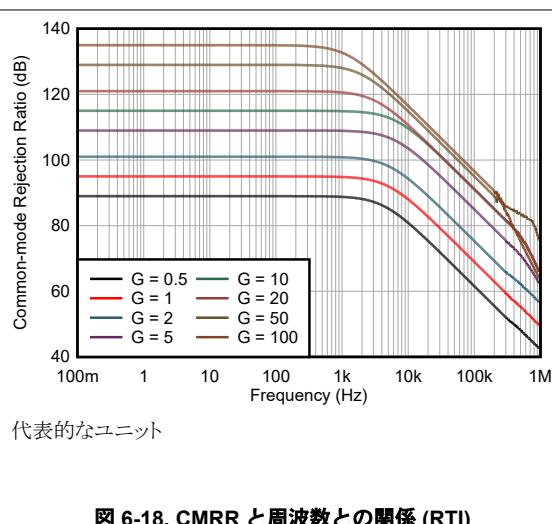


図 6-18. CMRR と周波数との関係 (RTI)

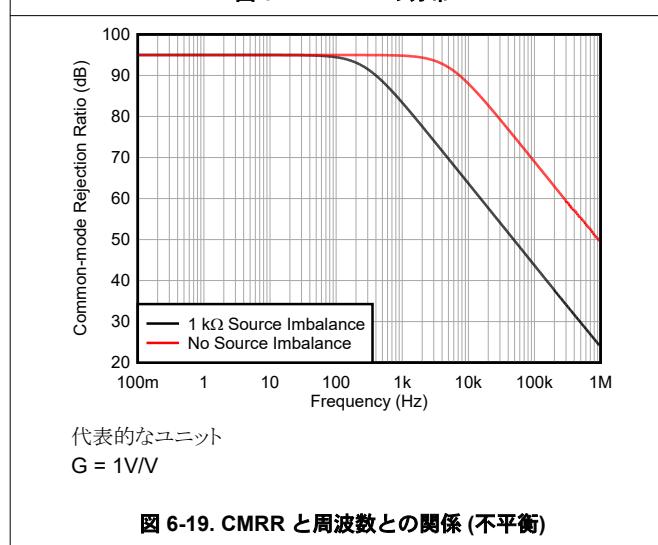


図 6-19. CMRR と周波数との関係 (不平衡)

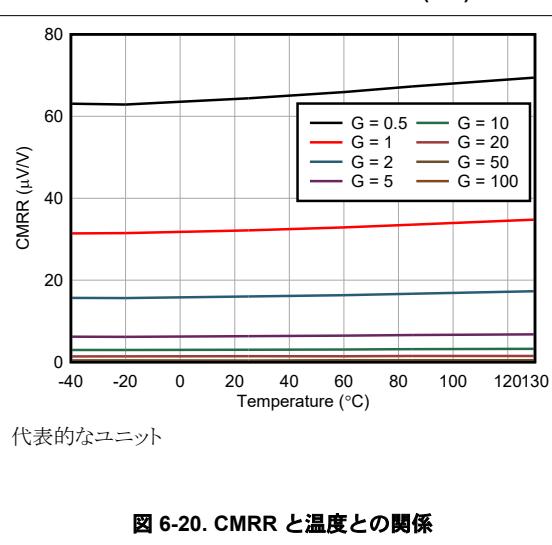


図 6-20. CMRR と温度との関係

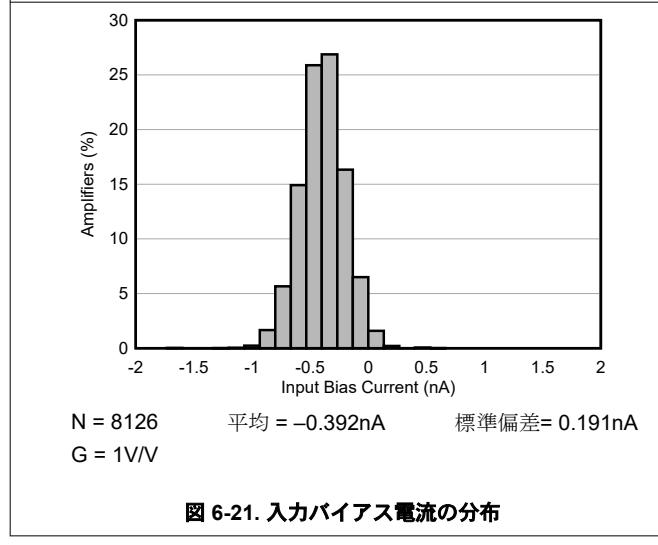


図 6-21. 入力バイアス電流の分布

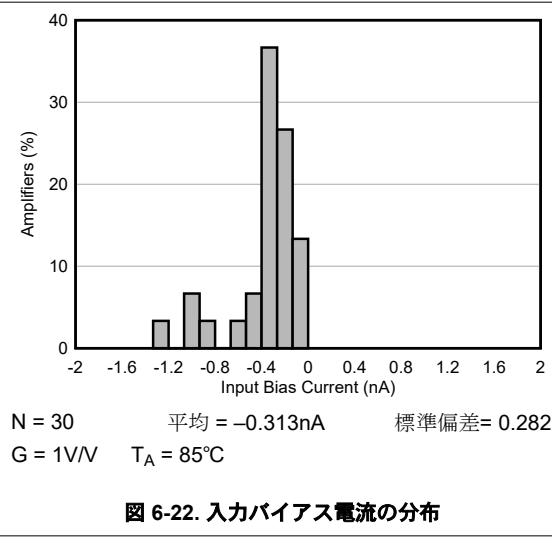


図 6-22. 入力バイアス電流の分布

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)

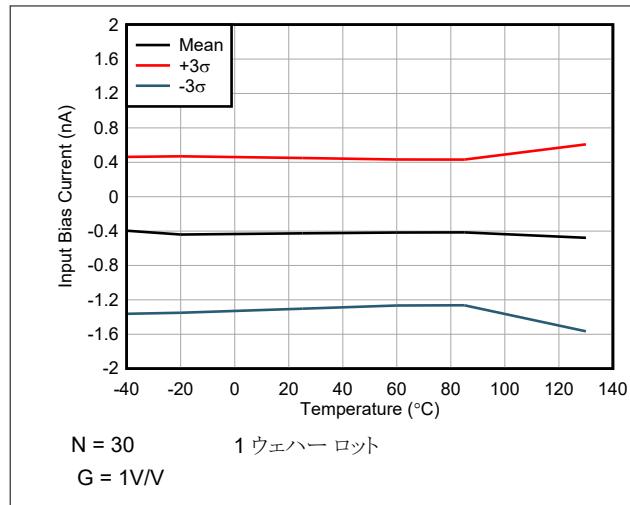


図 6-23. 入力バイアス電流と温度との関係

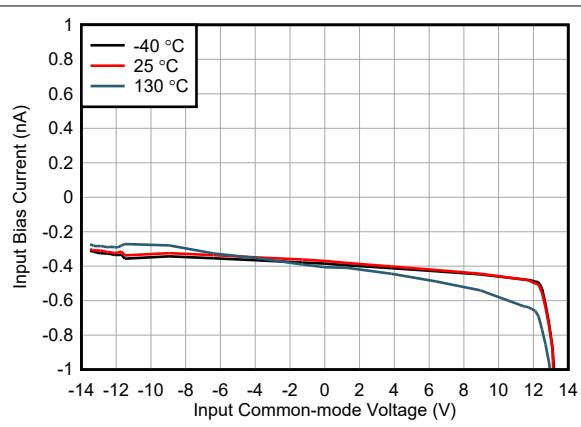


図 6-24. 入力バイアス電流と V_{ICM} との関係

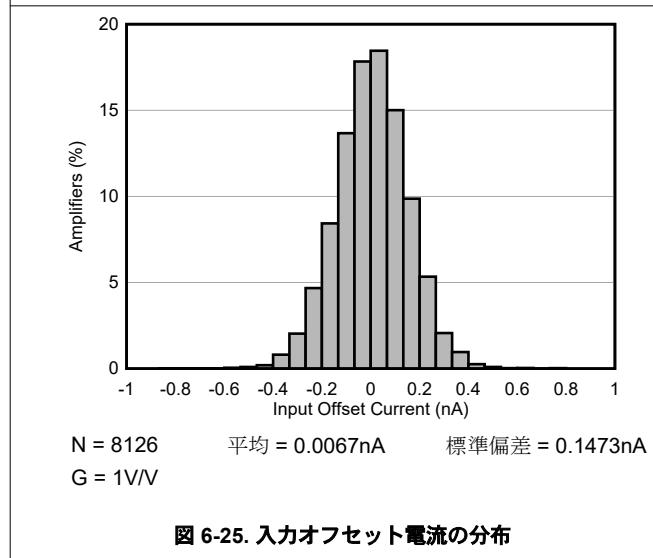


図 6-25. 入力オフセット電流の分布

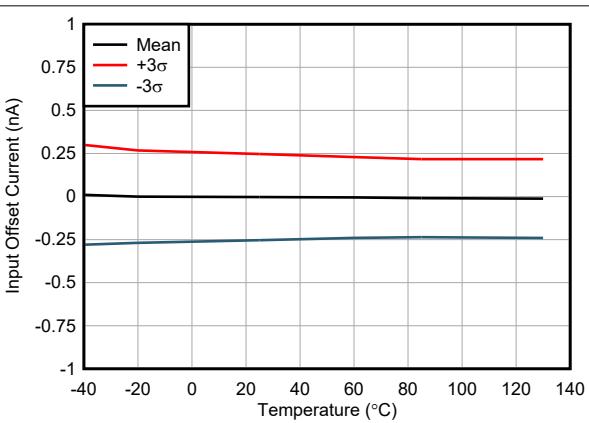
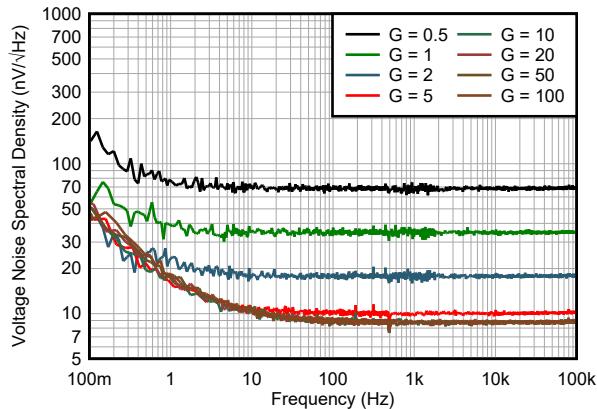


図 6-26. 入力オフセット電流と温度との関係

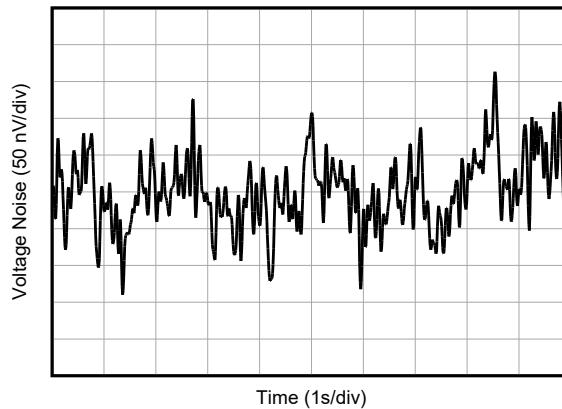
6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)



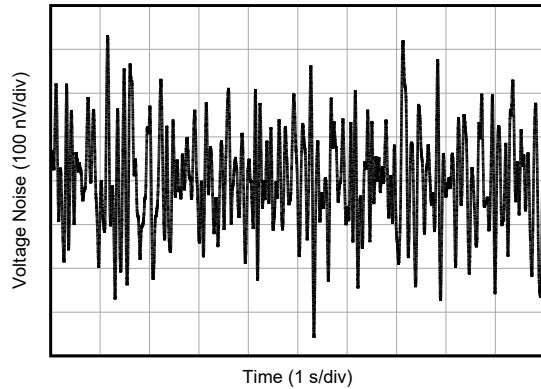
代表的なユニット

図 6-27. 電圧ノイズスペクトル密度 (RTI) と周波数との関係



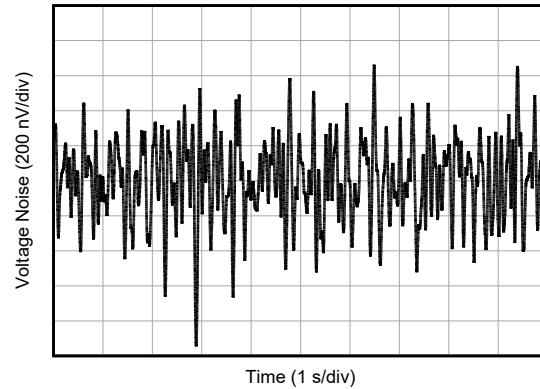
代表的なユニット
 $G = 100\text{V/V}$

図 6-28. $0.1\text{Hz} \sim 10\text{Hz}$ の電圧ノイズ (RTI)



代表的なユニット
 $G = 1\text{V/V}$

図 6-29. $0.1\text{Hz} \sim 10\text{Hz}$ の電圧ノイズ (RTI)

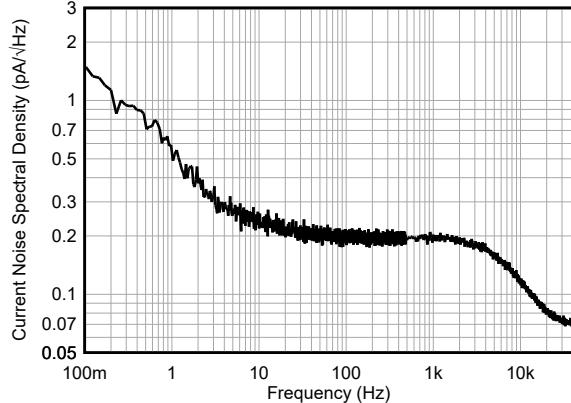


代表的なユニット
 $G = 0.5\text{V/V}$

図 6-30. $0.1\text{Hz} \sim 10\text{Hz}$ の電圧ノイズ (RTI)

6.6 代表的特性 (続き)

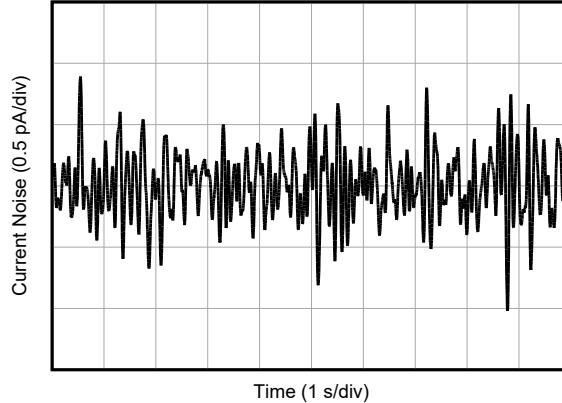
$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)



代表的なユニット

$G = 1\text{V/V}$

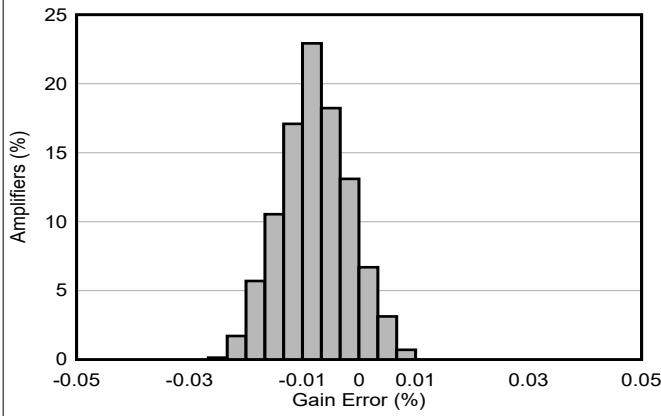
図 6-31. 電流ノイズ スペクトル密度と周波数との関係



代表的なユニット

$G = 1\text{V/V}$

図 6-32. 0.1Hz ~ 10Hz 電流ノイズ



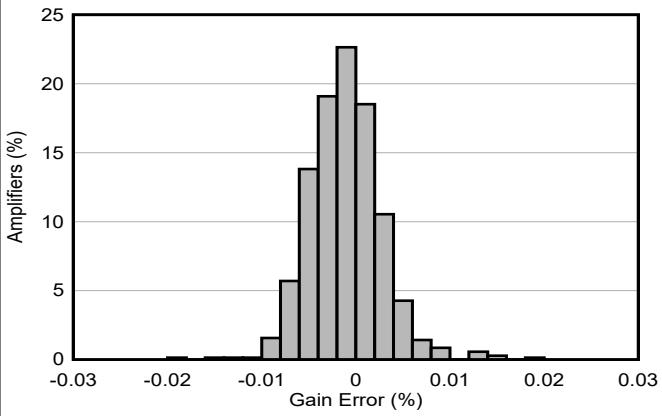
$N = 702$

平均 = -0.008%

標準偏差 = 0.006%

$G = 100\text{V/V}$

図 6-33. 差動ゲイン誤差の分布



$N = 702$

平均 = -0.001%

標準偏差 = 0.004%

図 6-34. 差動ゲイン誤差の分布

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)

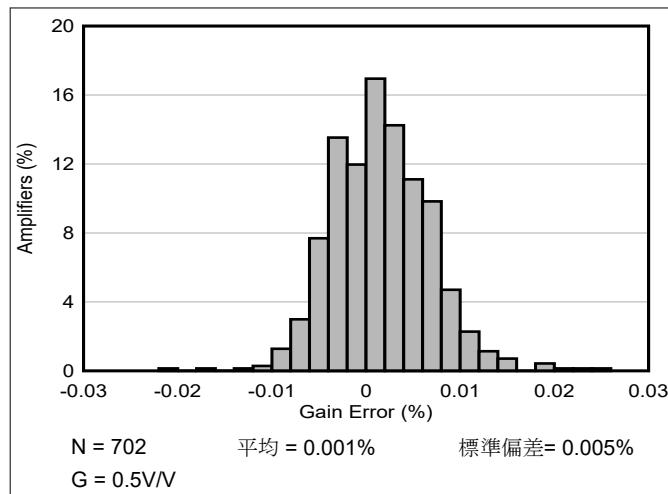


図 6-35. 差動ゲイン誤差の分布

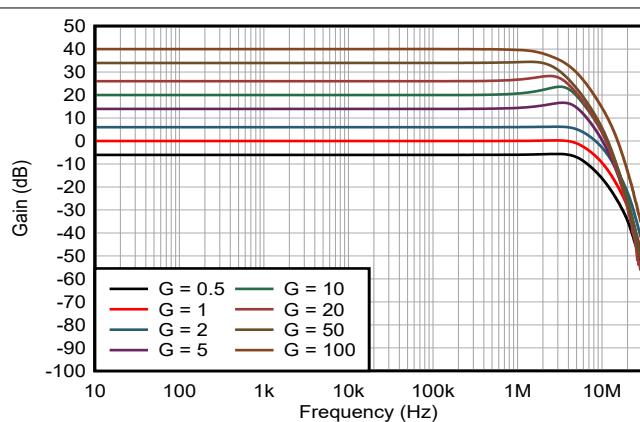


図 6-36. ゲインと周波数との関係

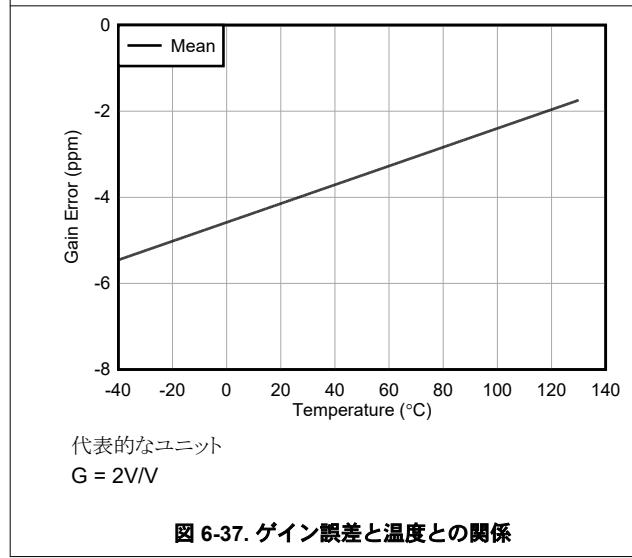


図 6-37. ゲイン誤差と温度との関係

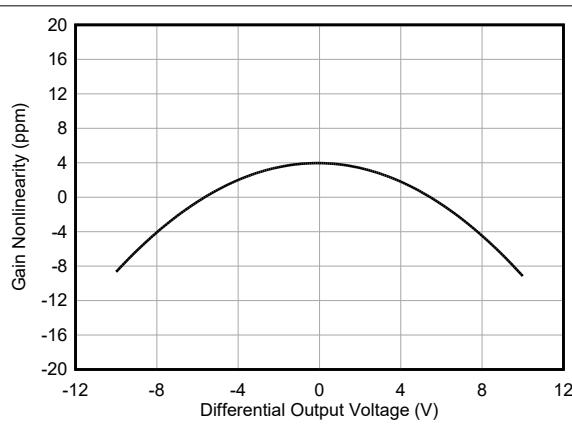


図 6-38. ゲインの非直線性

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)

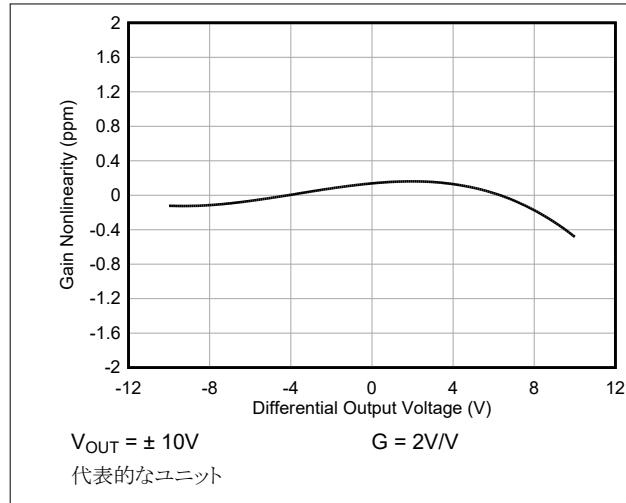


図 6-39. ゲインの非直線性

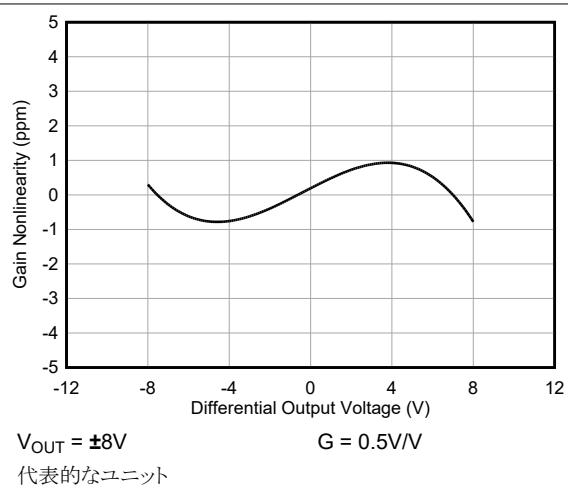


図 6-40. ゲインの非直線性

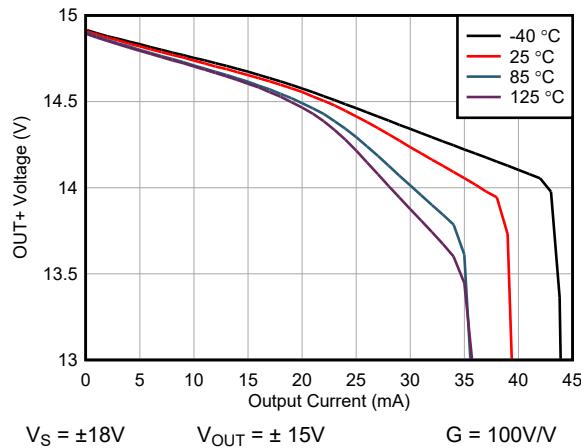


図 6-41. 正の出力電圧と出力電流との関係

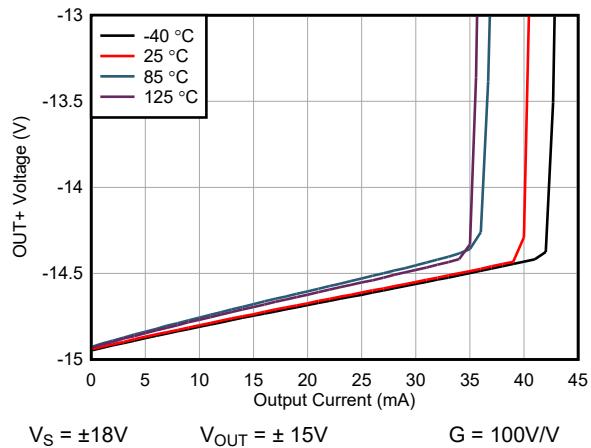
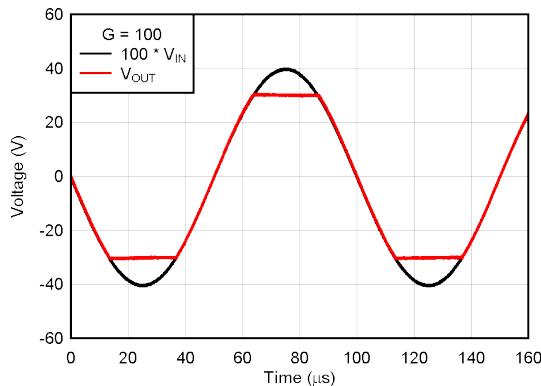


図 6-42. 負の出力電圧と出力電流との関係

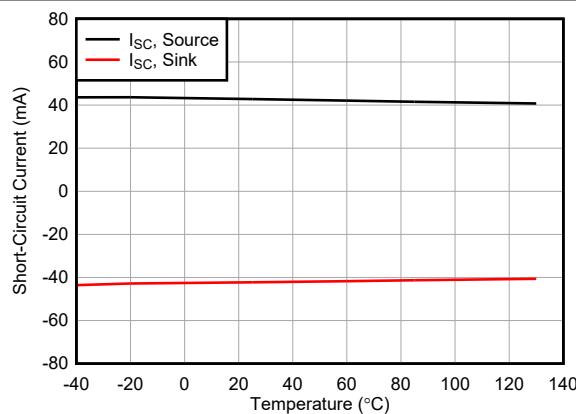
6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)



$G = 100\text{V/V}$

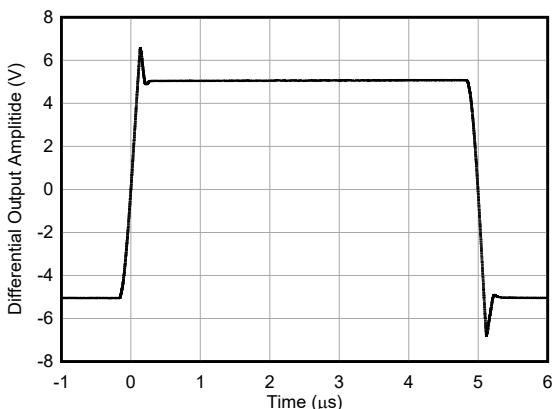
図 6-43. 過負荷回復



$V_{\text{SOUT}} / 2$ への短絡

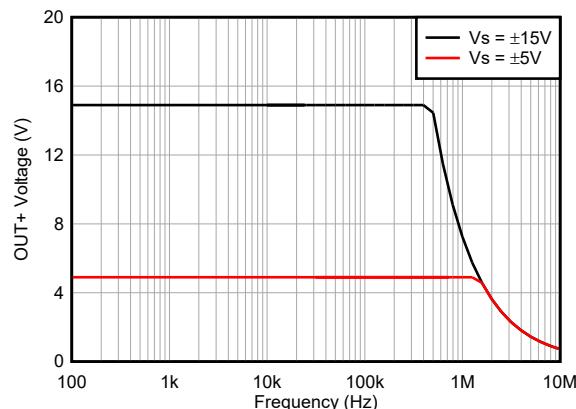
$G = 1\text{V/V}$

図 6-44. 出力短絡電流と温度との関係



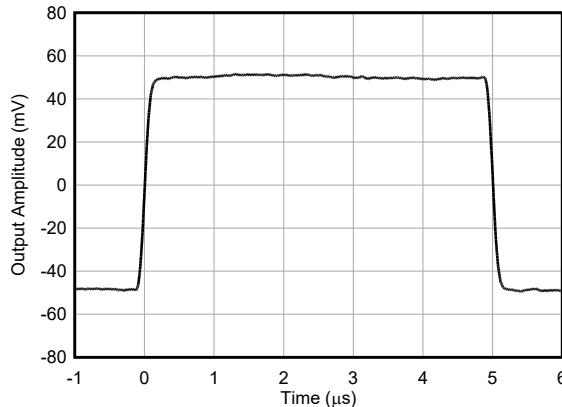
$G = 1\text{V/V}$

図 6-45. 大信号ステップ応答



$G = 1\text{V/V}$

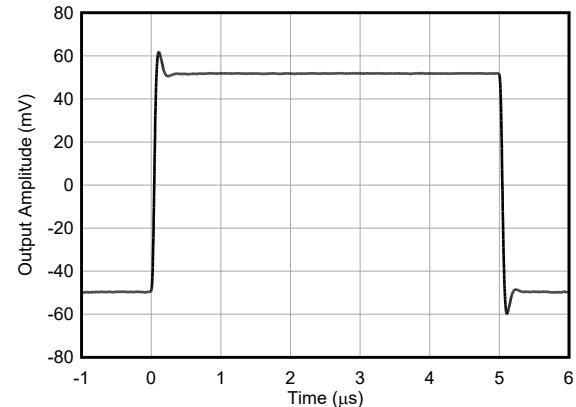
図 6-46. 大信号ステップ応答と周波数との関係



$G = 100\text{V/V}$

$C_L = 50\text{pF}$

図 6-47. 小信号ステップ応答



$G = 1\text{V/V}$

$C_L = 50\text{pF}$

図 6-48. 小信号ステップ応答

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)

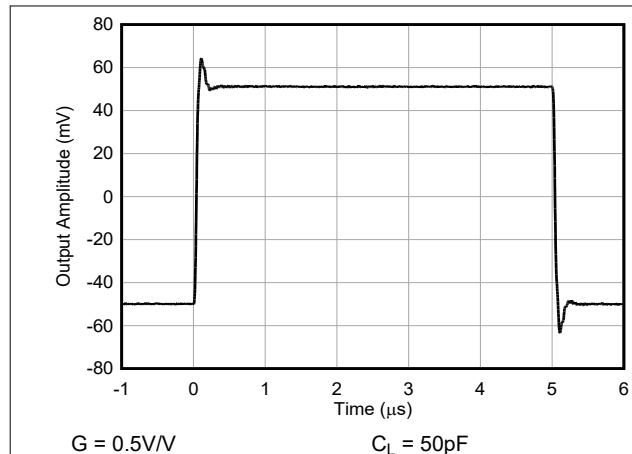


図 6-49. 小信号ステップ応答

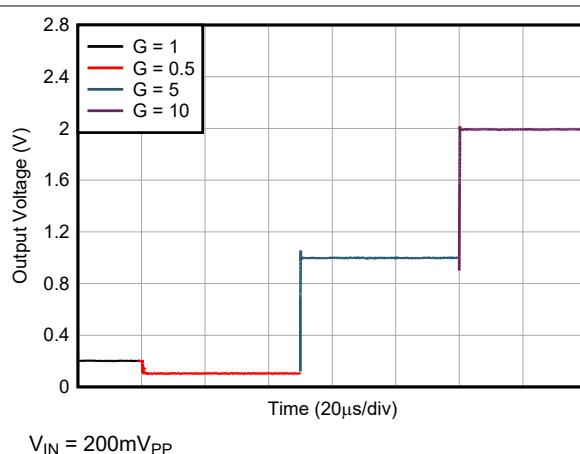


図 6-50. ゲインスイッチング過渡応答

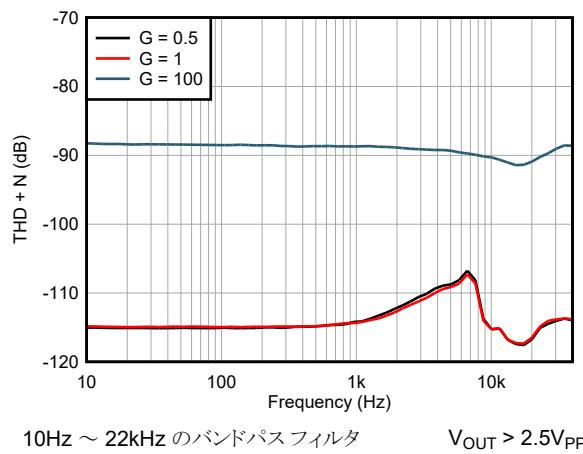


図 6-51. 全高調波歪 + ノイズと周波数との関係

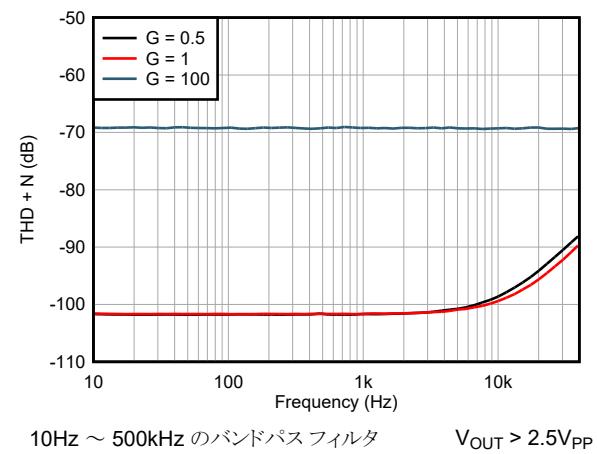


図 6-52. 全高調波歪 + ノイズと周波数との関係

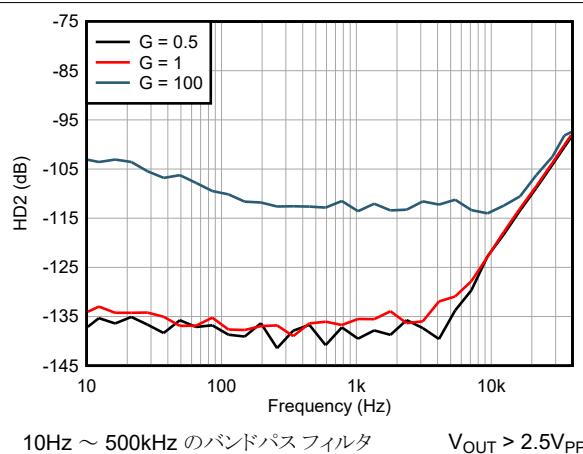


図 6-53. 2次高調波歪と周波数との関係

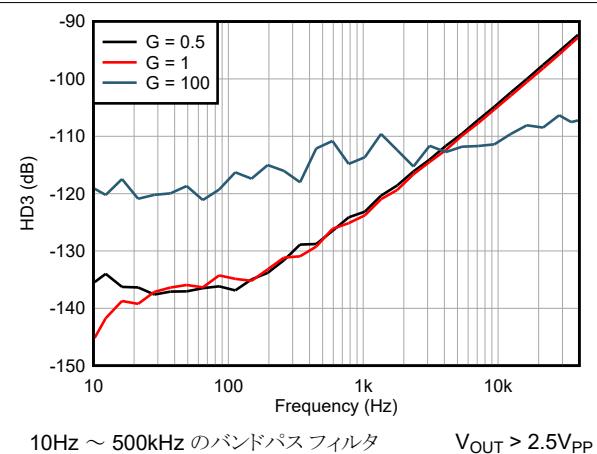
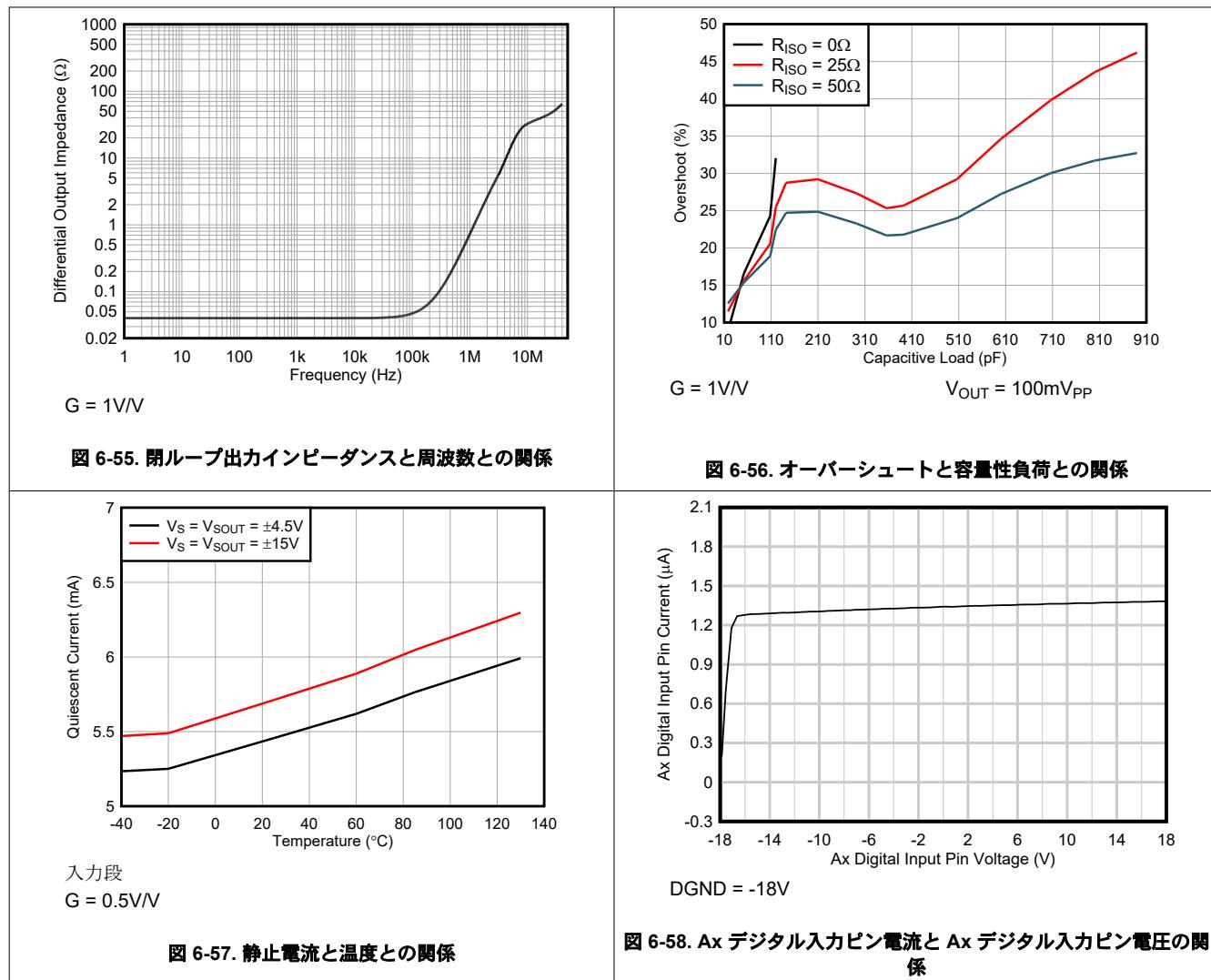


図 6-54. 3次高調波歪と周波数との関係

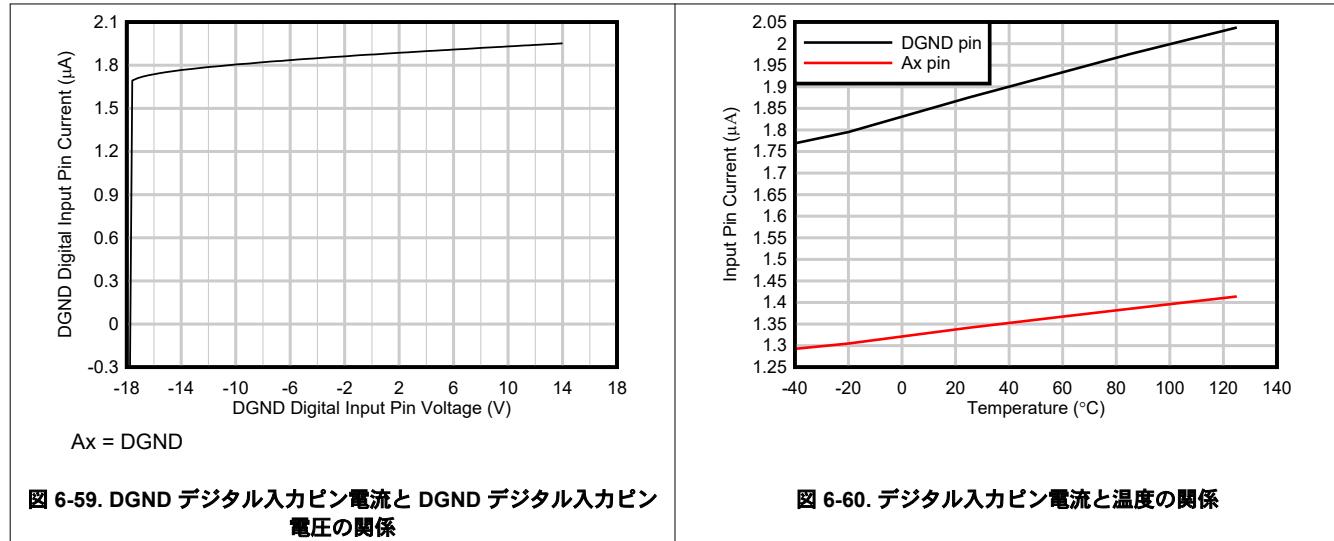
6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{SOUT} = \pm 15\text{V}$ 、 $V_{ICM} = V_{OCM} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)



6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{OCM}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、および $G = 1\text{V/V}$ (特に記載がない限り)



7 詳細説明

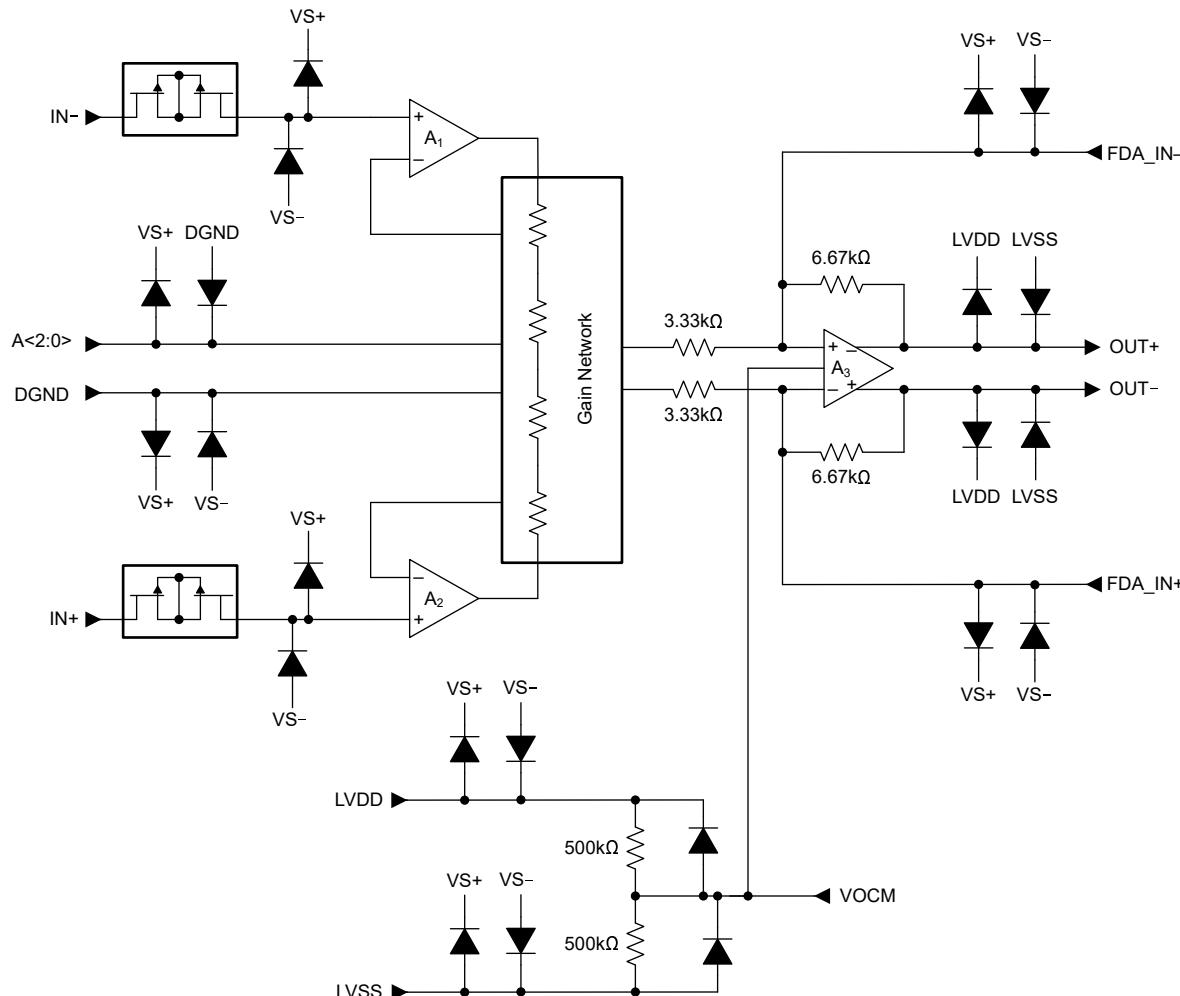
7.1 概要

PGA854 は、モノリシック、高電圧、高精度のプログラム可能ゲイン計測アンプです。PGA854 は、高速の電流帰還入力段と、内部的にマッチングされたゲイン抵抗ネットワークを組み合わせ、それに続く 4 つの抵抗を持つ差動アンプ出力段を組み合わせたものです。ゲイン選択ピン A0、A1、A2 を使用して、8 つの事前プログラムされたディケイドゲインを選択できます。ゲイン範囲は、 $0.5\text{V/V} \sim 100\text{V/V}$ です。詳細はセクション 7.3.1 を参照ください。

PGA854 の機能ブロック図を次のセクションに示します。差動入力電圧は、マッチングされた高インピーダンス入力の電流帰還型アンプ一対に供給されます。差動入力電圧を増幅するために、高精度にマッチングされた統合ゲイン抵抗ネットワークが使用されます。出力差動アンプ A_3 は、入力同相モードコンポーネントを除去し、出力信号を VOCM ピンで設定された電圧レベルに渡します。

PGA854 出力アンプの帯域幅は、追加の ADC ドライバなしで最大 1MSPS のサンプリング レートで高性能 A/D コンバータ (ADC) を駆動するように最適化されています。出力アンプは、入力段電源とは独立した別の電源を使用します。ADC を駆動する場合は、LVDD と LVSS から ADC 電源への低インピーダンス接続を使用します。この構成により、過電圧状態による損傷から ADC 入力が保護されます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 ゲイン制御

PGA854 は、3 本のピンを使用してアンプのゲインを設定します。これらのゲイン選択ピンは DGND を基準に設定されます。この構成により、SPI または他のデジタル インターフェイス オプションでゲインを変更する必要があるプログラム可能ゲイン アンプと比較して、設計が簡素化されます。図 7-1 はゲイン設定ブロック図を示しています。表 7-1 はゲイン オプションのリストです。外部ソースによって駆動されないゲイン選択ピンは、内部プルダウン オプションを使用して自動的に DGND にバイアスされます。

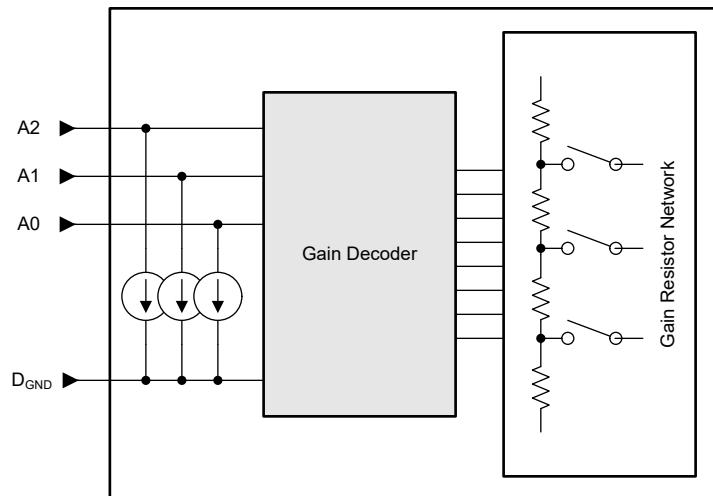


図 7-1. PGA854 ゲイン設定ブロック図

表 7-1. ゲイン オプション

A2:A0	ゲイン
000	0.5
001	1
010	2
011	5
100	10
101	20
110	50
111	100

7.3.2 入力保護

PGA854 の入力は、高低の電源電圧に対して $\pm 40V$ まで個別に保護されています。たとえば、 $-55V \sim +55V$ の範囲の入力同相電圧は、 $\pm 15V$ 電源から電力を供給しても損傷を引き起しません。各入力の内部回路により、通常の信号条件では低い直列インピーダンスが得られるため、通常の動作条件で高い性能が維持されます。入力が過負荷になった場合、保護回路は入力電流を約 $4.8mA$ に制限します。図 7-2 は、IN+ または IN- 入力の過電圧状態時の入力保護機能を示します。

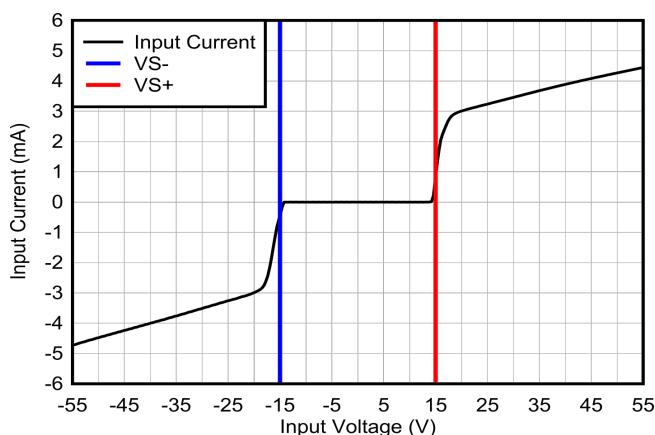


図 7-2. 入力電流と入力過電圧との関係

図 7-3 は、入力過電圧状態時に、電流が入力保護ダイオードを通って電源に流れることを示しています。電源が電流をシンクできないアプリケーションでは、電源に Zener ダイオードクランプ (ZD1 および ZD2) を配置して、接地への電流経路を確保します。

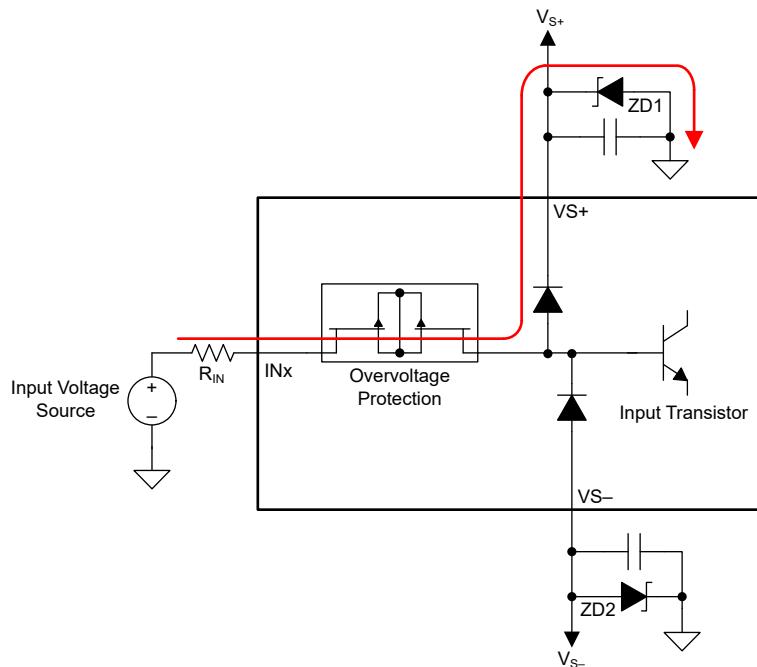


図 7-3. 過電圧状態での入力電流パス

7.3.3 出力同相モードピン

PGA854 の出力電圧は、出力同相モードピン VOCM の電圧に対してバランスが取られています。ほとんどの設計の出発点は、PGA854 の出力 同相電圧を割り当てることです。AC 結合信号路の場合、この電圧は多くの場合デフォルトの中電圧となり、VOCM を中心とする電圧の周囲で最大限の出力スイングを維持します。DC 結合信号パスおよび低電圧出力電源の場合、この電圧は $V_{LVDD} - 1.5V$ を最大値、 $V_{LVSS} + 1.5V$ を最小値として、その範囲内に設定します。より高電圧の電源の場合は、VOCM を $V_{LVDD} - 2V$ を最大値、 $V_{LVSS} + 2V$ を最小値として設定します。高精度 ADC アプリケーションでは、この電圧は通常 ADC の入力同相電圧になります。

VOCM ピンの電圧は内部でバッファリングされ、完全差動出力アンプへのバイアスがかけられるため、外部 VOCM バッファは不要です。VOCM ピンがフローティング状態の場合、出力同相モード制御電圧は、出力段電源ピン間に接続された内部 $500\text{k}\Omega - 500\text{k}\Omega$ 抵抗デバイダ回路を使用して、出力中電圧でバイアスされます。

7.3.4 完全出力差動アンプを使用したノイズの形成

セクション 7.2 は、PGA854 出力段完全差動アンプが、OUT+ 出力と反転入力の間、および OUT- 出力と非反転入力の間に $6.67\text{k}\Omega$ の帰還抵抗を使用することを示しています。反転入力への外部直接アクセスは FDA_IN+ ピンを通じて提供され、非反転入力への外部直接アクセスは FDA_IN- ピンを通じて提供されます。このオプションを使用すると、回路設計者は内部帰還抵抗と並列に外部帰還コンデンサを追加して、ノイズ フィルタリングまたはノイズ シェーピング技術を実装できます。これらのピンは、出力段用にカスタマイズした減衰ゲインを実装するためにも使用されます。内部帰還抵抗と並列回路を設計する際は、以下の重要な要素を考慮してください。

- 内部抵抗ネットワークの精度は 0.01% 以下です。この精度により、同相信号除去比 (CMRR) は 80dB 以上になります。これらのピンのリーケージ電流の不一致により、同相信号除去比 (CMRR) が性能低下する可能性があります。
- 内部抵抗器の絶対抵抗変動は $\pm 15\%$ です。カスタム減衰ゲインまたはノイズ フィルターを実装する場合は、この変動を考慮してください。

注意

これらのピンを出力として扱いたり、電流をソースまたはシンクするためにピンを使用したりしないでください。帰還抵抗を流れる過剰な電流が原因で、内部回路に永続的な損傷が発生する可能性があります。

7.4 デバイスの機能モード

PGA854 には単一の機能モードがあり、入力段の電源が $\pm 4.5V$ (9V) を超え、出力段の電源が $\pm 2.25V$ (4.5V) を超える場合に動作します。セクション 6.3 も参照してください。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

PGA854 は、完全差動出力を備えたモノリシック、高電圧、高帯域、高精度のプログラマブル ゲイゲートアンプです。 PGA854 は、高速の電流帰還入力段と、内部的にマッチングされたゲイン抵抗ネットワークを組み合わせ、それに続く 4 つの抵抗を持つ差動アンプ出力段を組み合わせたものです。 PGA854 には、3 つのデジタル ゲイン選択ピンを使用して、 $0.5V/V$ から $100V/V$ までの 8 つのディケイドゲイン設定が備わっています。 A0, A1 および A2。

PGA854 は、工場自動化および制御、アナログ入力モジュール、データ収集、テストおよび測定、半導体テストなどのアプリケーション向けに設計されています。

8.1.1 リニア動作入力範囲

PGA854 入力回路のリニア動作入力電圧範囲は、どちらの電源でも $3V$ (最大) 以内に拡張されます。このデバイスは、この範囲全体にわたってあらゆる温度で優れた同相信号除去を維持します。リニア動作同相入力範囲は、入力同相電圧、入力差動電圧、ゲイン、および出力 同相電圧の関数です。

図 8-1 から図 8-4 は、無負荷状態で有効な出力電圧を有効化するための有効な同相範囲を示します。

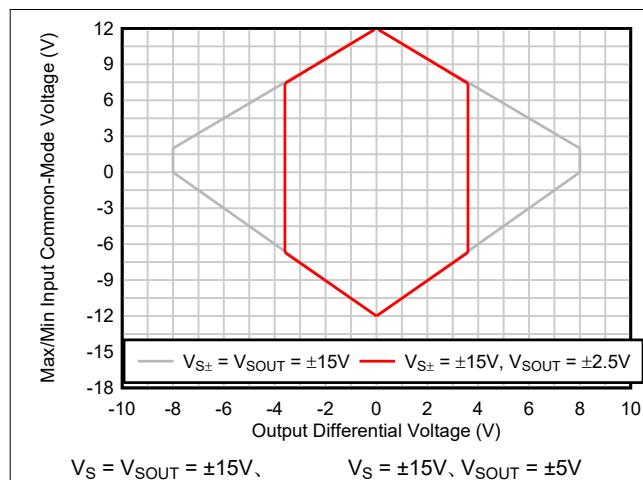


図 8-1. 入力同相電圧と出力差動電圧との関係

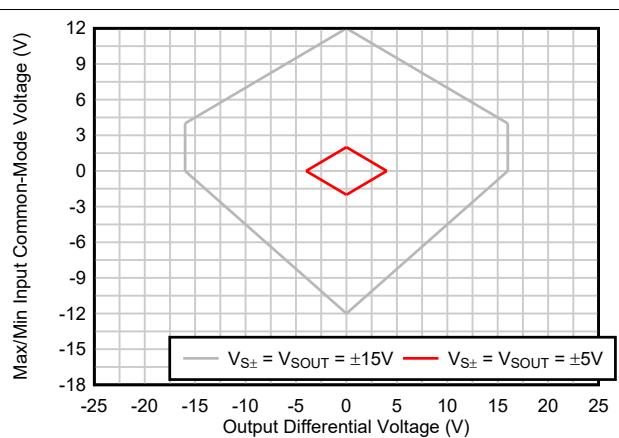


図 8-2. 入力同相電圧と出力差動電圧との関係

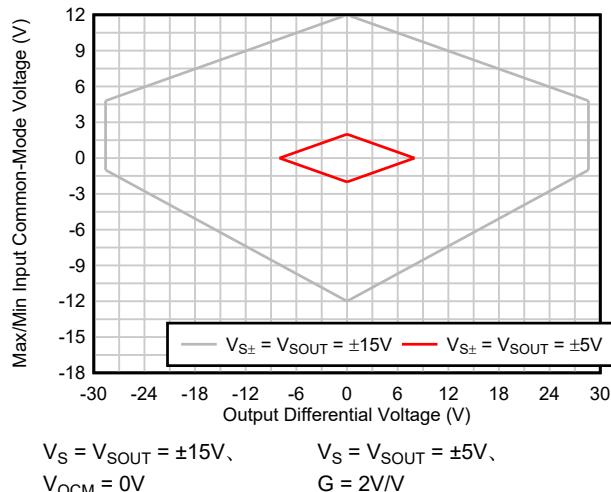


図 8-3. 入力同相電圧と出力差動電圧との関係

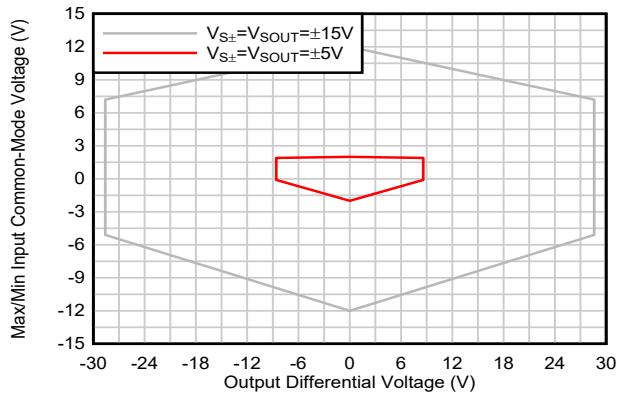


図 8-4. 入力同相電圧と出力差動電圧との関係

8.1.2 差動入力の消費電流

PGA854 などのプログラム可能ゲインアンプは、内部抵抗を使用してゲインを設定します。その結果、これらの抵抗を流れる電流によって消費電流が増加します。大きな振幅の差動信号を印加したとき、消費電流の最大値は $G = 2V/V$ のときに生じます。

「仕様」セクションの I_Q 値は、 $V_{IN} = 0V$ の条件で規定されています。差動入力レベルが高い場合は、より高い電源電流が予想されます。ゼロ差動入力で規定されるバイアス電流 I_B についても同様です。入力バイアス電流は、リニア入力範囲制限の上限に達するまでは差動入力の増加に伴ってわずかに増加します（詳細は [セクション 8.1.1](#) を参照）。入力がリニア入力範囲制限を超える（入力が過駆動される）場合、入力バイアス電流は大幅に増加します。

図 8-5 から図 8-8 は、入力段電源の入力差動電圧に対する標準的な消費電流と、デバイスがオーバードライブされたときに PGA854 入力によって引き込まれた電流を示しています。破線の垂直基準線は、特定のゲイン (V_{IN}) におけるデバイスのリニア動作領域の概要を示します。この領域の外側では、デバイスの入力がオーバードライブされます。

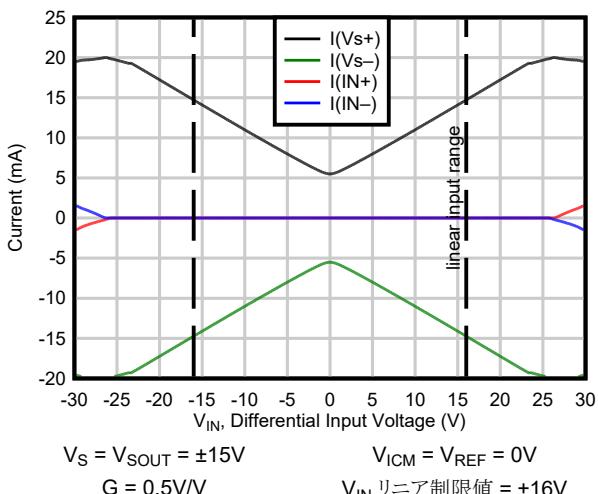


図 8-5. 電流消費と差動入力電圧との対比

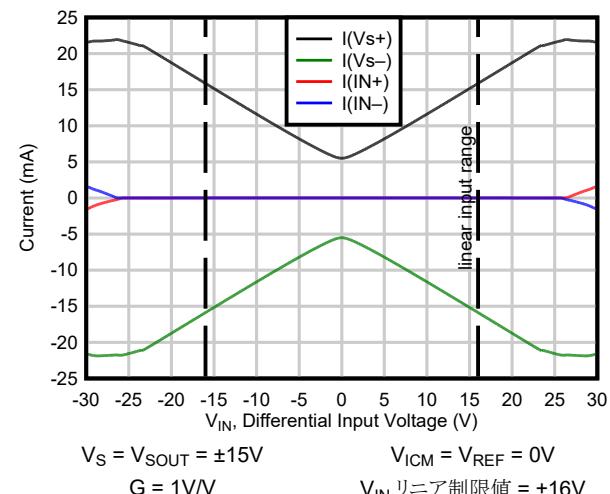
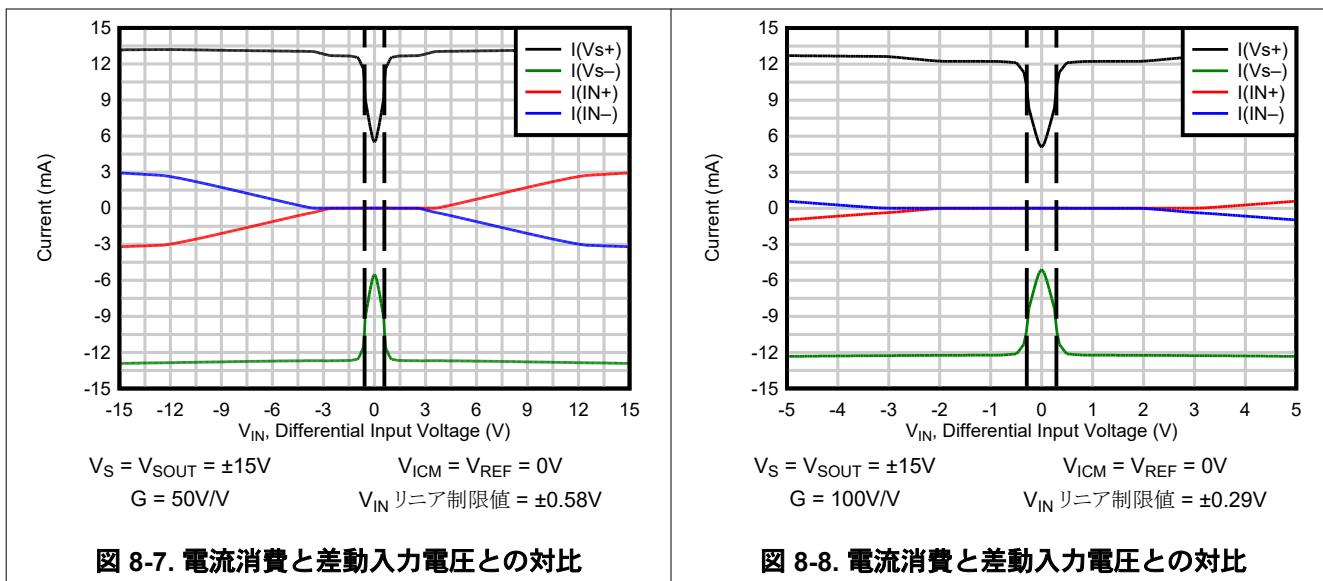


図 8-6. 電流消費と差動入力電圧との対比



8.2 代表的なアプリケーション

8.2.1 ADS127L11 および ADS127L21B、24 ビット、デルタ シグマ ADC ドライバ回路

図 8-9 のアプリケーション回路は、24 ビットの広帯域デルタ シグマ ADC の回路図を示しています。ADS127Lx1 ADC には、AC アプリケーション（広帯域フィルタ）または DC アプリケーション（sinc4 フィルタ）を最適化するための 2 つのデジタル フィルタが用意されています。表 8-2 および表 8-3 に、両方のフィルタ設定での測定結果を示します。ADS127Lx1 ADC を動作させるための詳細な設計手順については、ADS127Lx1EVM-PDK 評価基板ユーザーガイドを参照してください。

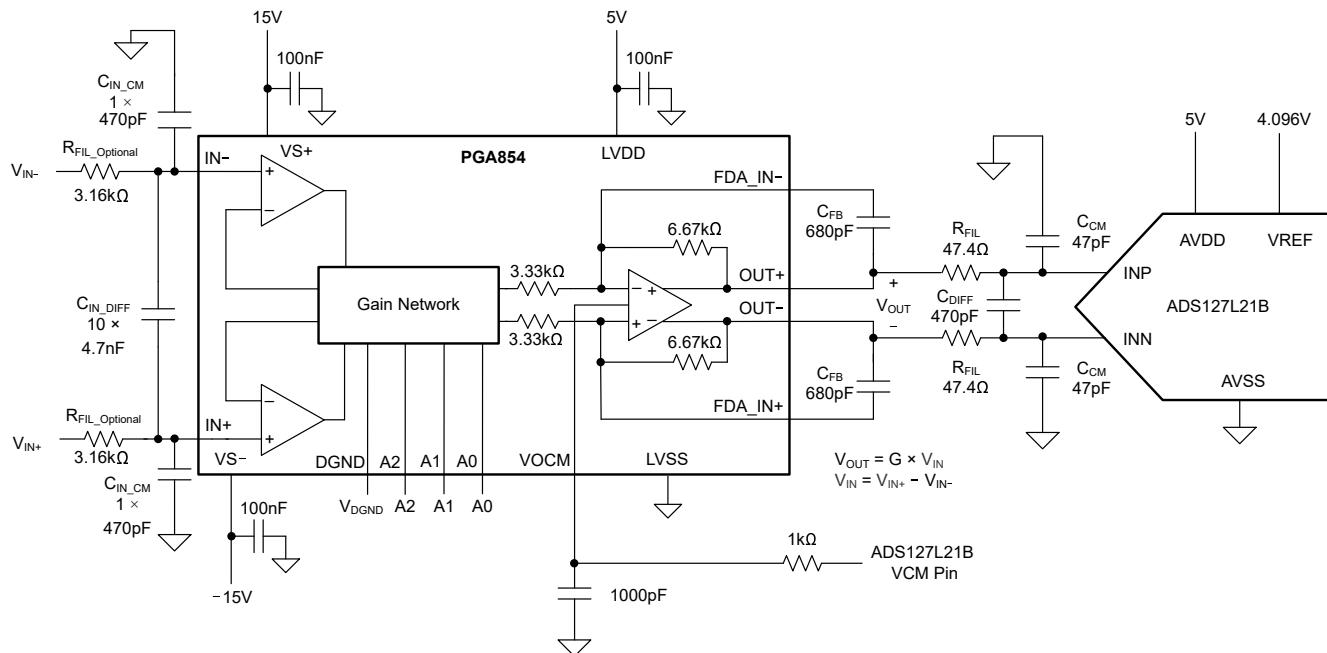


図 8-9. ADS127Lx1 デルタ シグマ ADC の駆動

8.2.1.1 設計要件

ADS127Lx1 ADC を駆動するアプリケーションの設計要件は、表 8-1 に記載されています。

表 8-1. 設計パラメータ

パラメータ	値
差動から差動への変換	V_{IN} から V_{OUT}
電源電圧	$V_{S\pm} = \pm 15V$ 、 $V_{LVDD} = 5V$ 、 $V_{LVSS} = GND$ 、 $VREF = 4.096V$
ADC のフルスケール範囲	$FSR = \pm 4.096V$
ADC のデータレート	$f_{DATA} = 187.5kSPS$
ADC フィルタの構成	(1) 高速モード、Sinc4 フィルタ、OSR = 64 (2) 高速モード、広帯域フィルタ、OSR = 64
信号周波数	$f_{IN} = 1kHz$ でテスト済み
RC キックバックフィルタ ⁽¹⁾	$R_{FIL} = 47.4\Omega$ 、 $C_{DIFF} = 470pF$ 、 $C_{CM} = 47pF$

- (1) THD、周波数応答、ドリフト間のトレードオフを考慮してください。ADC への差動電流ドリフトは、フィルタ抵抗と相互作用し、ドリフトエラーが大きくなる可能性があります。ただし、抵抗が小さいと、PGA854 の位相マージンが低下します。低ドリフトアプリケーションでは、 $R_{FIL} < 50\Omega$ にします。

8.2.1.2 詳細な設計手順

表 8-2 と表 8-3 は、sinc4 または広帯域フィルタを使用して ADS127Lx1 デルタシグマ ADC を駆動する PGA854 の標準的な信号対雑音比 (SNR) と全高調波歪み (THD) を示します。入力に 1kHz の差動信号が印加されます。信号振幅は、ADC フルスケールレンジの -0.2dBFS で PGA854 の出力を生成するように調整されています。PGA854 のさまざまなゲイン構成に対する等価入力電圧振幅信号のリストについては、表 8-2 および表 8-3 を参照してください。ゲイン = 1V/V のとき、Sinc4 フィルタに対してこの設計は -94dB の THD と 80.2dB の信号対雑音比を達成します。

表 8-2. PGA854 と ADS127Lx1 の FFT データ サマリ、OSR = 64、Sinc4 フィルタ

PGA のゲイン (V/V)	入力振幅 (V_{PP})	SNR (dB)	THD (dB)	ENOB (ビット)
0.5	16.6	107.28	-110.4	17.24
1	8.28	106.42	-109.17	17.08
2	4.14	106.79	-109.93	17.16
5	1.66	103.48	-108.83	16.71
10	0.83	99.03	-108.35	16.08
20	0.41	92.75	-106.19	15.08
50	0.17	86.32	-101.12	14.02
100	0.08	80.21	-94.02	13

表 8-3. PGA854 と ADS127Lx1 の FFT データ サマリ、OSR = 64、広帯域フィルタ

PGA のゲイン (V/V)	入力振幅 (V_{PP})	SNR (dB)	THD (dB)	ENOB (ビット)
0.5	16.6	105.36	-110.12	17.00
1	8.28	105.22	-109.12	16.94
2	4.14	105.45	-109.96	17.01
5	1.66	102.83	-108.62	16.62
10	0.83	98.7	-108.64	16.03
20	0.41	93.15	-104.83	15.13
50	0.17	85.67	-99.43	13.91
100	0.08	79.8	-93.67	12.93

計測アンプの入力にある R-C-R 差動ローパスフィルタは、EMI/RFI 高周波外部ノイズの低減に役立ちます。このフィルタは、帯域幅とアプリケーションの要件に応じてカスタマイズできます。この設計例 (図 8-9 を参照) では、コンデンサ比が

$C_{IN_DIFF} = 10 \times C_{IN_CM}$ のフィルタが提案されています。差動コンデンサ C_{IN_DIFF} と同相モードコンデンサ C_{IN_CM} の比率を 10:1 で使用すると、優れた差動および同相モードノイズ除去が得られます。この配置は、フィルタコンデンサの許容誤差の変動や不一致の影響を受けにくい傾向があります。上の測定では、ソース波形ジェネレータからのノイズおよび高調波を制限するために、狭帯域入力フィルタが使用されています。

帰還コンデンサ C_{FB} は、PGA854 出力段の $6.67\text{k}\Omega$ 帰還抵抗と並列に接続され、追加のノイズ フィルタリングを実装するのに役立ちます。内部抵抗器には絶対抵抗値の変動が $\pm 15\%$ あるので、ノイズ フィルタリングを実装するときは、この変動を考慮してください。この例では、 C_{FB} は 680pF に設定されており、標準的な $f_{-3\text{dB}}$ コーナー周波数は 35kHz になります。帰還抵抗の変動を考慮すると、この回路の推定最小 $f_{-3\text{dB}}$ コーナー周波数は約 30kHz になります。

ADS127Lx1 の入力にあるフィルタは、ADC のサンプリングされた入力をフィルタ処理するため電荷を蓄積します。電荷を蓄積することで、アンプの瞬間的な電荷需要を削減し、アンプの不完全な収束によって劣化する可能性のある低歪みと Low ゲイン誤差を維持します。ADC 入力フィルタの値は、 $R_{FIL} = 47.4\Omega$ 、 $C_{DIFF} = 470\text{pF}$ 、 $C_{CM} = 47\text{pF}$ です。ADC 入力のプリチャージバッファは、サンプル位相の入力電荷を大幅に低減し、ADC の入力インピーダンスを上昇させてゲイン誤差を低減します。

低歪みのために、信号路 (C_{IN_DIFF} 、 C_{IN_CM} 、 C_{FB} 、 C_{DIFF} 、 C_{CM}) のあらゆる場所に高品質の COG (NPO) が使用されています。表面実装型セラミックコンデンサの中で、COG (NPO) セラミックコンデンサは、最良の容量精度を提供します。COG (NPO) セラミックコンデンサで使用される誘電のタイプは、電圧、周波数、温度の変化に対して最も安定した電気特性を提供します。

8.3 電源に関する推奨事項

PGA854 の公称性能は、入力段電源および出力段電源電圧で $\pm 15V$ 、電源電圧で V_{ICM} および V_{OCM} でに規定されています。規定された制限範囲内では、性能を犠牲にせずにカスタムの入力同相電圧と出力同相電圧を使用できます。[セクション 6.3](#) も参照してください。内部回路の損傷を防止するため、出力段の電源はクランプされて入力段の電源電圧レベル内に維持されます。[セクション 7.2](#) も参照してください。

注意

供給電圧が $40V$ ($\pm 20V$) を超えると、デバイスが永久的に損傷します。電源電圧または温度によって変動するパラメータは、このデータシートの [セクション 6.6](#) に示されています。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

優れたレイアウト手法に対して、常に关心を持つことをお勧めします。デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- 同相モード信号が差動信号と熱起電力 (EMF) に変換されないようにするために、両方の入力パスが対称であり、ソースインピーダンスと容量に対して適切にマッチングされていることを確認してください。
- ノイズは、デバイスの電源ピンや回路全体を通じてアナログ回路に伝播する可能性があります。バイパスコンデンサは、アナログ回路に対して局所的に Low インピーダンスの電源を供給することにより、結合ノイズを低減します。
 - 各電源ピンとグランドの間に Low ESR $0.1\mu F$ のセラミックバイパスコンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、 $V+$ からグランドに対して 1 つのバイパスコンデンサを接続します。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離した状態にすることができない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに効果的です。
- FDA_IN+ ピンと FDA_IN- ピンのリーケージにより、出力電圧に DC オフセットエラーが発生する可能性があります。また、これらのピンに過剰な寄生容量が加わると、位相マージンが減少し、出力段の安定性に影響を及ぼす可能性があります。これらのピンを使用して意図的な容量性帰還を実装しない場合リーケージと寄生容量を最小限に抑えるためのベストプラクティスに従ってください。
- リーケージと寄生容量を最小限に抑えるためのベストプラクティスに従ってください。これには、入力ピンのすぐ下にあるすべてのグランドプレーンにキープアウト領域を実装することが含まれます。
- 熱接続部の数を最小限に抑えます。可能なら、ビアなしで单一の層を使用して信号バスを配線します。
- 主要な熱エネルギー ソースからは十分に距離を離します (消費電力が大きい回路)。それが不可能な場合は、差動信号バスの両側の熱エネルギー源の影響が均等になるようにデバイスを配置します。
- 配線はできる限り短くします。

8.4.2 レイアウト例

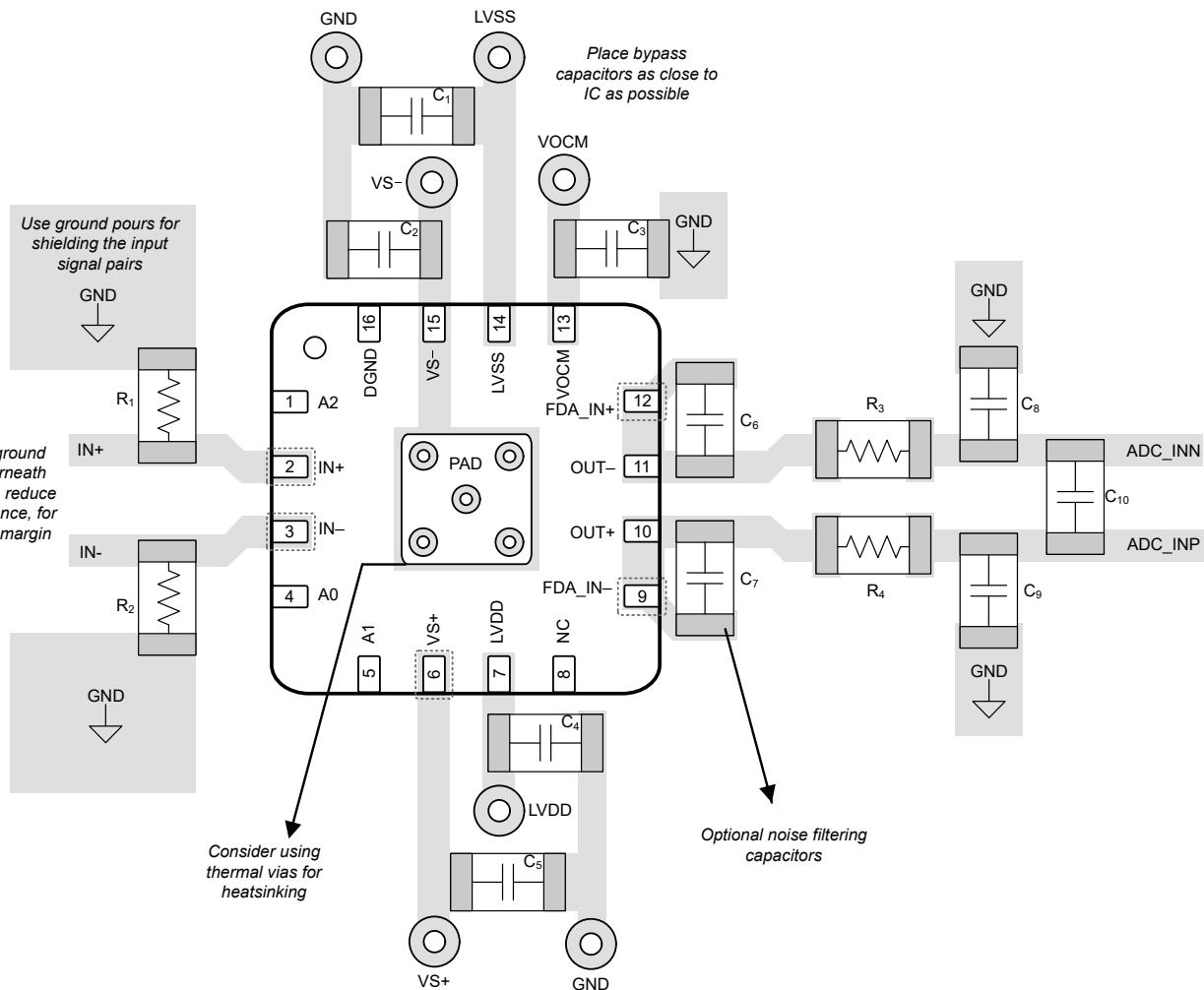
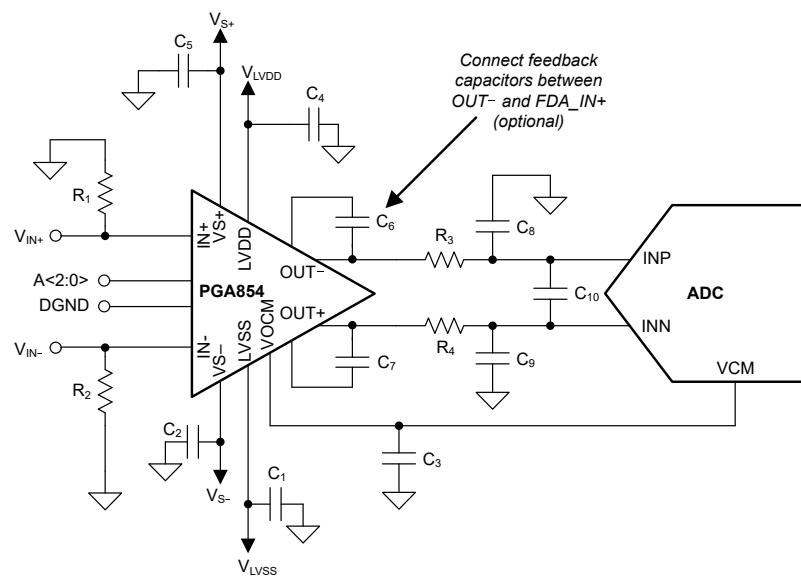


図 8-10. 回路図と関連する PCB レイアウトの例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

9.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプの設計を作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

9.1.1.2 TINA-TI™ シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは [設計およびシミュレーション ツール Web](#) ページから [無料でダウンロード](#) でき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[計測アンプの総合計算誤差の](#)
- テキサス・インスツルメンツ、[計測アンプアプリケーションにおける入力バイアス電流帰路の重要性に関するアプリケーションノート](#)
- テキサス インスツルメンツ、[ADS127L21, 512kSPS、プログラマブル フィルタ、24 ビット、広帯域デルタシグマ ADC データシート](#)

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (August 2025) to Revision A (December 2025)	Page
ドキュメントのステータスを事前情報から量産データに変更.....	1
同相入力インピーダンスを 7pF から 4.4pF に変更.....	6
差動入力電圧の制限値を ±20V から ±16V に変更.....	6
G = 2, 10, 20 の同相信号除去比をそれぞれ 81dB, 96dB, 102dB から 80dB, 95dB, 100dB に変更.....	6
「電圧ノイズ」セクションを追加.....	6
さまざまなゲインについて、GE の最大値をそれぞれ 0.03% から 0.035%、0.04% から 0.045%、0.05% から 0.055% に変更.....	6
G = 0.5 の非直線性テスト条件を VOUT = 10V から 8V に変更.....	6
差動ゲイン非直線性パラメータの値を追加.....	6
G = 10, 20 の BW パラメータの値を 4.2MHz から 5MHz に変更.....	6
G = 0.5 のスルーレートテスト条件を VOUT = 10V から 8V に変更.....	6
スルーレート、ゲインスイッチング時間のパラメータの値、およびセッティング時間パラメータを追加.....	6
THD および HD2, HD3 パラメータを追加.....	6
VCOM 小信号および大信号パラメータの値を追加.....	6
IQ_INPUT パラメータの標準値を 3mA から 3.2mA に、最大値を 3.7mA から 3.9mA に変更.....	6
温度全域での IQ_INPUT パラメータの最大値を 4.5mA から 4.9mA に変更.....	6
ゲイン誤差、オフセットとオフセットドリフトの分布、ゲインと周波数の関係（以前のバージョンからの既存項目）を除き、標準的特性の図をすべて追加.....	10
ゲイン設定のブロック図を、入力に抵抗ではなく電流源を配置するように変更.....	24
VOCM の有効範囲を更新.....	26
G = 0.5, G = 1, G = 2 の「入力同相電圧と出力差動電圧の関係」曲線を更新.....	27
「差動入力での消費電流」セクションを追加.....	28
「ADS127L11 ドライバ回路のアプリケーション」セクションを更新。回路を変更し、測定結果の表を追加.....	29
RC キックバック フィルタ部品の値を変更.....	30
注意事項内に「代表的特性」セクションへの参照を追加.....	32

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PGA854RGTR	Active	Production	VQFN (RGT) 16	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGA854

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

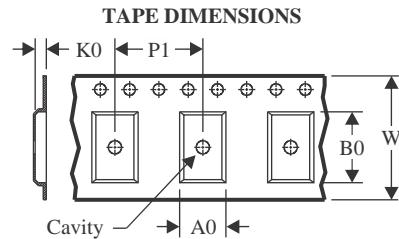
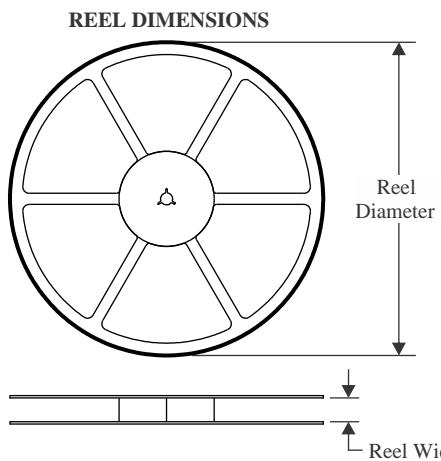
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

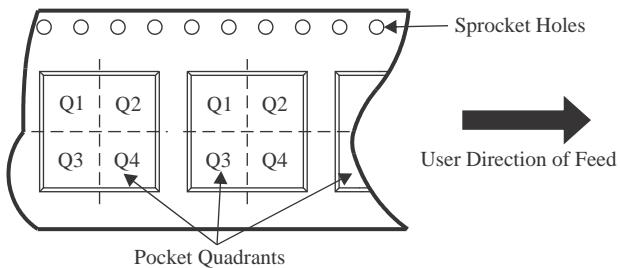
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



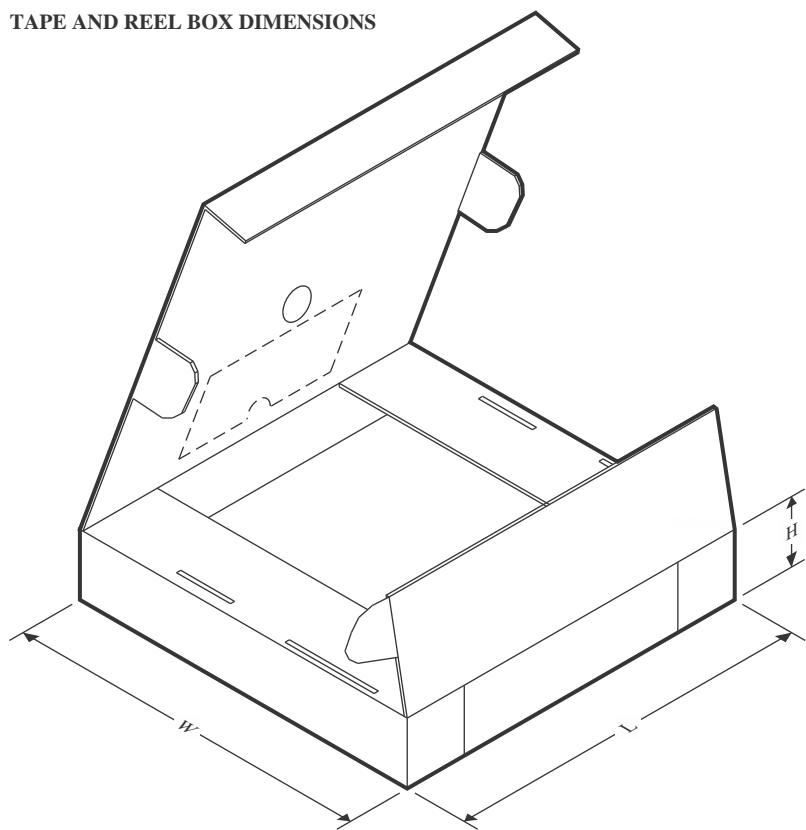
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PGA854RGTR	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

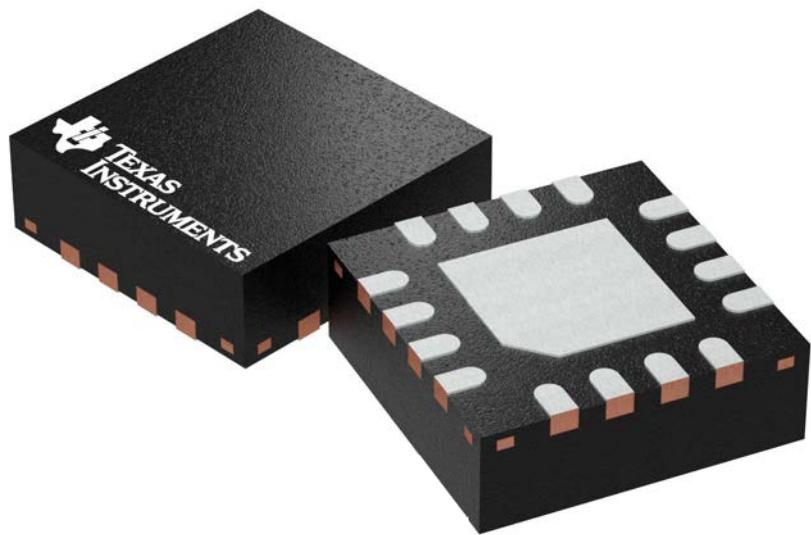
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
PGA854RGTR	VQFN	RG	16	5000	360.0	360.0	36.0

GENERIC PACKAGE VIEW

RGT 16

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

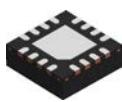


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/I

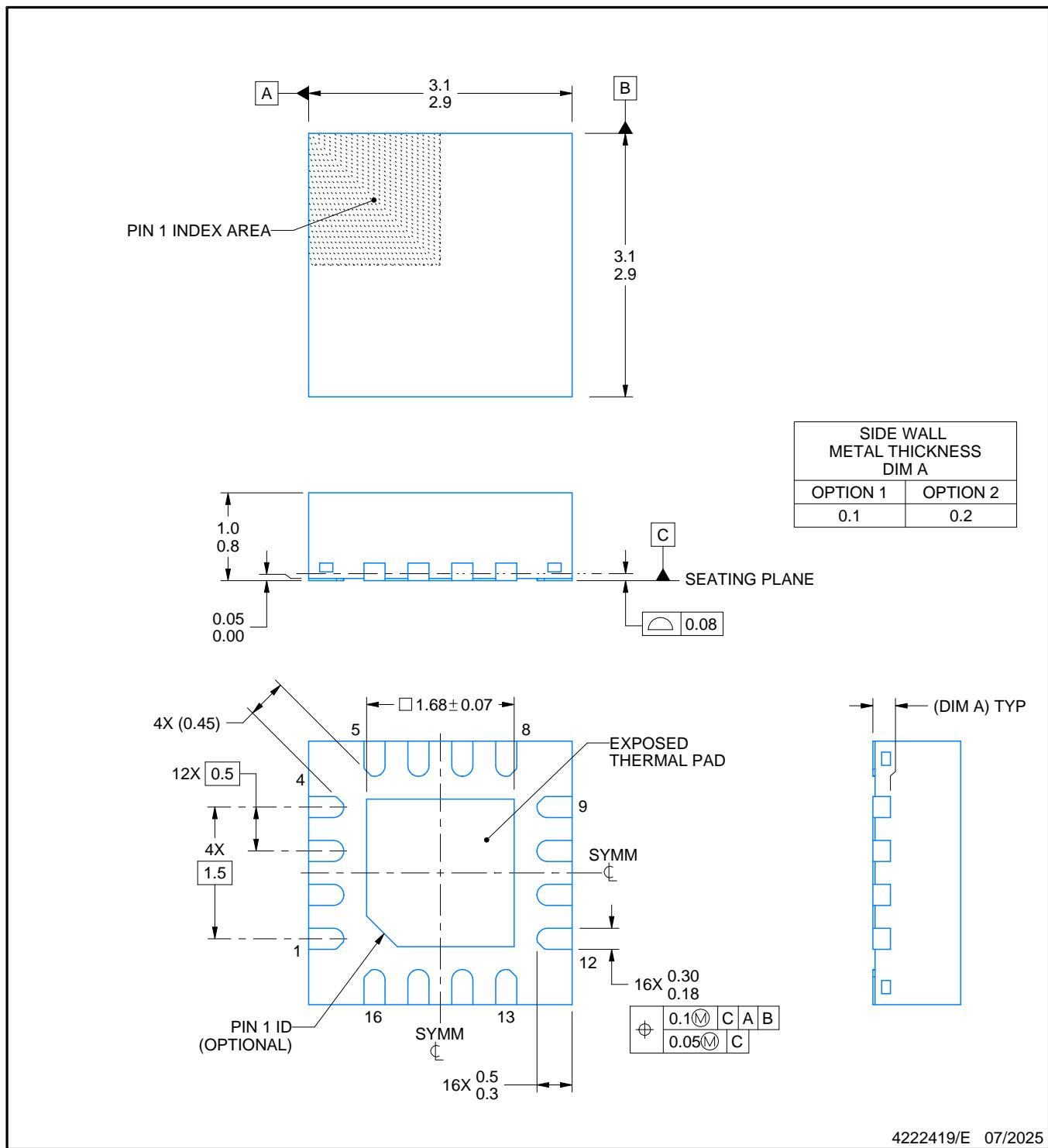
PACKAGE OUTLINE

RGT0016C



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4222419/E 07/2025

NOTES:

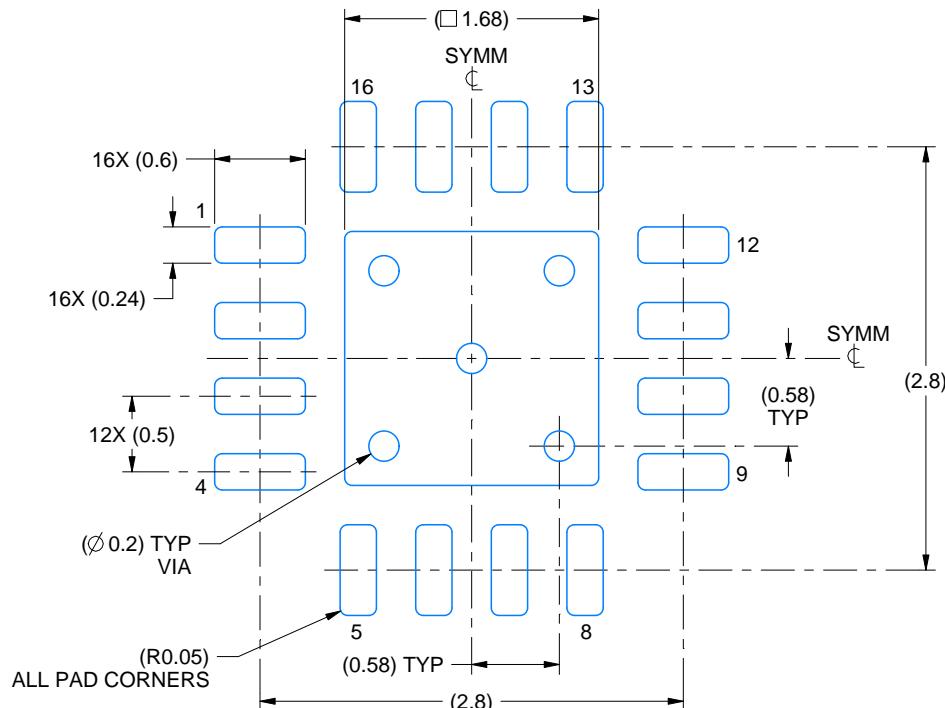
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

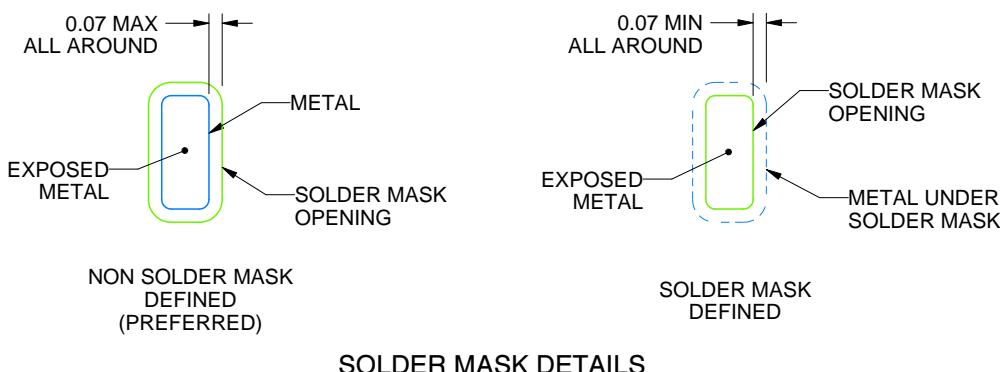
RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4222419/E 07/2025

NOTES: (continued)

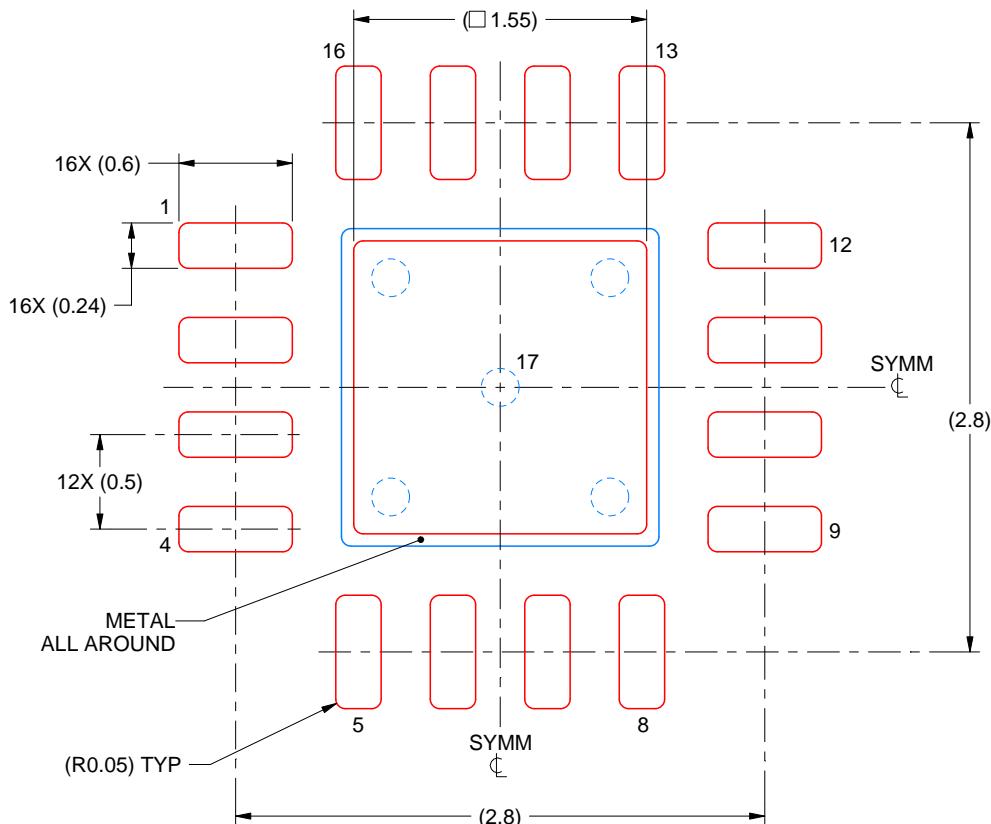
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月