

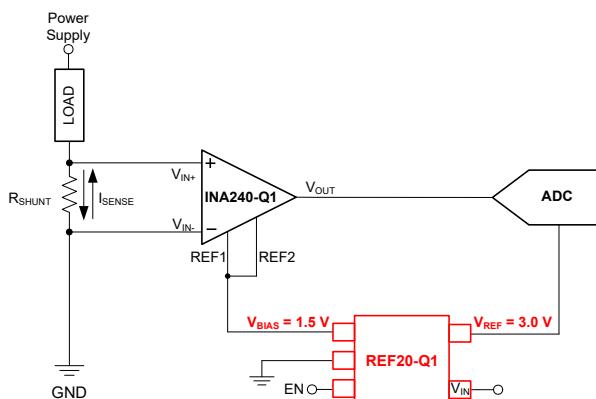
REF20xx-Q1 低ドリフト、低消費電力、デュアル出力、 V_{REF} および $V_{REF}/2$ 基準電圧

1 特長

- 下記内容で AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C の動作時周囲温度範囲
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C7B
- 機能安全対応**
 - 機能安全システムの設計に役立つ資料を利用可能
- V_{REF} および $V_{REF}/2$ という 2 つの出力により、単一電源システムでの使用に適している
- 優れた温度ドリフト性能:
 - 40°C ~ 125°C について 8ppm/°C (最大値)
- 高い初期精度: ±0.05% (最大値)
- 温度範囲全体にわたる V_{REF} および V_{BIAS} トラッキング:
 - 40°C ~ 125°C について 7ppm/°C (最大値)
- 超小型パッケージ:SOT23-5
- 低いドロップアウト電圧: 10mV
- 大きい出力電流: ±20mA
- 低い静止電流: 360μA
- ライン・レギュレーション: 3ppm/V
- 負荷レギュレーション: 8ppm/mA

2 アプリケーション

- テレマティクス制御
- バッテリ管理システム
- インバータおよびモーター制御
- 車載ゲートウェイ
- パワー・ディストリビューション・ボックス
- パワー・ステアリング
- オンボード充電器



アプリケーションの例

3 概要

正の電源電圧のみを使用するアプリケーションでは、入力バイポーラ信号をバイアスするため、多くの場合に A/D コンバータ (ADC) 入力範囲の中間に、追加の安定した電圧が必要になります。REF20xx-Q1 は、ADC 用の基準電圧 (V_{REF})、および入力バイポーラ信号をバイアスするために使用する第 2 の高精度電圧 (V_{BIAS}) を供給します。

REF20xx-Q1 は、 V_{REF} および V_{BIAS} の出力に対する温度ドリフト (最大値 8ppm/°C) および初期精度 (0.05%) が非常に優れており、430μA 未満の静止電流で動作します。

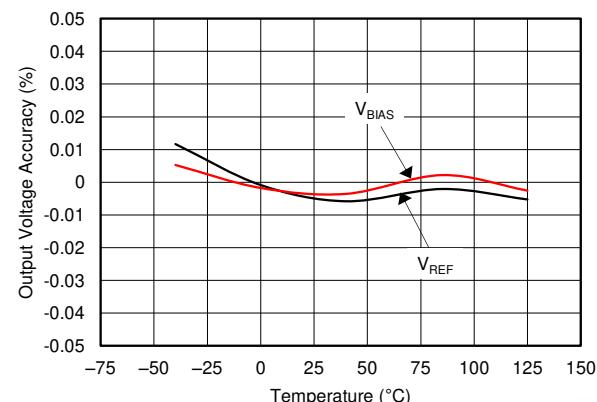
さらに、 V_{REF} および V_{BIAS} 出力は、-40°C ~ 125°C の温度範囲にわたって、7ppm/°C (最大値) の精度で相互にトラッキングします。これらの機能すべてによって、信号チェーンの精度向上、基板面積の削減を実現し、システムのコストをディスクリート・ソリューションより低くします。ドロップアウト電圧が 10mV と非常に低いため、非常に低い入力電圧で動作し、バッテリ動作のシステムでは非常に有用です。

V_{REF} および V_{BIAS} 電圧は、どちらも非常に優れた仕様を備えており、同様に電流を適切にシンクおよびソースできます。長期安定性が非常に優れており、ノイズ・レベルが低いため、これらのデバイスは高精度のアプリケーションに最適です。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
REF20xx-Q1	SOT-23 (5)	2.90mm × 1.60mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



V_{REF} および V_{BIAS} と温度との関係



英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、必ず最新版の英語版をご参照ください。

目次

1 特長	1	9.1 概要	18
2 アプリケーション	1	9.2 機能ブロック図	18
3 概要	1	9.3 機能説明	18
4 改訂履歴	2	9.4 デバイスの機能モード	19
5 デバイス比較表	3	10 アプリケーションと実装	20
6 ピン構成および機能	4	10.1 アプリケーション情報	20
7 仕様	5	10.2 代表的なアプリケーション	20
7.1 絶対最大定格	5	11 電源に関する推奨事項	26
7.2 ESD 定格	5	12 レイアウト	27
7.3 推奨動作条件	5	12.1 レイアウトのガイドライン	27
7.4 熱に関する情報	5	12.2 レイアウト例	27
7.5 電気的特性	6	13 デバイスおよびドキュメントのサポート	28
7.6 代表的な特性	7	13.1 ドキュメントのサポート	28
8 パラメータ測定情報	14	13.2 ドキュメントの更新通知を受け取る方法	28
8.1 半田付けの熱による変動	14	13.3 サポート・リソース	28
8.2 長期安定性	15	13.4 商標	28
8.3 熱によるヒステリシス	16	13.5 静電気放電に関する注意事項	28
8.4 ノイズ特性	17	13.6 用語集	28
9 詳細説明	18	14 メカニカル、パッケージ、および注文情報	28

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	リビジョン	注:
2021 年 12 月	*	初版

5 デバイス比較表

製品名	V _{REF}	V _{BIAS}
REF2025-Q1	2.5V	1.25V
REF2030-Q1	3.0V	1.5V
REF2033-Q1	3.3V	1.65V
REF2041-Q1	4.096V	2.048V

6 ピン構成および機能

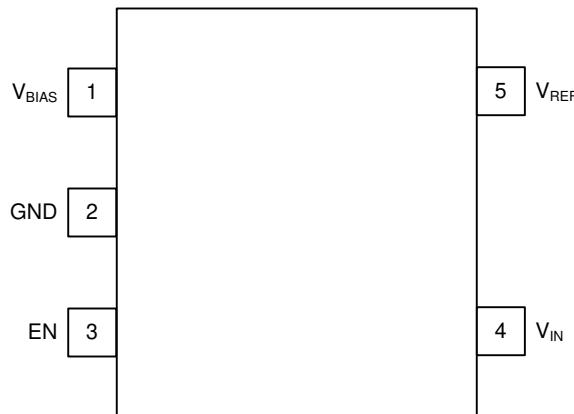


図 6-1. DDC パッケージ
SOT23-5
(上面図)

表 6-1. ピン機能

ピン		I/O	説明
番号	名称		
1	V _{BIAS}	出力	バイアス電圧出力 ($V_{REF}/2$)
2	GND	—	グランド
3	EN	入力	イネーブル ($EN \geq V_{IN} - 0.7V$ 、デバイスはイネーブル)
4	V _{IN}	入力	入力電源電圧
5	V _{REF}	出力	基準電圧出力 (V_{REF})

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
入力電圧	V_{IN}	-0.3	6	V
	EN	-0.3	$V_{IN} + 0.3$	
温度	動作	-55	150	°C
	接合部、 T_j		150	
	保存、 T_{stg}	-65	170	

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

7.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	$\pm 2,500$	V
	デバイス帶電モデル (CDM)、AEC Q100-011 準拠	± 1500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施することを示しています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	電源入力電圧範囲 ($I_L = 0\text{mA}$ 、 $T_A = 25^\circ\text{C}$)	$V_{REF} + 0.02$ ⁽¹⁾		5.5	V

- (1) さまざまな負荷電流および温度における最小入力電圧については、セクション 7.6 の図 7-27 を参照してください。

7.4 熱に関する情報

熱評価基準 ⁽¹⁾		REF20xx-Q1	単位
		DDC (SOT23)	
		5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	193.6	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	40.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	34.5	°C/W
Ψ_{JT}	接合部から上面への特性評価パラメータ	0.9	°C/W
Ψ_{JB}	接合部から基板への特性評価パラメータ	34.3	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース (底面) への熱抵抗	N/A	°C/W

- (1) 徒歩および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

7.5 電気的特性

$T_A = 25^\circ\text{C}$, $I_L = 0\text{mA}$, $V_{IN} = 5\text{V}$, (特に記述のない限り)。 V_{REF} と V_{BIAS} の仕様は同じ。

パラメータ	テスト条件	最小値	標準値	最大値	単位
精度とドリフト					
出力電圧精度		-0.05%	0.05%		
出力電圧の温度係数 ⁽¹⁾	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	± 3	± 8	$\text{ppm}/^\circ\text{C}$	
温度範囲全体にわたる V_{REF} と V_{BIAS} のトラッキング ⁽²⁾	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	± 2	± 7	$\text{ppm}/^\circ\text{C}$	
ラインおよび負荷のレギュレーション					
$\Delta V_{O(\Delta VI)}$ ライン・レギュレーション	$V_{REF} + 0.02\text{V} \leq V_{IN} \leq 5.5\text{V}$	3	35		ppm/V
$\Delta V_{O(\Delta IL)}$ 負荷レギュレーション	ソース	0mA $\leq I_L \leq 20\text{mA}$, $V_{REF} + 0.6\text{V} \leq V_{IN} \leq 5.5\text{V}$	8	20	ppm/mA
	シンク	0mA $\leq I_L \leq -20\text{mA}$, $V_{REF} + 0.02\text{V} \leq V_{IN} \leq 5.5\text{V}$	8	20	
電源					
I_{CC} 電源電流	アクティブ・モード		360	430	μA
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		460	
	シャットダウン・モード		3.3	5	
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		9	
イネーブル電圧	デバイスはシャットダウン・モード ($EN = 0$)		0	0.7	V
	デバイスはアクティブ・モード ($EN = 1$)		$V_{IN} - 0.7$	V_{IN}	
ドロップアウト電圧			10	20	mV
	$I_L = 20\text{mA}$			600	
I_{SC} 短絡電流			50		mA
t_{on} ターンオン時間	0.1% セトリング、 $C_L = 1\mu\text{F}$		500		μs
ノイズ					
低周波ノイズ ⁽³⁾	$0.1\text{Hz} \leq f \leq 10\text{Hz}$		12		ppm_{PP}
出力電圧ノイズ密度	$f = 100\text{Hz}$		0.25		$\text{ppm}/\sqrt{\text{Hz}}$
容量性負荷					
安定した出力コンデンサ範囲		0	10		μF
ヒステリシスと長期安定性					
長期安定性 ⁽⁴⁾	0~1000 時間		25		ppm
出力電圧ヒステリシス ⁽⁵⁾	$25^\circ\text{C}, -40^\circ\text{C}, 125^\circ\text{C}, 25^\circ\text{C}$	サイクル 1	60		ppm
		サイクル 2	35		

(1) 温度ドリフトは、ボックス方式に従って規定されています。詳細については、「[セクション 9.3](#)」セクションを参照してください。

(2) 温度仕様範囲全体にわたる V_{REF} および V_{BIAS} のトラッキングについては、「[セクション 9.3](#)」セクションで詳細に説明します。

(3) ピーク・ツー・ピークのノイズ測定手順については、「[セクション 8.4](#)」セクションで詳細に説明します。

(4) 長期安定性の測定手順については、「[セクション 8.2](#)」セクションで詳細に説明します。

(5) 熱ヒステリシス測定の手順については、「[セクション 8.3](#)」セクションで詳細に説明します。

7.6 代表的な特性

$T_A = 25^\circ\text{C}$, $I_L = 0\text{mA}$, $V_{IN} = 5\text{V}$ 電源, $C_L = 0\mu\text{F}$, 2.5V 出力 (特に記述のない限り)

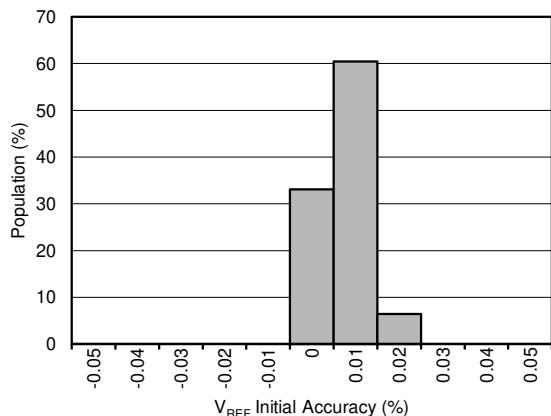
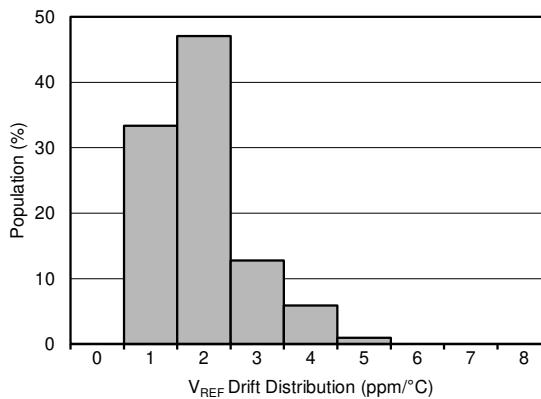


図 7-1. 初期精度の分布 (V_{REF})



$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$

図 7-2. ドリフト分布 (V_{REF})

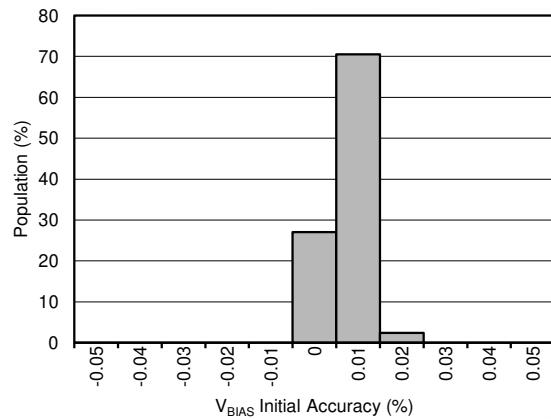
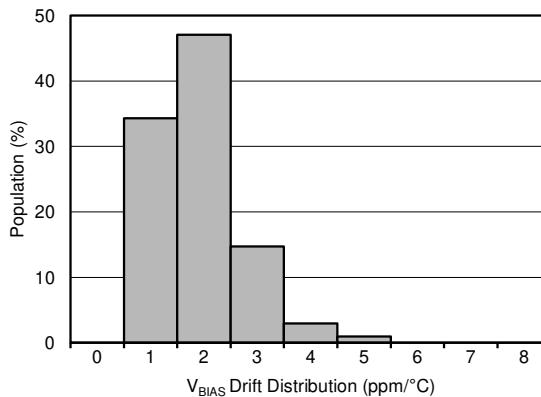


図 7-3. 初期精度の分布 (V_{BIAS})



$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$

図 7-4. ドリフト分布 (V_{BIAS})

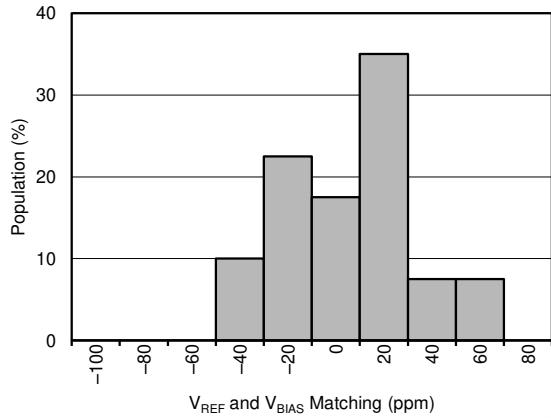
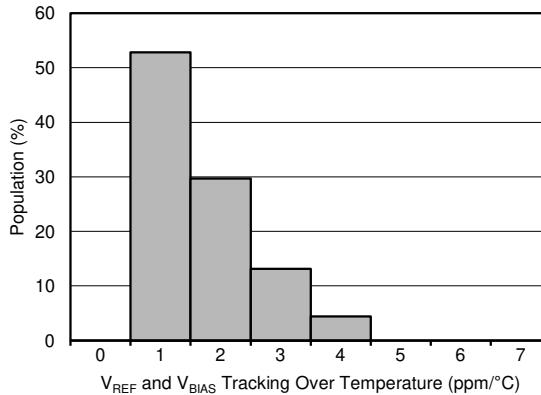


図 7-5. $V_{REF} - 2 \times V_{BIAS}$ の分布

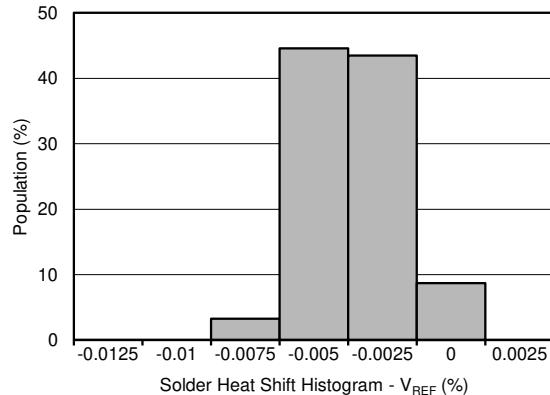


$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$

図 7-6. 温度範囲全体にわたる $V_{REF} - 2 \times V_{BIAS}$ ドリフト・トラッキングの分布

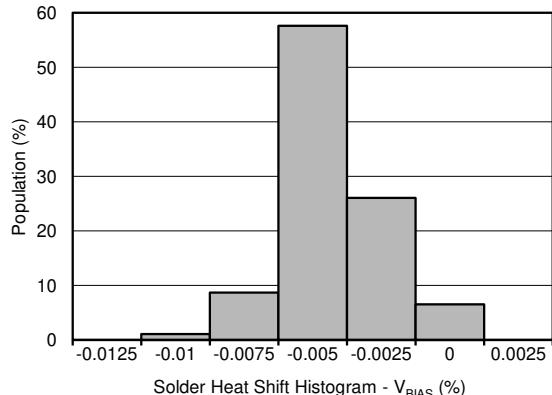
7.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$ 、 $I_L = 0\text{mA}$ 、 $V_{IN} = 5\text{V}$ 電源、 $C_L = 0\mu\text{F}$ 、 2.5V 出力 (特に記述のない限り)



詳細については、セクション 8.1 を参照してください。

図 7-7. 半田付けの熱による変動 (V_{REF})



詳細については、セクション 8.1 を参照してください。

図 7-8. 半田付けの熱による変動 (V_{BIAS})

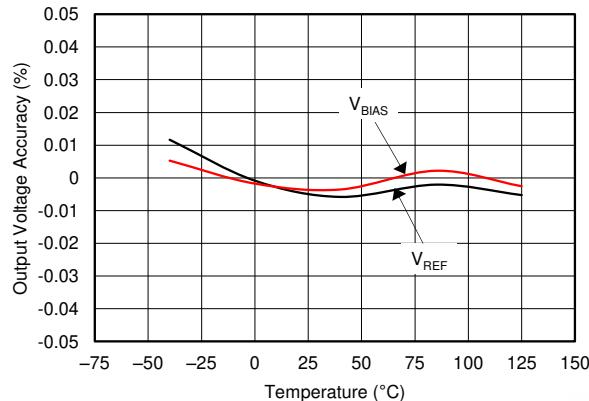


図 7-9. 出力電圧精度 (V_{REF}) と温度との関係

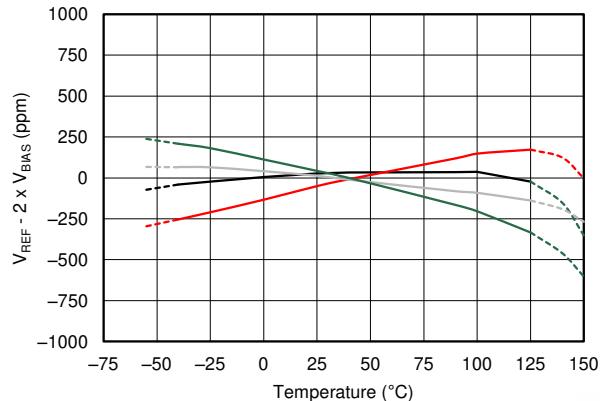
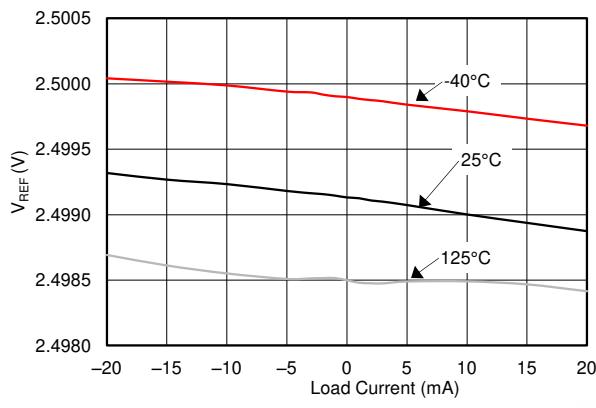
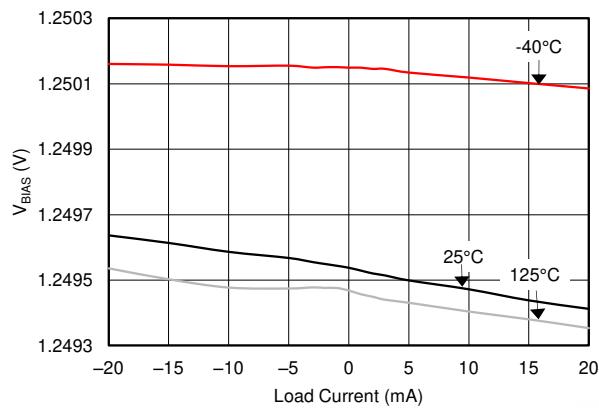


図 7-10. $V_{REF} - 2 \times V_{BIAS}$ トラッキングと温度との関係



V_{REF} 出力

図 7-11. 出力電圧変化と負荷電流との関係 (V_{REF})



V_{BIAS} 出力

図 7-12. 出力電圧変化と負荷電流との関係 (V_{BIAS})

7.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$ 、 $I_L = 0\text{mA}$ 、 $V_{IN} = 5\text{V}$ 電源、 $C_L = 0\mu\text{F}$ 、 2.5V 出力 (特に記述のない限り)

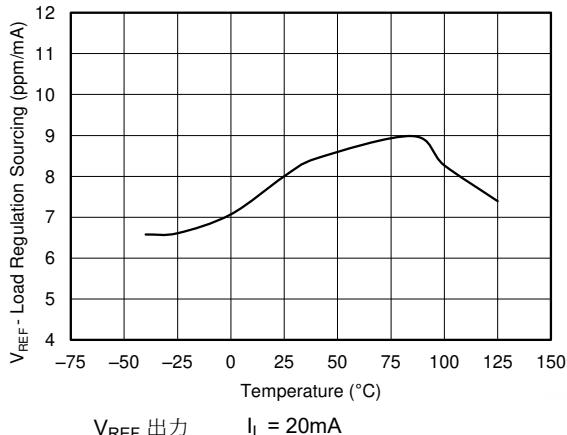


図 7-13. 負荷レギュレーション・ソースと温度との関係 (V_{REF})

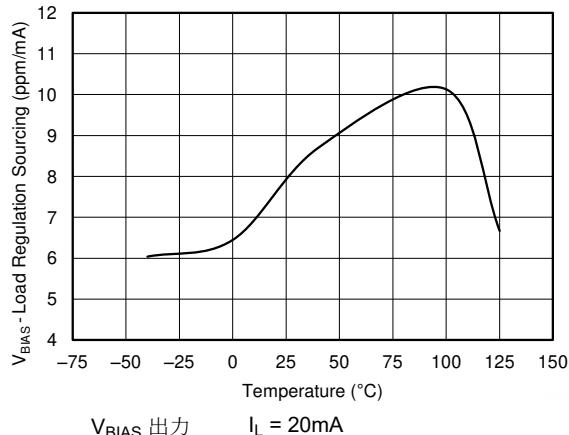


図 7-14. 負荷レギュレーション・ソースと温度との関係 (V_{BIAS})

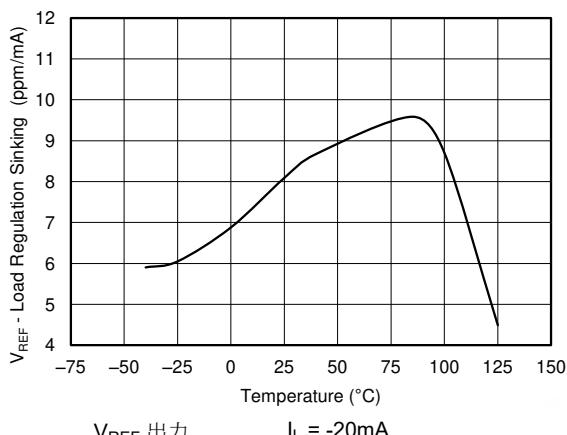


図 7-15. 負荷レギュレーション・シンクと温度との関係 (V_{REF})

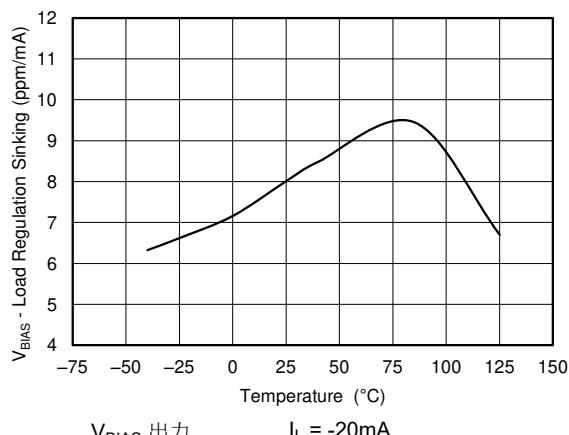


図 7-16. 負荷レギュレーション・シンクと温度との関係 (V_{BIAS})

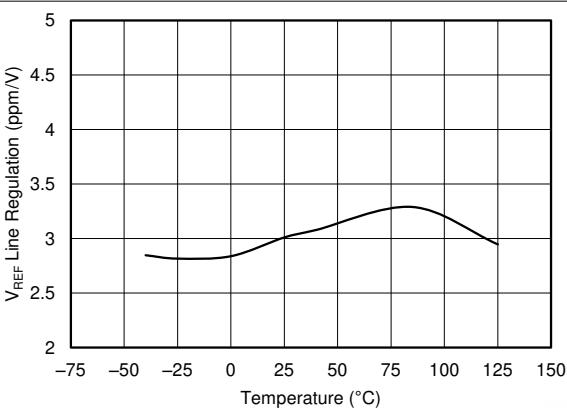


図 7-17. ライン・レギュレーションと温度との関係 (V_{REF})

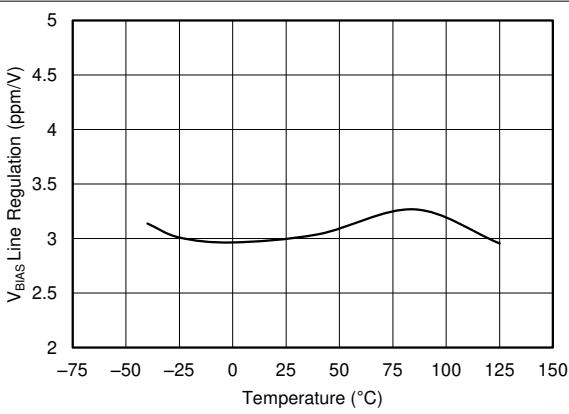


図 7-18. ライン・レギュレーションと温度との関係 (V_{BIAS})

7.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$ 、 $I_L = 0\text{mA}$ 、 $V_{IN} = 5\text{V}$ 電源、 $C_L = 0\mu\text{F}$ 、 2.5V 出力 (特に記述のない限り)

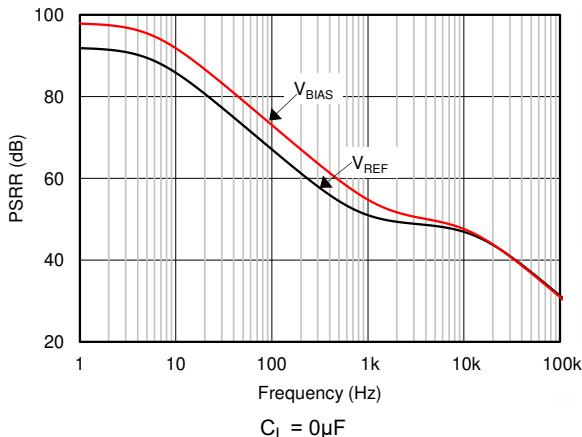


図 7-19. 電源除去比と周波数との関係

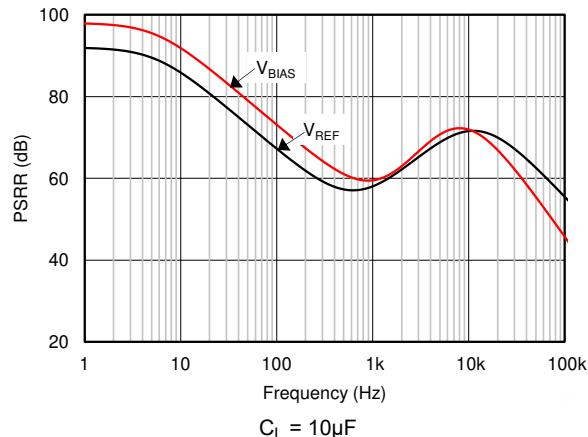
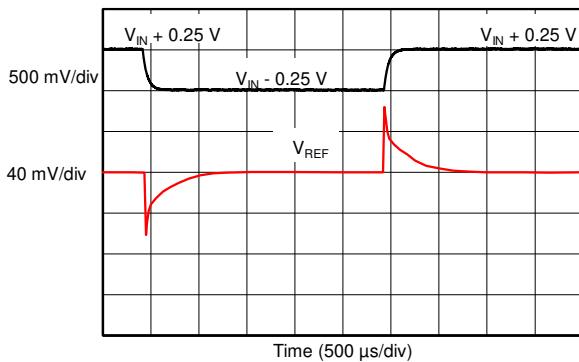
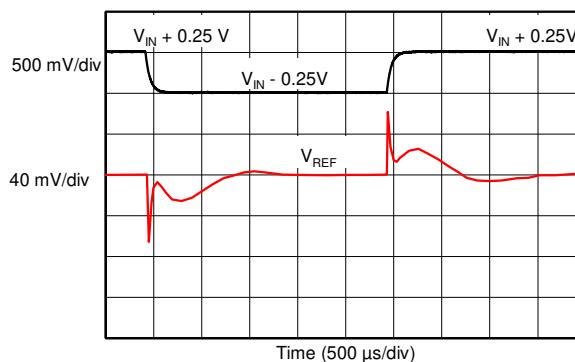


図 7-20. 電源除去比と周波数との関係



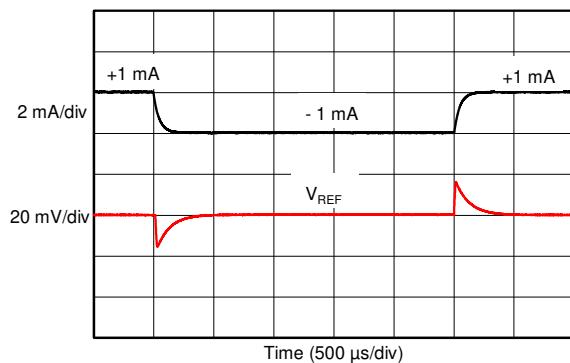
$C_L = 1\mu\text{F}$

図 7-21. ライン過渡応答



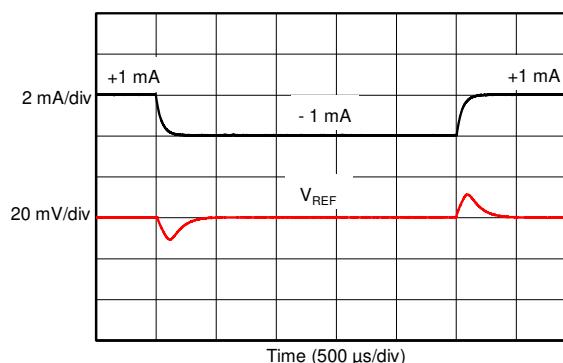
$C_L = 10\mu\text{F}$

図 7-22. ライン過渡応答



$C_L = 1\mu\text{F}$ $I_L = \pm 1\text{mA}$ ステップ

図 7-23. 負荷過渡応答

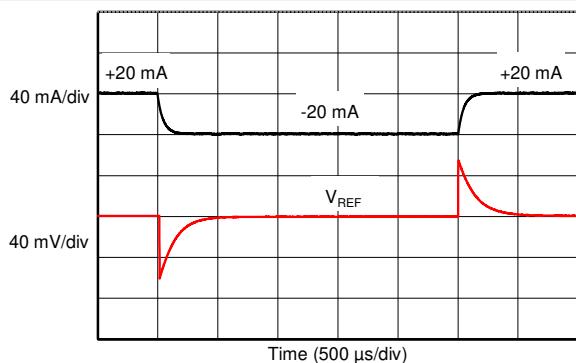


$C_L = 10\mu\text{F}$ $I_L = \pm 1\text{mA}$ ステップ

図 7-24. 負荷過渡応答

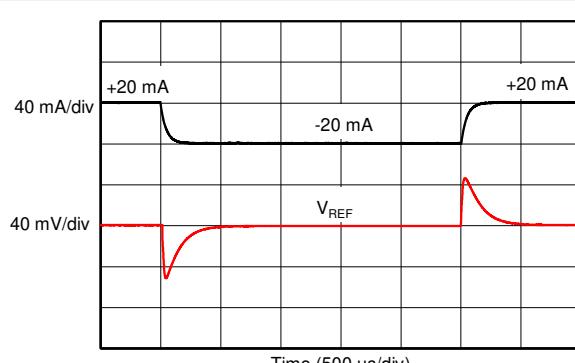
7.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$, $I_L = 0\text{mA}$, $V_{IN} = 5\text{V}$ 電源、 $C_L = 0\mu\text{F}$ 、2.5V 出力 (特に記述のない限り)



$C_L = 1\mu\text{F}$ $I_L = \pm 20\text{mA}$ ステップ

図 7-25. 負荷過渡応答



$C_L = 10\mu\text{F}$ $I_L = \pm 20\text{mA}$ ステップ

図 7-26. 負荷過渡応答

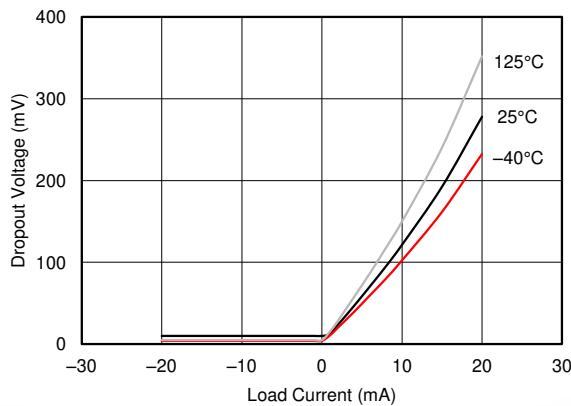
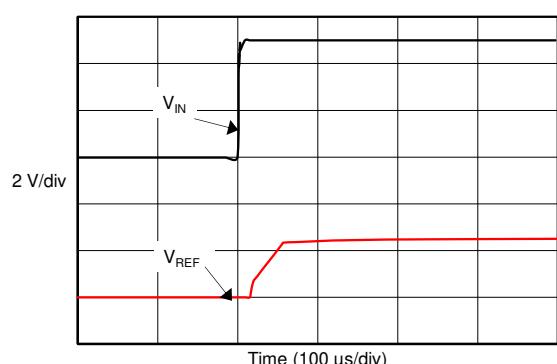
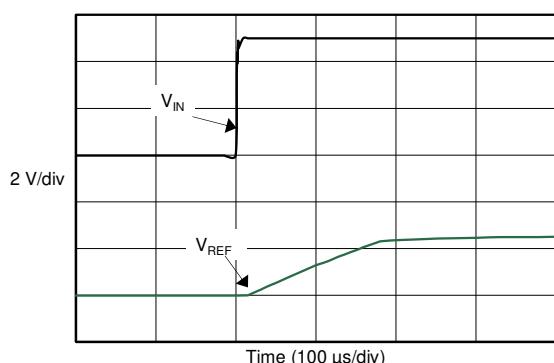


図 7-27. 最小ドロップアウト電圧と負荷電流との関係



$C_L = 1\mu\text{F}$

図 7-28. ターンオンのセトリング・タイム



$C_L = 10\mu\text{F}$

図 7-29. ターンオンのセトリング・タイム

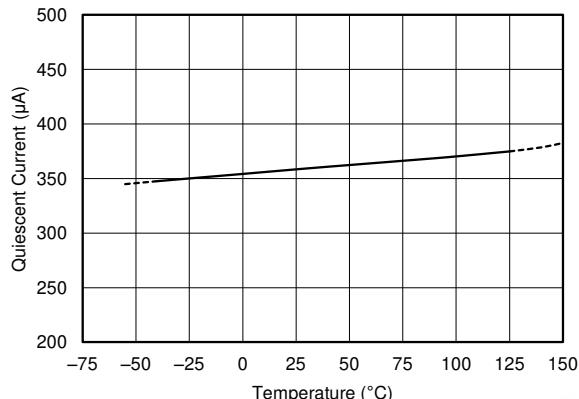


図 7-30. 静止電流と温度との関係

7.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$ 、 $I_L = 0\text{mA}$ 、 $V_{IN} = 5\text{V}$ 電源、 $C_L = 0\mu\text{F}$ 、 2.5V 出力 (特に記述のない限り)

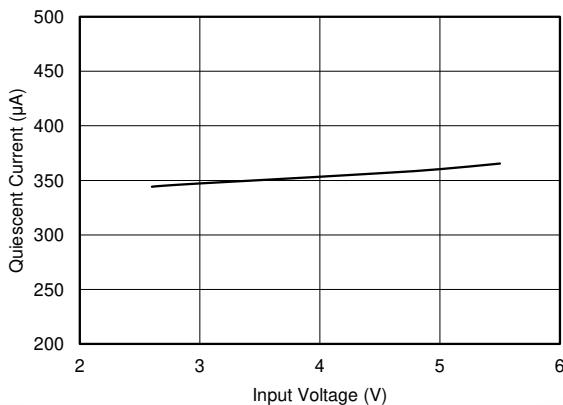
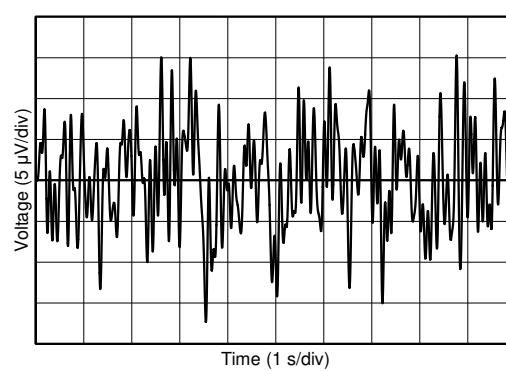
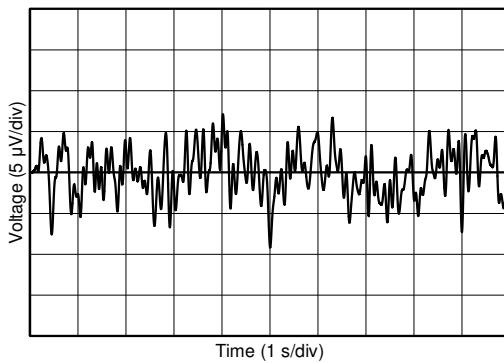


図 7-31. 静止電流と入力電圧との関係



V_{REF} 出力

図 7-32. 0.1Hz~10Hz のノイズ (V_{REF})



V_{BIAS} 出力

図 7-33. 0.1Hz~10Hz のノイズ (V_{BIAS})

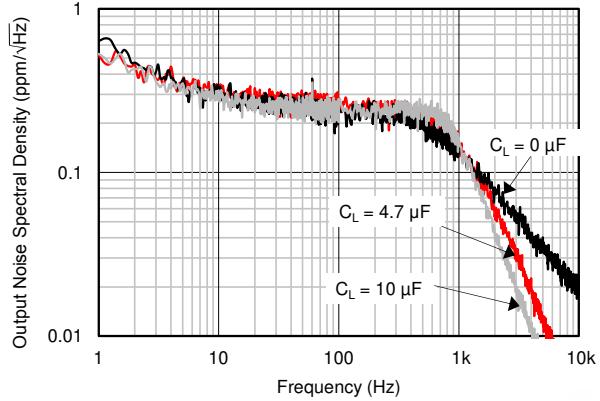
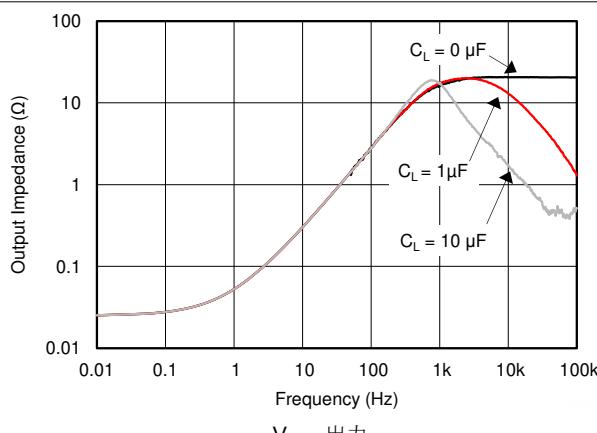
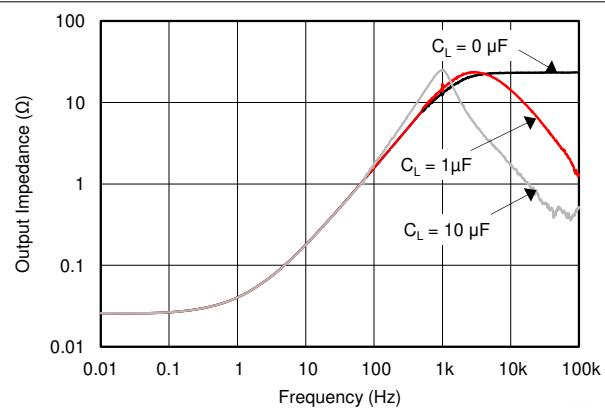


図 7-34. 出力電圧ノイズのスペクトラム



V_{REF} 出力

図 7-35. 出力インピーダンスと周波数との関係 (V_{REF})



V_{BIAS} 出力

図 7-36. 出力インピーダンスと周波数との関係 (V_{BIAS})

7.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$ 、 $I_L = 0\text{mA}$ 、 $V_{IN} = 5\text{V}$ 電源、 $C_L = 0\mu\text{F}$ 、 2.5V 出力 (特に記述のない限り)

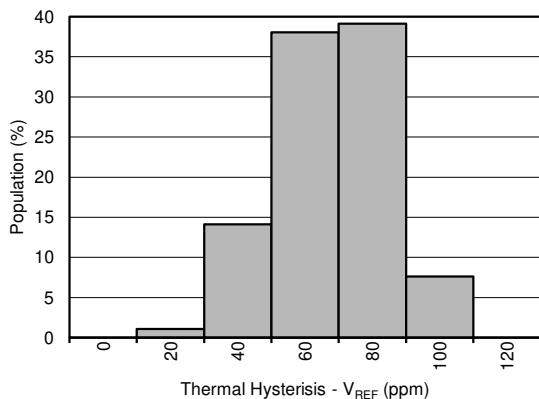


図 7-37. 热ヒステリシスの分布 (V_{REF})

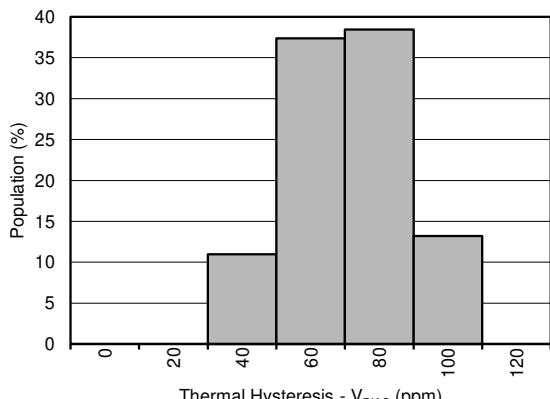


図 7-38. 热ヒステリシスの分布 (V_{BIAS})

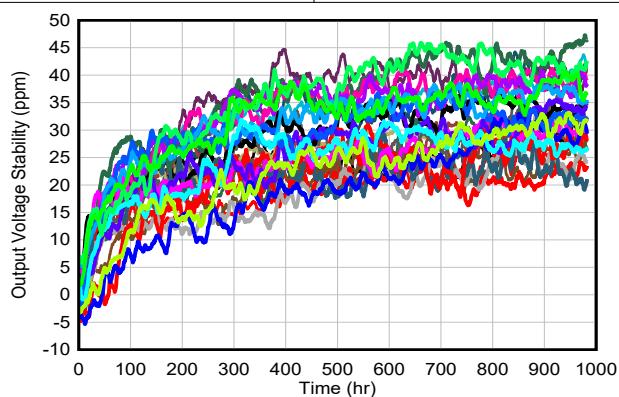


図 7-39. 長期安定性 (最初の 1000 時間)

8 パラメータ測定情報

8.1 半田付けの熱による変動

REF20xx-Q1 の製造に使用される材料はそれぞれ熱膨張係数が異なるため、部品が加熱されるとデバイスのダイにストレスが生じます。デバイス・ダイの機械的および熱的なストレスは、出力電圧のシフトを引き起こし、製品の初期精度仕様を低下させる可能性があります。この誤差が発生する一般的な原因是、リフローの半田付けです。

この影響を確認するため、4 枚のプリント基板に合計 92 個のデバイス [各プリント基板 (PCB) に 23 デバイス] を半田付けし、鉛フリーの半田ペーストとペースト・メーカーが推奨するリフロー・プロファイルを使用しました。リフロー・プロファイルは、図 8-1 に示すものです。プリント基板は FR4 素材で構成されています。基板の厚さは 1.57mm、面積は 171.54mm × 165.1mm です。

基準出力電圧とバイアス出力電圧は、リフロー処理の前後で測定されます。図 8-2 および図 8-3 に、標準的なシフトを示します。テストされるユニットすべてに、わずかなシフト (< 0.01%) が出現していますが、プリント基板のサイズ、厚さ、材質によってはさらに大きなシフトが起きる可能性もあります。注意すべき重要な点は、これらのヒストグラムに示されているのは単一のリフロー・プロファイルによる標準的なシフトだということです。PCB の両面に部品を表面実装する場合は、何回もリフローが行われるのが一般的で、このような場合は出力バイアス電圧がさらにシフトします。PCB にリフローが何回も行われる場合は、2 回目のパスでデバイスを半田付けすることにより、デバイスへの熱ストレスを最小限に抑える必要があります。

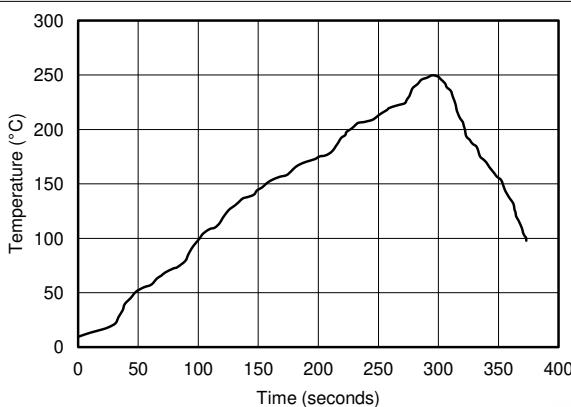


図 8-1. リフロー・プロファイル

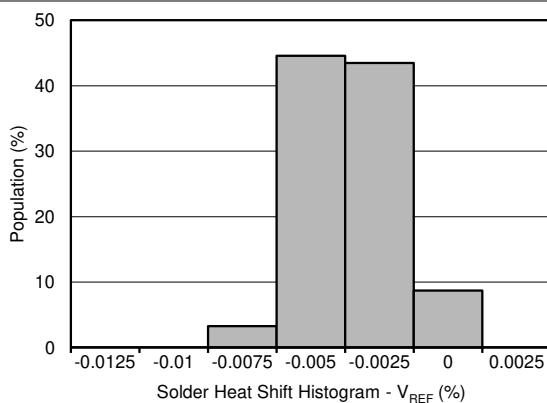


図 8-2. 半田付けの熱による変動、 V_{REF} (%)

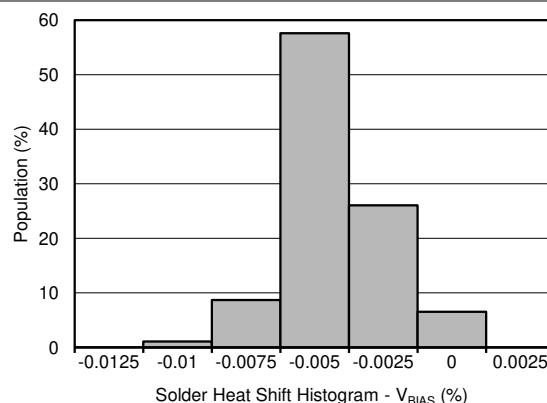


図 8-3. 半田付けの熱による変動、 V_{BIAS} (%)

8.2 長期安定性

REF20xx-Q1 の長期安定性のため、スロットやレイアウト上の特別な考慮事項なしでプリント基板に半田付けされた 32 個の部品を集めました。その後、基板をオープンに配置して大気温度を $T_A = 35^\circ\text{C}$ に維持し、32 個の部品の V_{ref} 出力を定期的に測定しました。図 8-4 に、長期安定性の代表値を示します。

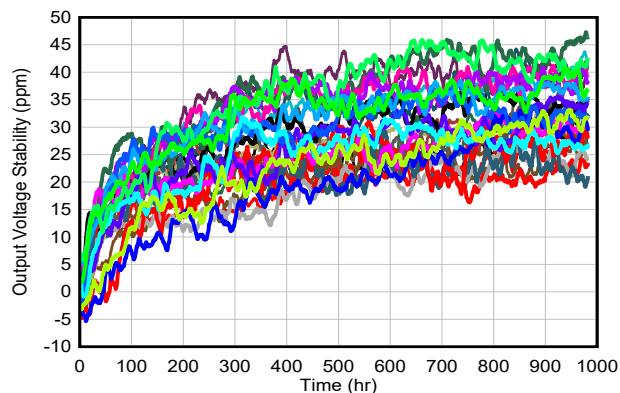


図 8-4. 長期安定性 – 1000 時間 (V_{REF})

8.3 热によるヒステリシス

热ヒステリシスは、実際のアプリケーションと同様に REF20xx-Q1 を PCB に半田付けして測定します。デバイスの热ヒステリシスは、デバイスを 25°Cで動作させ、指定された温度範囲内でデバイスのサイクルを実行してから 25°Cに戻るときの、出力電圧の変化として定義されます。ヒステリシスは式 1 のように表すことができます。

$$V_{HYST} = \left(\frac{|V_{PRE} - V_{POST}|}{V_{NOM}} \right) \cdot 10^6 \quad (\text{ppm}) \quad (1)$$

ここで

- V_{HYST} = 热ヒステリシス (ppm 単位)
- V_{NOM} = 指定された出力電圧
- V_{PRE} = 25°Cのプリ温度サイクルで測定された出力電圧
- V_{POST} = デバイスを 25°Cから -40°C~125°Cの規定温度範囲でサイクルし、25°Cに戻した後に測定された出力電圧

図 8-5 および図 8-6 に、代表的な熱ヒステリシスの分布を示します。

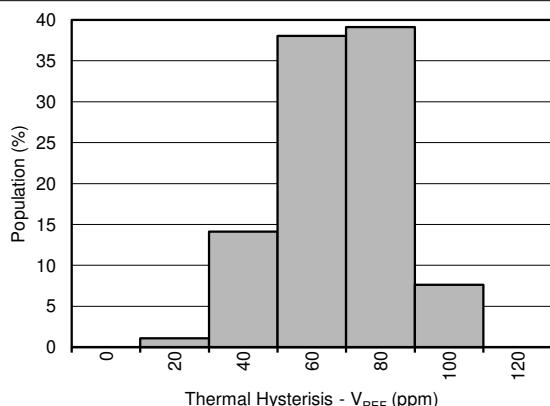


図 8-5. 热ヒステリシスの分布 (V_{REF})

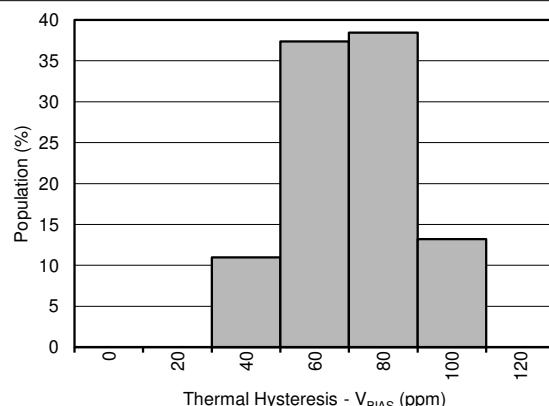


図 8-6. 热ヒステリシスの分布 (V_{BIAS})

8.4 ノイズ特性

図 8-7 および図 8-8 に、標準的な 0.1Hz～10Hz の電圧ノイズを示します。出力電圧と動作温度に応じて、デバイスのノイズが上昇します。出力ノイズ・レベルを低減するため、追加のフィルタリングを行うこともできますが、出力インピーダンスによって AC 性能が低下しないよう注意してください。図 8-9 に、ピーク・ツー・ピーク・ノイズ測定の構成を示します。

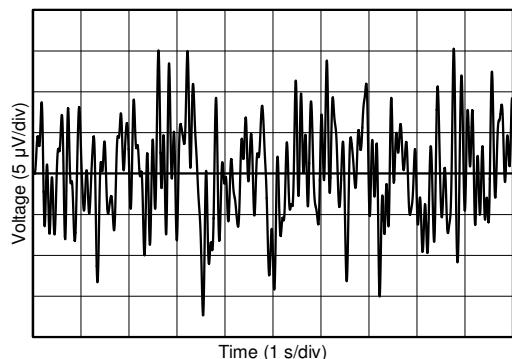


図 8-7. 0.1Hz～10Hz のノイズ (V_{REF})

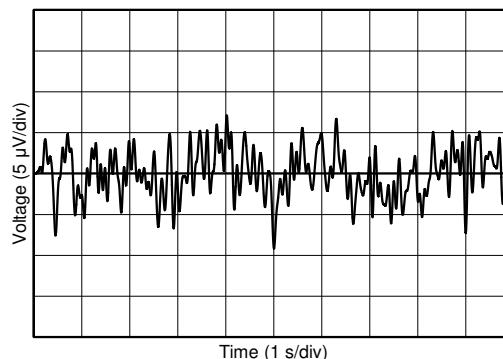


図 8-8. 0.1Hz～10Hz のノイズ (V_{BIAS})

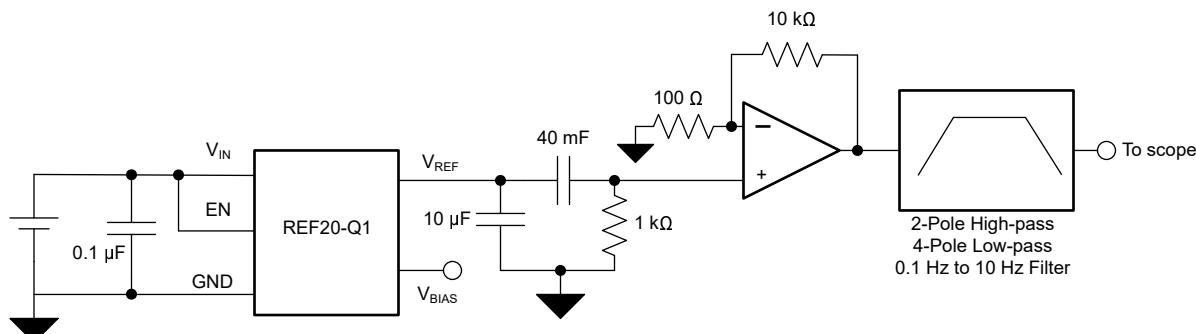


図 8-9. 0.1Hz～10Hz のノイズ測定のセットアップ

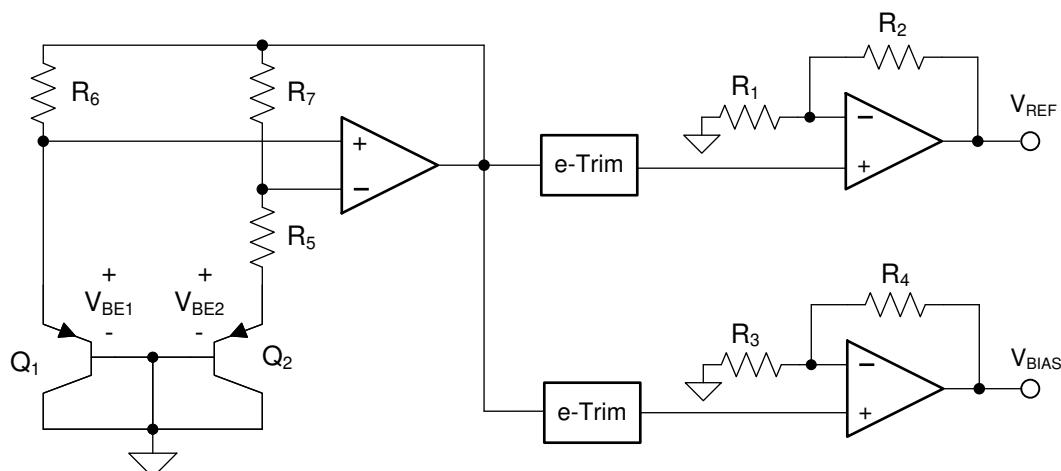
9 詳細説明

9.1 概要

REF20xx-Q1 は、デュアル出力の V_{REF} および V_{BIAS} ($V_{REF} / 2$) バンドギャップ基準電圧ファミリです。セクション 9.1 セクションでは、基本的なバンドギャップ・トポロジと、 V_{REF} および V_{BIAS} 出力の生成に使用される 2 つのバッファのブロック図を示します。トランジスタ Q_1 および Q_2 は、 Q_1 の電流密度が Q_2 の電流密度より高くなるようにバイアスされます。2 つベース・エミッタ電圧の差 ($V_{BE1} - V_{BE2}$) は、正の温度係数を持ち、抵抗 R_5 の両端に印加されます。この電圧が増幅され、負の温度係数を持つ Q_2 のベース・エミッタ電圧に加算されます。その結果、バンドギャップ出力電圧は温度にほとんど依存しません。2 つの独立したバッファを使用して、バンドギャップ電圧から V_{REF} および V_{BIAS} を生成します。抵抗 R_1 、 R_2 、 R_3 、 R_4 のサイズは、 $V_{BIAS} = V_{REF}/2$ になるように設定されます。

e-Trim™ は、 V_{REF} および V_{BIAS} の初期精度および温度係数に対するパッケージ・レベルのトリム手法で、プラスチック成形プロセス後の製造の最終段階で実行されます。この手法により、トランジスタのばらつきの影響や、パッケージの形成時に発生する誤差を最小限に抑えることができます。REF20xx-Q1 には e-Trim が実行されており、温度ドリフトを最小限に抑え、 V_{REF} と V_{BIAS} 出力の両方の初期精度を最高にします。

9.2 機能ブロック図



9.3 機能説明

9.3.1 V_{REF} と V_{BIAS} のトラッキング

ほとんどの単一電源システムでは、入力バイポーラ信号をバイアスするため、A/D コンバータ (ADC) 入力範囲の中間に、追加の安定した電圧が必要になります。REF20xx-Q1 の V_{REF} および V_{BIAS} 出力は、セクション 9.2 に示すと同じバンドギャップ電圧から生成されます。したがって、両方の出力は $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の温度範囲にわたって精度 7ppm/ $^{\circ}\text{C}$ (最大値) で互いにトラッキングします。トラッキング誤差は、式 2 に示すボックス方式を使用して計算されます。

$$\text{Tracking Error} = \left(\frac{V_{\text{DIFF(MAX)}} - V_{\text{DIFF(MIN)}}}{V_{\text{REF}} \cdot \text{Temperature Range}} \right) \cdot 10^6 \quad (\text{ppm}) \quad (2)$$

ここで

- $\bullet \quad V_{\text{DIFF}} = V_{\text{REF}} - 2 \cdot V_{\text{BIAS}}$

図 9-1 に、トラッキングの精度を示します。

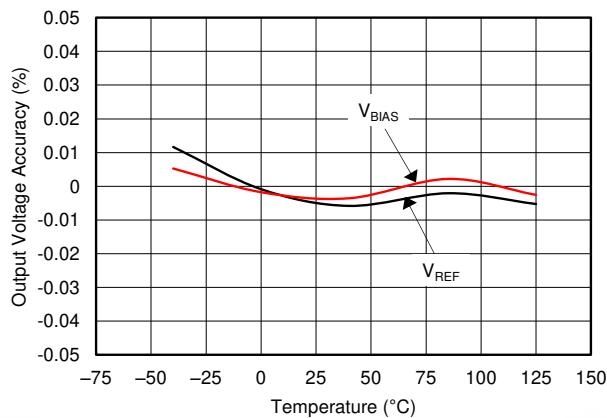


図 9-1. V_{REF} と V_{BIA}S のトラッキングと温度との関係

9.3.2 低温度ドリフト

REF20xx-Q1 はドリフト誤差が最小限になるように設計されています。ドリフト誤差は、温度に対する出力電圧の変化として定義されます。ドリフトは、式 3 に記載されているボックス方式を使用して計算されます。

$$\text{Drift} = \left(\frac{V_{\text{REF(MAX)}} - V_{\text{REF(MIN)}}}{V_{\text{REF}} \cdot \text{Temperature Range}} \right) \cdot 10^6 \quad (\text{ppm}) \quad (3)$$

9.3.3 負荷電流

REF20xx-Q1 ファミリは、出力ごとに $\pm 20\text{mA}$ の電流負荷を供給するように規定されています。デバイスの V_{REF} および V_{BIA}S 出力は、出力短絡電流を 50mA に制限することで短絡から保護されています。デバイスの温度は、式 4 に従って上昇します。

$$T_J = T_A + P_D \cdot R_{\theta JA} \quad (4)$$

ここで

- T_J = 接合部温度 (°C)
- T_A = 周囲温度 (°C)
- P_D = 消費電力 (W)
- $R_{\theta JA}$ = 接合部から周囲への熱抵抗 (°C/W)

REF20xx-Q1 の接合部温度は、絶対最大定格の 150°C を超えないようにしてください。

9.4 デバイスの機能モード

REF20xx-Q1 の EN ピンが High になると、デバイスはアクティブ・モードになります。通常の動作では、デバイスはアクティブ・モードである必要があります。REF20xx-Q1 は、EN ピンを Low にすることで、低消費電力モードに設定できます。シャットダウン・モードでは、デバイスの出力が高インピーダンスになり、デバイスの静止電流が $5\mu\text{A}$ に減少します。ロジック High およびロジック Low 電圧レベルについては、セクション 7.5 を参照してください。

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

このセクションで説明されている低ドリフト、双方向、単一電源、ローサイド、電流センシング・ソリューションでは、-2.5A～2.5A の負荷電流を正確に検出できます。出力の線形範囲は 250mV～2.75V です。正の電流は 1.5V～2.75V の出力電圧に対応する電流となり、負の電流は 250mV～1.5V の出力電圧に対応する電流となります。差動アンプは INA240-Q1 電流シャント・モニタで、その電源電圧と基準電圧は低ドリフト REF2030-Q1 から供給されます。

10.2 代表的なアプリケーション

10.2.1 ローサイド電流センシング・アプリケーション

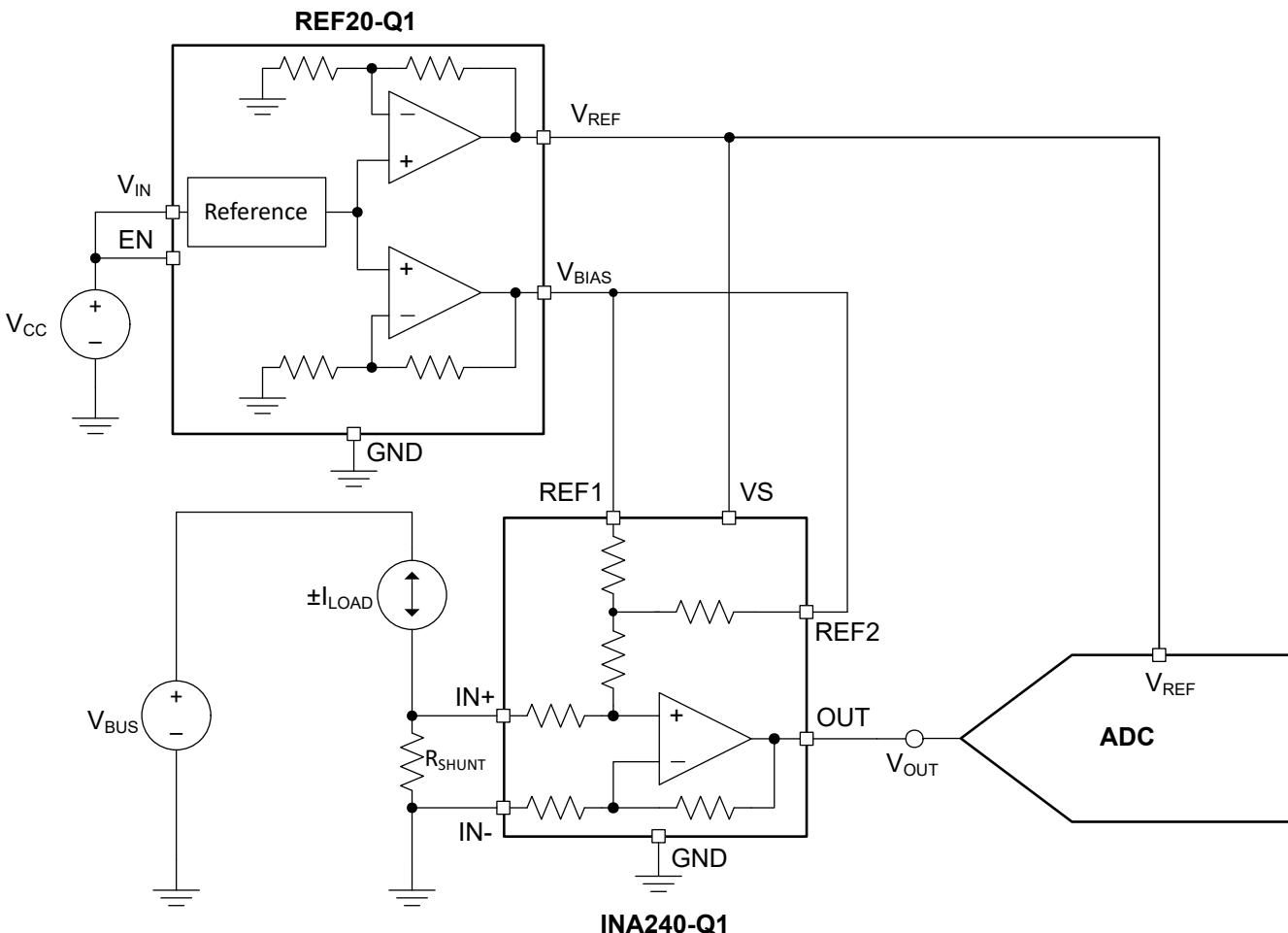


図 10-1. ローサイド電流センシング・アプリケーション

10.2.1.1 設計要件

設計要件は次のとおりです。

1. 電源電圧: 5.0V
2. 負荷電流: $\pm 2.5A$
3. 出力: 250mV~2.75V
4. 最大シャント電圧: $\pm 25mV$

10.2.1.2 詳細な設計手順

同相電圧がグランド付近にあるため、ローサイド電流センシングが推奨されます。そのため、電流センシング・ソリューションは、バス電圧 V_{BUS} から独立しています。双方向電流をセンシングする場合は、基準ピン付きの差動アンプを使用します。この手順では、負の入力電圧に応答できるように出力段をバイアスすることで、正と負の電流が区別できるようになります。差動アンプに電源 (V_+) と基準電圧 (V_{REF} または V_{BIAS}) を供給するには、さまざまな方法があります。低ドリフト・ソリューションでは、電源と基準電圧の両方を供給するモノリシック基準を使用します。図 10-2 に、低ドリフト、ローサイド、双方向の電流センシング・ソリューションの一般的な回路トポロジを示します。このトポロジは、ADCとのインターフェイスに特に有益です。図 10-1 を参照してください。 V_{REF} と V_{BIAS} は温度範囲全体にわたってトラッキングするだけでなく、他のトポロジよりもはるかに良く一致したものになります。

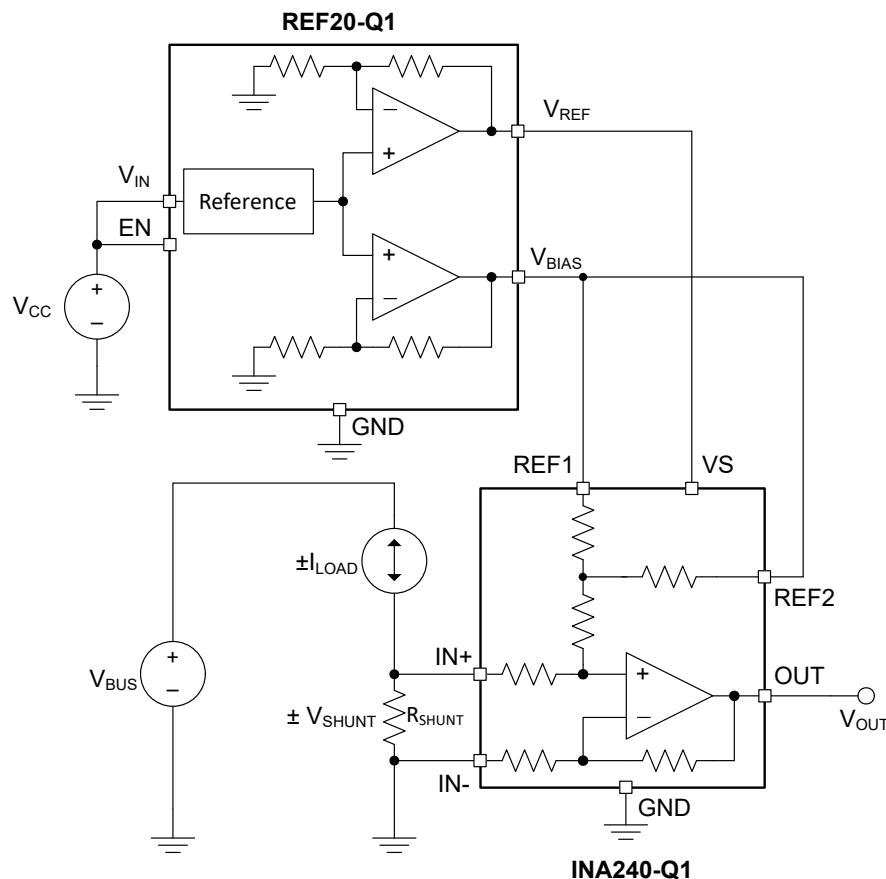


図 10-2. 低ドリフト、ローサイド、双方向、電流センシング回路トポロジ

図 10-2 に示す回路の伝達関数を式 5 に示します。

$$\begin{aligned} V_{OUT} &= G \cdot (\pm V_{SHUNT}) + V_{BIAS} \\ &= G \cdot (\pm I_{LOAD} \cdot R_{SHUNT}) + V_{BIAS} \end{aligned} \quad (5)$$

10.2.1.2.1 シャント抵抗

図 10-2 に示すように、 V_{SHUNT} の値はシステム負荷のグランド電位です。 V_{SHUNT} の値が大きすぎると、グランド電位が実際に 0V であるシステムと接続する際に問題が発生する可能性があります。また、 V_{SHUNT} の値が負の方向に大きすぎると、接続で問題が発生する可能性があるのに加えて、差動アンプの入力同相電圧に違反する可能性があります。そのため、シャント抵抗の両端の電圧を制限することが重要です。 R_{SHUNT} の最大値を計算するには、式 6 を使用できます。

$$R_{SHUNT(max)} = \frac{V_{SHUNT(max)}}{I_{LOAD(max)}} \quad (6)$$

最大シャント電圧が $\pm 25\text{mV}$ 、負荷電流範囲が $\pm 2.5\text{A}$ あるとすると、最大シャント抵抗は式 7 のように計算されます。

$$R_{SHUNT(max)} = \frac{V_{SHUNT(max)}}{I_{LOAD(max)}} = \frac{25\text{mV}}{2.5\text{A}} = 10\text{m}\Omega \quad (7)$$

温度範囲全体にわたる誤差を最小限に抑えるため、低ドリフトのシャント抵抗を選択します。オフセット誤差を最小にするには、許容誤差が最小のシャント抵抗を選択します。この設計では、Y14870R01000B9W 抵抗を使用します。

10.2.1.2.2 差動アンプ

この設計で使用する差動アンプには、以下の機能が必要です。

1. 単一電源 (3V)
2. 入力基準電圧
3. 低初期入力オフセット電圧 (V_{os})
4. 低ドリフト
5. 固定ゲイン
6. ローサイド・センシング (入力同相範囲がグランド未満)

この設計では、電流シャント・モニタ (INA240-Q1) を使用します。INA240-Q1 ファミリのトポロジを図 10-3 に示します。INA240-Q1 の仕様は、[INA240-Q1 の製品データシート](#)を参照してください。

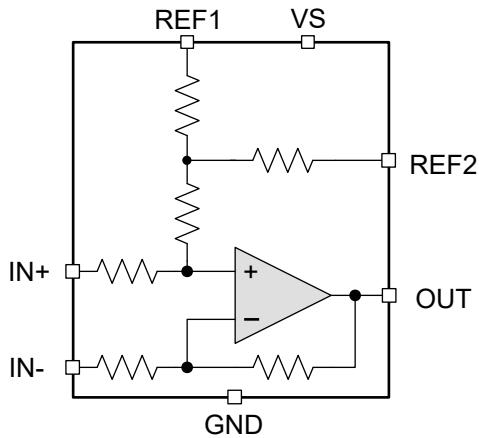


図 10-3. INA240-Q1 電流シャント・モニタ・トポロジ

INA240-Q1 は、必要な機能がすべて含まれているため、このアプリケーションに最適です。一般的に、計測アンプ (INA) には、このアプリケーションに不可欠なグランドまでの入力同相スイングがありません。さらに、INA にはゲインを設定するために外付け抵抗が必要ですが、これは低ドリフト・アプリケーションには望ましくありません。差動アンプは通常、入力バイアス電流が大きいため、小さな負荷電流ではソリューションの精度が低下します。差動アンプのゲインは通常 1V/V です。ゲインが調整可能な場合、これらのアンプは低ドリフト・アプリケーションには適さない外付け抵抗を使用します。

10.2.1.2.3 基準電圧

このアプリケーションの基準電圧には、以下の特徴が必要です。

1. デュアル出力 (3.0V および 1.5V)
2. 低ドリフト
3. 2つの出力間のトラッキング誤差が小さい

この設計では、REF2030-Q1 を使用します。REF20xx-Q1 のトポロジは、[セクション 9.2](#) に示されています。

REF2030-Q1 はデュアル出力なので、このアプリケーションに最適です。温度ドリフトは 8ppm/°C、初期精度は 0.05% であるため、基準電圧からの誤差はこのアプリケーションでは最小限に抑えられます。さらに、[図 10-4](#) および [図 10-5](#) に示すように、2つの出力間のミスマッチは最小限であり、両方の出力は温度範囲全体にわたって非常に良好にトラッキングします。

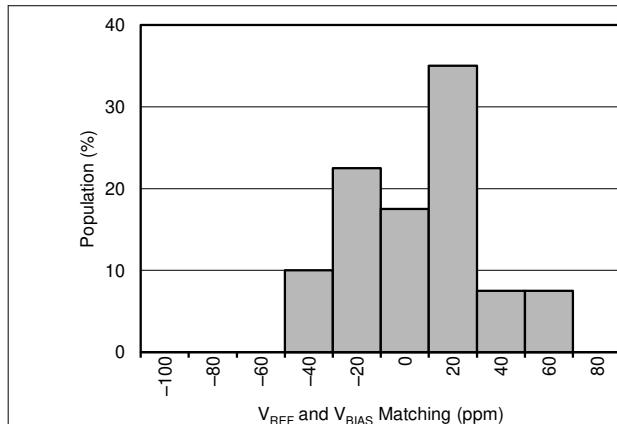


図 10-4. V_{REF} – 2 × V_{BIA}S の分布 (T_A = 25°C)

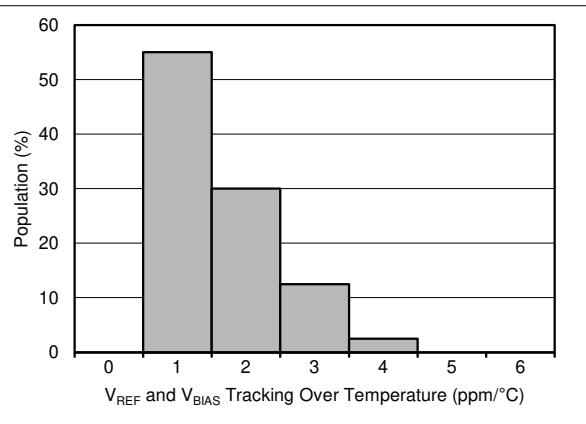


図 10-5. 温度範囲全体にわたる V_{REF} – 2 × V_{BIA}S ドリフト・トラッキングの分布

10.2.1.2.4 誤差の計算

初期精度とドリフトという 2 種類の誤差について説明します。精度誤差には、次のものがあります。

- シヤント抵抗の許容誤差: $\alpha_{shunt_tol} = 0.1\%$ (最大値)
- INA 初期入力オフセット電圧: $V_{OS_INA} = 5\mu V$ (標準値)
- INA PSRR: $V_{OS_INA_PSRR} = 1\mu V/V$ (標準値)
- INA CMRR: $V_{OS_INA_CMRR} = 132dB$ (標準値)
- INA ゲイン誤差: $\alpha_{INA_GE} = 0.05\%$ (標準値)
- 基準出力の精度: $\alpha_{REF_output} = 0.05\%$ (最大値)

これらの誤差発生源は、2 点システム・キャリブレーションを実行することにより、25°Cで大幅に低減できます。一方ドリフト誤差の削減は、温度範囲全体にわたってキャリブレーションを実行することによってみ達成可能です。ドリフト誤差には、次のものがあります。

- シヤント抵抗ドリフト: $\delta_{shunt_drift} = 15ppm/°C$ (最大値)
- INA オフセット電圧ドリフト: $\delta_{INA_drift_Vos} = 50nV/°C$ (標準値)
- INA ゲイン誤差ドリフト: $\delta_{INA_drift_GE} = 0.5ppm/°C$ (標準値)
- 基準出力ドリフト: $\delta_{REF_drift_output} = 3ppm/°C$ (標準値)

式 8 を使用して、100 万分の 1 (ppm) 単位で指定された仕様をパーセンテージ (%) に変換することも、その逆に変換することもできます。

$$\% = (\text{ppm}/10,000) \quad (8)$$

デシベル (dB) 単位の仕様を線形表現に変換するには、式 9 を使用できます。

$$(V/V) = (1 / 10^{(dB/20)}) \quad (9)$$

一部の誤差計算では、フルスケール範囲 (FSR) が必要です。この設計の FSR は、シャント抵抗の両端の電圧である $\pm 25\text{mV}$ (または 50mV) によって決定されます。

ドリフト誤差の最大温度変化 (ΔT) は 100°C であり、これは最大規定温度 (125°C) と室温 (25°C) の差です。この温度変化は、シャント抵抗と INA240-Q1 のドリフト誤差を計算する際に使用されます。REF20-Q1 はボックス方式を使用してドリフトを判定するため、計算に使用する温度範囲は全動作範囲である 150°C です。

最後に、CMRR および PSRR 仕様に起因する誤差は、システム要件とデバイスの特性評価方法に応じて調整する必要があります。たとえば INA240-Q1 は、 12V の同相電圧を使用して特性評価されています。この設計での同相電圧は約 0V です。このような相違が原因で、入力換算オフセット電圧が発生します。

表 10-1 に、初期精度の計算結果をまとめます。

表 10-1. 初期精度誤差のまとめ

誤差発生源	デバイス: R_{SHUNT} (PPM)	デバイス:INA240-Q1 (PPM)	デバイス:REF2030-Q1 (PPM)	合計 (PPM、RSS)
オフセット		100 FSR	500 FSR	510 FSR
CMRR		60 FSR		60 FSR
PSRR		40 FSR		40 FSR
ゲイン誤差	1000	500		1118
合計 (PPM、RSS)	1000	1087.5 FSR	500 FSR	1231 FSR (0.123%)

表 10-2 に、合計温度ドリフトの計算結果をまとめます。

表 10-2. 温度ドリフト誤差のまとめ

誤差発生源	デバイス: R_{SHUNT} (PPM)	デバイス:INA240-Q1 (PPM)	デバイス:REF2030-Q1 (PPM)	合計 (PPM、RSS)
オフセット・ドリフト		100 FSR	495	505 FSR
ゲイン誤差ドリフト	1500	50		1501
合計 (PPM、RSS)	1500	111.8 FSR	495	1583.52 FSR (0.194%)

10.2.1.2.5 アプリケーション曲線

25°Cで2点キャリブレーションを実行すると、オフセット電圧やゲイン誤差などに関連する誤差が除去されます。図10-6～図10-8に、さまざまな条件で測定された誤差を示します。測定手順、キャリブレーション、および計算の詳細な説明については、[TIDU357](#)を参照してください。

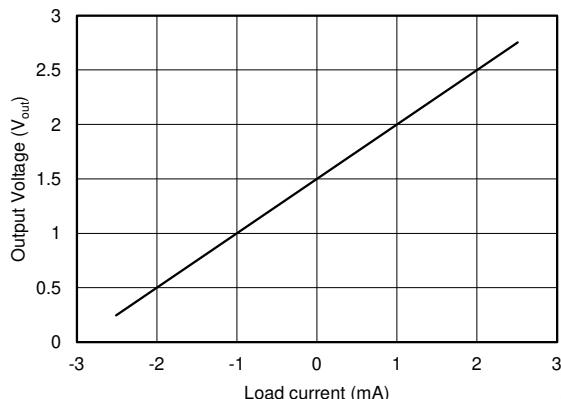


図 10-6. 測定された伝達関数

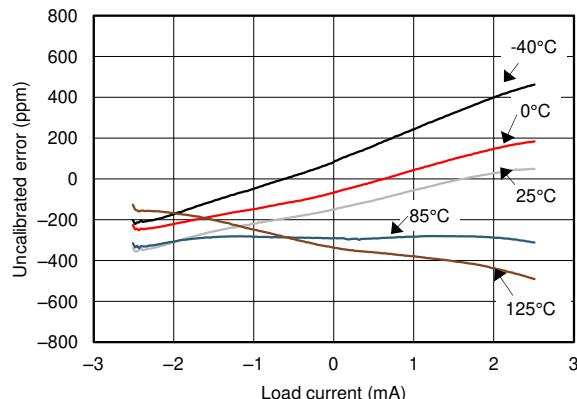


図 10-7. キャリブレーションなしの誤差と負荷電流との関係

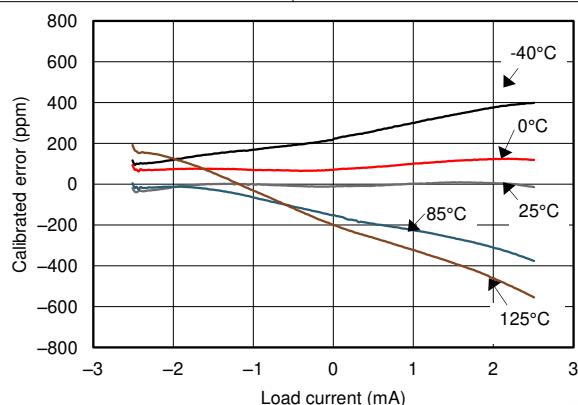


図 10-8. キャリブレーション済みの誤差と負荷電流との関係

11 電源に関する推奨事項

REF20xx-Q1 ファミリのリファレンスは、非常に低いドロップアウト電圧を特長としています。これらのリファレンスは、出力電圧をわずか 20mV 上回る電源で動作できます。負荷ありのリファレンス条件については、標準的なドロップアウト電圧と負荷プロットを図 11-1 に示します。0.1 μ F～10 μ F の範囲の電源バイパス・コンデンサを推奨します。

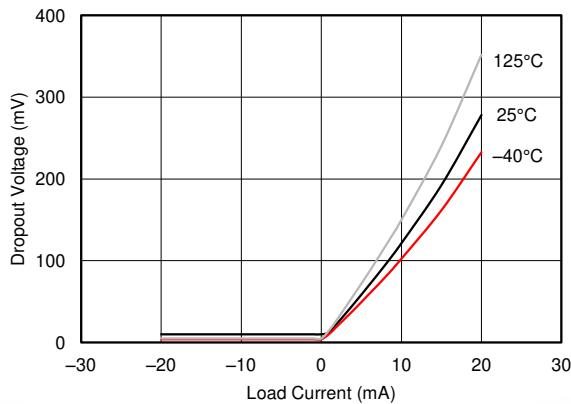


図 11-1. ドロップアウト電圧と負荷電流との関係

12 レイアウト

12.1 レイアウトのガイドライン

図 12-1 に、REF2030-Q1 を使用したデータ・アクイジション・システムの PCB レイアウトの例を示します。主な検討事項は次のとおりです。

- REF2030-Q1 の V_{IN} , V_{REF} , V_{BIAS} に、低 ESR, $0.1\mu F$ のセラミック・バイパス・コンデンサを接続します。
- デバイスの仕様に従って、システム内の他のアクティブ・デバイスをデカップリングします。
- グランド・プレーンは熱の分散に役立ち、EMI (電磁干渉) ノイズを拾いにくくなります。
- 外付け部品は、可能な限りデバイスに近く配置します。この構成により、寄生誤差 (ゼーベック効果など) の発生を防止できます。
- INA および ADC へのバイアス接続とリファレンス電圧の間のパターン長を最小限に抑えて、ノイズのピックアップを低減します。
- デジタル・パターンと並行して敏感なアナログ・パターンを配線しないでください。デジタル・パターンとアナログ・パターンはできるだけ交差しないようにします。どうしても必要な場合には、直角に交差させます。

12.2 レイアウト例

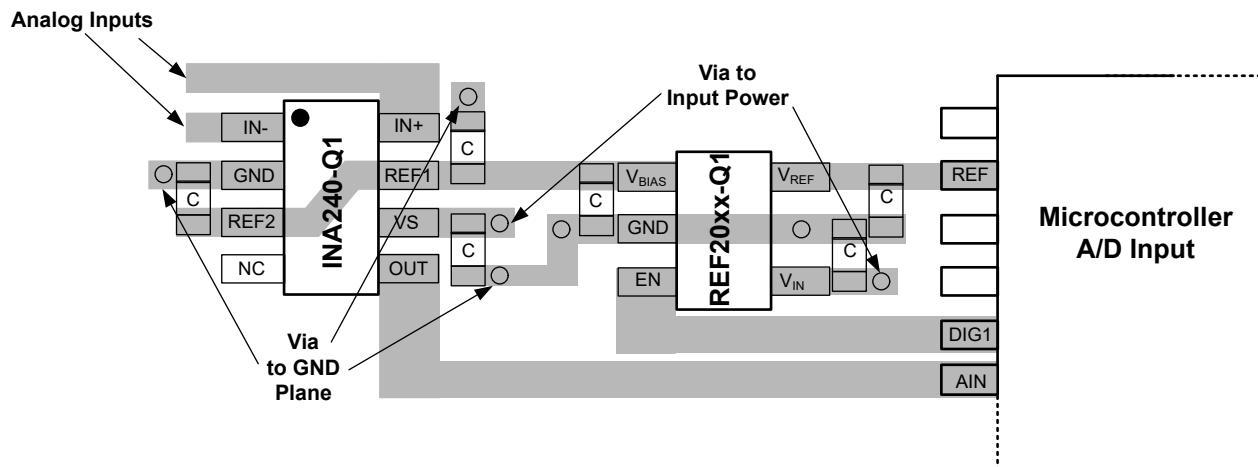


図 12-1. レイアウト例

13 デバイスおよびドキュメントのサポート

13.1 ドキュメントのサポート

13.1.1 関連資料

関連資料については、以下を参照してください。

- 『INA240-Q1 車載用、広い同相範囲、ハイサイドおよびローサイド、双方向、ゼロドリフト、強化 PWM 除去搭載の電流センス・アンプ』(SBOS808)
- 『低ドリフト双方向単一電源ローサイド電流検知のリファレンス・デザイン』(TIDU357)

13.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

13.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

13.4 商標

e-Trim™ is a trademark of Texas Instruments, Inc.

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

13.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお奨めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

13.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、また、ドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
REF2025QDDCRQ1	Active	Production	SOT-23-THIN (DDC) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	GACQ
REF2025QDDCRQ1.B	Active	Production	SOT-23-THIN (DDC) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	GACQ
REF2030QDDCRQ1	Active	Production	SOT-23-THIN (DDC) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	GADQ
REF2030QDDCRQ1.B	Active	Production	SOT-23-THIN (DDC) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	GADQ
REF2033QDDCRQ1	Active	Production	SOT-23-THIN (DDC) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	GAEQ
REF2033QDDCRQ1.B	Active	Production	SOT-23-THIN (DDC) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	GAEQ
REF2041QDDCRQ1	Active	Production	SOT-23-THIN (DDC) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	GAFQ
REF2041QDDCRQ1.B	Active	Production	SOT-23-THIN (DDC) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	GAFQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

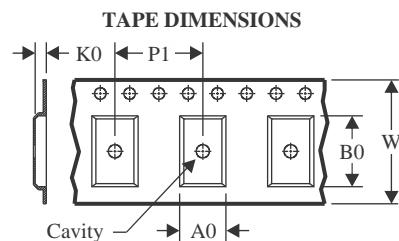
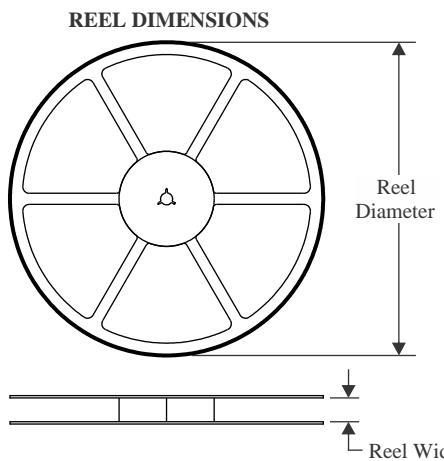
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

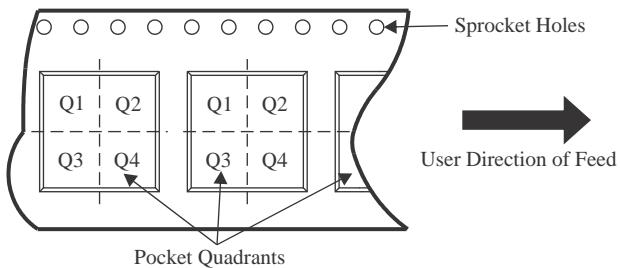
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



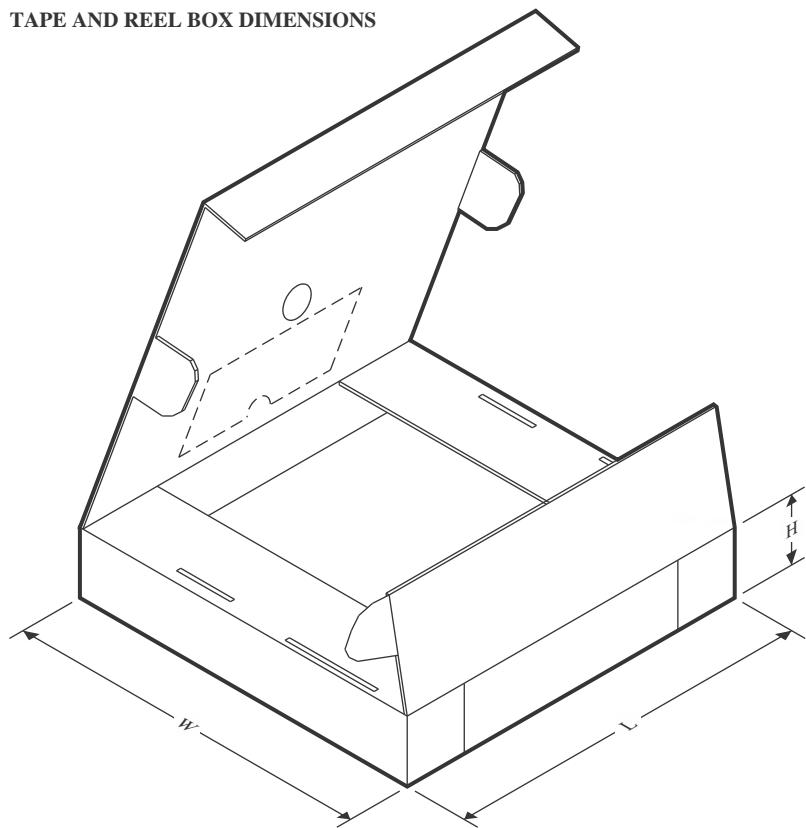
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
REF2025QDDCRQ1	SOT-23-THIN	DDC	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
REF2030QDDCRQ1	SOT-23-THIN	DDC	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
REF2033QDDCRQ1	SOT-23-THIN	DDC	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
REF2041QDDCRQ1	SOT-23-THIN	DDC	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


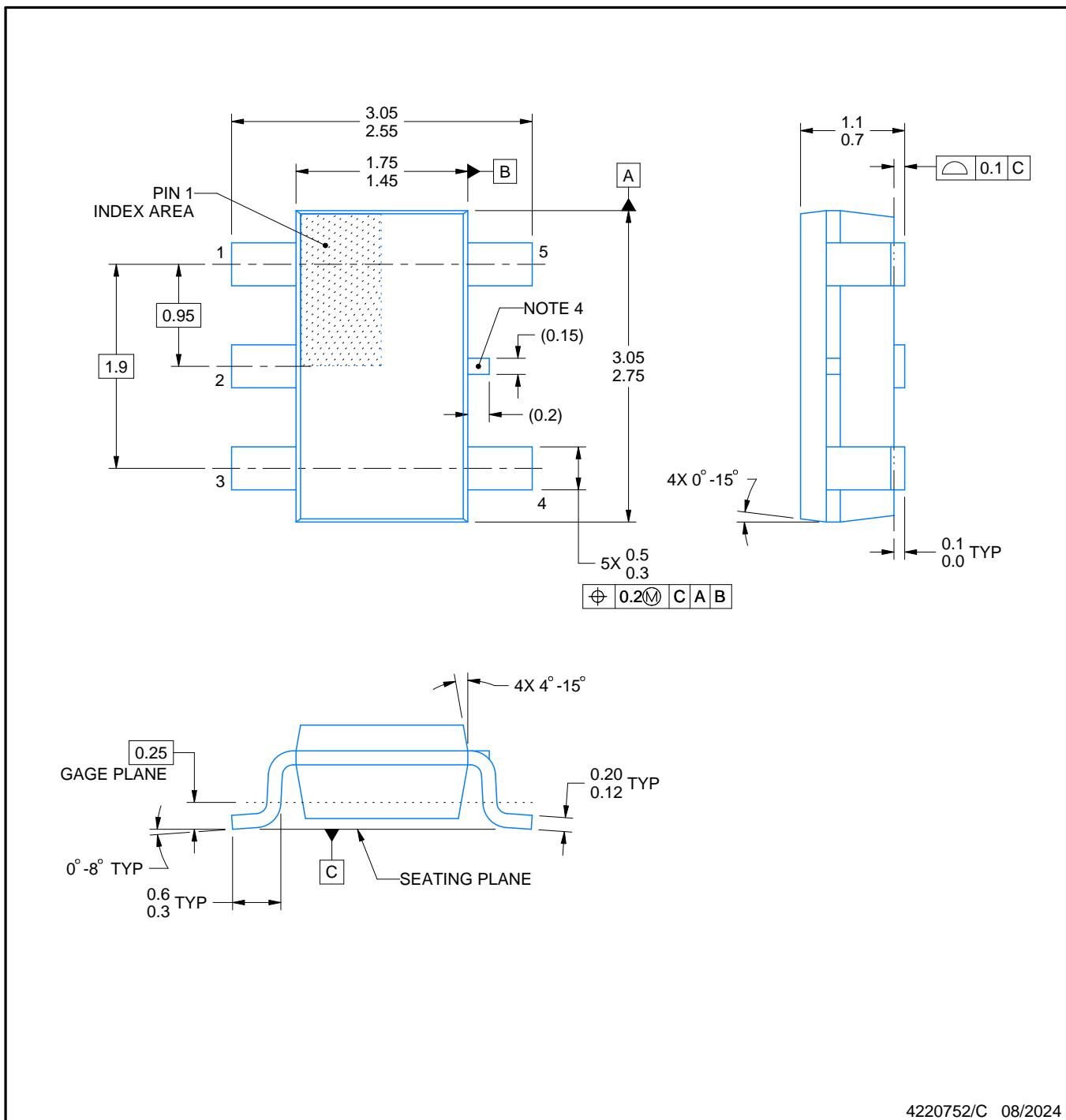
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
REF2025QDDCRQ1	SOT-23-THIN	DDC	5	3000	213.0	191.0	35.0
REF2030QDDCRQ1	SOT-23-THIN	DDC	5	3000	213.0	191.0	35.0
REF2033QDDCRQ1	SOT-23-THIN	DDC	5	3000	213.0	191.0	35.0
REF2041QDDCRQ1	SOT-23-THIN	DDC	5	3000	213.0	191.0	35.0

PACKAGE OUTLINE

SOT-23 - 1.1 max height

SMALL OUTLINE TRANSISTOR



NOTES:

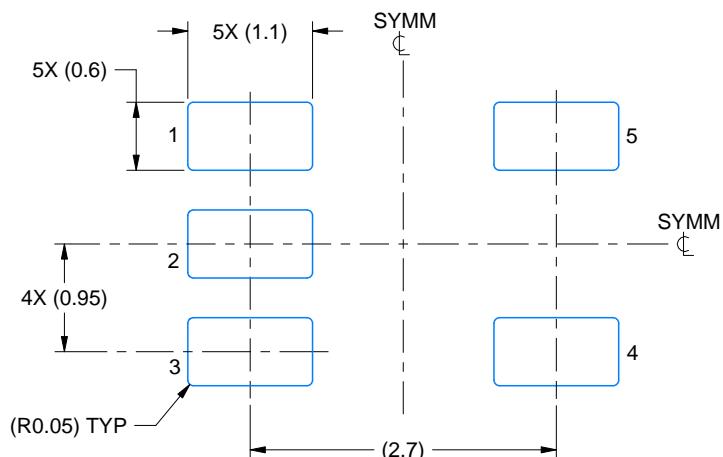
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-193.
4. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

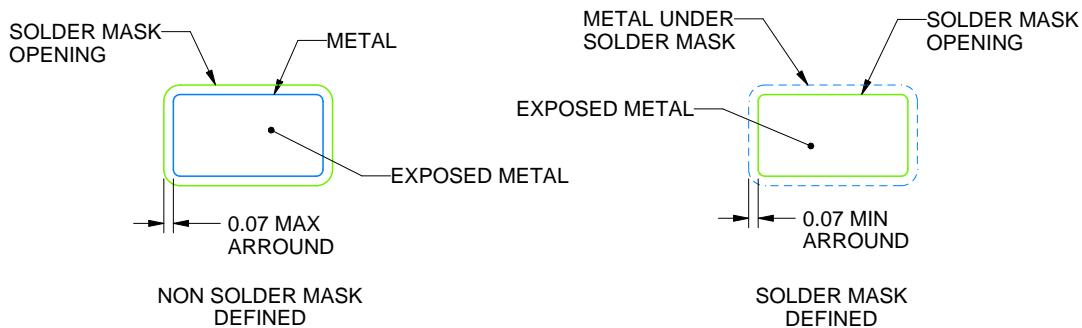
DDC0005A

SOT-23 - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPLODED METAL SHOWN
SCALE:15X



SOLDERMASK DETAILS

4220752/C 08/2024

NOTES: (continued)

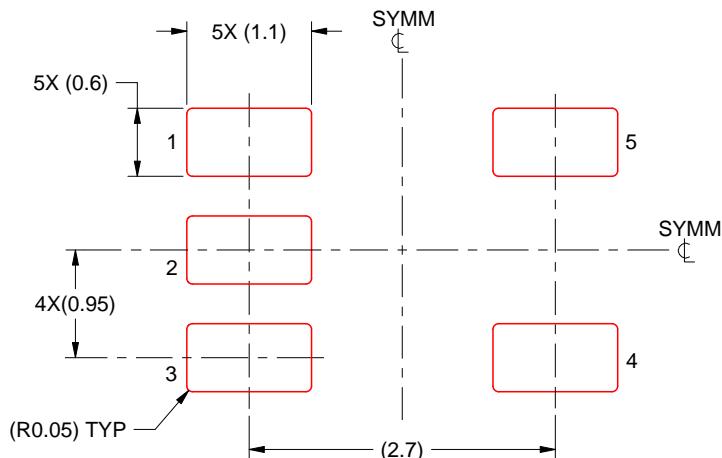
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDC0005A

SOT-23 - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4220752/C 08/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月