

RES31A マッチング済み、薄膜分割抵抗、100kΩ 入力

1 特長

- 幅広い温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- 比 = $R_{IN} : R_G$, $R_{IN} = 100\text{k}\Omega$ (公称値)
- 高精度比の許容誤差: $\pm 0.05\%$ (最大値)
- 温度範囲全体で低ドリフト:
 - RES31A00 の $+2/-5\text{ppm}/^{\circ}\text{C}$ 最大 $\text{TCR}_{\text{ratio}}$ (-40°C から $+105^{\circ}\text{C}$ までの $\pm 2\text{ppm}/^{\circ}\text{C}$ 最大 $\text{TCR}_{\text{ratio}}$)
 - その他の比率について $\pm 2\text{ppm}/^{\circ}\text{C}$ 最大 $\text{TCR}_{\text{ratio}}$

2 アプリケーション

- 高精度電圧分割器、高精度レベル変換
- アンプのゲインおよび減衰の構成
- 高 CMRR とゲイン精度を実現する差動ディスクリートアンプと計測アンプの実装
- ピンポイントのコンパレータ スレッシュホールド設定

3 説明

RES31A は、マッチングされた抵抗分割器のペアで、テキサス・インスツルメンツの最新の高性能アナログ CMOS プロセスで薄膜 SiCr に実装されています。このデバイスの公称入力抵抗は $100\text{k}\Omega$ で、RES11A よりも高い分圧電圧をサポートしているが、引き込まれた電流が RES21A よりも低く、さまざまなシステム ニーズを満たすために複数の公称比率で供給されます。RES31A は、デバイスの配置を 180° 回転させるだけで、ゲインを反転した構成で使用できます。この機能により、レイアウトの再利用がサポートされ、ディスクリート計測機器や差動アンプの実装などのアプリケーションで柔軟性が向上します。

RES31A シリーズは高い比率マッチング精度を特長としており、各分割器の測定比率は公称値の $\pm 0.05\%$

($\pm 500\text{ppm}$) (標準値) 以内です。この精度は、温度範囲全体にわたって維持されます。

RES31A は、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の温度範囲で動作が規定されています。このデバイスは 8 ピンの SOT-23-THIN パッケージで供給され、本体サイズは $2.9\text{mm} \times 1.6\text{mm}$ です (本体サイズは公称値であり、ピンは含まれていません)。

パッケージ情報

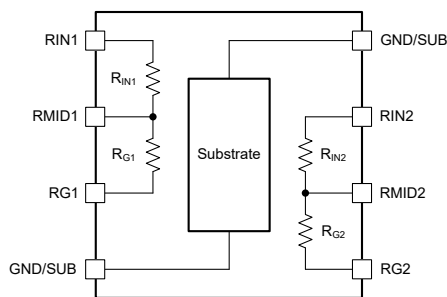
部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
RES31A	DDF (SOT-23-THIN, 8)	$2.9\text{mm} \times 2.8\text{mm}$

- 詳細については、[セクション 11](#) を参照してください。
- パッケージサイズ (長さ \times 幅) は公称値であり、該当する場合はピンも含まれます。

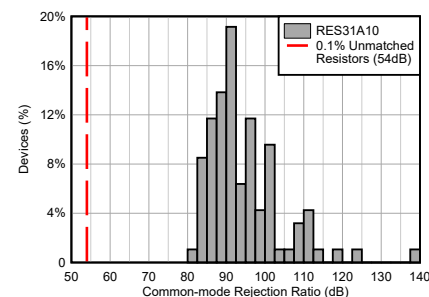
製品情報

部品番号	公称比
RES31A10	1:1
RES31A15 ⁽¹⁾	1:1.5
RES31A16 ⁽¹⁾	1:1.667
RES31A20	1:2
RES31A25	1:2.5
RES31A30	1:3
RES31A40	1:4
RES31A50	1:5
RES31A90 ⁽¹⁾	1:9
RES31A00	01:10

- プレビュー情報 (事前情報ではありません)。



機能ブロック図



最高の CMRR を実現する優れた比率マッチング



目次

1 特長	1	7.3 機能説明.....	21
2 アプリケーション	1	7.4 デバイスの機能モード.....	23
3 説明	1	8 アプリケーションと実装	24
4 ピン構成および機能	3	8.1 アプリケーション情報.....	24
5 仕様	4	8.2 代表的なアプリケーション.....	36
5.1 絶対最大定格.....	4	8.3 電源に関する推奨事項.....	39
5.2 ESD 定格.....	4	8.4 レイアウト.....	39
5.3 推奨動作条件.....	5	9 デバイスおよびドキュメントのサポート	42
5.4 熱に関する情報.....	5	9.1 デバイス サポート.....	42
5.5 電気的特性.....	6	9.2 ドキュメントのサポート.....	43
5.6 代表的特性.....	10	9.3 ドキュメントの更新通知を受け取る方法.....	43
6 パラメータ測定情報	18	9.4 サポート・リソース.....	43
6.1 DC 測定構成.....	18	9.5 商標.....	43
6.2 AC 測定構成.....	19	9.6 静電気放電に関する注意事項.....	43
6.3 誤差の表記と単位.....	20	9.7 用語集.....	43
7 詳細説明	21	10 改訂履歴	44
7.1 概要.....	21	11 メカニカル、パッケージ、および注文情報	44
7.2 機能ブロック図.....	21		

4 ピン構成および機能

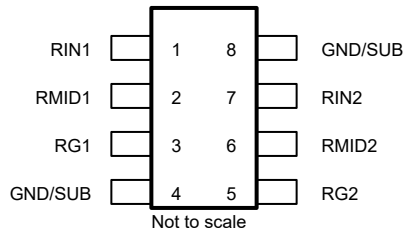


図 4-1. DDF パッケージ、8 ピン SOT-23-THN (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
GND/SUB	4、8	グランド	サブストレートバイアス接続。1つの GND/SUB ピンのみをバイアスします。もう 1 本の GND/SUB ピンをフローティングにして、サブストレートを通過する電流の帰路が形成されないようにします。 セクション 7.4 も参照してください。
RG1	3	入力	分周器 1 のゲイン抵抗接続
RG2	5	入力	分周器 2 のゲイン抵抗接続
RIN1	1	入力	分圧器 1 の入力抵抗接続
RIN2	7	入力	分圧器 2 の入力抵抗接続
RMID1	2	出力	分周器 1 のセンター タップ
RMID2	6	出力	分周器 2 のセンター タップ

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位	
V _{CM}	最大持続同相電圧 (任意のピンから GND/SUB)	-85	85	V	
ΔV _{DMAX}	分圧器ごとの最大瞬時過負荷電圧 (RINx ピンから RGx ピン) ⁽²⁾	RES31A10	-135	135	V
		RES31A15 ⁽³⁾	-135	135	
		RES31A16 ⁽³⁾	-135	135	
		RES31A20	-135	135	
		RES31A25	-135	135	
		RES31A30	-135	135	
		RES31A40	-135	135	
		RES31A50	-135	135	
		RES31A90 ⁽³⁾	-135	135	
RES31A00	-135	135			
T _A	周囲温度	-55	150	°C	
T _J	接合部温度	-55	150	°C	
T _{stg}	保存温度	-55	175	°C	

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 過渡条件下で許容される最大瞬間電圧。これらの電圧レベルでの持続的な動作は避けてください。
- (3) プレビュー版のみ。

5.2 ESD 定格

		値	単位	
V _(ESD)	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±700	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±750	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{RECMAX}	最大持続分圧電圧、dc (T _A = 25°C で 10 年間) ⁽¹⁾	RES31A10	-85	85	V
		RES31A15 ⁽²⁾	-85	85	
		RES31A16 ⁽²⁾	-85	85	
		RES31A20	-85	85	
		RES31A25	-85	85	
		RES31A30	-85	85	
		RES31A40	-85	85	
		RES31A50	-85	85	
		RES31A90 ⁽²⁾	-85	85	
	最大持続分圧電圧、ac (≥50Hz、T _A = 25°C で 10 年間) ⁽¹⁾	RES31A10	-85	85	V _{RMS}
		RES31A15 ⁽²⁾	-85	85	
		RES31A16 ⁽²⁾	-85	85	
		RES31A20	-85	85	
		RES31A25	-85	85	
		RES31A30	-85	85	
		RES31A40	-85	85	
		RES31A50	-85	85	
		RES31A90 ⁽²⁾	-85	85	
T _A	周囲温度	-40		125	°C

- (1) R_{θJA} = 156.2°C/W を想定。指定された電圧を単一の分周器、または両方の分周器の両方に同時に印加するかどうかに応用します。絶対最大定格の制限に準拠してください。
- (2) プレビュー版のみ。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		RES31A	単位
		DDF (SOT-23-THIN)	
		8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	156.2	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	77.0	°C/W
R _{θJB}	接合部から基板への熱抵抗	73.7	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	4.5	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	73.5	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.5 電気的特性

T_A = 25°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
初期抵抗							
R _{INnom}	公称入力抵抗				100		kΩ
R _{Gnom}	公称ゲイン抵抗	RES31A10			100		kΩ
		RES31A15 ⁽¹⁾			150		
		RES31A16 ⁽¹⁾			166.67		
		RES31A20			200		
		RES31A25			250		
		RES31A30			300		
		RES31A40			400		
		RES31A50			500		
		RES31A90 ⁽¹⁾			900		
		RES31A00			1000		
G _{nom}	公称比 (R _{Gx} / R _{INx})	RES31A10			1		V/V
		RES31A15 ⁽¹⁾			1.5		
		RES31A16 ⁽¹⁾			1.667		
		RES31A20			2		
		RES31A25			2.5		
		RES31A30			3		
		RES31A40			4		
		RES31A50			5		
		RES31A90 ⁽¹⁾			9		
		RES31A00			10		
t _{D1}	分周器 1 の比率の許容誤差 ^{(2) (3)}	(R _{G1} / R _{IN1}) / G _{nom} - 1	RES31A10	-500	±43	500	ppm
			RES31A15 ⁽¹⁾	-500		500	
			RES31A16 ⁽¹⁾	-500		500	
			RES31A20	-500	±48	500	
			RES31A25	-500	±138	500	
			RES31A30	-500	±100	500	
			RES31A40	-500	±55	500	
			RES31A50	-500	±112	500	
			RES31A90 ⁽¹⁾	-500		500	
			RES31A00	-500	±142	500	
t _{D2}	分周器 2 の比率の許容誤差 ^{(2) (3)}	(R _{G2} / R _{IN2}) / G _{nom} - 1	RES31A10	-500	±77	500	ppm
			RES31A15 ⁽¹⁾	-500		500	
			RES31A16 ⁽¹⁾	-500		500	
			RES31A20	-500	±75	500	
			RES31A25	-500	±64	500	
			RES31A30	-500	±98	500	
			RES31A40	-500	±40	500	
			RES31A50	-500	±121	500	
			RES31A90 ⁽¹⁾	-500		500	
			RES31A00	-500	±105	500	

T_A = 25°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
t _M	分周器 1 と 2 のマッチング許容誤差 ⁽³⁾	t _{D2} - t _{D1}	RES31A10	-1000	±68	1000	ppm
			RES31A15 ⁽¹⁾	-1000		1000	
			RES31A16 ⁽¹⁾	-1000		1000	
			RES31A20	-1000	±69	1000	
			RES31A25	-1000	±124	1000	
			RES31A30	-1000	±74	1000	
			RES31A40	-1000	±58	1000	
			RES31A50	-1000	±157	1000	
			RES31A90 ⁽¹⁾	-1000		1000	
RES31A00	-1000	±99	1000				
t _{abs}	絶対許容誤差 (抵抗あたり) ^{(3) (4)}	(R _x /R _{xnom}) - 1 ⁽⁵⁾		-12	±2	12	%
	絶対許容範囲スパン	MAX (t _{abs} RIN1, t _{abs} RG1, t _{abs} RIN2, t _{abs} RG2) - MIN (t _{abs} RIN1, t _{abs} RG1, t _{abs} RIN2, t _{abs} RG2)			±140		ppm
抵抗ドリフト							
TCR _{abs}	抵抗の絶対温度係数 (抵抗あたり) ⁽⁶⁾	(ΔR _x / R _{x(25°C)}) / ΔT _A	T _A = -40°C ~ +125°C			12	ppm/°C
			T _A = -40°C ~ -5°C			28	
			T _A = -5°C ~ +65°C			15	
			T _A = 65°C ~ 105°C			3.2	
			T _A = 105°C ~ 125°C			-7.5	
TCR _{ratio}	分圧器の抵抗温度係数 (分周器ごと) ⁽⁶⁾	Δt _{Dx} / ΔT _A , T _A = -40°C ~ +105°C	RES31A00	-2	-0.5	2	ppm/°C
			RES31A10, RES31A15 ⁽¹⁾ , RES31A16 ⁽¹⁾ , RES31A20, RES31A25, RES31A30, RES31A40, RES31A50, RES31A90 ⁽¹⁾	-2	±0.2	2	
			RES31A00	-5	-1.5	2	
TCR _M	抵抗温度係数の一致 ⁽⁶⁾	Δt _M / ΔT _A , T _A = -40°C ~ +105°C	RES31A00			±0.05	ppm/°C
			RES31A10, RES31A15 ⁽¹⁾ , RES31A16 ⁽¹⁾ , RES31A20, RES31A25, RES31A30, RES31A40, RES31A50, RES31A90 ⁽¹⁾			±0.05	
			RES31A00			-0.25	
VCR _{abs}	抵抗の絶対電圧係数 (抵抗あたり) ^{(4) (6)}	ΔR _x / ΔV _{Rx} , V _{Dx} = -V _{RECMAX} ~ V _{RECMAX}	RES31A10, RES31A15 ⁽¹⁾ , RES31A16 ⁽¹⁾ , RES31A20, RES31A25, RES31A30, RES31A40, RES31A50, RES31A90 ⁽¹⁾			±1.1	Ω/V
			RES31A00			±5.6	
VCR _{ratio}	分圧抵抗の電圧係数 (分周器ごと) ⁽⁶⁾	Δt _{Dx} / ΔV _{Dx} , V _{Dx} = -V _{RECMAX} ~ V _{RECMAX}				±0.2	ppm/V
VCR _M	抵抗電圧係数の一致 ⁽⁶⁾	(Δt _{D2} - Δt _{D1}) / ΔV _{Dx} , V _{Dx} = -V _{RECMAX} ~ V _{RECMAX}				±0.15	ppm/V
任意のマッチング							
	分圧器間の R _G の不一致、絶対値 ⁽³⁾	(R _{G2} - R _{G1}) / R _{Gnom}				±60	ppm

T_A = 25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
分圧器間の R _G の不一致、レシオメトリック ⁽³⁾		$(R_{G1} / R_{G2}) - 1$ 、および $(R_{G2} / R_{G1}) - 1$		±60		ppm
		$((R_{G1} / R_{IN2}) / G_{nom}) - 1$ 、および $((R_{G2} / R_{IN1}) / G_{nom}) - 1$		±87		
		$(R_{G1} / (R_{G2} + R_{IN2})) / (G_{nom} / (G_{nom} + 1)) - 1$ 、 および $(R_{G2} / (R_{G1} + R_{IN1})) / (G_{nom} / (G_{nom} + 1)) - 1$		±59		
分圧器間の R _{IN} の不一致、絶対値 ⁽³⁾		$(R_{IN2} - R_{IN1}) / R_{INnom}$		±91		ppm
分圧器間の R _{IN} の不一致、レシオメトリック ⁽³⁾		$(R_{IN1} / R_{IN2}) - 1$ 、および $(R_{IN2} / R_{IN1}) - 1$		±91		ppm
		$(R_{IN1} / R_{G2}) \times (G_{nom}) - 1$ 、および $(R_{IN2} / R_{G1}) \times (G_{nom}) - 1$		±87		
		$(R_{IN1} / (R_{G2} + R_{IN2})) \times (G_{nom} + 1) - 1$ 、 および $(R_{IN2} / (R_{G1} + R_{IN1})) \times (G_{nom} + 1) - 1$		±83		
分圧器間のエンド ツー エンドの不一致、絶対値 ⁽³⁾		$((R_{G2} + R_{IN2}) - (R_{G1} + R_{IN1})) / (R_{INnom} + R_{Gnom})$		±57		ppm
分周器間のエンド ツー エンドの不一致、レシオメトリック ⁽³⁾		$((R_{G2} + R_{IN2}) / (R_{G1} + R_{IN1})) - 1$		±57		ppm
インピーダンス						
C _{IN}	ピン容量 ⁽⁶⁾	RINx から GND/SUB		1.95		pF
		RGx から GND/SUB		1.45		
		RMIDx から GND/SUB		3.17		
クロストーク (RMID1 から RMID2) ⁽⁶⁾		サブストレートを GND にバイアス	f = 10kHz		-63	dB
			f = 1MHz		-42	
-3dB 帯域幅 ⁽⁶⁾		サブストレートを GND にバイアス ⁽⁷⁾	RES31A10		570	kHz
			RES31A15 ⁽¹⁾ 、 RES31A16 ⁽¹⁾ 、RES31A20		425	
			RES31A25、RES31A30		415	
			RES31A40		365	
			RES31A50		345	
			RES31A90 ⁽¹⁾ 、RES31A00		280	
CMRR	同相信号除去比 ⁽⁸⁾	RES31A10	66.0	86.3	dB	
		RES31A15 ⁽¹⁾	68.0			
		RES31A16 ⁽¹⁾	68.5			
		RES31A20	69.5	88.8		
		RES31A25	70.9	89.1		
		RES31A30	72.0	93.1		
		RES31A40	74.0	97.1		
		RES31A50	75.6	88.9		
		RES31A90 ⁽¹⁾	80.0			
		RES31A00	80.8	100.9		

- (1) プレビュー版のみ。
- (2) R_{G1} / R_{IN1} または R_{G2} / R_{IN2} の公称比に対する関係。
- (3) 誤差項はゼロ平均です。ここで示されている代表値は、誤差解析の目的において 1 標準偏差 (±1σ) として扱います。
- (4) R_{G1} / R_{IN1} または R_{G2} / R_{IN2} の公称抵抗との関係。
- (5) この仕様値は、この式の計算結果を百分率 (100% を掛けた値) で示したものです。
- (6) 特性評価によって仕様規定されています。
- (7) より高い帯域幅が必要な場合は、基板をフローティングにするか、ガード バッファで基板を駆動することで、帯域幅をわずかに向上させることができます。

- (8) この仕様値は、理想的なオペアンプを用いた差動アンプ構成で実装した場合の計算上の CMRR であり、同相モード誤差の唯一の要因が抵抗ネットワークである場合の値です。[高精度のマッチング分圧抵抗ペアを使用した差動アンプ回路の CMRR の最適化アプリケーション ノート](#)をご覧ください。周波数に対する影響は含まれていません。回路が減衰ゲインに構成されている場合は、それに応じて変化します。

5.6 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

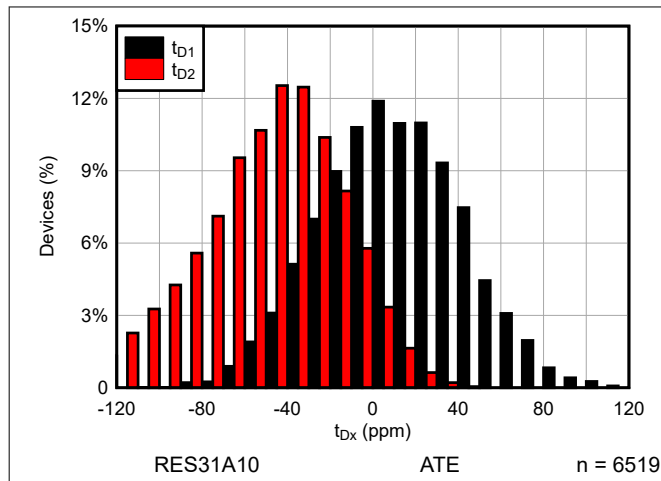


図 5-1. t_{Dx} の分布

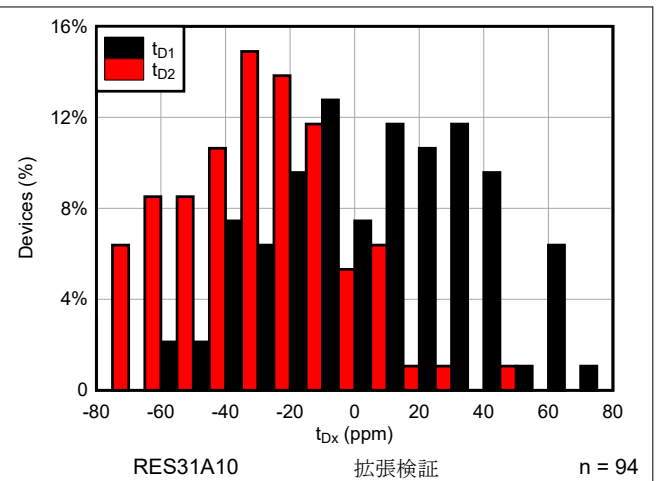


図 5-2. t_{Dx} の分布

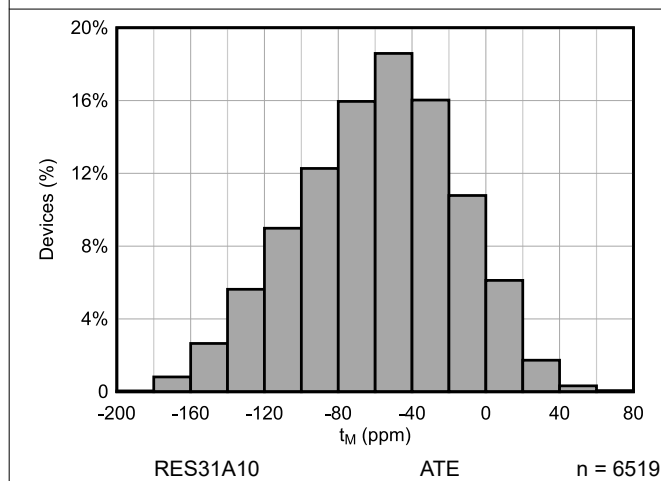


図 5-3. t_M の分布

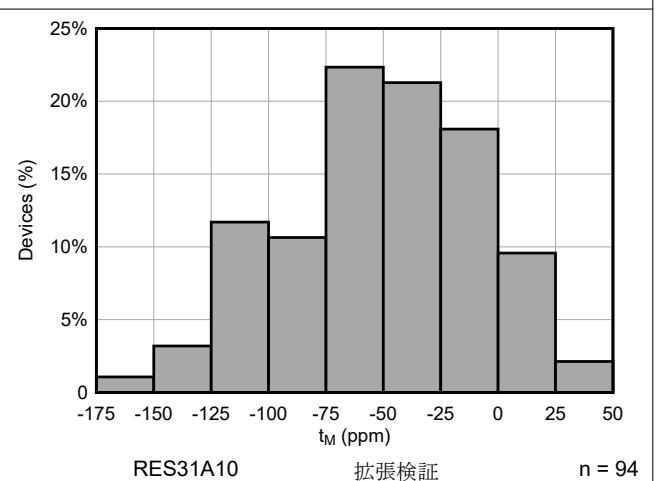


図 5-4. t_M の分布

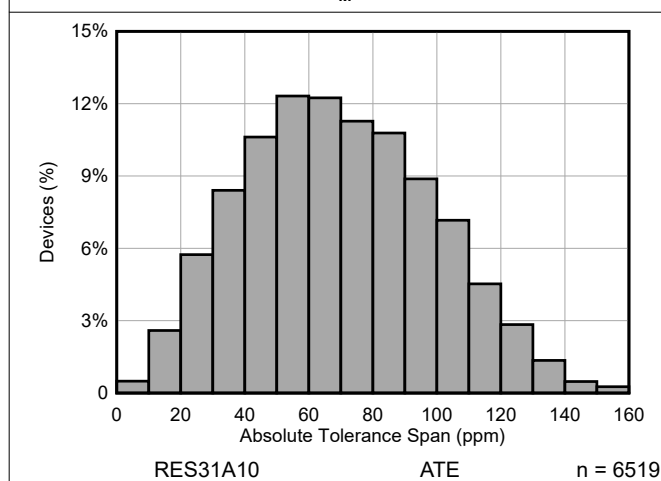


図 5-5. 絶対公差スパン分布

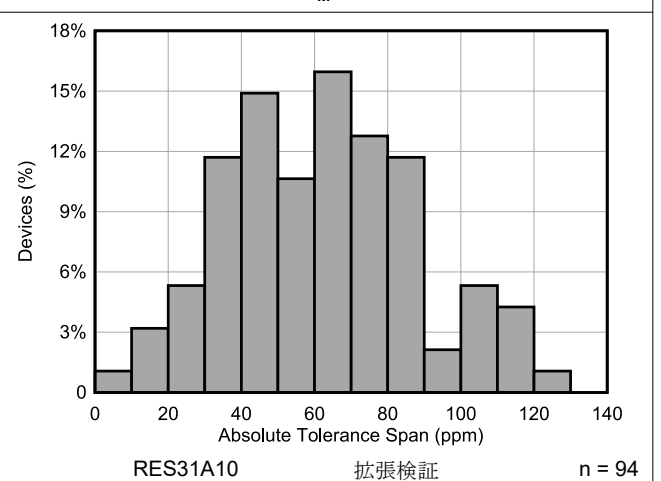


図 5-6. 絶対公差スパン分布

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

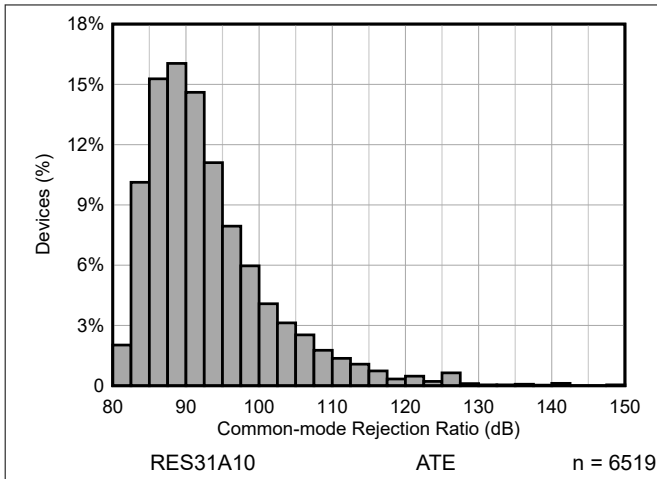


図 5-7. 同相信号除去比の分布

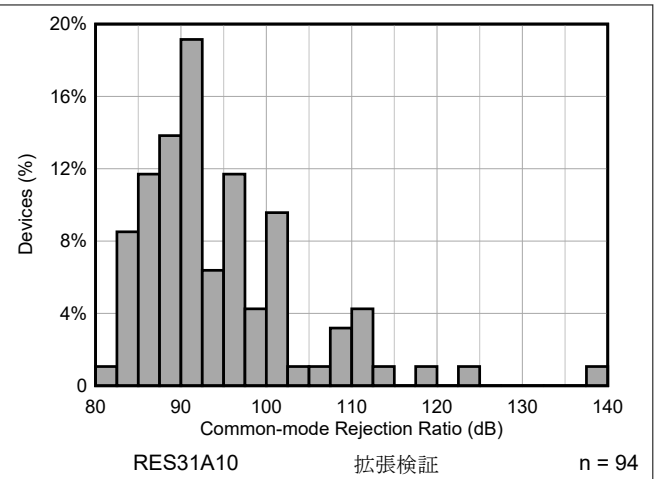


図 5-8. 同相信号除去比の分布

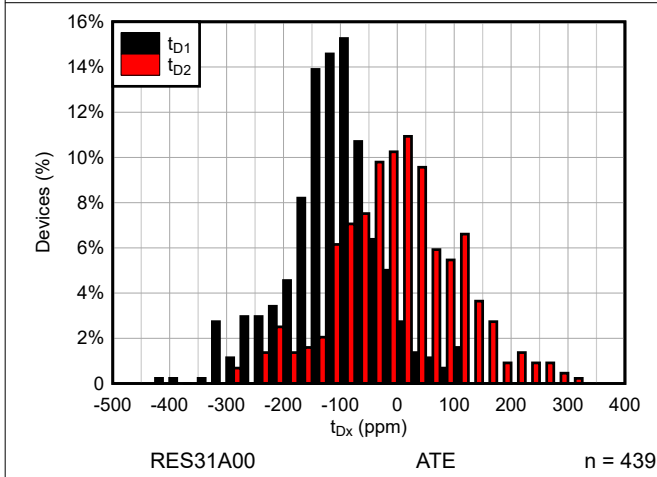


図 5-9. t_{Dx} の分布

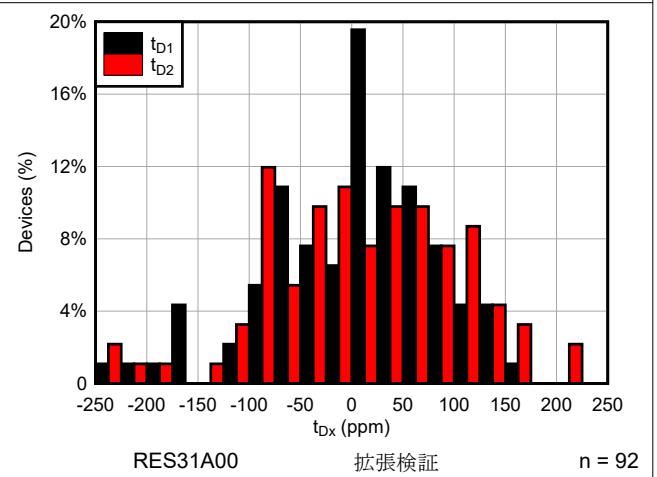


図 5-10. t_{Dx} の分布

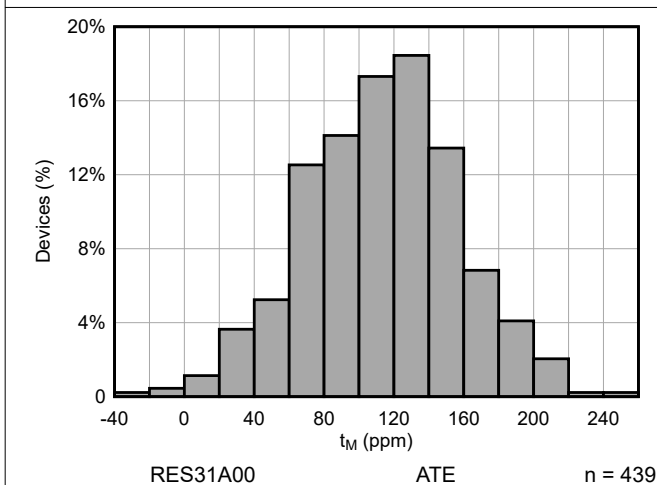


図 5-11. t_M の分布

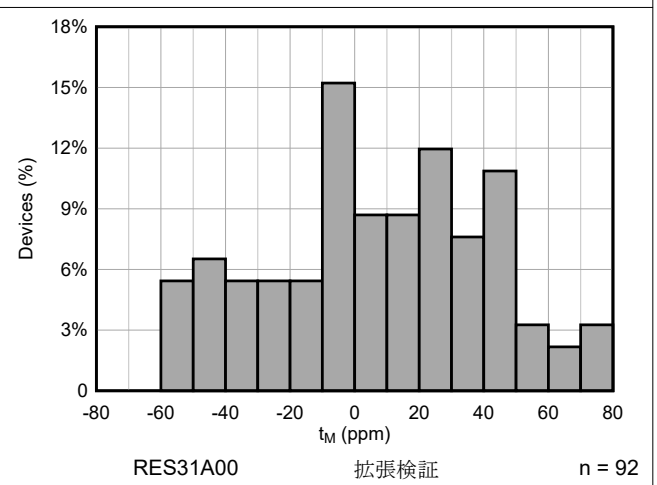


図 5-12. t_M の分布

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

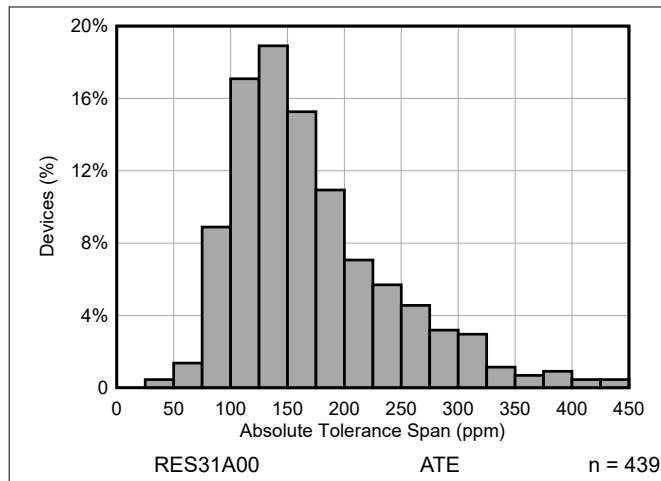


図 5-13. 絶対公差スパン分布

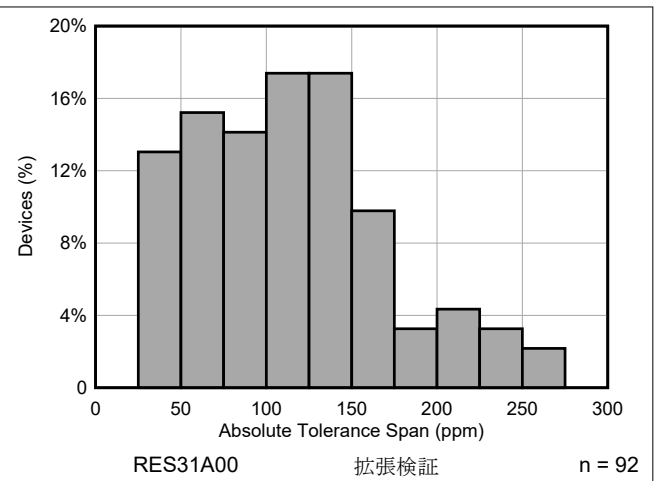


図 5-14. 絶対公差スパン分布

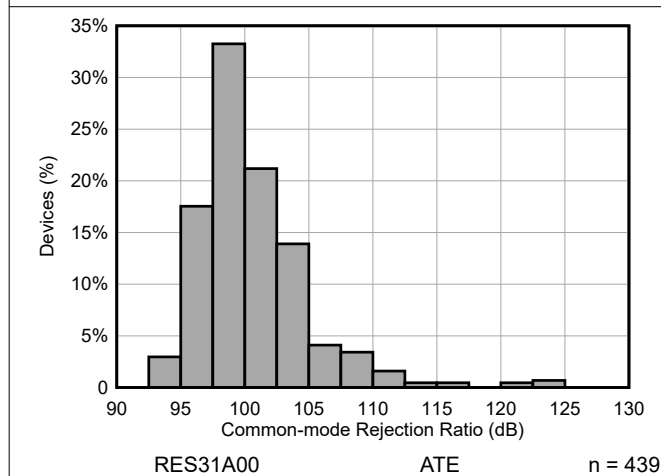


図 5-15. 同相信号除去比の分布

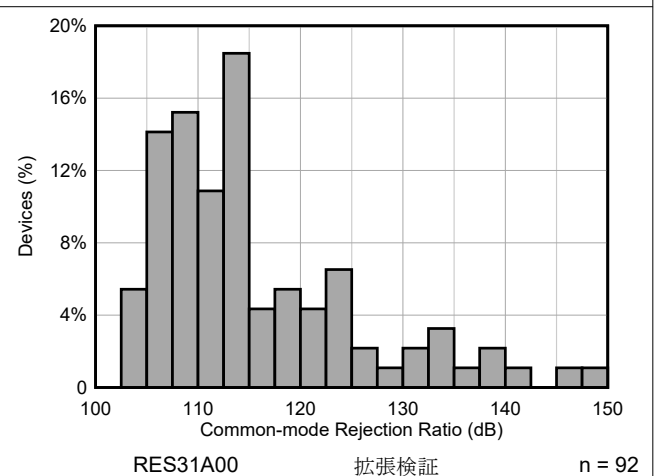
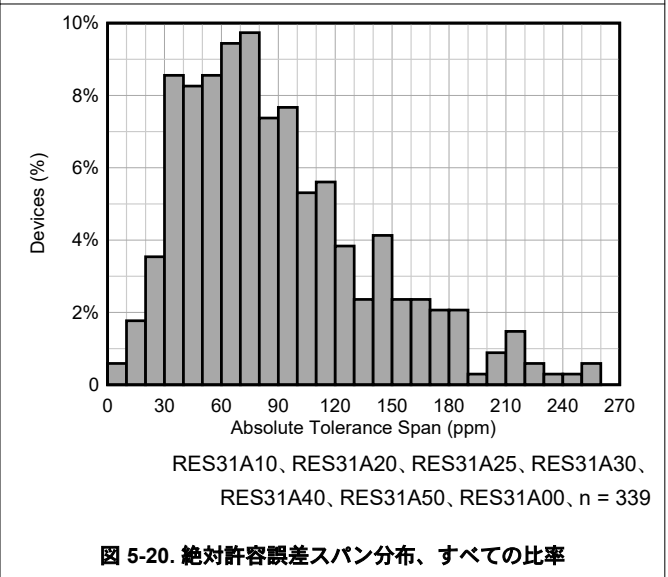
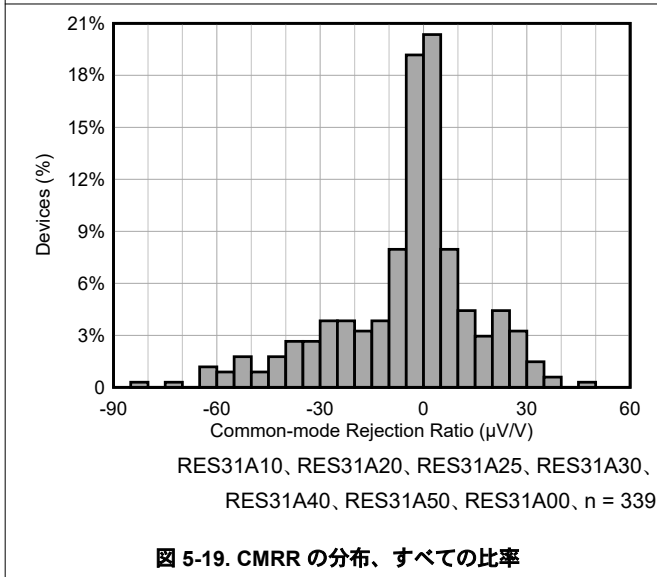
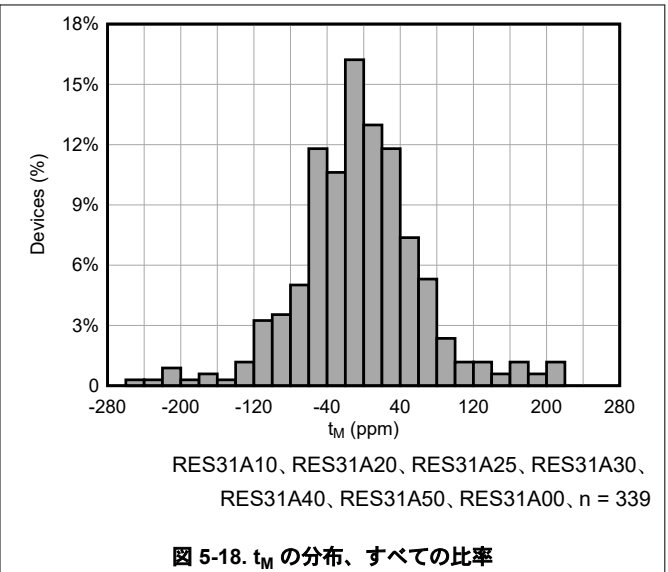
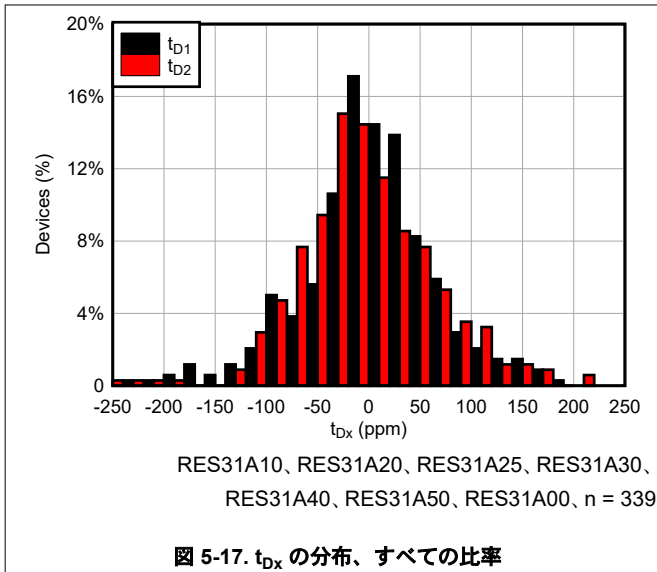


図 5-16. 同相信号除去比の分布

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)



5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

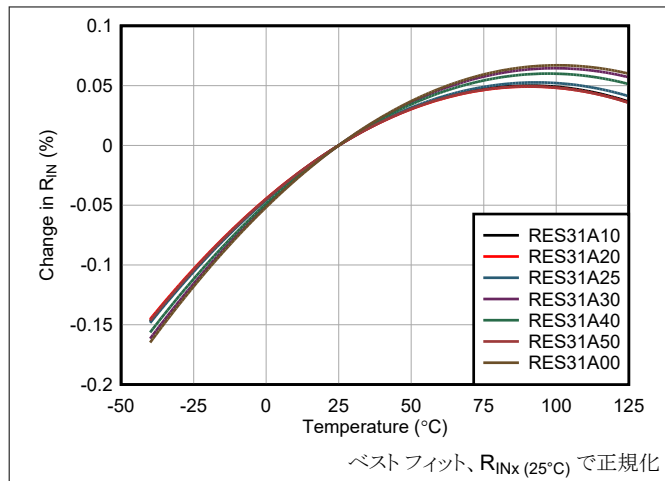


図 5-21. R_{INx} と温度との関係

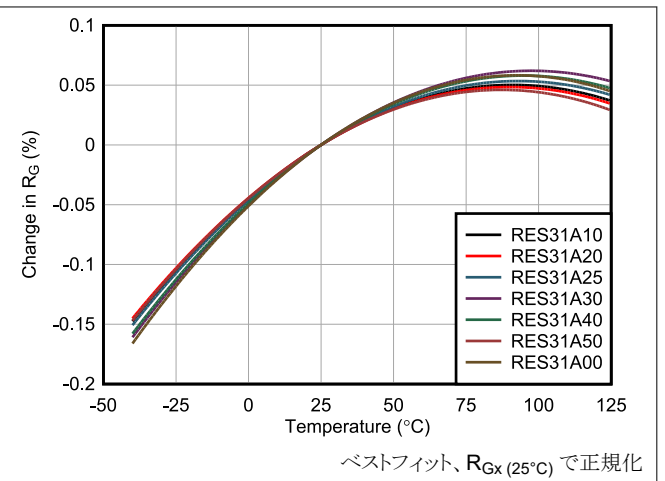


図 5-22. R_{Gx} と温度との関係

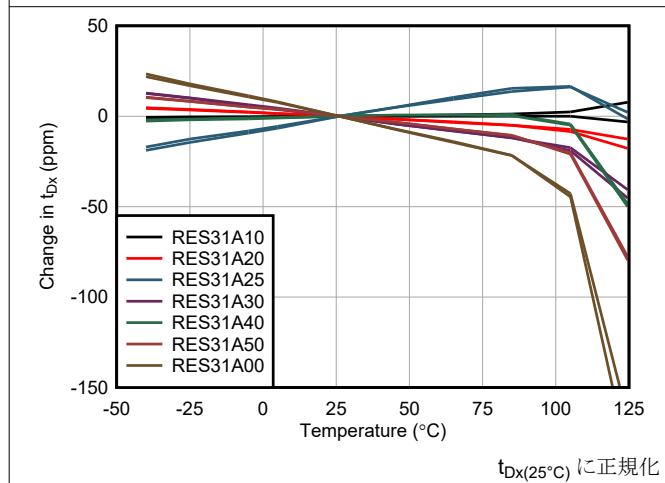


図 5-23. t_{Dx} と温度との関係

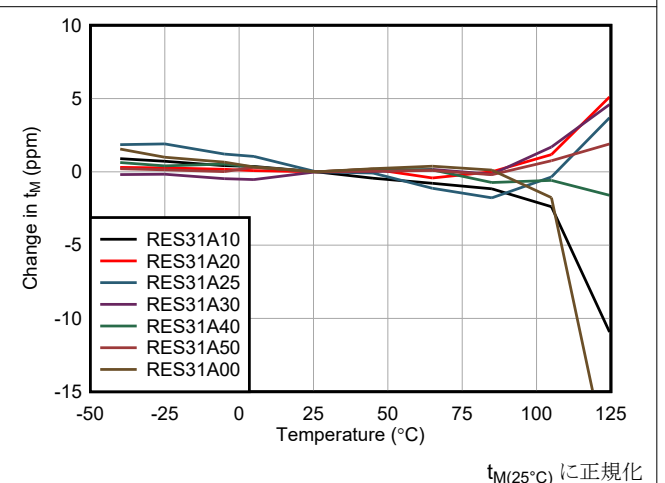
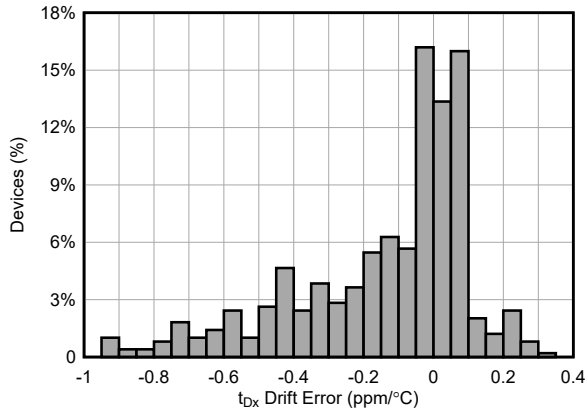


図 5-24. t_M と温度との関係

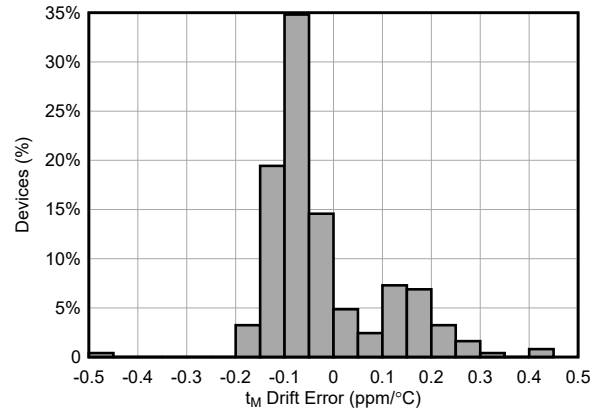
5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)



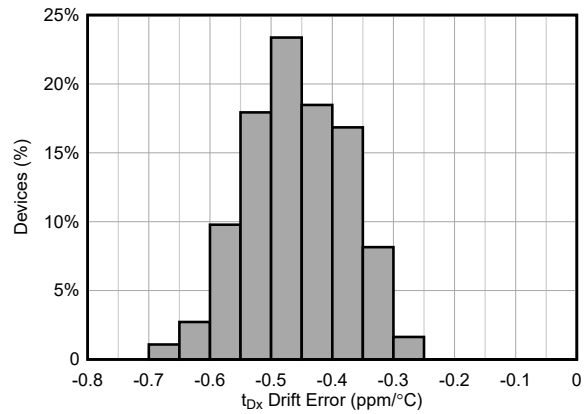
RES31A10, RES31A20, RES31A25, RES31A30, RES31A40, RES31A50, n = 494

図 5-25. TCR_{ratio} 温度係数分布



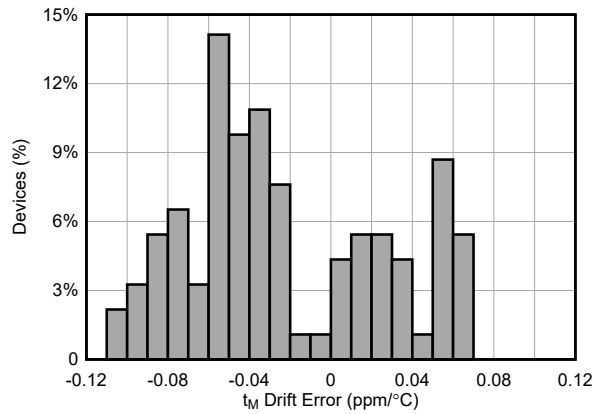
RES31A10, RES31A20, RES31A25, RES31A30, RES31A40, RES31A50, n = 247

図 5-26. TCR_M 温度係数分布



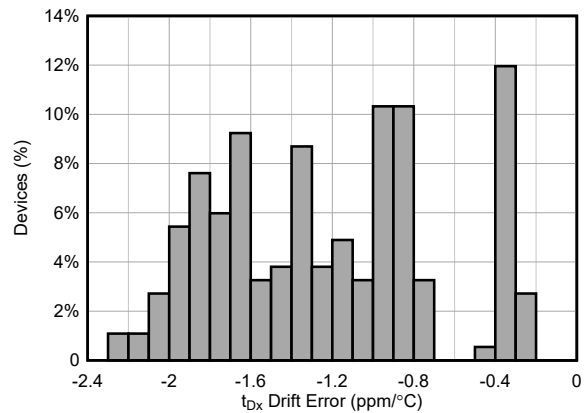
$T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ RES31A00, n = 184

図 5-27. RES31A00 TCR_{ratio} 温度係数分布



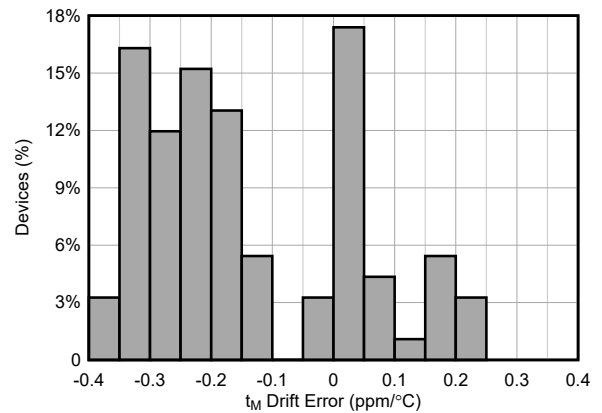
$T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ RES31A00, n = 92

図 5-28. RES31A00 TCR_M 温度係数分布



$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ RES31A00, n = 184

図 5-29. RES31A00 TCR_{ratio} 温度係数分布



$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ RES31A00, n = 92

図 5-30. RES31A00 TCR_M 温度係数分布

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

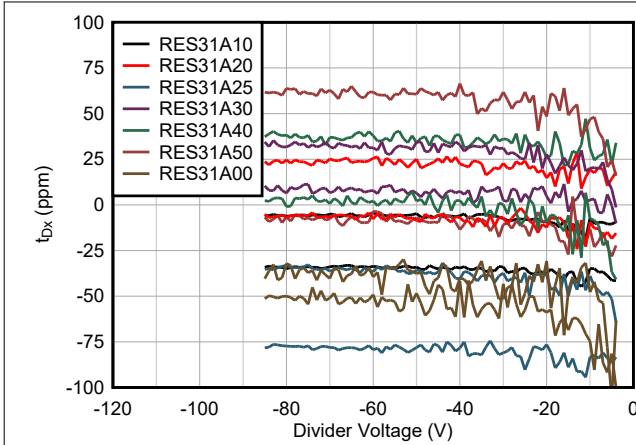


図 5-31. t_{Dx} と分圧器の電圧との関係

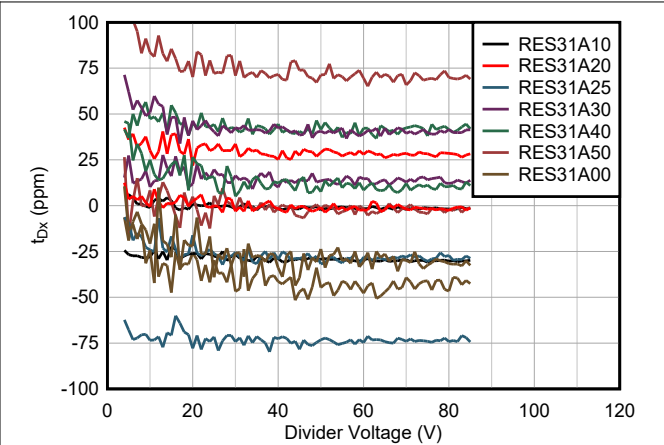


図 5-32. t_{Dx} と分圧器の電圧との関係

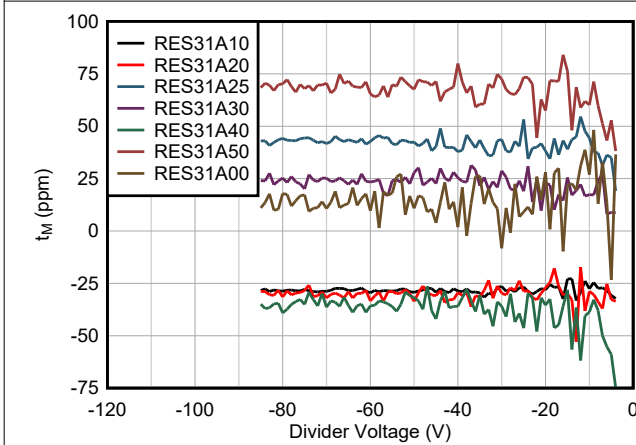


図 5-33. T_M と分圧器の電圧との関係

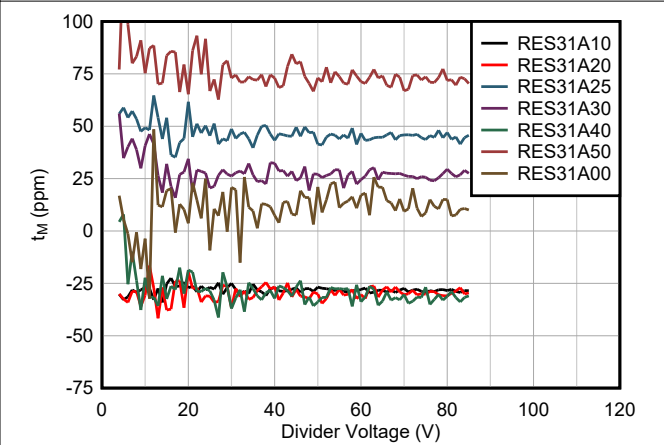


図 5-34. T_M と分圧器の電圧との関係

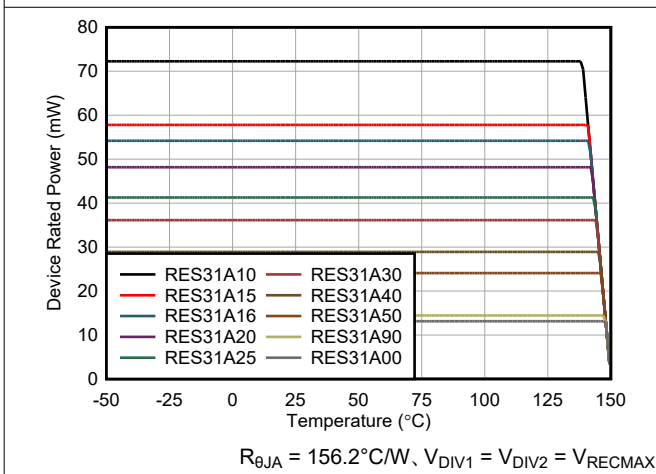


図 5-35. デバイス定格電力と周囲温度との関係

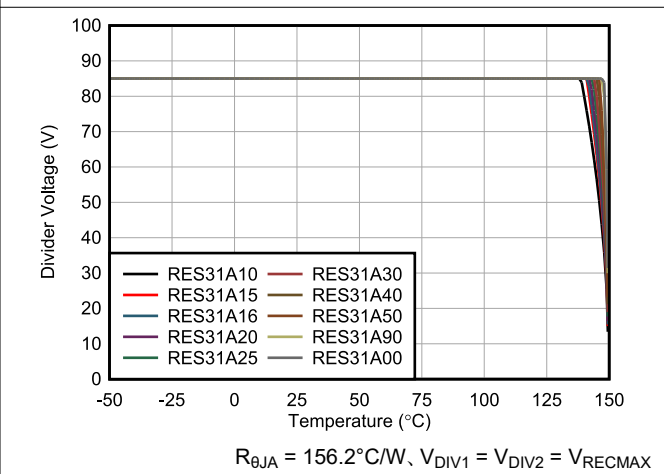


図 5-36. 最大推奨分圧器電圧と周囲温度との関係

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

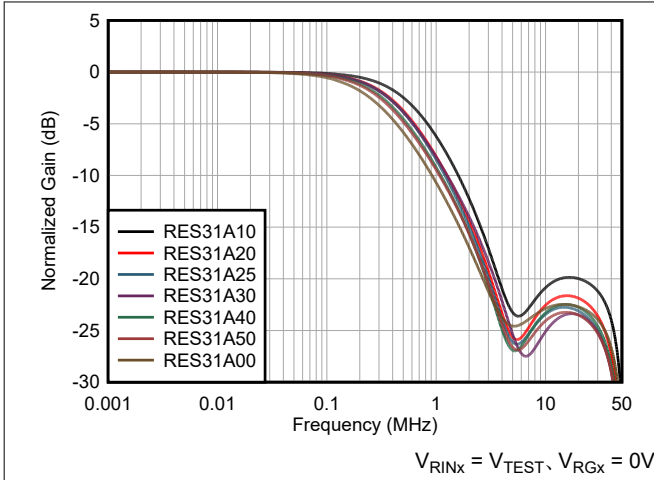


図 5-37. 帯域幅と周波数との関係、 R_{INx}

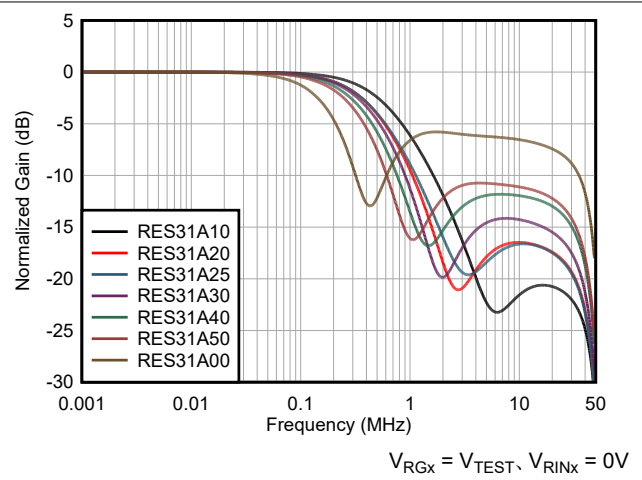


図 5-38. 帯域幅と周波数との関係、 R_{Gx}

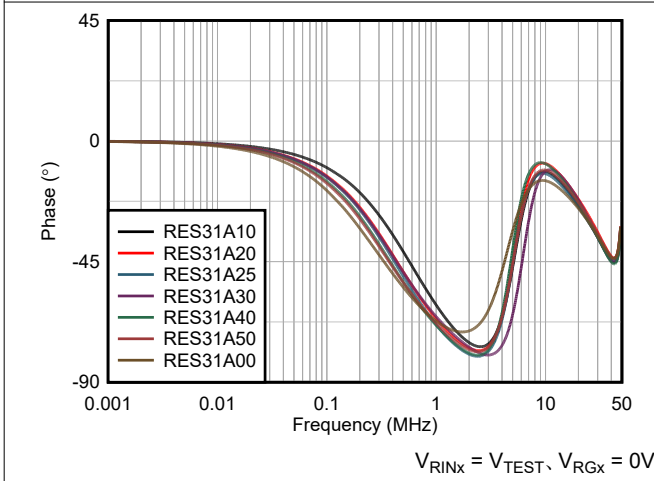


図 5-39. 位相と周波数との関係、 R_{INx}

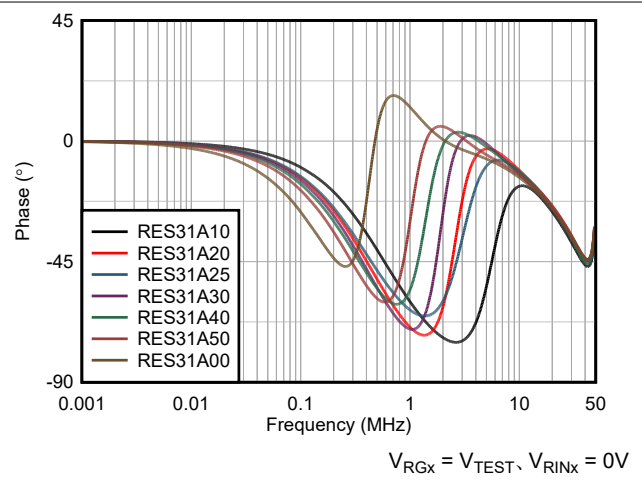


図 5-40. 位相と周波数との関係、 R_{Gx}

6 パラメータ測定情報

6.1 DC 測定構成

図 6-1 に、DC 測定に使用される回路構成の例を示します。電圧 V_{Dx} は、分压器 1 の V_{D1} など、特定の分压器の両端の電圧を指します。電圧 V_{Rx} は、特定の抵抗の両端の電圧 (R_{IN1} は V_{RIN1} 、 R_{G1} は V_{RG1} など) を指します。

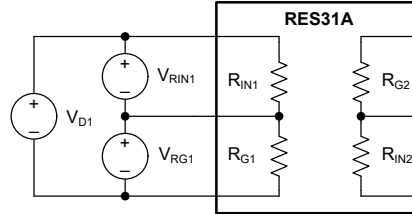


図 6-1. 分压器 1 の DC 測定に関する用語

RES31A を使用してオペアンプのゲインを設定する場合 (を参照 図 6-2)、分压器内の抵抗比によって、 $V_{OUT} = -V_{IN} \times R_G/R_{IN}$ となるようにアンプのゲインが設定されます。この使用事例では、ディスクリート差動アンプ回路と計測アンプ回路のバリエーションがあります。これらの回路の計算を簡素化するため、比率公差 (t_{D1} 、 t_{D2}) の標準値と最大パラメータ値は、 R_{Gx}/R_{INx} で表されます。これらのエラー項の詳細については、セクション 7.3.1 を参照してください。

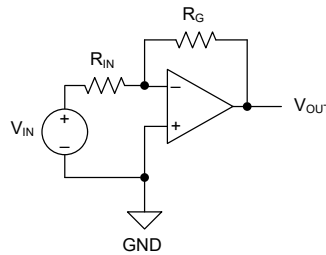


図 6-2. アンプ ゲイン回路

RES31A のもう 1 つの有効な使用事例は、単純な分压器です。図 6-3 に例が示されています。この実装では、中心電圧 V_{MID} は、入力電圧 V_D に $R_{IN} / (R_{IN} + R_G)$ を掛けた値に等しくなります。

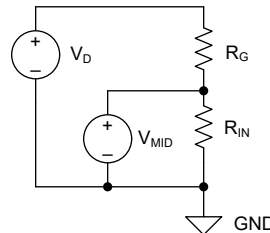


図 6-3. 分压回路

分压器の使用事例の誤差の計算はわずかに複雑ですが、RES31A を使用して構築された分压器回路のゲイン誤差は、常に同じデバイスで実装されたアンプ ゲイン回路の誤差より小さくなります。また、ゲイン回路の RES31A に規定されている t_{D1} または t_{D2} の値は、分压回路では過度に保守的です。詳細な説明と例については、セクション 8.1.2 を参照してください。

CMRR を計算するための回路構成を、図 6-4 に示します。オフセットがなく CMRR が無限で理想的なアンプの場合、実効回路の CMRR はすべて抵抗のマッチングの関数となります。詳細については、セクション 8.1.3.1 および高精度のマッチング分压抵抗ペアを使用した差動アンプ回路の CMRR の最適化アプリケーション ノートを参照してください。

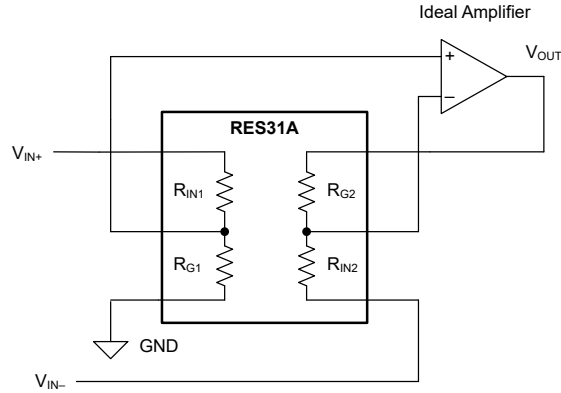


図 6-4. CMRR 計算リファレンスの回路図

6.2 AC 測定構成

図 6-5 に、静電容量測定に使用する回路構成を示します。RES31A については、 $1\text{M}\Omega$ の R_{KNOWN} 抵抗と 10pF の C_{KNOWN} 容量を使用します。この回路によりインピーダンス分圧器が作成されます。結果として得られるゲインと周波数との関係を使って、テスト対象の抵抗と並列に接続した寄生容量 (この場合は R_{IN1}) を計算します。基板の寄生成分を考慮して、空のソケットを使用した較正を実行します。AC 電源は 100Hz から 50MHz の範囲で掃引されます。

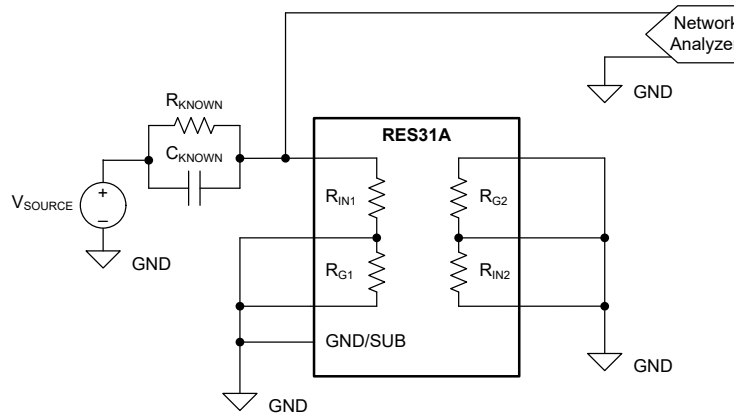


図 6-5. 容量測定基準電圧の回路図

図 6-6 に、帯域幅の測定に使用する回路構成を示します。AC 電源は 100kHz から 500MHz の範囲で掃引されます。

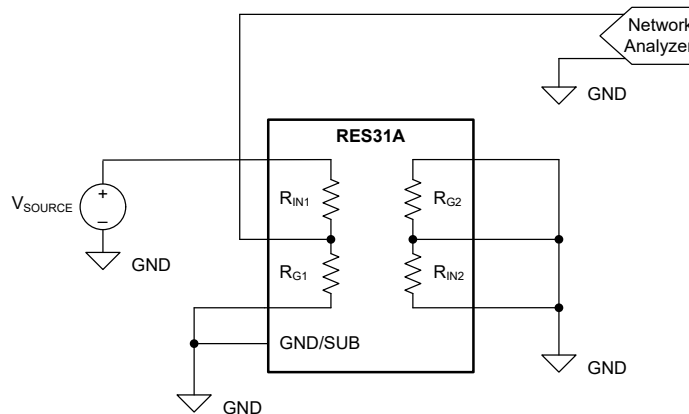


図 6-6. 帯域幅測定基準の回路図

図 6-7 に、クロストーク測定に使用する回路構成を示します。AC 電源は 100Hz から 100MHz の範囲で掃引されます。

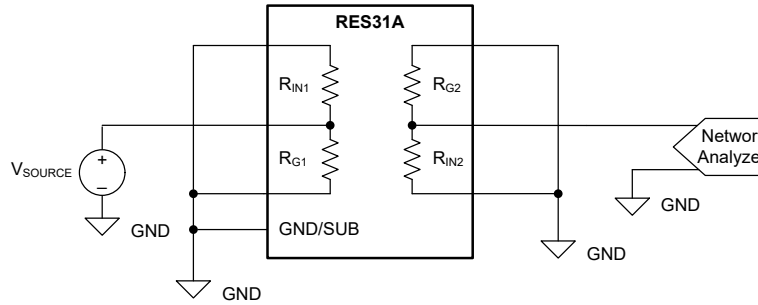


図 6-7. クロストーク測定基準の回路図

6.3 誤差の表記と単位

このドキュメントでは、フォームを使用します

$$\text{Param}_{\text{actual}} = \text{Param}_{\text{nominal}} \times (1 + t_{\text{param}}) \quad (1)$$

このフォームでは、レシオメトリックな方法での RES31A パラメータの多くの誤差を示しています。この式は以下のように展開されます

$$\text{Param}_{\text{actual}} = \text{Param}_{\text{nominal}} + (\text{Param}_{\text{nominal}} \times t_{\text{param}}) \quad (2)$$

したがって、特定のパラメータの実際の値と公称値の差または絶対誤差は以下のようになります

$$\text{Param}_{\text{actual}} - \text{Param}_{\text{nominal}} = \text{Param}_{\text{nominal}} \times t_{\text{param}} \quad (3)$$

$\text{Param}_{\text{actual}}$ は、回路ゲインを記述するときの V/V または ω/Ω など、 $\text{Param}_{\text{nominal}}$ と同じ単位を共有します。一方、 t_{param} はデフォルトでは単位を持ちません。RES31A の誤差の許容誤差は非常に低いため、 t_{param} 誤差は通常 ppm 単位で表され、誤差に 10^6 を乗算します。 t_{param} を ppm から単位のない 10 進値に戻して誤差計算を行うには、 t_{value} を 10^6 で除算します。これについては、[セクション 7.3.1](#) を参照してください。

RES31A の誤差項 (ゲイン誤差、ゲイン温度係数など) の多くは公称ゲインに応じてスケールされているため、この表記はさまざまな RES31A の比にわたって値を標準化するための便利な方法を提供します。誤差解析の計算でレシオメトリック誤差を絶対誤差に (またはその逆に) 変換する際は、表記に注意し、必要に応じて t_{param} の誤差を $\text{Param}_{\text{nominal}}$ でスケールすることを忘れないでください。[セクション 9.7](#) にはドキュメント全体に表示されるさまざまなエラー用語のリストと、それぞれの概要または定義が含まれます。

分圧比やゲインを説明するなど、場合によっては、分周器 1 と分周器 2 の両方に同じ式を適用することもあります。この場合、 Param_x という表記が使用されます。ここで、 x は 1 または 2 です。たとえば、比率誤差を一般的に記述する場合、

$$G_x = G_{\text{nom}} \times (1 + t_{Dx}) \quad (4)$$

デバイダ 2 の比誤差については、特に次のようになります、

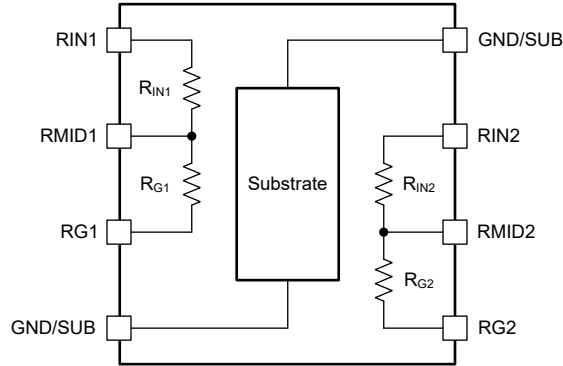
$$G_2 = G_{\text{nom}} \times (1 + t_{D2}) \quad (5)$$

7 詳細説明

7.1 概要

RES31A は、4 つの高精度薄膜 SiCr 抵抗で構成され、マッチングされた 2 つの分周器を形成します。このデバイスには 2 個の入力抵抗、 R_{IN1} および R_{IN2} があり、どちらも公称 100k Ω です。また、このデバイスには 2 つのゲイン抵抗 R_{G1} と R_{G2} もあり、対象となる RES31A デバイスの公称比 (R_{Gx}/R_{INx}) に依存します。これらの抵抗は、第 1 の分圧器を形成するように R_{IN1} と R_{G1} を直列に配置し、 R_{IN2} と R_{G2} を直列に配置して第 2 の分圧器を形成します。デバイス サブストレートにバイアスを印加するため、2 本の GND ピンも用意されています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 低ゲイン誤差のためのレシオメトリック一致

RES31A は、一般的に、帰還パスを確立して、アンプ回路のゲインを設定するため、または入力信号をレベルシフトするための分圧器として使用されます。どちらの場合も、回路の抵抗比は公称回路の伝達関数を表します。特定の RES31A の抵抗はインターデジタル化されており、シリコンウェハの同じ領域から供給されるため、実際または実効回路伝達関数を計算するとき、抵抗の絶対誤差項の多くはキャンセルされます。詳細な数学的分析と校正が [セクション 7.3.1.1](#) に示されていますが、ほとんどの使用事例では、電気的特性に記載されている誤差項を直接使用して、関連する最大および標準的な回路のゲイン誤差を計算します。

RES31A は最大分圧比の許容誤差が 500ppm で規定されています。これは、実質的に、特定の分圧器 x の実際的な分圧器比 G_x と公称比 G_{nom} の関係を以下で表すことを意味します：

$$G_x = G_{nom} \times (1 + t_{Dx}) \quad (6)$$

この場合、 $t_{Dx} \leq 500\text{ppm}$ になります。たとえば、RES31A40 の公称ゲインは $G_{nom} = 4$ です。特定のユニットの $t_{D1} = 130\text{ppm}$ かつ $t_{D2} = -40\text{ppm}$ がある場合、実効ゲイン G_1 および G_2 は次のように計算されます

$$G_1 = G_{nom} \times (1 + t_{D1}) = 4 \times (1 + 0.00013) = 4.00052 \quad (7)$$

$$G_2 = G_{nom} \times (1 + t_{D2}) = 4 \times (1 - 0.00004) = 3.99984 \quad (8)$$

RES31A は最大分圧器一致許容誤差が 1000ppm で規定されています。これは、分圧器 1 の比 (G_1) と分圧器 2 の比 (G_2) との関係は次のように表されます：

$$t_M = t_{D2} - t_{D1} = \frac{G_2 - G_1}{G_{nom}} \quad (9)$$

定義により、 $|t_M| \leq 1000\text{ppm}$ です。2 つの分周器の嵌合の結果、 t_M の実際の標準的な振幅は、特定の RES31A デバイスに応じてこの最大値より約 1 桁小さくなります。この値を使用して、差動アンプ回路を実装するときの同相モード除去比 (CMRR) を近似します。たとえば、RES31A40 の t_M の標準値は約 58ppm であり、CMRR の標準値は 97.1dB です。

7.3.1.1 絶対公差およびレシオメトリック公差

RES31A の抵抗は、以下の式で表されます:

$$R_{IN1} = R_{INnom} \times (1+t_{absRIN1}) = R_{INnom} \times (1+t_{RIN1}) \times (1+t_{SiCr}) \quad (10)$$

$$R_{IN2} = R_{INnom} \times (1+t_{absRIN2}) = R_{INnom} \times (1+t_{RIN2}) \times (1+t_{SiCr}) \quad (11)$$

$$R_{G1} = R_{Gnom} \times (1+t_{absRG1}) = R_{Gnom} \times (1+t_{RG1}) \times (1+t_{SiCr}) \quad (12)$$

$$R_{G2} = R_{Gnom} \times (1+t_{absRG2}) = R_{Gnom} \times (1+t_{RG2}) \times (1+t_{SiCr}) \quad (13)$$

R_{INnom} と R_{Gnom} は各抵抗の公称値です。パラメータ t_{abs} は、 $|t_{abs}| \leq 12\%$ など、対象となる RES31A 抵抗の絶対許容誤差を表す誤差項です。たとえば、 $t_{abs} = 10\%$ の公称 $100k\Omega$ 抵抗は、実際には $110k\Omega$ を測定します。この誤差は、ほとんどの単一素子抵抗の規定絶対許容誤差、またはより特化した分圧抵抗のエンド ツー エンドの許容誤差に相当します。

注

RES31A はレーザでトリムされたデバイスではありません。RES31A の各比率には、その比率に最適化された専用ダイが採用されており、極めて低いドリフトを実現するために必要な高精度のマッチングと一貫した熱特性を備えています。

絶対公差は、主に SiCr の抵抗率変動 (t_{SiCr}) によって支配されます。特定の RES31A に含まれる 4 つの抵抗はインターデジタル構造で形成され、同一ウェハ上の同一領域から作られているため、部品間では t_{SiCr} にばらつきがあるものの、同一デバイス内の 4 つの抵抗については実質的に同じ t_{SiCr} となります。

次の例に示すように、各分圧器を比率的に考える場合、 t_{SiCr} の誤差項は打ち消されます。パラメータ t_{Rx} は、ユニバーサル t_{SiCr} を考慮した後の RES31A デバイスの各抵抗の残りの実効許容誤差を表す残留誤差項です。

$$\frac{R_{Gx}}{R_{INx}} = \frac{R_{Gnom} \times (1+t_{RGx}) \times (1+t_{SiCr})}{R_{INnom} \times (1+t_{RINx}) \times (1+t_{SiCr})} = \frac{R_{Gnom} \times (1+t_{RGx})}{R_{INnom} \times (1+t_{RINx})} = G_{nom} \times \frac{(1+t_{RGx})}{(1+t_{RINx})} = G_x \quad (14)$$

$$\frac{R_{INx}}{R_{INx} + R_{Gx}} = \frac{R_{INnom} \times (1+t_{RINx}) \times (1+t_{SiCr})}{R_{INnom} \times (1+t_{RINx}) \times (1+t_{SiCr}) + R_{Gnom} \times (1+t_{RGx}) \times (1+t_{SiCr})} = \frac{R_{INnom} \times (1+t_{RINx})}{R_{INnom} \times (1+t_{RINx}) + R_{Gnom} \times (1+t_{RGx})} \quad (15)$$

t_{RG1} 、 t_{RG2} 、 t_{RIN1} 、および t_{RIN2} の個別の値は、各抵抗の許容誤差を表していますが、ガウス分布の意味では独立した変数ではありません。代わりに、これらの値を (設計上) 互いに一致させることで、抵抗間で非常に安定したレシオメトリック関係を実現し、実効比率を得て誤差が非常に小さくなります。

RES31A の t_{Dx} の制限は、量産時の正確なパラメータテストにより強制されており、誤差の可能性のある原因をよりの確に除去するためにケルビン接続を使用しています。結果として得られる t_{D1} と t_{D2} の値はよりランダム化された誤差項であるため、 t_{D1} と t_{D2} は独立したガウス分布として扱うことができ、これらの変数は誤差解析にはるかに有用です。単一素子抵抗は t_{Dx} に等価ではありません。これは、部品間のマッチングがグレードアウト制限以外とみなされることはないためです。他の分周器データシートでは、 t_{Dx} に相当する値は多くの場合、*比許容誤差*と呼ばれます。

これらの基準を満たさないデバイスは最終テストでスクリーニングされるため、これらの式を式 14 とともに技術的に使用して、特定のデバイスに関する t_{Rx} 値の間の追加の関係 (実効最大制限値など) を証明できます。しかし、この演習は最終的には過度に保守的な結果を与えます。2 乗和法を使用したより現実的な統計分析のために、電気的特性表の任意のマッチングセクションには、抵抗と抵抗の関係を追加した場合の測定された標準偏差が記載されています。実際的な例については、「セクション 8.1.3.2」を参照してください。

7.3.2 レシオメトリックドリフト

RES31A のレシオメトリック マッチングは、初期条件だけでなく、パラメータドリフトを考慮する場合にも利点があります。抵抗は、絶対項で個別に、一致項で相互に、レシオメトリックに考慮する必要があります。各抵抗の絶対温度係数は強い相関を示し、 R_{IN1} の係数は R_{IN2} の係数と同等、 R_{G1} の係数は R_{G2} の係数と同程度です。各 R_G の絶対温度係数 ($\Omega/$

°C) は、同等の R_{IN} と比べて約 G_{nom} 倍です。したがって、各抵抗の正規化された絶対温度係数 (ppm/°C) はおおよそ同じになります。

RES31A の抵抗はインターデジタル化されており、小さいフットプリントを占有します。そのため、デバイスのダイ温度は 4 つの各抵抗と実質的に共通です。温度が変化すると、各抵抗の温度上昇は同様の値になります。抵抗の温度係数は非常に類似しているため、 R_G と R_{IN} の比は十分に維持されます。たとえば、RES31A40 の R_{IN} または R_G の標準的な絶対温度係数は約 12ppm/°C になります。レシオメトリックで考慮する場合、 t_{D1} または t_{D2} の標準温度係数は ± 0.2 ppm/°C、 t_M の温度係数は ± 0.05 ppm/°C です。周囲温度、湿度、ヒートシンク、ボードの清潔さ、その他の関連要因は RES31A のセtring タイムに影響を及ぼす可能性があるため、検証試験は、厳格な基板クリーニング手順を使用して低湿度の環境で実施します。

7.3.3 超低ノイズ

抵抗におけるノイズは、低周波フリッカ ノイズと広帯域熱雑音の 2 つの領域に分けて評価できます。100Hz 未満の周波数で信号ゲインを必要とするシステムでは、フリッカ (1/f ノイズ) は非常に重要です。RES31A を含む薄膜抵抗のフリッカノイズは、厚膜抵抗プロセスのフリッカ ノイズより小さくなります。熱ノイズは通常 1kHz を超える領域で支配的となり、抵抗値が大きくなるにつれて増加します。ノイズは、抵抗と直列の電圧源としてモデル化されます。

RES31A などの抵抗分圧器では、2 つの抵抗 R_{IN} および R_G のセンター タップで測定された熱ノイズは、 $R_{IN} \parallel R_G$ の値を持つ抵抗の熱ノイズと等価です：

$$e_N = \sqrt{(4k_B T R)} \quad (16)$$

ここで

- e_N : 熱ノイズ密度 (nV/√Hz)
- T は絶対温度 (単位:ケルビン (K)) です
- k_B はボルツマン定数で、 1.381×10^{-23} J/K です
- $R = R_{IN} \parallel R_G$

たとえば、25°C の RES31A40 の場合、次のようになります：

$$e_N = \sqrt{(4k_B T R)} = \sqrt{4 \times 1.38E^{-23} \frac{J}{K} \times 278K \times (100k\Omega \parallel 400k\Omega)} = 35.1nV/\sqrt{Hz} \quad (17)$$

7.4 デバイスの機能モード

RES31A は、通常、2 つの独立してバイアスされた抵抗分圧器とともに使用されます。 R_{IN1} および R_{G1} を直列に接続することにより抵抗分圧器が形成され、 R_{IN2} と R_{G2} が直列に接続されて別の分圧器が形成されます。ただし、2 つの分圧器を個別に使用する必要はありません。これらの抵抗は、他の抵抗と同様に、直列または並列に接続できます。

2 つの GND ピンのうちの 1 つを使用して、部品のサブストレートにバイアスを印加します。最良のノイズ除去を実現するため、基板を信号グランドまたは同様の低インピーダンスのバイアス ポイントまたはプレーンに接続します。このデバイスには 2 本の GND/SUB 接続ピンがありますが、これらのピンのうち 1 本のみをグランド プレーンに接続します。2 つの GND ピンはサブストレートを介して内部接続されています。これは、大電流を流すことを意図していません。一度に 1 本の GND ピンのみを接続し、もう 1 本のピンをフローティングのままにして、サブストレートを經由する電流リターンパスが発生しないようにします。

8 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.1.1 アンプの帰還回路

RES31A は通常、オペアンプの帰還パスを実装し、回路のゲインを設定するために使用されます。この回路は反転または非反転として構成され、入力電圧がそれぞれのアンプの入力に印加されており、次の図に一般的に図示します。

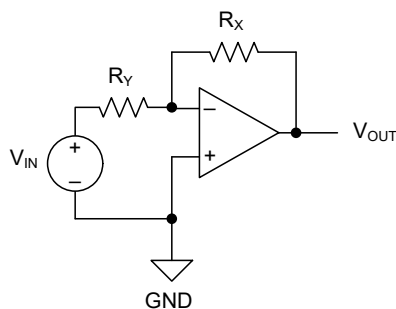


図 8-1. 反転アンプ構成

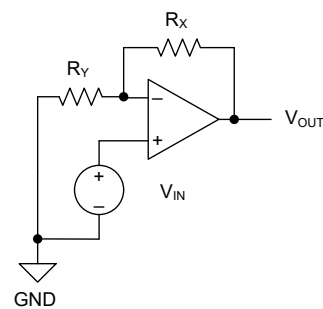


図 8-2. 非反転アンプ構成

反転回路構成の場合:

$$G_{Inv} = \frac{R_X}{R_Y} \quad (18)$$

$$V_{OUT} = -V_{IN} \times G_{Inv} \quad (19)$$

非反転回路構成の場合:

$$G_{Noninv} = 1 + \frac{R_X}{R_Y} \quad (20)$$

$$V_{OUT} = V_{IN} \times G_{Noninv} \quad (21)$$

通常、 $R_X = R_G$ および $R_Y = R_{IN}$ で、2 ~ 11 の非反転ゲインを実現できます。この構成では、-1 から-10 までの反転ゲイン範囲が得られます。よりユニークな設定も可能です。セクション 8.1.6.2 も参照してください。

$$G_x = G_{nom}(1 + t_{Dx}) \quad (22)$$

8.1.1.1 アンプのフィードバック回路の例

次の例について考えます。RES31A のデバイス 1 は反転構成で、分周器 2 は非反転構成で使用します。どちらのチャネルも同じ入力信号 V_{IN} を持っていますが、回路には $V_{OUT1} = V_{IN} \times (-G_1)$ と $V_{OUT2} = V_{IN} \times (1 + G_2)$ の異なる伝達関数があります。

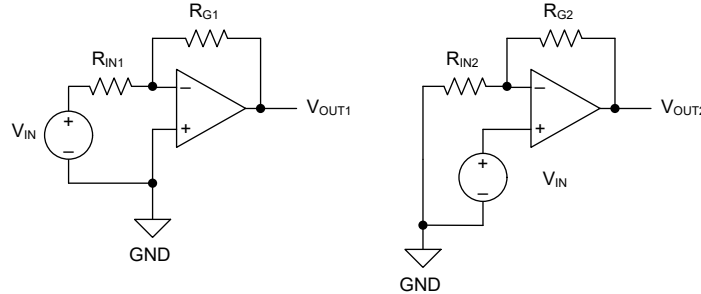


図 8-3. アンプ ゲインの例の回路

次の表に、さまざまな誤差の影響を示すため、いくつかの条件について計算された結果を示します。アンプのオフセットまたは入力バイアス電流が V_{OUTx} に及ぼす影響は考慮しません。各行は、 V_{IN} 、 G_{nom} 、 t_{D1} 、 t_{D2} の異なる仮想的な条件を表します。

表 8-1. RES31A を使用したアンプ ゲインの例の回路条件

V_{IN}	G_{nom}	t_{D1}	t_{D2}	G_1	G_2	V_{OUT1}	V_{OUT2}
1V	4	0ppm	0ppm	4	4	-4V	5V
1V	4	100ppm	-10ppm	4.00040	3.99996	-4.00040	4.99996
1V	4	40ppm	-80ppm	4.00016	3.99968	-4.00016	4.99968
1V	4	-80ppm	40ppm	3.99968	4.00016	-3.99968	5.00016
-2V	1.667	0ppm	0ppm	1.66667	1.66667	3.33333	-5.33333
-2V	1.667	100ppm	-10ppm	1.66683	1.66665	3.33367	-5.33330
-2V	1.667	40ppm	-80ppm	1.66673	1.66653	3.33347	-5.33307
-2V	1.667	-80ppm	40ppm	1.66653	1.66673	3.33307	-5.33347

8.1.2 電圧分圧器回路

セクション 6.1 に示されているように、RES31A は通常、入力信号レベル シフタまたは分圧器として使用されます。この回路は一般的に次の図に図示します。

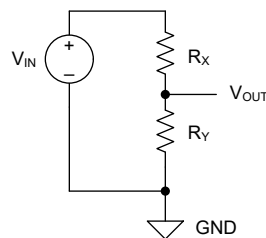


図 8-4. 汎用電圧分圧器回路

$$G_{VD} = \frac{R_Y}{R_Y + R_X} \quad (23)$$

$$V_{OUT} = V_{IN} \times G_{VD} \quad (24)$$

$$G_{VDx} = G_{VD_{nom}}(1 + t_{VDx}) \quad (25)$$

多くの場合、この回路では、 R_G と R_{IN} はそれぞれ R_X と R_Y として機能します。これらの項を代入すると、以下の伝達関数が得られます：

$$G_{VDx} = \frac{R_{INx}}{R_{INx} + R_{Gx}} = \frac{1}{G_x + 1} \quad (26)$$

G_{VDx} は G_x の直接関数であるため、これらの分圧回路の比許容誤差 t_{VDx} は t_{Dx} の直接関数になります。この構成における t_{VDx} の標準および最大パラメータ値は、指定された t_{Dx} 値から次のように計算されます：

$$t_{VDx} = \frac{-G_{nom} \times t_{Dx}}{G_{nom} \times t_{Dx} + G_{nom} + 1} \quad (27)$$

たとえば、この構成で $t_{D1} = 130\text{ppm}$ の RES31A40 を使用した場合、関連する t_{VD1} 誤差は -104ppm になります。符号変化は、 t_{Dx} の正の誤差と $R_G > R_{Gnom}$ または $R_{IN} < R_{INnom}$ を意味するために発生します。その結果、 G_{VDx} は公称値より小さいため、誤差項は負です。

$R_X = R_{IN}$ 、 $R_Y = R_{IN}$ になるように R_G と R_{IN} の位置を交換する別のケースでは、伝達関数は次のようになります：

$$G_{VDx} = \frac{R_{Gx}}{R_{INx} + R_{Gx}} = \frac{G_x}{G_x + 1} \quad (28)$$

この伝達関数の誤差は以下のように表されます：

$$t_{VDx} = \frac{t_{Dx}}{G_{nom} \times t_{Dx} + G_{nom} + 1} \quad (29)$$

この代替構成で、同じ RES31A40 と $t_{D1} = 130\text{ppm}$ を使用すると、関連する t_{VD1} 誤差は 26ppm になります。符号変化は発生しません。これは、 t_{Dx} の誤差が正の場合は $R_G > R_{Gnom}$ または $R_{IN} < R_{INnom}$ であるためです。結果となる G_{VDx} は公称値よりも大きいため、誤差項は再び正になります。

8.1.2.1 電圧分圧器の回路の例

次の例について考えます。RES31A の分周器 1 と 2 は、どちらも分圧器として配置されていますが、 R_{IN1} と R_{G2} の位置と同様に、 R_{G1} と R_{IN2} の相対位置が交換されます。どちらのチャンネルも同じ入力信号 V_{IN} を持っていますが、伝達関数は $V_{OUT1} = V_{IN} \times G_1 / (1 + G_1)$ と $V_{OUT2} = V_{IN} \times 1 / (1 + G_2)$ と異なります。

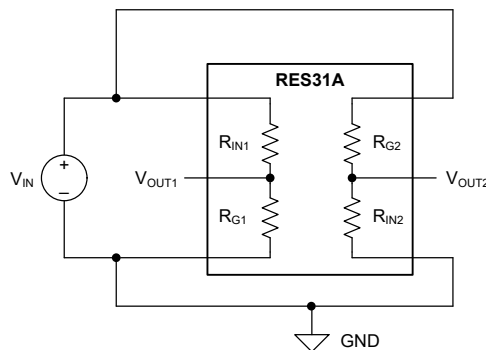


図 8-5. 電圧分圧器の回路例

以下の表に、さまざまな誤差の影響を示すためいくつかの例について計算結果を示します。表の各行は、異なる仮説上の条件を表しています。各表の最後の行は、 t_{Dx} の絶対最大および最小制限を代入した結果を示しています。最終 % 誤差 E_{OUTx} は次のように計算されます：

$$E_{OUTx} = \frac{V_{OUTx} - V_{OUTnom}}{V_{OUTnom}} \quad (30)$$

表 8-2. 電圧分圧器の例、分圧器 1 の計算誤差

V _{IN}	G _{nom}	G _{VDnom}	V _{OUT1nom}	t _{D1}	t _{VD1}	G _{VD1}	V _{OUT1}	E _{OUT1}
5V	4	1/5	1V	60ppm	-48ppm	0.19999	0.99995	-48ppm
5V	4	1/5	1V	-80ppm	64ppm	0.20001	1.00006	64ppm
10V	4	1/5	2V	60ppm	-48ppm	0.19999	1.99990	-48ppm
10V	4	1/5	2V	-80ppm	64ppm	0.20001	2.00013	64ppm
10V	4	1/5	2V	500ppm	-400ppm	0.19992	1.99920	-400ppm
10V	4	1/5	2V	-500ppm	400ppm	0.20008	2.00080	400ppm

表 8-3. 電圧分圧器の例、分圧器 2 の計算誤差

V _{IN}	G _{nom}	G _{VDnom}	V _{OUT2nom}	t _{D2}	t _{VD2}	G _{VD2}	V _{OUT2}	E _{OUT2}
5V	4	4/5	4V	75ppm	15ppm	0.80001	4.00006	15ppm
5V	4	4/5	4V	-130ppm	-26ppm	0.79998	3.99990	-26ppm
10V	4	4/5	8V	75ppm	15ppm	0.80001	8.00012	15ppm
10V	4	4/5	8V	-130ppm	-26ppm	0.79998	7.99979	-26ppm
10V	4	4/5	8V	500ppm	100ppm	0.80008	8.00080	100ppm
10V	4	4/5	8V	-500ppm	-100ppm	0.79992	7.99920	-100ppm

例に示すように、各分圧器の伝達関数の最終的な誤差 E_{OUTx} は、対応する実効分圧器の誤差 t_{VDx} と等価です。いずれの場合も、t_{VDx} の大きさは t_{Dx} の大きさより小さくなります。

8.1.2.2 電圧分圧回路のドリフト

セクション 8.1.2 で説明したように、RES31A の分圧回路の誤差 t_{VDx} は、次の 2 つの式のいずれか 1 つによってゲイン回路誤差 t_{Dx} と関連付けられています (R_G と R_{IN} の配置に応じて):

$$G_{VDx} = \frac{R_{INx}}{R_{INx} + R_{Gx}} = G_{VDnom}(1 + t_{VDx}) \rightarrow t_{VDx} = \frac{-G_{nom} \times t_{Dx}}{G_{nom} \times t_{Dx} + G_{nom} + 1} \quad (31)$$

$$G_{VDx} = \frac{R_{Gx}}{R_{INx} + R_{Gx}} = G_{VDnom}(1 + t_{VDx}) \rightarrow t_{VDx} = \frac{t_{Dx}}{G_{nom} \times t_{Dx} + G_{nom} + 1} \quad (32)$$

したがって、温度による分圧器の伝達関数 G_{VDx} の変化は、温度による t_{Dx} の変化の直接関数です。温度係数 TCR_{ratio} に周囲温度の変化を掛けると、t_{Dx} の変化が得られます。これは、t_{VDx} の変化を計算するために、上記の適切な式で代入されます。t_{VDx} の変化は、G_{VDx} の変化に直接対応します。

たとえば、G_{nom} = 4 の RES31A40 と、図 8-4 に示す回路構成を考慮します。ここで、R_X = R_{G1}、R_Y = R_{IN1} が設定されています。t_{D1} は最初は 85ppm であり、周囲温度の 25°C の上昇により 5ppm 増加すると仮定します。温度変化の前の t_{VD1} の初期値は次のように計算されます:

$$t_{VD1} = \frac{-G_{nom} \times t_{D1}}{G_{nom} \times t_{D1} + G_{nom} + 1} = \frac{-4 \times 0.000085}{4 \times 0.000085 + 4 + 1} = -0.000068 = -68ppm \quad (33)$$

温度変化後の t_{VD1} の新しい値は次のように計算されます:

$$t_{VD1} = \frac{-G_{nom} \times t_{D1}}{G_{nom} \times t_{D1} + G_{nom} + 1} = \frac{-4 \times 0.000090}{4 \times 0.000090 + 4 + 1} = -0.000072 = -72ppm \quad (34)$$

最初のシナリオでは、t_{D1} の 5ppm のシフトによって、t_{VD1} に -4ppm のシフトが生じます。

回路構成を反転して R_X = R_{IN1}、R_Y = R_{G1} になった場合、t_{VD1} の初期値は次のように計算されます:

$$t_{VD1} = \frac{t_{D1}}{G_{nom} \times t_{D1} + G_{nom} + 1} = \frac{0.000085}{4 \times 0.000085 + 4 + 1} = 0.000017 = 17ppm \quad (35)$$

温度変化後の t_{VD1} の新しい値は次のように計算されます:

$$t_{VD1} = \frac{t_{D1}}{G_{nom} \times t_{D1} + G_{nom} + 1} = \frac{0.000090}{4 \times 0.000090 + 4 + 1} = 0.000018 = 18\text{ppm} \quad (36)$$

この 2 番目のシナリオでは、 t_{D1} の 5ppm のシフトによって、 t_{VD1} のシフトはわずか 1ppm になります。

8.1.3 ディスクリット差動アンプ

RES31A は、単純な差動アンプを実装するために一般的に使用されます。2 つの分圧抵抗間のレシオメトリック マッチングにより、比類のないディスクリット抵抗を使用した類似の実装と比較して、CMRR 性能と回路のゲインドリフトが向上します。この基本回路を、[図 8-6](#) に示します。

$$V_{OUT} = (V_{IN+} - V_{IN-}) \times \left(\frac{R_G}{R_{IN}}\right) + V_{REF} \quad (37)$$

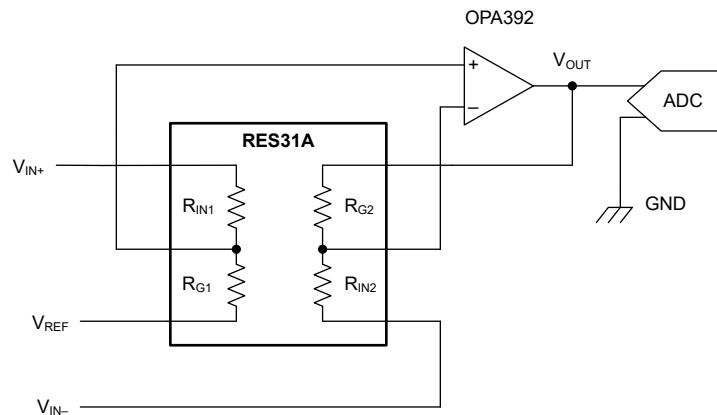


図 8-6. RES31A を使用したディスクリット差動アンプ

8.1.3.1 差動アンプの同相モード除去分析

このシンプルな差動アンプ構成では、CMRR の公称値は次のように計算されます:

$$\text{CMRR} = 20 \times \log_{10} \left(\left| \frac{A_D}{A_{CM}} \right| \right) \quad (38)$$

A_D は回路の差動ゲインで、 A_{CM} は回路の同相ゲインです。これらの定義は以下のとおりです:

$$A_D \times = \frac{V_{OUT}}{V_D} = 0.5 \times \frac{\left(\frac{R_{G1}}{R_{G1} + R_{IN1}}\right) + \left(\frac{R_{G2}}{R_{G2} + R_{IN2}}\right)}{\left(\frac{R_{IN2}}{R_{G2} + R_{IN2}}\right)} \quad (39)$$

$$A_{CM} = \frac{V_{OUT}}{V_{CM}} = \frac{\left(\frac{R_{G1}}{R_{G1} + R_{IN1}}\right) - \left(\frac{R_{G2}}{R_{G2} + R_{IN2}}\right)}{\left(\frac{R_{IN2}}{R_{G2} + R_{IN2}}\right)} \quad (40)$$

したがって、次のようになります。

$$\text{CMRR} = 20 \times \log_{10} \left(\left| 2 \times \frac{R_{G1} \times (R_{IN2} + R_{G2}) - R_{G2} \times (R_{IN1} + R_{G1})}{R_{G1} \times (R_{IN2} + R_{G2}) + R_{G2} \times (R_{IN1} + R_{G1})} \right| \right) \quad (41)$$

[セクション 7.3.1](#) に示されている定義でこの式が評価されると、最も不平衡な分圧器の一致の最悪ケースのシナリオを想定して、次のようになります。

$$\text{CMRR} = 20 \times \log_{10} \left(\left| \frac{G_{\text{nom}} + 1 + t_{\text{Rx}}^2 (1 - G_{\text{nom}})}{4 \times t_{\text{Rx}}} \right| \right) \quad (42)$$

$t_{\text{Rx}}^2 < 1$ 未満です。したがって、最悪ケースの **CMRR** は次のように概算されます：

$$\text{CMRR} = 20 \times \log_{10} \left(\left| \frac{G_{\text{nom}} + 1}{4 \times t_{\text{Rx}}} \right| \right) \quad (43)$$

定義上、パラメータ t_M は、比類のない分圧回路では $4 \times t_x$ と等価な実効誤差を表すため、 t_M の最大値を使用して同じ最悪ケースの結果を計算できます。同様に、 t_M の標準値を使用して、標準的な **CMRR** を近似できます。

$$\text{CMRR} = 20 \times \log_{10} \left(\left| \frac{G_{\text{nom}} + 1}{t_M} \right| \right) \quad (44)$$

たとえば、 $G = 4$ の RES31A40 デバイスの最悪ケースの **CMRR** は約 74.0dB であり、**CMRR** の標準値は約 97.1dB です。これに対し、0.1% 許容誤差の比類のない抵抗と同等の $G = 4$ 差動アンプを実装すると、最悪ケースの **CMRR** は約 62dB となります。

差動アンプ構成でも、オペアンプの **CMRR** は誤差の原因となります。オペアンプの **CMRR** は、次の式に従って、抵抗ネットワークの **CMRR** と並列に考慮されます：

$$\frac{1}{\text{CMRR}_{\text{TOTAL}}} = \frac{1}{\text{CMRR}_{\text{AMP}}} + \frac{1}{\text{CMRR}_{\text{RESISTORS}}} \quad (45)$$

分圧器のエンド ツー エンド抵抗の不一致を増やすと、差動アンプの実効 **CMRR** が低下します。RES31A の絶対許容範囲が低い (標準値 140ppm) ため、これらの懸念を低減するのに役立ちますが、寄生パターン抵抗は **CMRR** の仕様に影響を及ぼすさらなる不一致につながる可能性があります。

8.1.3.2 差動アンプのゲイン誤差解析

伝達関数式 37 では、 $R_{G1} = R_{G2}$ 、 $R_{IN1} = R_{IN2}$ と仮定しています。この仮定を置かない場合、差動アンプの伝達関数は次の式でより正確に表されます：

$$V_{\text{OUT}} = V_{\text{IN}+} \times \left(\frac{R_{G1}}{R_{G1} + R_{IN1}} \right) \left(\frac{R_{G2} + R_{IN2}}{R_{IN2}} \right) - V_{\text{IN}-} \times \left(\frac{R_{G2}}{R_{IN2}} \right) + V_{\text{REF}} \quad (46)$$

$R_{G2} + R_{IN2}$ と $R_{G1} + R_{IN1}$ の両端の値が十分に一致している場合、対応する項は上記の式で相殺されます。RES31A のエンド ツー エンド mismatch 仕様は、この誤差の標準的な誤差をレジオメトリック用語で記載しています。簡潔にするため、この誤差項は t_{E2E} と表記されています。

$$\frac{R_{G2} + R_{IN2}}{R_{G1} + R_{IN1}} = 1 + t_{E2E} \quad (47)$$

$$V_{\text{OUT}} = V_{\text{IN}+} \times \left(\frac{R_{G1}}{R_{IN2}} \right) (1 + t_{E2E}) - V_{\text{IN}-} \times \left(\frac{R_{G2}}{R_{IN2}} \right) + V_{\text{REF}} \quad (48)$$

R_{G2}/R_{IN2} の比誤差は、 t_{D2} によって表されます。 R_{G1}/R_{IN2} の比率誤差は、分圧器間の R_G の不一致、レジオメトリック仕様によって表されます。簡潔にするため、この誤差項を t_{D2D} と表します。

$$\frac{R_{G2}}{R_{IN2}} = (1 + t_{D2}) \times G_{\text{nom}} \quad (49)$$

$$\frac{R_{G2}}{R_{IN1}} = (1 + t_{D2D}) \times G_{\text{nom}} \quad (50)$$

したがって、実効的な伝達関数は次のようになります

$$V_{OUT} = V_{IN+} \times G_{nom} \times (1 + t_{E2E})(1 + t_{D2D}) - V_{IN-} \times G_{nom} \times (1 + t_{D2}) + V_{REF} \quad (51)$$

さらに分析を行うため、入力電圧 V_{IN+} と V_{IN-} は最初に同相入力電圧 (V_{CM}) と差動入力電圧 (V_{DIFF}) として表されます。

$$V_{CM} = \frac{(V_{IN+} + V_{IN-})}{2} \quad (52)$$

$$V_{DIFF} = V_{IN+} - V_{IN-} \quad (53)$$

式 51 は、 V_{CM} および V_{DIFF} で表されます

$$V_{OUT} = V_{CM} \times \left(\frac{\frac{R_{G1}}{R_{IN1} + R_{G1}} - \frac{R_{G2}}{R_{IN2} + R_{G2}}}{\frac{R_{IN2}}{R_{IN2} + R_{G2}}} \right) + V_{DIFF} \times \left(\frac{\frac{R_{G1}}{R_{IN1} + R_{G1}} + \frac{R_{G2}}{R_{IN2} + R_{G2}}}{2 \times \frac{R_{IN2}}{R_{IN2} + R_{G2}}} \right) \quad (54)$$

$$V_{OUT} = V_{CM} \times \left(\frac{R_{G1}}{R_{IN2}} \times \frac{R_{IN2} + R_{G2}}{R_{IN1} + R_{G1}} - \frac{R_{G2}}{R_{IN2}} \right) + \frac{V_{DIFF}}{2} \times \left(\frac{R_{G1}}{R_{IN2}} \times \frac{R_{IN2} + R_{G2}}{R_{IN1} + R_{G1}} + \frac{R_{G2}}{R_{IN2}} \right) \quad (55)$$

$$V_{OUT} = V_{CM} \times G_{nom} \times ((1 + t_{D2D}) \times (1 + t_{E2E}) - (1 + t_{D2})) + \frac{V_{DIFF}}{2} \times G_{nom} \times ((1 + t_{D2D}) \times (1 + t_{E2E}) + (1 + t_{D2})) \quad (56)$$

V_{CM} または V_{DIFF} に対するゲイン誤差は、指定された変数に対する式 56 の偏微分を取ることで計算します。

$$\frac{\partial V_{OUT}}{\partial V_{CM}} = G_{nom} \times ((1 + t_{D2D}) \times (1 + t_{E2E}) - (1 + t_{D2})) \quad (57)$$

$$\frac{\partial V_{OUT}}{\partial V_{DIFF}} = \frac{G_{nom}}{2} \times ((1 + t_{D2D}) \times (1 + t_{E2E}) + (1 + t_{D2})) \quad (58)$$

誤差許容誤差項 $(1 + t_{D2D})$ と $(1 + t_{E2E})$ は乗算型であり、 t_{D2D} と t_{E2E} はどちらも -200ppm 未満の範囲の標準偏差からゼロ平均であるため、 $t_{D2D} \times t_{E2E}$ の誤差の寄与は 0.01ppm 未満であり、無視できると仮定されます。結果は 3 つの項の代数的和であり、すべて独立したゼロ平均ガウス値と見なされ、次のようになります：

$$\frac{t_{ERR\text{effective}}}{1} = \sqrt{\left(\frac{t_{D2D}}{1}\right)^2 + \left(\frac{t_{E2E}}{1}\right)^2 + \left(\frac{t_{D2}}{1}\right)^2} \quad (59)$$

t_{D2D} 、 t_{E2E} 、 t_{D2} の標準値を代入すると、2 乗和の誤差解析が結果の項に対して実行され、伝達関数の代表的な誤差が示されます。

$G_{nom} = 2.5$ となるように、RES31A25 を使用している例を考えてみます。 $t_{D2} = 64\text{ppm}$ 、 $t_{E2E} = 57\text{ppm}$ 、 $t_{D2D} = 87\text{ppm}$ と仮定します。式 59 を使用すると、 $t_{ERR\text{effective}}$ は $\pm 122\text{ppm}$ として計算され、 V_{CM} および V_{DIFF} に対する ∂V_{OUT} を計算します。前者は同相ゲイン誤差で、後者は目標の公称ゲイン項 (G_{nom}) と望ましくないゲイン誤差で構成されます。

$$\frac{\partial V_{OUT}}{\partial V_{CM}} = G_{nom} \times t_{ERR\text{effective}} = G_{nom} \times \pm 122\text{ppm} = \pm 305\text{ppm} \quad (60)$$

$$\frac{\partial V_{OUT}}{\partial V_{DIFF}} = \frac{G_{nom}}{2} \times (2 + t_{ERR\text{effective}}) = G_{nom} \pm 153\text{ppm} \quad (61)$$

$t_{ERR\text{effective}}$ 誤差に、目的のプロセス制御値 (たとえば 6 シグマ手法の $\times 6$) を乗算すると、安全な最大範囲が得られます。電気的特性に記載されている $\pm 1\sigma$ の値にはすでにガードバンドが含まれており、平均シフトを考慮しているため、多くの場合、プロセス制御値 (5 シグマなど) が低い方で十分です。たとえば、上記の CMRR の式を解くとわずか 78.3dB しか得られませんが、RES31A25 の実際の代表的な CMRR は 89.1dB です。この不一致が発生するのは、 t_{D1} 、 t_{D2} 、 t_M 、CMRR 測定分解能が t_{D2D} および t_{E2E} の ATE 測定分解能より高いため、後者のパラメータの報告される標準値には追

加のガードバンド化が含まれるためです。さらに、保守的なモデル化によるアプローチでは、 t_{D2D} 、 t_{E2E} 、 t_{D2} は相関がないと想定していますが、多くのデバイスでは、弱い相関 (t_{D2D} 、 t_{E2E} などの極性が異なる) が存在しており、実際に観測された誤差がモデル化された誤差より小さくなります。

8.1.4 ディスクリート計測アンプ

RES31A をデュアルチャネル オペアンプと組み合わせて使用すると、ディスクリート計測アンプ (INA) が実装できます。2 つの抵抗デバイダ間のレシオメトリック マッチングにより、不整合のある個別抵抗を使用した同様の構成と比べて回路の CMRR の特性が向上し、温度変化や経年によるゲインドリフト特性も改善されます。ブリッジ センサを測定する場合などに、高い入力インピーダンスと低いバイアス電流が必要な場合、差動アンプの代わりに INA がよく使用されます。

図 8-7 に示されているように、ディスクリート INA は多くの場合、差動入力差動出力回路として構成されています。この図では示されていませんが、必要に応じて、追加のディスクリート差動アンプ段 (2 番目の RES31A と別のオペアンプ チャネルが必要) を使用して、差動出力電圧をシングルエンド電圧に変換します (たとえば、シングルエンド ADC を駆動する場合)。この追加段では、追加のオフセットを追加でき、一般的な 3 アンプ INA アーキテクチャを実質的に模倣した追加のゲインも提供されます。

$$V_{OUT+} - V_{OUT-} = (V_{IN+} - V_{IN-}) \times \left(1 + \frac{R_G}{R_{IN}} \right) \quad (62)$$

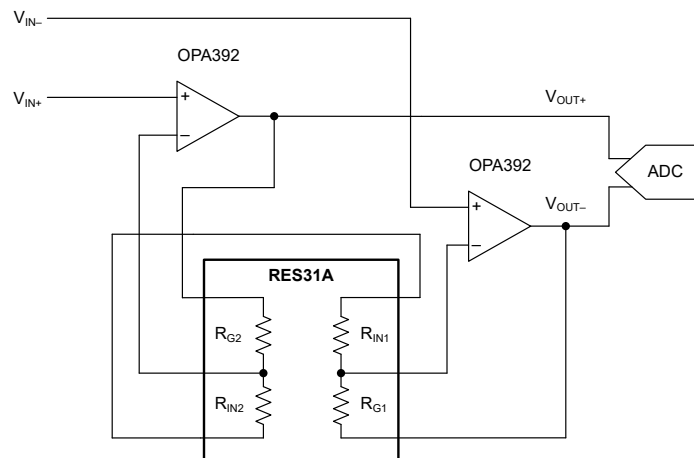


図 8-7. RES31A を使用する差動入力、差動出力の計測アンプ

図 8-8 に示されているように、それほど一般的ではないディスクリート INA は、差動入力、シングルエンド出力回路として実装できます。このトポロジにより、高い入力インピーダンスが維持され、オフセットを印加でき、第 3 のアンプ チャネルを必要とせずにシングルエンド出力が得られます。オフセットは、リファレンス バッファなどの低インピーダンス ソースによって駆動する必要があります。ディスクリート INA を設計する場合は、回路設計プロセスで使用されるアンプの出力スイングおよび入力同相範囲の制限を注意深く考慮します。

$$V_{OUT} = (V_{IN+} - V_{IN-}) \times \left(1 + \frac{R_G}{R_{IN}} \right) + V_{REF} \quad (63)$$

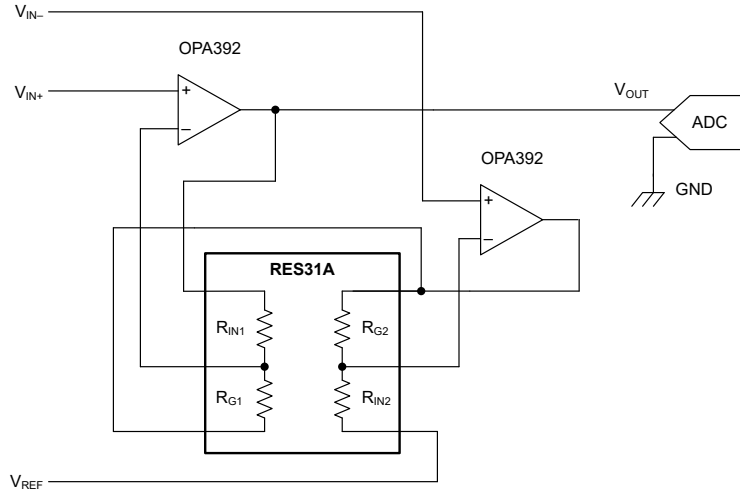


図 8-8. RES31A を使用する、差動入力、シングルエンド出力の計測アンプ

8.1.5 完全差動アンプ

RES31A は、THP210 などの完全差動アンプのゲインを設定するために使用できます。2 つの抵抗分圧器間の比率マッチングにより、不整合な個別抵抗を使用した同様の構成と比べて、回路のゲイン マッチングおよび CMRR 特性が向上します。

差動 ADC を駆動する完全差動アンプの一般的な回路図を [図 8-9](#) に示します。この図では、アンプのゲインを設定する RES31A を使用しています。

$$V_{OUT+} - V_{OUT-} = (V_{IN+} - V_{IN-}) \times \left(\frac{R_G}{R_{IN}} \right) \quad (64)$$

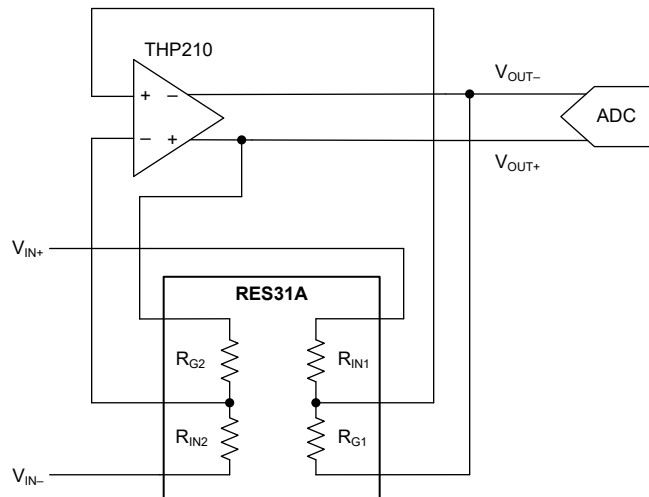


図 8-9. RES31A を使用した完全差動アンプのゲイン設定

8.1.6 非従来型回路

RES31A の 2 つのマッチング済み分圧器は、一般的にそれぞれ独立した 2 つの高精度マッチング チャンネルとして使用されます。抵抗器は、両方のチャンネルからの抵抗器をリンクすることで、より広い範囲の伝達関数と効果的な「ゲイン」を実現する従来の向きではない場合にも役立ちます。電圧分圧器やアンプのフィードバックパスはこの用途に適した典型的な例ですが、「アンバランス」な計装アンプ回路のような特殊な用途でも、この手法の利点を得ることができます。

8.1.6.1 シングル チャネル電圧分圧器

セクション 8.1.2 で説明したように、RES31A は一般的に入力信号レベル シフトまたは分圧器として使用されます。通常、 R_G と R_{IN} はこの回路ではそれぞれ R_X と R_Y として機能し(またはその逆)、RES31A の 2 つの分周器によって独立したチャンネルとして動作するように配置されています。 G_{VD} の従来型でない値が必要な場合は、1 つの RES31A の 4 つの抵抗を、さまざまな直列および並列の組み合わせで組み合わせて、目的の実効ゲインを実現します。ただし、デバイスのチャンネル数は実質的に 2 から 1 に削減されます。以下の表に、可能な RES31A の接続の一部を示し、それぞれに関連する伝達関数を示します。読みやすいように、 G_{VD} の値は常に 1 未満であるため、表に記載されている値は G_{VD}^{-1} または $1/G_{VD}$ です。

表 8-4. 一部の RES31A の抵抗の順列について、実効伝達関数 G_{VD}^{-1} 、 R_Y を調整し

R_X	R_G	R_{G1}	R_{G1}	R_{G1}	R_{IN}	R_{IN1}	R_{IN1}	R_{IN1}
R_Y	R_{IN}	$R_{IN1} + R_{IN2}$	$R_{IN1} + R_{G2}$	$R_{IN1} + R_{IN2} + R_{G2}$	R_G	$R_{G1} + R_{IN2}$	$R_{G1} + R_{G2}$	$R_{G1} + R_{G2} + R_{IN2}$
G_{R31}	実効伝達関数 G_{VD}^{-1}							
1	2	1.5	1.5	1.3333	2	1.5	1.5	1.3333
1.5	2.5	1.75	1.6	1.4286	1.6667	1.4	1.3333	1.25
1.6667	2.6667	1.8333	1.625	1.4545	1.6	1.375	1.3	1.2308
2	3	2	1.6667	1.5	1.5	1.3333	1.25	1.2
2.5	3.5	2.25	1.7143	1.5556	1.4	1.2857	1.2	1.1667
3	4	2.5	1.75	1.6	1.3333	1.25	1.1667	1.1429
4	5	3	1.8	1.6667	1.25	1.2	1.125	1.1111
5	6	3.5	1.8333	1.7143	1.2	1.1667	1.1	1.0909
9	10	5.5	1.9	1.8182	1.1111	1.1	1.0556	1.0526
10	11	6	1.9091	1.8333	1.1	1.0909	1.05	1.0476

表 8-5. 一部の RES31A の抵抗の順列について、実効伝達関数 G_{VD}^{-1} 、 R_X を調整

R_X	R_{IN}	$R_{IN1} + R_{IN2}$	$R_{IN1} + R_{G2}$	$R_{IN1} + R_{IN2} + R_{G2}$	R_G	$R_{G1} + R_{IN2}$	$R_{G1} + R_{G2}$	$R_{G1} + R_{G2} + R_{IN2}$
R_Y	R_G	R_{G1}	R_{G1}	R_{G1}	R_{IN}	R_{IN1}	R_{IN1}	R_{IN1}
G_{R31}	実効伝達関数 G_{VD}^{-1}							
1	2	3	3	4	2	3	3	4
1.5	1.6667	2.3333	2.6667	3.3333	2.5	3.5	4	5
1.6667	1.6	2.2	2.6	3.2	2.6667	3.6667	4.3333	5.3333
2	1.5	2	2.5	3	3	4	5	6
2.5	1.4	1.8	2.4	2.8	3.5	4.5	6	7
3	1.3333	1.6667	2.3333	2.6667	4	5	7	8
4	1.25	1.5	2.25	2.5	5	6	9	10
5	1.2	1.4	2.2	2.4	6	7	11	12
9	1.1111	1.2222	2.1111	2.2222	10	11	19	20
10	1.1	1.2	2.1	2.2	11	12	21	22

たとえば、 $R_X = R_{IN1} + R_{IN2} + R_{G2}$ 、 $R_Y = R_{G1}$ で構成された分圧器について考えます。この実装で $G_{nom} = 1.5$ の RES31A15 デバイスを使用すると、実効伝達関数 $G_{VD} = R_Y / (R_X + R_Y) = 150k\Omega / (100k\Omega + 100k\Omega + 150k\Omega + 150k\Omega) = 150k\Omega / 500k\Omega = 0.3$ が得られ、 $G_{VD}^{-1} = 3.3333$ になります。したがって、 $V_{OUT} = V_{IN} \times G_{VD} = V_{IN} / 3.3333$ となります。

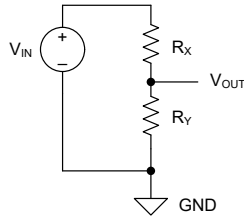


図 8-10. 1/3.3333 電圧分圧器、実効回路

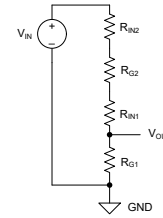


図 8-11. RES31A15 を使用して実装された 1/3.3333 電圧分圧器

8.1.6.2 シングル チャネル アンプのゲイン

RES31A は、[セクション 8.1.1](#) で説明しているように、アンプの帰還回路を実装し、回路ゲインを設定するためによく使用されます。通常、この回路では、 R_G と R_{IN} はそれぞれ R_X と R_Y として機能し(またはその逆)、分周器 1 と 2 は 2 つの独立したチャンネルとして配置されます。しかしながら、 G_{Inv} または G_{Noninv} の従来ではない値が必要な場合は、単一の RES31A の 4 つの抵抗を様々な直列と並列の組み合わせで組み合わせることで、この要件を達成することができますが、チャンネル数の削減が犠牲になります。以下の表に、可能な RES31A の接続のいくつかの順列を示し、それぞれに関連している G_{Inv} 伝達関数を示します。各シナリオについて G_{Noninv} を計算するには、与えられた G_{Inv} の大きさに 1 を足すだけでよい。

表 8-6. 一部の RES31A 抵抗の置換については、実効伝達関数 G_{Inv} 、 R_Y を調整

R_X	R_{IN}	R_{IN1}	R_{IN1}	R_{IN1}	R_G	R_{G1}	R_{G1}	R_{G1}
R_Y	R_G	$R_{G1} + R_{IN2}$	$R_{G1} + R_{G2}$	$R_{G1} + R_{G2} + R_{IN2}$	R_{IN}	$R_{IN1} + R_{IN2}$	$R_{IN1} + R_{G2}$	$R_{IN1} + R_{G2} + R_{IN2}$
G_{R31} 実効伝達関数 G_{Inv}								
1	1	0.5	0.5	0.3333	1	0.5	0.5	0.3333
1.5	0.6667	0.4	0.3333	0.25	1.5	0.75	0.6	0.4286
1.6667	0.6	0.375	0.3	0.2308	1.6667	0.8333	0.625	0.4545
2	0.5	0.3333	0.25	0.2	2	1	0.6667	0.5
2.5	0.4	0.2857	0.2	0.1667	2.5	1.25	0.7143	0.5556
3	0.3333	0.25	0.1667	0.1429	3	1.5	0.75	0.6
4	0.25	0.2	0.125	0.1111	4	2	0.8	0.6667
5	0.2	0.1667	0.1	0.0909	5	2.5	0.8333	0.7143
9	0.1111	0.1	0.0556	0.0526	9	4.5	0.9	0.8182
10	0.1	0.0909	0.05	0.0476	10	5	0.9091	0.8333

表 8-7. RES31A の一部の抵抗の置換については、実効伝達関数 G_{Inv} 、 R_X を調整し

R_X	R_G	$R_{G1} + R_{IN2}$	$R_{G1} + R_{G2}$	$R_{G1} + R_{G2} + R_{IN2}$	R_{IN}	$R_{IN1} + R_{IN2}$	$R_{IN1} + R_{G2}$	$R_{IN1} + R_{G2} + R_{IN2}$
R_Y	R_{IN}	R_{IN1}	R_{IN1}	R_{IN1}	R_G	R_{G1}	R_{G1}	R_{G1}
G_{R31} 実効伝達関数 G_{Inv}								
1	1	2	2	3	1	2	2	3
1.5	1.5	2.5	3	4	0.6667	1.3333	1.6667	2.3333
1.6667	1.6667	2.6667	3.3333	4.3333	0.6	1.2	1.6	2.2
2	2	3	4	5	0.5	1	1.5	2
2.5	2.5	3.5	5	6	0.4	0.8	1.4	1.8
3	3	4	6	7	0.3333	0.6667	1.3333	1.6667
4	4	5	8	9	0.25	0.5	1.25	1.5
5	5	6	10	11	0.2	0.4	1.2	1.4
9	9	10	18	19	0.1111	0.2222	1.1111	1.2222

表 8-7. RES31A の一部の抵抗の置換については、実効伝達関数 G_{INV} 、 R_X を調整し (続き)

R_X	R_G	$R_{G1} + R_{IN2}$	$R_{G1} + R_{G2}$	$R_{G1} + R_{G2} + R_{IN2}$	R_{IN}	$R_{IN1} + R_{IN2}$	$R_{IN1} + R_{G2}$	$R_{IN1} + R_{G2} + R_{IN2}$
R_Y	R_{IN}	R_{IN1}	R_{IN1}	R_{IN1}	R_G	R_{G1}	R_{G1}	R_{G1}
G_{R31}	実効伝達関数 G_{INV}							
10	10	11	20	21	0.1	0.2	1.1	1.2

たとえば、 $R_X = R_{G1} + R_{G2}$ 、 $R_Y = R_{IN1}$ で構成された反転アンプ回路について考えてみます。この実装では、 $G_{nom} = 10$ の RES31A00 デバイスを使用すると、実効伝達関数 $G_{INV} = R_X / R_Y = (1M\Omega + 1M\Omega) / 100k\Omega = 2M\Omega / 100k\Omega = 20$ となります。したがって、 $V_{OUT} = -V_{IN} \times G_{INV} = V_{IN} \times -20$ となります。

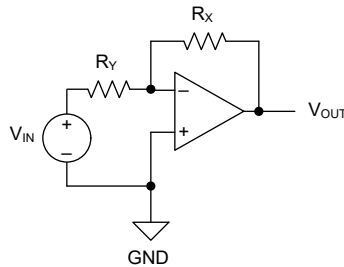


図 8-12. $V_{OUT} = -20 \times V_{IN}$ 、実効回路

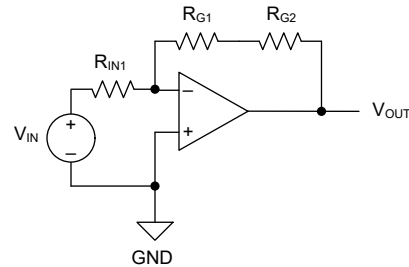


図 8-13. $V_{OUT} = -20 \times V_{IN}$ 、RES31A00 で実装

8.1.6.3 非従来型計測アンプ

図 8-7 および 図 8-8 に示されている基本的な計装アンプ回路では、RES31A の 2 つの R_{IN} 抵抗を 2 つのアンプの反転入力ピンの間に直列に配置します。代わりに、これらの抵抗を並列に結合するか、2 つの R_{IN} 抵抗のうち 1 つのみを接続して、もう 1 つの抵抗をフローティングのままにすることで、より広範な実効回路ゲインを実現します。

もう 1 つのオプションは不平衡 INA です。2 つの入力アンプの帰還パスの実効ゲインは異なります。RES31A を使用すると、この構成は、分圧素子の直列または並列の組み合わせを使用して、1 つのアンプで異なる実効帰還抵抗を実現することで実現されます。通常または平衡型の INA アプローチでは、入力信号 V_{CM} が電源電圧の中間電圧付近にない場合、入力が電源電圧のいずれかに近づくと、アンプのヘッドルームが不足し、レールアウトが発生します。非対称ゲインを実装することで、回路のダイナミックレンジが最大化されますが、帯域幅と位相の不一致がわずかに犠牲になります (dc および低周波数アプリケーションではほとんど問題ありません)。回路の伝達関数、安定性、誤差解析は比較的複雑であるものの、このような状況では、バランスの取れていない INA も依然として有用なツールです。

8.2 代表的なアプリケーション

8.2.1 同相シフト入力段

RES31A は、計測アンプ (INA) の高インピーダンス入力に同相アッテネータを実装するために使用できます。この構成により、各分圧抵抗の最大差動電圧制限を考慮している限り、使用可能な信号範囲が拡張されます。

図 8-14 に、差動電圧 V_{SHUNT} が検出抵抗の両端に発生するハイサイド電流検出回路の例を示します。ここでは、望ましくない高い同相電圧 V_{CM} を使用しています。 V_{REF} は、入力同相電圧 V_{MID1} および V_{MID2} を、INA の規定された入力同相範囲内のレベルにシフトするために使います。アンプ出力 V_{OUT} は、公称値として次のように V_{SHUNT} のスケーリングされた関数です:

$$V_{OUT} = V_{SHUNT} \times \left(\frac{R_{IN}}{R_G + R_{IN} + R_{EQUIV}} \right) \quad (65)$$

V_{OUT} は INA 段でさらに増幅し、ダウンストリームの ADC の実効分解能を最大限に活用できます。実際には R_{EQUIV} は任意ですが、 $R_{EQUIV} = R_{SHUNT}$ の場合、この抵抗により V_{CM} と INA の各高インピーダンス入力との公称インピーダンスが等しくなり、CMRR 性能が向上します。入力バイアス電流 I_{B1} 、 $I_{B2} \ll I_{STATIC1}$ および $I_{STATIC2}$ (INA333 や INA823 など) の INA を選択します。 $I_{STATIC1}$ および $I_{STATIC2} \ll I_{LOAD}$ になるように、十分に高い分圧器直列抵抗を持つ RES31A デバイスを選択します。

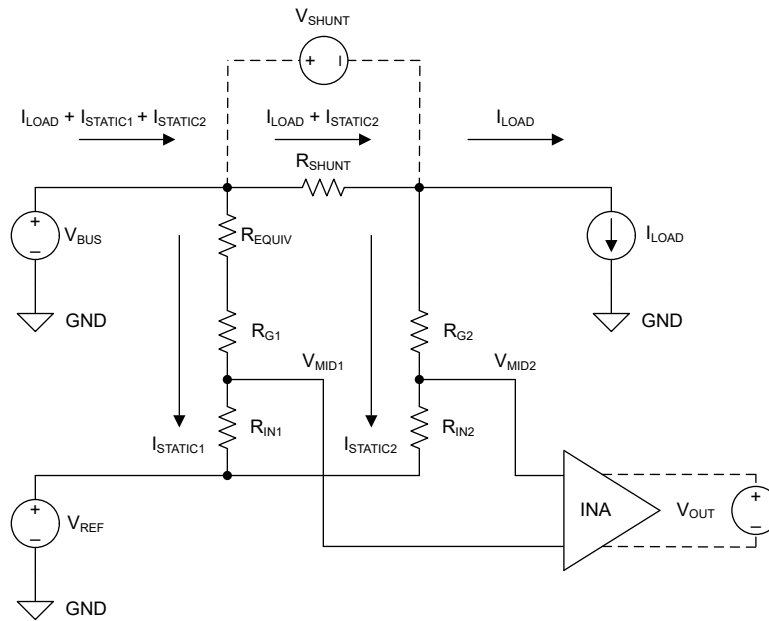


図 8-14. RES31A 同相シフト回路

目標の公称入力同相電圧 $V_{MID1TARGET}$ を実現するには、 V_{REF} を次のように設定します:

$$V_{REF} = V_{MID1TARGET} \times \left(\frac{R_G + R_{IN} + R_{EQUIV}}{R_G + R_{EQUIV}} \right) - V_{CM} \times \left(\frac{R_G + R_{IN} + R_{EQUIV}}{R_G + R_{EQUIV}} - 1 \right) \quad (66)$$

8.2.1.1 設計要件

50V 電源レールのハイサイド電流シャントを、3.3V 動作のアンプおよび ADC で測定する必要があるレベルシフト用途を考慮します。

パラメータ	設計目標
入力 V_{BUS}	50V
I_{LOAD}	25A (最大値)
R_{SHUNT}	10m Ω
ADC フルスケールレンジ (ターゲット V_{OUT})	3.3V
可能な V_{REF} 電圧	3.3V, -3.3V, 0V

8.2.1.2 詳細な設計手順

設計パラメータを前述の式で使用して公称目標 G を選択します。システムで利用可能な V_{REF} 電圧を考慮すると、 $V_{REF} = -3.3V$ で $G = 10$ となり、OPA392 などの 3.3V レール ツー レールアンプの入力同相モード範囲内である V_{MID1} の値は 1.54V となります。対応する RES31A00 を使用した場合、 $I_{LOAD} = 25A$ において損失項 $I_{STATIC1}$ および $I_{STATIC2}$ はそれぞれ公称値 48.45 μA および 48.23 μA となります。単純化のため、INA 段の V_{OS} と I_B による誤差の寄与は無視されます。

INA 段には、統合型の TI 計測アンプ (IA) を使用できます。または、別の RES31A または RES21A デバイス、および 1 つ以上のオペアンプを使用して、ディスクリートアプローチを実装することもできます。この例では、OPA4392 の 2 チャンネルと RES21A00 (R_{IN3} , R_{G3} , R_{IN4} , R_{G4}) を使用して IA 段を構成しています。この段は差動アンプ段とカスケード接続され、3 番目のアンプチャンネルと RES21A00 (R_{IN5} , R_{G5} , R_{IN6} , R_{G6}) を使用して構成されています。レベルシフト段ゲインの 11^{-1} と計測アンプ段ゲインの 11 を乗算すると、 V_{SHUNT} の実効ユニティゲイン伝達関数が得られます。したがって、この段の差動出力電圧は約 0.25V であり、アンプ出力は 1.67V と 1.42V です。最終的な差動アンプ段ゲイン $G = 10$ の後、同相電圧は低下し、その結果として得られる V_{OUT} の最大値は公称 2.5V で、シングルエンド 3.3V ADC と互換性があります。必要に応じて、OPA4392 の 4 番目のチャンネルを使用してこの出力信号をバッファし、専用の ADC ドライバとして機能することができます。

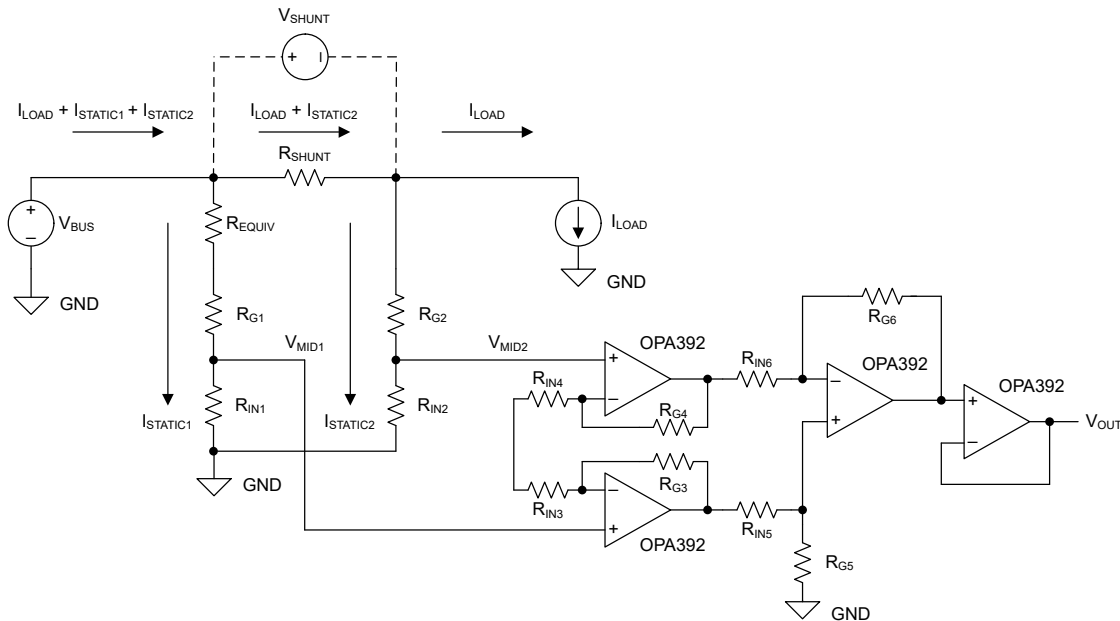


図 8-15. ハイサイド電流シャント同相モードシフト回路

8.2.1.3 アプリケーション曲線

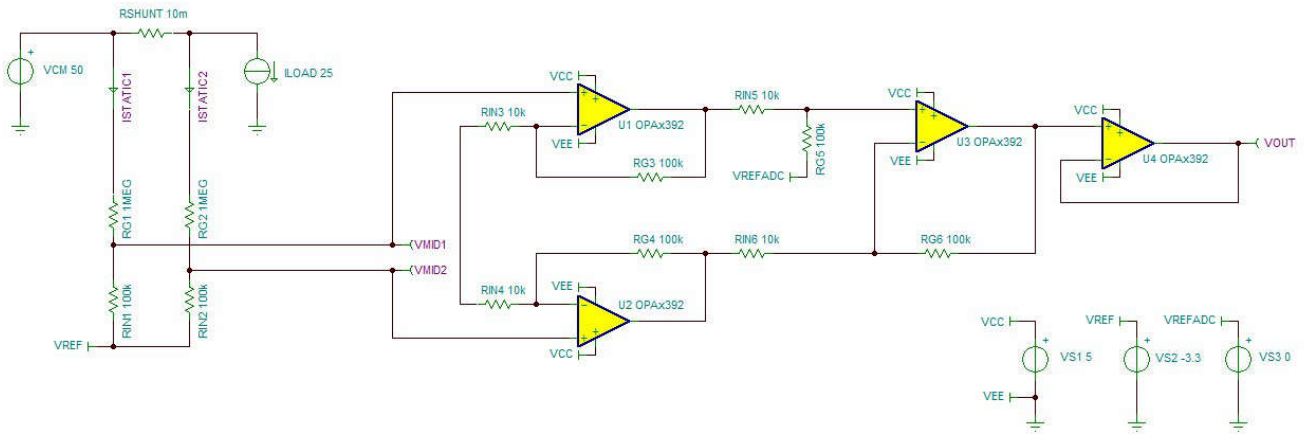


図 8-16. TINA-TI の回路モデル

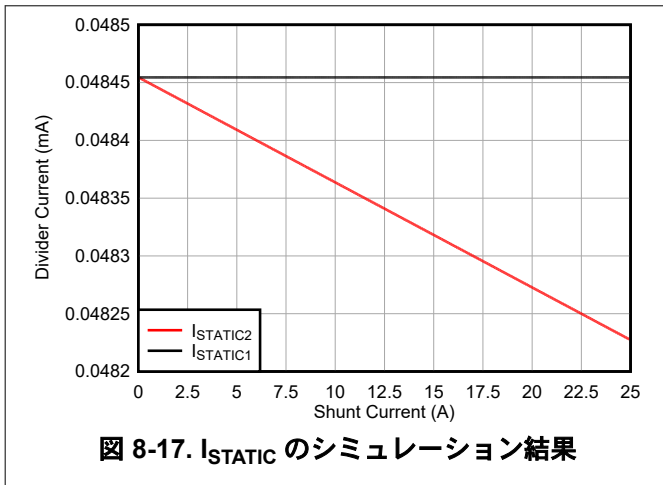


図 8-17. I_{STATIC} のシミュレーション結果

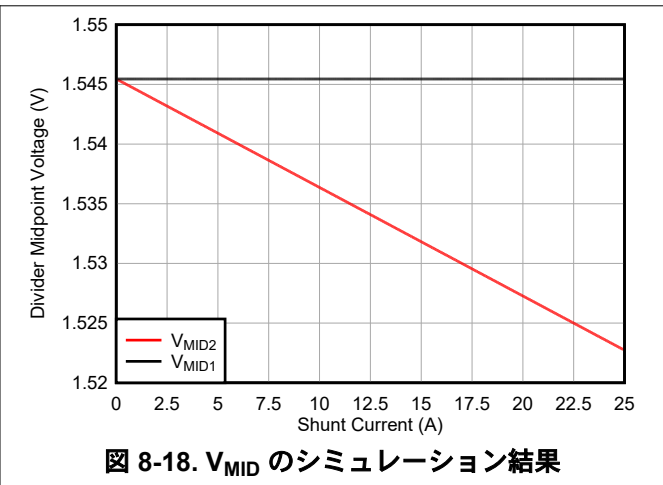


図 8-18. V_{MID} のシミュレーション結果

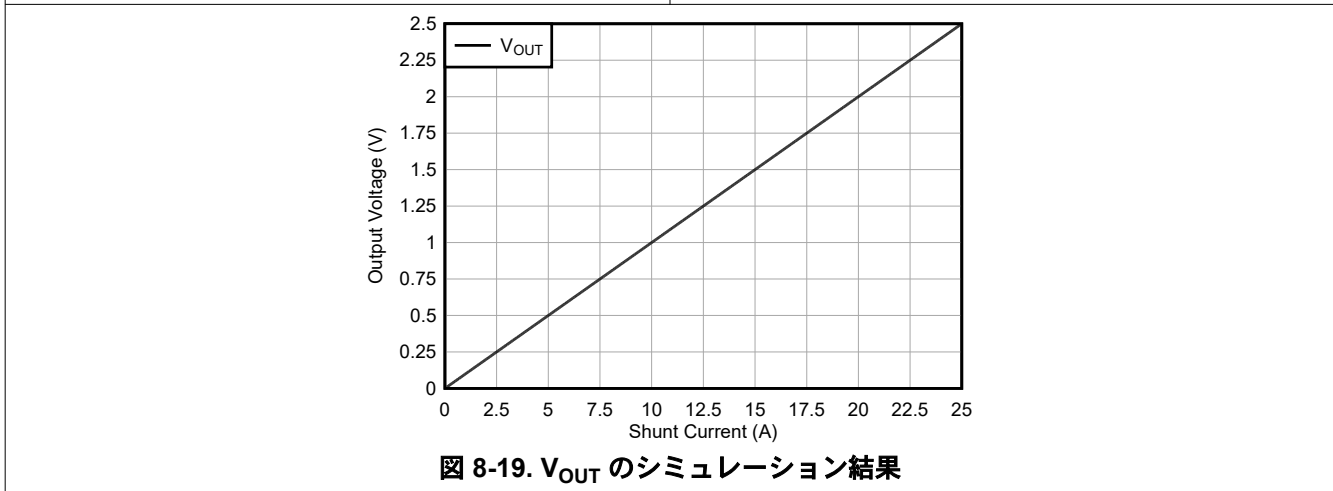


図 8-19. V_{OUT} のシミュレーション結果

8.3 電源に関する推奨事項

RES31A の実装に使用される CMOS プロセスの認定制限により、各デバイスの抵抗デバイダの最大同相モードおよび差動電圧定格が決まります。過渡および持続的なバイアス条件におけるデバイス固有の値については、それぞれ「絶対最大定格」および「推奨動作条件」を参照してください。

デバイスの電圧が分圧器の最大持続電圧定格を上回ることが予想される場合は、追加の保護回路素子を考慮してください。外付け電流制限抵抗を直列に使用することは避けてください。これらの抵抗により分圧器のバランスが崩れ、RES31A のレシオメトリックおよび過熱の利点の多くが相殺されるためです。RES31A 分圧器を過負荷状態から保護する最も簡単な方法は、逆バイアスまたは双方向のツェナー ダイオードを分圧器と並列に配置し、分圧器からリーク電流を流さずに実効分圧器電圧をクランプすることです。最大分圧器電圧とほぼ等しいブレイクダウン電圧のダイオードを選択します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れたプリント基板 (PCB) レイアウト手法を使用してください。

- 入力パターンは、電源ラインや出力ラインからできるだけ離して配置し、寄生結合を低減します。これらのトレースを離して配置できない場合、感度の高いトレースをノイズの多いトレースと平行にするのではなく、垂直に交差させる方がはるかに効果的です。
- 外付け部品は、可能な限りデバイスに近く配置します。
- 入力トレースは、できる限り短くします。入力トレースは、回路の中でも最も影響を受けやすい部分であることに常に注意してください。差動回路の場合、入力パターンの長さをできるだけ一致させます。
- 高インピーダンスの入力信号は、ノイズの多い配線から遠ざけます。
- システム電源電圧が適切にフィルタリングされていることを確認します。
- 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの場合、洗浄後に 85°C で 30 分間の低温ベーキングを行えば十分です。
- デバイスの基板を通過する電流の帰路が形成されないように、2 つの GND/SUB ピンのうちの 1 つのみをグランドプレーンに接続します。もう一方の GND/SUB ピンをフローティングにします。

8.4.2 レイアウト例

以下の例では、RES31A を VSSOP アンプと 0402 サイズのデカップリング コンデンサと一緒に示しています。

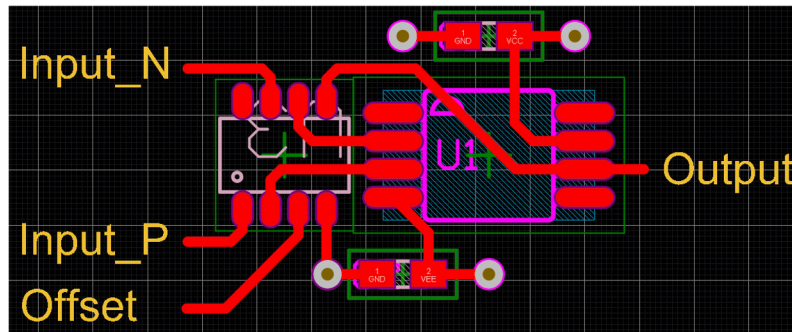


図 8-20. 単層差動アンプの実装

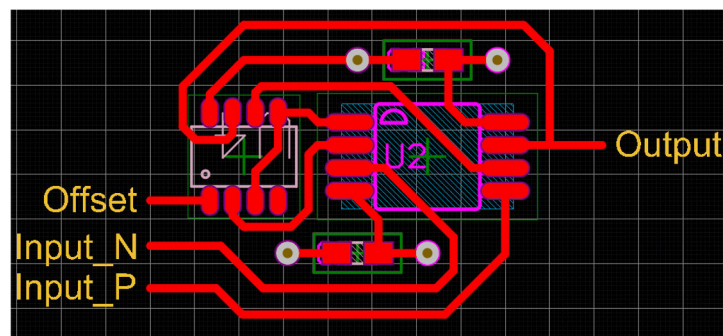


図 8-21. 単層計測アンプの実装

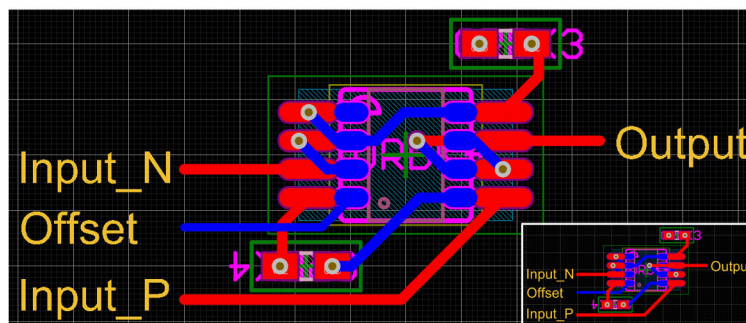


図 8-22. フロントエンドバック計測アンプの実装

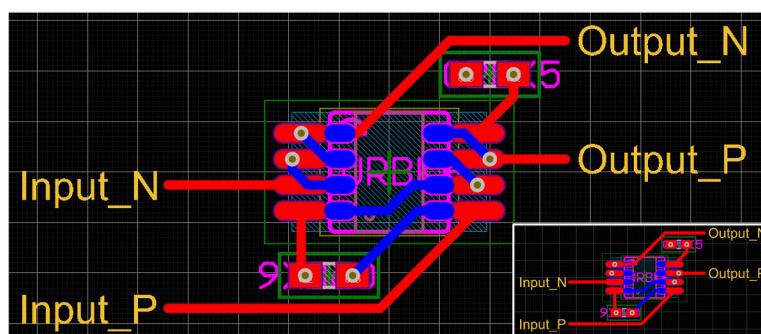


図 8-23. フロントエンドバック差動出力計測アンプの実装

図 8-24 では、2 つの RES31A デバイス (下側) と 1 つのデュアル チャネル オペアンプ (上側) を使用します。

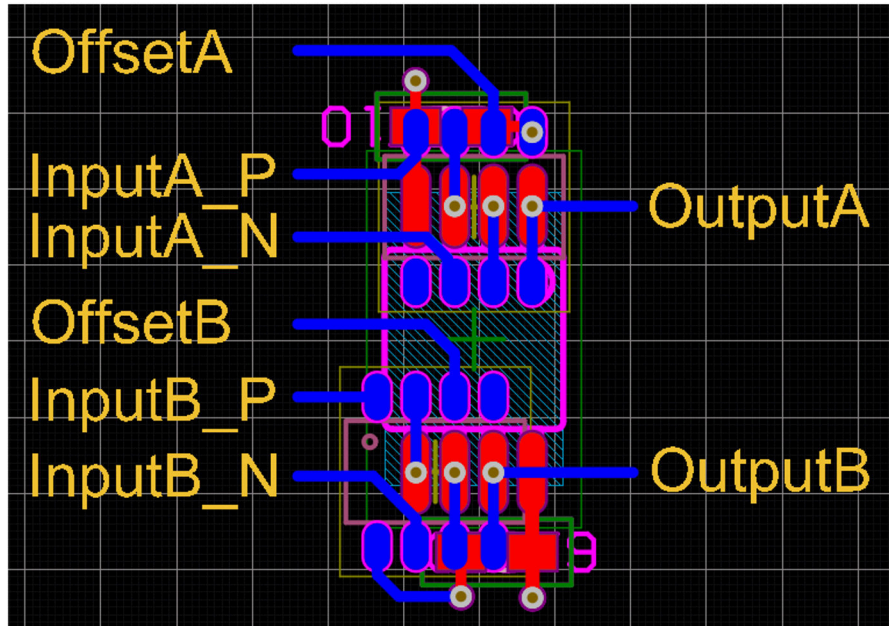


図 8-24. フロントエンドバック デュアル差動アンプの実装

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

9.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ的设计を作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

9.1.1.2 TINA-TI™シミュレーションソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーションソフトウェアは、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーションプログラムです。TINA-TI シミュレーションソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブモデルとアクティブモデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーションソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーションソフトウェアは設計およびシミュレーション ツール Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

9.1.1.3 TI のリファレンス デザイン

TI のリファレンス デザインは、TI の高精度アナログ アプリケーション専門家により作成されたアナログ設計です。TI のリファレンス デザインは、動作原理、部品の選択、シミュレーション、完全な PCB 回路図およびレイアウト、部品表、測定済みの性能を提供します。TI のリファレンス デザインは、<http://www.ti.com/ww/en/analog/precision-designs/> からオンラインで入手できます。

9.1.1.4 Analog Filter Designer

Analog Filter Designer は、設計およびシミュレーション ツール Web ページから Web ベースのツールとして利用でき、包括的な複数段アクティブ フィルタの設計、最適化、シミュレーションをわずか数分で行えます。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[RES11A: マッチング済み、薄膜抵抗デバイス、1kΩ 入力](#)』
- テキサス インスツルメンツ、『[RES21A: マッチング済み、薄膜抵抗デバイス、10kΩ 入力](#)』
- テキサス インスツルメンツ、『[RES60A-Q1 車載用、1400V_{DC}、高精度分圧抵抗](#)』
- テキサス インスツルメンツ、[高精度のマッチング分圧抵抗ペアを使用した差動アンプ回路の CMRR の最適化アプリケーション ノート](#)

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集 この用語集では、TI で一般的に使用される用語、略語、および定義を一覧にして説明しています。

デバイス	マッチングされた R_G と R_{IN} 抵抗の直列の組み合わせです。2 つの抵抗 R_{Gx} および R_{INx} が直列に接続されて、特定の分圧器 x を形成します。分周器 x の中点は、ピン MID x で測定されます。RES31A には、分周器 1 ($R_{G1} + R_{IN1}$) と分周器 2 ($R_{G2} + R_{IN2}$) の 2 つの分周器チャンネルがあります。
G_{nom}	特定の分圧器の公称ゲインまたは比率。 R_{Gnom}/R_{INnom} として計算されます。RES31A の注文可能な各分圧比は異なり、それにより G_{nom} も異なります。
G_x	分圧器のゲイン誤差を考慮したとき、特定の分圧器 x の実際の測定ゲインまたは比率。 R_{Gx}/R_{INx} として計算されます。
G_{VDnom}	特定の分圧器の公称または理想的な分圧器回路ゲイン。回路構成に応じて、 $R_{Gnom}/(R_{INnom} + R_{Gnom})$ または $R_{INnom}/(R_{INnom} + R_{Gnom})$ のいずれかとして計算されます。

G_{VDx}	分圧器のゲイン誤差を考慮した場合、分圧器 x の実際の測定された分圧器回路ゲインです。回路構成に応じて、 $R_{Gx} / (R_{INx} + R_{Gx})$ または $R_{INx} / (R_{INx} + R_{Gx})$ のいずれかとして計算されます。
t_{Dx}	特定の分周器 x に関連する正規化ゲイン誤差。実効ゲインを計算する際、 $G_x = G_{nom} \times (1 + t_{Dx})$ です。理想的な分周器の場合、 $t_{Dx} = 0$ 、 $G_x = G_{nom}$ です。
t_M	特定の RES31A デバイスに対する 2 つの分圧器ゲイン誤差の不一致。 $t_M = t_{D2} - t_{D1}$ として計算されま す。 $(G_2 - G_1) / G_{nom}$ に相当します。簡略化された CMRR 計算に使用されます。
t_{VDx}	特定の分圧器 x に関連する正規化された分圧器回路のゲイン誤差。分圧器の実効回路ゲインを計算す る際、 $G_{VDx} = G_{VDnom} \times (1 + t_{VDx})$ です。理想回路の場合、 $t_{VDx} = 0$ かつ $G_{VDx} = G_{VDnom}$ です。
V_{Dx}	特定の分圧器 x の両端に印加される電圧。
V_{Rx}	特定の抵抗 R_x の両端に印加される電圧。たとえば、 V_{RIN1} は R_{IN1} の両端の電圧を表します。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
RES31A00DDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	R3100
RES31A10DDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	R3110
RES31A20DDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	R3120
RES31A25DDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	R3125
RES31A30DDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	R3130
RES31A40DDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	R3140
RES31A50DDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	R3150

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

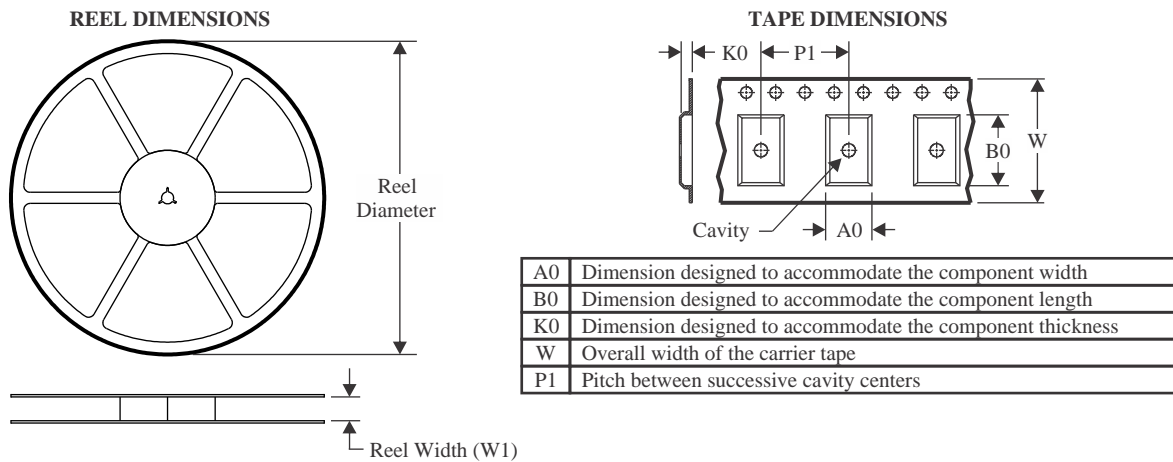
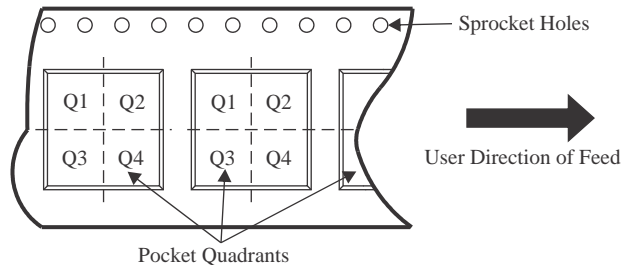
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
RES31A00DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
RES31A10DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
RES31A20DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
RES31A25DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
RES31A30DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
RES31A40DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
RES31A50DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
RES31A00DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
RES31A10DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
RES31A20DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
RES31A25DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
RES31A30DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
RES31A40DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
RES31A50DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0

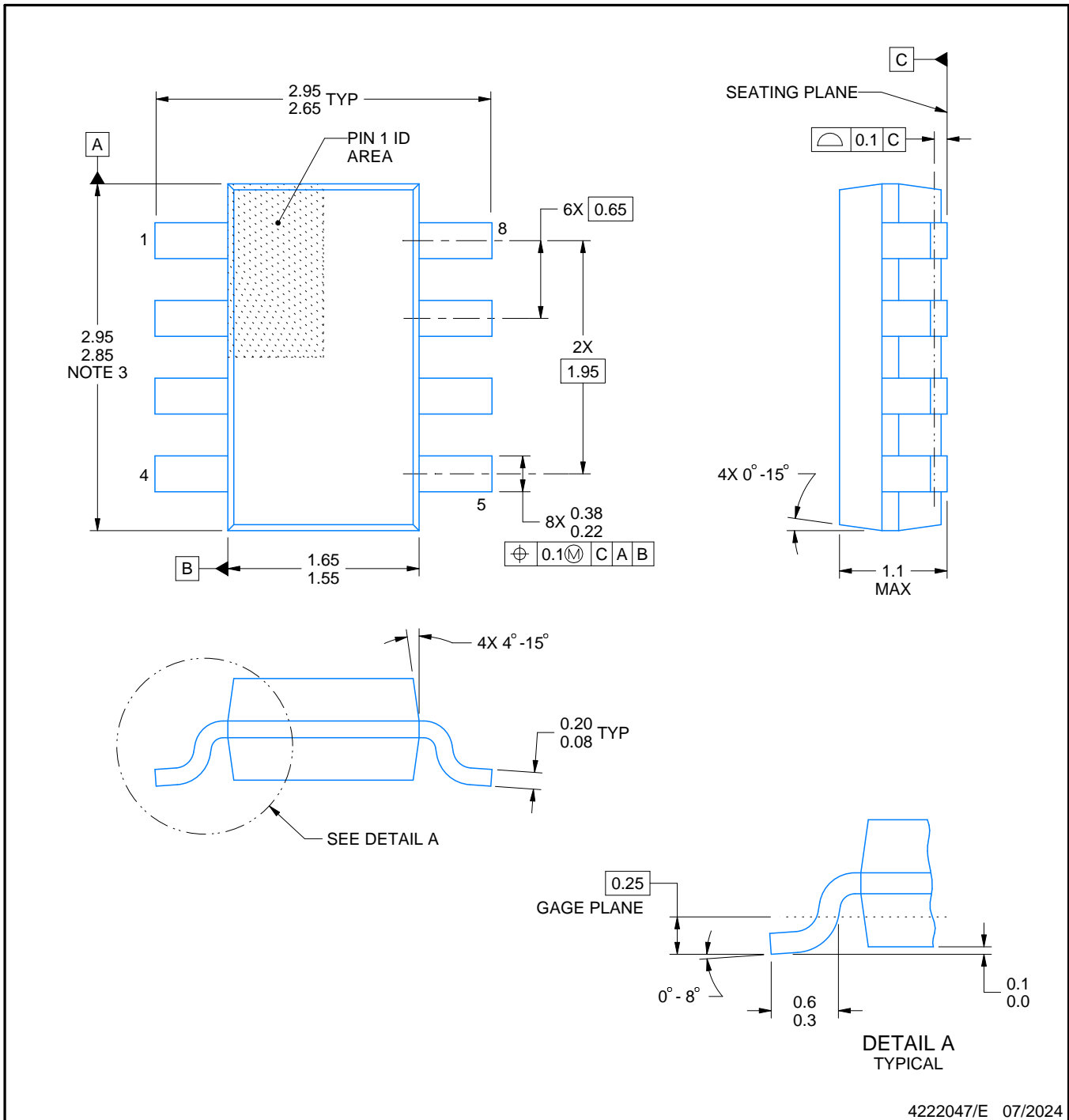
DDF0008A



PACKAGE OUTLINE

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



4222047/E 07/2024

NOTES:

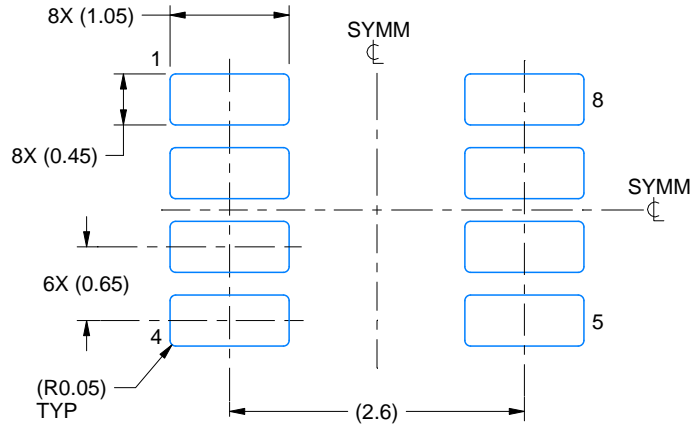
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

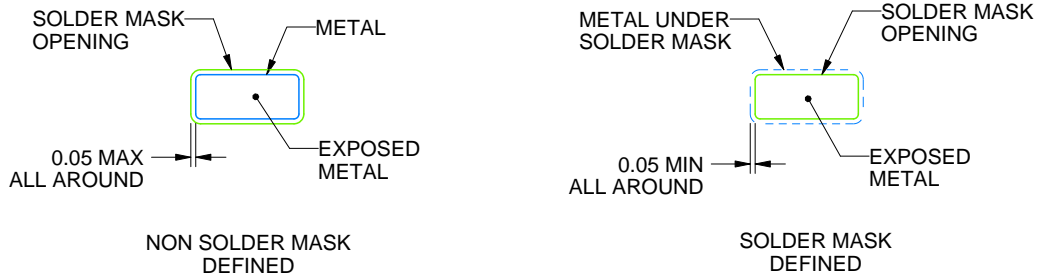
DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

- 4. Publication IPC-7351 may have alternate designs.
- 5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月