



SM73201

2011年6月

16ビット、50kSPS ~ 250kSPS、差動入力、マイクロパワー A/D コンバータ

概要

SM73201 は、最大サンプリング・レート 250kSPS の 16 ビット逐次比較レジスタ (SAR) A/D コンバータです。SM73201 は、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ の範囲で、最小信号スパン精度 $\pm 0.003\%$ を実現しています。このコンバータは、85dB の優れたコモンモード信号除去比を持った差動アナログ入力を備えており、ノイズの多い環境下での使用に適しています。

SM73201 は、単一アナログ電源 (V_A) と独立したデジタル入出力電源 (V_{IO}) によって動作します。 V_A の範囲は $+4.5\text{V} \sim +5.5\text{V}$ 、 V_{IO} の範囲は $+2.7\text{V} \sim +5.5\text{V}$ です。この電源構成により、システム設計者は、 $+3.3\text{V}$ で動作するコントローラとのインターフェイスを確保しつつ、A/D コンバータのアナログ部分を $V_A = +5\text{V}$ で動作できるため、性能を最大化し、消費電力を最小限に抑えられます。シリアル・データは 2 の補数として出力され、SPI™ 互換です。

SM73201 は、クロック・レート 1MHz ~ 5MHz、リファレンス電圧 $+2.5\text{V} \sim +5.5\text{V}$ の条件で、動作温度の全範囲において性能を保証しています。SM73201 は 10 ピンの小型 MSOP パッケージで提供されます。高精度、差動入力、低消費電力、小型パッケージを特長とする SM73201 は、バッテリー動作システムやリモート・データ・アキュイジション・アプリケーションで、ブリッジ・センサやトランスデューサと直接接続するのに最適です。

アプリケーション

- PV DC アーク検出システム
- ダイレクト・センサ・インターフェイス
- I/O モジュール
- ソーラー・データ・アキュイジション
- モータ制御
- 計測器や制御システム

特長

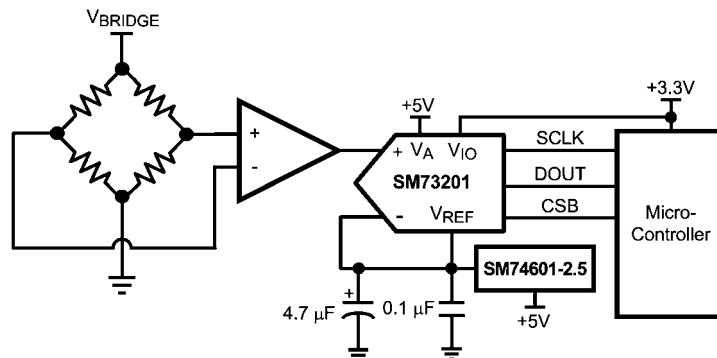
- リニューアブル・エナジー・グレード
- 50kSPS ~ 250kSPS の範囲で保証された性能
- $\pm 0.003\%$ の信号スパン精度
- 独立したデジタル入出力電源
- 完全な差動入力
- 外部リファレンス電圧範囲: $+0.5\text{V} \sim V_A$
- 広いコモンモード入力電圧範囲: $0\text{V} \sim V_A$
- SPI™/QSPI™/MICROWIRE™ と互換性のあるシリアル・インターフェイス
- 動作温度範囲: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$
- 小型の MSOP-10 パッケージ

主な仕様

■ 変換レート	50kSPS ~ 250kSPS
■ オフセット誤差温度ドリフト	$2.5 \mu\text{V}/^{\circ}\text{C}$
■ ゲイン誤差温度ドリフト	$0.3\text{ppm}/^{\circ}\text{C}$
■ SNR	93.2dBc
■ 全高調波歪み (THD)	-104dBc
■ 消費電力	
— 200kSPS、5V	5.3mW
— 250kSPS、5V	5.8mW
— パワーダウン時、5V	$10 \mu\text{W}$



代表的なアプリケーション



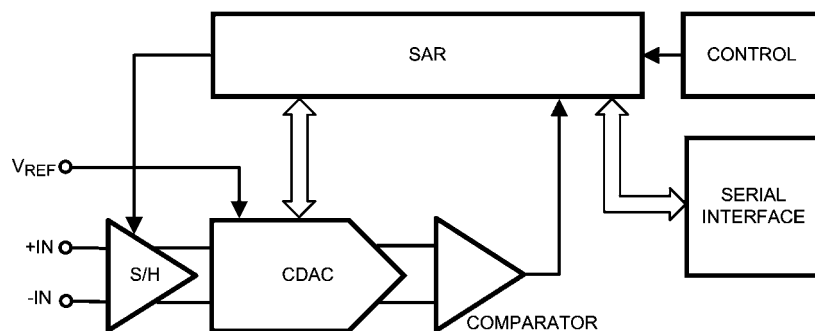
TRI-STATE® はテキサス・インスツルメンツの登録商標です。
MICROWIRE™ はテキサス・インスツルメンツの商標です。
QSPI™ および SPI™ はモトローラ (株) の商標です。

SM73201 16ビット、50kSPS ~ 250kSPS、差動入力、マイクロパワー A/D コンバータ

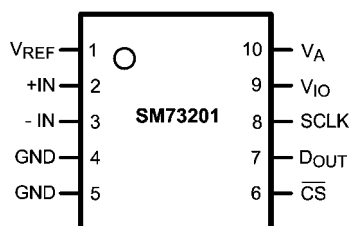
製品情報

Order Code	Temperature Range	Description	Top Mark
SM73201IMM	-40°C to +85°C	10-Lead MSOP Package, 1000 Units Tape & Reel	S201
SM73201IMMX	-40°C to +85°C	10-Lead MSOP Package, 3500 Units Tape & Reel	S201
SM73201IMME	-40°C to +85°C	10-Lead MSOP Package, 250 Units Tape & Reel	S201

ブロック図



ピン配置図



ピン説明

ピン番号	記号	説明
1	V_{REF}	リファレンス電圧 $+0.5V < V_{REF} < V_A$
2	+ IN	非反転入力
3	- IN	反転入力
4	GND	グラウンド
5	GND	グラウンド
6	\overline{CS}	チップ・セレクト・バー
7	D_{OUT}	シリアル・データ出力
8	SCLK	シリアル・クロック
9	V_{IO}	デジタル入出力電源 $+2.7V < V_{REF} < +5.5V$
10	V_A	アナログ電源 $+4.5V < V_{REF} < +5.5V$

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

アナログ電源電圧 V_A	- 0.3V ~ 6.5V
デジタル I/O 電源電圧 V_{IO}	- 0.3V ~ 6.5V
任意のアナログ入力ピンの 対 GND 電圧	- 0.3V ~ ($V_A + 0.3V$)
任意のデジタル入力ピンの 対 GND 電圧	- 0.3V ~ ($V_{IO} + 0.3V$)
各ピンの入力電流 (Note 3)	± 10mA
パッケージ入力電流 (Note 3)	± 50mA
パッケージ消費電力 ($T_A = 25^\circ\text{C}$)	(Note 4 参照)
ESD 耐性 (Note 5)	2500V
人体モデル	250V
マシン・モデル	1250V
デバイス帯電モデル	1250V
接合部温度	+ 150 °C
保存温度範囲	- 65 °C ~ + 150 °C

動作定格 (Note 1、2)

動作温度範囲	- 40°C ≤ T_A ≤ + 85°C
電源電圧 (V_A)	+ 4.5V ~ + 5.5V
電源電圧 (V_{IO})	+ 2.7V ~ + 5.5V
リファレンス電圧 (V_{REF})	+ 0.5V ~ V_A
アナログ入力ピン電圧範囲	0V ~ V_A
差動アナログ入力電圧	- V_{REF} ~ + V_{REF}
入力コモンモード電圧 (V_{CM})	Figure 10 (セクション 2.3) を 参照
デジタル入力ピン電圧範囲	0V ~ V_{IO}
クロック周波数	1MHz ~ 5MHz

パッケージ熱抵抗

パッケージ	θ_{JA}
10ピン MSOP	240 °C / W

ハンダ付けのプロセスは、テキサス・インスツルメンツの
Reflow Temperature Profile 規格に準拠してください。
www.national.com/packaging をご覧ください。(Note 6)

SM73201 コンバータの電氣的特性 (Note 7)

特記のない限り、以下の仕様は $V_A = 4.5V \sim 5.5V$ 、 $V_{IO} = 2.7V \sim 5.5V$ 、 $f_{SCLK} = 1MHz \sim 4MHz$ の場合は $V_{REF} = 2.5V \sim 5.5V$ 、 $f_{SCLK} = 1MHz \sim 5MHz$ の場合は $V_{REF} = 4.5V \sim 5.5V$ 、 $f_{IN} = 20kHz$ 、 $C_L = 25pF$ の条件に適用されます。最大値と最小値は、 $T_A = T_{MIN} \sim T_{MAX}$ に対して適用されます。代表値は $T_A = 25^\circ\text{C}$ で試験を実施しています。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
STATIC CONVERTER CHARACTERISTICS						
	Resolution				16	Bits
DNL	Differential Non-Linearity			-0.5/+0.8		LSB
INL	Integral Non-Linearity			±0.8		LSB
OE	Offset Error	$V_{REF} = 2.5V$	-1	-0.1	+1	mV
		$V_{REF} = 5V$		-0.4		mV
OE _{DRIFT}	Offset Error Temperature Drift	$V_{REF} = 2.5V$		3.7		μV/°C
		$V_{REF} = 5V$		2.5		μV/°C
FSE	Positive Full-Scale Error			-0.003	±0.03	%FS
	Negative Full-Scale Error			-0.002	±0.03	%FS
GE	Positive Gain Error			-0.002	±0.02	%FS
	Negative Gain Error			-0.0001	±0.02	%FS
GE _{DRIFT}	Gain Error Temperature Drift			0.3		ppm/°C
DYNAMIC CONVERTER CHARACTERISTICS						
SINAD	Signal-to-Noise Plus Distortion Ratio	$V_{REF} = 2.5V$	85	88		dBc
		$V_{REF} = 4.5V \text{ to } 5.5V$	89	93.0		dBc
SNR	Signal-to-Noise Ratio	$V_{REF} = 2.5V$	85	88		dBc
		$V_{REF} = 4.5V \text{ to } 5.5V$	89	93.2		dBc
THD	Total Harmonic Distortion	$V_{REF} = 2.5V$		-104		dBc
		$V_{REF} = 4.5V \text{ to } 5.5V$		-106		dBc
SFDR	Spurious-Free Dynamic Range	$V_{REF} = 2.5V$		108		dBc
		$V_{REF} = 4.5V \text{ to } 5.5V$		111		dBc
ENOB	Effective Number of Bits	$V_{REF} = 2.5V$	13.8	14.3		bits
		$V_{REF} = 4.5V \text{ to } 5.5V$	14.5	15.2		bits

SM73201 コンバータの電氣的特性 (Note 7) (つづき)

特記のない限り、以下の仕様は $V_A = 4.5V \sim 5.5V$ 、 $V_{IO} = 2.7V \sim 5.5V$ 、 $f_{SCLK} = 1MHz \sim 4MHz$ の場合は $V_{REF} = 2.5V \sim 5.5V$ 、 $f_{SCLK} = 1MHz \sim 5MHz$ の場合は $V_{REF} = 4.5V \sim 5.5V$ 、 $f_{IN} = 20kHz$ 、 $C_L = 25pF$ の条件に適用されます。最大値と最小値は、 $T_A = T_{MIN} \sim T_{MAX}$ に対して適用されます。代表値は $T_A = 25^\circ C$ で試験を実施しています。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG INPUT CHARACTERISTICS						
V_{IN}	Differential Input Range		$-V_{REF}$		$+V_{REF}$	V
I_{INA}	Analog Input Current	\overline{CS} high			± 1	μA
		$V_{REF} = 5V$, $V_{IN} = 0V$, $f_S = 50$ kSPS		3.2		nA
		$V_{REF} = 5V$, $V_{IN} = 0V$, $f_S = 200$ kSPS		10.3		nA
C_{INA}	Input Capacitance (+IN or -IN)	In Acquisition Mode		20		pF
		In Conversion Mode		4		pF
CMRR	Common Mode Rejection Ratio	See the Specification Definitions for the test condition		85		dB
DIGITAL INPUT CHARACTERISTICS						
V_{IH}	Input High Voltage	$f_{IN} = 0$ Hz	$0.7 \times V_{IO}$	1.9		V
V_{IL}	Input Low Voltage	$f_{IN} = 0$ Hz		1.7	$0.3 \times V_{IO}$	V
I_{IND}	Digital Input Current				± 1	μA
C_{IND}	Input Capacitance				4	pF
DIGITAL OUTPUT CHARACTERISTICS						
V_{OH}	Output High Voltage	$I_{SOURCE} = 200 \mu A$	$V_{IO} - 0.2$	$V_{IO} - 0.03$		V
		$I_{SOURCE} = 1$ mA		$V_{IO} - 0.09$		V
V_{OL}	Output Low Voltage	$I_{SOURCE} = 200 \mu A$		0.01	0.4	V
		$I_{SOURCE} = 1$ mA		0.07		V
I_{OZH} , I_{OZL}	TRI-STATE Leakage Current	Force 0V or V_A			± 1	μA
C_{OUT}	TRI-STATE Output Capacitance	Force 0V or V_A		4		pF
	Output Coding			Binary 2'S Complement		
POWER SUPPLY CHARACTERISTICS						
V_A	Analog Supply Voltage Range		4.5	5	5.5	V
V_{IO}	Digital Input/Output Supply Voltage Range	(Note 9)	2.7	3	5.5	V
V_{REF}	Reference Voltage Range		0.5	5	V_A	V
I_{VA} (Conv)	Analog Supply Current, Conversion Mode	$V_A = 5V$, $f_{SCLK} = 4$ MHz, $f_S = 200$ kSPS		1060		μA
		$V_A = 5V$, $f_{SCLK} = 5$ MHz, $f_S = 250$ kSPS		1160	1340	μA
I_{VIO} (Conv)	Digital I/O Supply Current, Conversion Mode	$V_{IO} = 3V$, $f_{SCLK} = 4$ MHz, $f_S = 200$ kSPS		80		μA
		$V_{IO} = 3V$, $f_{SCLK} = 5$ MHz, $f_S = 250$ kSPS		100		μA
I_{VREF} (Conv)	Reference Current, Conversion Mode	$V_A = 5V$, $f_{SCLK} = 4$ MHz, $f_S = 200$ kSPS		80		μA
		$V_A = 5V$, $f_{SCLK} = 5$ MHz, $f_S = 250$ kSPS		100	170	μA
I_{VA} (PD)	Analog Supply Current, Power Down Mode (\overline{CS} high)	$f_{SCLK} = 5$ MHz, $V_A = 5V$		7		μA
		$f_{SCLK} = 0$ Hz, $V_A = 5V$ (Note 8)		2	3	μA
I_{VIO} (PD)	Digital I/O Supply Current, Power Down Mode (\overline{CS} high)	$f_{SCLK} = 5$ MHz, $V_{IO} = 3V$		1		μA
		$f_{SCLK} = 0$ Hz, $V_{IO} = 3V$ (Note 8)		0.3	0.5	μA
I_{VREF} (PD)	Reference Current, Power Down Mode (\overline{CS} high)	$f_{SCLK} = 5$ MHz, $V_{REF} = 5V$		0.5		μA
		$f_{SCLK} = 0$ Hz, $V_{REF} = 5V$ (Note 8)		0.5	0.7	μA
PWR (Conv)	Power Consumption, Conversion Mode	$V_A = 5V$, $f_{SCLK} = 4$ MHz, $f_S = 200$ kSPS, and $f_{IN} = 20$ kHz,		5.3		mW
		$V_A = 5V$, $f_{SCLK} = 5$ MHz, $f_S = 250$ kSPS, and $f_{IN} = 20$		5.8	6.7	mW

SM73201 コンバータの電氣的特性 (Note 7) (つづき)

特記のない限り、以下の仕様は $V_A = 4.5V \sim 5.5V$ 、 $V_{IO} = 2.7V \sim 5.5V$ 、 $f_{SCLK} = 1MHz \sim 4MHz$ の場合は $V_{REF} = 2.5V \sim 5.5V$ 、 $f_{SCLK} = 1MHz \sim 5MHz$ の場合は $V_{REF} = 4.5V \sim 5.5V$ 、 $f_{IN} = 20kHz$ 、 $C_L = 25pF$ の条件に適用されます。最大値と最小値は、 $T_A = T_{MIN} \sim T_{MAX}$ に対して適用されます。代表値は $T_A = 25^\circ C$ で試験を実施しています。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
PWR (PD)	Power Consumption, Power Down Mode (CS high)	$f_{SCLK} = 5 MHz$, $V_A = 5.0V$ (Note 8)		35		μW
		$f_{SCLK} = 0 Hz$, $V_A = 5.0V$ (Note 8)		10	15	μW
PSRR	Power Supply Rejection Ratio	See the Specification Definitions for the test condition		-78		dB

AC ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Conditions	Min	Typ	Max	Units
f_{SCLK}	Maximum Clock Frequency		1		5	MHz
f_s	Maximum Sample Rate	(Note 10)	50		250	kSPS
t_{ACQ}	Acquisition/Track Time		600			ns
t_{CONV}	Conversion/Hold Time				17	SCLK cycles
t_{AD}	Aperture Delay	See the Specification Definitions		6		ns

SM73201 タイミング仕様 (Note 7)

特記のない限り、以下の仕様は、 $V_A = 4.5V \sim 5.5V$ 、 $V_{IO} = 2.7V \sim 5.5V$ 、 $V_{REF} = 2.5V \sim 5.5V$ 、 $f_{SCLK} = 1MHz \sim 5MHz$ 、 $C_L = 25pF$ に適用されます。最大値と最小値は、 $T_A = T_{MIN} \sim T_{MAX}$ に対して適用されます。代表値は $T_A = 25^\circ C$ で試験を実施しています。

Symbol	Parameter	Min	Typ	Max	Units
t_{CSS}	\overline{CS} Setup Time prior to an SCLK rising edge	8	3		ns
t_{CSH}	\overline{CS} Hold Time after an SCLK rising edge	8	3		
t_{DH}	D_{OUT} Hold Time after an SCLK falling edge	6	11		ns
t_{DA}	D_{OUT} Access Time after an SCLK falling edge		18	41	ns
t_{DIS}	D_{OUT} Disable Time after the rising edge of \overline{CS} (Note 11)		20	30	ns
t_{CS}	Minimum \overline{CS} Pulse Width	20			ns
t_{EN}	D_{OUT} Enable Time after the 2nd falling edge of SCLK		20	70	ns
t_{CH}	SCLK High Time	20			ns
t_{CL}	SCLK Low Time	20			ns
t_r	D_{OUT} Rise Time		7		ns
t_f	D_{OUT} Fall Time		7		ns

Note 1: 「絶対最大定格」とは、デバイスが破壊される可能性があるリミット値をいいます。「動作定格」とはデバイスは機能するが、規定の性能リミット値は保証されない条件のことです。仕様および試験条件の保証値に関しては「電氣的特性」を参照ください。仕様の保証は、表記の試験条件にのみ適用されます。リストに示されている試験条件の下でデバイスを動作させていない場合には、いくつかの性能特性は低下することがあります。最大動作定格を超えた状態でデバイスを動作させてはなりません。

Note 2: 特記のない限り、すべての電圧は $GND = 0V$ を基準にして測定されています。

Note 3: いずれかのピンで入力電圧が電源電圧を超えた場合 ($V_{IN} < GND$ または $V_{IN} > V_A$)、そのピンの入力電流を $10mA$ 以下に制限しなければなりません。最大パッケージ入力定格電流 ($50mA$) により、電源電圧を超えて $10mA$ の電流を流せるピン数は 5 本に制限されます。

Note 4: このデバイスの最大接合部温度 (T_{Jmax}) は $150^\circ C$ です。最大許容消費電力 (P_{DMAX}) は、 T_{Jmax} 、接合部周囲間熱抵抗 (θ_{JA})、周囲温度 (T_A) によって決まり、 $P_{DMAX} = (T_{Jmax} - T_A) / \theta_{JA}$ で表されます。上記の最大許容消費電力の値にまで上がる場合は、SM73201 が何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。このような条件での動作は必ず避けるようにしてください。

Note 5: 人体モデルの場合、 $100pF$ のコンデンサから直列抵抗 $1.5k\Omega$ を通して各ピンに放電させます。マシン・モデルでは $220pF$ のコンデンサから直列抵抗 0Ω を通して、各ピンに放電させます。デバイス帯電モデルは、ピンがゆっくりと帯電してから急速に放電する状態 (例えば、自動組立て装置内でフィーダを滑り落ちるデバイス) をシミュレートします。

Note 6: リフロー温度プロファイルは、鉛フリー・パッケージの場合と非鉛フリー・パッケージの場合では異なります。

Note 7: 代表値は、 $T_J = 25^\circ C$ で得られる最も標準的な数値です。テスト・リミット値はテキサス・インスツルメンツの平均出荷品質レベル AOQL に基づき保証されます。

Note 8: このパラメータは設計と特性評価、またはそのいずれか一方によって保証されています。製造時の試験は行っていません。

Note 9: V_{IO} の値は、 V_A の値に依存しません。例えば、 $V_A = 4.5V$ 、 $V_{IO} = 5.5V$ の組み合わせや、 $V_A = 5.5V$ 、 $V_{IO} = 2.7V$ の組み合わせで動作できます。

Note 10: 最大サンプリング・レートは $f_{SCLK}/20$ ですが、 \overline{CS} レートを $f_{SCLK}/20$ よりも低く設定すれば実際のサンプリング・レートは下がります。

Note 11: t_{DIS} は、 D_{OUT} にタイミング試験回路の負荷を接続したときに、変化量が 10% に達するまでの時間です。

タイミング図

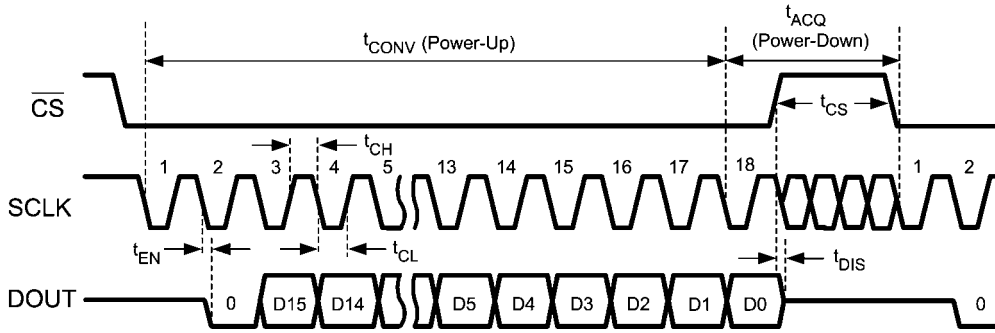


FIGURE 1. SM73201 Single Conversion Timing Diagram

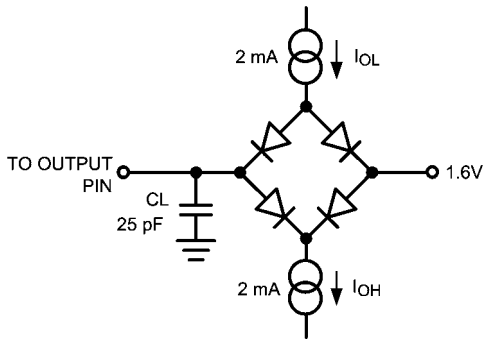


FIGURE 2. Timing Test Circuit

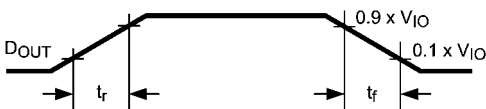


FIGURE 3. D_{OUT} Rise and Fall Times

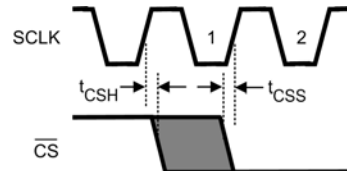


FIGURE 5. Valid CS Assertion Times

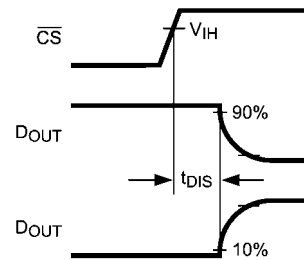


FIGURE 6. Voltage Waveform for t_{DIS}

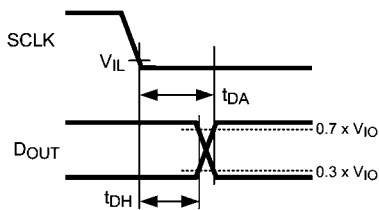


FIGURE 4. D_{OUT} Hold and Access Times

用語の定義

アパーチャ・ディレイ (APERTURE DELAY) は、SCLK の最初の立ち上がりエッジから、変換を行なうために入力信号がサンプリングされるまでの時間です。

コモンモード除去比 (COMMON MODE REJECTION RATIO: CMRR) とは、両方の入力ピンに与えられた同位相の信号を除去する性能指標です。

CMRR を計算するには、コモンモード入力電圧が 2V ~ 3V に変化する間の出力オフセットの変化を測定します。

$$\text{CMRR} = 20\text{LOG} (\Delta \text{ コモン入力} / \Delta \text{ 出力オフセット})$$

変換時間 (CONVERSION TIME) とは、入力電圧を取り込んだ後、A/D コンバータが入力電圧をデジタル・ワードに変換するために必要な時間のことです。

微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL) は、理想的なステップである 1LSB からの最大偏差として表されます。

デューティ・サイクル (DUTY CYCLE) は、繰り返しデジタル波形での、周期に対する High の時間の比です。本データシートでは SCLK に適用されます。

有効ビット (EFFECTIVE NUMBER OF BITS: ENOB または EFFECTIVE BITS) は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76) / 6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力基本周波数特性が低周波数帯域の値に対して 3dB 落ちる周波数です。

ゲイン誤差 (GAIN ERROR) は、伝達関数の実測値と理想カーブとの偏差のことです。これは正側フルスケール誤差と負側フルスケール誤差の差で、次のように計算します。

ゲイン誤差 = 正側フルスケール誤差 - 負側フルスケール誤差

積分非直線性 (INTEGRAL NON-LINEARITY: INL) は、最初のコード遷移の 1/2LSB 下から最後のコード遷移の 1/2LSB 上まで引いた直線とそれぞれのコードとの偏差として表されます。この直線と任意のコードとの偏差は、各コード値の中央から測定します。

ミッシング・コード (MISSING CODES) は A/D コンバータの出力に現れることのないコードです。SM73201 は、ミッシング・コードのないことが保証されています。

負のフルスケール誤差 (NEGATIVE FULL-SCALE ERROR) は、出力コードが 0x8001h から 0x8000h に遷移する差動入力電圧と、 $-V_{\text{REF}} + 1\text{LSB}$ の差です。

負のゲイン誤差 (NEGATIVE GAIN ERROR) は、負のフルスケール誤差とオフセット誤差の差です。

オフセット誤差 (OFFSET ERROR) は、出力が 0x0000h から 0x0001h に遷移する差動入力電圧と 1LSB の差です。

正のフルスケール誤差 (POSITIVE FULL-SCALE ERROR) は、出力コードが 0xFFFFh から 0xFFFFh に遷移する差動入力電圧と、 $V_{\text{REF}} - 1\text{LSB}$ の差です。

正のゲイン誤差 (POSITIVE GAIN ERROR) は、正のフルスケール誤差とオフセット誤差の差です。

電源電圧除去比 (POWER SUPPLY REJECTION RATIO: PSRR) とは、アナログ電源電圧の変化をどの程度除去できるかを表す指標です。PSRR は、電源電圧の変動に対応するオフセット誤差の変化の割合を、dB 値で示します。SM73201 では、 V_A は 4.5V から 5.5V に変動します。

$$\text{PSRR} = 20\text{LOG} (\Delta \text{ 出力オフセット} / \Delta V_A)$$

信号 / ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION: S/N + D または SINAD) は、サンプリング周波数の 1/2 より下にある、高調波を含め DC 成分を除いたその他すべてのスペクトル成分の実効値に対する、入力信号の実効値の比として、dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、サンプリング周波数の 1/2 未満における対象信号の振幅とピーク・スプリアス・スペクトル成分との差で、dB で表します。スプリアス・スペクトル成分とは、入力には存在しないものの出力スペクトルには含まれるあらゆる信号を指し、高調波かどうかは問いません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、出力に現れる 2 次から 6 次までの高調波成分の実効値と、出力に現れる入力周波数の実効値の比で、dB で表されます。全高調波歪み THD は次式から求めます。

$$\text{THD} = 20 \times \log_{10} \sqrt{\frac{A_{f2}^2 + \dots + A_{f6}^2}{A_{f1}^2}}$$

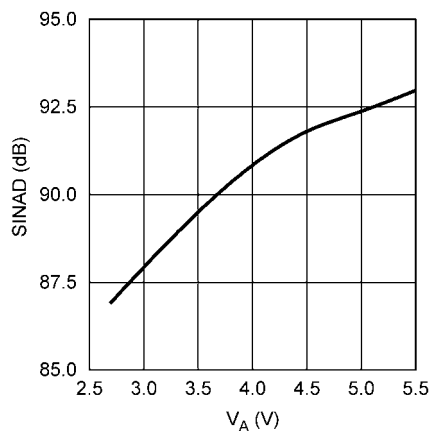
A_{f1} は基本周波数 (出力) パワーの実効値 (RMS 値)、 A_{f2} から A_{f6} は高調波のうち 2 次から 6 次までの高調波のパワーです。

スループット時間 (THROUGHPUT TIME) は、連続した 2 回の変換を開始するために必要な最小の時間です。

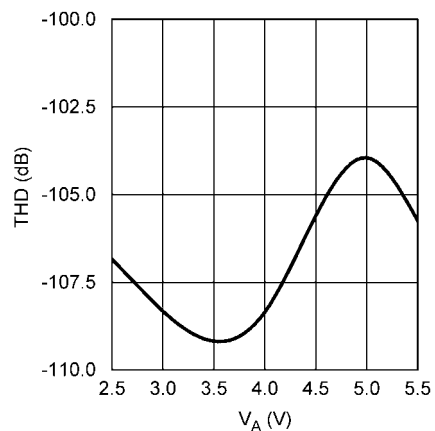
代表的な性能特性

特記のない限り、 $V_A = V_{IO} = V_{REF} = +5V$ 、 $f_{SCLK} = 5MHz$ 、 $f_{SAMPLE} = 250kSPS$ 、 $T_A = +25^\circ C$ 、 $f_{IN} = 20kHz$ です。

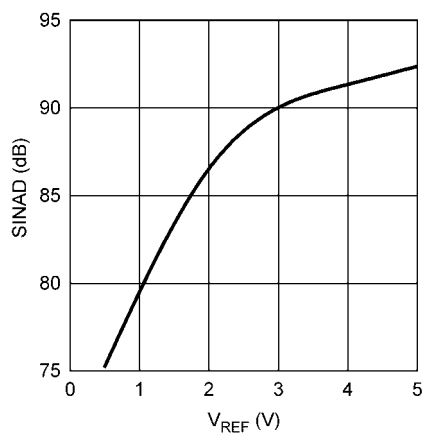
SINAD vs. V_A



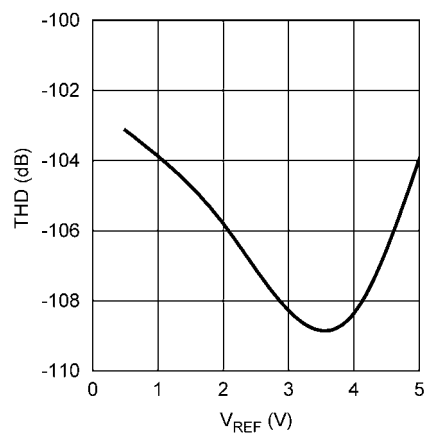
THD vs. V_A



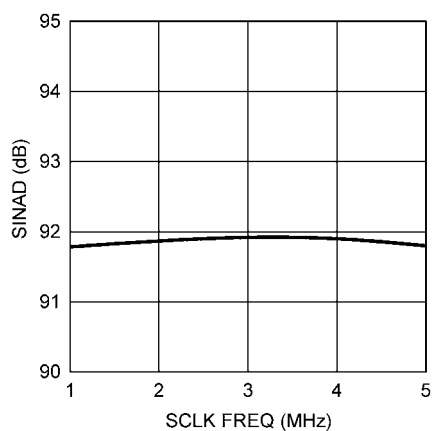
SINAD vs. V_{REF}



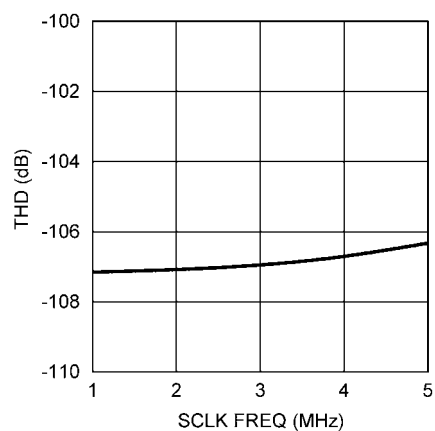
THD vs. V_{REF}



SINAD vs. SCLK FREQUENCY



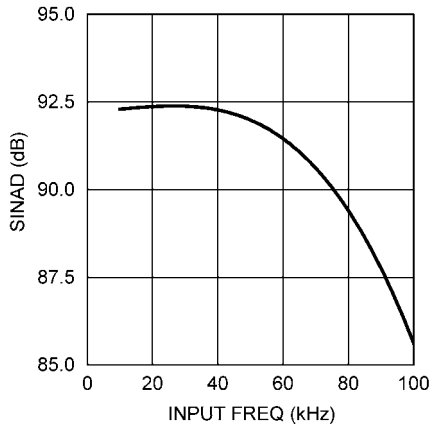
THD vs. SCLK FREQUENCY



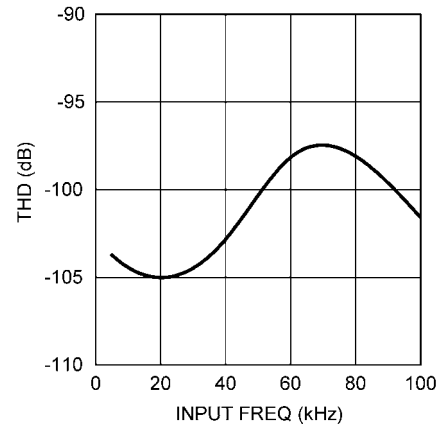
代表的な性能特性

特記のない限り、 $V_A = V_{IO} = V_{REF} = +5V$ 、 $f_{SCLK} = 5MHz$ 、 $f_{SAMPLE} = 250kSPS$ 、 $T_A = +25^\circ C$ 、 $f_{IN} = 20kHz$ です。

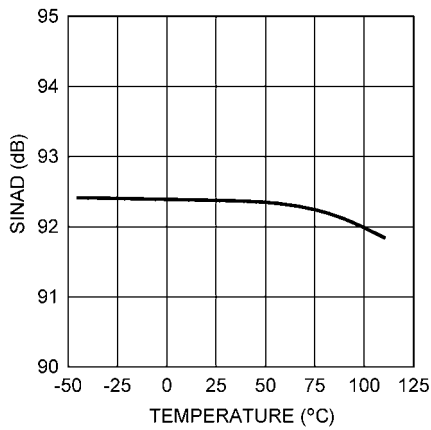
SINAD vs. INPUT FREQUENCY



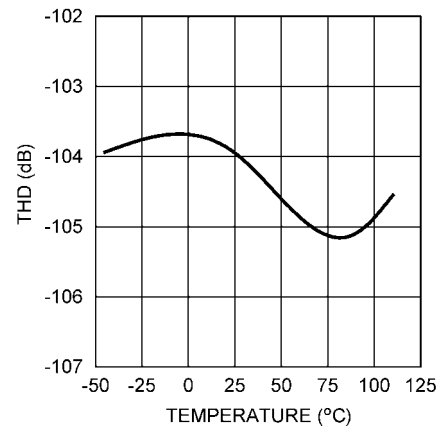
THD vs. INPUT FREQUENCY



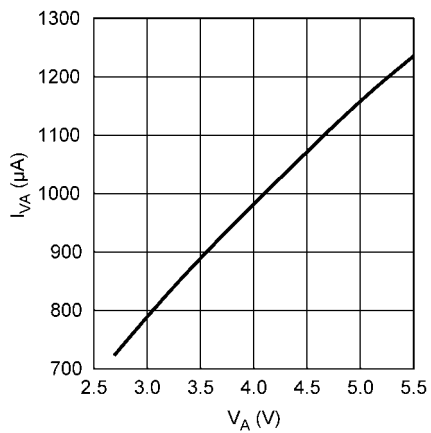
SINAD vs. TEMPERATURE



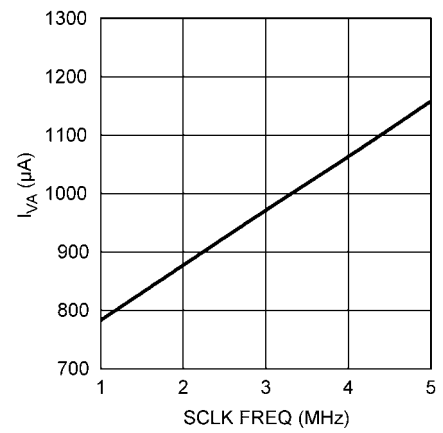
THD vs. TEMPERATURE



V_A CURRENT vs. V_A



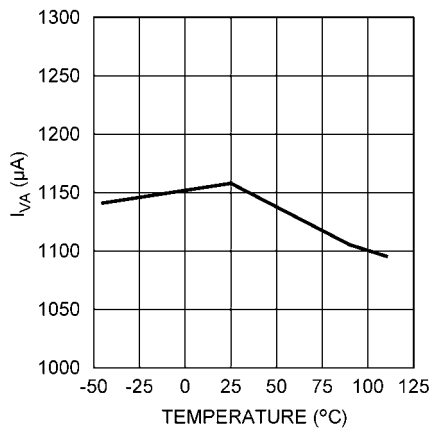
V_A CURRENT vs. SCLK FREQUENCY



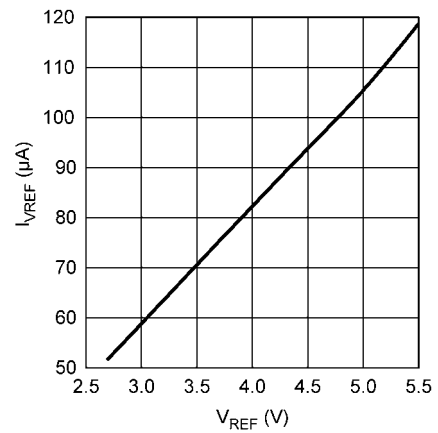
代表的な性能特性

特記のない限り、 $V_A = V_{IO} = V_{REF} = +5V$ 、 $f_{SCLK} = 5MHz$ 、 $f_{SAMPLE} = 250kSPS$ 、 $T_A = +25^\circ C$ 、 $f_{IN} = 20kHz$ です。

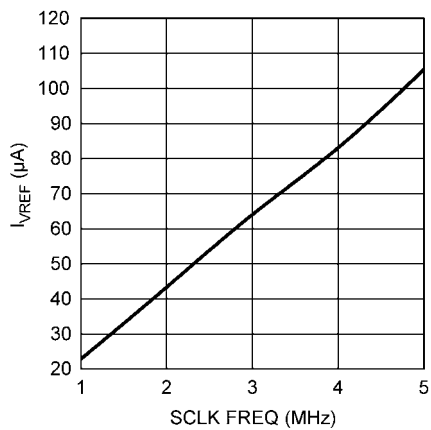
V_A CURRENT vs. TEMPERATURE



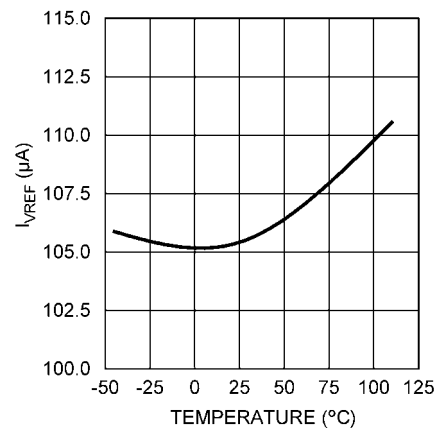
V_{REF} CURRENT vs. V_{REF}



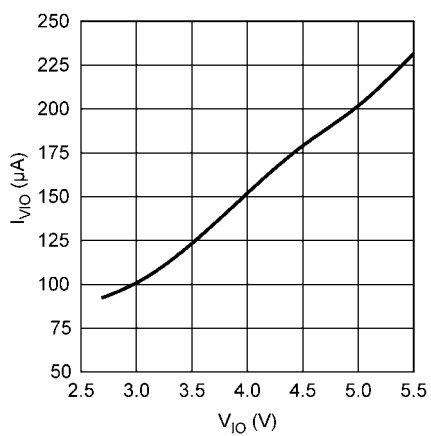
V_{REF} CURRENT vs. SCLK FREQUENCY



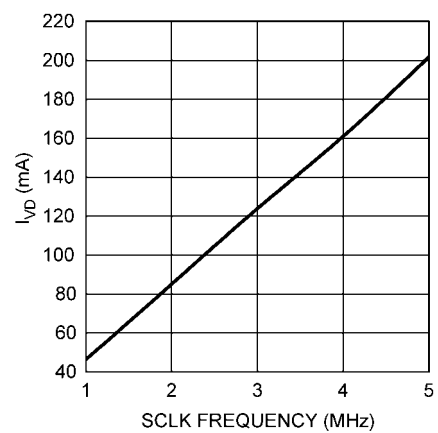
V_{REF} CURRENT vs. TEMPERATURE



V_{IO} CURRENT vs. V_{IO}

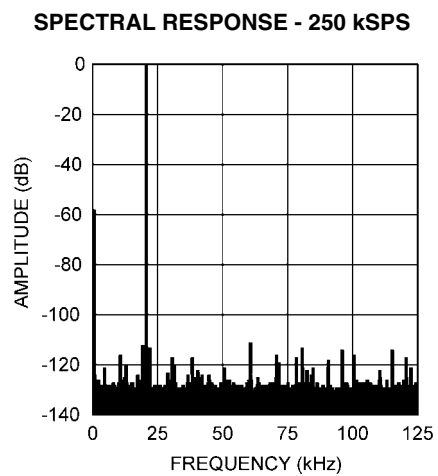
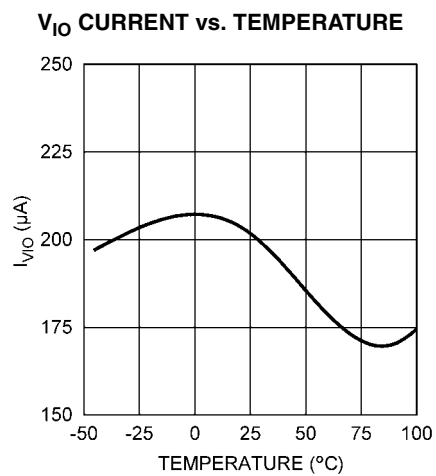


V_{IO} CURRENT vs. SCLK FREQUENCY



代表的な性能特性

特記のない限り、 $V_A = V_{IO} = V_{REF} = +5V$ 、 $f_{SCLK} = 5MHz$ 、 $f_{SAMPLE} = 250kSPS$ 、 $T_A = +25^\circ C$ 、 $f_{IN} = 20kHz$ です。



機能説明

SM73201 は、16 ビット、50kSPS ~ 250kSPS のサンプリング A/D コンバータです。このコンバータは、逐次比較型レジスタ (SAR) アーキテクチャを使用した A/D コンバータで、回路自体が原理的にサンプル / ホールド機能を持つ電荷再分配方式を採用しています。内蔵サンプル/ホールド回路から A/D コンバータ全体にわたってアナログ入力の差動特性が保持されることにより、優れたコモンモード信号除去性能を提供します。

SM73201 は、アナログ系とデジタル系を個別の電源で動作させます。アナログ電源 (V_A) の電圧範囲は 4.5V ~ 5.5V、デジタル出力電源 (V_{IO}) の電圧範囲は 2.7V ~ 5.5V です。SM73201 は外部リファレンス電圧 (V_{REF}) を使用します。値は 0.5V ~ V_A の範囲から任意に選択できます。 V_{REF} の値によってアナログ入力の電圧範囲が決まります。また、リファレンス入力電流 (I_{REF}) は変換レートによって変わります。

アナログ入力は + IN と - IN の 2 本の入力ピンに与えます。このピンに与えられている差動入力、変換の開始時点で、内部コンデンサ・アレイにサンプリングされます。変換処理中は入力は内部回路から切り離されます。SM73201 は、内蔵サンプリング・コンデンサ・アレイが印加されるアナログ入力電圧を追跡しつつ、A/D コンバータの消費電力を最小 (パワーダウン・モード) とする、ゼロパワー・トラック・モード (ZPTM) を搭載しています。コンバータは、各変換ウィンドウが終了した時点で ZPTM に移行し、変換モードに遅延なく戻れます。この機能により、ユーザーは消費電力を最小限に抑えつつ、アナログ信号源のセトリング特性に応じてシステム性能を容易に最適化できます。ZPTM は、チップ・セレクト・バー (CS) を High にするか、CS を Low にしたままでも、変換が完了すると (シリアル・クロックの 18 番目の立ち下がりエッジの後) 有効になります。

SM73201 は、同期シリアル・インターフェイスであるシリアル周辺機器インターフェイス (SPI™) を介して他のデバイスと通信します。このインターフェイスは、チップ・セレクト・バー (CS)、シリアル・クロック (SCLK)、シリアル・データ出力 (D_{OUT}) の 3 本のピンを用いて動作します。外部シリアル・クロック (SCLK) は、データ転送を制御し、変換クロックとして機能します。SCLK は、High 期間と Low 期間の Min 仕様を満たしていれば、デューティ・サイクルはあまり重要ではありません。最低 SCLK 周波数は内部コンデンサの漏れ電流により決まります。1 回の変換処理には SCLK で 18 サイクル以上が必要です。必要な変換データが 16 ビット未満である場合、変換中の任意の時点で CS を High にすることができます。このように変換を完了前に終了する手続きを、一般的に、ショート・サイクリングと言います。

デジタル変換結果は、SCLK クロックに同期して、 D_{OUT} ピンから最上位ビット (MSB) を先頭にシリアル・データとして出力されます。 D_{OUT} ピンから出力されるデジタル・データは現在処理中の変換の結果であるため、パイプラインの遅延またはレイテンシはありません。

1.0 リファレンス入力 (V_{REF})

外部から与えるリファレンス電圧 (V_{REF}) によってアナログ入力範囲が決まります。SM73201 は、0.5V から V_A の範囲の V_{REF} で動作します。

2.5V 未満の V_{REF} による動作も可能ですが、性能が若干低下します。 V_{REF} を下げると、使用できるアナログ入力電圧の範囲が小さくなります。コモンモード入力電圧 (V_{CM}) が適切であることを前提とすると、差動ピーク・ツー・ピーク入力範囲は V_{REF} の 2 倍に制限されます。詳細はセクション 2.3 を参照してください。

V_{REF} の値を小さくすると、最下位ビット (LSB) の大きさも小さくなります。1LSB のサイズは $[(2 \times V_{REF})/2^n]$ に等しくなります。したがって、例えば n が 16 ビット、 V_{REF} が 5V の場合、1LSB は 152.6 μ V になります。LSB の大きさが SM73201 のノイズ・フロアを下回ると、ノイズが影響するコードの範囲が広がり、総合性能が低下します。ダイナミック信号の SNR が低下し、DC 信号のコード不確定性が高まります。ノイズはガウス分布特性を有するため、変換を複数回連続して行って結果を平均すれば、ノイズの影響は小さくなります。

V_{REF} とアナログ入力 (+ IN と - IN) は、入力がサンプリングされる時に、スイッチ・マトリックスを介してコンデンサ・アレイに接続されます。そのため、 I_{REF} 、 I_{+IN} 、 I_{-IN} は、SM73201 を動作させるサンプリング・レートに依存した周波数で発生する、一連の過渡スパイク電流になります。

I_{REF} の温度変化はわずかです。詳細については、「代表的な性能特性」の「Reference Current vs. SCLK Frequency」と「Reference Current vs. Temperature」の図を参照してください。

2.0 アナログ信号入力

SM73201 は、差動入力を使用し、デジタル化される実効入力電圧は (+ IN) - (- IN) になります。

2.1 差動入力動作

SM73201 の完全差動入力信号に対する伝達特性を Figure 7 に示します。正のフルスケール出力コード (0111 1111 1111 1111b、7FFFh、32,767d) は、(+ IN) - (- IN) が $V_{REF} - 1\text{LSB}$ 以上のときに得られます。負のフルスケール・コード (1000 0000 0000 0000b、8000h、- 32,768d) は、 $[(+ IN) - (- IN)]$ が $(-V_{REF} + 1\text{LSB})$ 以下のときに得られます。以上の関係式では、差動入力電圧と出力コードとの正確な対応に影響を与える可能性があるゲイン、オフセット、直線性の誤差を無視しています。

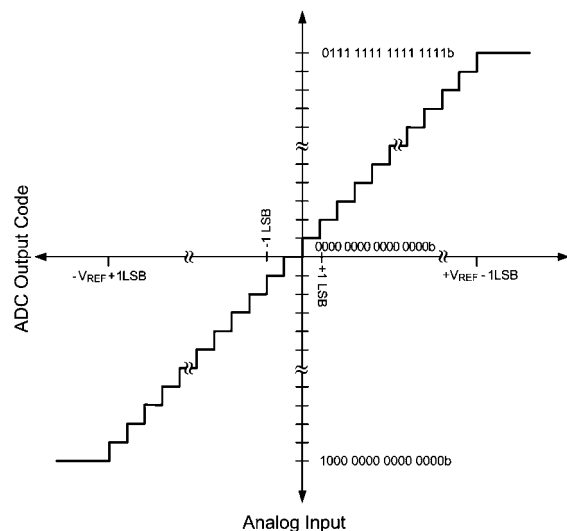


FIGURE 7. ADC Transfer Curve

機能説明 (つづき)

いずれの入力もコモンモード電圧 (V_{CM}) にバイアスする必要があります。これについては、セクション 2.3 で詳細に説明します。**Figure 8** に、フルスケールの差動信号源で駆動した SM73201 を示します。

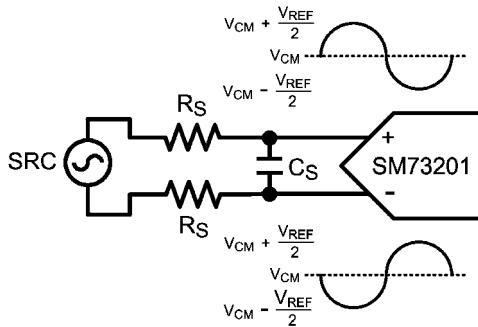


FIGURE 8. Differential Input

2.2 シングルエンド入力動作

シングルエンド動作の場合、SM73201 の非反転入力 (+ IN) は、ピーク・ツー・ピークの範囲が ($2 \times V_{REF}$) 以下となる信号で駆動してください。反転入力 (- IN) は、最大電圧と最小電圧の間となる安定した V_{CM} にバイアスしてください。SM73201 のダイナミック・レンジ全体を使用するには、 V_{REF} を ($V_A/2$) に制限する必要があります。これにより、+ IN の最大振幅範囲はグラウンドから V_A になります。**Figure 9** に、フルスケールのシングルエンド信号源で駆動した SM73201 を示します。

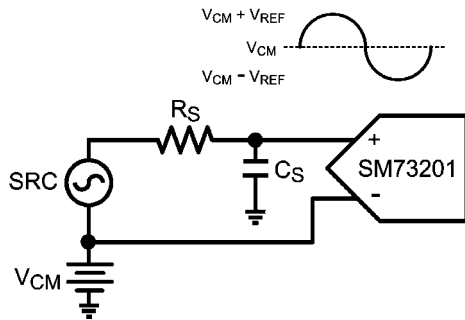


FIGURE 9. Single-Ended Input

SM73201 の設計は差動入力用に最適化されているため、シングルエンド入力で駆動すると性能が若干低下します。通常、INL や DNL などの直線性特性は 0.1LSB ほど低下し、SINAD などのダイナミック特性は 2dB ほど低下します。シングルエンド動作は差動動作に比した性能低下が許容できる場合にのみ使用してください。

2.3 入力コモンモード電圧

入力コモンモード電圧 (V_{CM}) の許容範囲は、SM73201 で使用する V_A と V_{REF} の値に依存します。 V_{CM} の範囲を **Figure 10** と **Figure 11** に示します。これらの図は、 V_A が 5V の場合にのみ適用されることに注意してください。差動動作やシングルエンド動作における、 V_{CM} の最小値 / 最大値を計算する式を **Table 1** に示します。

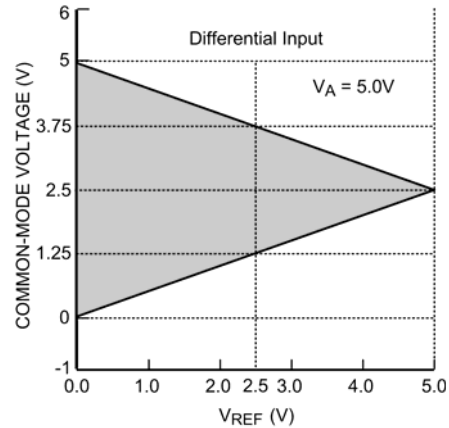


FIGURE 10. V_{CM} range for Differential Input operation

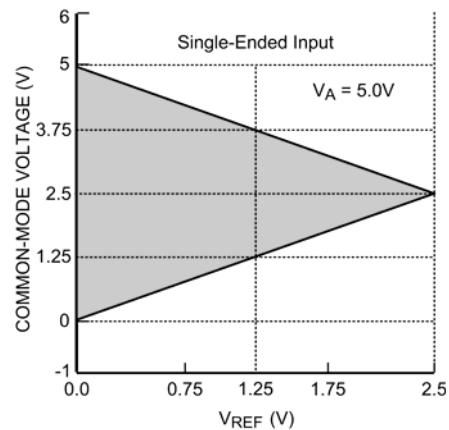


FIGURE 11. V_{CM} range for single-ended operation

Table 1: Allowable V_{CM} Range

Input Signal	Minimum V_{CM}	Maximum V_{CM}
Differential	$V_{REF} / 2$	$V_A - V_{REF} / 2$
Single-Ended	V_{REF}	$V_A - V_{REF}$

2.4 CMRR

差動入力を使用することによって、両入力への同相の微小信号が除去されます。**Figure 12** に示すとおり、コモンモード除去比 (CMRR) が 90dB となる低周波数側では、ノイズに対して十分な耐性が得られます。周波数が 1MHz まで高くなると、CMRR は 40dB へとロール・オフします。通常、完全差動入力信号 (電圧) を使用した方が、シングルエンド入力による動作よりも性能がよくなります。ただし、必要であれば SM73201 をシングルエンド入力でも使用できます。

機能説明 (つづき)

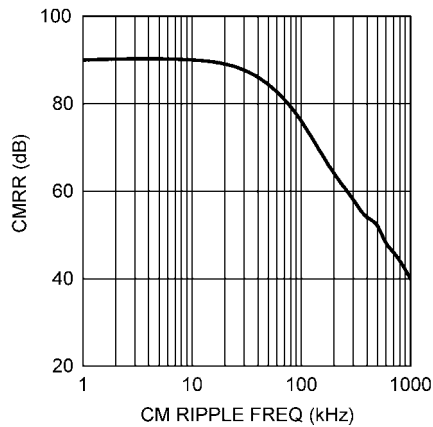


FIGURE 12. Analog Input CMRR vs. Frequency

2.5 入力のセtring

変換ウィンドウが終了して SM73201 がアクイジション・モード (t_{ACQ}) に移行すると、Figure 13 に示すように、チップ内のサンプリング・コンデンサ (C_{SAMPLE}) が、やはりチップに内蔵され

たスイッチと直列抵抗 (R_{SAMPLE}) を介して、A/D コンバータの入りに接続されます。 C_{SAMPLE} と R_{SAMPLE} の代表値は、それぞれ 20pF と 200Ω です。A/D コンバータのアナログ入力に十分な容量を持つ外付けコンデンサ (C_{EXT}) が接続されていないと、入力ピンに電圧スパイクが生じる場合があります。このスパイクは、 C_{SAMPLE} と C_{EXT} の電位が異なるために発生します。電圧スパイクの振幅と極性は、 C_{SAMPLE} と C_{EXT} の電圧の差によって決まります。 C_{SAMPLE} の電圧が、 C_{EXT} の電圧より大きい場合、正の電圧スパイクが発生します。逆の場合は、負の電圧スパイクが発生します。電圧スパイクのフィルタリングは、SM73201 の性能を確保する上で必須ではありません。スパイクのフィルタリングよりも、スパイク過渡現象が t_{ACQ} の期間内にセtringするようにしてください。このための推奨対策については、「アプリケーション情報」のセクション4.0を参照してください。

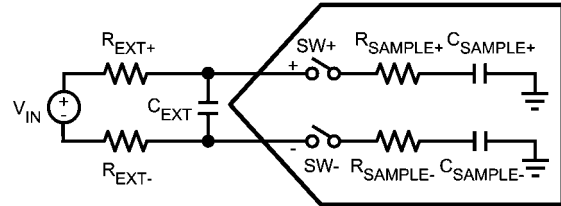


FIGURE 13. ADC Input Capacitors

機能説明 (つづき)

3.0 シリアル・デジタル・インターフェイス

SM73201 は、Figure 1 (Figure 14 に再掲しました) に示すように、同期式の 3 線シリアル・インターフェイスを介してデータを入出力します。 \overline{CS} はチップ・セレクト・バーを表し、SM73201 の変換とシリアル・データ転送フレームを開始します。SCLK (シリアル・クロック) は、変換処理とシリアル・データ・タイミングの両方を制御します。D_{OUT} はシリアル・データ出力ピンで、変換結果がシリアル・データ・ストリーム (MSB が先頭) として出力されます。

シリアル・フレームは \overline{CS} の立ち下がりエッジで始まり、 \overline{CS} の立ち上がりエッジで終わります。SM73201 の D_{OUT} ピンは、 \overline{CS} が High の間、そして \overline{CS} のアサート後、最初のクロック周期の間は高インピーダンス状態になります。以降のクロック周期では、 \overline{CS} がアサートされている限り、D_{OUT} 出力は有効です。

SM73201 は、 \overline{CS} がアサートされた時点で差動入力をサンプリングします。アサートとは、 \overline{CS} ピンを Low 状態にすることです。 \overline{CS} のアサート後、SCLK の最初の 17 周期の間、SM73201 はアナログ入力電圧を変換しています。SCLK の 18 番目の立ち下がりエッジで、SM73201 は、アクイジション・モード (t_{ACQ}) に移行します。SCLK の次の 3 周期の間、SM73201 はアクイジション・モードで動作し、A/D コンバータの入力は +IN と -IN の間に印加されたアナログ入力信号を追従します。アクイジション・モードの間、SM73201 の電力消費は最小になります。

SM73201 が変換モード (t_{CONV}) に移行する条件が 3 通りあります。最初の条件は、SCLK が High のときに \overline{CS} が Low になる (アサートされる) ことです。この場合、SM73201 は、 \overline{CS} がアサートされた後の、SCLK の最初の立ち下がりエッジで変換モードに移行します。2 つ目は、SCLK が Low のときに \overline{CS} を Low にする条件です。この条件では、SM73201 は自動的に変換モードに入り、 \overline{CS} の立ち下がりエッジを、SCLK の最初の立ち下がりエッジとみなします。3 つ目の条件は、 \overline{CS} と SCLK が同時に Low になることです。Low になった時点で SM73201 は変換モードに入ります。 \overline{CS} と SCLK の立ち下がりエッジ間にタイミングの制約はありませんが、SCLK の立ち上がりエッジに対する、 \overline{CS} の立ち下がりエッジのセットアップ、ホールド時間には Min 要件があります。詳細は「タイミング図」の Figure 5 を参照してください。

3.1 \overline{CS} 入力

\overline{CS} (チップ・セレクト・バー) 入力はアクティブ Low の、CMOS 互換の信号です。SCLK ピンが Low 状態のときに \overline{CS} がアサートされると、SM73201 は変換モードになります。 \overline{CS} が High の間、SM73201 は常にアクイジション・モードで動作するため、消費電力は最小になります。変換を開始するには \overline{CS} をアサートする必要があるため、SM73201 のサンプリング・レートは \overline{CS} のアサート・レートと等しくなります。

適切な動作を得るには、SCLK の立ち上がりと同時に \overline{CS} が立ち下がらないようにタイミング設計を行う必要があります。SCLK の立ち上がり中に \overline{CS} が立ち下がると、データは 1 ビット分早く出力されます。データが早く出力されるかどうかは、 \overline{CS} の遷移と SCLK の遷移の間の時間差、デバイスの温度、デバイス間のばらつきなどによって変わります。MSB が常に同じタイミング (SCLK の 3 番目の立ち下がりエッジ) で出力されるようにするには、 \overline{CS} の立ち下がりが「タイミング仕様」の表で指定されているタイミング要件を常に満たしている必要があります。

3.2 SCLK 入力

SCLK (シリアル・クロック) は、変換結果をシフト出力するための変換クロックとして使用します。SCLK は CMOS 互換信号です。内部セットリング時間の要件によって最高クロック周波数が決まり、内部コンデンサの漏れ電流によって最低クロック周波数が決まります。SM73201 の性能は電気的特性の表に記載されたクロック・レートによって保証されています。

SM73201 は、変換フレーム内の 18 番目の SCLK 立ち下がりエッジでアクイジション・モードになります。18 番目の SCLK 立ち上がりエッジで LSB がコントローラに出力される場合、新しい変換フレームを開始する前に最小のアクイジション時間が必要です。LSB をコントローラにラッチする 18 番目の SCLK 立ち上がりエッジを除き、アクイジション・モードでは SCLK の遷移に何も要件はありません。したがって、LSB がコントローラにラッチされた後、SCLK をアイドルにしても構いません。

3.3 データ出力

Figure 7 に示すとおり、SM73201 のデータ出力フォーマットは 2 の補数になります。この図は与えられた入力電圧に対する理想出力コードを示すもので、オフセット、ゲイン誤差、直線性誤差、ノイズの影響は含まれていません。各データ出力ビットは SCLK の立ち下がりエッジで出力されます。D_{OUT} は、1 番目の SCLK 立ち下がりエッジでは高インピーダンス状態にあり、2 番目の SCLK 立ち下がりエッジでは先頭の 0 を出力します。3 番目から 18 番目の SCLK 立ち下がりエッジでは、変換結果を MSB 側から出力します。

通常、後段のシステムは SCLK の立ち上がりエッジを使ってデジタル出力ビットをキャプチャしますが、D_{OUT} の最小ホールド時間が満たされるのであれば、SCLK の立ち下がりエッジで各ビットをキャプチャしても構いません。D_{OUT} のホールド時間 (t_{DH}) とアクセス時間 (t_{DA}) については、Figure 4 を参照してください。

D_{OUT} は、 \overline{CS} のアサート後、SCLK の 2 番目の立ち下がりエッジから有効になり、 \overline{CS} の立ち上がりエッジで無効になります。SCLK の 18 番目の立ち下がりエッジより前に \overline{CS} を High にすると、現在の変換が中断され、D_{OUT} は高インピーダンス状態になります。新しい変換は \overline{CS} を Low にすると開始されます。

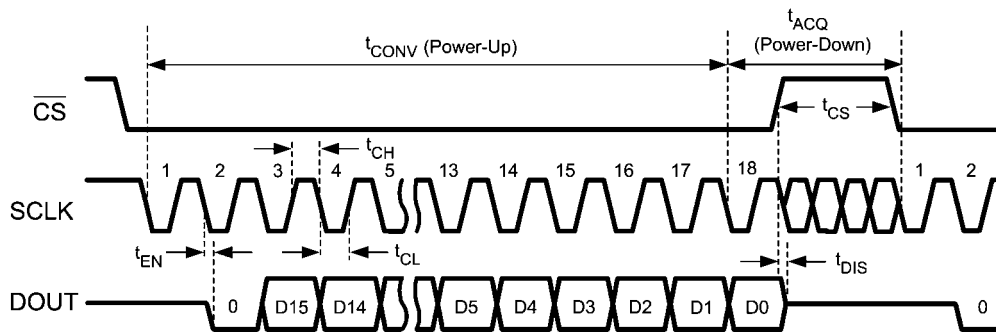


FIGURE 14. SM73201 Single Conversion Timing Diagram

アプリケーション情報

動作条件

SM73201 の動作条件としては次の各値を推奨します。

- 40°C ≤ T_A ≤ + 85°C
- + 4.5V ≤ V_A ≤ + 5.5V
- + 2.7V ≤ V_{IO} ≤ + 5.5V
- + 0.5V ≤ V_{REF} ≤ + 5.5V
- 1MHz ≤ f_{SCLK} ≤ 5MHz
- V_{CM}: セクション 2.3 参照

4.0 アナログ入力に関する考慮事項

セクション 2.5 で既に述べたように、SM73201 が変換ウィンドウの終端でアキュイジション・モード (t_{ACQ}) に移行するときに生じる電圧スパイクは、フィルタによって除去しなくとも性能に大きな影響を与えません。ただし、過渡スパイクが t_{ACQ} の期間内に必ずセトリングするようにシステムを設計しなければなりません。これを実現するには、アナログ信号源自体に対策を講ずるか、あるいは Figure 13 に示すように信号源と外付けコンデンサ C_{EXT} の両方を用いて対策することができます。外付けコンデンサは、内蔵サンプリング・コンデンサのための局所的な電荷蓄積領域として動作し、電圧スパイクを低減します。DC に近い出力を持つセンサなど、低周波数のアナログ信号源の場合は、1nF より大きな C_{EXT} を推奨します。しかしながら、外付けコンデンサの負荷があると安定性を保てないセンサやシグナル・コンディショニング回路があります。このような場合には、直列に抵抗 (R_{EXT}) を接続することを推奨します。R_{EXT} の値は、アナログ信号源の出力駆動力と A/D コンバータのセトリング要件によって変わります。外付けコンデンサの有無にかかわらず、システム設計者には常に SM73201 のサンプリング・レートを低くする選択肢があります。サンプリング・レートは電圧スパイクがセトリングするまで待てる時間に直接関係します。サンプリング・レートが低ければ低いほど、t_{ACQ} も長くなり、セトリング時間を長く確保できます。これが可能なのは、SM73201 が前回の変換の終端で t_{ACQ} の期間に入り、変換と変換の間も常にアナログ入力を追従するためです。

5.0 消費電力

SM73201 は、アーキテクチャ、設計、製造プロセスの工夫によって、低消費電力と最高変換レート 250kSPS を実現しています。SM73201 がアキュイジション・モード (パワーダウン) で動作するとき、消費電力は最小になります。消費電力が非常に重要な要件となる場合、アプリケーションが許す範囲で、できるだけ SM73201 をアキュイジション・モードで動作させます。電力消費をさらに減らすには、CS が High の間に SCLK も停止します。

5.1 ショート・サイクリング制御

ショート・サイクリングとは、必要な最後のビットが出力された時点で、変換を停止するプロセスを言います。ショート・サイクリングは、16 ビットすべての分解能を必要としないアプリケーションや、特定の条件が起こるまでアナログ信号を監視するアプリケーションで、消費電力を低減する方法として有効です。変換を最初の数ビットだけで終了できる場合もあります。これによって SM73201 がアキュイジション・モードで動作する時間が増えて、変換モードで動作する時間が減るため、コンバータの電力消費を抑制できます。

ショート・サイクリングを行うには、SM73201 出力から必要な最後のビットを受信した後、CS を High にします。SM73201 では生成される順に最新の変換データ・ビットを D_{OUT} ピンに出力するため、このような制御が可能になります。例えば、10 ビッ

ト分の変換結果のみが必要な場合、10 番目のビットが出力された時点で CS を High にすれば変換動作は終了します。

5.2 バースト・モード動作

SM73201 の通常の動作では、SCLK にはサンプリング・レートの 20 倍の周波数のクロックを与え、CS にはサンプリング・レートと同じレートの信号を与える必要があります。しかし、250kSPS 未満のサンプリング・レートを必要とするアプリケーションで消費電力を最小限に抑えるには、SM73201 に 5MHz の SCLK 周波数を与え、CS にシステムが必要とすることができるだけ低いレートを与えて動作させてください。この条件が満たされたとき、SM73201 はバースト・モードで動作します。SM73201 は各変換が終了するとアキュイジション・モードに移行し、消費電力が最小限に抑えられます。この制御を行えば、コンバータを可能な限り長い時間にわたってアキュイジション・モードに保持できます。消費電力は変換レートに直接比例するので、消費電力を最小限に抑えるために、変換レートはシステム要件を満たす最低の値に設定してください。

6.0 PCB レイアウトと回路の考慮事項

最高の性能を実現するために、プリント回路基板の物理的レイアウトに十分な配慮が必要です。これは特に、V_{REF} が低い場合や、変換レートが高い場合に重要です。クロック・レートが高い場合は入力波形がセトリングする時間が短くなります。精度を確保するには、変換を開始する前に、あらゆるノイズがセトリングしていることが重要です。

6.1 アナログおよびデジタル電源

A/D コンバータのアーキテクチャは電源ピン、リファレンス・ピン、グランド・ピン上のスパイクに敏感です。スパイクは、スイッチング電源、デジタル回路、大電力デバイスその他の原因によって発生します。SM73201 に与える電源はクリーンでなければならない、併せて適切なバイパスが必要です。0.1 μF のセラミック・バイパス・コンデンサと 1 μF ~ 10 μF のコンデンサを SM73201 の電源バイパスに使用し、このうち 0.1 μF は SM73201 のパッケージのできるだけ近くに実装してください。

SM73201 には V_A ピンと V_{IO} ピンがあるため、これらを 3 通りの方法で接続できます。最初の方法は、V_A と V_{IO} を互いに接続し、さらにこれらを同じ電源に接続します。これは SM73201 の電源構成として最も費用効率が高いものの、理想的とは言えません。すでに述べたように、V_{IO} からのノイズが V_A と結合し、性能に悪影響を及ぼす場合があります。他の 2 つの方法では、V_A と V_{IO} に別の電源から電圧を印加します。これらの電源の電圧振幅は同じでも、異なっても構いません。V_A は、+ 4.5V ~ + 5.5V の範囲の任意の値に設定できます。V_{IO} は、+ 2.7V ~ + 5.5V の範囲の任意の値に設定できます。

通常、V_A を 5V で動作させ、V_{IO} を 3V で動作させると最高の性能が得られます。V_A を 5V で動作させる場合は、V_{REF} も 5V に設定すると直線性とダイナミック特性が最も良くなります。また、V_{IO} を 3V で動作させると、デジタル回路の消費電力が抑制されます。デジタル・インターフェイスの 3V 動作には、デジタル・インターフェイス・ピンの容量を充放電するときに生じるノイズを抑制する利点もあります。

6.2 電圧リファレンス

リファレンス電源は出力インピーダンスを小さくしなければならず、0.1 μF 以上のコンデンサによってバイパスする必要があります。さらに、より大きな容量値のコンデンサ (1 μF ~ 10 μF) を、0.1 μF と並列に接続することを推奨します。SM73201 のリファレンス・ピンには、平均すればほとんど電流が流れ込みませんが、瞬間的には大きな電流スパイクが発生します。

アプリケーション情報 (つづき)

一般の A/D コンバータと同様に、SM73201 の V_{REF} にはノイズや電圧変動を除去する機能はありません。 V_{REF} を電源から生成する場合はこの点に注意してください。外部リファレンス回路で除去されなかった電源起因のノイズやリップルは、変換結果に影響を与えます。アクティブなリファレンス電圧源を使用することを推奨します。リファレンス電圧源としては、LM4040/LM4050 シヤント・リファレンス・ファミリや SM74601/LM4120/LM4140 シリーズ・リファレンス・ファミリが最適です。

6.3 PCB レイアウト

ノイズの多いデジタル回路とノイズに敏感なアナログ回路が容量カップリングして、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分にアイソレートしたレイアウトを行い、クロック信号の配線パターンを最短にします。デジタル回路では、電源やグランドに非常に大きな過渡電流が流れます。このようなロジックノイズがシステムのノイズ特性に大きな影響を及ぼします。電源ノイズによる SM73201 の性能低下を避けるため、SM73201 の V_A と REF には、基板上のデジタル回路用電源を使用しないでください。

一般に、アナログとデジタルの配線パターンどうしのクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。しかし、高分解能のシステムで精度を最大化するには、アナログ信号ラインとデジタル信号ラインが交差する配線は避けなければなりません。クロック・ラインは配線長を最短にし、他のデジタル・ラインを含む、クロック・ライン以外のすべての信号ラインからアイソレートすることが重要です。さらに、クロック・ラインは伝送ラインとして扱い、適切に終端する必要があります。スプリアス信号が入力にカップリングするのを避けるために、アナログ入力は、ノイズの多い信号経路と十分にアイソレートしてください。コンバータの入力ピンとグランドの間、またはリファレンス入力ピンとグランドの間に接続

される外付け素子 (例えば、フィルタ用のコンデンサ) は、グランド層の非常にクリーンなノイズの少ない1点で接続してください。

単一の均等なグランド層と、電源層を専用に設ける層構成を推奨します。電源層は同一の基板層に配置してください。すべてのアナログ回路 (入力アンプ、フィルタ、リファレンス回路など) は、アナログ電源層上に配置してください。すべてのデジタル回路は、デジタル電源層の上に置く必要があります。さらに、SM73201 の GND ピンと、グランドに接続されているリファレンス回路や入力信号チェーンに含まれているすべての素子は、グランド層のノイズのない点に接続する必要があります。これらのピンは、マイクロプロセッサ、マイクロコントローラ、デジタル・シグナル・プロセッサ、その他、大電力のデジタル・デバイスに近いグランド点に接続してはなりません。

7.0 アプリケーション回路

以降の図は、SM73201 の代表的なアプリケーション回路の例です。これらの回路は基本的なものであり、通常、具体的用途に応じて変更する必要があります。

7.1 データ・アキュイジション

Figure 15 は、 $V_A = +5V$ で動作する SM73201 の代表的な配線図です。 V_{REF} は 2.5V シヤント・リファレンスの LM4020-2.5 に接続されています。これによって、+5V 電源ラインの変動に影響されずに SM73201 のアナログ入力範囲を規定できます。 V_{REF} ピンは、 $0.1\mu F$ セラミック・コンデンサと $10\mu F$ タンタル・コンデンサによってグランド層にデカップリングする必要があります。 $0.1\mu F$ コンデンサをできるだけ V_{REF} ピンの近くに配置することが重要です。タンタル・コンデンサの配置はそれほど重要ではありません。また、 V_A ピンと V_{IO} ピンは、 $10\mu F$ タンタル・コンデンサと並列に接続した $0.1\mu F$ セラミック・コンデンサによってグランドにデカップリングすることを推奨します。

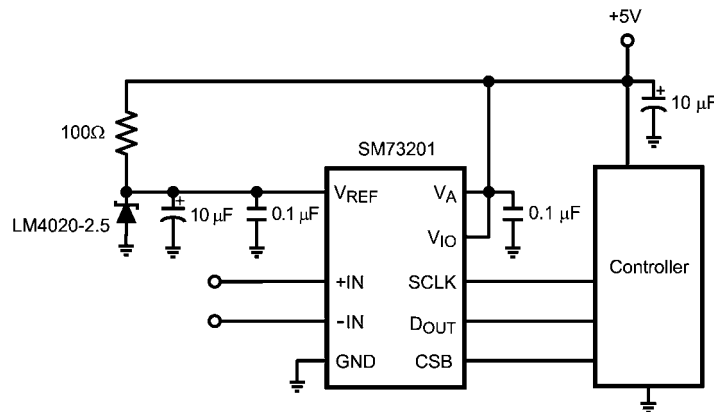
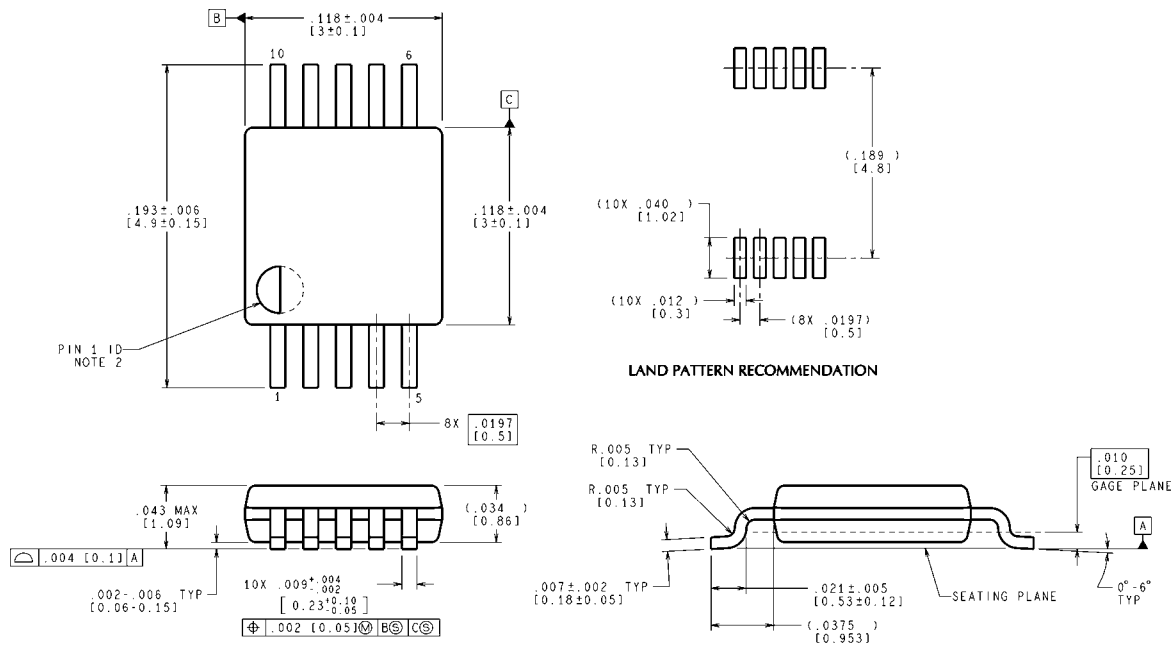


FIGURE 15. Low cost, low power Data Acquisition System

SM73201 16 ビット、50kSPS、差動入力、マイクロパワー A/D コンバータ

外形寸法図 特記のない限り inches (millimeters)



CONTROLLING DIMENSION IS INCH
VALUES IN [] ARE MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY

MUB10A (Rev B)

10-Lead MSOP
Order Number SM73201C1MM
NS Package Number MUB10A

すべて商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしているとして特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上