

SNx4AHC2403 ステート出力搭載、オクタルバッファ/ドライバ

1 特長

- 短い遅延、標準値 4.3ns (25°C、5V)
- JESD 17 準拠で
250mA 超のラッチアップ性能

2 アプリケーション

- ハンドセット:スマートフォン
- ネットワーク スイッチ
- 健康管理フィットネスおよびウェアラブル

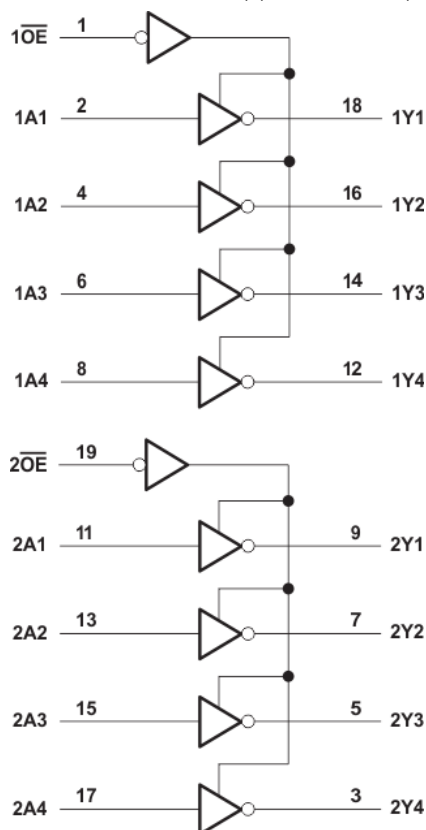
3 概要

これらのオクタル バッファ/ドライバは、3 ステート メモリアドレス ドライバ、クロック ドライバ、バス用レシーバ/トランスミッタの性能と密度を向上することに特化して設計されています。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ ⁽³⁾
SN54AHC240	J (CDIP, 20)	24.2mm × 7.62mm	24.2 mm × 6.92mm
	W (CFP, 20)	13.09mm × 8.13mm	13.09 mm × 6.92mm
	FK (LCCC, 20)	8.89 mm × 8.89 mm	8.89mm × 8.89 mm
SN74AHC240	N (PDIP, 20)	24.33mm × 9.4mm	25.40mm × 6.35 mm
	DW (SOIC, 20)	12.80mm × 10.3 mm	12.8mm × 7.5mm
	NS (SOP, 20)	12.60mm × 7.8mm	12.6mm × 5.30mm
	PW (TSSOP, 20)	6.50mm × 6.4 mm	6.50mm × 4.40mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)



目次

1 特長	1	7.3 機能説明.....	10
2 アプリケーション	1	7.4 デバイスの機能モード.....	10
3 概要	1	8 アプリケーションと実装	11
4 ピン構成および機能	3	8.1 アプリケーション情報.....	11
5 仕様	4	8.2 代表的なアプリケーション.....	11
5.1 絶対最大定格.....	4	8.3 電源に関する推奨事項.....	12
5.2 ESD 定格.....	4	8.4 レイアウト.....	12
5.3 推奨動作条件.....	4	9 デバイスおよびドキュメントのサポート	13
5.4 熱に関する情報.....	5	9.1 ドキュメントのサポート.....	13
5.5 電気的特性.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	13
5.6 スイッチング特性.....	5	9.3 サポート・リソース.....	13
5.7 ノイズ特性.....	6	9.4 商標.....	13
5.8 代表的特性.....	7	9.5 静電気放電に関する注意事項.....	13
6 パラメータ測定情報	8	9.6 用語集.....	13
7 詳細説明	9	10 改訂履歴	13
7.1 概要.....	9	11 メカニカル、パッケージ、および注文情報	14
7.2 機能ブロック図.....	9		

4 ピン構成および機能

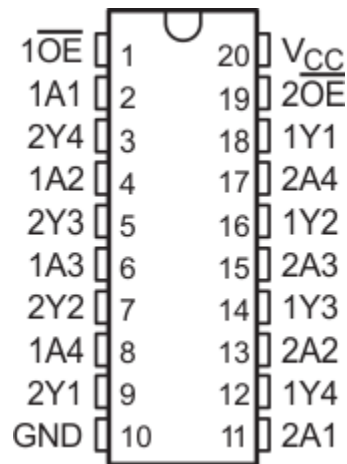


図 4-1. SN74AHC240-Q1 PW パッケージ (上面図)

ピン		種類 ⁽¹⁾	説明
名称	番号		
1OE	1	O	出力イネーブル 1
1A1	2	I	1A1 入力
2Y4	3	O	2Y4 出力
1A2	4	I	1A2 入力
2Y3	5	O	2Y3 出力
1A3	6	I	1A3 入力
2Y2	7	O	2Y2 出力
1A4	8	I	1A4 入力
2Y1	9	O	2Y1 出力
GND	10	G	グランドピン
2A1	11	I	2A1 入力
1Y4	12	O	1Y4 出力
2A2	13	I	2A2 入力
1Y3	14	O	1Y3 出力
2A3	15	I	2A3 入力
1Y2	16	O	1Y2 出力
2A4	17	I	2A4 入力
1Y1	18	O	1Y1 出力
2OE	19	O	出力イネーブル 2
VCC	20	P	パワーピン

(1) 信号タイプ: I = 入力、O = 出力、I/O = 入力または出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位	
V _{CC}	電源電圧範囲	-0.5	7	V	
V _I	入力電圧範囲 ⁽²⁾	-0.5	7	V	
V _O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 ⁽²⁾	-0.5	7	V	
V _O	出力電圧範囲 ⁽²⁾	-0.5	V _{CC} + 0.5	V	
I _{IK}	入力クランプ電流	V _I < -0.5V		-20	mA
I _{OK}	出力クランプ電流	V _O < -0.5V または V _O > V _{CC} + 0.5V		±20	mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}		±25	mA
	V _{CC} または GND を通過する連続出力電流			±75	mA
T _{stg}	保管温度	-65	150	°C	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	説明	条件	最小値	最大値	単位
V _{CC}	電源電圧		2	5.5	V
V _{IH}	High レベル入力電圧	V _{CC} = 2V	1.5		V
		V _{CC} = 3V	2.1		
		V _{CC} = 5.5V	3.85		
V _{IL}	Low レベル入力電圧	V _{CC} = 2V		0.5	V
		V _{CC} = 3V		0.9	
		V _{CC} = 5.5V		1.65	
V _I	入力電圧		0	5.5	V
V _O	出力電圧		0	V _{CC}	V
I _{OH}	High レベル出力電流	V _{CC} = 2V		-50	μA
		V _{CC} = 3.3V ± 0.3V		-4	mA
		V _{CC} = 5V ± 0.5V		-8	mA
I _{OL}	Low レベル出力電流	V _{CC} = 2V		50	μA
		V _{CC} = 3.3V ± 0.3V		4	mA
		V _{CC} = 5V ± 0.5V		8	mA
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V _{CC} = 3.3V ± 0.3V		100	ns/V
		V _{CC} = 5V ± 0.5V		20	ns/V
T _A	自由空気での動作温度		-40	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DW	DB	DGV	N	NS	PW	単位
		20ピン						
R _{θJA}	接合部から周囲への熱抵抗 ⁽²⁾	81.1	70	92	69	60	116.8	°C/W

- (1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーションレポート、[SPRA953](#) を参照してください。
(2) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25°C			-40°C~125°C			単位
			最小値	代表値	最大値	最小値	代表値	最大値	
V _{OH}	I _{OH} = -50μA	2V~5.5V	V _{CC} -0.1	V _{CC}		V _{CC} -0.1	V _{CC}	V	
	I _{OH} = -4mA	3V	2.58		2.48				
	I _{OH} = -8mA	4.5V	3.94		3.8				
V _{OL}	I _{OL} = 50μA	2V~5.5V			0.1		0.1	V	
	I _{OL} = 4mA	3V			0.36		0.44		
	I _{OL} = 8mA	4.5V			0.36		0.44		
I _I	V _I = 5.5V または GND、V _{CC} = 0V~5.5V	0V~5.5V			±0.1		±1	μA	
I _{OZ}	V _O = V _{CC} または GND、V _{CC} = 5.5V	5.5V			±0.25		±5	μA	
I _{CC}	V _I = V _{CC} または GND、I _O = 0、V _{CC} = 5.5V	5.5V			4		40	μA	
C _I	V _I = V _{CC} または GND	5V		2	10		10	pF	
C _O	V _O = V _{CC} または GND	5V		5				pF	
C _{PD}	無負荷、F = 1MHz	5V		15				pF	

5.6 スイッチング特性

C_L = 50pF、自由気流での動作温度範囲内、T_A = 25°Cで測定された標準値 (特に記述のない限り)「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V _{CC}	T _A = 25°C			-40°C~125°C			単位
					最小値	代表値	最大値	最小値	代表値	最大値	
t _{PLH}	A	Y	C _L = 15pF	2V			19.5	1	23	ns	
t _{PHL}							19.5	1	23		
t _{PZH}	OE	Y	C _L = 15pF	2V			25.5	1	30	ns	
t _{PZL}							25.5	1	30		
t _{PHZ}	OE	Y	C _L = 15pF	2V			25.5	1	30	ns	
t _{PLZ}							25.5	1	30		
t _{PLH}	A	Y	C _L = 15pF	3.3V		5.3	7.5	1	9	ns	
t _{PHL}							5.3	7.5	1		9
t _{PZH}	OE	Y	C _L = 15pF	3.3V		6.6	10.6	1	12.5	ns	
t _{PZL}							6.6	10.6	1		12.5
t _{PHZ}	OE	Y	C _L = 15pF	3.3V		7.8	11.5	1	12.5	ns	
t _{PLZ}							7.8	11.5	1		12.5
t _{PLH}	A	Y	C _L = 15pF	5V		3.6	5.5	1	6.5	ns	
t _{PHL}							3.6	5.5	1		6.5

5.6 スイッチング特性 (続き)

$C_L = 50\text{pF}$ 、自由気流での動作温度範囲内、 $T_A = 25^\circ\text{C}$ で測定された標準値 (特に記述のない限り)「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	負荷容量	V_{CC}	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
					最小値	代表値	最大値	最小値	代表値	最大値	
t_{PZH}	OE	Y	$C_L = 15\text{pF}$	5V	4.7	7.3	1	8.5	ns		
t_{PZL}					4.7	7.3	1	8.5	ns		
t_{PHZ}	OE	Y	$C_L = 15\text{pF}$	5V	5.2	7.2	1	8.5	ns		
t_{PLZ}					5.2	7.2	1	8.5	ns		
t_{PLH}	A	Y	$C_L = 50\text{pF}$	2V	26.5		1	30	ns		
t_{PHL}					26.5		1	30	ns		
t_{PZH}	OE	Y	$C_L = 50\text{pF}$	2V	32.5		1	36.5	ns		
t_{PZL}					32.5		1	36.5	ns		
t_{PHZ}	OE	Y	$C_L = 50\text{pF}$	2V	32		1	36.5	ns		
t_{PLZ}					32		1	36.5	ns		
t_{PLH}	A	Y	$C_L = 50\text{pF}$	3.3V	7.8	11	1	12.5	ns		
t_{PHL}					7.8	11	1	12.5	ns		
t_{PZH}	OE	Y	$C_L = 50\text{pF}$	3.3V	9.1	14.1	1	16	ns		
t_{PZL}					9.1	14.1	1	16	ns		
t_{PHZ}	OE	Y	$C_L = 50\text{pF}$	3.3V	10.3	14	1	16	ns		
t_{PLZ}					10.3	14	1	16	ns		
t_{PLH}	A	Y	$C_L = 50\text{pF}$	5V	5.1	7.5	1	8.5	ns		
t_{PHL}					5.1	7.5	1	8.5	ns		
t_{PZH}	OE	Y	$C_L = 50\text{pF}$	5V	6.2	9.3	1	10.5	ns		
t_{PZL}					6.2	9.3	1	10.5	ns		
t_{PHZ}	OE	Y	$C_L = 50\text{pF}$	5V	6.7	9.2	1	10.5	ns		
t_{PLZ}					6.7	9.2	1	10.5	ns		
$t_{sk(o)}$			$C_L = 50\text{pF}$	2V			2	2	ns		
$t_{sk(o)}$			$C_L = 50\text{pF}$	3.3V			1.5	1.5	ns		
$t_{sk(o)}$			$C_L = 50\text{pF}$	5V			1	1	ns		

5.7 ノイズ特性

$V_{CC} = 5\text{V}$ 、 $C_L = 50\text{pF}$ 、 $T_A = 25^\circ\text{C}$

パラメータ	説明	最小値	代表値	最大値	単位
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}				V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}				V
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}				V
$V_{IH(D)}$	High レベル動的入力電圧	3.5			V
$V_{IL(D)}$	Low レベル動的入力電圧			1.5	V

5.8 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

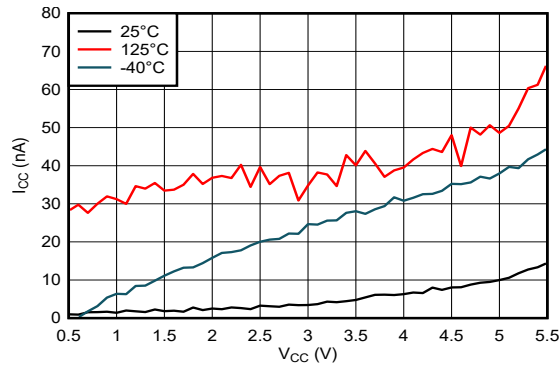


図 5-1. 電源電流と電源電圧との関係

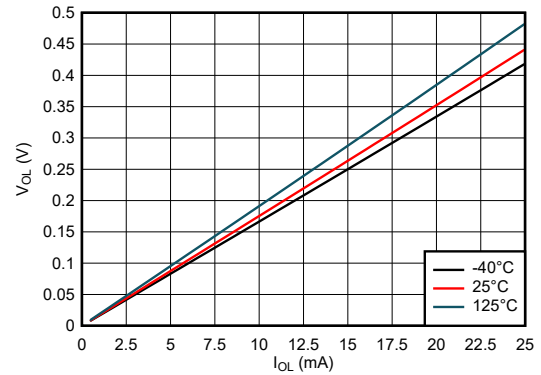


図 5-2. Low 状態における出力電圧と電流との関係、5V 電源

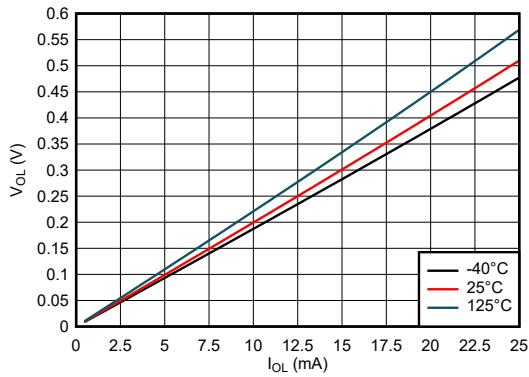


図 5-3. Low 状態における出力電圧と電流との関係、3.3V 電源

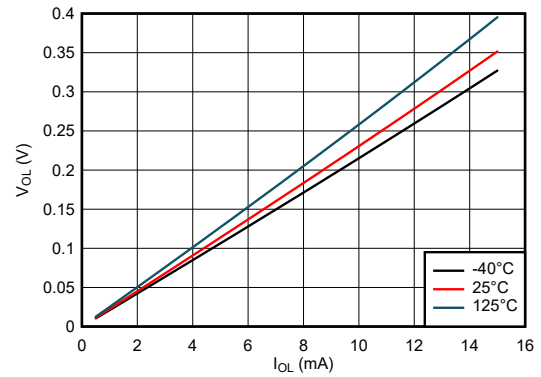
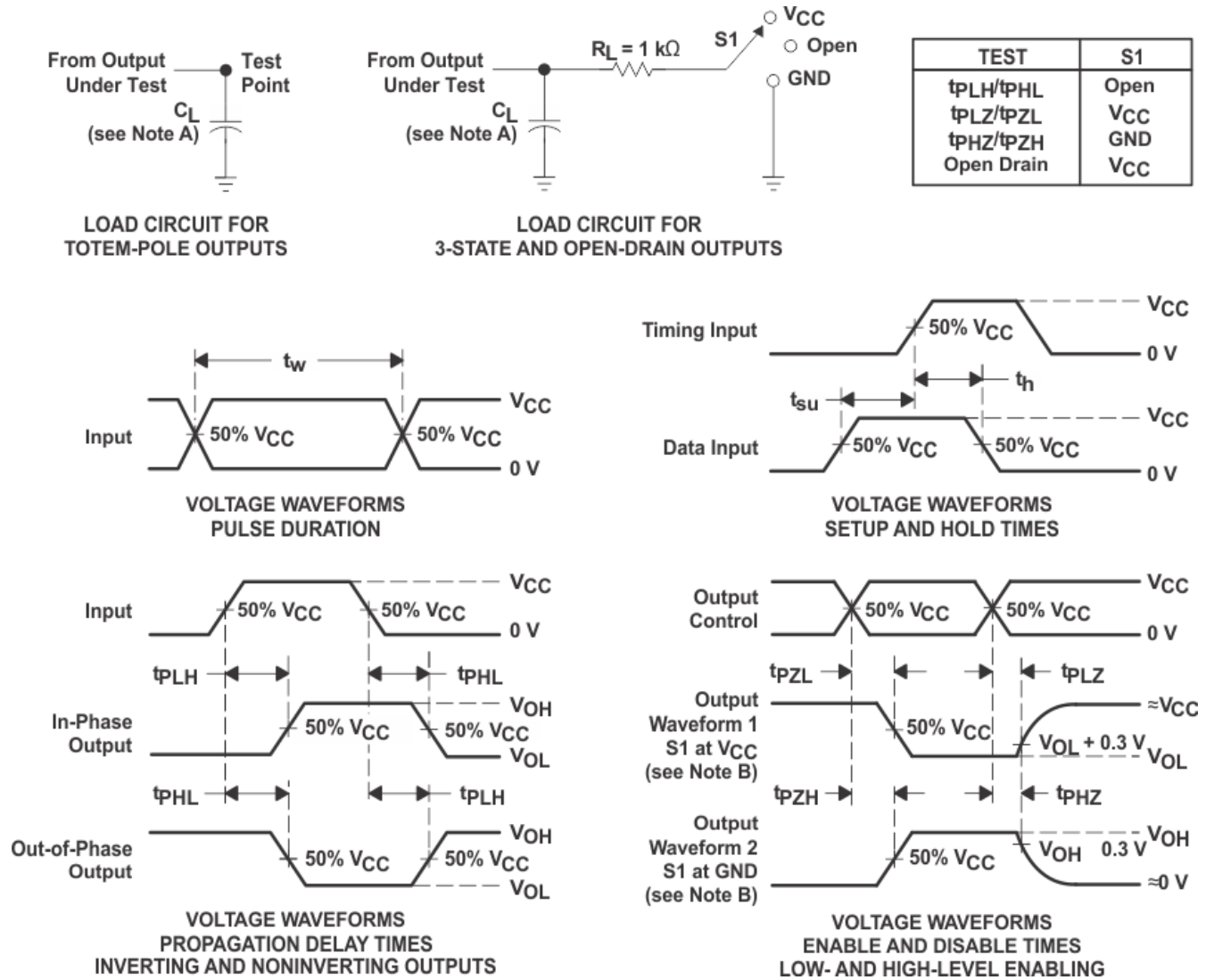


図 5-4. Low 状態における出力電圧と電流との関係、2.5V 電源

6 パラメータ測定情報



- C_L にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq 1\text{ MHz}$ 、 $Z_O = 50\Omega$ 、 $t_r \leq 3\text{ ns}$ 、 $t_f \leq 3\text{ ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定ごとに 1 つの入力が遷移します。E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

7 詳細説明

7.1 概要

SNx4AHC240 デバイスは、独立した出力イネーブル (\overline{OE}) 入力を備えた 2 つの 4 ビット バッファ / ライン ドライバで構成されています。 \overline{OE} が Low の場合、デバイスは A 入力からのデータを Y 出力に渡します。 \overline{OE} が High の場合、出力は高インピーダンス状態になります。

電源投入または電源オフの間にデバイスを高インピーダンス状態にするには、 \overline{OE} をプルアップ抵抗を介して V_{CC} に接続します。この抵抗の最小値は、ドライバの電流シンク能力によって決まります。

7.2 機能ブロック図

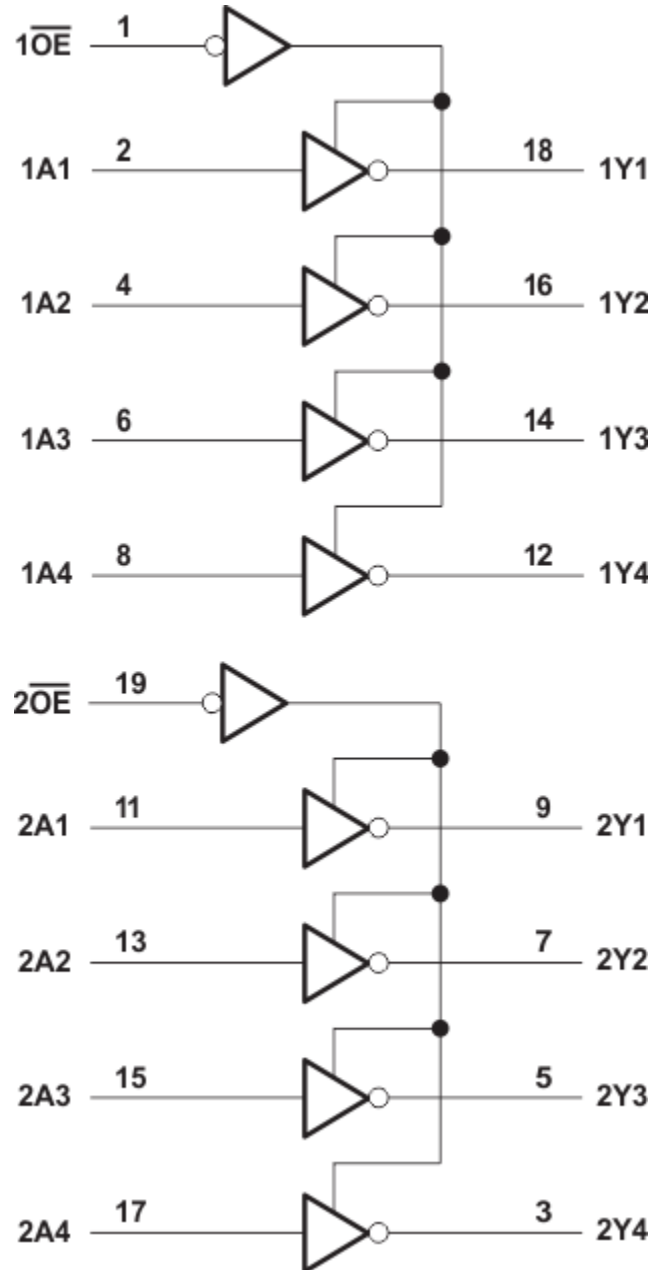


図 7-1. 論理図 (正論理)

7.3 機能説明

7.4 デバイスの機能モード

表 7-1. 機能表
(各バッファ)

入力 ⁽¹⁾		出力 ⁽²⁾ Y
OE	A	
L	H	L
L	L	H
H	X	Z

- (1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア
(2) H = High に駆動、L = Low に駆動、Z = 高インピーダンス状態

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SNx4AHC240 デバイスは、データを保持またはラッチする必要がある多くのバス インターフェイス タイプのアプリケーションに使用できる高駆動の CMOS デバイスです。3.3V で 24mA の駆動電流を生成できるため、複数の出力の駆動に理想的であり、最大 100MHz の高速アプリケーションにも適しています。入力は 5.5V 耐圧であり、V_{CC} に降圧変換できます。

8.2 代表的なアプリケーション

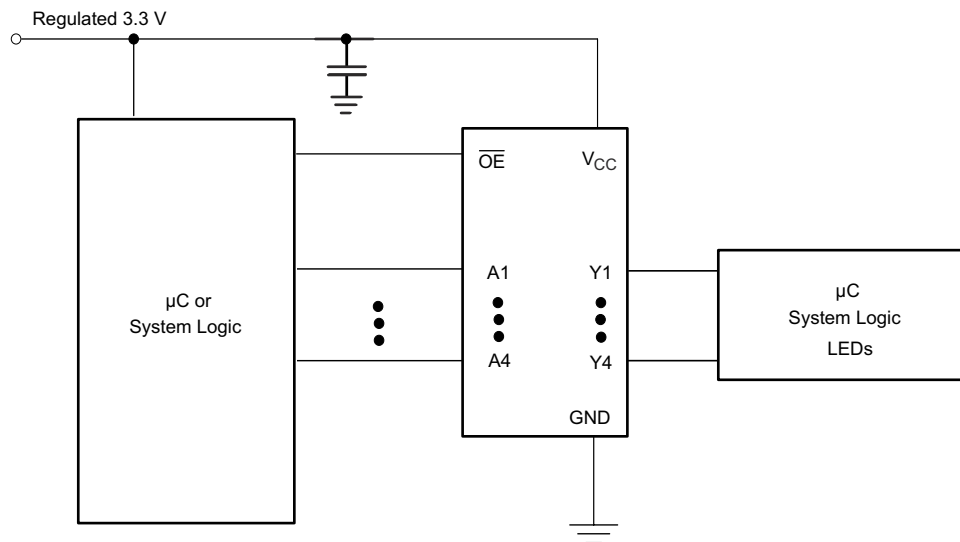


図 8-1. 代表的なアプリケーションの図

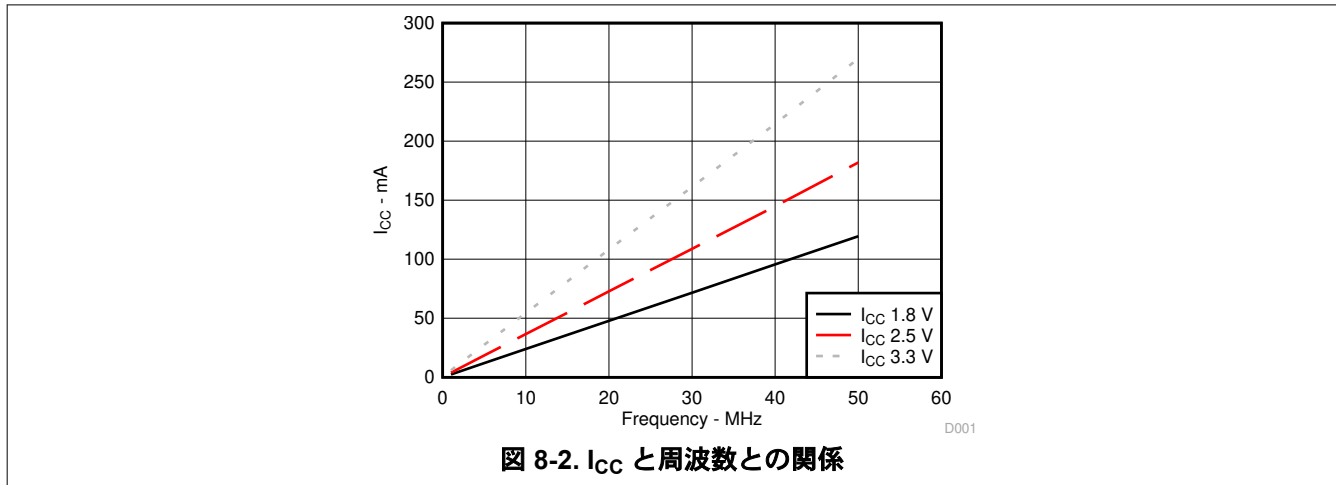
8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリングングを防止してください。

8.2.2 詳細な設計手順

- 推奨入力条件
 - 立ち上がり時間と立ち下がり時間の仕様:「推奨動作条件」表の ($\Delta t/\Delta V$) を参照してください。
 - High レベルと Low レベルを規定:「推奨動作条件」表の (V_{IH} および V_{IL}) を参照してください。
 - 入力は過電圧許容で、任意の有効な V_{CC} において最大 5.5V に対応できます。
- 推奨出力条件
 - 負荷電流は、出力あたりの 25mA および部品の合計 50mA を超えないようにする必要があります。
 - 出力は、V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線



8.3 電源に関する推奨事項

電源には、「[セクション 5.3](#)」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単電源のデバイスには 0.1μF を推奨します。V_{CC} 端子が複数ある場合は、各電源端子に 0.01μF または 0.022μF を推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することもできます。一般的に、0.1μF と 1μF は並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。次のルールは、あらゆる状況で遵守する必要があります。

デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック レベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、一般的に、出力をフローティングにすることが許容されます。トランシーバに出カイネーブル ピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。この場合、I/O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

8.4.2 レイアウト例

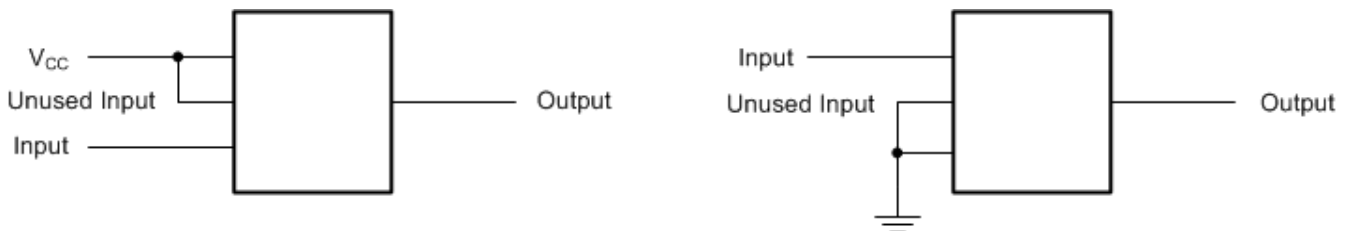


図 8-3. レイアウトに関する推奨事項

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[低速またはフローティング CMOS 入力の影響](#)』
- テキサス・インスツルメンツ、『[シュミットトリガについて](#)』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision I (April 2023) to Revision J (August 2024)	Page
• 「製品情報」の表にパッケージ サイズと軍用パッケージを追加.....	1
• R0JA の値を更新: PW = 83~116.8、DW = 58~81.1、値はすべて°C/W 単位.....	5

Changes from Revision H (July 2003) to Revision I (April 2023)	Page
• パッケージ情報の表、ピンの機能の表、ESD 定格の表、熱に関する情報の表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-9680701Q2A	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9680701Q2A SNJ54AHC240FK	Samples
5962-9680701QRA	ACTIVE	CDIP	J	20	20	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9680701QR A SNJ54AHC240J	Samples
5962-9680701QSA	ACTIVE	CFP	W	20	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9680701QS A SNJ54AHC240W	Samples
SN74AHC240DW	OBSOLETE	SOIC	DW	20		TBD	Call TI	Call TI	-40 to 85	AHC240	
SN74AHC240DWR	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHC240	Samples
SN74AHC240N	ACTIVE	PDIP	N	20	20	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	SN74AHC240N	Samples
SN74AHC240NSR	ACTIVE	SOP	NS	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHC240	Samples
SN74AHC240PW	OBSOLETE	TSSOP	PW	20		TBD	Call TI	Call TI	-40 to 85	HA240	
SN74AHC240PWR	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA240	Samples
SNJ54AHC240FK	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9680701Q2A SNJ54AHC240FK	Samples
SNJ54AHC240J	ACTIVE	CDIP	J	20	20	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9680701QR A SNJ54AHC240J	Samples
SNJ54AHC240W	ACTIVE	CFP	W	20	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9680701QS A SNJ54AHC240W	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of ≤ 1000 ppm threshold. Antimony trioxide based flame retardants must also meet the ≤ 1000 ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHC240, SN74AHC240 :

- Catalog : [SN74AHC240](#)

- Automotive : [SN74AHC240-Q1](#), [SN74AHC240-Q1](#)

- Military : [SN54AHC240](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC240DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74AHC240DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74AHC240NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74AHC240PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHC240PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC240DWR	SOIC	DW	20	2000	367.0	367.0	45.0
SN74AHC240DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74AHC240NSR	SOP	NS	20	2000	367.0	367.0	45.0
SN74AHC240PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHC240PWR	TSSOP	PW	20	2000	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
5962-9680701Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9680701QSA	W	CFP	20	25	506.98	26.16	6220	NA
SN74AHC240N	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54AHC240FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHC240W	W	CFP	20	25	506.98	26.16	6220	NA

W (R-GDFP-F20)

CERAMIC DUAL FLATPACK



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package can be hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only.
 - E. Falls within Mil-Std 1835 GDFP2-F20

PW0020A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220206/A 02/2017

NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package is hermetically sealed with a ceramic lid using glass frit.
 - Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

GENERIC PACKAGE VIEW

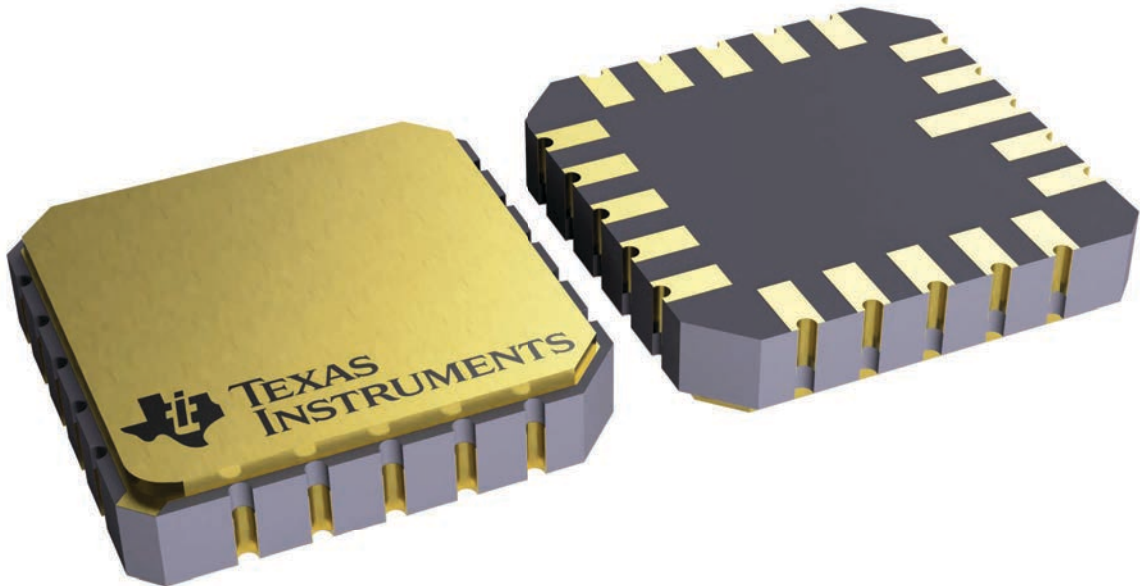
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

DW0020A



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220724/A 05/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated