SN55LVRA4-SEP 耐放射線特性クワッド チャネル高速差動レシーバ

1 特長

- VID V62/25606-01XE
- 総吸収線量(TID)特性:30krad(Si)
  - ウェハー ロットごとに 30krad (Si) までの累積線量耐性放射線ロット受け入れ試験 (TID RLAT)
- シングル イベント効果 (SEE) 特性:
  - シングル イベント ラッチアップ (SEL) 耐性:線エネルギー付与 (LET) = 50MeV-cm2/mg
  - シングル イベント過渡 (SET) 特性レポートを利用可能
- 400Mbps の信号速度
- 3.3V 単一電源電圧で動作
- -4V~5V 拡張同相入力電圧範囲
- 同相入力電圧範囲全体にわたり、差動入力のスレッショルドは±50mV 未満で、ヒステリシスは 50mV です
- TIA/EIA-644(LVDS)に準拠
- アクティブなフェイルセーフにより、入力がなくても高レベル出力が保証され、パワーダウン時には入力がハイインピーダンスに維持されます。
- 15kV HBM を超えるバス ピンの ESD 保護
- TTL 制御入力は 5V 耐圧
- 宇宙向け強化プラスチック (SEP)
  - 管理されたベースライン
  - 金 ワイヤ、NiPdAu リード仕上げ
  - 1 つのアセンブリ / テスト拠点と 1 つの製造拠点
  - 長期にわたる製品ライフ サイクル
  - 軍用温度範囲:-55℃～125℃
  - 製品のトレーサビリティ
  - NASA ASTM E595 アウトガス仕様に適合

2 アプリケーション

- 低軌道 (LEO) 衛星システム
- コマンドとデータの処理 (C&DH)
- 通信ペイロード
- 光学画像処理ペイロード
- レーダー画像処理ペイロード

3 説明

SN55LVRA4-SEP は、業界で最も広い同相入力電圧範囲を提供します。これらのレシーバは、5V の PECL 信号と互換性のある入力電圧範囲仕様と全体的に向上したグランドノイズ耐性を提供します。

SN55LVRA4-SEP にはフェイルセーフ回路が内蔵されており、入力信号が損した後 60ns 以内に高レベル出力を供給します。信号ロスの主な原因は、ケーブルの断線、回線のショート、トランスミッタのパワーダウンです。フェイルセーフ回路により、これらのフォルト状態でノイズが有効なデータとして受信されることを防止します。

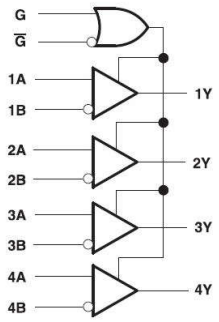
これらのデバイスの意図された用途と信号伝達手法は、約 100Ω の制御されたインピーダンス媒体にわたるポイントツーポイントのベースバンドデータ伝送です。伝送媒体にはプリント基板のトレース、バックプレーン、ケーブルを使用できます。データ転送の最高速度および最大距離は、メディアの減衰特性と周囲からのノイズに依存します。

SN55LVRA4-SEP は、-55℃～125℃の温度範囲の動作で特徴づけられています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
SN55LVRA4-SEP	D (SOIC、16)	9.9mm × 6mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 スイッチング特性.....7
5.7 代表的特性.....8
6 パラメータ測定情報.....9
7 詳細説明.....13
7.1 概要.....13
7.2 機能ブロック図.....14
7.3 機能説明.....14
7.4 等価な入力および出力回路図.....15
7.5 デバイスの機能モード.....15
8 アプリケーションと実装.....16
8.1 アプリケーション情報.....16
8.2 代表的なアプリケーション.....16
8.3 アクティブ フェイルセーフ機能.....18
8.4 TI の LVDS レシーバによる ECL/PECL から LVTTL への変換.....19
8.5 テスト条件.....20
8.6 機器.....20
9 電源に関する推奨事項.....21
9.1 電源バイパス容量.....21
10 レイアウト.....22
10.1 レイアウトのガイドライン.....22
10.2 レイアウト例.....24
11 デバイスおよびドキュメントのサポート.....26
11.1 ドキュメントのサポート.....26
11.2 ドキュメントの更新通知を受け取る方法.....26
11.3 サポート・リソース.....26
11.4 商標.....26
11.5 静電気放電に関する注意事項.....26
11.6 用語集.....26
12 改訂履歴.....27
13 メカニカル、パッケージ、および注文情報.....27

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

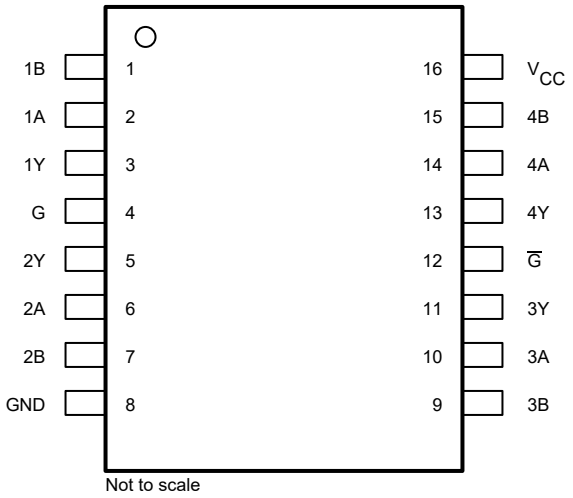


図 4-1. D パッケージ 16 ピン、SOIC (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
V_{CC}	16	P	電源電圧
GND	8	G	グランド
1A	2	I	差動 (LVDS) 非反転入力
1B	1	I	差動 (LVDS) 反転入力
1Y	3	O	LVTTL 出力信号
2A	6	I	差動 (LVDS) 非反転入力
2B	7	I	差動 (LVDS) 反転入力
2Y	5	O	LVTTL 出力信号
3A	10	I	差動 (LVDS) 非反転入力
3B	9	I	差動 (LVDS) 反転入力
3Y	11	O	LVTTL 出力信号
4A	14	I	差動 (LVDS) 非反転入力
4B	15	I	差動 (LVDS) 反転入力
4Y	13	O	LVTTL 出力信号
G	4	I	イネーブル (HI = ENABLE)
$\overline{G}$	12	I	イネーブル (LO = ENABLE)

(1) 信号タイプ：I：入力、O：出力、I/O：入力または出力、P：電源、G = グランド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[1]

		最小値	最大値	単位
電源電圧 (V_{CC})		-0.5	4	V
入力電圧 (A または B)		-5	6	V
入力電圧 (G、$\overline{G}$)		-0.5	VCC + 0.4	V
LVDS での差動電圧 | A - B |		0	3	V
出力電圧 (R_{OUT})		-0.5	4	V
半田付けのリード温度範囲	(4 秒)		260	°C
接合部温度		-55	140	°C
保管温度、T_{stg}		-65	150	°C

(1) 絶対最大定格の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「*推奨動作条件*」に示された値を超える他のいかなる条件でも、本デバイスが正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、および性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(BUS_ESD)}$	静電放電	バス ピン、A & B、人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±15000	V
$V_{(HBM_ESD)}$	静電放電	その他のすべてのピン: 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±4000	V
$V_{(CDM_ESD)}$	静電放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JS-002 に準拠[2]	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。.
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CC}	電源電圧 (3.3V モード)	3.0	3.3	3.6	V
V_{IH}	High レベル入力電圧 (G、$\overline{G}$)	2		V_{CC}	V
V_{IL}	Low レベル入力電圧 (G、$\overline{G}$)	0		0.8	V
$\|V_{ID}\|$	レシーバ入力電圧の大きさ (LVDS)	0.1		3.0	V
V_I または V_{CM}	任意の LVDS 端子での電圧 (個別または同相モード)	-4		+5	V
T_A	外気温度での動作時	-55		125	°C
T_{PCB}	PCB 温度 (標準)	-55		128	°C
T_J	接合部温度 (標準)	-55		135	°C

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準[1]		D (SOIC) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	84.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	46.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	41.8	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	11.1	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	41.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。

5.5 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IT1}	正方向の差動入力電圧スレッショルド	V_{IB} = -4V または 5V、V_{CC} = 3.0V ～ 3.6V、図 6-2 を参照			90	mV
V_{IT2}	負方向の差動入力電圧スレッショルド		-90			
V_{IT3}	差動入力フェイルセーフ電圧スレッショルド	V_{CC} = 3.0V ～ 3.6V、図 6-2 および図 6-5 を参照	-32		-100	mV
$V_{ID\ (HYS)}$	差動入力電圧ヒステリシス、$V_{IT1} – V_{IT2}$	V_{CC} = 3.0V ～ 3.6V		50		mV
V_{CM_RANGE}	同相入力電圧範囲	VCC = 3.0V ～ 3.6V	-4	1.2	5	V
V_{OH}	High レベル出力電圧	I_{OH} = –4mA、V_{CC} = 3.0V ～ 3.6V	2.4			V
V_{OL}	Low レベル出力電圧	I_{OL} = 4mA、V_{CC} = 3.0V ～ 3.6V			0.4	V
I_{CC}	電源電流	G (V_{CC}、無負荷、定常状態) VID = 200mV/–200mV、V_{CC} = 3.0V ～ 3.6V	2	16	25	mA
		ディスエーブル、ディープ スリープ (100us 以上の場合ディスエーブル)、GND で G、V_{CC} = 3.0V ～ 3.6V		1.1	6	
I_I	入力電流 (A または B 入力)	V_I = 0V、その他の入力はオープン	-25		25	µA
I_I	入力電流 (A または B 入力)	V_I = 2.4V、その他の入力はオープン	-25		25	µA
I_I	入力電流 (A または B 入力)	V_I = -4V、その他の入力はオープン	-80		80	µA
I_I	入力電流 (A または B 入力)	V_I = 5V、その他の入力はオープン	-45		45	µA
I_{ID}	差動入力電流 ($I_{IA} – I_{IB}$)	V_{ID} = 100mV、V_{IC} = –4V または 5V	-5		5	µA
$I_{I(OFF)}$	電源オフ入力電流 (A または B 入力)	V_A または V_B = -4V または 5V、V_{CC} = 0V	-70		70	µA
$I_{I(OFF)}$	電源オフ入力電流 (A または B 入力)	V_A または V_B = 0V または 2.4V、V_{CC} = 0V	-25		25	µA
V_{IH}	High レベル入力電圧 (イネーブル)	V_{CC} = 3.0V～3.6V			2	V
I_{IH}	High レベル入力電流 (イネーブル)	V_{IH} = 2V、V_{CC} = 3.0V ～ 3.6V			15	µA
V_{IL}	Low レベル入力電圧 (イネーブル)	V_{CC} = 3.0V ～ 3.6V	0.8			V
I_{IL}	Low レベル入力電流 (イネーブル)	V_{IL} = 0.8V、V_{CC} = 3.0V ～ 3.6V			15	µA
I_{OZ}	ハイインピーダンス出力電流		-12		12	µA

Copyright © 2025 Texas Instruments Incorporated

5.6 スイッチング特性

特に記述のない限り、電源電圧および動作温度範囲内。(1) (2) (3)

記号	パラメータ	条件	最小値	標準値	最大値	単位
t_{PHL}	差動伝搬遅延 (High から Low)	–55°C ≤ T_A ≤ 125°C、V_{ID} = 400mV、C_L = 10pF、trf ≤ 1ns、VCC = 3.3V ± 10%。図 6-3 を参照してください	1.8	3.6	8.5	ns
t_{PLH}	差動伝搬遅延 (Low から High)	–55°C ≤ T_A ≤ 125°C、V_{ID} = 400mV、C_L = 10pF、trf ≤ 1ns、VCC = 3.3V ± 10%。図 6-3 を参照してください	1.3	3	7.5	ns
t_{d1}	遅延時間、フェイルセーフ非アクティブ時間	V_{ID} = 400mV、C_L = 10pF、trf ≤ 1ns、VCC = 3.3V ± 10%。図 6-3 および図 6-6 を参照			16	ns
t_{d2}	遅延時間、フェイルセーフ アクティブ時間				2.5	µs
$tSK_{(p)}$	差動パルス スキュー(t_{PHLD} – t_{PLHD}) (4)	V_{ID} = 400mV、C_L = 10pF、trf ≤ 1ns、VCC = 3.3V ± 10%。図 6-3 を参照してください		500		ps
$t_{SK(o)}$	差動同一デバイスのチャネル間スキュー(5)			130		ps
$t_{SK(pp)}$	差動部品間スキュー (6)				1.2	ns
t_{TPHZ}	伝搬遅延時間、high レベルから high インピーダンス出力まで	V_{ID} = 400mV、C_L = 10pF、trf ≤ 1ns、VCC = 3.3V ± 10% 図 6-4		6.5	15	ns
t_{TPLZ}	伝搬遅延時間、low レベルから high インピーダンス出力まで			4.4	12	ns
t_{TPZH}	伝搬遅延時間、ハイ インピーダンスから High レベル出力まで			3.8	12	ns
t_{TPZL}	伝搬遅延時間、ハイ インピーダンスから Low レベル出力まで			7	12	ns
t_{TLH}	出力立ち上がり時間	V_{ID} = 400mV、C_L = 10pF、trf ≤ 1ns、VCC = 3.3V ± 10%。図 6-3 を参照してください		800		ps
t_{THL}	出力立ち下がり時間			800		ps

(1) すべての標準値は、V_{CC} = 3.3V および T_A = +25°C。
(2) C_L にはプローブと治具の容量が含まれます。
(3) 特に記述のない限り、すべてのテスト用のジェネレータ波形は f = 1MHz、Z_O = 50Ω、t_r および t_f (0% ～ 100%) ≤ 3ns (R_{IN}) です。
(4) $t_{SK(p)}$ は、同じチャネルの正方向エッジと負方向エッジの差動伝搬遅延時間の大きさの差です。
(5) $t_{SK(o)}$ は、同じデバイス上の任意のイベントの差動チャネル間スキューです。この仕様は、IC 内に複数のレシーバを搭載したデバイスに適用されます。
(6) $t_{SK(pp)}$ は部品間スキューで、デバイス間のあらゆるイベントの差動チャネル間スキューです。この仕様は、V_{CC} が同じで動作温度範囲の差が 5°C 以内のデバイスに適用されます。

5.7 代表的特性

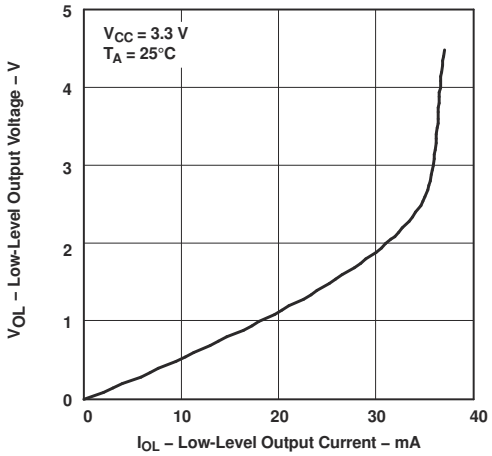


図 5-1. Low レベル出力電圧と Low レベル出力電流との関係

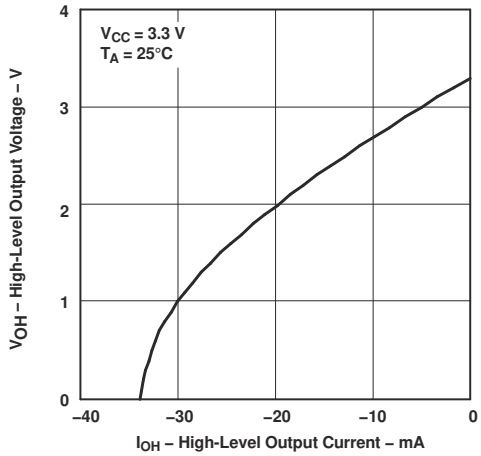


図 5-2. HIGH レベル出力電圧と HIGH レベル出力電流との関係

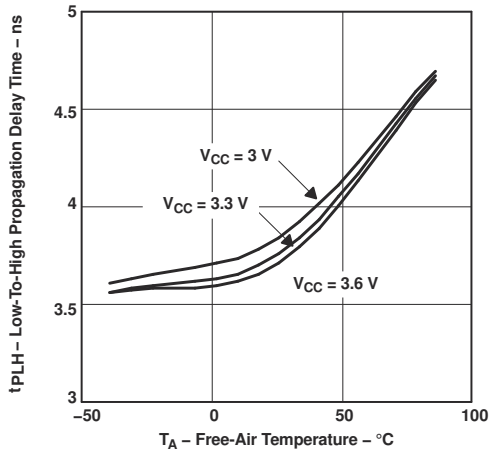


図 5-3. Low から High への伝搬遅延時間と周囲温度との関係

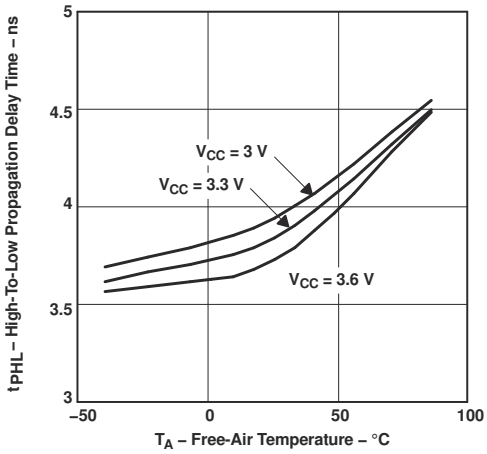


図 5-4. High から Low への伝搬遅延時間と周囲温度との関係

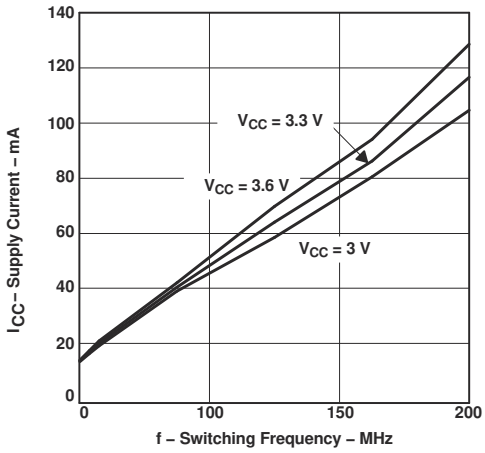


図 5-5. 電源電流と周波数との関係 (すべてのチャネルがアクティブ)

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

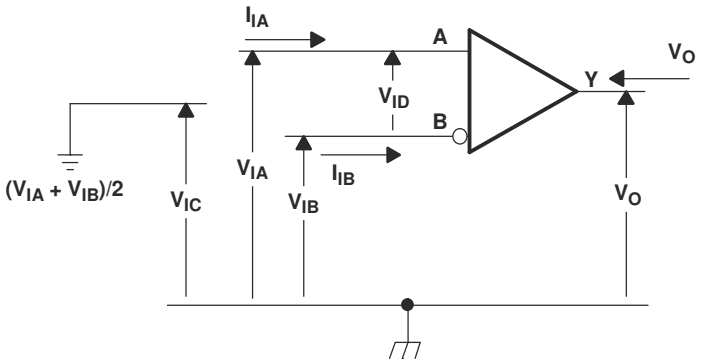
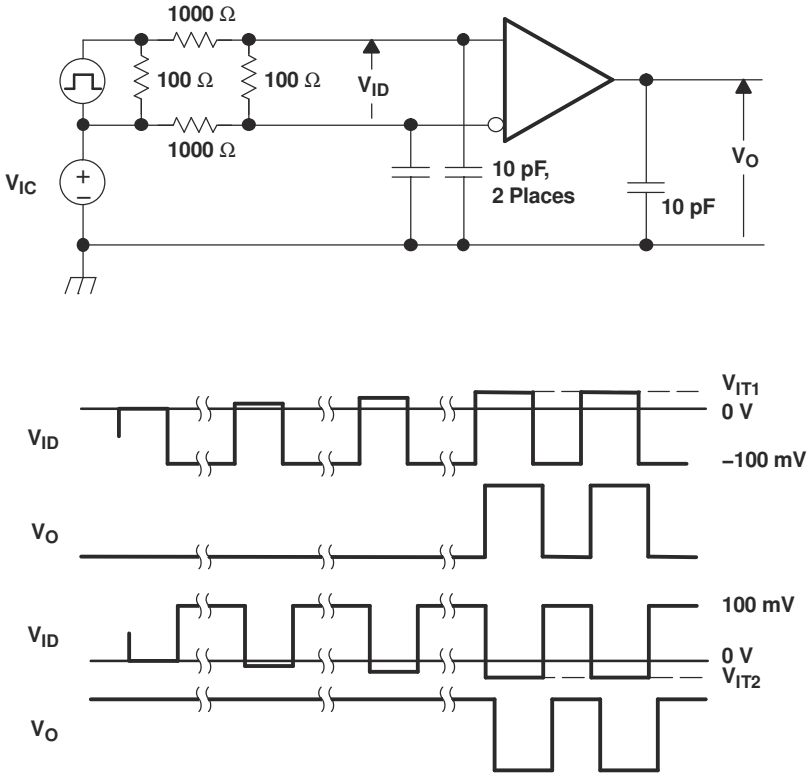
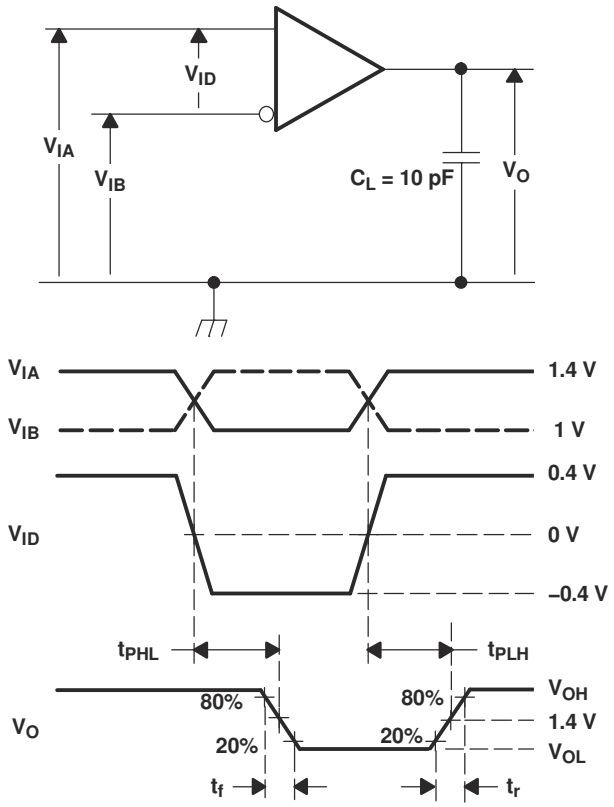


図 6-1. 電圧および電流の定義



NOTE: Input signal of 3 Mpps, duration of 167 ns, and transition time of <1 ns.

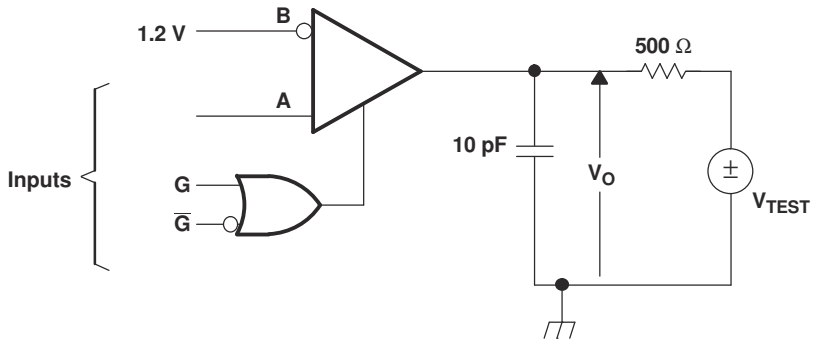
図 6-2. V_{IT1} および V_{IT2} 入力電圧スレッショルドのテスト回路と定義



すべての入力パルスは、t_r または t_f ≤ 1ns、パルス反復レート (PRR) = 50Mpps [pps：1 秒あたりのパルス数]、パルス幅 = 10 ± 0.2ns の特性を持つジェネレータから供給されます。C_L には、D.U.T から 0.06mm 以内の計測機器および治具の容量が含まれます。

図 6-3. タイミング テスト回路と波形

Copyright © 2025 Texas Instruments Incorporated



NOTE: All input pulses are supplied by a generator having the following characteristics: t_r or t_f ≤ 1 ns, pulse repetition rate (PRR) = 0.5 Mpps, pulsewidth = 500 ±10 ns . C_L includes instrumentation and fixture capacitance within 0,06 mm of the D.U.T.

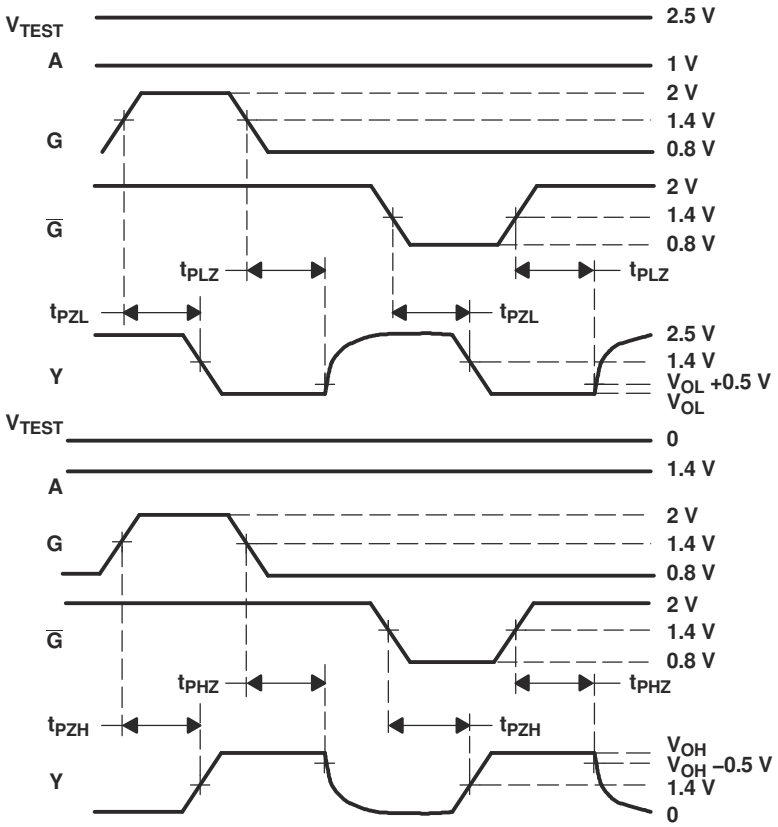


図 6-4. イネーブル / ディスエーブル時間テスト回路と波形

表 6-1. レシーバの最小および最大 V_{IT3} 入力スレッショルド テスト電圧

印加電圧[(1)]		結果として得られる入力		
V_{IA} (mV)	V_{IB} (mV)	V_{ID} (mV)	V_{IC} (mV)	出力
-4000	-3900	-100	-3950	L
-4000	-3968	-32	-3984	H
4900	5000	-100	4950	L
4968	5000	-32	4984	H

(1) これらの電圧は、最低 1.5µs に対して印加されます。

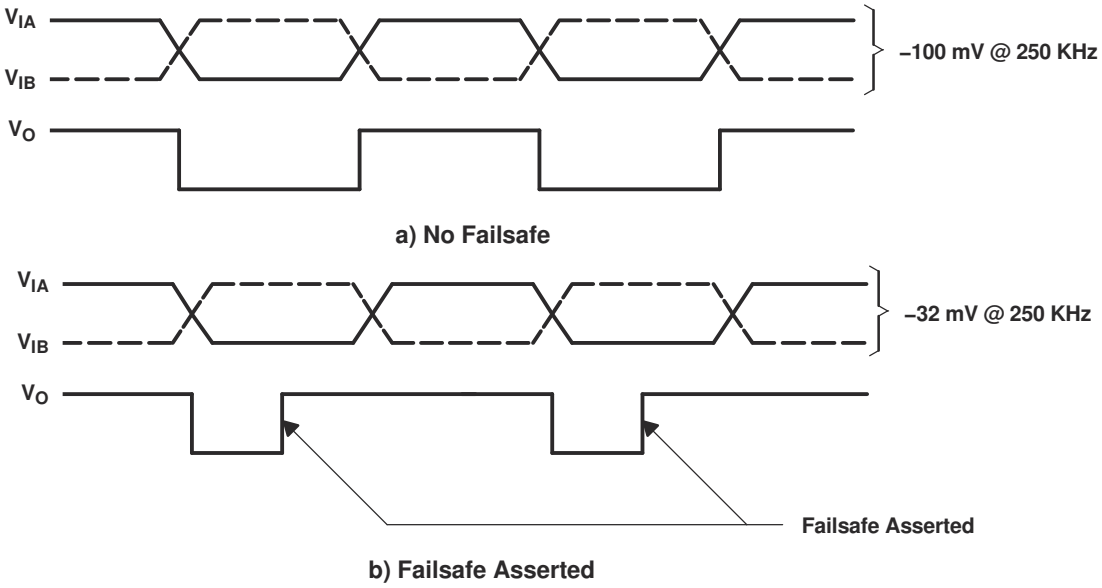


図 6-5. V_{IT3} フェイルセーフ スレッショルド テスト

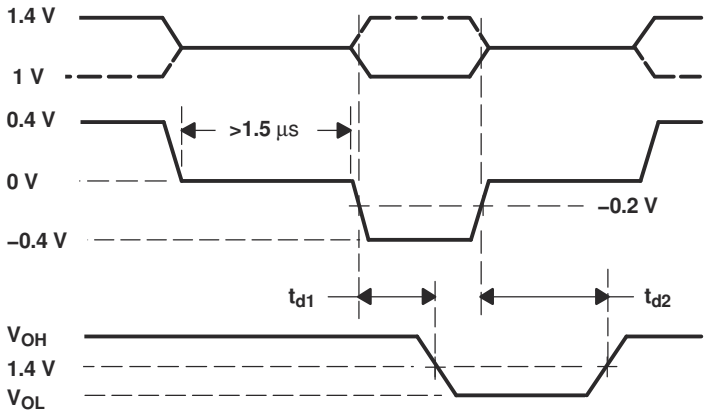


図 6-6. フェイルセーフ起動および非アクティブ化の波形

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

図 7-1 に、LVDS ドライバおよびレシーバを主にシンプルなポイント ツー ポイント構成で使用する方法を示します。この構成により、ドライバの高速エッジ レートでクリーンな信号伝達環境が実現します。レシーバは、インピーダンス制御された 100Ω 差動 PCB パターンを介してソースに接続されます。100Ω の終端抵抗を使用し、その抵抗をレシーバの入力ピンのできるだけ近くに配置します。終端抵抗はドライバ出力 (電流モード) を電圧に変換し、それをレシーバが検出します。

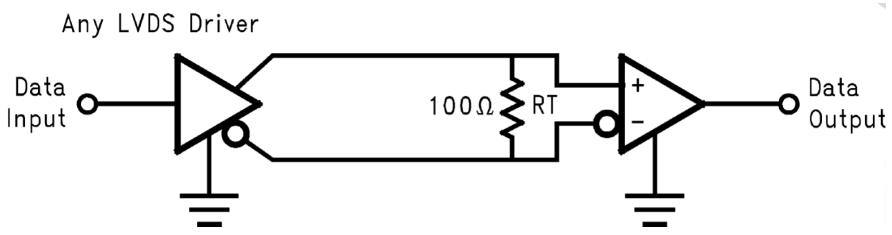
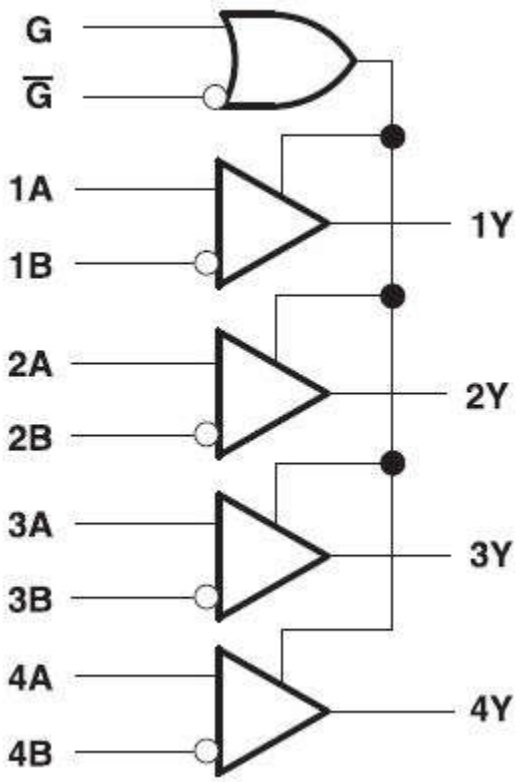


図 7-1. アプリケーション図

7.2 機能ブロック図



7.3 機能説明

7.3.1 レシーバ出力状態

レシーバの差動入力信号が 100mV を超えるとレシーバの出力は High になり、差動入力電圧が -100mV を下回るとレシーバの出力は Low になります。入力電圧がこれらのスレッショルドの間 (-100mV ～ 100mV など) の場合、レシーバの出力は不定になります。出力状態は、High または Low のいずれかになります。レシーバの入力が開路になると、特殊なケースが発生します。これは *セクション 8.3* を参照してください。レシーバがディスエーブルのとき、レシーバ出力はハイ インピーダンスになります。

7.3.2 汎用コンパレータ

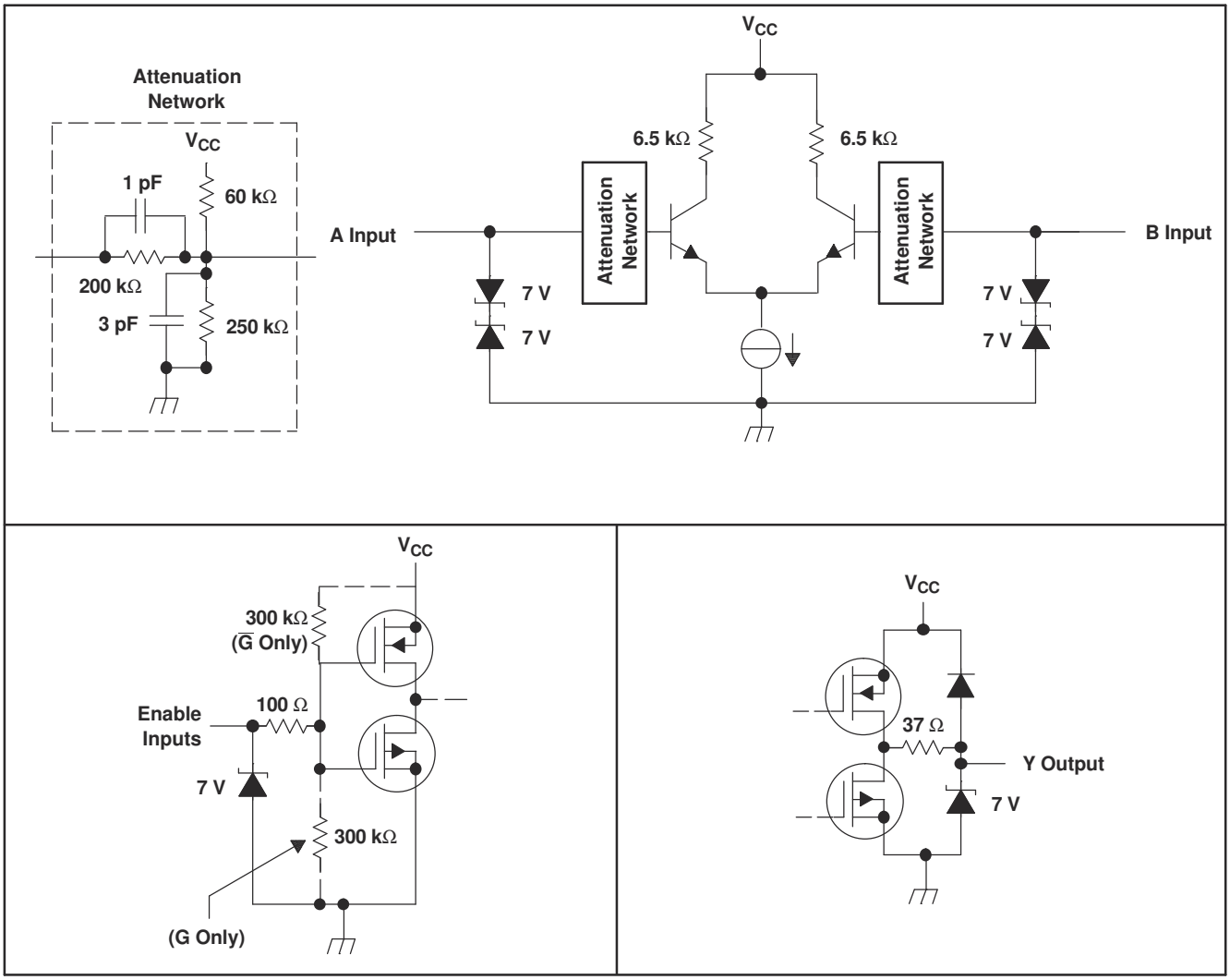
SN55LVRA4-SEP レシーバは LVDS 規格に準拠したレシーバですが、より広い信号範囲で実用的に利用可能です。入力信号が上述の必要な差動および同相電圧範囲内である限り、レシーバの出力は入力信号を忠実に再現します。

7.3.3 同相範囲と供給電圧との関係

SN55LVRA4-SEP レシーバは、–4V ～ 5V の入力拡張同相範囲で動作するため、トランスミッタとレシーバの間で大きなグランド シフトを可能にします。入力同相モードがこの範囲内のいずれかで、差動の大きさが 100mV 以上の場合、レシーバは LVDS バス状態を正しく出力します。

Copyright © 2025 Texas Instruments Incorporated

7.4 等価な入力および出力回路図



7.5 デバイスの機能モード

表 7-1. 機能表

SN55LVRA4-SEP (1)			
差動入力	有効		出力
$V_{ID} = V_A – V_B$	G	$\overline{G}$	Y
V_{ID} ≥ -32 mV	H	X	H
	X	L	H
–100mV < V_{ID} ≤ –32mV	H	X	?
	X	L	?
V_{ID} ≤ -100mV	H	X	L
	X	L	L
X	L	H	Z
オープン	H	X	H
	X	L	H

(1) H = High レベル、L = Low レベル、X = 無関係、Z = ハイ インピーダンス (オフ)、? = 不定

8 アプリケーションと実装

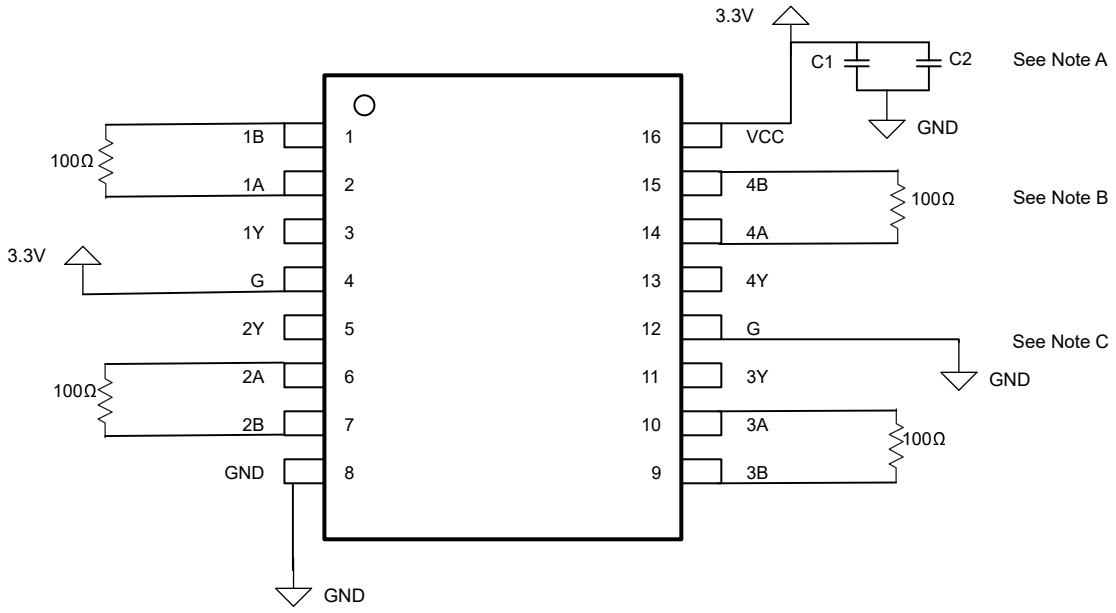
注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

一般的なアプリケーションのガイドラインと LVDS ドライバおよびレシーバに関するヒントについては、「*LVDS アプリケーション ノートと設計ガイド*」を参照してください。

8.2 代表的なアプリケーション



A. このコンデンサは、できる限りデバイス端子に近づけて配置する必要があります。コンデンサ値については、電源バイパス容量を参照してください。
B. 終端抵抗値は、伝送媒体の公称特性インピーダンスと ±10% 範囲内で一致している必要があります。
C. 使用しないイネーブル入力は、必要に応じて V_{CC} または GND に接続する必要があります。

図 8-1. 3.3V の電源で動作

8.2.1 詳細な設計手順

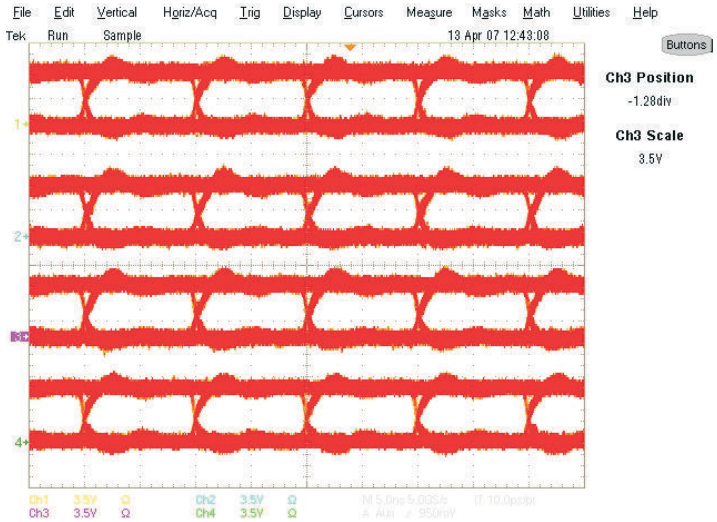
ドライバとレシーバの間の物理的な通信チャネルには、LVDS 規格の要件を満たす、任意の平衡状態の金属導体ペアを使用できます。このメディアには、ツイスト ペア、Twinax、フラットリボン ケーブル、または PCB パターンを使用できます。相互接続の公称特性インピーダンスは標準で 100Ω で、変動が 10% を超えないようにする必要があります (90Ω ～ 110Ω)。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 設計要件

設計パラメータ	数値の例
ドライバ電源電圧 (V_{CCD})	3.0～3.6V
ドライバの入力電圧	0.8～3.3V
ドライバの信号速度	DC から 100Mbps へ
相互接続特性インピーダンス	100 Ω
終端抵抗	100 Ω
レシーバ ノード数	1
レシーバ電源電圧 (V_{CCR})	3.0～3.6V
レシーバの入力電圧	0～24V
レシーバ信号速度	DC から 100Mbps へ
ドライバとレシーバの間のグランド シフト	±1V

8.2.3 アプリケーション特性の波形



すべての Rx が 100Mbps で動作、チャネル 1:1Y チャネル 2:2Y チャネル 3:3Y チャネル 4:4Y　T = 25°C V_{CC} = 3.6V PRBS = 2^{23} — 1

図 8-2. 代表的なアイ パターン

8.2.4 コールド スペア

コールド スペアリングを使用するシステムには、電源を供給せずに電気的に接続された冗長装置があります。この構成をサポートするには、スペアがシステムに高入力インピーダンスを提供して、十分な電力を消費しないようにする必要があります。コールド スペアリングでは、デバイスの電源投入前とその際に、I/O に電圧を印加することがあります。デバイスの電源がオフのとき、V_{CC} はグランドにクランプされ、印加される I/O 電圧は指定された推奨動作条件の範囲内である必要があります。

8.3 アクティブ フェイルセーフ機能

一般的に、差動ライン レシーバにはフェイルセーフ回路があり、入力ノイズによって出力が切り換わるのを防ぎます。現在の LVDS フェイルセーフを実装するには、以後の信号品質を低減する外部部品、または限られた用途における統合ソリューションのいずれかが必要です。このレシーバ ファミリには、現在のソリューションで見られる制限を解決する新しい統合フェイルセーフが搭載されています。動作の詳細な理論については、『TI の LVDS レシーバのアクティブ フェイルセーフ』アプリケーション ノートを参照してください。

図 8-3 に、アクティブ フェイルセーフを持つレシーバ チャネルを 1 つ示します。このチャネルは、高速入力差動信号に応答できるメイン レシーバで構成されています。また、入力ペアに接続されているのは、ウィンドウ コンパレータを形成する 2 つのフェイルセーフ レシーバです。ウィンドウ コンパレータの応答はメイン レシーバよりもはるかに遅く、このコンパレータは入力差動が 80mV を下回ったことを検出します。600ns のフェイルセーフ タイマにより、ウィンドウ コンパレータの出力はフィルタ処理されます。フェイルセーフがアサートされると、フェイルセーフ ロジックはメイン レシーバ出力をロジック High に駆動します。

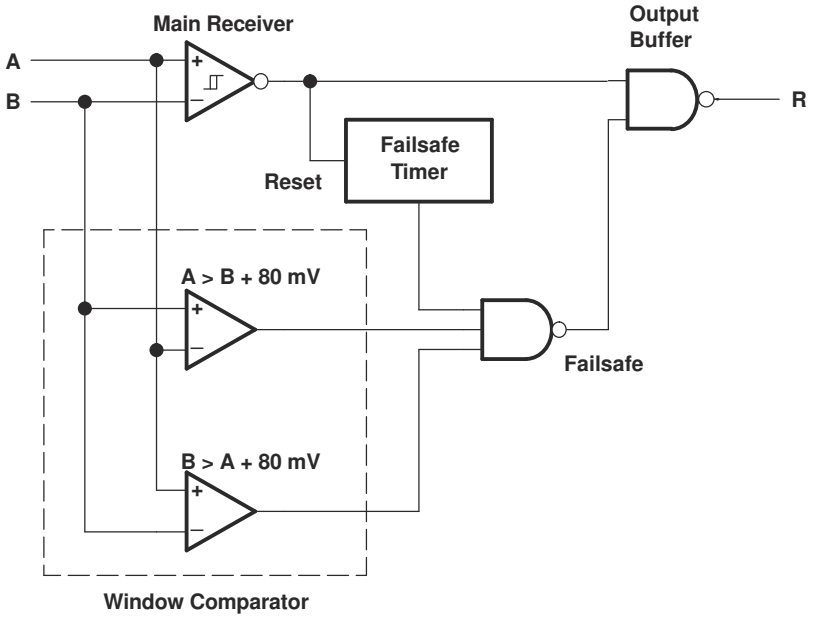


図 8-3. アクティブ フェイルセーフ付きレシーバ

Copyright © 2025 Texas Instruments Incorporated

8.4 TI の LVDS レシーバによる ECL/PECL から LVTTL への変換

エミッタ結合ロジックの様々なバージョン (ECL、PECL、LVPECL など) は、しばしばシステム設計者にとって物理層の選択肢となります。以前は、システム要件によって ECL の選択がほぼ強制されていました。現在は LVDS のようなテクノロジーによって、設計者は別の代替手段をとれます。LVDS 用 ECL の総合的な交換は設計オプションではありませんが、設計者は LVDS レシーバの入力に小さな分圧抵抗回路を実装することで LVDS を利用できます。テキサス インスツルメンツは次の段階を実現するため、ECL ドライバに直接接続可能な、広範囲の同相モード LVDS レシーバ (分周回路不要) を導入しました。これは、ECL の終端に必要な終端バイアス電圧のみ (V_{CC} – 2V) で実現可能です。

図 8-4 および図 8-5 に、5m の CAT-5 ケーブルを駆動し、テキサス インスツルメンツの広範囲同相モード レシーバによって受信され、結果として生じるアイパターンを示す LV/PECL ドライバの使用方法を示します。R3 の値は、LV/PECL ドライバのグランドへの抵抗パスを提供するために必要です。分圧抵抗を使用しない場合、R1 は単純に 50Ω の特性負荷インピーダンスを一致させる必要があります。R2 抵抗は値が小さく、同相電流の反射を最小限に抑えることを目的としています。

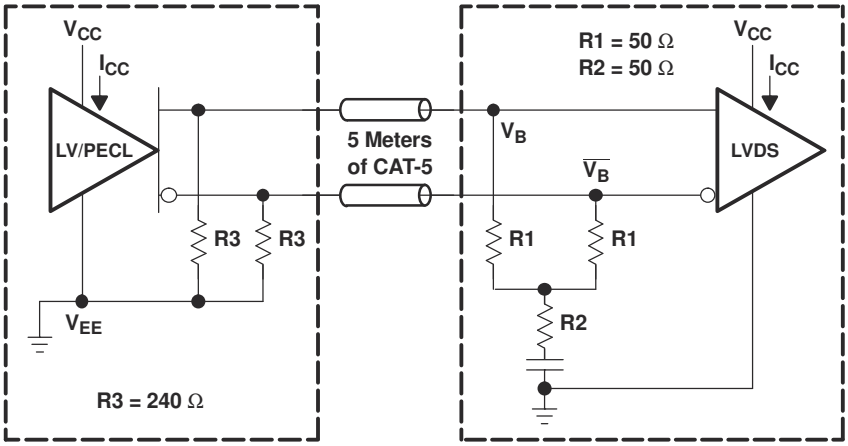


図 8-4. LVPECL または PECL からリモート ワイド同相モード LVDS レシーバへの変換

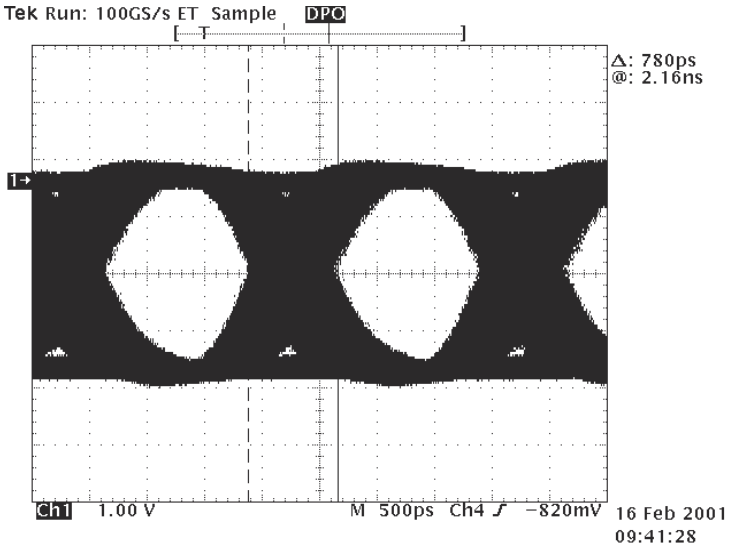


図 8-5. 500Mbps レシーバ出力での LV/PECL からリモート SN55LVRA4-SEP への変換 (CH1)

8.5 テスト条件

- V_{CC} = 3.3V
- T_A = 25°C (周囲温度)
- 4 つのチャネルすべてが NRZ データと同時にスイッチングします。スコープは NRZ データと同時にパルス トリガされます。

8.6 機器

- Tektronix PS25216 プログラマブル電源
- Tektronix HFS 9003 スティミュラス システム
- Tektronix TDS 784D 4 チャネル デジタル フォスファ オシロスコープ – DPO

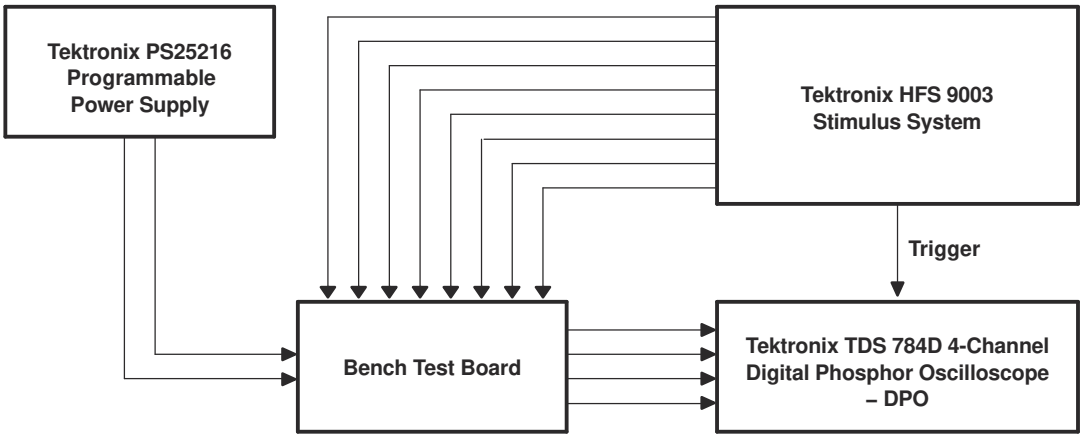


図 8-6. 機器のセットアップ

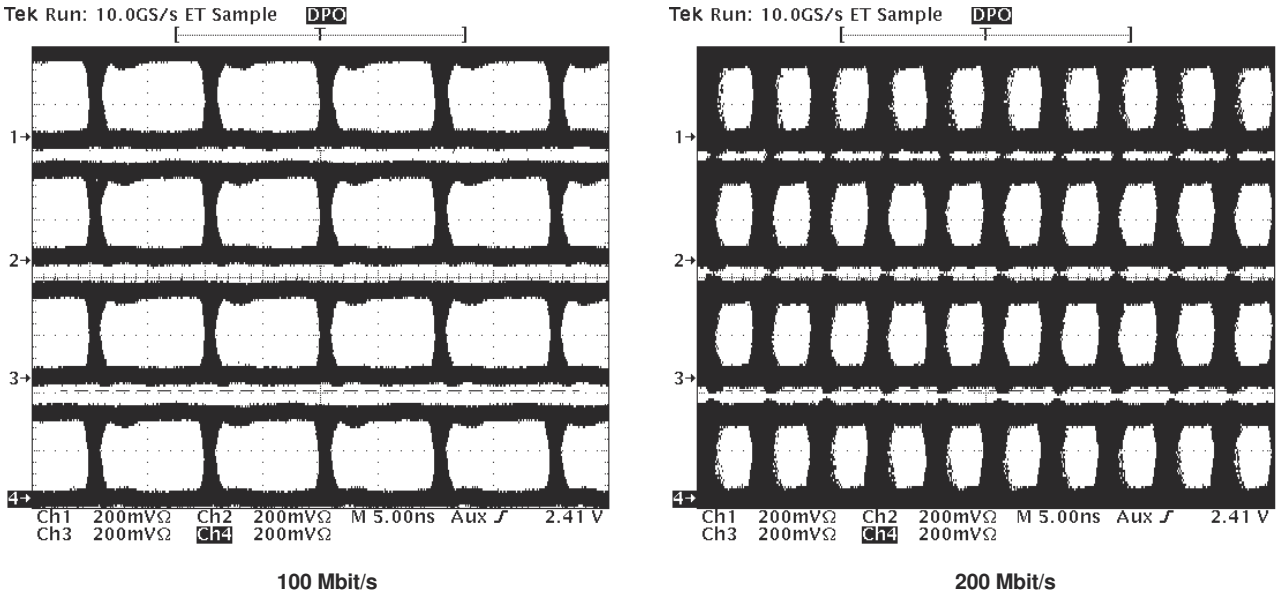


図 8-7. 代表的なアイ パターン SN55LVRA4-SEP

Copyright © 2025 Texas Instruments Incorporated

9 電源に関する推奨事項

9.1 電源バイパス容量

バイパス コンデンサは、パワー ディストリビューション回路で重要な役割を果たします。特に、バイパス コンデンサは値に応じて、特定の周波数で電源とグランドの間に低インピーダンスの経路を作成します。低周波数では、電圧レギュレータによって端子とグランドの間に低インピーダンスのパスが提供されます。ただし、より高い周波数の電流が電源パターンを伝搬するため、電源でグランドへの低インピーダンス パスを維持できないことがよくあります。この欠点に対処するために、バイパス コンデンサを使用します。通常、ボード レベルで大容量のバイパス コンデンサ (10μF から 1000μF) を使用すると、kHz レンジまでの範囲で良好な成果を達成できます。リード線のサイズと長さの関係で、大容量コンデンサは、最新のデジタル回路のスイッチング周波数で大きなインダクタンス値を持つ傾向があります。この問題を解決するには、より小型のコンデンサ (nF ～ μF) を IC の隣にローカルに取り付けることができます。

積層セラミック チップまたは表面実装コンデンサ (サイズ 0402、0603、または 0805) は、バイパス コンデンサのリード インダクタンスが約 1nH であるため、高速環境でのバイパス コンデンサのリード インダクタンスを最小限に抑えます。さらに、V_{CC} をコンデンサに接続する PCB パターン長に起因するインダクタンスも、コンデンサの共振と有効性に影響を及ぼします。

図 8-1 に、電源ピンの近くにある C1 と C2 を示します。

C1 の推奨値は 10nF であり、C2 は、アプリケーションの動作周波数と電源ピンからのコンデンサの距離に基づいて決定する必要があります。たとえば 100MHz の動作周波数では、C1 と C2 の両方が電源ピンから 3mm 以内の場合、C1 に 10nF、C2 に 1nF を使用します。推奨されるコンデンサ値は、6mm の距離にわたって変更する必要があります。C1 と C2 の間に長いパターンを使用しないでください。共振回路が発生して、電源ノイズが悪化するおそれがあります。その場合は、C1 のみ使用するのが適しています。

システムのアプリケーションによって主な動作周波数が変化する可能性がある場合は、複数の C2 コンデンサを使用できます。たとえば、システムが 100MHz または 150MHz の 1 次側周波数で動作できる場合は、10nF、1nF、0.47nF を使用できます。

注

電源デカップリングが最適でない場合、複数のチャネルが同時にスイッチングするときにデューティ サイクルの歪みが発生する可能性があります。

表 9-1. コンデンサの推奨値

パターン長 (電源コンデンサから VCC ピンまで)	C2 値	共振周波数
3mm	4.7nF	50MHz
3mm	1nF	100MHz
3mm	0.47nF	150MHz
3mm	0.27nF	200MHz
6mm	2.2nF	50MHz
6mm	0.51nF	100MHz
6mm	0.22nF	150MHz
6mm	0.13nF	200MHz

10 レイアウト

10.1 レイアウトのガイドライン

10.1.1 マイクロストリップとストリップラインのトポロジ

『LVDS アプリケーションおよびデータ ハンドブック』に従い、プリント基板には通常、2 つの伝送ラインのオプションが用意されています。マイクロストリップとストリップラインです。マイクロストリップは、図 10-1 に示すように、PCB の外層のパターンです。

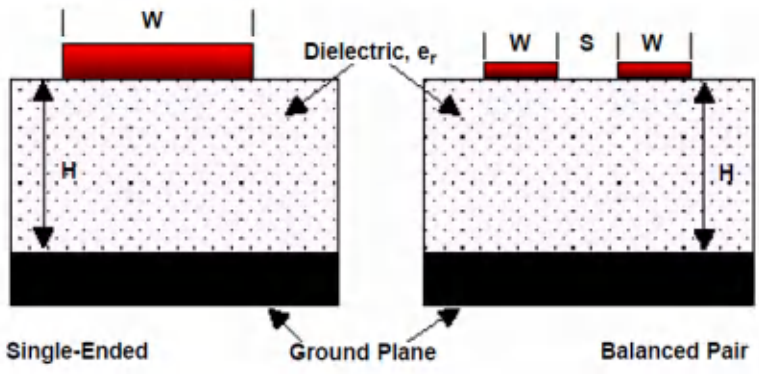


図 10-1. マイクロストリップのトポロジ

また、ストリップラインは 2 つのグランド プレーン間のパターンです。ストリップラインは、基準プレーンが埋め込まれたパターンを効果的にシールドするため、放射と外部からの影響に関する問題を受けにくくなります。ただし、高速伝送を考えると、2 つのプレーンを並べて使用すると、静電容量が増加します。可能であれば、LVDS 信号がマイクロストリップ伝送ラインを通るようにすることを推奨します。PCB パターンを使用すると、全体のノイズ バジェットと反射許容量に基づいて、Z_O に必要な公差を指定できます。

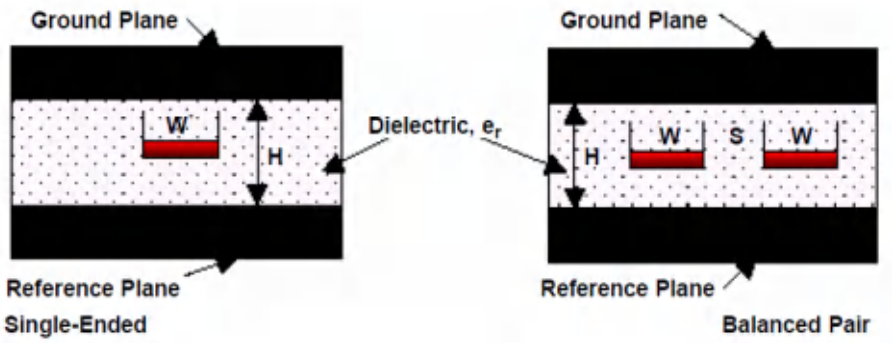


図 10-2. ストリップラインのトポロジ

10.1.2 誘電体の種類と基板構造

ボードを伝搬する信号の速度によって誘電体の選択が決まります。FR-4 または同等の製品は、通常、LVDS 信号で使用するのに十分な性能を発揮します。TTL/CMOS 信号の立ち上がり / 立ち下がり時間が 500ps 未満であれば、Rogers™ 4350 や Nelco N4000-13 のような誘電率が 3.4 に近い材料の方がより適していることが経験的に分かっています。設計者が誘電体を選択しても、性能に影響を及ぼす可能性のある、基板構造に関連する複数のパラメータが存在します。以下に示す一連のガイドラインは、LVDS デバイスを使用するいくつかの設計により、実験的に策定されたものです。

- 銅の重量:15g または 1/2 オンスからメッキを開始し、30g または 1 オンスにする
- 露出した回路はすべて、7.62μm または 0.0003 インチ (最小値) の半田メッキ (60/40) を行う必要があります。
- スルーホールの銅めっきは 25.4μm または 0.001 インチ (最小値) である必要があります。

Copyright © 2025 Texas Instruments Incorporated

- 高温エア レベリングによるベア銅箔上の半田マスク

10.1.3 推奨されるスタック レイアウト

選択した誘電体と設計仕様に従って、ユーザーはスタックで使用するレベルの数を決定する必要があります。TTL/CMOS から LVDS へのクロストークを低減するには、図 10-3 に示すように、少なくとも 2 つの独立した信号プレーンを用意することを推奨します。

Layer 1: Routed Plane (LVDS Signals)
Layer 2: Ground Plane
Layer 3: Power Plane
Layer 4: Routed Plane (TTL/CMOS Signals)

図 10-3. 4 層 PCB 基板

注

2 層と 3 層の間隔は 127µm (0.005 インチ) である必要があります。電源プレーンとグランド プレーンの緊密な結合を維持することで、増加した容量は過渡信号に対するバイパスとして機能します。

最も一般的なスタック構成の 1 つは、図 10-4 に示す 6 層基板です。

Layer 1: Routed Plane (LVDS Signals)
Layer 2: Ground Plane
Layer 3: Power Plane
Layer 4: Ground Plane
Layer 5: Ground Plane
Layer 6: Routed Plane (TTL Signals)

図 10-4. 6 層 PCB 基板

この具体的な構成では、少なくとも 1 つのグランド プレーンを使用して、各信号層を電源プレーンから絶縁できます。その結果、シグナル インテグリティは向上しますが、製造にはコストがかかります。レイアウト設計者が信号層 1 および 6 のグランド プレーンへのリファレンスを確保できることに加えて、信号層と基準プレーンの間の距離を柔軟に変更できるため、6 層基板の使用が推奨されます。

10.1.4 パターン間の分離

パターンの間隔はいくつかの要因に依存しますが、通常は許容される結合の量によって実際の間隔が決まります。低ノイズ結合では、電磁場の打ち消しを活用するために、LVDS リンクの差動ペアが密接に結合していることが必要です。これらのパターンは 100Ω 差動で、この要件に最も適した方法で結合する必要があります。さらに、差動ペアはペア間の平衡を保つために同じ電気的長さを持つ必要があり、これにより、スキューと信号反射の問題を最小限に抑えることができます。

隣接するシングルエンド パターンが 2 つある場合、3W のルールを使用する必要があります。このルールでは、2 つのパターン間の距離は、単一パターンの幅の 2 倍、またはパターンの中心からパターンの中心まで測定した幅の 3 倍を超える必要があります。このように分離を増やすことで、クロストークの可能性が実質的に減少します。隣接する LVDS 差動ペア間の分離にも、パターンがエッジ結合かブロードサイド結合かにかかわらず、同じルールを適用する必要があります。

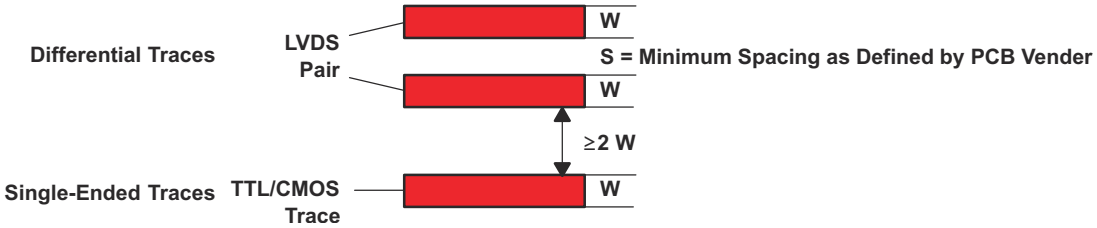


図 10-5. シングルエンドおよび差動パターンの 3W ルール (上面図)

オートルータを使用する場合は、オートルータがクロストークや信号反射に影響するすべての要因を考慮しているとは限らないため、ユーザーは注意が必要です。たとえば、信号路の不連続性を防ぐために、90° の急な角を避けることが最善です。45° の角を連続して使用すると、反射を最小限に抑える傾向があります。

10.1.5 クロストークおよびグランド バウンスの最小化

クロストークを低減するには、高周波電流の帰路を、発生元のパターンにできるだけ近い場所に配置することが重要です。通常、グランド プレーンでこれを実現できます。リターン電流は常に最小のインダクタンスのパスを選択するため、元のパターンのすぐ下に戻る可能性が最も高く、クロストークを最小化できます。電流ループの面積を小さくすると、クロストークの可能性も低くなります。パターンをできる限り短くし、その下に連続したグランド プレーンを配置することで、放射される電磁界強度を最小化できます。グランド プレーンが不連続だと帰路のインダクタンスが増加するため、回避する必要があります。

10.2 レイアウト例

クロストークの可能性を最小限に抑えるため、個々のパターンの幅の少なくとも 2 倍または 3 倍の間隔で、シングルエンドのパターンと差動ペアを分離する必要があります。立ち上がり時間または立ち下がり時間の波長より短い間隔で並列に配線されるシングルエンドのパターンでは、通常、クロストークは無視できるほど小さくなります。クロストークを低減するため、長い並列配線の場合は信号路間の間隔を増やします。図 10-6 に示すように、基板の面積が限られている場合、配線パターン レイアウトを交互に配置することにはメリットがあります。

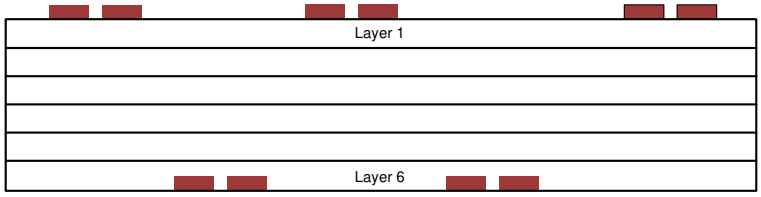


図 10-6. 交互パターンのレイアウト

この構成では、異なる層に交互の信号パターンが配置されるため、パターン間の水平間隔は個々のパターンの幅の 2 倍または 3 倍未満にできます。グランド信号路の連続性を確保するため、図 10-7 に示すように、すべての信号ビアに隣接するグランド ビアを配置することを推奨します。ビアを使用すると追加の容量が発生することに注意してください。たとえば、代表的なビアには、FR4 で 1/2pF ～ 1pF の容量増加効果があります。

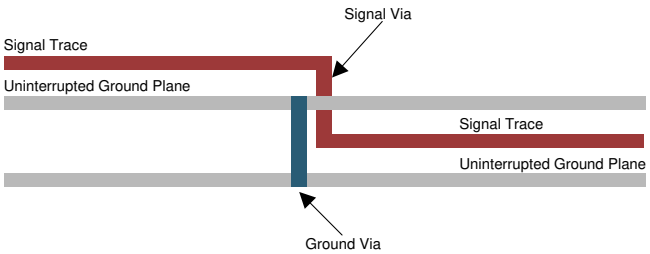


図 10-7. グランド ビアの位置 (側面図)

Copyright © 2025 Texas Instruments Incorporated

デバイスのグランド ピンを PCB のグランド プレーンに短く低インピーダンスで接続すると、グランド バウンスが低減されます。グランド プレーンの穴や切り欠きがリターン電流のループ面積を増やすような不連続性を形成する場合、電流のリターン パスに悪影響を及ぼす可能性があります。

EMI の問題を最小限に抑えるため、パターンの下に不連続が生じることを避け (穴、スリットなど)、パターンをできるだけ短くすることを推奨します。機能を混在させるのではなく、類似の機能を同じ領域にすべて配置してボードを適切にゾーニングすることは、外部からの影響の受けやすさに関する問題を低減するのに役立ちます。

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

11.1 ドキュメントのサポート

11.1.1 関連資料

このデバイスでは IBIS モデリングを利用できます。詳細については、お近くのテキサス インスツルメンツの営業窓口、またはテキサス インスツルメンツのウェブ サイト (www.ti.com) にお問い合わせください。

アプリケーションのガイドラインの詳細については、以下のドキュメントを参照してください。

- テキサス インスツルメンツ、『*低電圧差動信号伝送設計ノート*』
- テキサス インスツルメンツ、『*TIA/EIA-644* (LVDS) 用のインターフェイス回路』
- テキサス インスツルメンツ、『*LVDS による EMI の低減*』
- テキサス インスツルメンツ、『*LVDS 回路の スルーレート制御*』
- テキサス インスツルメンツ、『*RS-422 データでの LVDS レシーバの使用*』

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

Rogers™ is a trademark of Rogers Corporation.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

12 改訂履歴

Changes from Revision * (February 2025) to Revision A (December 2025) **Page**

- データシートのタイトルに「耐放射線特性」を追加 1
- VID 番号を追加 1
- SET 特性レポートの利用可能性を追加し、SEL を 50MeV に更新 1
- データシートのステータスを「*事前情報*」から「*量産データ*」に更新 1
- 「*パッケージ情報*」表の D (SOIC) パッケージ サイズを変更 1
- バス ピンの ESD 定格を追加 4
- HBM ESD を 2kV から 4kV に変更 4
- CDM ESD を 750V から 1000V に変更 4
- イネーブルの場合における ROC V_{IH} の最大値を V_{CC} に変更 4
- V_{IT1} および V_{IT2} を 50mV から 90mV に変更 6
- TPHL の最大値を 8ns から 8.5ns に変更 7
- TLH の最小値を 1.8ns から 1.3ns に、最大値を 8ns から 7.5ns に変更 7
- td1 の最大値を 11ns から 16ns に変更 7
- td2 の最大値を 2µs から 2.5µs に変更し、最小制限を削除 7
- tSK(p) の標準値を 200ns から 500ns に変更 7
- tsk(o) の標準値を 150ns から 130ns に変更 7
- 最大 TPHZ を 12ns から 15ns に変更 7
- アプリケーション図を 3.3V 電源に変更し、C1 および C2 デカップリング コンデンサの詳細を追加 16
- 「バイパス容量の推奨事項」セクションへのリンクを追加 16
- デカップリング コンデンサの詳細を追加 21
- システム性能への影響に関する注を追加 21

日付	改訂	注
February 2025	*	初版リリース

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PSN55LVRA4MDTSEP	Active	Preproduction	SOIC (D) | 16	250 | SMALL T&R	-	Call TI	Call TI	-55 to 125	
SN55LVRA4MDTSEP	Active	Production	SOIC (D) | 16	250 | SMALL T&R	-	NIPDAU	Level-3-260C-168 HR	-55 to 125	LVRA4SEP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

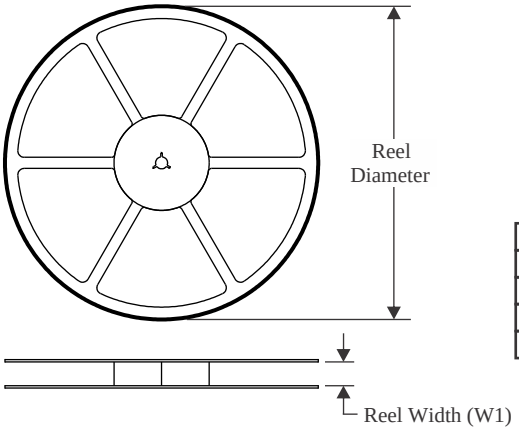
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

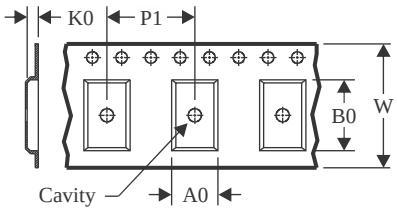
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

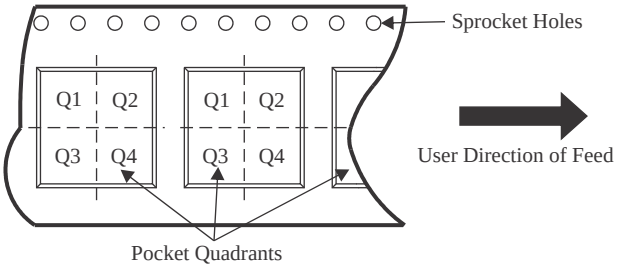


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

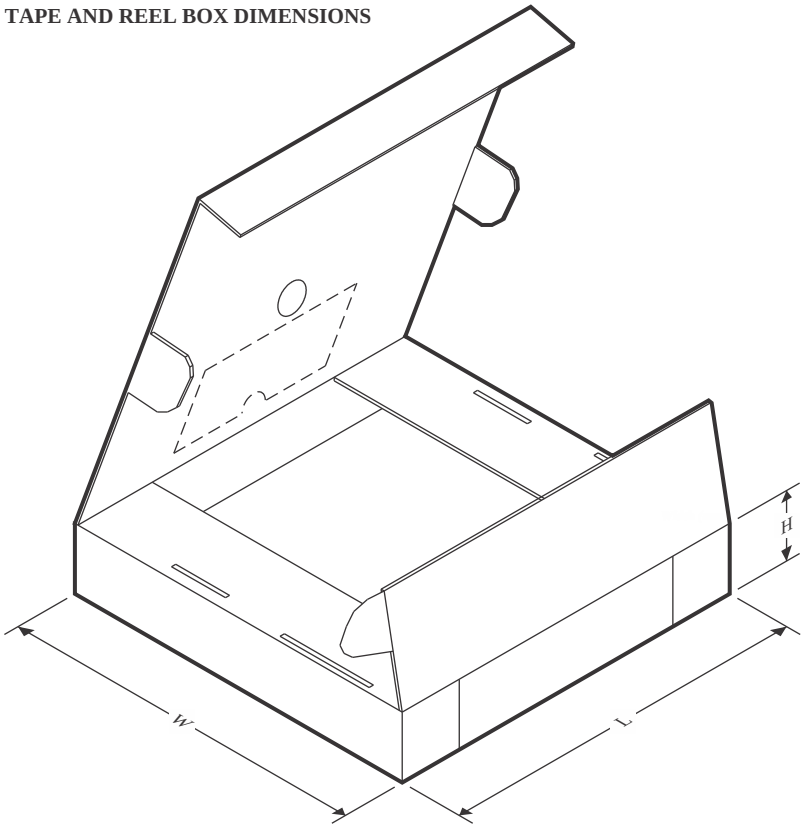
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN55LVRA4MDTSEP	SOIC	D	16	250	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

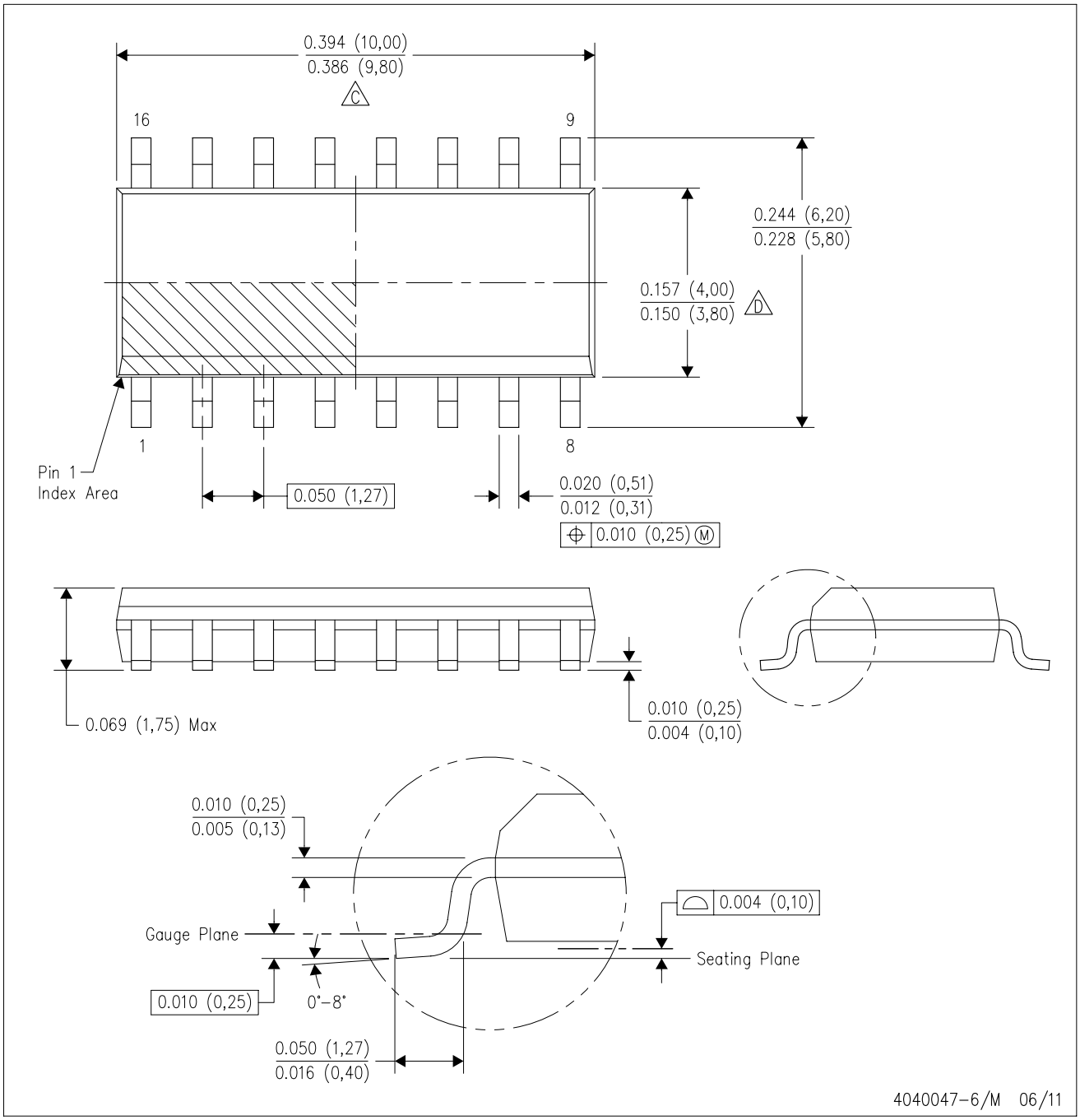
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN55LVRA4MDTSEP	SOIC	D	16	250	353.0	353.0	32.0

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月