

## SN74AC11-Q1 車載用トリプル3入力、正のANDゲート

### 1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1: -40°C ~ +125°C
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- 幅広い動作範囲: 1.5V ~ 6V
- 6Vまでの入力電圧に対応
- 連続 24mA 出力駆動 (5V 時)
- 短いバーストで最大 75mA の出力駆動 (5V 時) に対応
- 50Ω 伝送ラインを駆動
- 5V、50pF 負荷時の最大値で  $t_{pd} = 7.5\text{ns}$

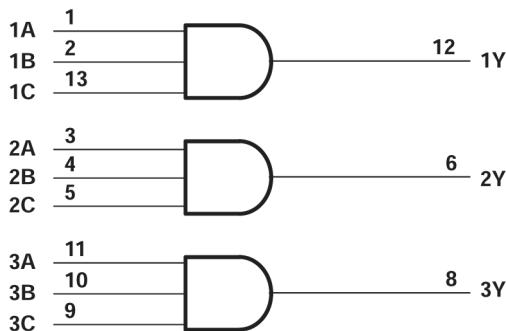
### 2 概要

SN74AC11-Q1 デバイスには、3つの独立した3入力 AND ゲートが内蔵されています。このデバイスは、ブール関数  $Y = A \cdot B \cdot C$ 、すなわち  $Y = \overline{A} + \overline{B} + \overline{C}$  を正論理で実行します。

#### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>	本体サイズ <sup>(3)</sup>
SN74AC11-Q1	WQFN (BQA, 14)	3 mm × 2.5mm	3 mm × 2.5mm
	D (SOIC, 14)	8.65 mm × 6mm	8.65 mm × 3.9mm
	PW (TSSOP, 14)	5 mm × 6.4mm	5 mm × 4.4mm

- (1) 供給されているすべてのパッケージについては、[セクション 10](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



各ゲートの論理図 (正論理)

## 目次

1 特長	1	6.2 機能説明	7
2 概要	1	6.3 デバイスの機能モード	7
3 ピン構成および機能	3	7 アプリケーションと実装	8
4 仕様	4	7.1 電源に関する推奨事項	8
4.1 絶対最大定格	4	7.2 レイアウト	8
4.2 ESD 定格	4	8 デバイスおよびドキュメントのサポート	10
4.3 推奨動作条件	4	8.1 ドキュメントのサポート	10
4.4 熱に関する情報	5	8.2 ドキュメントの更新通知を受け取る方法	10
4.5 電気的特性	5	8.3 サポート・リソース	10
4.6 スイッチング特性、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	6	8.4 商標	10
4.7 スイッチング特性、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	6	8.5 静電気放電に関する注意事項	10
4.8 動作特性	6	8.6 用語集	10
5 パラメータ測定情報	6	9 改訂履歴	10
6 詳細説明	7	10 メカニカル、パッケージ、および注文情報	11
6.1 機能ブロック図	7		

### 3 ピン構成および機能

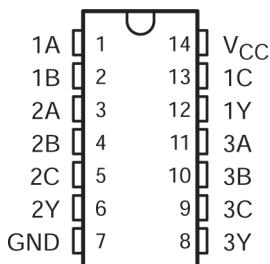


図 3-1. D または PW パッケージ、14 ピン SOIC または TSSOP (上面図)

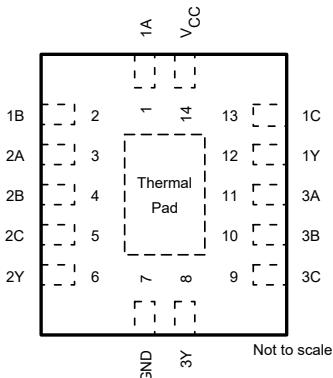


図 3-2. BQA パッケージ、14 ピン WQFN (上面図)

表 3-1. ピンの機能

ピン		I/O <sup>(1)</sup>	説明
名称	番号		
1A	1	入力	チャネル 1、入力 A
1B	2	入力	チャネル 1、入力 B
2A	3	入力	チャネル 2、入力 A
2B	4	入力	チャネル 2、入力 B
2C	5	入力	チャネル 2、入力 C
2Y	6	出力	チャネル 2、出力 Y
GND	7	—	グランド
3Y	8	出力	チャネル 3、出力 Y
3C	9	入力	チャネル 3、入力 A
3B	10	入力	チャネル 3、入力 B
3A	11	入力	チャネル 3、入力 C
1Y	12	出力	チャネル 1、出力 Y
1C	13	入力	チャネル 1、入力 C
V <sub>CC</sub>	14	—	正の電源
サーマル パッド <sup>(2)</sup>		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

(2) BQA パッケージに限定

## 4 仕様

### 4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
$V_{CC}$	電源電圧範囲	-0.5	7	V
$V_I$ <sup>(2)</sup>	入力電圧範囲	-0.5	$V_{CC} + 0.5$	V
$V_O$ <sup>(2)</sup>	出力電圧範囲	-0.5	$V_{CC} + 0.5$	V
$I_{IK}$	入力クランプ電流	$V_I < 0$ または $V_I > V_{CC}$	$\pm 20$	mA
$I_{OK}$	出力クランプ電流	$(V_O < 0$ または $V_O > V_{CC})$	$\pm 20$	mA
$I_O$	連続出力電流	$(V_O = 0 \sim V_{CC})$	$\pm 50$	mA
$V_{CC}$ または GND を通過する連続電流		$\pm 200$		mA
$T_{stg}$	保管温度範囲	-65	150	°C

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

### 4.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 <sup>1</sup>	$\pm 2000$ V

1. AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		SN74AC11-Q1	単位
		最小値	
$V_{CC}$	電源電圧	2	6
$V_{IH}$	High レベル入力電圧	$V_{CC} = 3$ V	V
		$V_{CC} = 4.5$ V	
		$V_{CC} = 5.5$ V	
$V_{IL}$	Low レベル入力電圧	$V_{CC} = 3$ V	V
		$V_{CC} = 4.5$ V	
		$V_{CC} = 5.5$ V	
$V_I$	入力電圧	0	$V_{CC}$
$V_O$	出力電圧	0	$V_{CC}$
$I_{OH}$	High レベル出力電流	$V_{CC} = 3$ V	mA
		$V_{CC} = 4.5$ V	
		$V_{CC} = 5.5$ V	
$I_{OL}$	Low レベル出力電流	$V_{CC} = 3$ V	mA
		$V_{CC} = 4.5$ V	
		$V_{CC} = 5.5$ V	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	8	ns/V

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

			<b>SN74AC11-Q1</b>	<b>単位</b>	
			<b>最小値</b>		
$T_A$	自由空気での動作温度		-40	85	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 $V_{CC}$  または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

#### 4.4 热に関する情報

热評価基準 <sup>(1)</sup>		<b>SN74AC11-Q1</b>			<b>単位</b>
		<b>BQA (WQFN)</b>	<b>D (SOIC)</b>	<b>PW (TSSOP)</b>	
		14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	91.3	119.9	145.7	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。

#### 4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	$V_{CC}$	$T_A = 25^\circ C$			<b>SN74AC11-Q1</b>	<b>単位</b>
			最小値	標準値	最大値		
$V_{OH}$	$I_{OH} = -50\mu A$	3V	2.9	2.99		2.9	V
		4.5V	4.4	4.49		4.4	
		5.5V	5.4	5.49		5.4	
	$I_{OH} = -12mA$	3V	2.56			2.46	
	$I_{OH} = -24mA$	4.5V	3.86			3.76	
		5.5V	4.86			4.76	
	$I_{OH} = -50mA$ <sup>(1)</sup>	5.5V					
$V_{OL}$	$I_{OL} = 50\mu A$	5.5V				3.85	V
		3V	0.002	0.1		0.1	
		4.5V	0.001	0.1		0.1	
	$I_{OL} = 12mA$	5.5V	0.001	0.1		0.1	
		3V		0.36		0.44	
		4.5V		0.36		0.44	
	$I_{OL} = 24mA$	5.5V		0.36		0.44	
		5.5V					
$I_I$	$V_I = V_{CC}$ または GND	5.5V		$\pm 0.1$		$\pm 1$	$\mu A$
		5.5V					
$I_{CC}$	$V_I = V_{CC}$ または GND、 $I_O = 0$	5.5V		2		20	$\mu A$
$C_i$	$V_I = V_{CC}$ または GND	5V	2.6				pF

- (1) 一度に複数の出力をテストすることはできません。また、テスト期間は 10ms を超えないようにしてください。

## 4.6 スイッチング特性、 $V_{CC} = 3.3 \text{ V} \pm 0.3 \text{ V}$

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点(入力)	終点(出力)	$T_A = 25^\circ\text{C}$			SN74AC11-Q1	単位
			最小値	標準値	最大値		
$t_{PLH}$	A, B, C	Y	1.5	5.5	9.5	1	10
$t_{PHL}$			1.5	5.5	8.5	1	9.5

## 4.7 スイッチング特性、 $V_{CC} = 5 \text{ V} \pm 0.5 \text{ V}$

自由気流での動作温度範囲内 (特に記述のない限り)

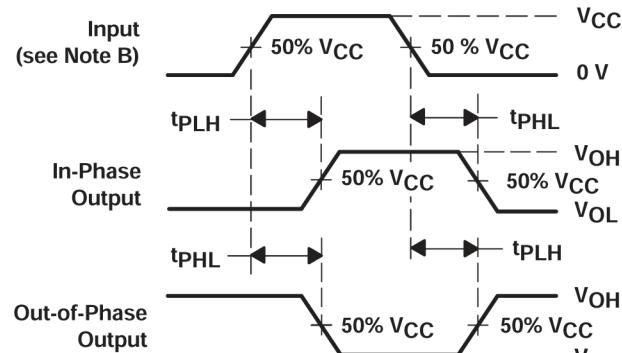
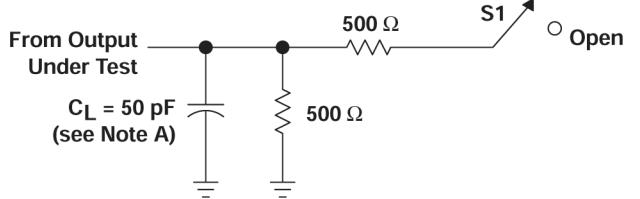
パラメータ	始点(入力)	終点(出力)	$T_A = 25^\circ\text{C}$			SN74AC11-Q1	単位
			最小値	標準値	最大値		
$t_{PLH}$	A, B, C	Y	1.5	4	8	1	8.5
$t_{PHL}$			1.5	4	7	1	7.5

## 4.8 動作特性

$V_{CC} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$

パラメータ	テスト条件		標準値	単位
$C_{pd}$	電力散逸容量	$C_L = 50\text{pF}$ 、 $f = 1\text{MHz}$	20	pF

## 5 パラメータ測定情報



- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR  $\leq 1\text{MHz}$ 、 $Z_O = 50\Omega$ 、 $t_r \leq 2.5\text{ ns}$ 、 $t_f \leq 2.5\text{ ns}$ 。
- C. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

図 5-1. 負荷回路および電圧波形

TEST	S1
$t_{PLH}/t_{PHL}$	オープン

## 6 詳細説明

### 6.1 機能ブロック図

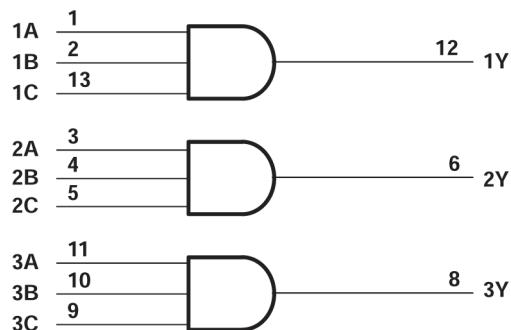


図 6-1. 各ゲートの論理図 (正論理)

### 6.2 機能説明

#### 6.2.1 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は電気的特性に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーケ電流からオームの法則 ( $R = V \div I$ ) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 $V_{CC}$  または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、 $10k\Omega$  の抵抗を推奨します。通常はこれですべての要件を満たします。

### 6.3 デバイスの機能モード

表 6-1. 機能表 (各ゲート)

入力			出力
A	B	C	Y
H	H	H	H
L	X	X	L
X	L	X	L
X	X	L	L

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各  $V_{CC}$  端子に適切なバイパスコンデンサを配置する必要があります。このデバイスには  $0.1\mu F$  のコンデンサを推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu F$  と  $1\mu F$  のコンデンサは並列に使用されます。バイパスコンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

### 7.2 レイアウト

#### 7.2.1 レイアウトのガイドライン

- バイパスコンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil~12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランドプレーンを使用
  - 信号トレース周辺の領域をグランドでフラッドフィル
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

#### 7.2.2 レイアウト例

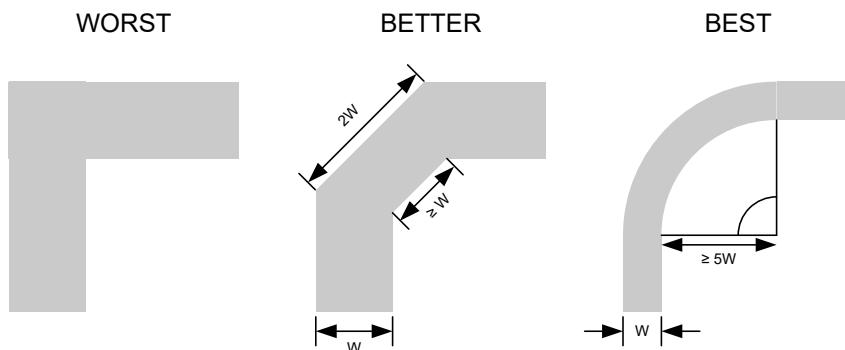


図 7-1. シグナルインテグリティ向上のためのサンプルパターンのコーナー

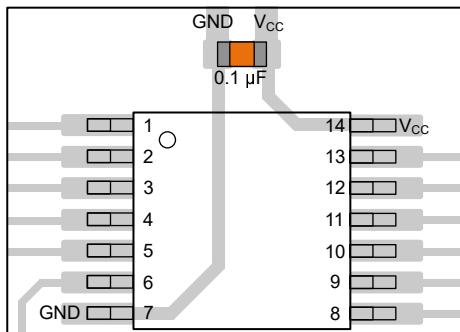


図 7-2. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

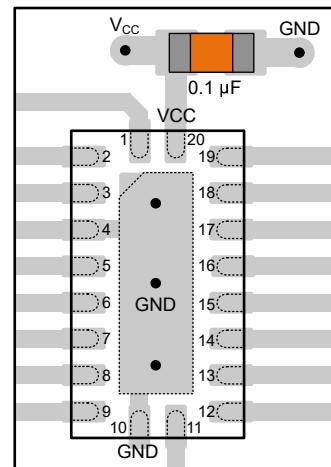


図 7-3. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

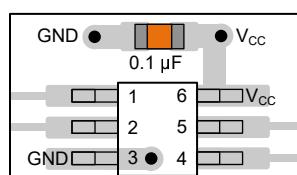


図 7-4. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

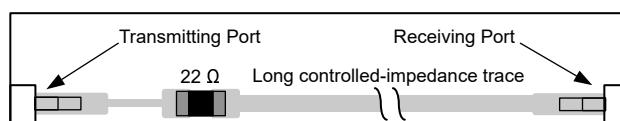


図 7-5. シグナル インテグリティ向上のためのダンピング抵抗の配置例

## 8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 8.1 ドキュメントのサポート

#### 8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と  $C_{pd}$  の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (April 2008) to Revision B (February 2025)	Page
• パッケージ情報の表、「ピン構成および機能」セクション、熱に関する情報の表に BQA パッケージを追加.....	1
• パッケージ情報表、ピンの機能表、ESD 定格表、熱に関する情報表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加しました.....	1

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">SN74AC11IDRG4Q1</a>	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11IQ1
SN74AC11IDRG4Q1.A	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11IQ1
<a href="#">SN74AC11IPWRG4Q1</a>	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11IQ1
SN74AC11IPWRG4Q1.A	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11IQ1
<a href="#">SN74AC11WBQARQ1</a>	Active	Production	WQFN (BQA)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11Q
SN74AC11WBQARQ1.A	Active	Production	WQFN (BQA)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11Q

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

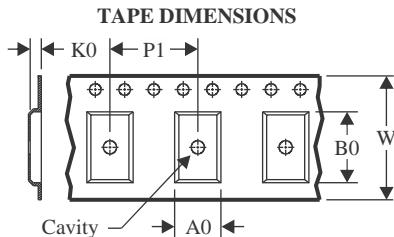
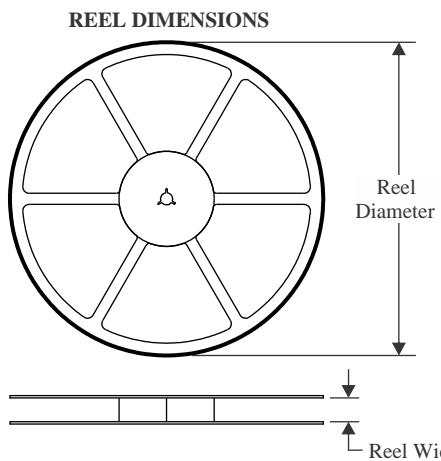
**OTHER QUALIFIED VERSIONS OF SN74AC11-Q1 :**

- Catalog : [SN74AC11](#)
- Enhanced Product : [SN74AC11-EP](#)
- Military : [SN54AC11](#)

NOTE: Qualified Version Definitions:

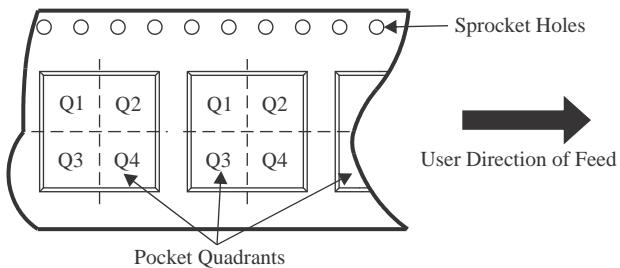
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

## TAPE AND REEL INFORMATION



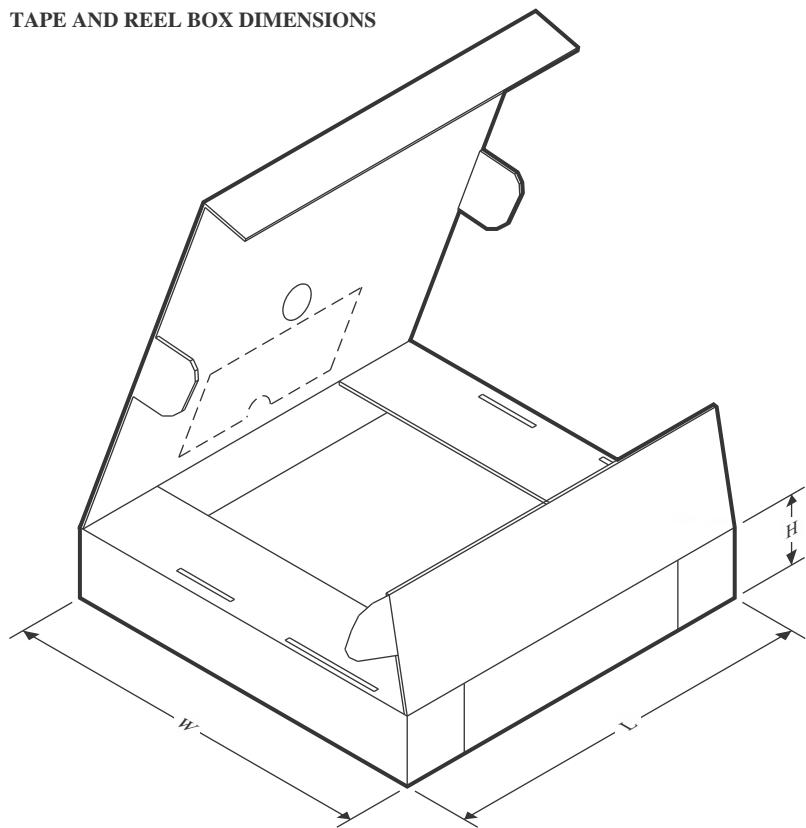
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AC11IPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AC11WBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

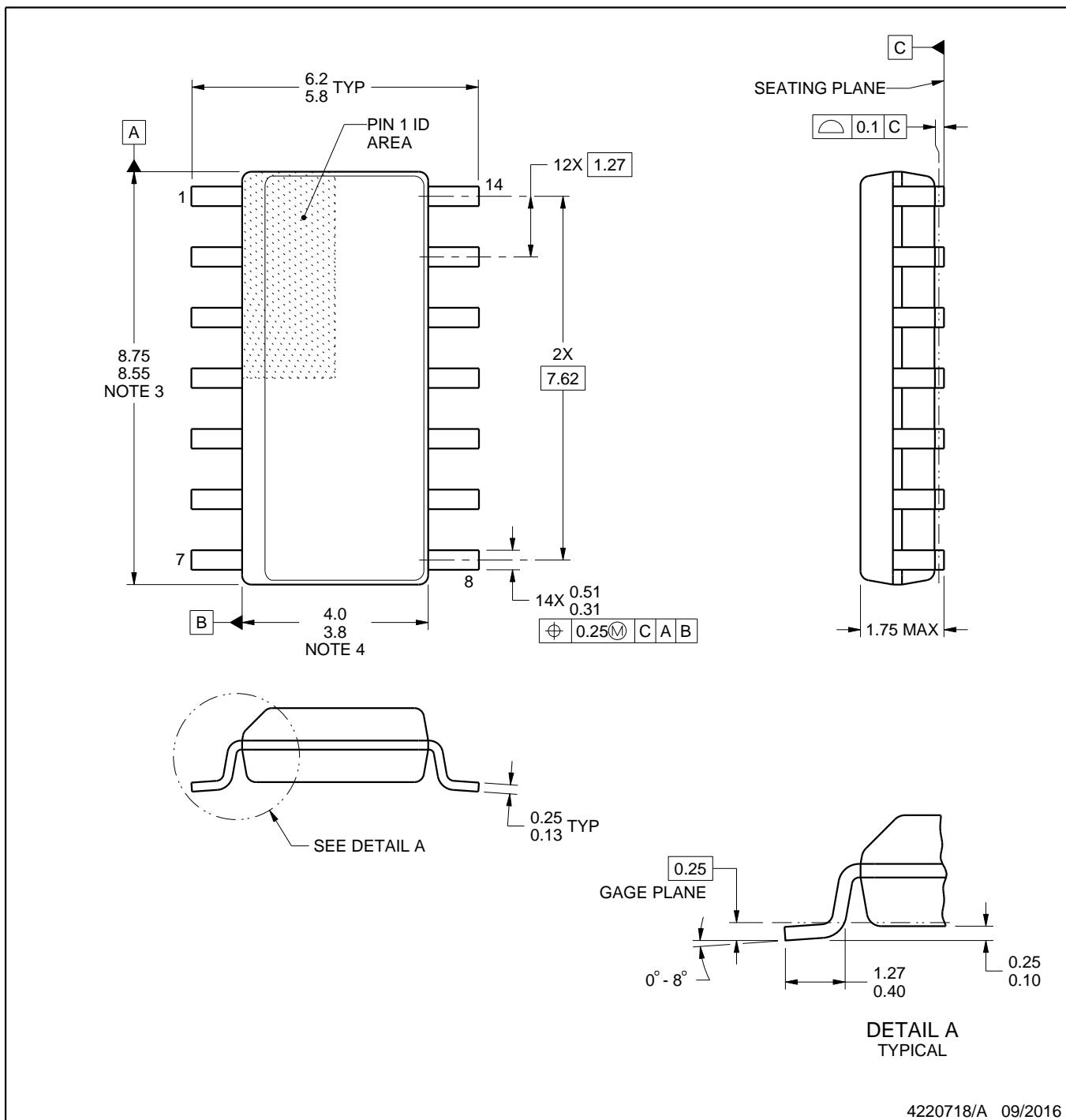
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AC11IPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AC11WBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0

# PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

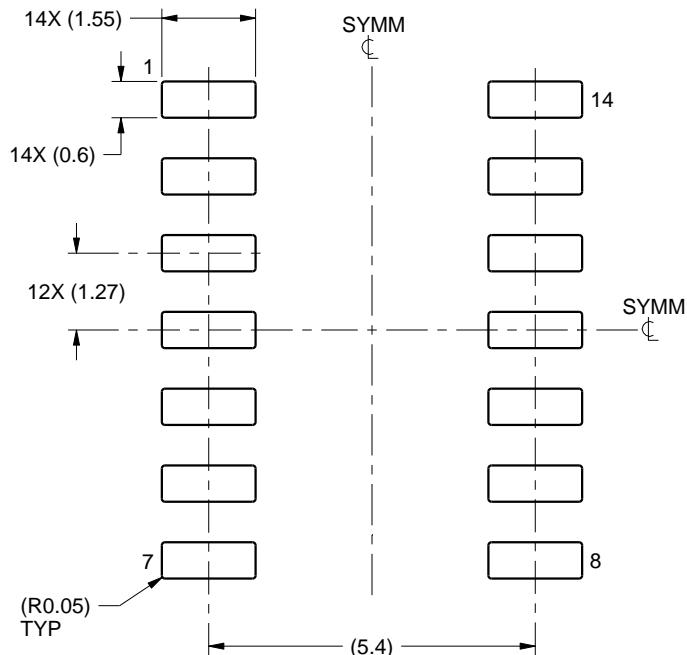
- All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
- Reference JEDEC registration MS-012, variation AB.

# EXAMPLE BOARD LAYOUT

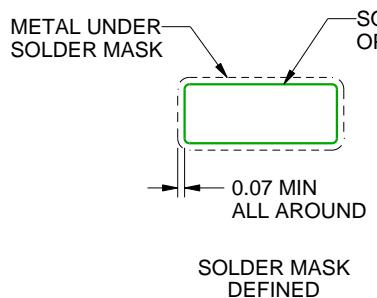
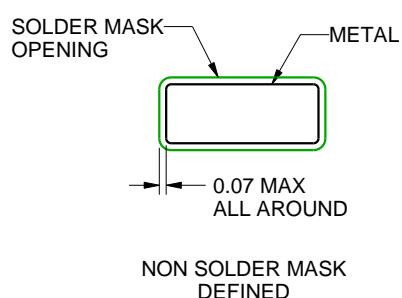
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

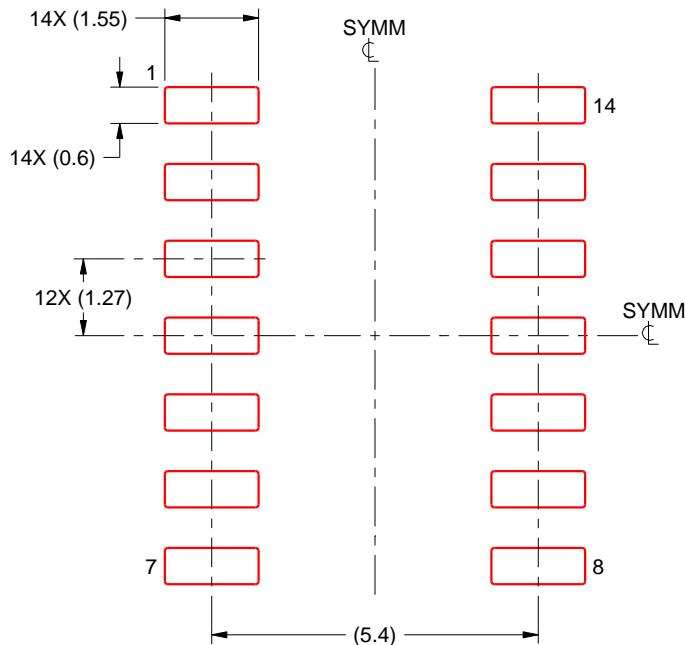
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# GENERIC PACKAGE VIEW

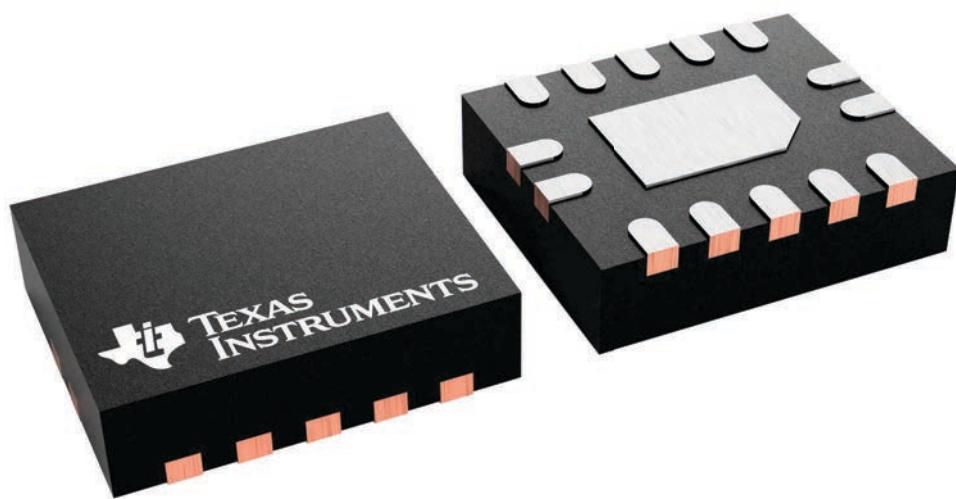
**BQA 14**

**WQFN - 0.8 mm max height**

**2.5 x 3, 0.5 mm pitch**

**PLASTIC QUAD FLATPACK - NO LEAD**

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4227145/A

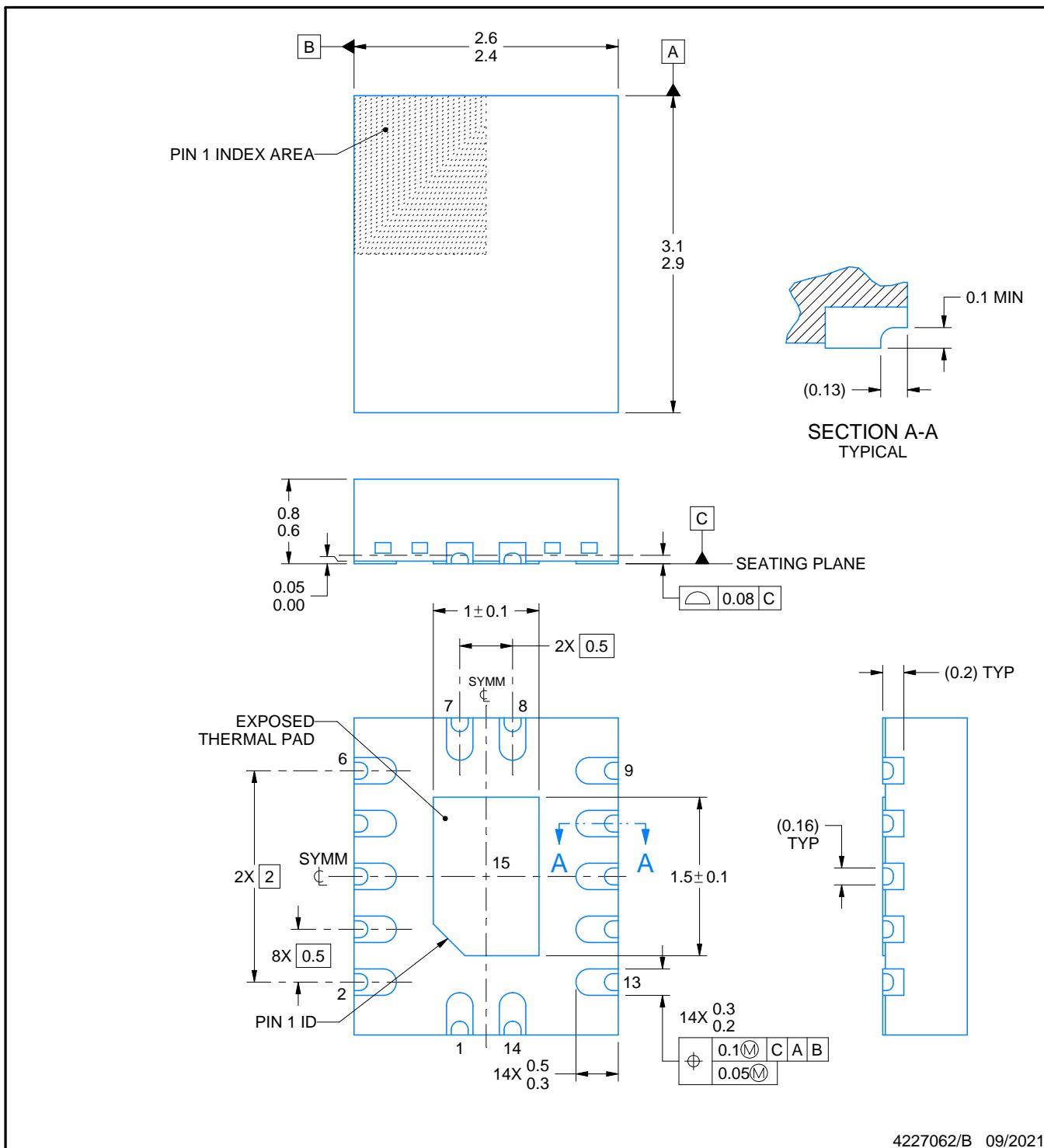
# PACKAGE OUTLINE

BQA0014B



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4227062/B 09/2021

## NOTES:

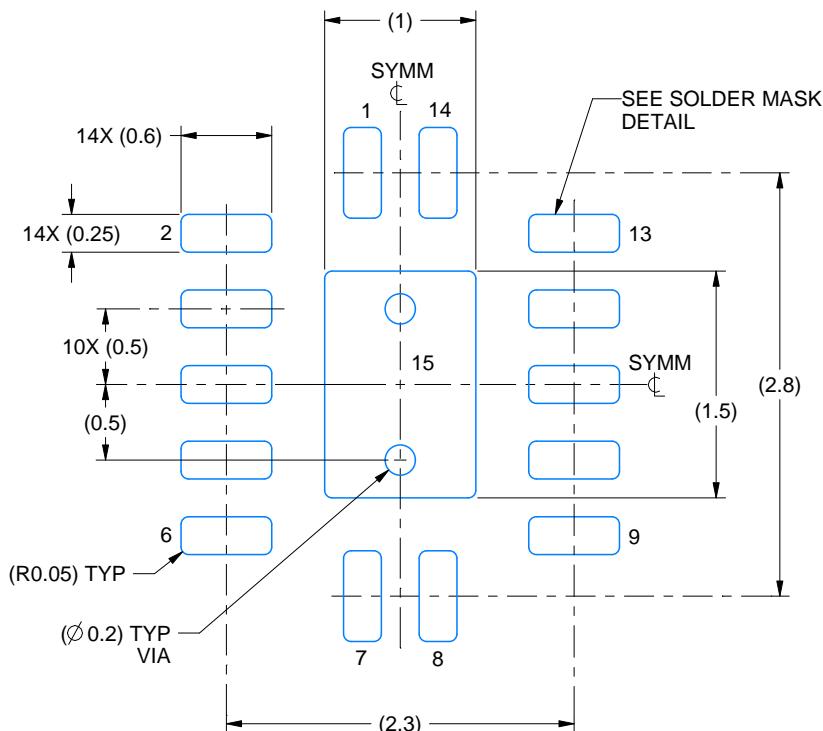
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

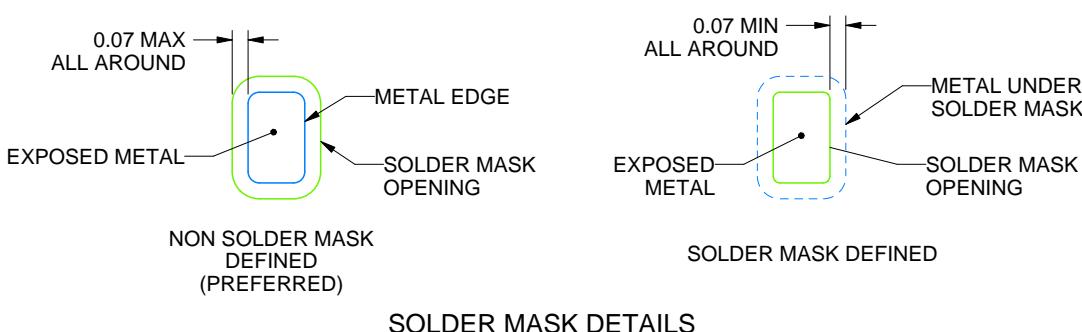
BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



4227062/B 09/2021

NOTES: (continued)

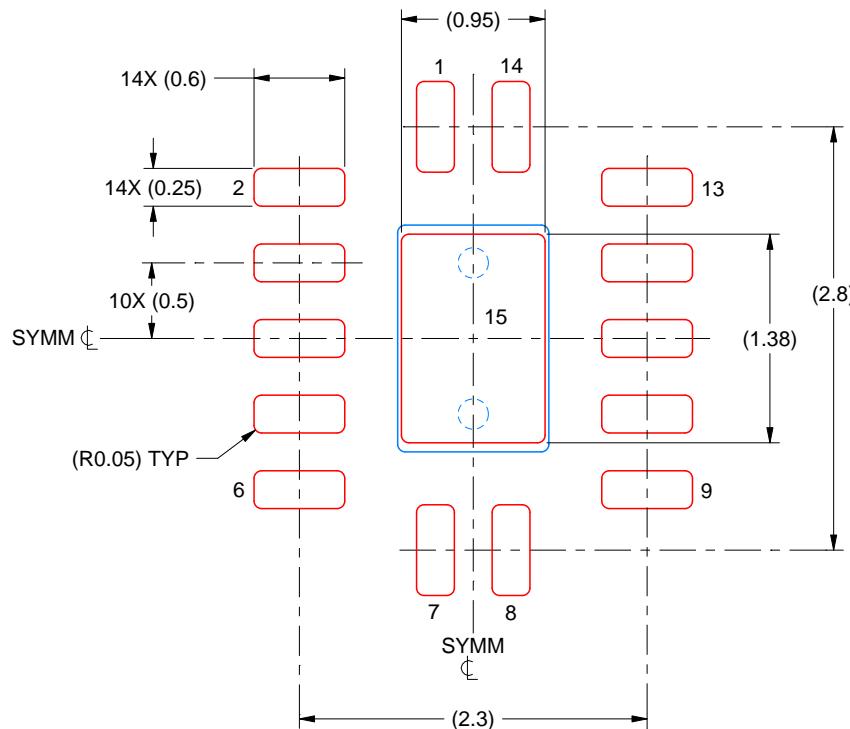
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 20X

EXPOSED PAD 15  
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

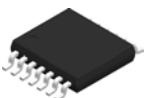
4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

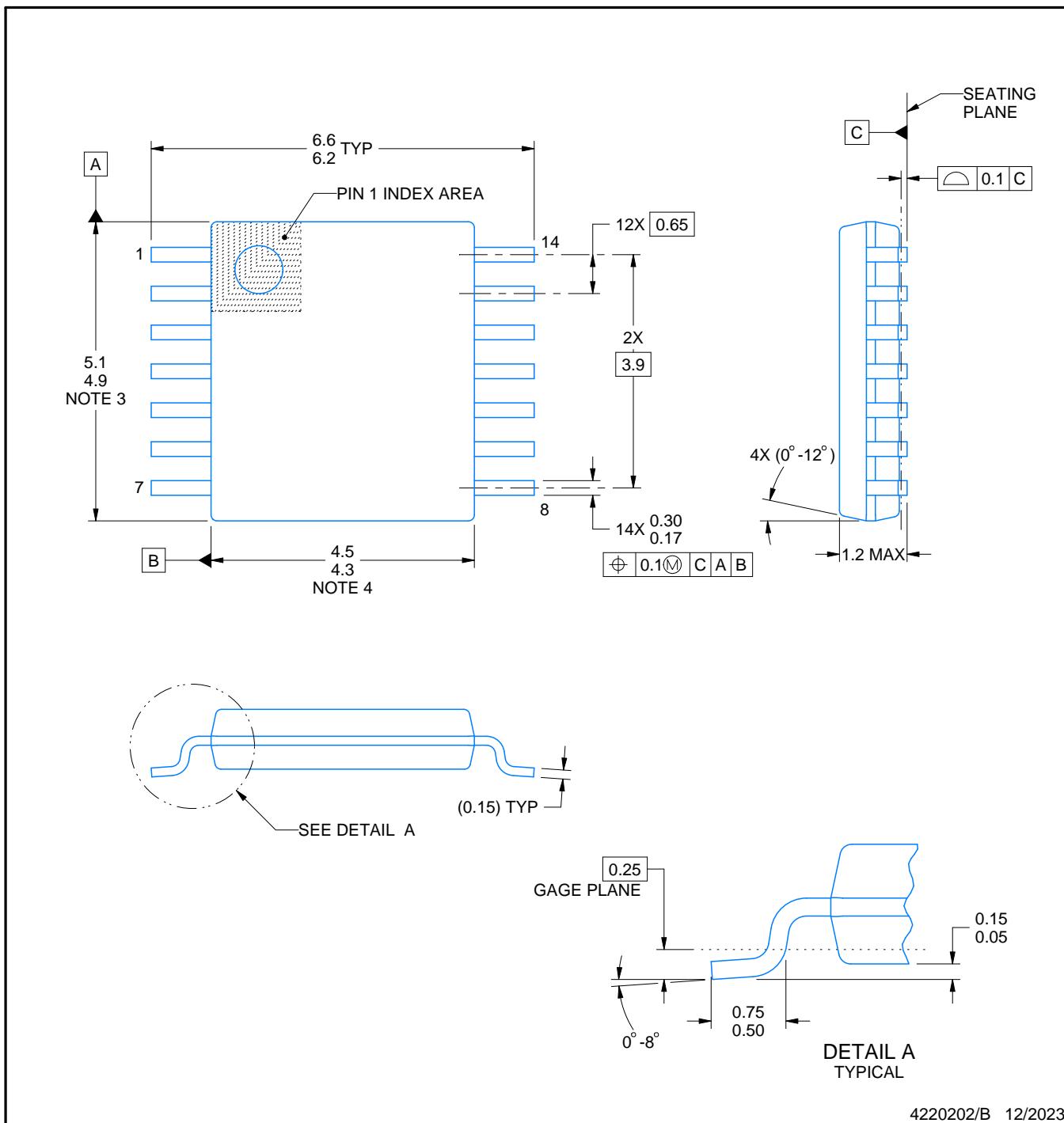
# PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

## NOTES:

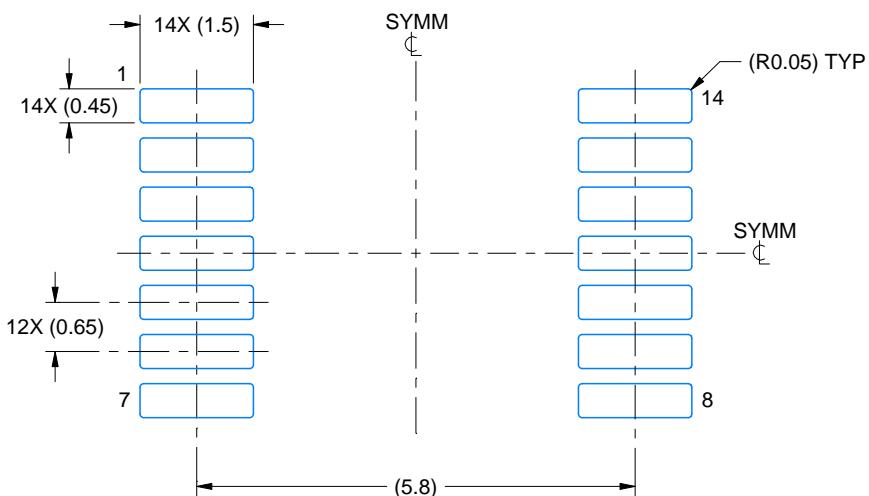
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

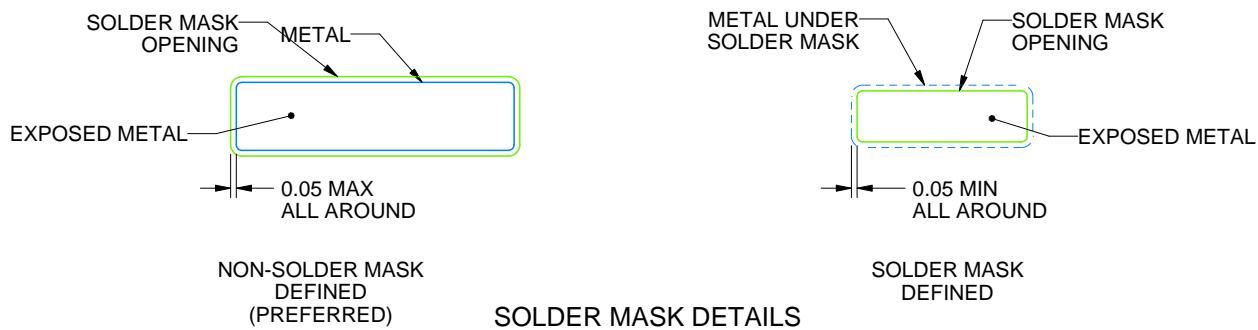
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

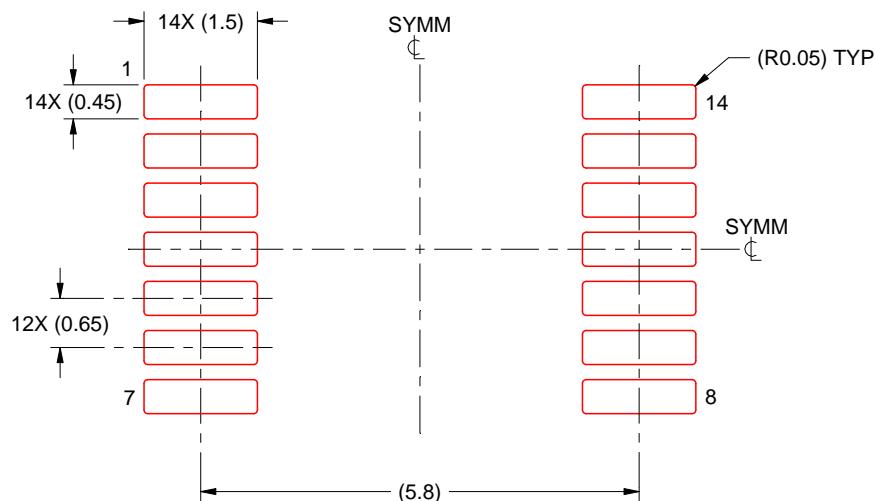
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月