

SN74AC16、シュミットトリガ入力、オープンドレイン出力対応 ヘキサインバータ

1 特長

- 幅広い動作範囲：1.5V～6V
- 連続 24mA 出力駆動 (5V 時)
- 短いバーストで最大 75mA の出力駆動 (5V 時) に対応
- すべての入出力に正と負のクランプダイオードを内蔵
- 出カクランプダイオードは、リレーなどの誘導性負荷の駆動を保護
- 5V、50pF 負荷時の最大値で $t_{pd} = 7.7\text{ns}$

2 アプリケーション

- [インジケータ LED の制御](#)
- 低電圧リレーコイルの駆動
- オープン ドレイン出力のワイヤード OR

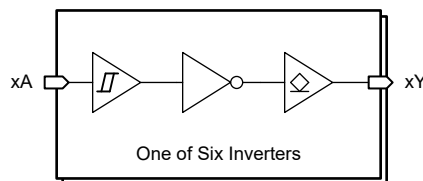
3 概要

SN74AC16 には、シュミット トリガ入力、オープン ドレイン出力の 6 つの独立したインバータが搭載されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74AC16	PW (TSSOP, 16)	6.4mm × 5mm	4.4mm × 5mm
	BQA (WQFN, 16)	3mm × 2.5mm	3mm × 2.5mm

- (1) 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)を参照してください。
- (2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます
- (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)



目次

1 特長	1	7.4 デバイスの機能モード.....	11
2 アプリケーション	1	8 アプリケーションと実装	12
3 概要	1	8.1 アプリケーション情報.....	12
4 ピン構成および機能	3	8.2 代表的なアプリケーション.....	12
5 仕様	4	8.3 電源に関する推奨事項.....	15
5.1 絶対最大定格.....	4	8.4 レイアウト.....	15
5.2 ESD 定格.....	4	9 デバイスおよびドキュメントのサポート	17
5.3 推奨動作条件.....	4	9.1 ドキュメントの更新通知を受け取る方法.....	17
5.4 熱に関する情報.....	5	9.2 サポート・リソース.....	17
5.5 電気的特性.....	5	9.3 商標.....	17
5.6 スイッチング特性.....	6	9.4 静電気放電に関する注意事項.....	17
5.7 代表的特性.....	7	9.5 用語集.....	17
6 パラメータ測定情報	9	10 改訂履歴	17
7 詳細説明	10	11 メカニカル、パッケージ、および注文情報	17
7.1 概要.....	10	11.1 テープおよびリール情報.....	18
7.2 機能ブロック図.....	10	11.2 メカニカル データ.....	20
7.3 機能説明.....	10		

4 ピン構成および機能

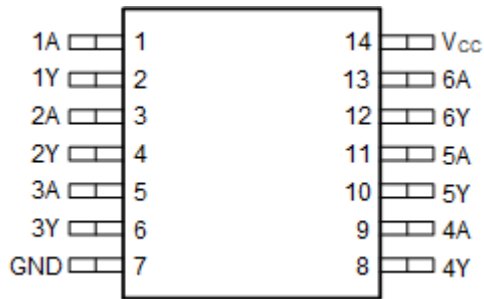


図 4-1. SN74AC16 PW パッケージ、14 ピン TSSOP (上面図)

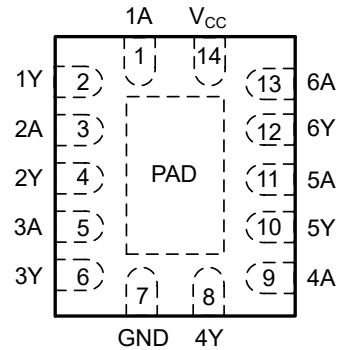


図 4-2. BQA パッケージ、14 ピン WQFN (上面図)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
1A	1	I	チャンネル 1 入力
1Y	2	O	チャンネル 1 出力
2A	3	I	チャンネル 2 入力
2Y	4	O	チャンネル 2 出力
3A	5	I	チャンネル 3 入力
3Y	6	O	チャンネル 3 出力
GND	7	G	グラウンド
4Y	8	O	チャンネル 4 出力
4A	9	I	チャンネル 4 入力
5Y	10	O	チャンネル 5 出力
5A	11	I	チャンネル 5 入力
6Y	12	O	チャンネル 6 出力
6A	13	I	チャンネル 6 入力
V _{CC}	14	P	正電源
放熱パッド ⁽²⁾		—	サーマルパッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください

(1) 信号タイプ: I: 入力、O: 出力、I/O: 入力または出力、P: 電源、G = グラウンド

(2) BQA パッケージのみ。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V _{CC}	電源電圧範囲		-0.5	7	V
V _I	入力電圧範囲 ⁽²⁾		-0.5	V _{CC} + 0.5V	V
V _O	出力電圧範囲 ⁽²⁾		-0.5	V _{CC} + 0.5V	V
I _{IK}	入カクランプ電流	V _I < -0.5V または V _I > V _{CC} + 0.5V		±20	mA
I _{OK}	出カクランプ電流	V _O < -0.5V または V _O > V _{CC} + 0.5V		±50	mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}		50	mA
	V _{CC} または GND を通過する連続出力電流			±200	mA
T _J	接合部温度			150	°C
T _{stg}	保管温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
V _{CC}	電源電圧	電源電圧	1.5	6	V
V _I	入力電圧	入力電圧	0	V _{CC}	V
V _O	出力電圧	出力電圧	0	V _{CC}	V
I _{OL}	Low レベル出力電流	V _{CC} = 1.8V		1	mA
		V _{CC} = 2.5V		2	mA
		V _{CC} = 3V		12	mA
		V _{CC} = 4.5V ~ 5.5V		24	mA
T _A	自由空気での動作温度	自由空気での動作温度	-40	125	°C

5.4 熱に関する情報

パッケージ	ピン	熱評価基準 ⁽¹⁾						単位
		R _{θJA}	R _{θJC(top)}	R _{θJB}	Ψ _{JT}	Ψ _{JB}	R _{θJC(bot)}	
PW (TSSOP)	14	148	81.1	104.5	22.2	103.0	N/A	°C/W
BQB (WQFN)	14	93.4	96.4	62.8	12.5	62.5	39.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	-40°C ~ 125°C			単位
			最小値	代表値	最大値	
V _{T+}	正方向入カスレッシュヨルド電圧	1.5V	0.61	0.89	1.17	V
		1.8V	0.72	1.03	1.33	
		2.5V	0.8	1.29	1.61	
		3V	0.8	1.8	2.2	
		4.5V	1.5	2.6	3.2	
		5V	1.5		3.55	
		5.5V	1.6	3.2	3.9	
V _{T-}	負方向入カスレッシュヨルド電圧	1.5V	0.26	0.48	0.7	V
		1.8V	0.37	0.54	0.70	
		2.5V	0.5	0.7	0.84	
		3V	0.5	0.8	1.2	
		4.5V	0.9	1.4	1.8	
		5V	1.0		2.05	
		5.5V	1.1	1.8	2.3	
ΔV _T	ヒステリシス (V _{T+} - V _{T-})	1.5V	0.11	0.41	0.83	V
		1.8V	0.28	0.49	0.83	
		2.5V	0.3	0.60	0.83	
		3V	0.3	1	1.2	
		4.5V	0.4	1.2	1.4	
		5V	0.5			
		5.5V	0.5	1.4	1.6	

5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	-40°C ~ 125°C			単位
			最小値	代表値	最大値	
V _{OL}	I _{OL} = 50μA	1.5V			0.1	V
		1.8V			0.1	
		2.5V			0.1	
		3V		0.002	0.1	
		4.5V		0.001	0.1	
		5.5V		0.001	0.1	
	I _{OL} = 1mA	1.8V			0.36	
	I _{OL} = 2mA	2.5V			0.5	
	I _{OL} = 4mA	3V			0.5	
	I _{OL} = 12mA	3V			0.5	
	I _{OL} = 24mA	4.5V			0.5	
	I _{OL} = 24mA	5.5V			0.5	
	I _{OL} = 75mA	5.5V			1.65	
I _{OL} = 50mA	5.5V			1.65		
I _I	V _I = 5.5V または GND	0V ~ 5.5V			±1	μA
I _{OZ}	V _O = 5.5V または GND	0V ~ 5.5V			±5	μA
I _{CC}	V _I = V _{CC} または GND、I _O = 0	5.5V			20	μA
C _I	V _I = V _{CC} または GND	5V		9		pF
C _O	V _O = V _{CC} または GND	5V		15		pF
C _{PD}	C _L = 50pF、F = 1MHz	5V		60		pF

5.6 スイッチング特性

C_L = 50pF、自由気流での動作温度範囲内、T_A = 25°Cで測定された標準値 (特に記述のない限り) 「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	V _{CC}	-40°C ~ 125°C			単位
				最小値	代表値	最大値	
t _{PLZ}	A	Y	1.5V			27.2	ns
			1.8V			17.7	ns
			2.5V			8.2	ns
			3.3V			6.3	ns
			5V			4.5	ns
t _{PZL}	A	Y	1.5V			30.9	ns
			1.8V			20.2	ns
			2.5V			13.4	ns
			3.3V			11	ns
			5V			7.7	ns

5.7 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

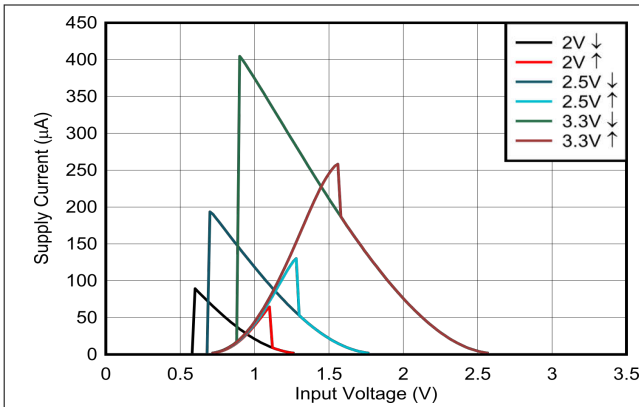


図 5-1. 入力電圧に対する電源電流、1.8V および 2.5V 電源

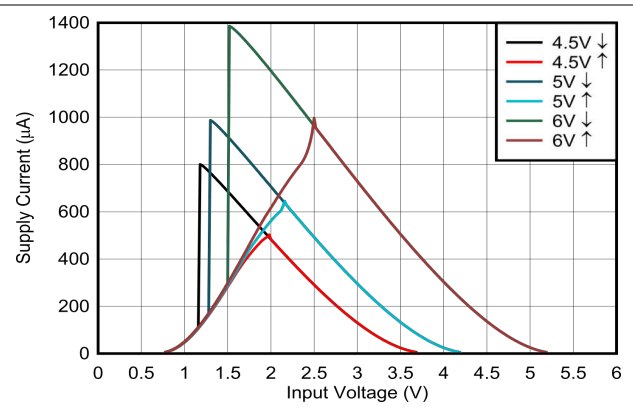


図 5-2. 入力電圧に対する電源電流、3.3V および 5.0V 電源

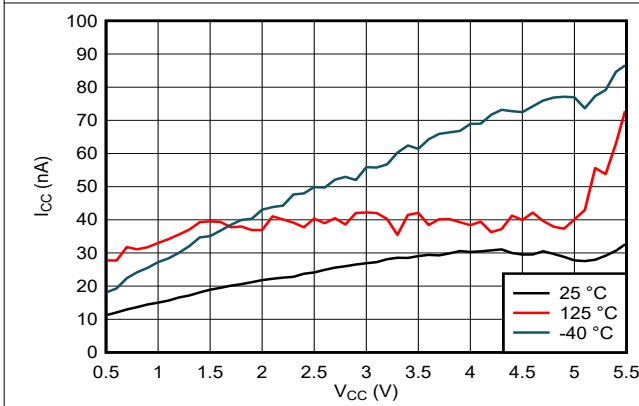


図 5-3. 電源電流と電源電圧との関係

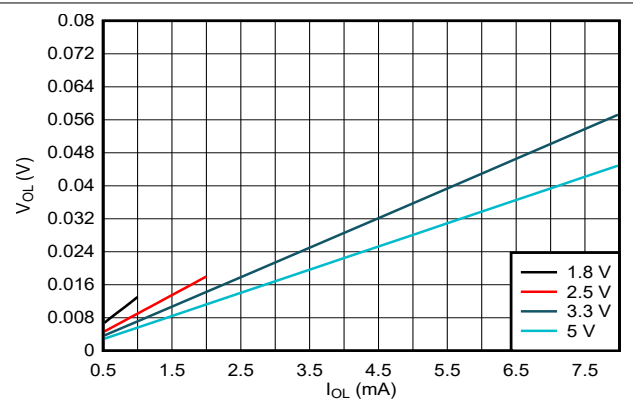


図 5-4. Low 状態における出力電圧と電流との関係

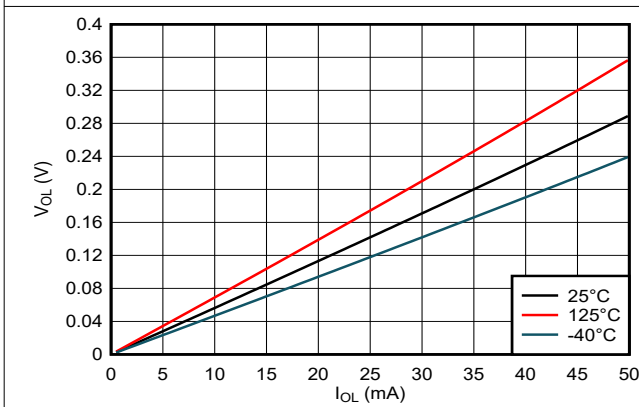


図 5-5. Low 状態における出力電圧と電流との関係、5V 電源

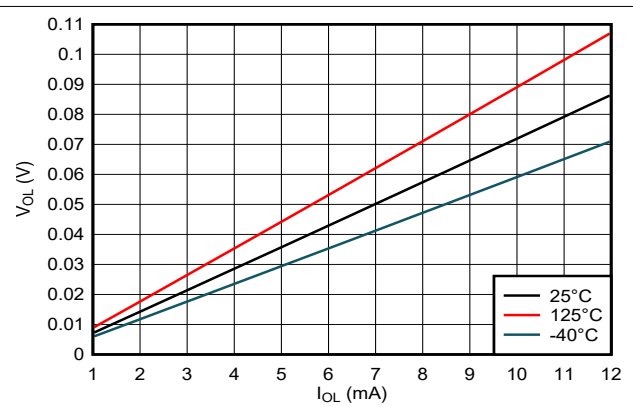


図 5-6. Low 状態における出力電圧と電流との関係、3.3V 電源

5.7 代表的特性 (続き)

T_A = 25°C (特に記述のない限り)

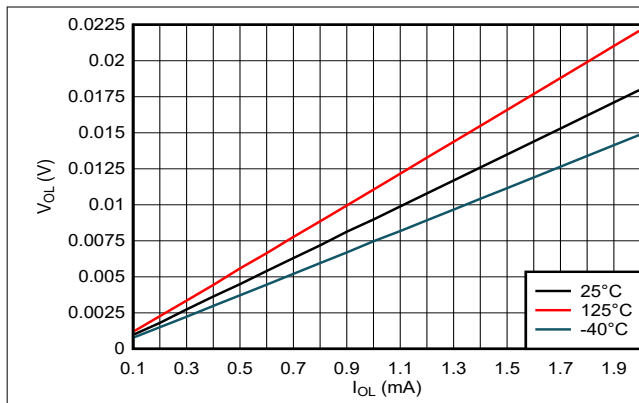


図 5-7. Low 状態における出力電圧と電流との関係、2.5V 電源

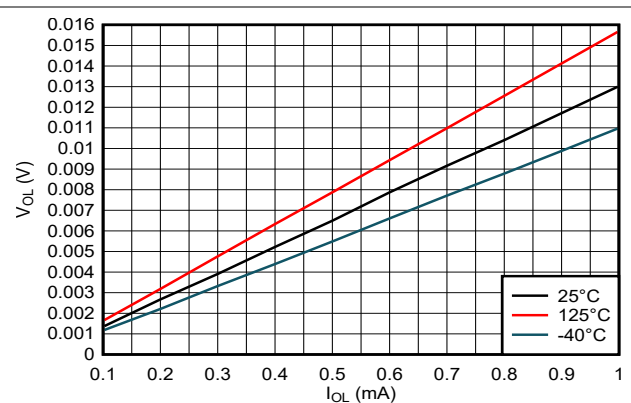


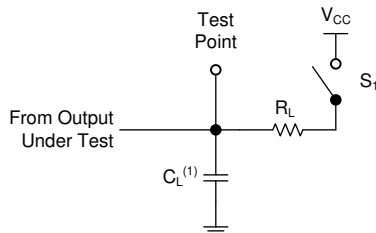
図 5-8. Low 状態における出力電圧と電流との関係、1.8V 電源

6 パラメータ測定情報

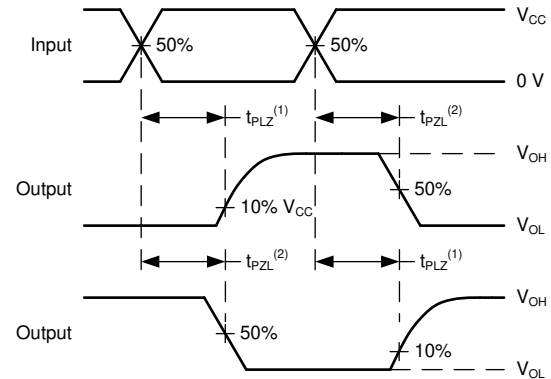
以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、 $Z_O = 50\Omega$ 、 $t_f < 2.5$ 。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。

TEST	S1	R_L	C_L	ΔV	V_{CC}
t_{PLZ} 、 t_{PZL}	クローズ	1k Ω	50 pF	0.15V	≤ 2.5V
t_{PLZ} 、 t_{PZL}	クローズ	1k Ω	50 pF	0.3V	> 2.5V



(1) C_L にはプローブとテスト装置の容量が含まれます。
図 6-1. オープン ドレイン出力の負荷回路



- (1) t_{PLZ} は t_{dis} と同じです。
(2) t_{PZL} は t_{en} と同じです。

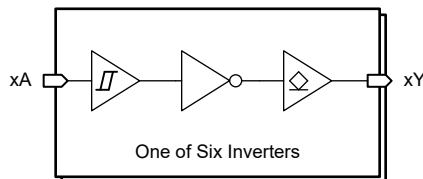
図 6-2. 電圧波形、伝搬遅延

7 詳細説明

7.1 概要

SN74AC16 ヘキサ インバータは、論理関数 $Y = \bar{A}$ を実行します。

7.2 機能ブロック図



論理図 (正論理)

7.3 機能説明

7.3.1 オープン ドレイン CMOS 出力

このデバイスには、オープン ドレイン CMOS 出力が内蔵されています。オープン ドレイン出力は、出力を Low にのみ駆動できます。High 論理状態では、オープン ドレイン出力は高インピーダンス状態になります。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10kΩ の抵抗を使用できます。

未使用のオープン ドレイン CMOS 出力は、未接続のままにする必要があります。

7.3.2 CMOS シュミット トリガ入力

このデバイスには、シュミット トリガ アーキテクチャによる入力 that 搭載されています。これらの入力は高インピーダンスであり、「電気的特性」表に示されている入力静電容量と並列に配置された、入力からグランドまでの抵抗として、通常はモデル化されます。最悪条件下の抵抗値は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算します。

シュミット トリガ入力アーキテクチャのヒステリシスは、「電気的特性」表の ΔV_T で定義されるため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力を適切に終端することをお勧めします。入力を低速の遷移信号と共に駆動すると、デバイスの動的な電流消費が増加します。シュミット トリガ入力の詳細については、『[シュミット トリガについて](#)』を参照してください。

7.3.3 クランプダイオード構造

図 7-1 に示すように、このデバイスの入力と出力には正と負の両方のクランプダイオードがあります。

注意

絶対最大定格の表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

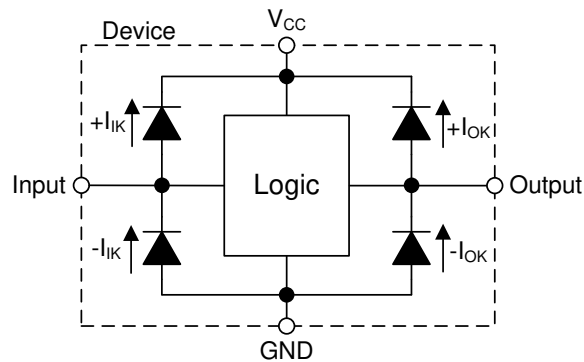


図 7-1. 各入力と出力に対するクランプダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1 に、SN74AC16 の機能モードを示します。

表 7-1. 機能表

入力 ⁽¹⁾	出力
A	Y
L	Z
H	L

(1) H = High 電圧レベル、L = Low 電圧レベル

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このアプリケーションでは、[図 8-1](#) に示すように、オープン ドレイン インバータを使用して低電圧リレーコイルを駆動します。SN74AC16 の高い駆動能力により、リレー コイルを直接駆動できます。デバイスのオープン ドレイン出力が高インピーダンス モードに設定されたとき、コイルからの電流は出力ほど速くゼロに変化できないため、出力の正のクランプ ダイオードは、電流が消失するまでの間、その電流に対して安全な経路を提供します。[図 8-2](#) に、標準的なコイル電流とダイオード電流を示します。これは、誘導性負荷駆動中の通常のコイル電流動作を示しています。

8.2 代表的なアプリケーション

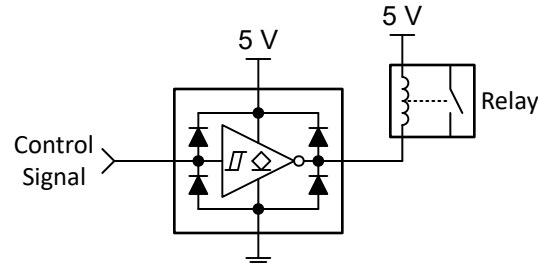


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。

グラウンドは、SN74AC16 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74AC16 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74AC16 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、 $V_{t-(min)}$ を超えるとロジック Low と見なされ、 $V_{t+(max)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74AC16 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10k Ω の抵抗値がしばしば使用されます。

SN74AC16 にはシュミットトリガ入力があるため、入力信号遷移レートの要件はありません。

シュミットトリガ入力を採用するもう 1 つの利点は、ノイズを除去できることです。振幅の大きなノイズの場合でも、問題が発生することがあります。問題が発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値により、ピークツーピーク制限が得られます。

標準的な CMOS 入力とは異なり、シュミットトリガ入力は、消費電力を大幅に増加させることなく、任意の有効な値に保持できます。 V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流（代表値）を「代表的特性」のグラフに示します。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

オープンドレイン出力を互いに直接接続して、ワイヤード AND 構成を形成したり、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリングコンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AC16 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、M Ω 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジックゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーションレポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

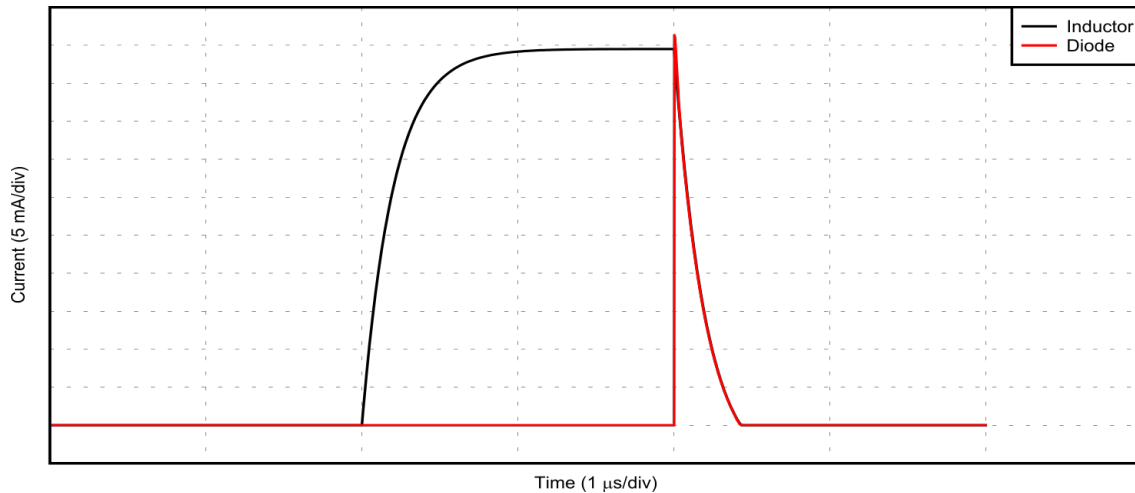


図 8-2. アプリケーション曲線

8.3 電源に関する推奨事項

電源には、「[セクション 5.3](#)」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスの場合は、 $0.1\mu\text{F}$ を推奨します。複数の V_{CC} ピンがある場合は、各電源ピンに対して $0.01\mu\text{F}$ または $0.022\mu\text{F}$ を推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサを並列に使用します。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。[図 8-3](#) の仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック レベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、一般的に、出力をフローティングにすることが許容されます。トランシーバに出カインネーブルピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。これによって I/O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

8.4.2 レイアウト例

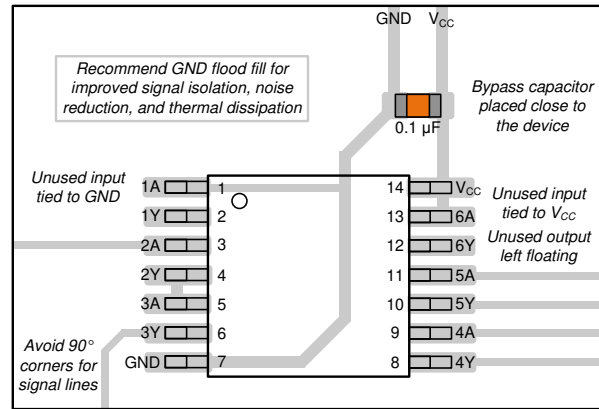


図 8-3. SN74AC16 のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[\[通知\]](#) をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

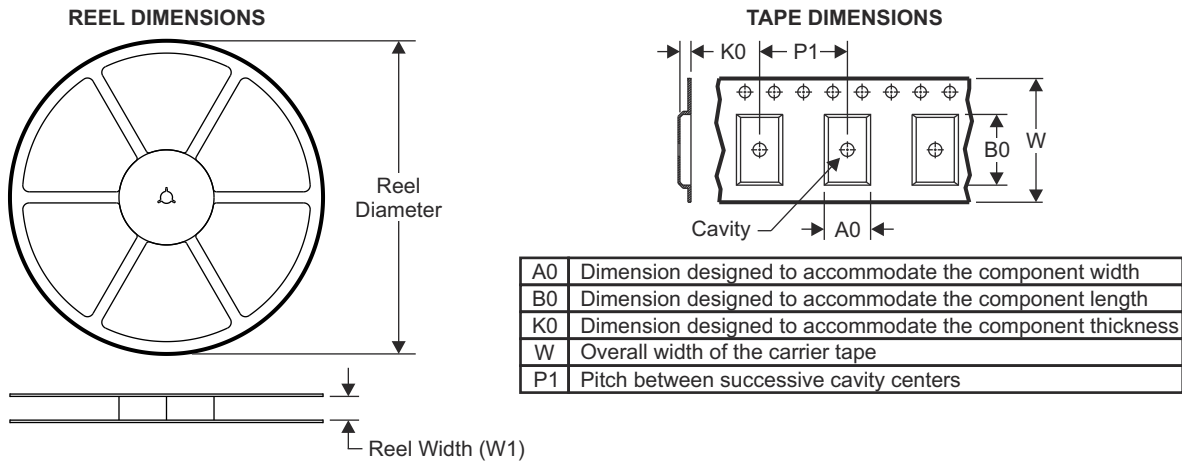
10 改訂履歴

日付	改訂	注
2024 年 7 月	*	初版リリース

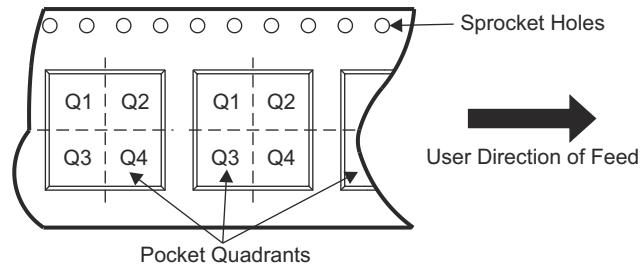
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 テープおよびリール情報

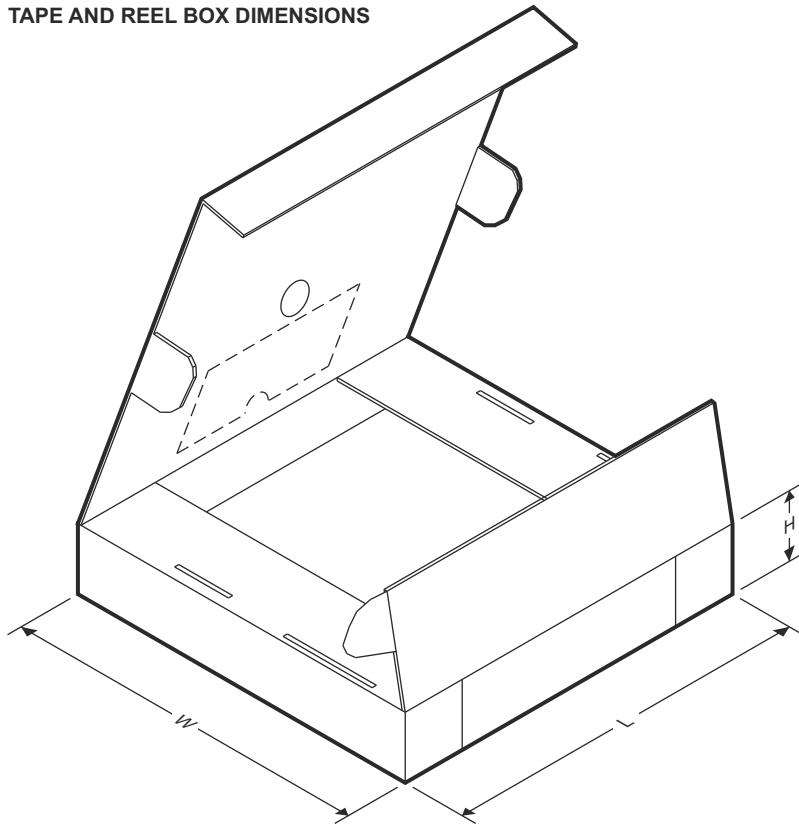


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン数	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PSN74AC16PWRQ1	TSSOP	PW	14	3000	330	12	6.90	5.60	1.60	8	12	Q1

TAPE AND REEL BOX DIMENSIONS



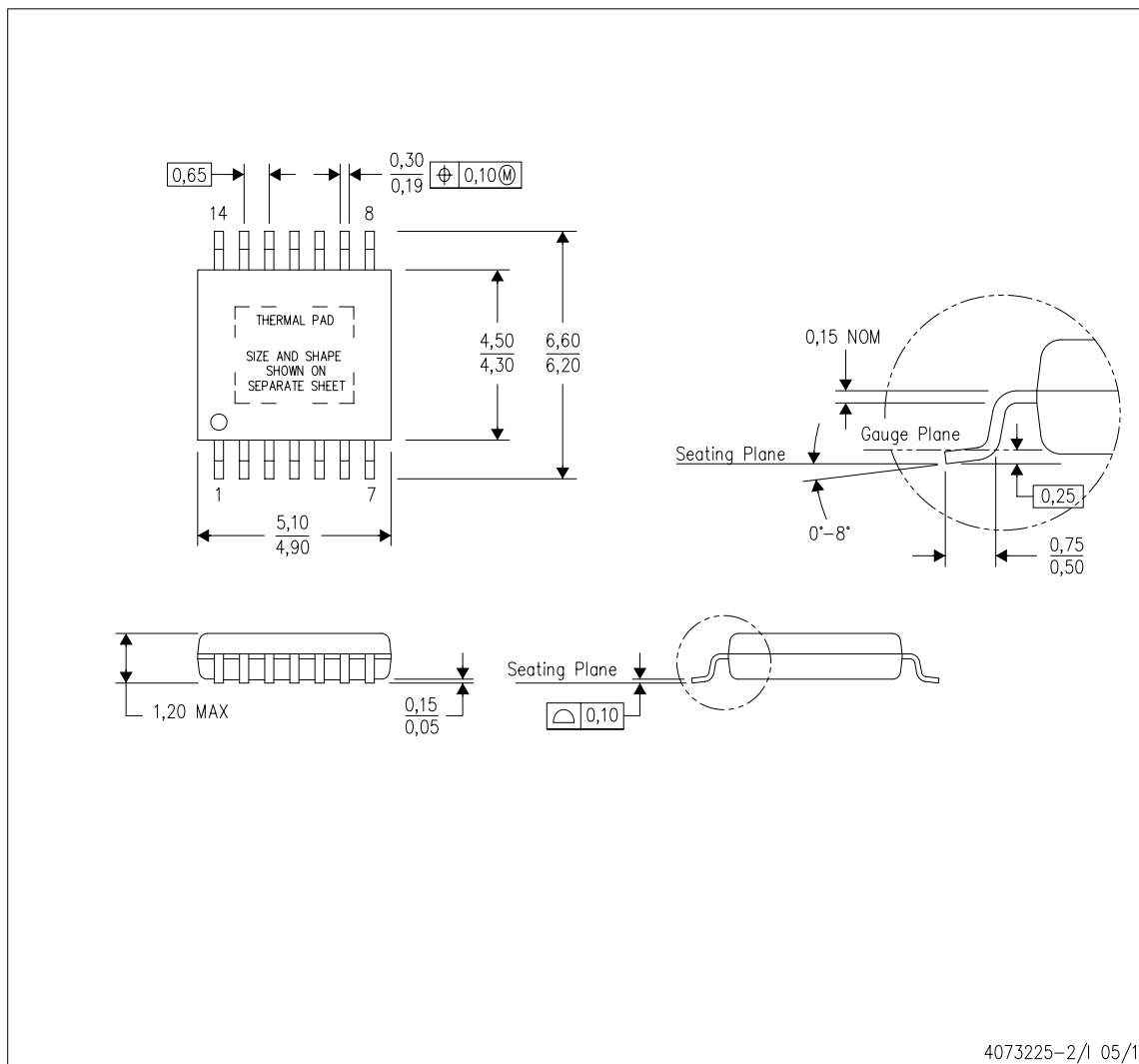
デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PSN74AC16PWRQ1	TSSOP	PW	14	3000	356	356	35

11.2 メカニカル データ

MECHANICAL DATA

PWP (R-PDSO-G14)

PowerPAD™ PLASTIC SMALL OUTLINE



4073225-2/1 05/11

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusions. Mold flash and protrusion shall not exceed 0.15 per side.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com <<http://www.ti.com>>.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - Falls within JEDEC MO-153

PowerPAD is a trademark of Texas Instruments.

THERMAL PAD MECHANICAL DATA

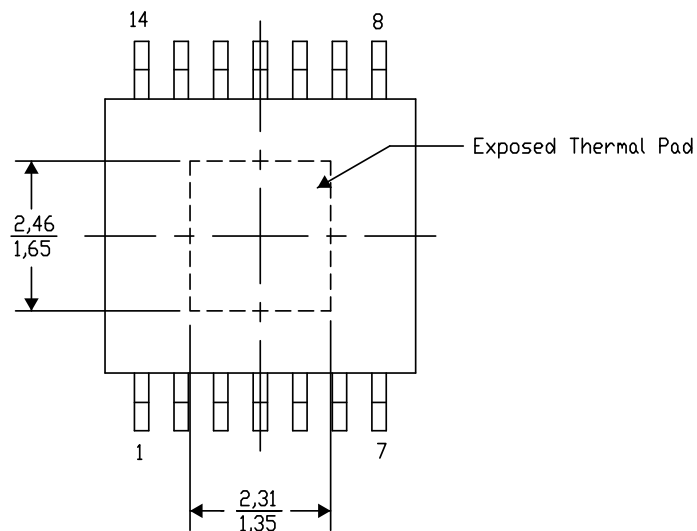
PWP (R-PDSO-G14) PowerPAD™ SMALL PLASTIC OUTLINE

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Top View

Exposed Thermal Pad Dimensions

4206332-2/A0 01/16

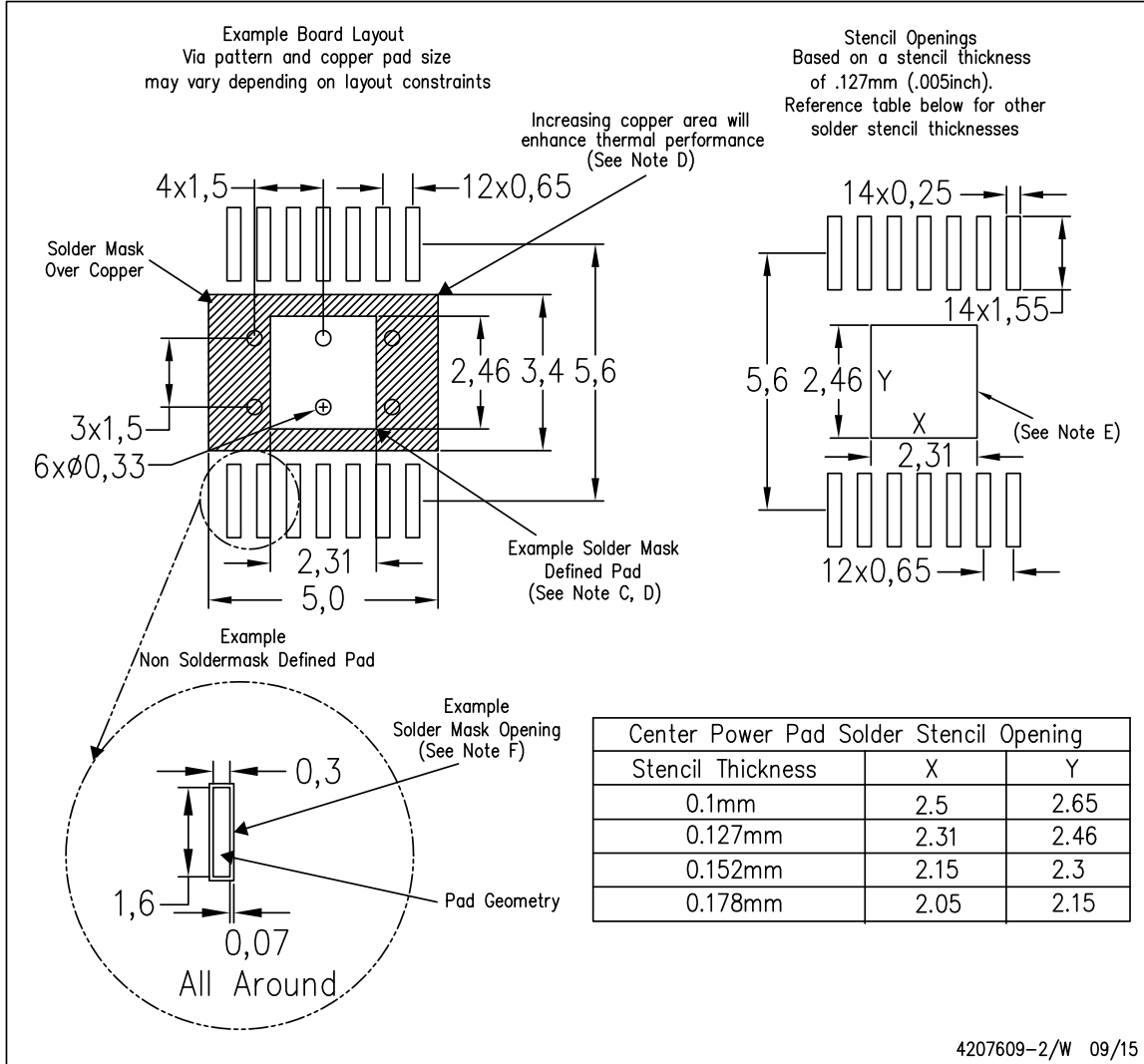
NOTE: A. All linear dimensions are in millimeters

PowerPAD is a trademark of Texas Instruments

LAND PATTERN DATA

PWP (R-PDSO-G14)

PowerPAD™ PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>. Publication IPC-7351 is recommended for alternate designs.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - F. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AC16BQAR	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC16
SN74AC16BQAR.A	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC16
SN74AC16PWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	AC16
SN74AC16PWR.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC16

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AC16 :

- Automotive : [SN74AC16-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

GENERIC PACKAGE VIEW

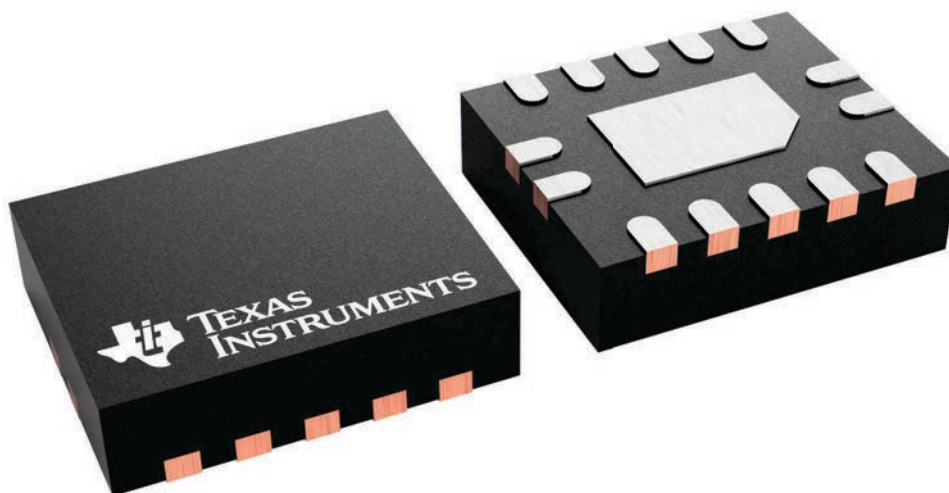
BQA 14

WQFN - 0.8 mm max height

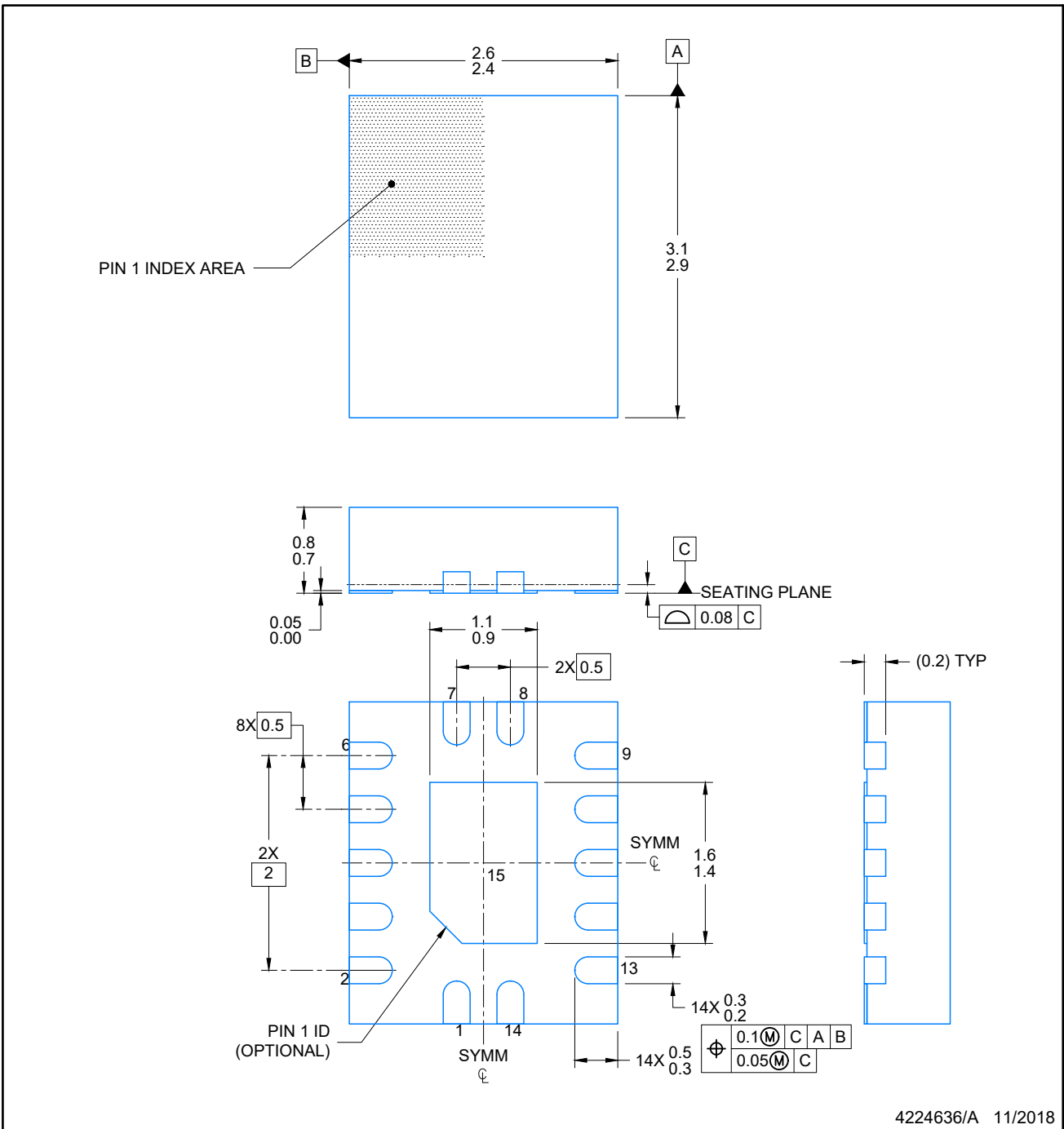
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

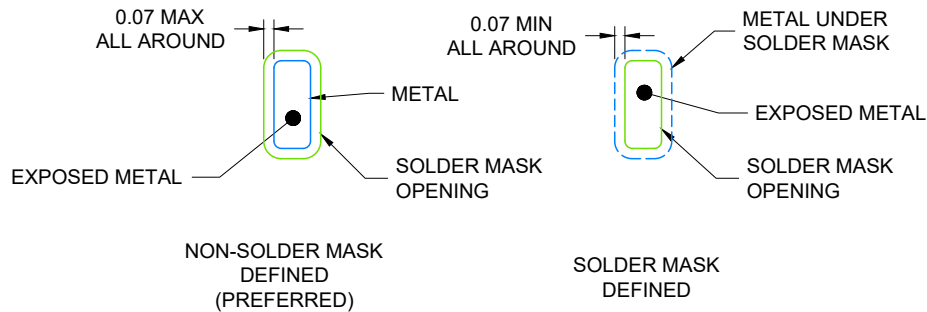
WQFN - 0.8 mm max height

BQA0014A

PLASTIC QUAD FLAT PACK-NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

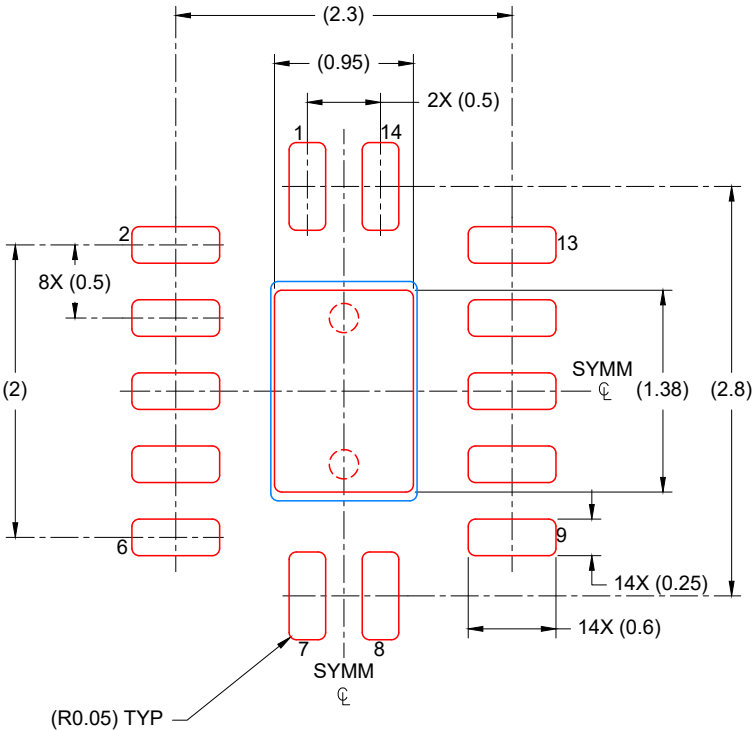
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
 88% PRINTED COVERAGE BY AREA
 SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PW0014A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月