

# SN74AC541 3ステート出力搭載、オクタル・バッファ/ドライバ

## 1 特長

- 幅広い動作範囲：1.5V～6V
- 6Vまでの入力電圧に対応
- 連続±24mA出力駆動(5V時)
- 短いバーストで最大±75mAの出力駆動(5V時)に対応
- 5Ωの伝送線路を駆動
- 5V、50pF負荷時の最大値で  $t_{pd} = 6\text{ns}$

## 2 アプリケーション

- インジケータLEDの駆動
- デジタル信号の再駆動
- 伝送線路の駆動
- コントローラ・リセット時の信号保持

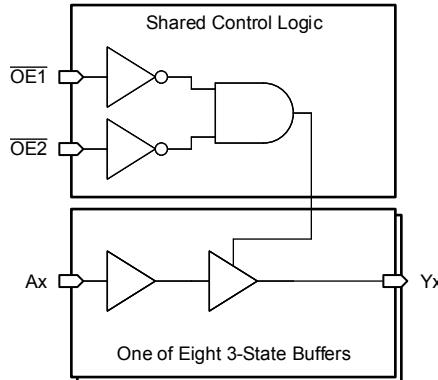
## 3 概要

SN74AC541は、8つの独立したロジックバッファを内蔵しています。提供されている出力イネーブルピン( $\overline{\text{OE}}_1$ または $\overline{\text{OE}}_2$ )のいずれかを使用して、出力を同時に高インピーダンス状態にできます。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ・サイズ <sup>(2)</sup>	本体サイズ <sup>(3)</sup>
SN74AC541	DGS (VSSOP、20)	5.1mm × 4.9mm	5.1mm × 3mm
	RKS (VQFN、20)	4.5mm × 2.5mm	4.5mm × 2.5mm

- (1) 詳細については、[セクション11](#)を参照してください。  
 (2) パッケージ・サイズ(長さ×幅)は公称値であり、該当する場合はピンも含まれます。  
 (3) 本体サイズ(長さ×幅)は公称値であり、ピンは含まれません。



論理図(正論理)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあります。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.comで必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長.....	1	8 アプリケーションと実装.....	14
2 アプリケーション.....	1	8.1 アプリケーション情報.....	14
3 概要.....	1	8.2 代表的なアプリケーション.....	14
4 ピン構成および機能.....	3	8.3 設計要件.....	14
5 仕様.....	4	8.4 詳細な設計手順.....	16
5.1 絶対最大定格.....	4	8.5 アプリケーション曲線.....	16
5.2 ESD 定格.....	4	8.6 電源に関する推奨事項.....	17
5.3 推奨動作条件.....	4	8.7 レイアウト.....	17
5.4 熱に関する情報.....	5	9 デバイスおよびドキュメントのサポート.....	18
5.5 電気的特性.....	5	9.1 ドキュメントのサポート.....	18
5.6 スイッチング特性.....	6	9.2 ドキュメントの更新通知を受け取る方法.....	18
5.7 代表的特性.....	8	9.3 サポート・リソース.....	18
6 パラメータ測定情報.....	11	9.4 商標.....	18
7 詳細説明.....	12	9.5 静電気放電に関する注意事項.....	18
7.1 概要.....	12	9.6 用語集.....	18
7.2 機能ブロック図.....	12	10 改訂履歴.....	18
7.3 デバイスの機能モード.....	12	11 メカニカル、パッケージ、および注文情報.....	18
7.4 機能説明.....	12		

## 4 ピン構成および機能

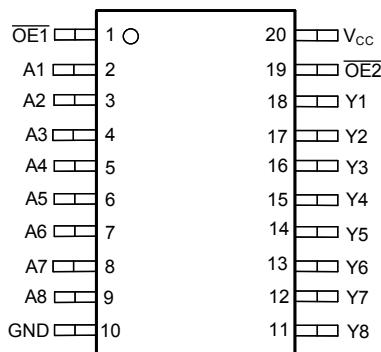


図 4-1. DGS パッケージ、  
20 ピン SOT  
(上面図)

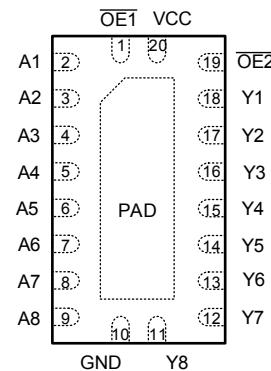


図 4-2. RKS パッケージ、  
20 ピン VQFN  
(上面図)

表 4-1. ピンの機能

ピン		種類 <sup>(1)</sup>	説明
名称	番号		
OE1	1	I	出力イネーブル入力 1、アクティブ Low
A1	2	I	チャネル 1 の入力
A2	3	I	チャネル 2 の入力
A3	4	I	チャネル 3 の入力
A4	5	I	チャネル 4 の入力
A5	6	I	チャネル 5 の入力
A6	7	I	チャネル 6 の入力
A7	8	I	チャネル 7 の入力
A8	9	I	チャネル 8 の入力
GND	10	G	グランド
Y8	11	O	チャネル 8 の出力
Y7	12	O	チャネル 7 の出力
Y6	13	O	チャネル 6 の出力
Y5	14	O	チャネル 5 の出力
Y4	15	O	チャネル 4 の出力
Y3	16	O	チャネル 3 の出力
Y2	17	O	チャネル 2 の出力
Y1	18	O	チャネル 1 の出力
OE2	19	I	出力イネーブル入力 2、アクティブ Low
V <sub>CC</sub>	20	P	正電源
サーマル・パッド <sup>(2)</sup>	—	—	サーマル・パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、P = 電源。

(2) RKS パッケージのみ。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

仕様	条件	最小値	最大値	単位
$V_{CC}$	電源電圧範囲	-0.5	7	V
$V_I$	入力電圧範囲 <sup>(2)</sup>	-0.5	$V_{CC} + 0.5V$	V
$V_O$	出力電圧範囲 <sup>(2)</sup>	-0.5	$V_{CC} + 0.5V$	V
$I_{IK}$	入力クランプ電流	$V_I < -0.5V$ または $V_I > V_{CC} + 0.5V$	$\pm 20$	mA
$I_{OK}$	出力クランプ電流	$V_O < -0.5V$ または $V_O > V_{CC} + 0.5V$	$\pm 50$	mA
$I_O$	連続出力電流	$V_O = 0 \sim V_{CC}$	$\pm 50$	mA
	$V_{CC}$ または GND を通過する連続出力電流		$\pm 200$	mA
$T_{stg}$	保管温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件下において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

### 5.2 ESD 定格

仕様	値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。  
 (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
$V_{CC}$	電源電圧		1.5	6	V
$V_{IH}$	High レベル入力電圧	$V_{CC} = 1.5V$	1.2		V
		$V_{CC} = 1.8V$	1.26		
		$V_{CC} = 2.5V$	1.75		
		$V_{CC} = 3V$	2.1		
		$V_{CC} = 4.5V$	3.15		
		$V_{CC} = 5.5V$	3.85		
$V_{IL}$	Low レベル入力電圧	$V_{CC} = 1.5V$	0.3		V
		$V_{CC} = 1.8V$	0.54		
		$V_{CC} = 2.5V$	0.75		
		$V_{CC} = 3V$	0.9		
		$V_{CC} = 4.5V$	1.35		
		$V_{CC} = 5.5V$	1.65		
$V_I$ <sup>(1)</sup>	入力電圧		0	$V_{CC}$	V
$V_O$	出力電圧		0	$V_{CC}$	V

### 5.3 推奨動作条件 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
$I_{OH}$	High レベル出力電流	$V_{CC} = 1.8V$		-1	mA
		$V_{CC} = 2.5V$		-2	
		$V_{CC} = 3.3V$		-12	
		$V_{CC} = 5V$		-24	
$I_{OL}$	Low レベル出力電流	$V_{CC} = 1.8V$		1	mA
		$V_{CC} = 2.5V$		2	
		$V_{CC} = 3.3V$		12	
		$V_{CC} = 5V$		24	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	$1.5V \leq V_{CC} \leq 3V$		50	ns/V
		$3V < V_{CC} \leq 5.5V$		20	
$T_A$	自由気流での動作温度		-40	125	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、VCC または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』を参照してください。

### 5.4 热に関する情報

熱評価基準 <sup>(1)</sup>		DGS (VSSOP)	RKS (VQFN)	UNIT
		20 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	125.5	72.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	80.0	77.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	63.8	45.6	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	8.4	13.2	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	79.9	45.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	29.4	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

### 5.5 電気的特性

自由空気での動作温度範囲内、 $T_A = 25^\circ C$  で測定した代表値 (特に記述のない限り)

パラメータ	テスト条件	$V_{CC}$	最小値	標準値	最大値	単位
$V_{OH}$	$I_{OH} = -50\mu A$	1.5V	1.4	1.49		V
		1.8V	1.7	1.79		
		2.5V	2.4	2.49		
		3V	2.9	2.99		
		4.5V	4.4	4.49		
		5.5V	5.4	5.49		
	$I_{OH} = -1mA$	1.8V		1.44		
	$I_{OH} = -2mA$	2.5V		2		
	$I_{OH} = -4mA$	3V		2.4		
	$I_{OH} = -12mA$	3V		2.4		
	$I_{OH} = -24mA$	4.5V		3.7		
	$I_{OH} = -24mA$	5.5V		4.7		
	$I_{OH} = -75mA$	5.5V				
	$I_{OH} = -50mA$	5.5V		3.85		

## 5.5 電気的特性(続き)

自由空気での動作温度範囲内、 $T_A = 25^\circ\text{C}$  で測定した代表値(特に記述のない限り)

パラメータ	テスト条件	$V_{CC}$	最小値	標準値	最大値	単位
$V_{OL}$	$I_{OL} = 50\mu\text{A}$	1.5V	0.01	0.1		
		1.8V	0.01	0.1		
		2.5V	0.01	0.1		
		3V	0.01	0.1		
		4.5V	0.01	0.1		
		5.5V	0.01	0.1		
	$I_{OL} = 1\text{mA}$	1.8V			0.36	V
		2.5V			0.5	
		3V			0.5	
		3V			0.5	
		4.5V			0.5	
		5.5V			0.5	
		5.5V			1.65	
	$I_{OL} = 2\text{mA}$	5.5V			1.65	
	$I_{OL} = 4\text{mA}$	5.5V			1.65	
	$I_{OL} = 12\text{mA}$	5.5V			1.65	
	$I_{OL} = 24\text{mA}$	5.5V			1.65	
	$I_{OL} = 24\text{mA}$	5.5V			1.65	
	$I_{OL} = 50\text{mA}$	5.5V			1.65	
	$I_{OL} = 75\text{mA}$	5.5V			1.65	
$I_I$	$V_I = 5.5\text{V}$ または GND	0V ~ 5.5V			$\pm 1$	$\mu\text{A}$
$I_{OZ}$	$V_O = V_{CC}$ または GND	5.5V			$\pm 5$	$\mu\text{A}$
$I_{CC}$	$V_I = V_{CC}$ または GND、 $I_O = 0$	5.5V			20	$\mu\text{A}$
$C_I$	$V_I = V_{CC}$ または GND	5V			9	pF
$C_O$	$V_O = V_{CC}$ または GND	5V			15	pF
$C_{PD}$ (1) (2)	$F = 1\text{MHz}$	5V			60	pF

(1)  $C_{PD}$  は、チャネルごとのダイナミック消費電力を決定するために使用されます

(2)  $P_D = V_{CC}^2 \times F_I \times (C_{PD} + C_L)$ 、ここで  $F_I$  = 入力周波数、 $C_L$  = 出力負荷容量、 $V_{CC}$  = 電源電圧

## 5.6 スイッチング特性

$C_L = 50\text{pF}$ 、自由空気での動作温度範囲内(特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点(入力)	終点(出力)	$V_{CC}$	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 85^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
				最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
$t_{PLH}$	A	Y	1.5V	14.5	25.6		26.5			26.8		ns	
$t_{PHL}$	A	Y	1.5V	14.8	27.5		28.4			28.8		ns	
$t_{PZH}$	$\overline{OE}$	Y	1.5V	17.6	35		36.8			37.7		ns	
$t_{PZL}$	$\overline{OE}$	Y	1.5V	19.2	36.3		37.7			38.1		ns	
$t_{PHZ}$	$\overline{OE}$	Y	1.5V	22.3	32.7		33.8			34.3		ns	
$t_{PLZ}$	$\overline{OE}$	Y	1.5V	14	21.8		22.3			22.3		ns	
$t_{PLH}$	A	Y	1.8V	10.1	16.4		17.7			18.5		ns	
$t_{PHL}$	A	Y	1.8V	10.9	18.6		19.8			20.6		ns	
$t_{PZH}$	$\overline{OE}$	Y	1.8V	12.8	22.7		24.7			25.9		ns	
$t_{PZL}$	$\overline{OE}$	Y	1.8V	14.1	24.2		26			26.9		ns	
$t_{PHZ}$	$\overline{OE}$	Y	1.8V	17.7	23.3		25.8			25.8		ns	
$t_{PLZ}$	$\overline{OE}$	Y	1.8V	10.6	15.3		15.9			16		ns	
$t_{PLH}$	A	Y	2.5V	6.4	9.5		10.6			11.3		ns	
$t_{PHL}$	A	Y	2.5V	7.1	11.4		12.4			13.1		ns	
$t_{PZH}$	$\overline{OE}$	Y	2.5V	8.3	13.5		15.1			16.2		ns	
$t_{PZL}$	$\overline{OE}$	Y	2.5V	9.3	15.1		16.7			17.4		ns	

## 5.6 スイッチング特性(続き)

$C_L = 50\text{pF}$ 、自由空気での動作温度範囲内(特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点(入力)	終点(出力)	$V_{CC}$	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 85^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
				最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
$t_{PHZ}$	$\overline{OE}$	Y	2.5V	7.6	10.5		11.4			11.9		ns	
$t_{PLZ}$	$\overline{OE}$	Y	2.5V	5.4	7.9		8.7			8.9		ns	
$t_{PLH}$	A	Y	3.3V	5.3	7.6		8.6			9.2		ns	
$t_{PHL}$	A	Y	3.3V	5.9	9.4		10.2			10.8		ns	
$t_{PZH}$	$\overline{OE}$	Y	3.3V	7.2	11.2		12.4			13.2		ns	
$t_{PZL}$	$\overline{OE}$	Y	3.3V	7.7	12.5		13.6			14.5		ns	
$t_{PHZ}$	$\overline{OE}$	Y	3.3V	6.3	8.4		9.3			10		ns	
$t_{PLZ}$	$\overline{OE}$	Y	3.3V	4.7	6.6		7.1			7.7		ns	
$t_{PLH}$	A	Y	5V	3.9	5.3		6			6.4		ns	
$t_{PHL}$	A	Y	5V	4.5	7		7.6			8		ns	
$t_{PZH}$	$\overline{OE}$	Y	5V	5.6	8.3		9.2			9.8		ns	
$t_{PZL}$	$\overline{OE}$	Y	5V	5.8	8.8		9.6			10.2		ns	
$t_{PHZ}$	$\overline{OE}$	Y	5V	5	6.3		6.8			6.8		ns	
$t_{PLZ}$	$\overline{OE}$	Y	5V	3.5	4.5		4.9			5.2		ns	

## 5.7 代表的特性

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

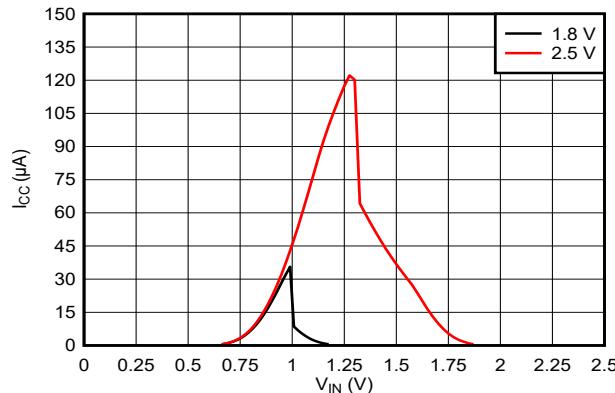


図 5-1. 電源電流と入力電圧との関係 (1.8V、2.5V 電源)

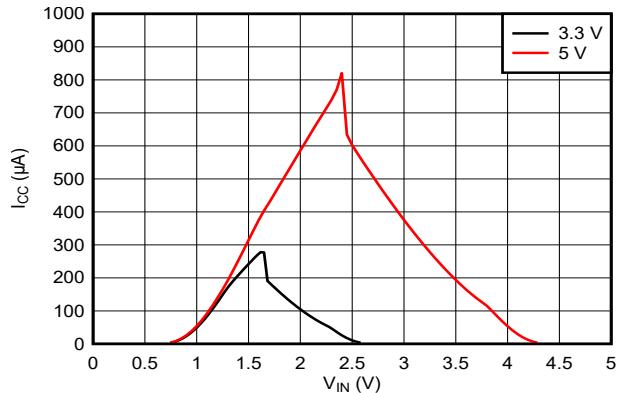


図 5-2. 電源電流と入力電圧との関係 (3.3V、5.0V 電源)

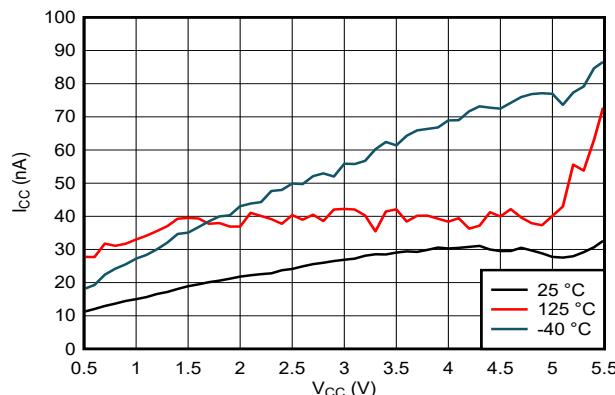


図 5-3. 電源電流と電源電圧との関係

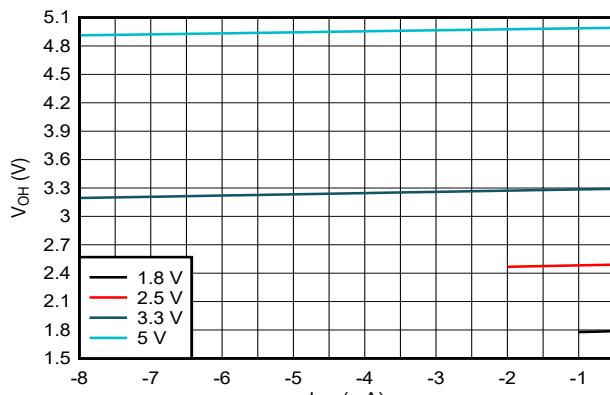


図 5-4. 出力電圧と High 状態の電流との関係

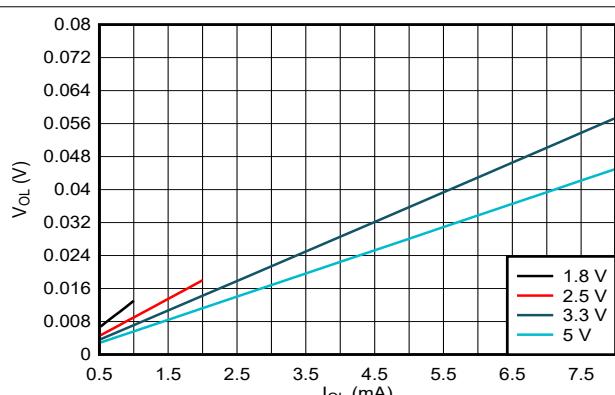


図 5-5. 出力電圧と Low 状態の電流との関係

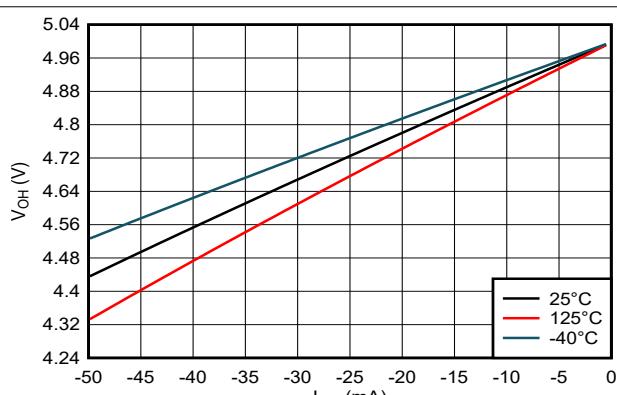


図 5-6. High 状態における出力電圧と電流の関係、5V 電源

## 5.7 代表的特性(続き)

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

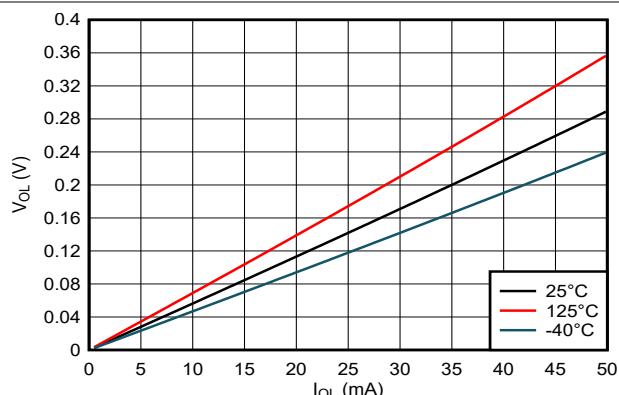


図 5-7. Low 状態における出力電圧と電流の関係、5V 電源

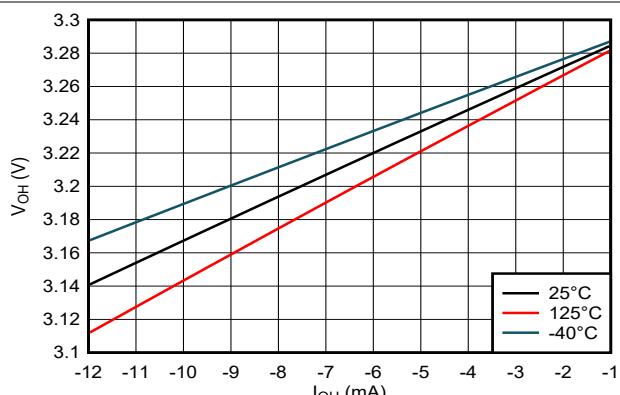


図 5-8. High 状態における出力電圧と電流の関係、3.3V 電源

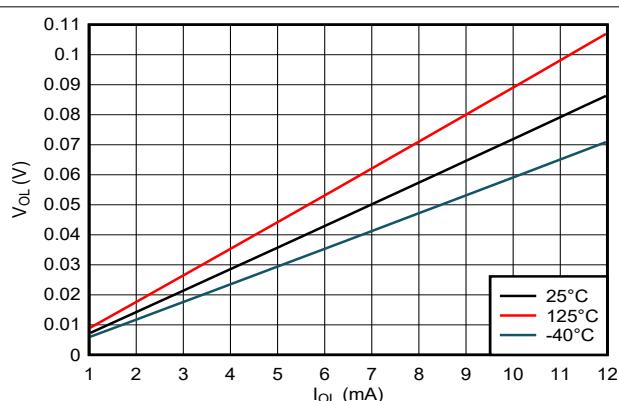


図 5-9. Low 状態における出力電圧と電流の関係、3.3V 電源

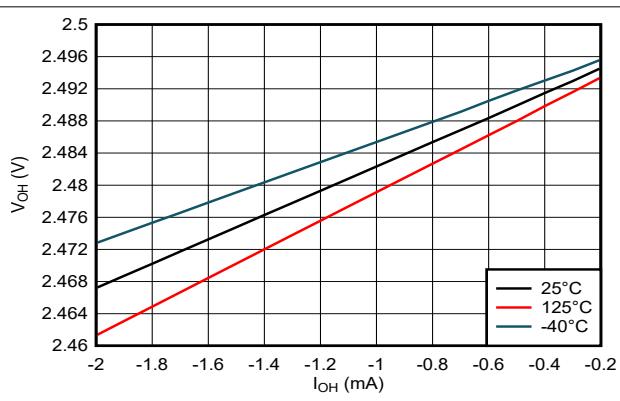


図 5-10. 出力電圧と High 状態の電流との関係 (2.5V 電源)

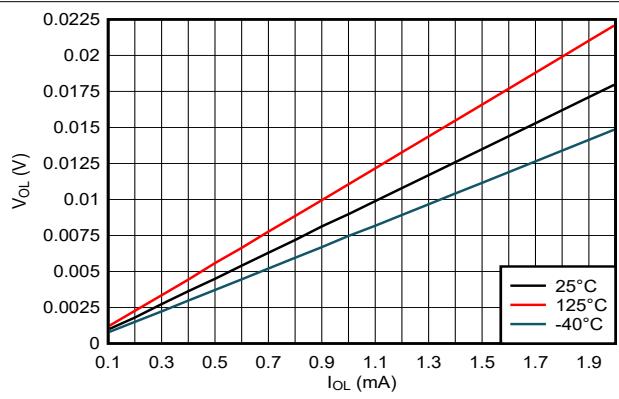


図 5-11. 出力電圧と Low 状態の電流との関係 (2.5V 電源)

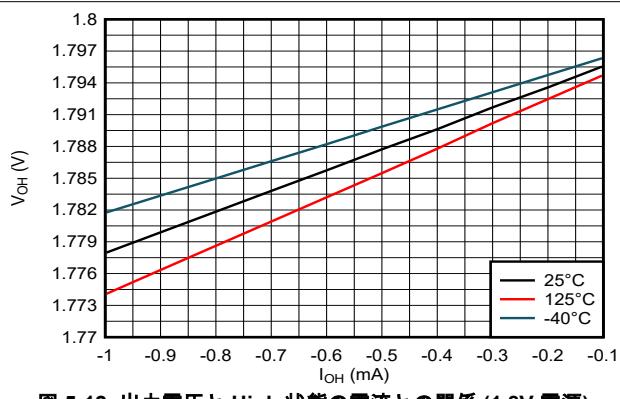


図 5-12. 出力電圧と High 状態の電流との関係 (1.8V 電源)

## 5.7 代表的特性(続き)

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

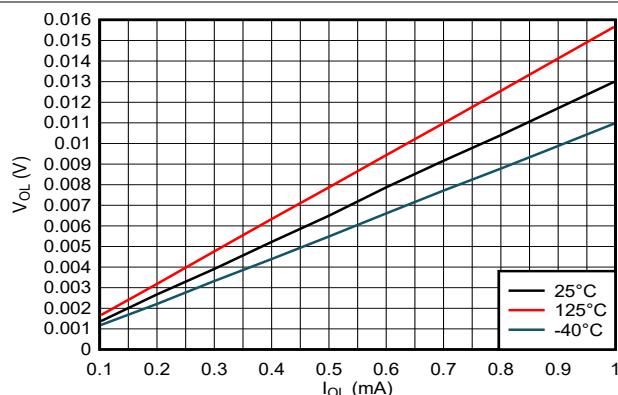


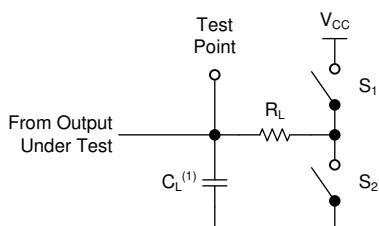
図 5-13. 出力電圧と Low 状態の電流との関係 (1.8V 電源)

## 6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータから供給されます：PRR  $\leq 1\text{MHz}$ ,  $Z_O = 50\Omega$ ,  $t_f < 2.5\text{ ns}$ 。

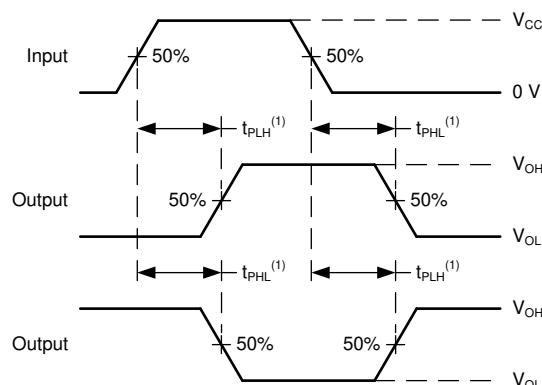
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

テスト	S1	S2	$R_L$	$C_L$	$\Delta V$	$V_{cc}$
$t_{PLH}, t_{PHL}$	オープン	オープン	—	50pF	—	すべて
$t_{PLZ}, t_{PZL}$	クローズ	オープン	1k $\Omega$	50pF	0.15V	$\leq 2.5\text{V}$
$t_{PHZ}, t_{PZH}$	オープン	クローズ	1k $\Omega$	50pF	0.15V	$\leq 2.5\text{V}$
$t_{PLZ}, t_{PZL}$	クローズ	オープン	500 $\Omega$	50pF	0.3V	$> 2.5\text{V}$
$t_{PHZ}, t_{PZH}$	オープン	クローズ	500 $\Omega$	50pF	0.3V	$> 2.5\text{V}$



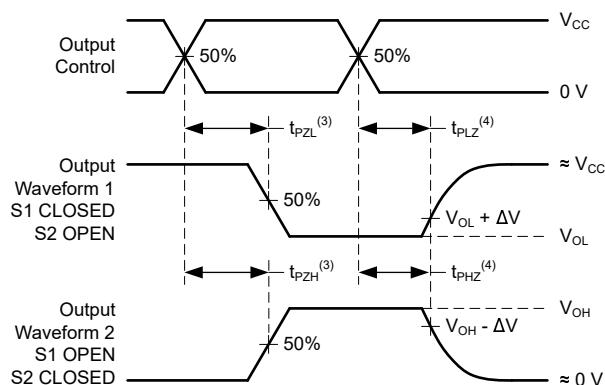
(1)  $C_L$  にはプローブとテスト装置の容量が含まれます。

図 6-1.3 ステート出力の負荷回路



(1)  $t_{PLH}$  と  $t_{PHL}$  の大きい方が  $t_{pd}$  に相当します。

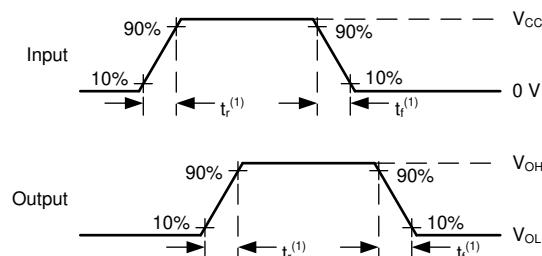
図 6-2. 電圧波形の伝搬遅延



(3)  $t_{PLZ}$  と  $t_{PZH}$  の大きい方が  $t_{en}$  に相当します。

(4)  $t_{PLZ}$  と  $t_{PHZ}$  の大きい方が  $t_{dis}$  に相当します。

図 6-3. 電圧波形の伝搬遅延



(1)  $t_r$  と  $t_f$  の大きい方が  $t_t$  に相当します。

図 6-4. 電圧波形、入力および出力の遷移時間

## 7 詳細説明

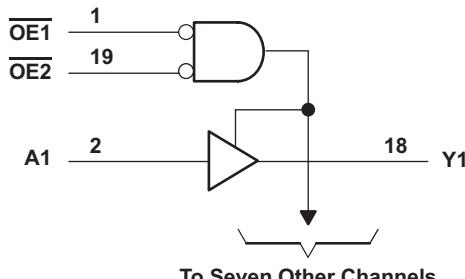
### 7.1 概要

SN74AC541 は、3 ステート出力を備えた 8 つのバッファを搭載しています。アクティブ Low の出力イネーブルピン ( $\overline{OE1}$ ,  $\overline{OE2}$ ) により、8 つのチャネルがすべて制御されます。両方のピンが Low のときのみ出力がアクティブになるように構成されています。

出力がイネーブルのとき、出力はアクティブになって Low または High に駆動されます。

出力がディセーブルのとき、出力は高インピーダンス状態に設定されます。

### 7.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

図 7-1. 論理図 (正論理)

### 7.3 デバイスの機能モード

表 7-1. 機能表

入力 (1)		出力 (2)	
$\overline{OE1}$	$\overline{OE2}$	A	Y
L	L	L	L
L	L	H	H
H	X	X	Z
X	H	X	Z

(1) L = 入力 Low, H = 入力 High, X = ドントケア

(2) L = 出力 Low, H = 出力 High, Z = 高インピーダンス

### 7.4 機能説明

#### 7.4.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High に駆動、Low に駆動、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング・ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために  $10\text{k}\Omega$  の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

#### 7.4.2 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。最悪条件下の抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーコンデンサからオームの法則 ( $R = V / I$ ) を使用して計算します。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用的入力は、 $V_{CC}$  または GND で終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因に依存しますが、 $10\text{k}\Omega$  の抵抗を推奨します。通常はこれですべての要件を満たします。

#### 7.4.3 クランプ・ダイオード構造

図 7-2 に示すように、このデバイスの入力と出力には正と負の両方のクランプ・ダイオードがあります。

##### 注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

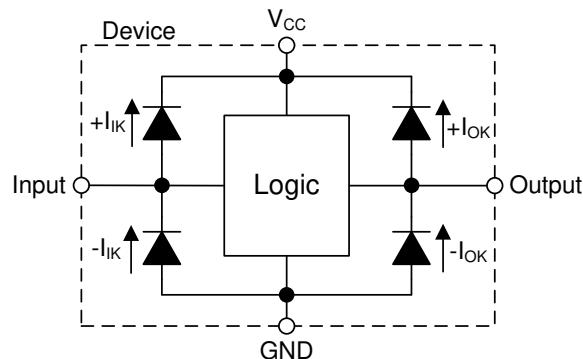


図 7-2. 各入力と出力に対するクランプ・ダイオードの電気的配置

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

SN74AC541 は、比較的長いパターンや伝送線路で信号を駆動するために使用できます。トランスマッタの出力と直列に配置した直列ダンピング抵抗を使用すると、ドライバ、伝送線路、レシーバの間のインピーダンスの不整合に起因するリギングを低減できます。「アプリケーション曲線」セクションの図は、3つの個別の抵抗値を持つ受信信号を示しています。この種のアプリケーションでは、わずかな量の抵抗だけで信号整合性に大きな影響を及ぼす可能性があります。

### 8.2 代表的なアプリケーション

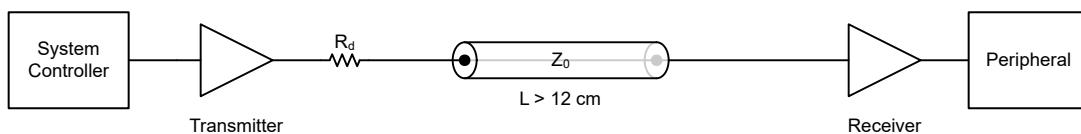


図 8-1. 代表的なアプリケーションのブロック図

### 8.3 設計要件

#### 8.3.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正の電圧電源は、「電気的特性」に示されている最大静的電源電流  $I_{CC}$  に SN74AC541 のすべての出力がソースとする合計電流を加えた電流と、スイッチングに必要な過渡電流をソースできる必要があります。ロジック・デバイスは、正の電源から供給される電流量のみをソースできます。「絶対最大定格」に記載されている  $V_{CC}$  を流れる最大合計電流を超えないようにしてください。

グランドは、SN74AC541 のすべての出力によってシンクされる合計電流に「電気的特性」に記載されている最大電源電流  $I_{CC}$  を加えた電流と、スイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グランド接続にシンクできる電流量のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SN74AC541 は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えないようにすることを推奨します。

SN74AC541 は、「電気的特性」表に定義されている出力電圧および電流 ( $V_{OH}$  および  $V_{OL}$ ) で、 $R_L \geq V_O / I_O$  で記述される合計抵抗の負荷を駆動できます。HIGH 状態で出力する場合、式の出力電圧は、測定された出力電圧と  $V_{CC}$  ピンの電源電圧との差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

### 注意

「絶対最大定格」に記載されている最大接合部温度  $T_{J(max)}$  は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値を超えないようにしてください。これらの制限値は、デバイスの損傷を防止するために規定されています。

### 8.3.2 入力に関する考慮事項

入力信号がロジック LOW と見なされるには  $V_{IL(max)}$  を下回る必要があります、ロジック HIGH と見なされるには  $V_{IH(min)}$  を上回る必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 $V_{CC}$  またはグランドに終端する必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端できます。入力が時々使用される場合、または常に使用されない場合は、プルアップ抵抗またはプルダウン抵抗を使用して接続できます。デフォルト状態が HIGH の場合はプルアップ抵抗を使用し、デフォルト状態が LOW の場合はプルダウン抵抗を使用します。コントローラの駆動電流、SN74AC541 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。これらの要因により、多くの場合は  $10k\Omega$  の抵抗値が使用されます。

SN74AC541 には CMOS 入力があるため、正しく動作させるためには、「推奨動作条件」表に定義されているように、入力遷移が高速である必要があります。入力遷移が遅いと、発振が発生し、消費電力が増加して、デバイスの信頼性が低下する可能性があります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

### 8.3.3 出力に関する考慮事項

出力 HIGH 電圧は、正の電源電圧を使用して生成します。「電気的特性」の  $V_{OH}$  仕様に規定されているように、出力から電流を引き込むと出力電圧が低下します。出力 LOW 電圧は、グランド電圧を使用して生成します。「電気的特性」の  $V_{OL}$  仕様に規定されているように、出力に電流をシンクすると出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力同士は、直接接続しないでください。これにより過電流が発生し、デバイスが損傷する可能性があります。

同じデバイス内で、同じ入力信号を持つ 2 つのチャネルを並列に接続すると、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を直接  $V_{CC}$  またはグランドに接続しないでください。

このデバイスの出力の詳細については、「機能説明」セクションを参照してください。

## 8.4 詳細な設計手順

1.  $V_{CC}$  から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ  $V_{CC}$  ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず  $50\text{pF}$  以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AC541 から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を  $(V_{CC}/I_{O(\max)})\Omega$  より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力には抵抗性負荷（測定単位は  $\text{M}\Omega$ ）があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と  $C_{pd}$  の計算』に記載された手順を使って計算できます。

## 8.5 アプリケーション曲線

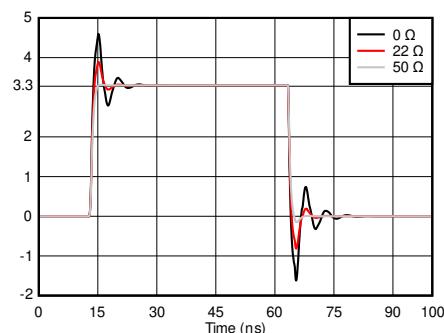


図 8-2. 異なるダンピング抵抗 ( $R_d$ ) 値を使用してレシーバでの信号の整合性をシミュレート

## 8.6 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電力障害を防止するため、各  $V_{CC}$  端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには  $0.1\mu F$  のコンデンサを推奨します。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することができます。一般的に、 $0.1\mu F$  と  $1\mu F$  のコンデンサは並列に使用されます。バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

## 8.7 レイアウト

### 8.7.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルの論理デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません(たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ・ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているように論理 High か論理 Low に接続する必要があります。特定の未使用の入力に対して適用が必要となる論理レベルは、デバイスの機能により異なります。一般に入力は、GND または  $V_{CC}$  のうち、論理機能にとってより適切であるかより利便性の高い方に接続されます。

### 8.7.2 レイアウト例

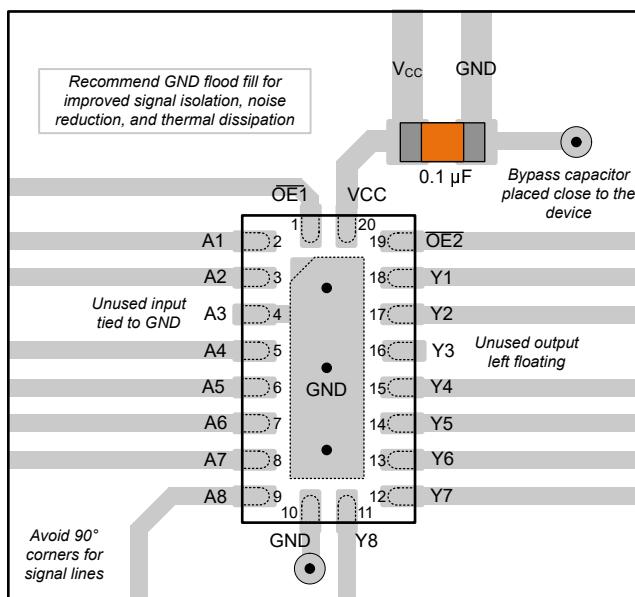


図 8-3. RKS パッケージに封止した SN74AC541 のレイアウト例

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- ・ テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』
- ・ テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- ・ テキサス・インスツルメンツ、『標準リニア / ロジック (SLL) パッケージおよびデバイスの熱特性』

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

日付	改訂	注
2023 年 11 月	*	初版

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">SN74AC541DGSR</a>	Active	Production	VSSOP (DGS)   20	5000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC541
SN74AC541DGSR.A	Active	Production	VSSOP (DGS)   20	5000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC541
<a href="#">SN74AC541RKS</a>	Active	Production	VQFN (RKS)   20	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AC541
SN74AC541RKS.A	Active	Production	VQFN (RKS)   20	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AC541

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

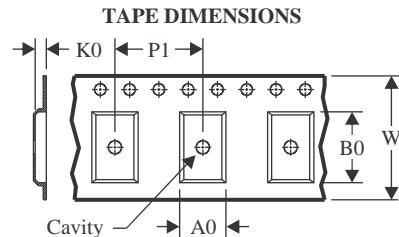
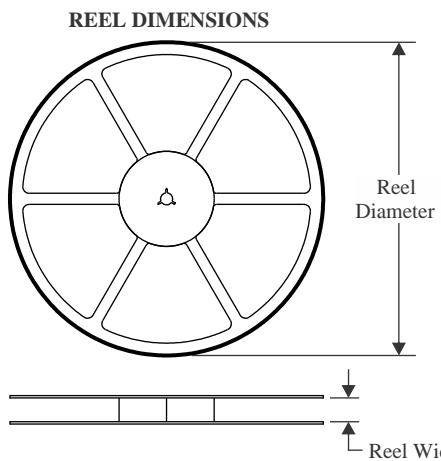
**OTHER QUALIFIED VERSIONS OF SN74AC541 :**

- Automotive : [SN74AC541-Q1](#)

NOTE: Qualified Version Definitions:

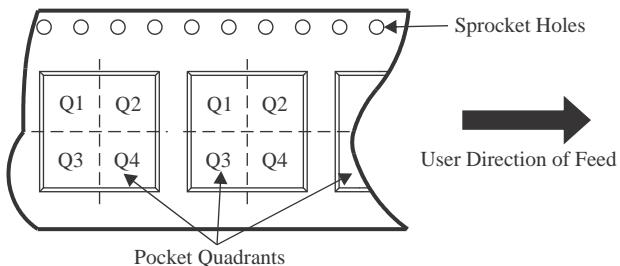
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

## TAPE AND REEL INFORMATION



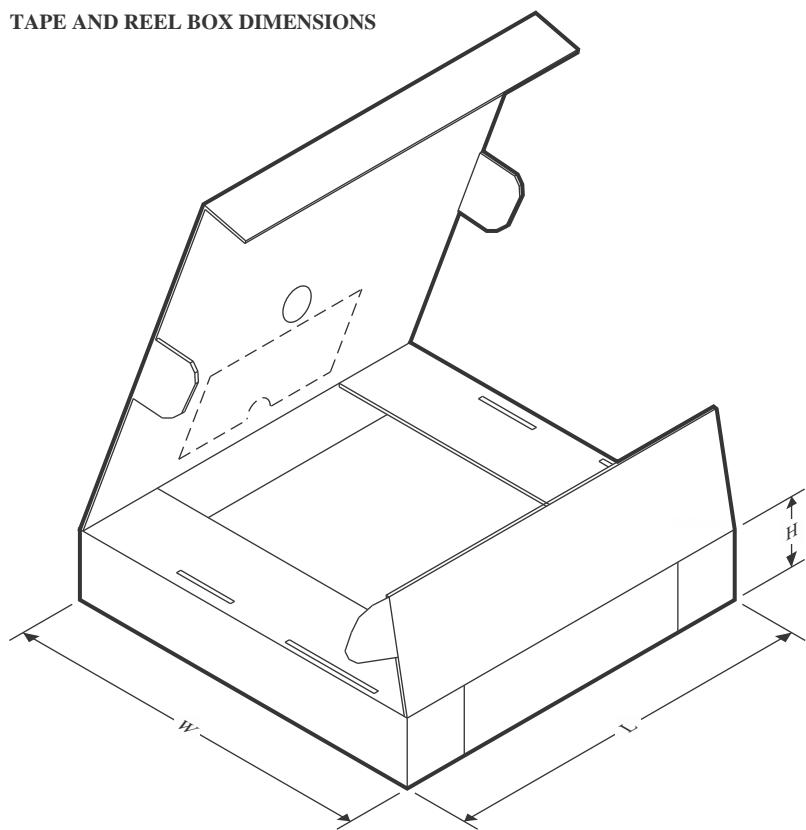
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AC541DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74AC541RKS	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

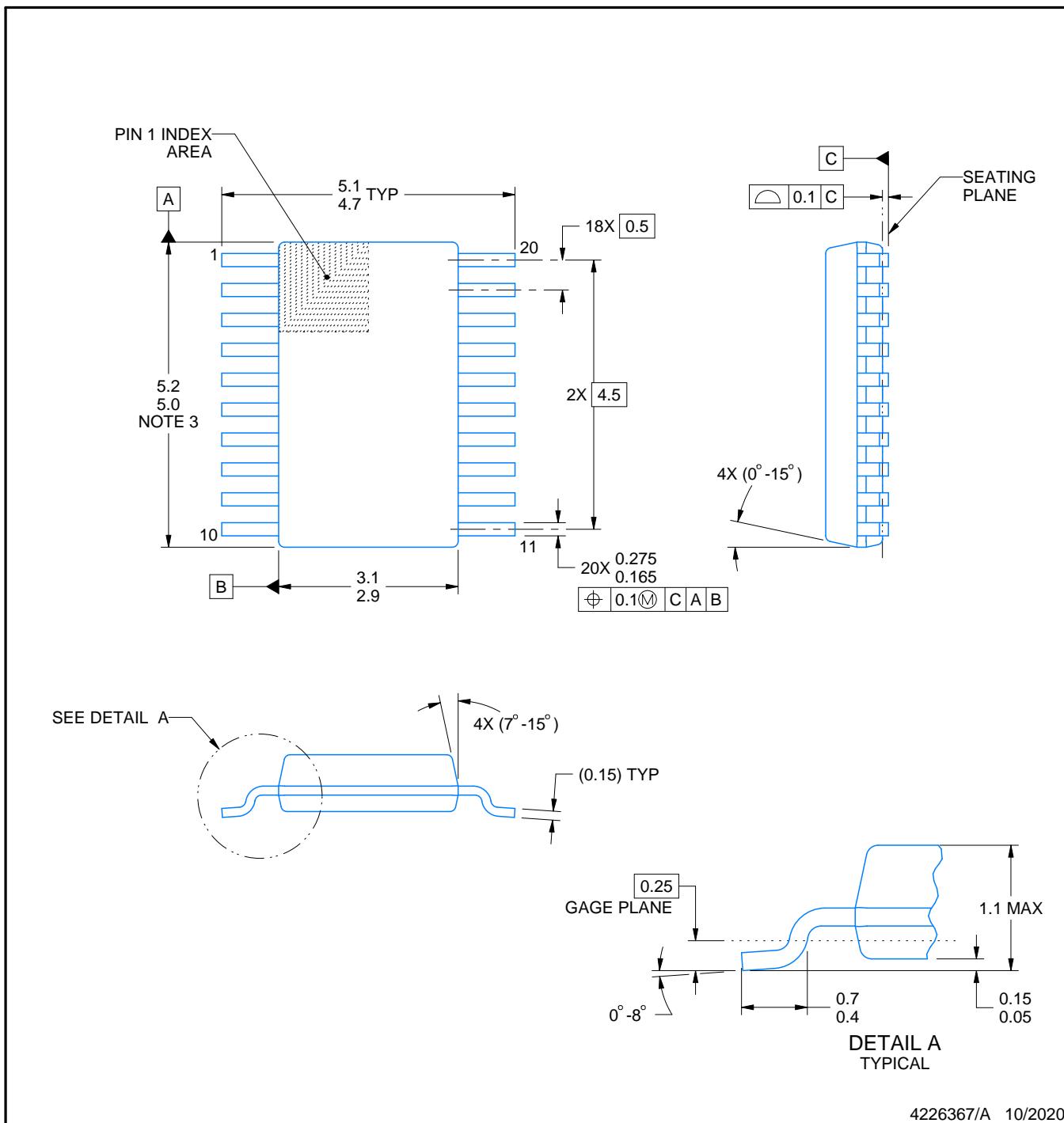
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AC541DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74AC541RKS	VQFN	RKS	20	3000	210.0	185.0	35.0

# PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

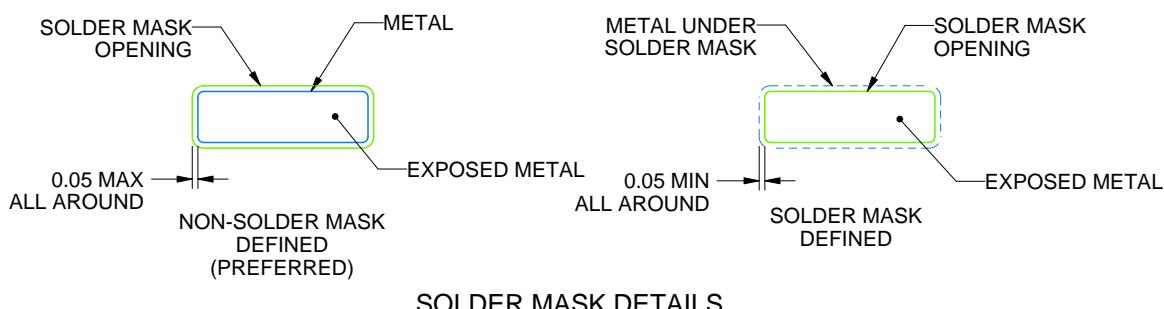
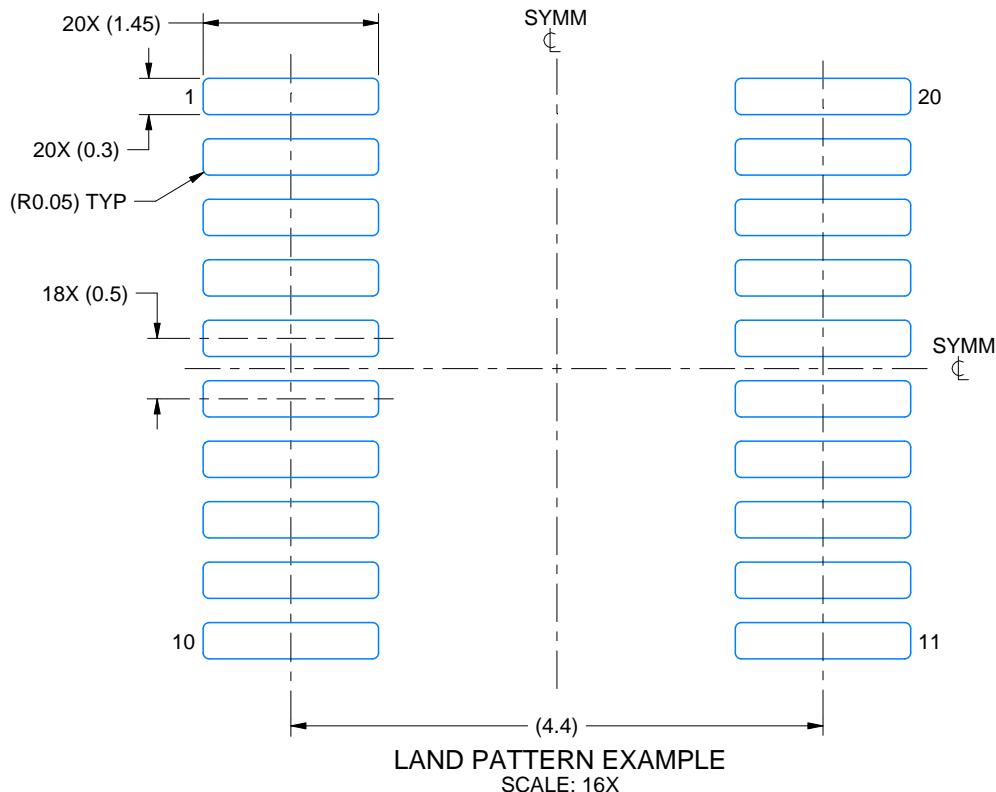
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

# EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

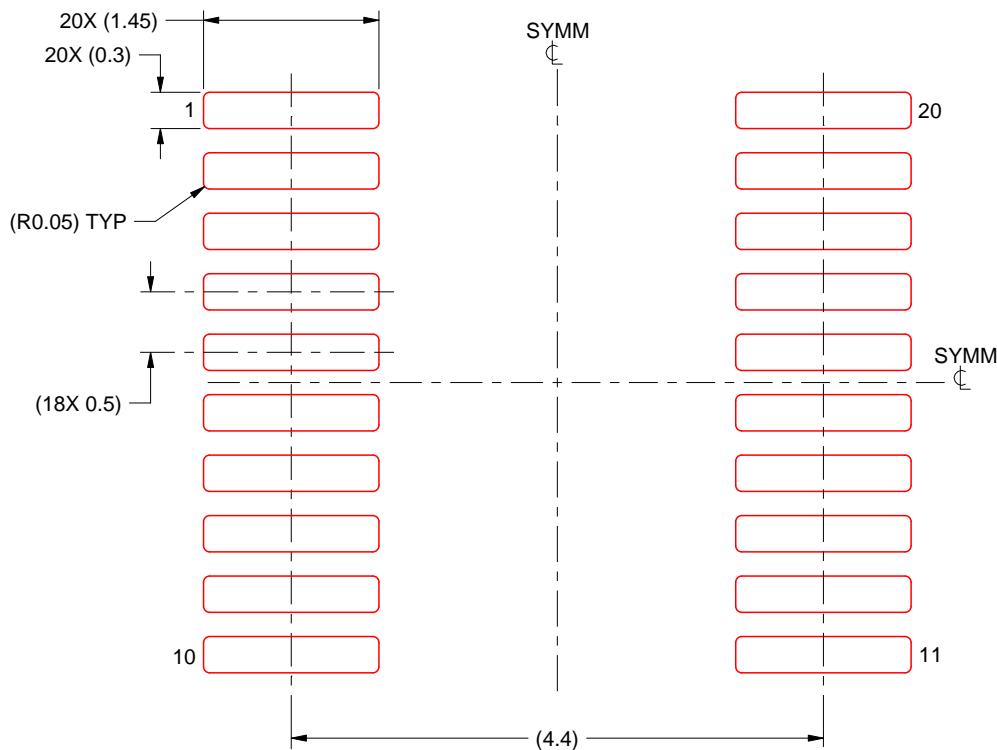
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

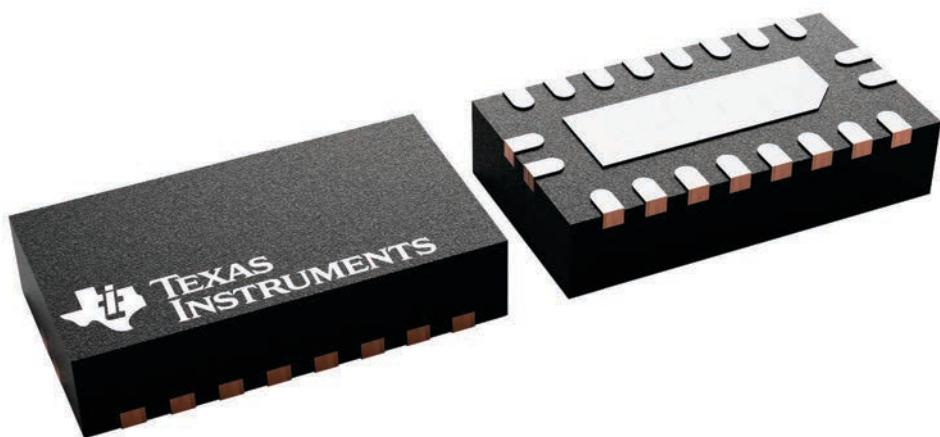
**RKS 20**

**VQFN - 1 mm max height**

**2.5 x 4.5, 0.5 mm pitch**

**PLASTIC QUAD FLATPACK - NO LEAD**

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4226872/A

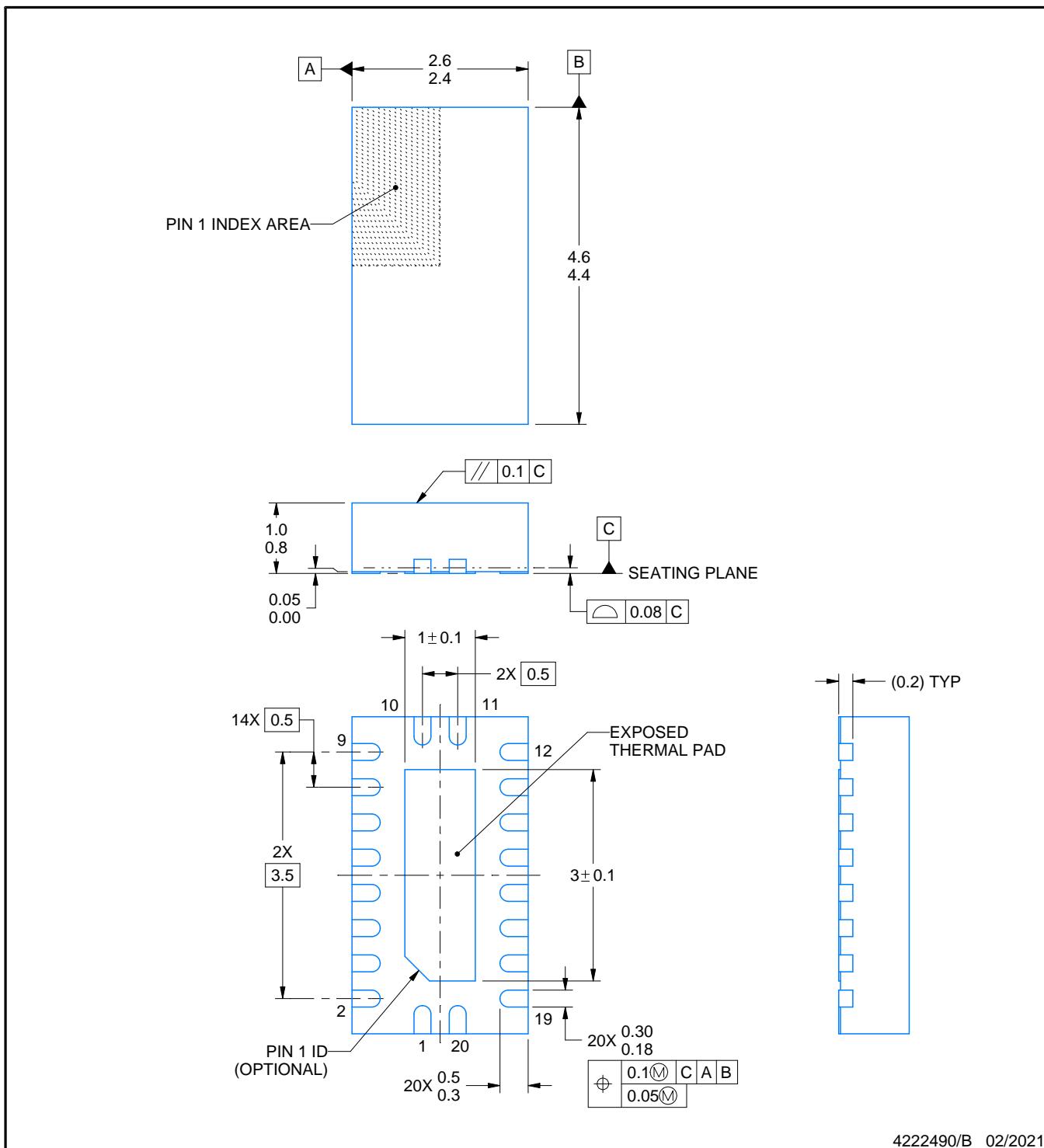
RKS0020A



# PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4222490/B 02/2021

## NOTES:

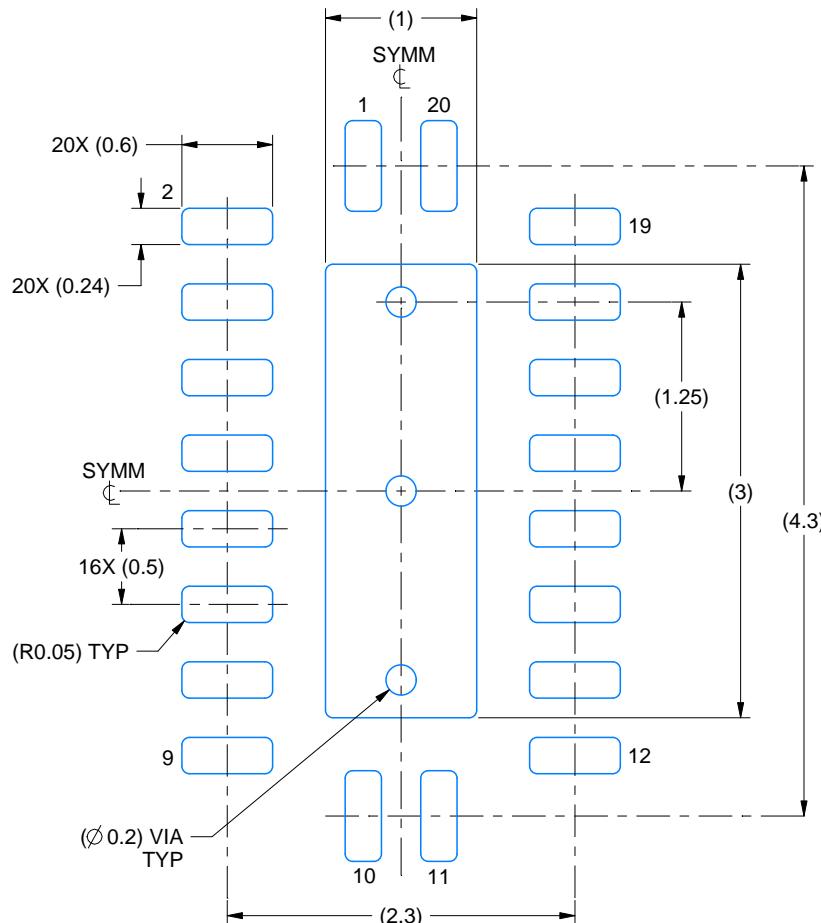
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

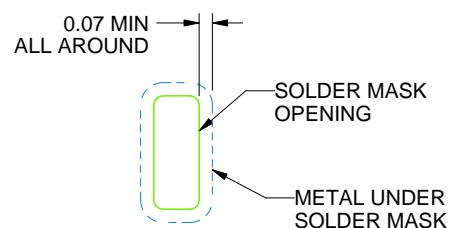
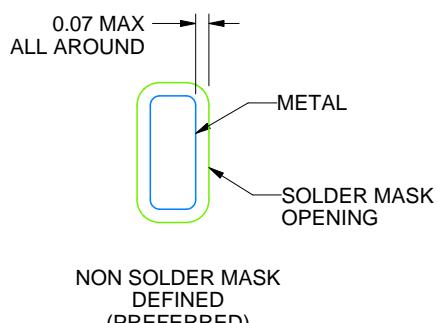
RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
SCALE:20X



SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

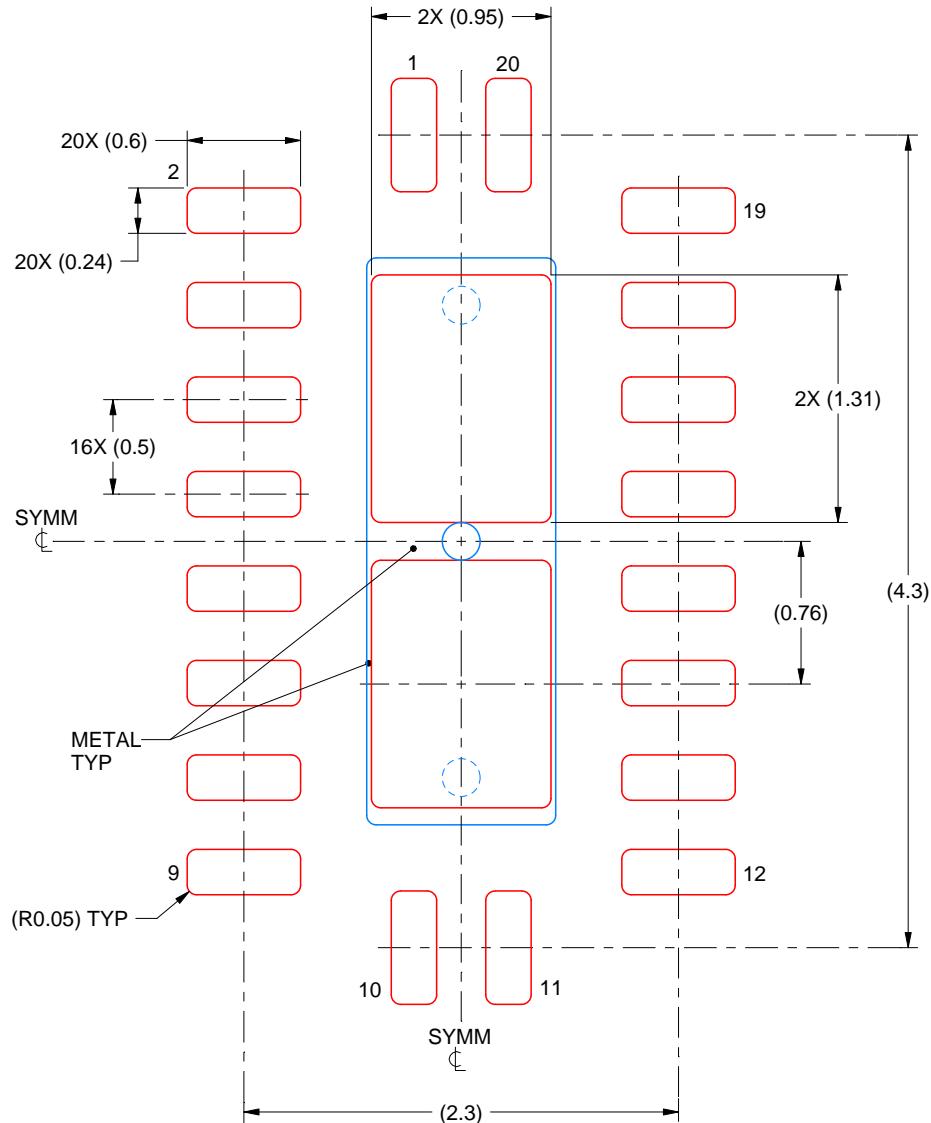
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

# EXAMPLE STENCIL DESIGN

RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
83% PRINTED SOLDER COVERAGE BY AREA  
SCALE:25X

4222490/B 02/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月