

SN74AHC125-Q1 車載用、3ステート出力、クワッドバスバッファゲート

1 特長

- 車載アプリケーション認定済み
- EPIC™ (Enhanced-Performance Implanted CMOS) プロセス
- 動作範囲: 2V~5.5V V_{CC}
- JESD 17 準拠で
250mA 超のラッチアップ性能

2 アプリケーション

- 流量計
- プログラマブルロジックコントローラ
- パワー オン イーサネット® (PoE)
- モータ駆動および制御
- POS システム

3 概要

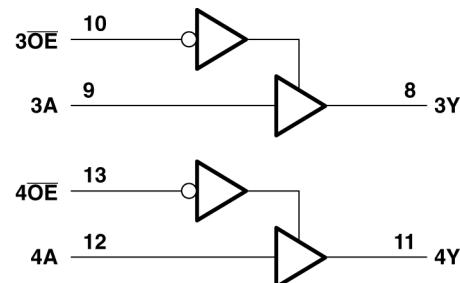
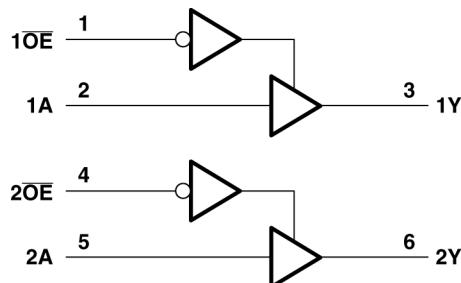
SN74AHC125-Q1 はクワッドバスバッファゲートで、3ステート出力の独立したラインドライバを備えています。各出力は、対応する出力インエーブル (\overline{OE}) 入力が High のときディセーブルになります。 \overline{OE} が Low の場合、該当するゲートは A 入力からのデータをその Y 出力に渡します。

電源投入または電源オフの間にデバイスを高インピーダンス状態にするには、 \overline{OE} をプルアップ抵抗を介して V_{CC} に接続します。この抵抗の最小値は、ドライバの電流シンク能力によって決まります。

パッケージ情報

部品番号	パッケージ ¹	パッケージ サイズ ²
SN74AHC125-Q1	D (SOIC, 14)	8.65mm × 6mm
	PW (TSSOP, 14)	5mm × 6.4mm
	BQA (WQFN, 14)	3mm × 2.5mm

- (1) 詳細については、セクション 9 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6 パラメータ測定情報	7
2 アプリケーション	1	7 詳細説明	8
3 概要	1	7.1 機能ブロック図	8
4 ピン構成および機能	3	7.2 デバイスの機能モード	8
5 仕様	4	8 デバイスおよびドキュメントのサポート	9
5.1 絶対最大定格	4	8.1 ドキュメントのサポート	9
5.2 ESD 定格	4	8.2 ドキュメントの更新通知を受け取る方法	9
5.3 推奨動作条件	4	8.3 サポート・リソース	9
5.4 熱に関する情報	5	8.4 商標	9
5.5 電気的特性	5	8.5 静電気放電に関する注意事項	9
5.6 スイッチング特性、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	5	8.6 用語集	9
5.7 スイッチング特性、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	6	9 メカニカル、パッケージ、および注文情報	9
5.8 ノイズ特性	6	10 改訂履歴	9
5.9 動作特性	6		

4 ピン構成および機能

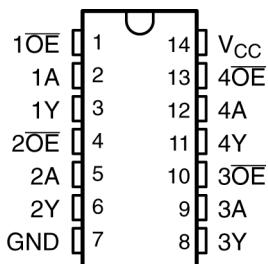


図 4-1. D または PW パッケージ、14 ピン SOIC または TSSOP (上面図)

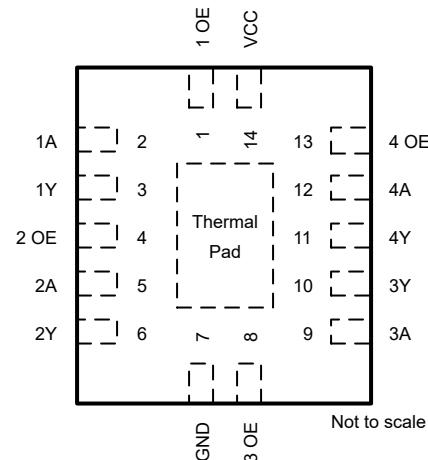


図 4-2. BQA パッケージ、14 ピン WQFN (上面図)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
1 OE	1	I	出力イネーブル
1A	2	I	入力
1Y	3	O	出力
2 OE	4	I	出力イネーブル
2A	5	I	入力
2Y	6	O	出力
3 OE	8	I	出力イネーブル
3A	9	I	入力
3Y	10	I	出力
4 OE	13	I	出力イネーブル
4A	12	I	入力
4Y	11	O	出力
GND	7	—	グランド
V _{CC}	14	I	電源電圧
サーマル パッド ⁽²⁾		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力

(2) BQA パッケージのみ。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_{CC}	電源電圧範囲	-0.5	7	V
V_I ⁽¹⁾	入力電圧範囲	-0.5	7	V
V_O ⁽¹⁾	出力電圧範囲	-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流 ($V_I < 0$)		-20	mA
I_{OK}	出力クランプ電流 ($V_O < 0$ または $V_O > V_{CC}$)		± 20	mA
I_O	連続出力電流 ($V_O = 0 \sim V_{CC}$)		± 25	mA
V_{CC} または GND を通過する連続電流			± 50	mA
T_{stg}	保管温度範囲	-65	150	°C

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠 ⁽¹⁾	± 2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	± 1000	
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽²⁾	± 2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽³⁾	± 1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施することを示しています。

(2) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

(3) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_{CC}	電源電圧	2	5.5	V
V_{IH}	High レベル入力電圧	$V_{CC} = 2V$	1.5	V
		$V_{CC} = 3V$	2.1	
		$V_{CC} = 5.5V$	3.85	
V_{IL}	Low レベル入力電圧	$V_{CC} = 2V$	0.5	V
		$V_{CC} = 3V$	0.9	
		$V_{CC} = 5.5V$	1.65	
V_I	入力電圧	0	5.5	V
V_O	出力電圧	0	V_{CC}	V
I_{OH}	High レベル出力電流	$V_{CC} = 2V$	-50	μA
		$V_{CC} = 3.3V \pm 0.3V$	-4	
		$V_{CC} = 5V \pm 0.5V$	-8	
I_{OL}	Low レベル出力電流	$V_{CC} = 2V$	50	mA
		$V_{CC} = 3.3V \pm 0.3V$	4	
		$V_{CC} = 5V \pm 0.5V$	8	

自由気流での動作温度範囲内 (特に記述のない限り)¹

			最小値	最大値	単位
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	$V_{CC} = 3.3V \pm 0.3V$		100	ns/V
		$V_{CC} = 5V \pm 0.5V$		20	
T_A	自由空気での動作温度		-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

5.4 熱に関する情報

熱評価基準	SN74AHC125-Q1			単位	
	D (SOIC)	PW (TSSOP)	BQA (WQFN)		
	14 ピン	14 ピン	14 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗 (1)	86	147.7	88.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	$T_A = 25^\circ C$			最小値	最大値	単位
			最小値	代表値	最大値			
V_{OH}	$I_{OH} = -50\mu A$	2V	1.9	2	1.9	1.9	2.9	V
		3V	2.9	3	2.9			
		4.5V	4.4	4.5	4.4			
	$I_{OH} = -4mA$	3V	2.58		2.48	2.48	3.8	V
		4.5V	3.94		3.8			
	$I_{OL} = -8mA$							
V_{OL}	$I_{OL} = 50\mu A$	2V		0.1		0.1	0.1	V
		3V		0.1		0.1		
		4.5V		0.1		0.1		
	$I_{OL} = 4mA$	3V		0.36		0.5		
I_I	$V_I = 5.5V$ または GND	0V~5.5V		± 0.1		± 1	μA	
	$V_O = V_{CC}$ または GND	5.5V		± 0.25		± 2.5	μA	
I_{OZ}								
I_{CC}	$V_I = V_{CC}$ または GND, $I_O = 0$	5.5V		4		40	μA	
C_i	$V_I = V_{CC}$ または GND	5V		4	10			pF

5.6 スイッチング特性、 $V_{CC} = 3.3 V \pm 0.3 V$

自由気流での推奨動作温度範囲内、 $V_{CC} = 3.3 V \pm 0.3 V$ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	$T_A = 25^\circ C$			最小値	最大値	単位
				最小値	代表値	最大値			
t_{PLH}	A	Y	$C_L = 15pF$	5.6	8	1	9.5		ns
				5.6	8	1	9.5		
t_{PHL}	OE	Y	$C_L = 15pF$	5.4	8	1	9.5		ns
				5.4	8	1	9.5		
t_{PZH}	OE	Y	$C_L = 15pF$	7	9.7	1	11.5		ns
				7	9.7	1	11.5		
t_{PZL}	A	Y	$C_L = 15pF$	8.1	11.5	1	13		ns
				8.1	11.5	1	13		
t_{PHZ}	A	Y	$C_L = 50pF$	5.6	8	1	9.5		ns
				5.6	8	1	9.5		
t_{PLZ}	OE	Y	$C_L = 50pF$	5.4	8	1	9.5		ns
				5.4	8	1	9.5		
t_{PLH}	A	Y	$C_L = 50pF$	7	9.7	1	11.5		ns
				7	9.7	1	11.5		
t_{PHL}	OE	Y	$C_L = 50pF$	8.1	11.5	1	13		ns
				8.1	11.5	1	13		

自由気流での推奨動作温度範囲内、 $V_{CC} = 3.3 \text{ V} \pm 0.3 \text{ V}$ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点(入力)	終点(出力)	負荷容量	$T_A = 25^\circ\text{C}$			最小値	最大値	単位
				最小値	代表値	最大値			
t_{PZH}	\overline{OE}	Y	$C_L = 50\text{pF}$	7.9	11.5	13	1	13	ns
t_{PZL}				7.9	11.5	13	1	13	
t_{PHZ}	\overline{OE}	Y	$C_L = 50\text{pF}$	9.5	13.2	15	1	15	ns
t_{PLZ}				9.5	13.2	15	1	15	

5.7 スイッチング特性、 $V_{CC} = 5 \text{ V} \pm 0.5 \text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 5 \text{ V} \pm 0.5 \text{ V}$ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点(入力)	終点(出力)	負荷容量	$T_A = 25^\circ\text{C}$			最小値	最大値	単位
				最小値	代表値	最大値			
t_{PLH}	A	Y	$C_L = 15\text{pF}$	3.8	5.5	6.5	1	6.5	ns
t_{PHL}				3.8	5.5	6.5	1	6.5	
t_{PZH}	\overline{OE}	Y	$C_L = 15\text{pF}$	3.6	5.1	6	1	6	ns
t_{PZL}				3.6	5.1	6	1	6	
t_{PHZ}	\overline{OE}	Y	$C_L = 15\text{pF}$	4.6	6.8	8	1	8	ns
t_{PLZ}				4.6	6.8	8	1	8	
t_{PLH}	A	Y	$C_L = 50\text{pF}$	5.3	7.5	8.5	1	8.5	ns
t_{PHL}				5.3	7.5	8.5	1	8.5	
t_{PZH}	\overline{OE}	Y	$C_L = 50\text{pF}$	5.1	7.1	8	1	8	ns
t_{PZL}				5.1	7.1	8	1	8	
t_{PHZ}	\overline{OE}	Y	$C_L = 50\text{pF}$	6.1	8.8	10	1	10	ns
t_{PLZ}				6.1	8.8	10	1	10	

5.8 ノイズ特性

$V_{CC} = 5 \text{ V}$ 、 $C_L = 50\text{pF}$ 、 $T_A = 25^\circ\text{C}$ (1)

パラメータ	最小値	最大値	単位
$V_{OL(P)}$ 低ノイズ出力、最大動的電圧 V_{OL}	0.8		V
$V_{OL(V)}$ 低ノイズ出力、最小動的電圧 V_{OL}	-0.8		V
$V_{OH(V)}$ 低ノイズ出力、最小動的電圧 V_{OH}	4.4		V
$V_{IH(D)}$ High レベル動的入力電圧	3.5		V
$V_{IL(D)}$ Low レベル動的入力電圧	1.5		V

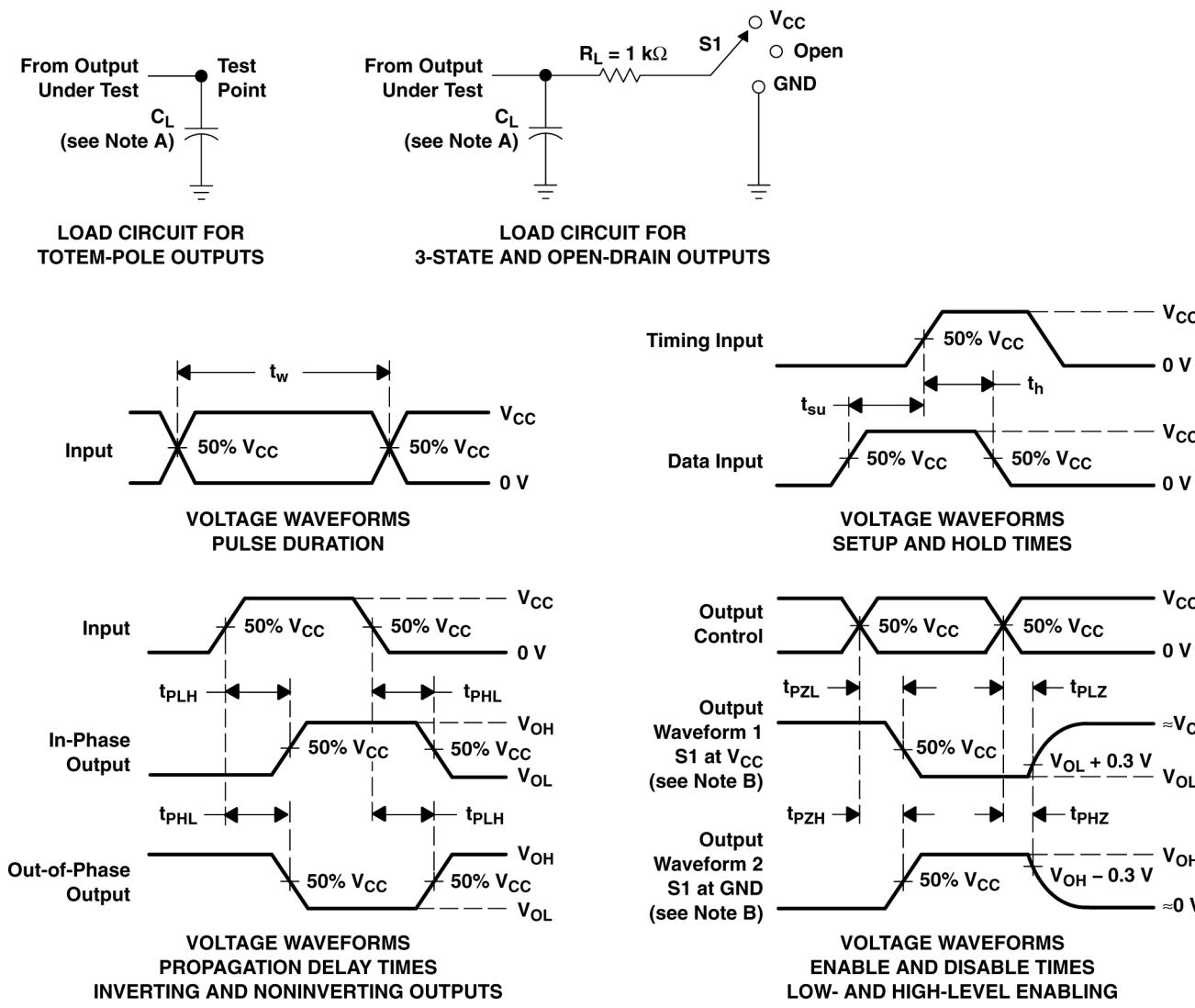
(1) 特性は表面実装パッケージのみが対象です。

5.9 動作特性

$V_{CC} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$

パラメータ	テスト条件	標準値	単位
C_{pd} 電力散逸容量	無負荷 $f = 1\text{MHz}$	14	pF

6 パラメータ測定情報



- A. C_L にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq 1\text{MHz}$, $Z_O = 50\Omega$, $t_r \leq 3\text{ns}$, $t_f \leq 3\text{ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

図 6-1. 負荷回路および電圧波形

TEST	S1
t_{PLH}/t_{PHL}	オープン
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
オープンドレイン	V_{CC}

7 詳細説明

7.1 機能ブロック図

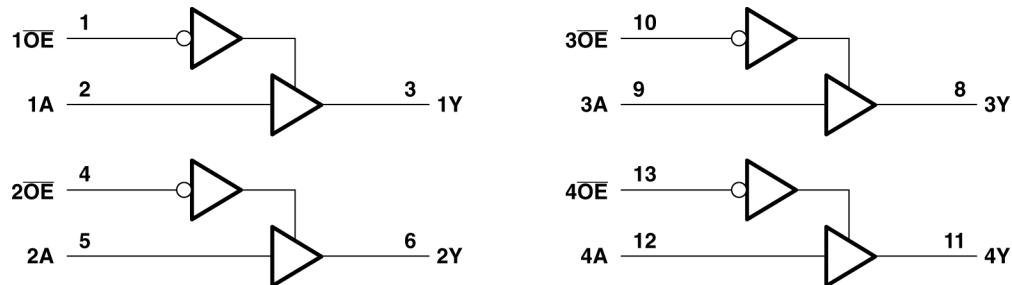
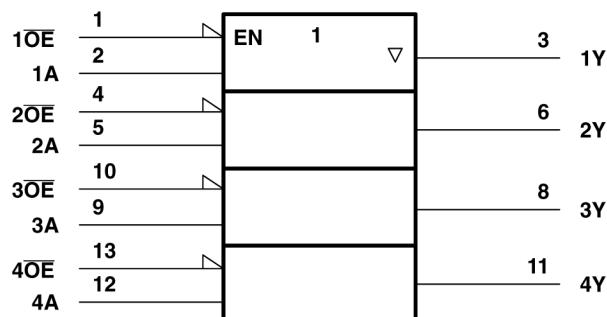


図 7-1. 論理図 (正論理)

図 7-2. 論理記号[†][†]

7.2 デバイスの機能モード

表 7-1. 機能表 (各バッファ)

入力		出力 Y
OE	A	
L	H	H
L	L	L
H	X	Z

[†] この記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

イーサネット® is a registered trademark of Xerox Corporation.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2023) to Revision C (April 2024)	Page
• データシートに BQA パッケージを追加。.....	1

Changes from Revision A (April 2008) to Revision B (June 2023)	Page
• 「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• 「パッケージ情報」表に BQA パッケージを追加.....	1

- PW パッケージの熱特性値を $R_{\theta JA} = 113$ から 147.7 に更新、値はすべて°C/W..... 5
- BQA パッケージの熱特性値を追加: $R_{\theta JA} = 88.3$ 、値はすべて°C/W..... 5

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHC125QDRG4Q1	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC125Q
SN74AHC125QDRG4Q1.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC125Q
SN74AHC125QPWRG4Q1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC125Q
SN74AHC125QPWRG4Q1.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC125Q
SN74AHC125QPWRQ1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	AHC125Q
SN74AHC125QPWRQ1.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	AHC125Q
SN74AHC125QWBQARQ1	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC125Q
SN74AHC125QWBQARQ1.A	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC125Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

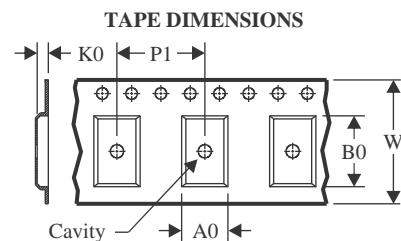
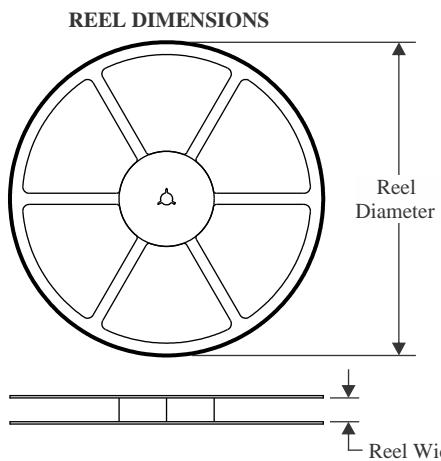
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHC125-Q1 :

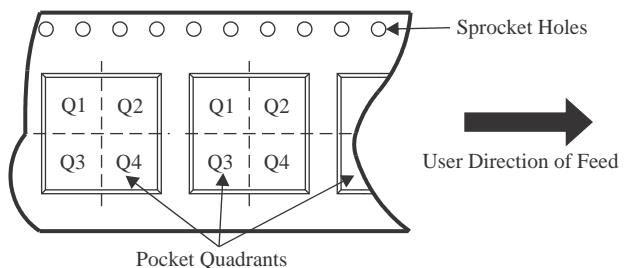
- Catalog : [SN74AHC125](#)
- Enhanced Product : [SN74AHC125-EP](#)
- Military : [SN54AHC125](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

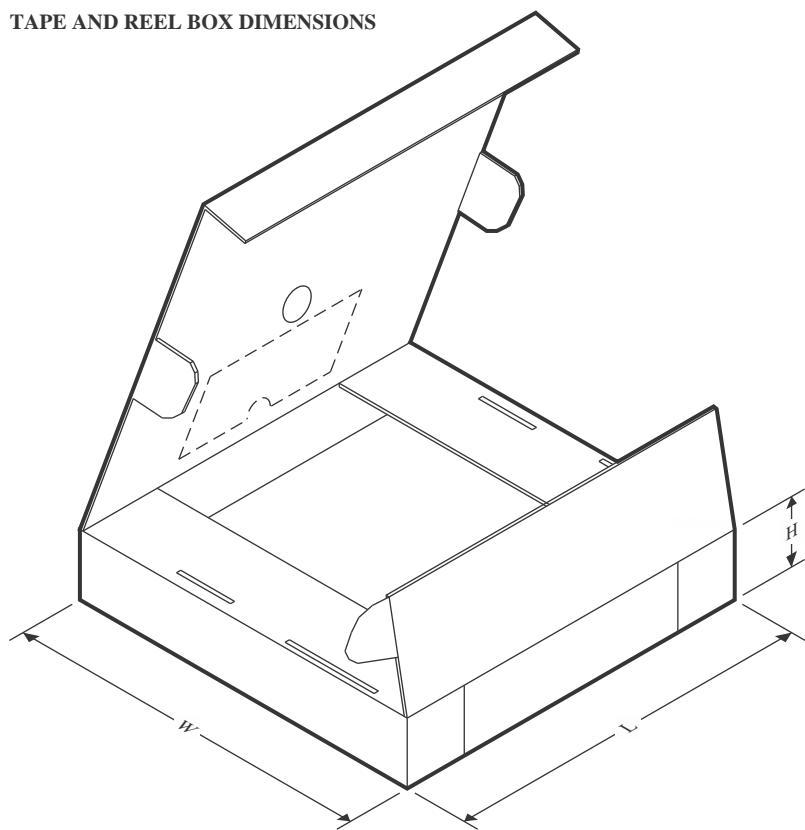
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC125QPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC125QPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC125QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC125QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC125QWBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

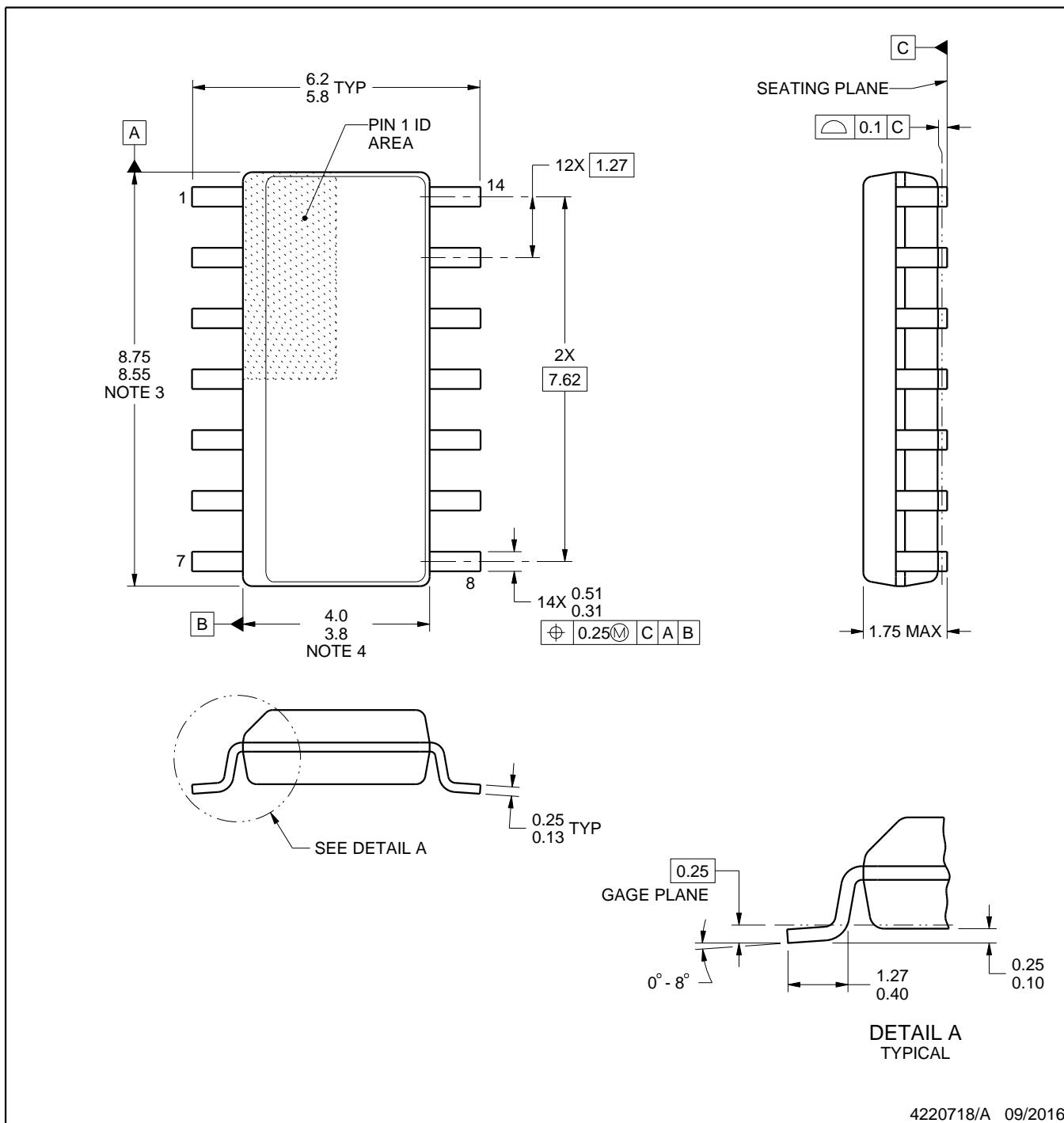
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC125QPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHC125QPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHC125QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHC125QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHC125QWBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0

PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

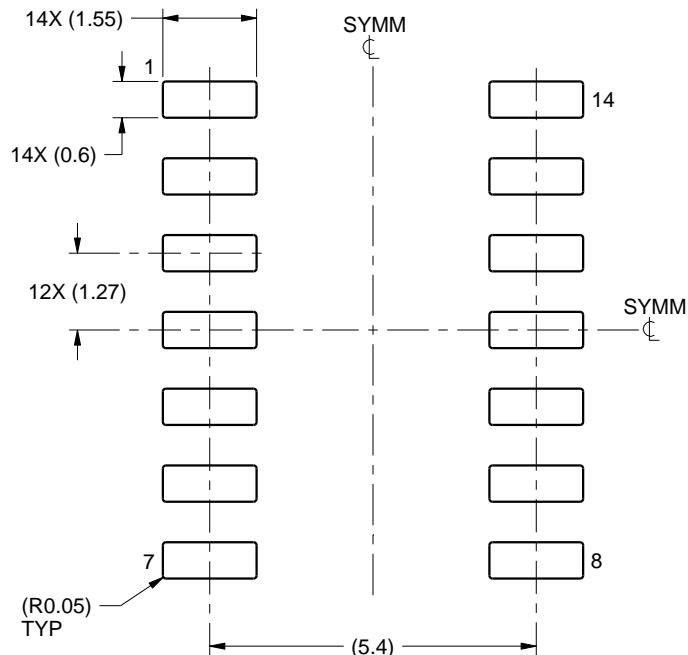
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

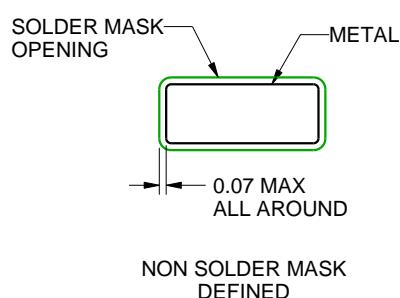
D0014A

SOIC - 1.75 mm max height

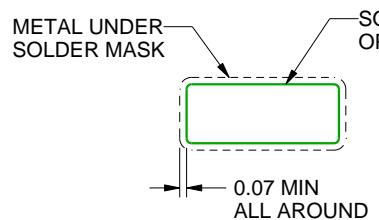
SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



NON SOLDER MASK
DEFINED



SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

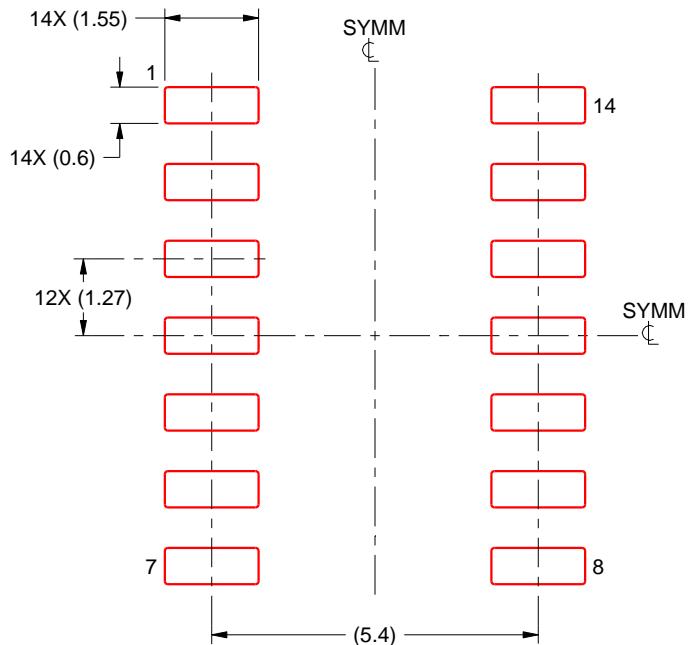
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

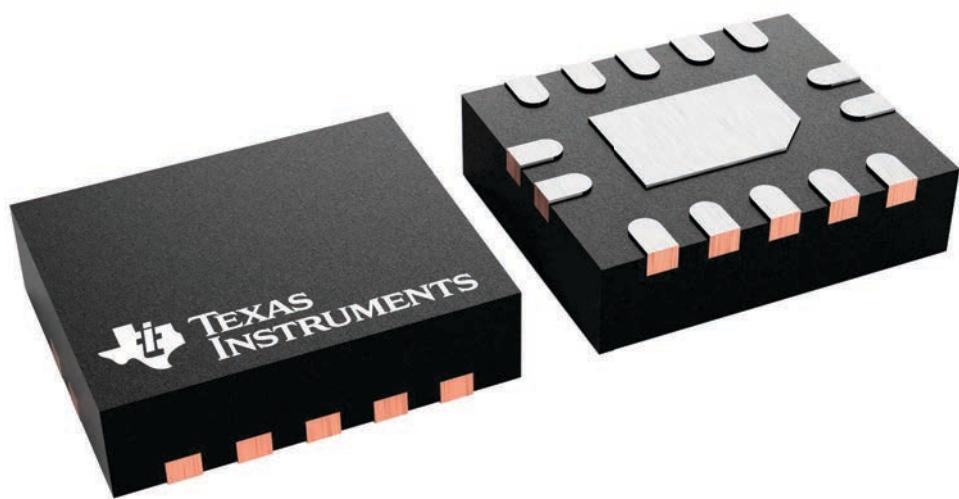
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A

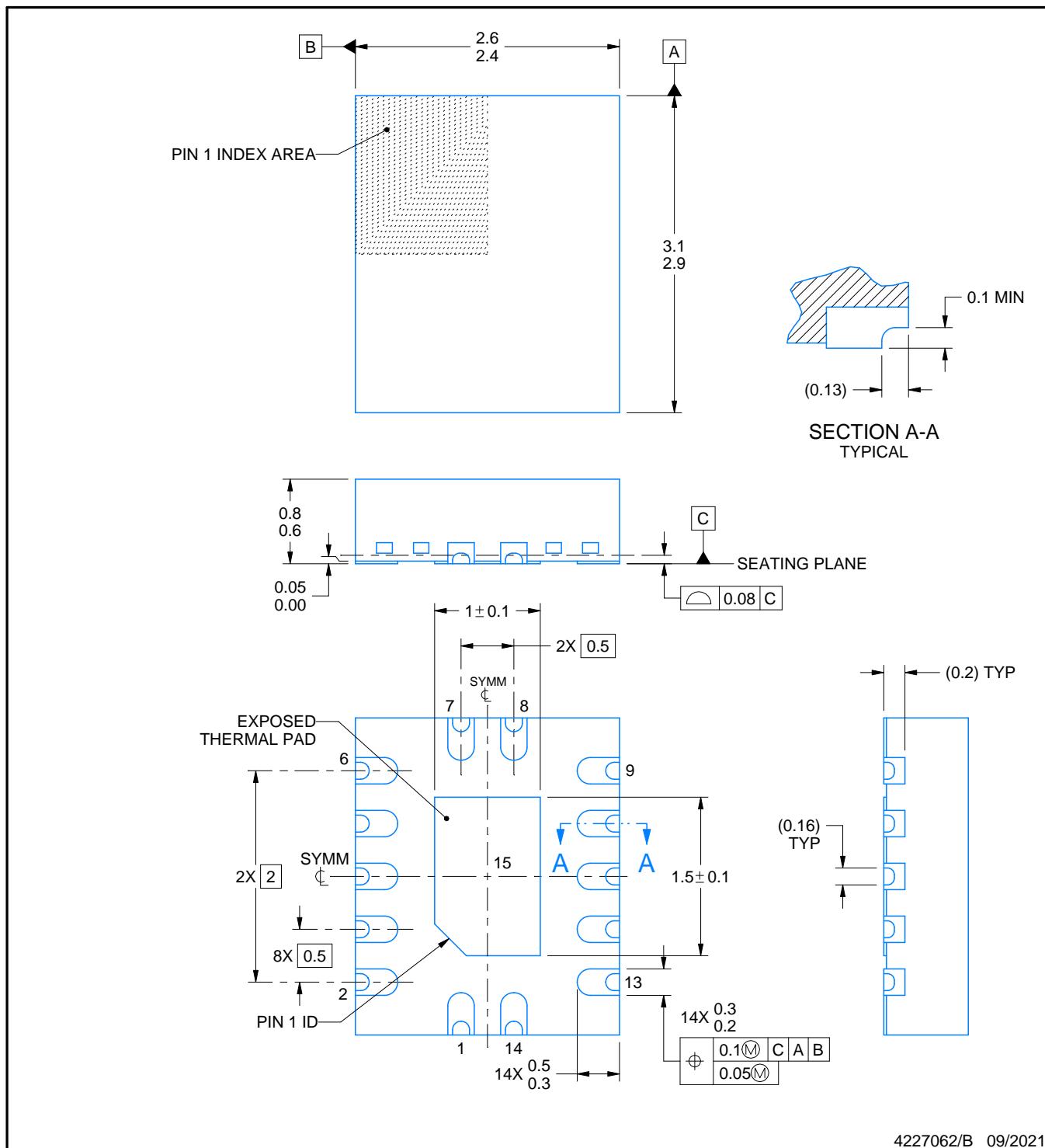
PACKAGE OUTLINE

BQA0014B



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4227062/B 09/2021

NOTES:

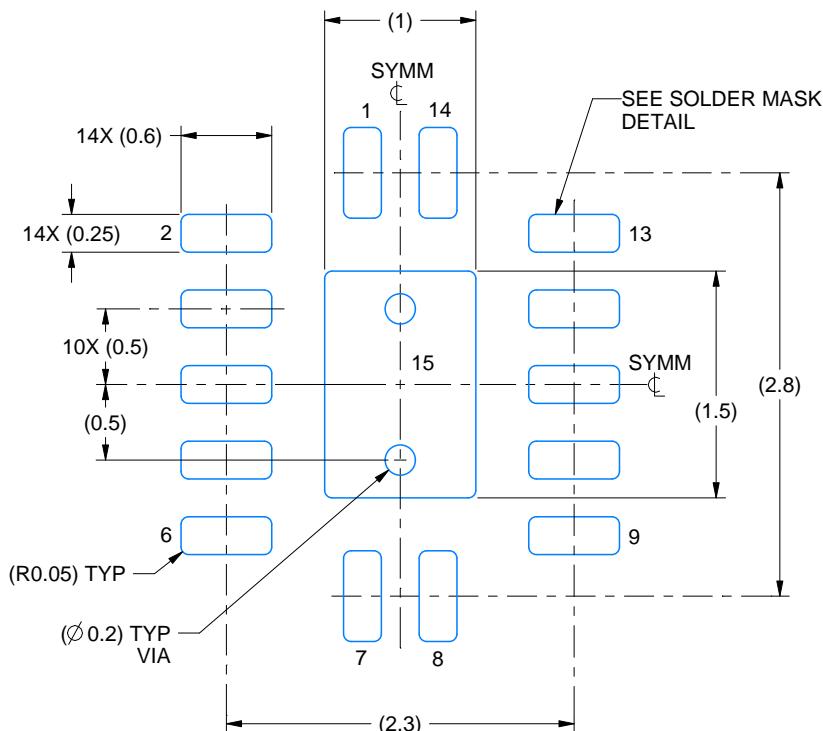
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

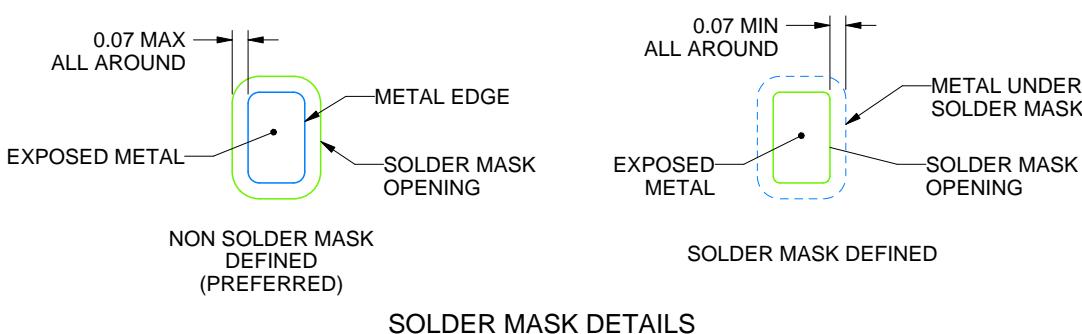
BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4227062/B 09/2021

NOTES: (continued)

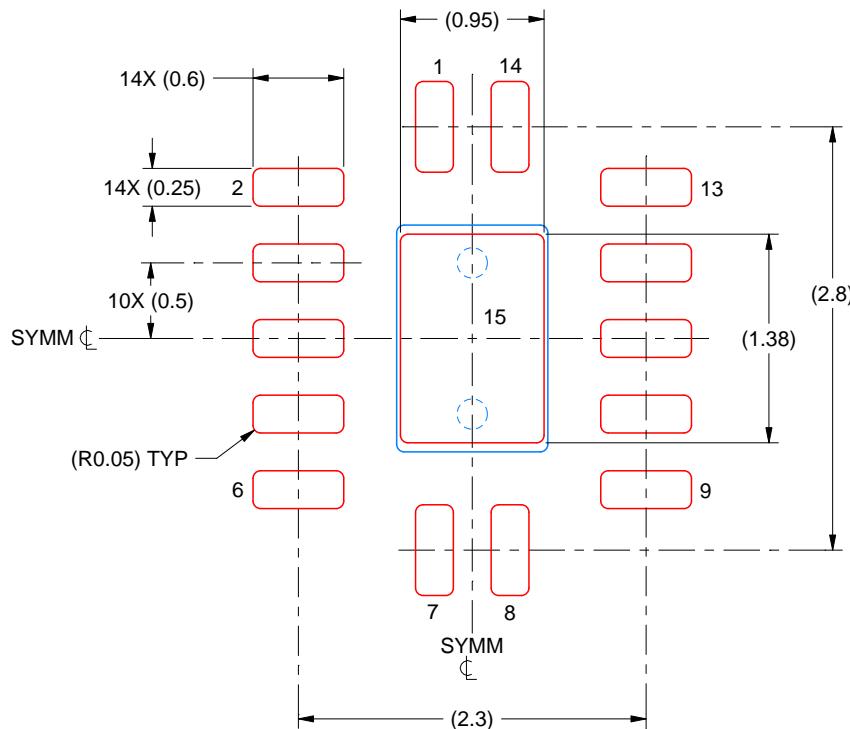
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

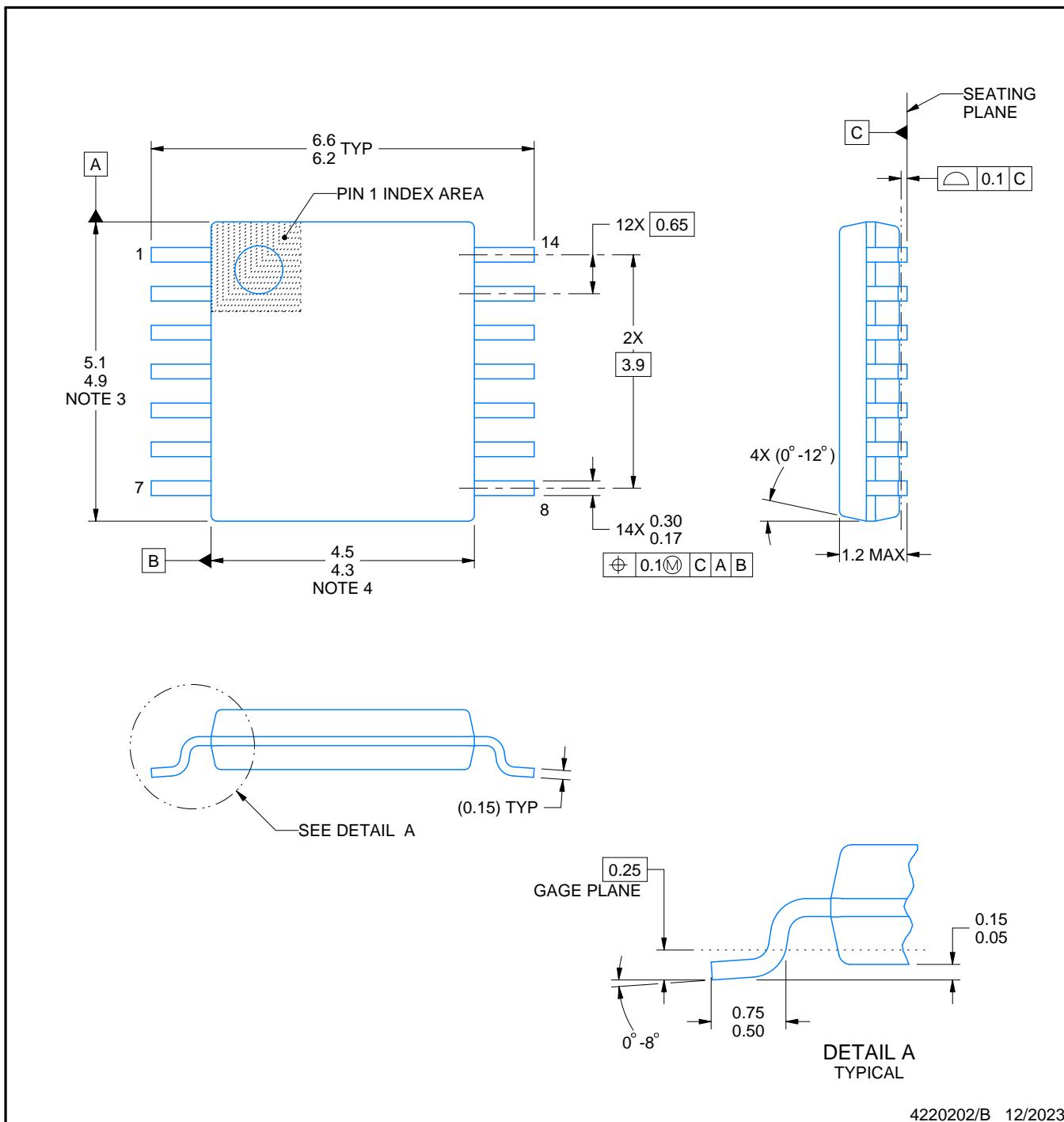
PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

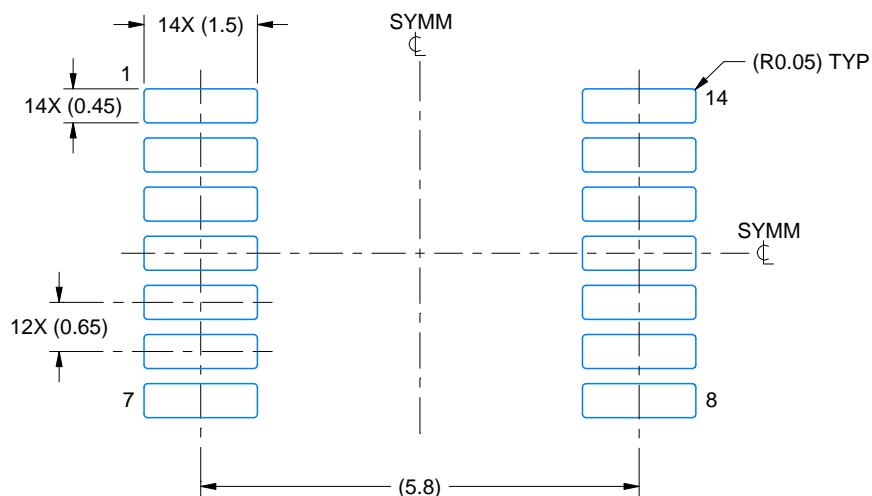
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

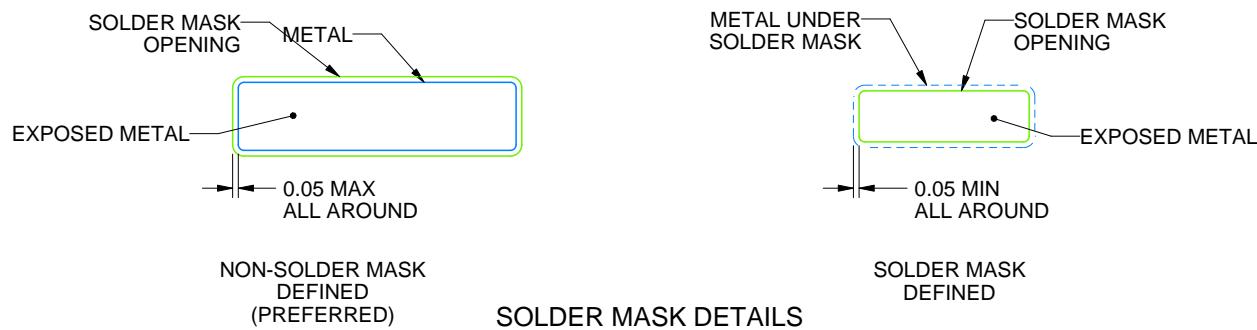
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

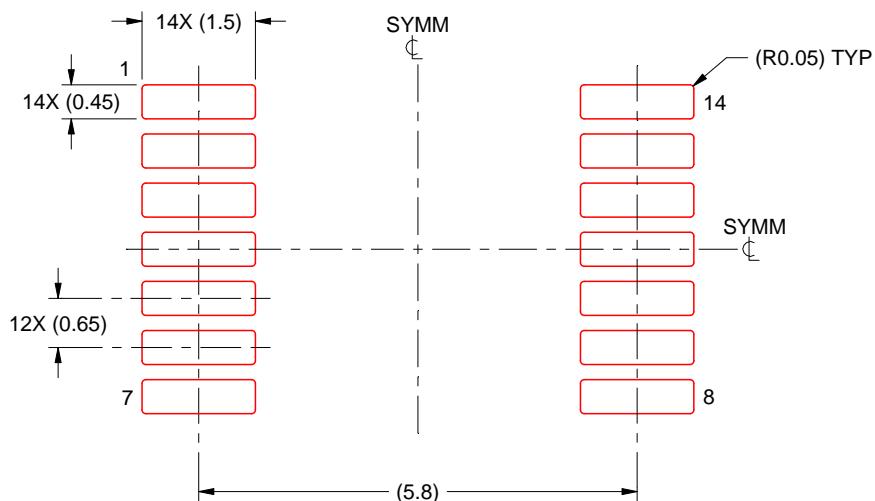
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月