

SN74AHC573-Q1 車載対応、3 ステート出力、オクタールトランスペアレント D タイプ ラッチ

1 特長

- 車載アプリケーション認定済み
- 2V~5.5V の V_{CC} で動作
- 3 ステート出力は、バス ラインを直接駆動

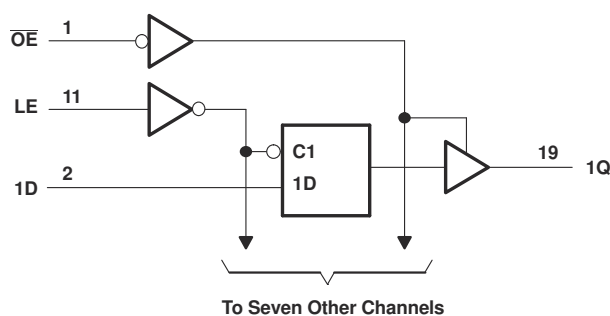
2 概要

SN74AHC573 は、2V ~ 5.5V の V_{CC} で動作するように設計されたオクタールトランスペアレント D タイプ ラッチです。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (3)
SN74AHC573-Q1	PW (TSSOP, 20)	6.50mm × 6.4mm	6.50mm × 4.40mm

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)



目次

1 特長	1	6.1 概要	8
2 概要	1	6.2 機能ブロック図	8
3 ピン構成および機能	3	6.3 デバイスの機能モード	8
4 仕様	4	7 アプリケーションと実装	9
4.1 絶対最大定格.....	4	7.1 電源に関する推奨事項.....	9
4.2 ESD 定格.....	4	7.2 レイアウト.....	9
4.3 推奨動作条件.....	4	8 デバイスおよびドキュメントのサポート	11
4.4 熱に関する情報.....	5	8.1 ドキュメントのサポート.....	11
4.5 電気的特性.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	11
4.6 タイミング要件、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	5	8.3 サポート・リソース.....	11
4.7 タイミング要件、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	5	8.4 商標.....	11
4.8 スイッチング特性、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	6	8.5 静電気放電に関する注意事項.....	11
4.9 スイッチング特性、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	6	8.6 用語集.....	11
4.10 動作特性.....	6	9 改訂履歴	11
5 パラメータ測定情報	7	10 メカニカル、パッケージ、および注文情報	12
6 詳細説明	8		

3 ピン構成および機能

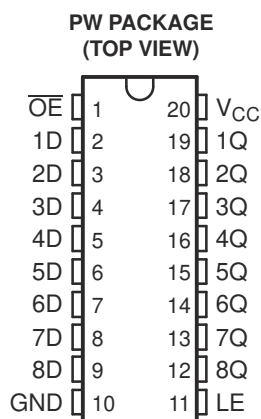


図 3-1. PW パッケージ、20 ピン TSSOP (上面図)

ピン		I/O ¹	説明
番号	名称		
1	OE	I	出力イネーブル
2	1D	I	1D 入力
3	2D	I	2D 入力
4	3D	I	3D 入力
5	4D	I	4D 入力
6	5D	I	5D 入力
7	6D	I	6D 入力
8	7D	I	7D 入力
9	8D	I	8D 入力
10	GND	—	グラウンド
11	LE	I	ラッチ イネーブル
12	8Q	O	8Q 出力
13	7Q	O	7Q 出力
14	6Q	O	6Q 出力
15	5Q	O	5Q 出力
16	4Q	O	4Q 出力
17	3Q	O	3Q 出力
18	2Q	O	2Q 出力
19	1Q	O	1Q 出力
20	VCC	—	パワー ピン

1. I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グラウンド、N/A = 該当なし

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{CC}	電源電圧範囲	-0.5	7	V
V_I	入力電圧範囲 ⁽¹⁾	-0.5	7	V
V_O	出力電圧範囲 ⁽¹⁾	-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流	$V_I < 0$		-20 mA
I_{OK}	出力クランプ電流	$V_O < 0$ または $V_O > V_{CC}$		±20 mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		±25 mA
	V_{CC} または GND を通過する連続電流			±75 mA
T_{stg}	保管温度範囲	-65	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

4.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±1000	V
	荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		-40℃ ～ 125℃		-40℃ ～ 85℃		単位
		最小値	最大値	最小値	最大値	
V _{CC}	電源電圧	2	5.5	2	5.5	V
V _{IH}	High レベル入力電圧	V _{CC} = 2 V	1.5	1.5		V
		V _{CC} = 3 V	2.1	2.1		
		V _{CC} = 5.5 V	3.85	3.85		
V _{IL}	Low レベル入力電圧	V _{CC} = 2 V		0.5	0.5	V
		V _{CC} = 3 V		0.9	0.9	
		V _{CC} = 5.5 V		1.65	1.65	
V _I	入力電圧	0	5.5	0	5.5	V
V _O	出力電圧	0	V _{CC}	0	V _{CC}	V
I _{OH}	High レベル出力電流	V _{CC} = 2 V		-50	-50	μA
		V _{CC} = 3.3V ± 0.3V		-4	-4	mA
		V _{CC} = 5V ± 0.5V		-8	-8	
I _{OL}	Low レベル出力電流	V _{CC} = 2 V		50	50	μA
		V _{CC} = 3.3V ± 0.3V		4	4	mA
		V _{CC} = 5V ± 0.5V		8	8	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V _{CC} = 3.3V ± 0.3V		100	100	ns/V
		V _{CC} = 5V ± 0.5V		20	20	
T _A	自由空気での動作温度	-40	125	-40	85	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文庫番号 SCBA004) を参照してください。

4.4 熱に関する情報

熱評価基準 ⁽¹⁾	単位	SN74AHC573-Q1
		PW (TSSOP)
		20 ピン
$R_{\theta JA}$ 接合部から周囲への熱抵抗		83

(1) 従来および新しい熱評価基準値の詳細については、『IC パッケージの熱評価基準』アプリケーションレポート (SPRA953) を参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$		$-40^\circ\text{C} \sim 85^\circ\text{C}$		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	$I_{OH} = -50\mu\text{A}$	2 V	1.9	2		1.9		1.9		V
		3 V	2.9	3		2.9		2.9		
		4.5 V	4.4	4.5		4.4		4.4		
	$I_{OH} = -4\text{mA}$ $I_{OH} = -8\text{mA}$	3 V	2.58			2.48		2.48		
		4.5 V	3.94			3.8		3.8		
V_{OL}	$I_{OL} = 50\mu\text{A}$	2 V			0.1		0.1		0.1	V
		3 V			0.1		0.1		0.1	
		4.5 V			0.1		0.1		0.1	
	$I_{OL} = 4\text{mA}$ $I_{OL} = 8\text{mA}$	3 V			0.36		0.5		0.44	
		4.5 V			0.36		0.5		0.44	
I_I	$V_I = 5.5\text{ V}$ または GND	0V~5.5V			± 0.1		± 1		± 1	μA
I_{OZ}	$V_I = V_{IL}$ または V_{IH} 、 $V_O = V_{CC}$ または GND	5.5 V			± 0.25		± 2.5		± 2.5	μA
I_{CC}	$V_I = V_{CC}$ または GND、 $I_O = 0$	5.5 V			4		40		40	μA
C_i	$V_I = V_{CC}$ または GND	5 V		2.5	10				10	pF
C_O	$V_O = V_{CC}$ または GND	5 V		3.5						pF

4.6 タイミング要件、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$ (特に記述のない限り) (負荷回路および電圧波形を参照)

		$T_A = 25^\circ\text{C}$		$-40^\circ\text{C} \sim 125^\circ\text{C}$		$-40^\circ\text{C} \sim 85^\circ\text{C}$		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
t_w	パルス幅、LE high	5		5		5		ns
t_{su}	セットアップ時間、LE ↓ 前のデータ	3.5		3.5		3.5		ns
t_h	ホールド時間、LE ↓ 後のデータ	1.5		1.5		1.5		ns

4.7 タイミング要件、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$ (特に記述のない限り) (負荷回路および電圧波形を参照)

		$T_A = 25^\circ\text{C}$		$-40^\circ\text{C} \sim 125^\circ\text{C}$		$-40^\circ\text{C} \sim 85^\circ\text{C}$		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
t_w	パルス幅、LE high	5		5		5		ns
t_{su}	セットアップ時間、LE ↓ 前のデータ	3.5		3.5		3.5		ns
t_h	ホールド時間、LE ↓ 後のデータ	1.5		1.5		1.5		ns

4.8 スイッチング特性、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$ (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$		$-40^\circ\text{C} \sim 85^\circ\text{C}$		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	D	Q	$C_L = 50\text{pF}$	9.5	14.5		1	16.5	1	16.5	ns
t_{PHL}				9.5	14.5		1	16.5	1	16.5	
t_{PLH}	LE	Q	$C_L = 50\text{pF}$	10.1	15.4		1	17.5	1	17.5	ns
t_{PHL}				10.1	15.4		1	17.5	1	17.5	
t_{PZH}	OE	Q	$C_L = 50\text{pF}$	9.8	15		1	17	1	17	ns
t_{PZL}				9.8	15		1	17	1	17	
t_{PHZ}	OE	Q	$C_L = 50\text{pF}$	10.7	14.5		1	16.5	1	16.5	ns
t_{PLZ}				10.7	14.5		1	16.5	1	16.5	

4.9 スイッチング特性、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$

自由気流での推奨動作温度範囲内、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$ (特に記述のない限り) (負荷回路および電圧波形を参照)

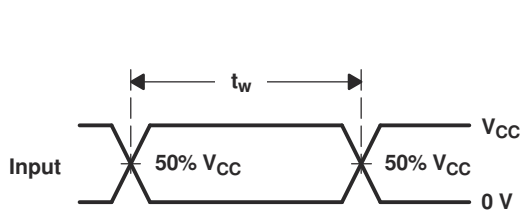
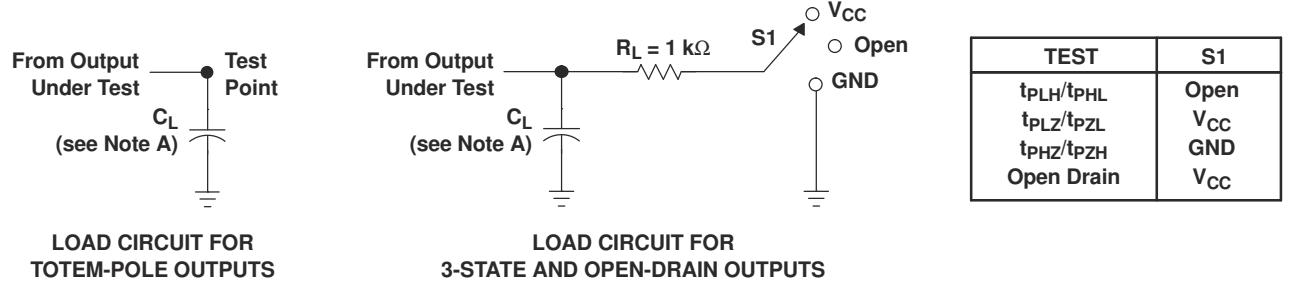
パラメータ	始点 (入力)	終点 (出力)	負荷 容量	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$		$-40^\circ\text{C} \sim 85^\circ\text{C}$		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	D	Q	$C_L = 50\text{pF}$	6	8.8		1	10	1	10	ns
t_{PHL}				6	8.8		1	10	1	10	
t_{PLH}	LE	Q	$C_L = 50\text{pF}$	6.5	9.7		1	11	1	11	ns
t_{PHL}				6.5	9.7		1	11	1	11	
t_{PZH}	OE	Q	$C_L = 50\text{pF}$	6.7	9.7		1	11	1	11	ns
t_{PZL}				6.7	9.7		1	11	1	11	
t_{PHZ}	OE	Q	$C_L = 50\text{pF}$	6.7	9.7		1	11	1	11	ns
t_{PLZ}				6.7	9.7		1	11	1	11	

4.10 動作特性

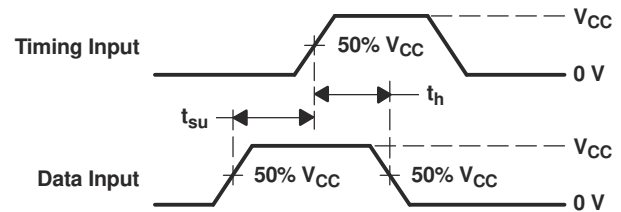
$V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$

パラメータ		テスト条件		標準値	単位
C_{pd}	電力散逸容量	無負荷	$f = 1\text{ MHz}$	16	pF

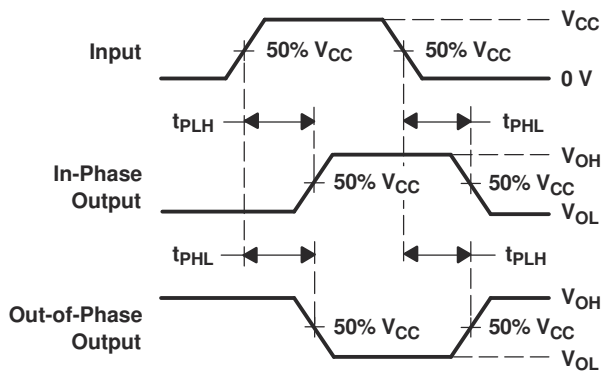
5 パラメータ測定情報



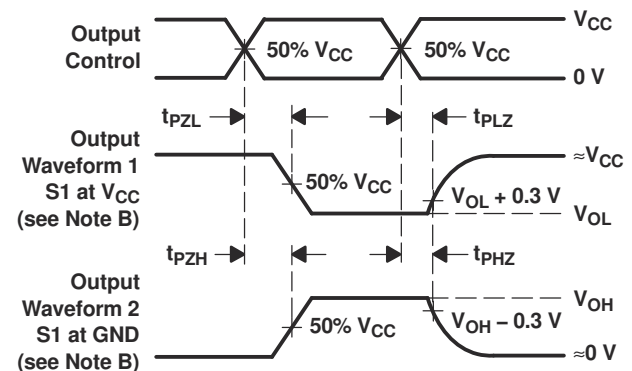
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

- NOTES:
- C_L includes probe and jig capacitance.
 - Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - All input pulses are supplied by generators having the following characteristics: $PRR \leq 1\text{ MHz}$, $Z_O = 50\ \Omega$, $t_r \leq 3\text{ ns}$, $t_f \leq 3\text{ ns}$.
 - The outputs are measured one at a time, with one input transition per measurement.
 - All parameters and waveforms are not applicable to all devices.

図 5-1. 負荷回路および電圧波形

6 詳細説明

6.1 概要

ラッチ イネーブル (LE) 入力が HIGH の場合、Q 出力はデータ (D) 入力に従います。LE を LOW にすると、D 入力のロジックレベルで Q 出力がラッチされます。

バッファ付きの出力イネーブル (\overline{OE}) 入力を使用して、8 つの出力を通常のロジック状態 (High または Low) または高インピーダンス状態のいずれかにできます。ハイ インピーダンス状態では、出力によってバスラインに大きな負荷がかかったり、駆動されたりしません。ハイ インピーダンス状態と駆動性能の向上によって、インターフェイスまたはプルアップ コンポーネントなしでバスラインを駆動することができます。

\overline{OE} は、ラッチの内部動作に影響しません。出力が高インピーダンス状態にある間に、古いデータを保持することも新しいデータを入力することもできます。

電源投入または電源切断時に高インピーダンス状態を確保するため、 \overline{OE} はプルアップ抵抗経路で V_{CC} に接続する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

6.2 機能ブロック図

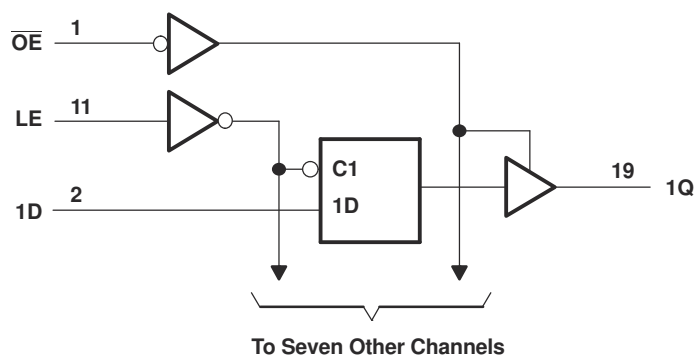


図 6-1. 論理図 (正論理)

6.3 デバイスの機能モード

表 6-1. 機能表
(各ラッチ)

入力			出力 Q
\overline{OE}	LE	D	
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには $0.1\mu\text{F}$ のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

- バイパス コンデンサの配置
 - デバイスの正電源端子の近くに配置
 - 電氣的に短いグラント帰還パスを提供
 - インピーダンスを最小化するため、広いパターンを使用
 - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
 - 8mil ～ 12mil のトレース幅
 - 伝送ラインの影響を最小化する 12cm 未満の長さ
 - 信号トレースの 90° のコーナーは避ける
 - 信号トレースの下に、途切れのないグラント プレーンを使用
 - 信号トレース周辺の領域をグラントでフラッド フィル
 - 12cm を超えるパターン用
 - インピーダンス制御トレースを使用
 - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
 - 分岐を回避。個別に分岐が必要なバッファ信号

7.2.2 レイアウト例

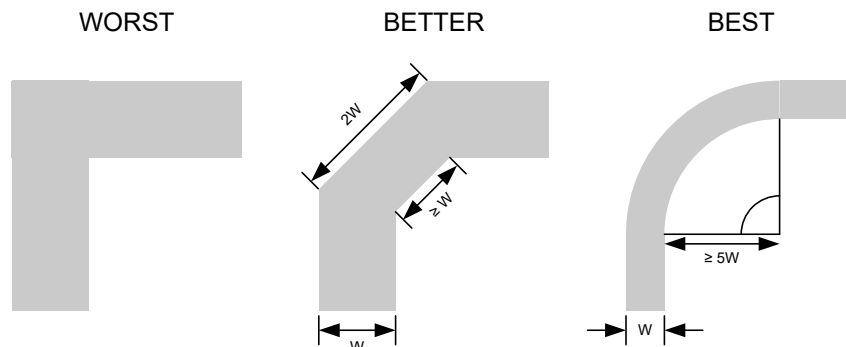


図 7-1. シグナル インテグリティ向上のためのサンプル パターンのコーナー

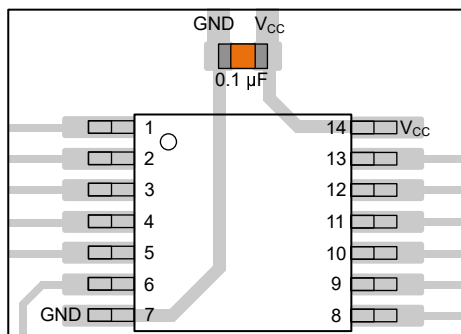


図 7-2. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

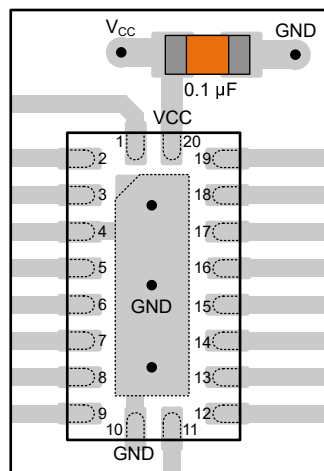


図 7-3. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

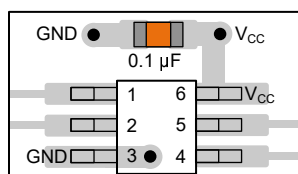


図 7-4. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

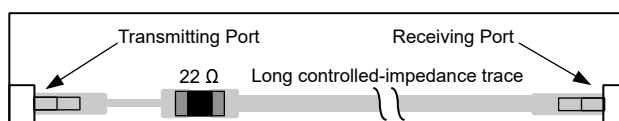


図 7-5. シグナル インテグリティ向上のためのダンピング抵抗の配置例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision A (April 2008) to Revision B (January 2025)	Page
<ul style="list-style-type: none"> • 「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHC573QDGSRQ1	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA573Q
SN74AHC573QPWRG4Q1	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA573Q
SN74AHC573QPWRG4Q1.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA573Q
SN74AHC573QPWRQ1	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA573Q
SN74AHC573QPWRQ1.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA573Q
SN74AHC573QWRKSRQ1	Active	Production	VQFN (RKS) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC573Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHC573-Q1 :

- Catalog : [SN74AHC573](#)
- Military : [SN54AHC573](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC573QDGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74AHC573QPWRG4Q1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHC573QPWRQ1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHC573QWRKSRQ1	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC573QDGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74AHC573QPWRG4Q1	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHC573QPWRQ1	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHC573QWRKSRQ1	VQFN	RKS	20	3000	210.0	185.0	35.0



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

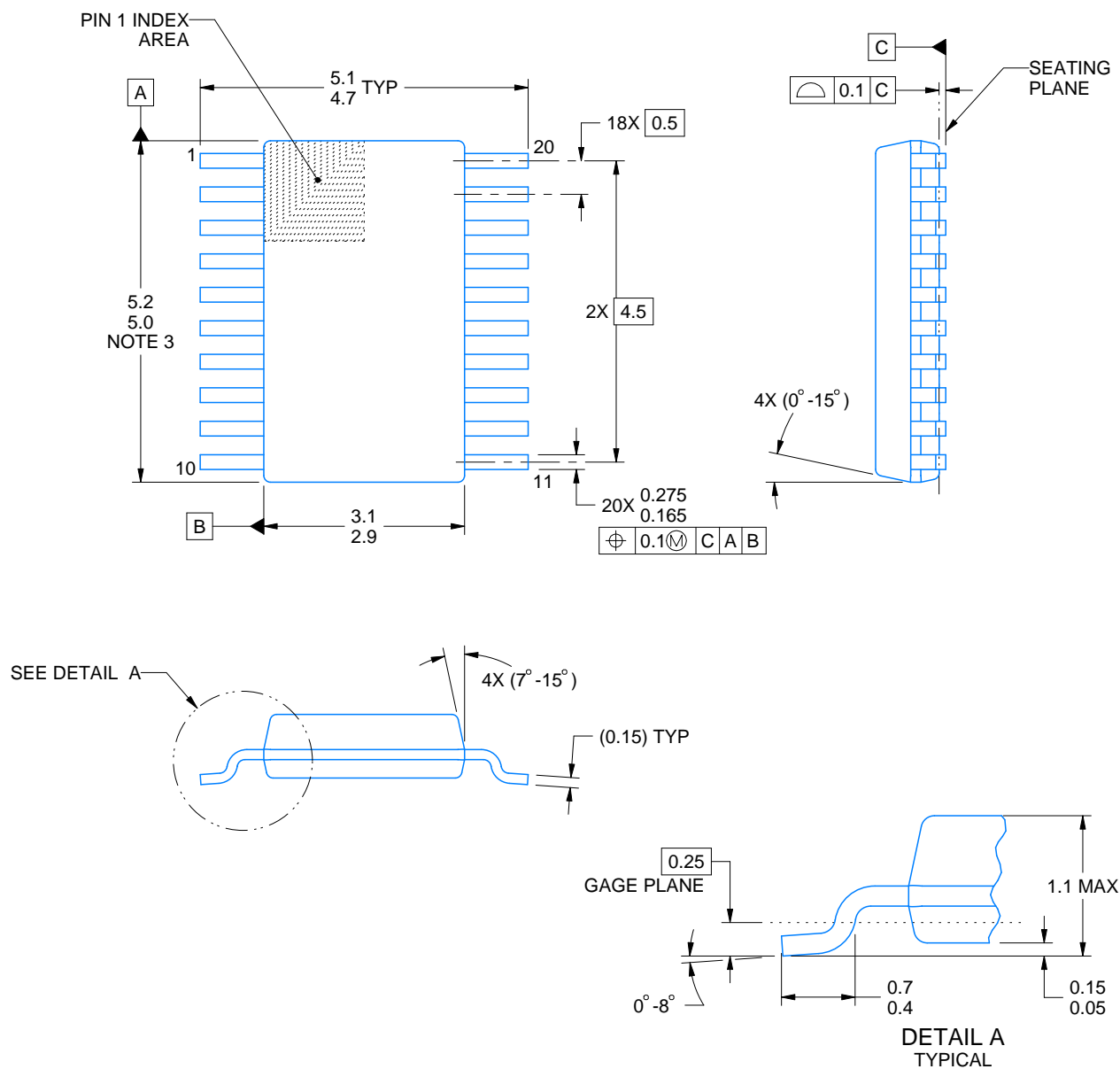
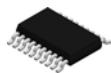


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月