

# SN74AHC74Q-Q1 車載、クリアとプリセット搭載、デュアル・ポジティブ・エッジ・トリガ D タイプ・フリップ・フロップ

## 1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- ウェッタブル フランク QFN パッケージで供給
- 2V~5.5V の  $V_{CC}$  で動作
- JESD 17 準拠  
250mA 超のラッチアップ性能

## 2 アプリケーション

- モーメンタリ・スイッチをトグル・スイッチに変換
- コントローラ・リセット時の信号保持
- クロック信号の 2 分割

## 3 概要

SN74AHC74Q-Q1 デュアル ポジティブ エッジ トリガ デバイスは、D タイプ フリップ フロップです。

プリセット ( $\overline{\text{PRE}}$ ) またはクリア ( $\overline{\text{CLR}}$ ) 入力を Low レベルにすると、その他の入力レベルに関係なく、出力がセットまたはリセットされます。ここで、 $\overline{\text{PRE}}$  および  $\overline{\text{CLR}}$  が非アクティブ (High) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロック パルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。

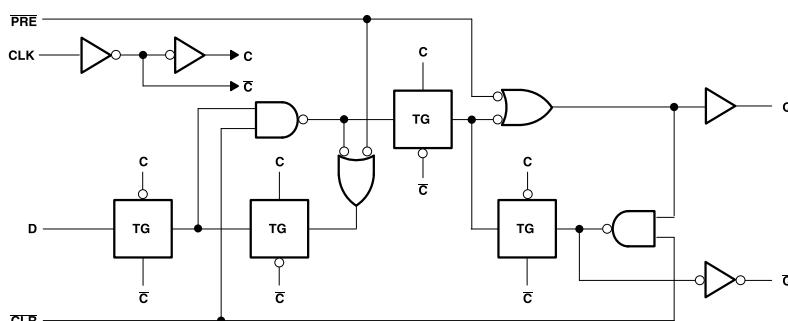
### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (3)
SN74AHC74Q-Q1	BQA (WQFN, 14)	3mm × 2.5mm	3mm × 2.5mm
	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.9mm
	PW (TSSOP, 14)	5mm × 6. mm	5mm × 4.4mm

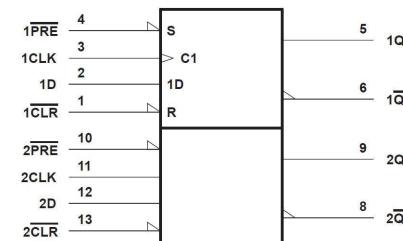
(1) 詳細については、セクション 11 を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

(3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



論理図 (正論理)



‡ この記号は ANSI/IEEE Std 91-1984 と IEC Publication 617-12 に準拠しています。

論理記号‡



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

<b>1 特長</b> .....	<b>1</b>	7.1 概要.....	<b>10</b>
<b>2 アプリケーション</b> .....	<b>1</b>	7.2 機能ブロック図.....	<b>10</b>
<b>3 概要</b> .....	<b>1</b>	7.3 機能説明.....	<b>10</b>
<b>4 ピン構成および機能</b> .....	<b>3</b>	7.4 デバイスの機能モード.....	<b>12</b>
<b>5 仕様</b> .....	<b>4</b>	<b>8 アプリケーションと実装</b> .....	<b>14</b>
5.1 絶対最大定格.....	4	8.1 アプリケーション情報.....	14
5.2 ESD 定格.....	4	8.2 代表的なアプリケーション.....	14
5.3 推奨動作条件.....	4	8.3 電源に関する推奨事項.....	16
5.4 熱に関する情報 - SN74AHC74Q-Q1 .....	5	8.4 レイアウト.....	16
5.5 電気的特性.....	5	<b>9 デバイスおよびドキュメントのサポート</b> .....	<b>18</b>
5.6 タイミング要件 – $V_{CC} = 3.3V \pm 0.3V$ .....	5	9.1 ドキュメントのサポート.....	18
5.7 タイミング要件 – $V_{CC} = 5V \pm 0.5V$ .....	6	9.2 ドキュメントの更新通知を受け取る方法.....	18
5.8 スイッチング特性、 $V_{CC} = 3.3V \pm 0.3V$ .....	6	9.3 サポート・リソース.....	18
5.9 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$ .....	6	9.4 商標.....	18
5.10 ノイズ特性.....	7	9.5 静電気放電に関する注意事項.....	18
5.11 動作特性.....	7	9.6 用語集.....	18
5.12 代表的特性.....	7	<b>10 改訂履歴</b> .....	<b>18</b>
<b>6 パラメータ測定情報</b> .....	<b>9</b>	<b>11 メカニカル、パッケージ、および注文情報</b> .....	<b>19</b>
<b>7 詳細説明</b> .....	<b>10</b>		

## 4 ピン構成および機能

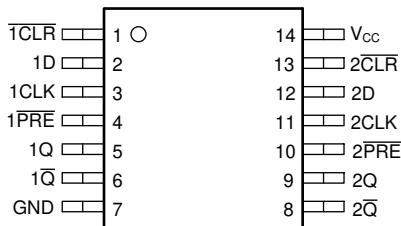


図 4-1. SN74AHC74Q-Q1 D または PW パッケージ、  
14 ピン SOIC または TSSOP (上面図)

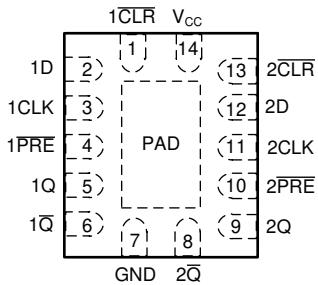


図 4-2. SN74AHC74Q-Q1 BQA パッケージ、14 ピン  
WQFN (透過上面図)

表 4-1. ピンの機能

ピン		種類 <sup>(1)</sup>	概要
名称	番号		
1CLR	1	I	チャネル 1 の非同期クリア、アクティブ Low
1D	2	I	チャネル 1 のデータ
1CLK	3	I	チャネル 1 のクロック、立ち上がりエッジがトリガされる
1PRE	4	I	チャネル 1 の非同期プリセット、アクティブ Low
1Q	5	O	チャネル 1 の出力
1Q̄	6	O	チャネル 1 の反転出力
GND	7	G	グランド
2Q̄	8	O	チャネル 2 の反転出力
2Q	9	O	チャネル 2 の出力
2PRE	10	I	チャネル 2 の非同期プリセット、アクティブ Low
2CLK	11	I	チャネル 2 のクロック、立ち上がりエッジがトリガされる
2D	12	I	チャネル 2 のデータ
2CLR	13	I	チャネル 2 の非同期クリア、アクティブ Low
Vcc	14	P	正電源
サーマル・パッド <sup>(2)</sup>		—	サーマル・パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、P = 電源、G = グランド

(2) BQA パッケージに限定

## 5 仕様

### 5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
$V_{CC}$	電源電圧範囲	-0.5	7	V
$V_I$ <sup>(2)</sup>	入力電圧範囲	-0.5	7	V
$V_O$ <sup>(2)</sup>	出力電圧範囲	-0.5	$V_{CC} + 0.5$	V
$I_{IK}$	入力クランプ電流 ( $V_I < 0$ )		-20	mA
$I_{OK}$	出力クランプ電流 ( $V_O < 0$ または $V_O > V_{CC}$ )		$\pm 20$	mA
$I_O$	連続出力電流 ( $V_O = 0 \sim V_{CC}$ )		$\pm 25$	mA
	$V_{CC}$ または GND を通過する連続電流		$\pm 50$	mA
$T_{stg}$	保管温度範囲	-65	150	°C

(1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

### 5.2 ESD 定格

		値	単位
$V_{(ESD)}$	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	$\pm 2000$	V
	デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 <sup>(2)</sup>	$\pm 1000$	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。  
 (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

		最小値	最大値	単位
$V_{CC}$	電源電圧	2	5.5	V
$V_{IH}$	High レベル入力電圧	$V_{CC} = 2V$	1.5	V
		$V_{CC} = 3V$	2.1	
		$V_{CC} = 5.5V$	3.85	
$V_{IL}$	Low レベル入力電圧	$V_{CC} = 2V$	0.5	V
		$V_{CC} = 3V$	0.9	
		$V_{CC} = 5.5V$	1.65	
$V_I$ <sup>(1)</sup>	入力電圧	0	5.5	V
$V_O$	出力電圧	0	$V_{CC}$	V
$I_{OH}$ <sup>(2)</sup>	High レベル出力電流	$V_{CC} = 2V$	-50	μA
		$V_{CC} = 3.3V \pm 0.3V$	-4	
		$V_{CC} = 5V \pm 0.5V$	-8	
$I_{OL}$ <sup>(2)</sup>	Low レベル出力電流	$V_{CC} = 2V$	50	μA
		$V_{CC} = 3.3V \pm 0.3V$	4	
		$V_{CC} = 5V \pm 0.5V$	8	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	$V_{CC} = 3.3V \pm 0.3V$	100	ns/V
		$V_{CC} = 5V \pm 0.5V$	20	

## 5.3 推奨動作条件 (続き)

		最小値	最大値	単位
T <sub>A</sub>	自由空気での動作温度	-40	125	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V<sub>CC</sub> または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。
- (2) 関連する出力電圧仕様に従って適切な出力状態を維持するための推奨電流値 (I<sub>OL</sub> は V<sub>OL</sub>、I<sub>OH</sub> は V<sub>OH</sub> に対応)。詳細については、「電気的特性」表を参照してください。

## 5.4 熱に関する情報 - SN74AHC74Q-Q1

熱評価基準 <sup>(1)</sup>		BQA (WQFN)	D (SOIC)	PW (TSSOP)	単位
		14 ピン	14 ピン	14 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	88.3	124.6	147.7	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V <sub>CC</sub>	T <sub>A</sub> = 25°C			-40~+125°C		単位
			最小値	代表値	最大値	最小値	最大値	
V <sub>OH</sub>	I <sub>OH</sub> = -50μA	2V	1.9	2	1.9	V	V	
		3V	2.9	3	2.9			
		4.5V	4.4	4.5	4.4			
	I <sub>OH</sub> = -4mA	3V	2.58		2.48			
	I <sub>OH</sub> = -8mA	4.5V	3.94		3.8			
V <sub>OL</sub>	I <sub>OL</sub> = 50μA	2V		0.1	0.1	V	V	
		3V		0.1	0.1			
		4.5V		0.1	0.1			
	I <sub>OL</sub> = 4mA	3V		0.36	0.5			
	I <sub>OL</sub> = 8mA	4.5V		0.36	0.5			
I <sub>I</sub>	V <sub>I</sub> = 5.5V または GND	0V~5.5V		±0.1		±1	μA	
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND、I <sub>O</sub> = 0	5.5V		2		20	μA	
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND	5V	2	10		10	pF	

## 5.6 タイミング要件 — V<sub>CC</sub> = 3.3V±0.3V

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	概要	条件	T <sub>A</sub> = 25°C		-40°C~125°C		単位
			最小値	最大値	最小値	最大値	
t <sub>w</sub>	パルス幅	PRE または CLR Low	6		7		ns
		CLK	6		7		
t <sub>su</sub>	CLK ↑ 前のセットアップ時間	データ	6		7		ns
		PRE または CLR が非アクティブ	5		5		
t <sub>h</sub>	ホールド時間、CLK ↑ 後のデータ			0.5		0.5	ns

## 5.7 タイミング要件 – $V_{CC} = 5V \pm 0.5V$

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	概要	条件	$T_A = 25^\circ C$		$-40^\circ C \sim 125^\circ C$		単位
			最小値	最大値	最小値	最大値	
$t_w$	パルス幅	PRE または CLR Low	5	5	5	5	ns
		CLK	5	5	5	5	ns
$t_{su}$	CLK ↑ 前のセットアップ時間	データ	5	5	5	5	ns
		PRE または CLR が非アクティブ	3	3	3	3	ns
$t_h$	ホールド時間、CLK ↑ 後のデータ		0.5	0.5	0.5	0.5	ns

## 5.8 スイッチング特性、 $V_{CC} = 3.3V \pm 0.3V$

自由空気での推奨動作温度範囲内 (セクション 6 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	$T_A = 25^\circ C$			単位
				最小値	代表値	最大値	
$f_{max}$			$C_L = 15pF$	80	125	70	ns
			$C_L = 50pF$	50	75	45	
$t_{PLH}$	PRE または CLR	Q または $\bar{Q}$	$C_L = 15pF$	7.6	12.3	1	14.5
$t_{PHL}$				7.6	12.3	1	14.5
$t_{PLH}$	CLK	Q または $\bar{Q}$	$C_L = 15pF$	6.7	11.9	1	14
$t_{PHL}$				6.7	11.9	1	14
$t_{PLH}$	PRE または CLR	Q または $\bar{Q}$	$C_L = 50pF$	10.1	15.8	1	18
$t_{PHL}$				10.1	15.8	1	18
$t_{PLH}$	CLK	Q または $\bar{Q}$	$C_L = 50pF$	9.2	15.4	1	17.5
$t_{PHL}$				9.2	15.4	1	17.5

## 5.9 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$

自由空気での推奨動作温度範囲内 (セクション 6 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	$T_A = 25^\circ C$			単位
				最小値	代表値	最大値	
$f_{max}$			$C_L = 15pF$	130	170	110	ns
			$C_L = 50pF$	90	115	75	
$t_{PLH}$	PRE または CLR	Q または $\bar{Q}$	$C_L = 15pF$	4.8	7.7	1	9
$t_{PHL}$				4.8	7.7	1	9
$t_{PLH}$	CLK	Q または $\bar{Q}$	$C_L = 15pF$	4.6	7.3	1	8.5
$t_{PHL}$				4.6	7.3	1	8.5
$t_{PLH}$	PRE または CLR	Q または $\bar{Q}$	$C_L = 50pF$	6.3	9.7	1	11
$t_{PHL}$				6.3	9.7	1	11
$t_{PLH}$	CLK	Q または $\bar{Q}$	$C_L = 50pF$	6.1	9.3	1	10.5
$t_{PHL}$				6.1	9.3	1	10.5

## 5.10 ノイズ特性

$V_{CC} = 5V$ 、 $C_L = 50pF$ 、 $T_A = 25^\circ C$ <sup>(1)</sup>

パラメータ	最小値	代表値	最大値	単位
$V_{OL(P)}$ 低ノイズ出力、動的電圧 $V_{OL}$ (最大値)		0.8		V
$V_{OL(V)}$ 低ノイズ出力、動的電圧 $V_{OL}$ (最小値)		-0.8		V
$V_{OH(V)}$ 低ノイズ出力、動的電圧 $V_{OH}$ (最小値)	4.7			V
$V_{IH(D)}$ High レベル動的入力電圧	3.5			V
$V_{IL(D)}$ Low レベル動的入力電圧		1.5		V

(1) 特性は表面実装パッケージのみが対象です。

## 5.11 動作特性

$V_{CC} = 5V$ 、 $T_A = 25^\circ C$

パラメータ	テスト条件	代表値	単位
$C_{pd}$ 電力散逸容量	無負荷、 $f = 1MHz$	32	pF

## 5.12 代表的特性

$T_A = 25^\circ C$  (特に記述のない限り)

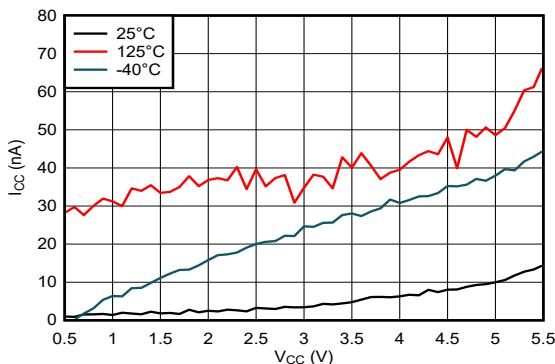


図 5-1. 電源電流と電源電圧との関係

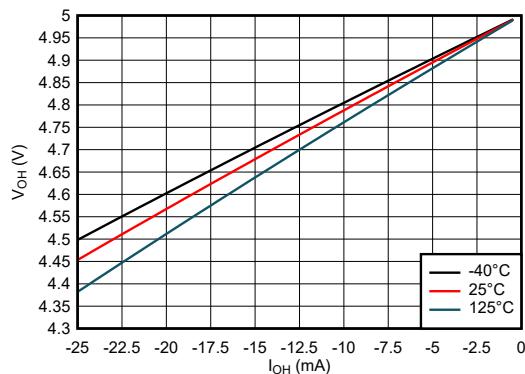


図 5-2. 出力電圧と High 状態の電流との関係 (5V 電源)

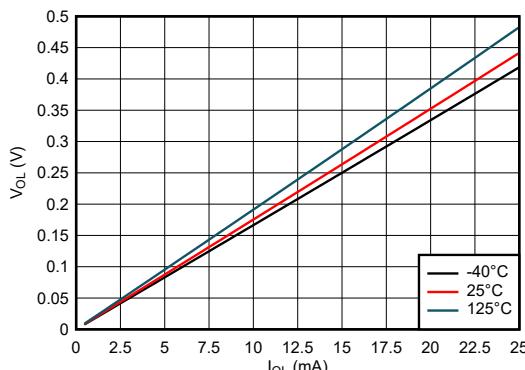


図 5-3. 出力電圧と Low 状態の電流との関係 (5V 電源)

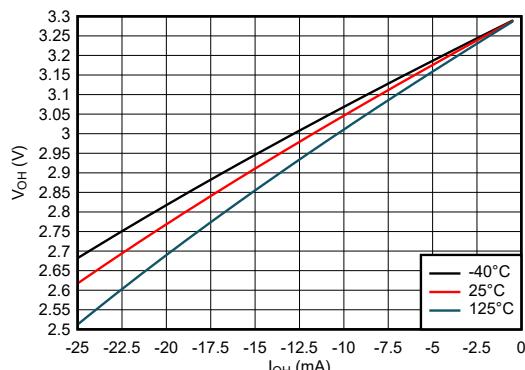


図 5-4. 出力電圧と High 状態の電流との関係 (3.3V 電源)

## 5.12 代表的特性 (続き)

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

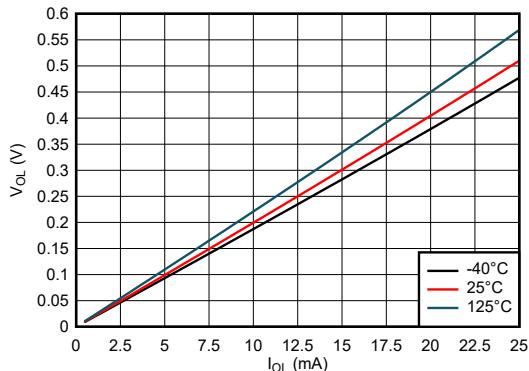


図 5-5. 出力電圧と Low 状態の電流との関係 (3.3V 電源)

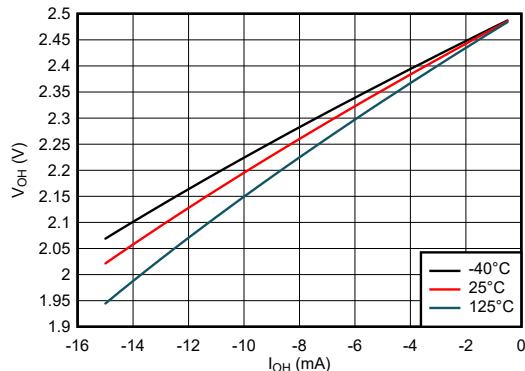


図 5-6. 出力電圧と High 状態の電流との関係 (2.5V 電源)

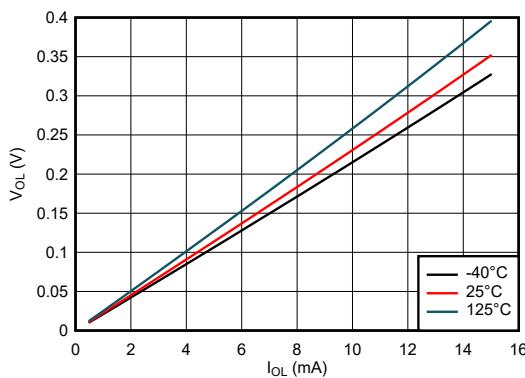
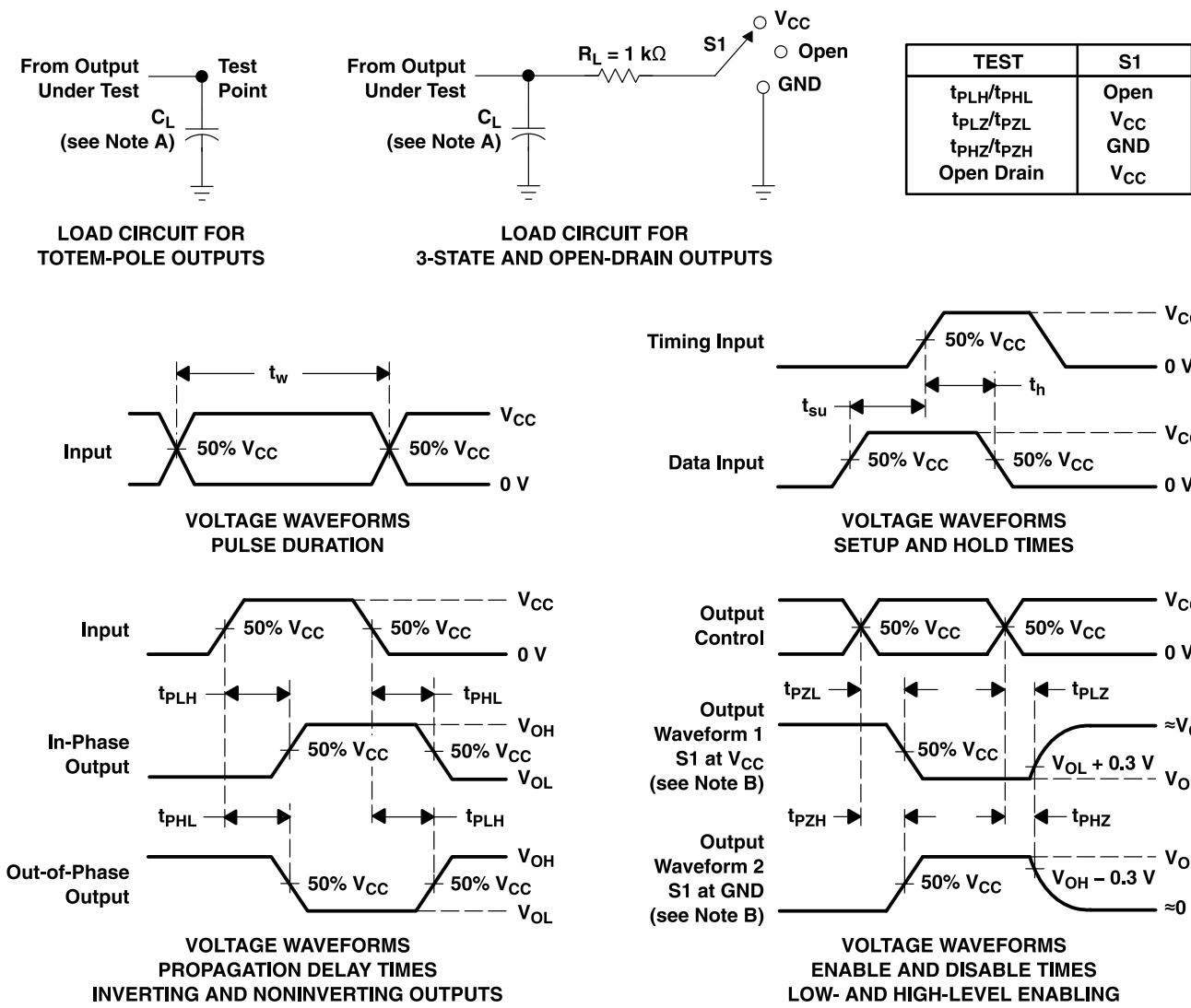


図 5-7. 出力電圧と Low 状態の電流との関係 (2.5V 電源)

## 6 パラメータ測定情報



- NOTES:
- $C_L$  includes probe and jig capacitance.
  - Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
  - All input pulses are supplied by generators having the following characteristics: PRR  $\leq 1 \text{ MHz}$ ,  $Z_O = 50 \Omega$ ,  $t_r \leq 3 \text{ ns}$ ,  $t_f \leq 3 \text{ ns}$ .
  - The outputs are measured one at a time with one input transition per measurement.
  - All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

## 7 詳細説明

### 7.1 概要

SN74AHC74Q-Q1 デュアル・ポジティブ・エッジ・トリガ・デバイスは、D タイプ・フリップ・フロップです。

その他の入力のレベルに関係なく、プリセット (PRE) 入力を Low レベルにすると出力は High になり、クリア (CLR) 入力を Low レベルにすると出力は Low になります。PRE と CLR が非アクティブ (High) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロック・パルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック・パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。

### 7.2 機能ブロック図

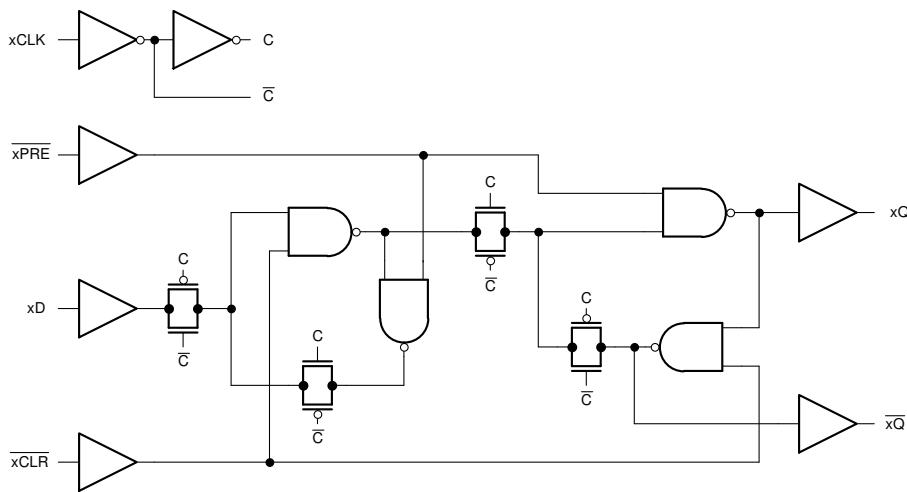


図 7-1. SN74AHC74Q-Q1 の 1 チャネルの論理図 (正論理)

### 7.3 機能説明

#### 7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

#### 7.3.2 ラッチ・ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ・ラッチと D タイプ・フリップ・フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、「推奨動作条件」表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

#### 7.3.3 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は、「絶対最大定格」に示さ

れている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ( $R = V \div I$ ) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 $V_{CC}$  または **GND** で終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因に依存しますが、 $10\text{k}\Omega$  の抵抗を推奨します。通常はこれですべての要件を満たします。

### 7.3.4 ウェッタブル・フランク

このデバイスには、少なくとも 1 つのパッケージのウェッタブル・フランクが含まれています。この機能を搭載しているパッケージについては、データシートの先頭ページにある「特長」セクションを参照してください。

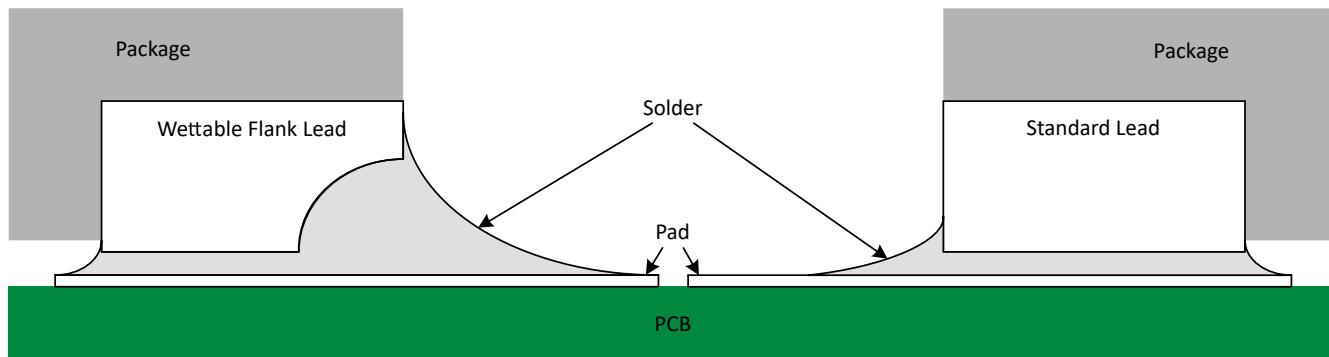


図 7-2. 半田付け後のウェッタブル フランク QFN パッケージと標準 QFN パッケージの概略断面図

ウェッタブル・フランクは、半田付け後の側方のぬれ性を改善するのに役立ち、自動光学検査 (AOI) により QFN パッケージの検査が容易になります。図 7-2 に示すように、ウェッタブル・フランクは、半田接着用の表面積を増やすために、デインプル加工または段切れできます。これは、サイド・フィレットを確実に作成するのに役立ちます。詳細については、メカニカルに関する図をご覧ください。

### 7.3.5 クランプ・ダイオード構造

図 7-3 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

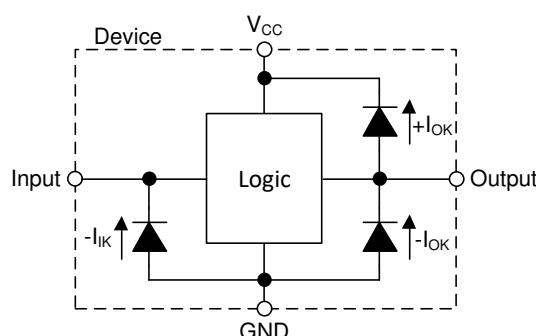
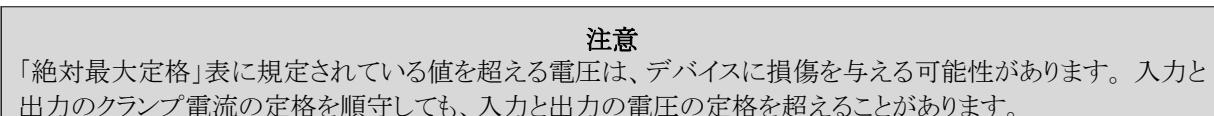


図 7-3. 各入力と出力に対するクランプ・ダイオードの電気的配置

## 7.4 デバイスの機能モード

表 7-1 に、各入出力の機能表を示します。

表 7-1. 機能表 (各フリップ・フロップ)

入力				出力	
PRE	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H

**表 7-1. 機能表 (各フリップ・フロップ) (続き)**

入力				出力	
<b>PRE</b>	<b>CLR</b>	<b>CLK</b>	<b>D</b>	<b>Q</b>	<b><math>\bar{Q}</math></b>
L	L	X	X	H <sup>(1)</sup>	H <sup>(1)</sup>
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q <sub>0</sub>	$\bar{Q}_0$

(1) この構成は不安定です。つまり、 $\overline{\text{PRE}}$  または  $\overline{\text{CLR}}$  が非アクティブ (High) レベルに戻ったときに持続しません。

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

トグル・スイッチは通常、大きく、機械的に複雑で、比較的高価です。代わりにモメンタリ・スイッチを使用することをお勧めします。これらのスイッチは小型で、機械的に単純で、低コストのためです。一部のシステムではトグル・スイッチの機能が必要ですが、スペースまたはコストの制約があり、代わりにモメンタリ・スイッチを使用する必要があります。

D タイプ・フリップ・フロップのデータ入力 (D) が反転出力 ( $\bar{Q}$ ) に接続されている場合、各クロック・パルスにより出力 (Q) の値がトグルします。モメンタリ・スイッチをデバウンスし、シュミット・トリガ・バッファを経由してクロック入力 (CLK) に接続して出力を切り替えることができます。

さらに、本アプリケーションには、電源投入時に出力が常に Low 状態で起動するように、パワーオン・リセット回路が使用されています。

### 8.2 代表的なアプリケーション

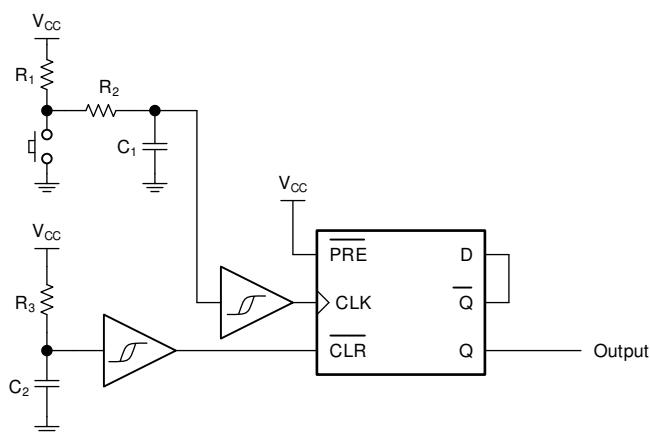


図 8-1. 代表的なアプリケーション回路図

#### 8.2.1 設計要件

##### 8.2.1.1 電源に関する検討事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性 - 74」に記載されているように、電源電圧によって本デバイスの電気的特性が決定されます。

電源は、SN74AHC74Q-Q1 のすべての出力によってソースされる総電流と「電気的特性 - 74」に記載された消費電流 ( $I_{CC}$ ) の最大値との合計に等しい電流をソースできる必要があります。ロジック・デバイスは、それぞれ電源ピンとグランド・ピンで供給される電流と同じ量の電流のみをソースまたはシンクできます。「絶対最大定格」に記載された GND または  $V_{CC}$  総電流の最大値を超えないようにしてください。

総消費電力は、『CMOS の消費電力と  $C_{pd}$  の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

### 注意

「絶対最大定格」に記載された最大接合部温度  $T_J(max)$  は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限は、デバイスへの損傷を防ぐために規定されています。

#### 8.2.1.2 入力に関する考慮事項

未使用の入力は、 $V_{CC}$  またはグランドで終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が **High** の場合にはプルアップ抵抗、デフォルト状態が **Low** の場合にはプルダウン抵抗を使用します。抵抗のサイズは、コントローラの駆動電流、SN74AHC74Q-Q1 へのリーク電流 (それぞれ「電気的特性 - 74」で規定)、および目的の入力遷移レートによって制限されます。10k $\Omega$  の抵抗値は、こうした要因によりしばしば使用されます。

SN74AHC74Q-Q1 には標準 CMOS 入力があるため、入力信号のエッジ・レートを低速にすることはできません。入力エッジ・レートが低速の場合、発振や有害な貫通電流が発生する可能性があります。推奨レートは、「推奨動作条件」で規定されています。

このデバイスの入力の詳細については、「機能説明」を参照してください。

#### 8.2.1.3 出力に関する検討事項

正の電源電圧を使用して、出力 **High** 電圧を生成します。出力から電流を引き出すと、「電気的特性 - 74」における  $V_{OH}$  の仕様で規定されているように出力電圧が低下します。同様に、グランド電圧を使用して、出力 **Low** 電圧を生成します。出力に電流をシンクすると、「電気的特性 - 74」における  $V_{OL}$  の仕様により規定されているように出力電圧が上昇します。

未使用の出力はフローティングのままにできます。出力を  $V_{CC}$  またはグランドに直接接続しないようにしてください。

このデバイスの出力に関する詳細情報については、「機能説明」セクションを参照してください。

#### 8.2.1.4 タイミングに関する考慮事項

SN74AHC74Q-Q1 はクロック制御されたデバイスです。このため、通常動作ではタイミングに関する特別な考慮が必要です。

考慮すべき主なタイミング要因:

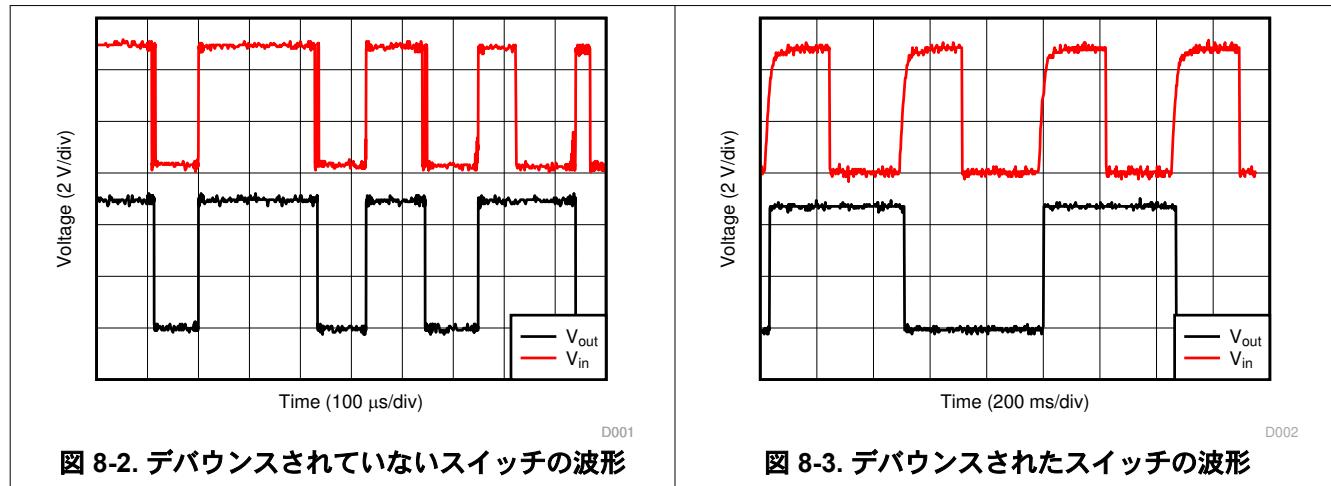
- 最大クロック周波数:「タイミング要件 - 74」で定義されている最大動作クロック周波数は、デバイスが機能するよう設計された最大周波数です。この値は特にトリガ波形を指し、あるトリガ・レベルから次のトリガ・レベルまでが測定されます。
- パルス幅:「タイミング要件 - 74」に定義されているように、トリガ・イベントの期間を最小パルス幅より大きくします。
- セットアップ時間:「タイミング要件 - 74」で定義されているように、トリガ・イベントの少なくとも 1 つ前のセットアップ時間までに確実にデータが変更されるようにします。
- ホールド時間:「タイミング要件 - 74」に定義されているように、トリガ・イベントの少なくとも 1 つ後のホールド時間まで確実にデータが目的の状態に留まるようにします。

#### 8.2.2 詳細な設計手順

- $V_{CC}$  から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ  $V_{CC}$  ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト例」セクションに示します。
- 出力の容量性負荷が 70pF 以下であることを確認します。これは厳密な制限ではありませんが、性能が最適化されます。これは、SN74AHC74Q-Q1 から受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
- 「絶対最大定格」の最大出力電流に違反しないように、出力の抵抗性負荷が  $(V_{CC} / I_{O(max)}) \Omega$  より確実に大きくなるようにしてください。ほとんどの CMOS 入力には抵抗性負荷 (測定単位は M $\Omega$ ) があります。これは、前述の計算された最小値よりもはるかに大きな値になります。

4. 热の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と热の上昇はアプリケーション・レポート『CMOS の消費電力と  $C_{pd}$  の計算』の手順を使用して計算できます。

### 8.2.3 アプリケーション曲線



## 8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電力障害を防止するため、各  $V_{CC}$  端子にバイパス・コンデンサを配置する必要があります。このデバイスには  $0.1\mu F$  のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu F$  と  $1\mu F$  のコンデンサは並列に使用されます。次のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をフローティングのままにしてはなりません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません(たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合)。このような未使用の入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または  $V_{CC}$  のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

#### 8.4.2 レイアウト例

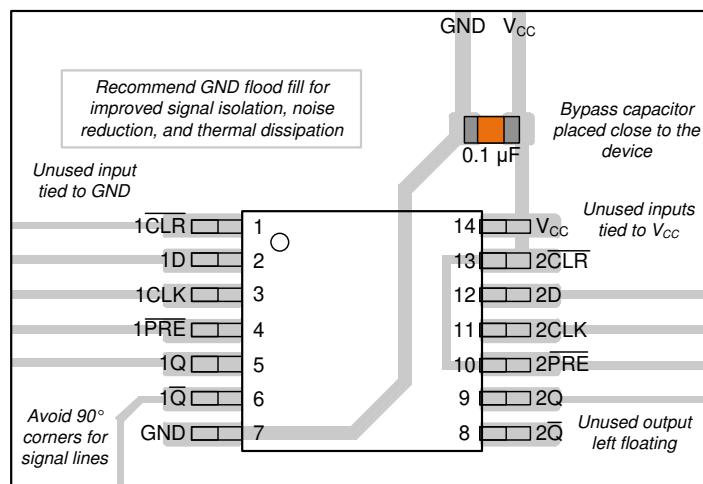


図 8-4. レイアウト例 : SN74AHC74Q-Q1

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- ・ テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』
- ・ テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- ・ テキサス・インスツルメンツ、『標準リニア / ロジック (SLL) パッケージおよびデバイスの熱特性』

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (October 2023) to Revision D (February 2024)	Page
• R <sub>θJA</sub> の値を更新:D = 86~124.6、すべての値は°C/W 単位.....	5

Changes from Revision B (August 2023) to Revision C (October 2023)	Page
• R <sub>θJA</sub> の値を更新:PW = 113~147.7、値はすべて°C/W.....	5

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあります、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用している場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">SN74AHC74QDRG4Q1</a>	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC74Q
<a href="#">SN74AHC74QDRG4Q1.A</a>	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC74Q
<a href="#">SN74AHC74QDRQ1</a>	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC74Q
<a href="#">SN74AHC74QDRQ1.A</a>	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC74Q
<a href="#">SN74AHC74QPWRG4Q1</a>	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA74Q
<a href="#">SN74AHC74QPWRG4Q1.A</a>	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA74Q
<a href="#">SN74AHC74QPWRG4Q1.B</a>	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">SN74AHC74QPWRQ1</a>	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	HA74Q
<a href="#">SN74AHC74QPWRQ1.A</a>	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	HA74Q
<a href="#">SN74AHC74QWBQARQ1</a>	Active	Production	WQFN (BQA)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC74Q
<a href="#">SN74AHC74QWBQARQ1.A</a>	Active	Production	WQFN (BQA)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC74Q

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

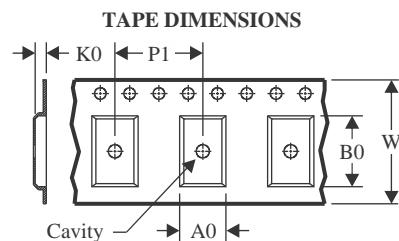
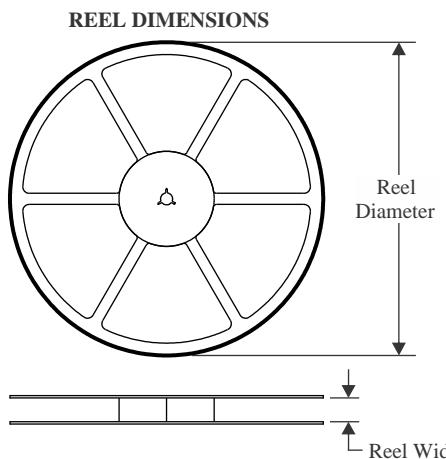
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

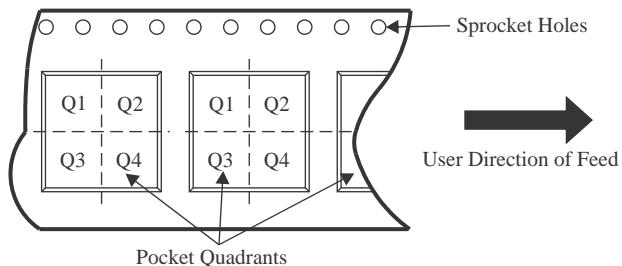
---

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

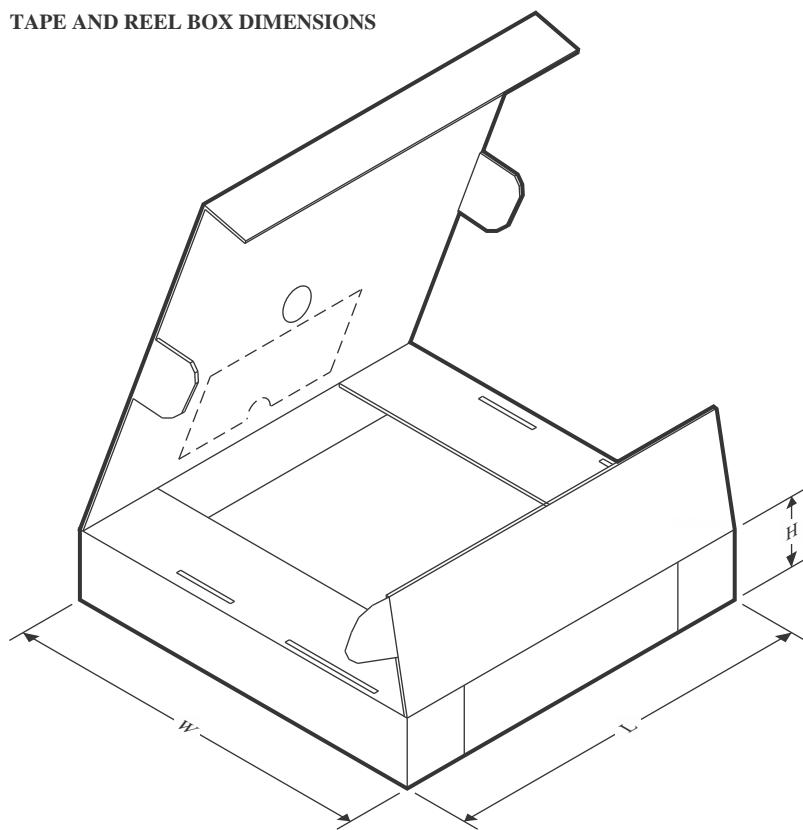
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC74QDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHC74QPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC74QPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC74QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC74QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC74QWBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

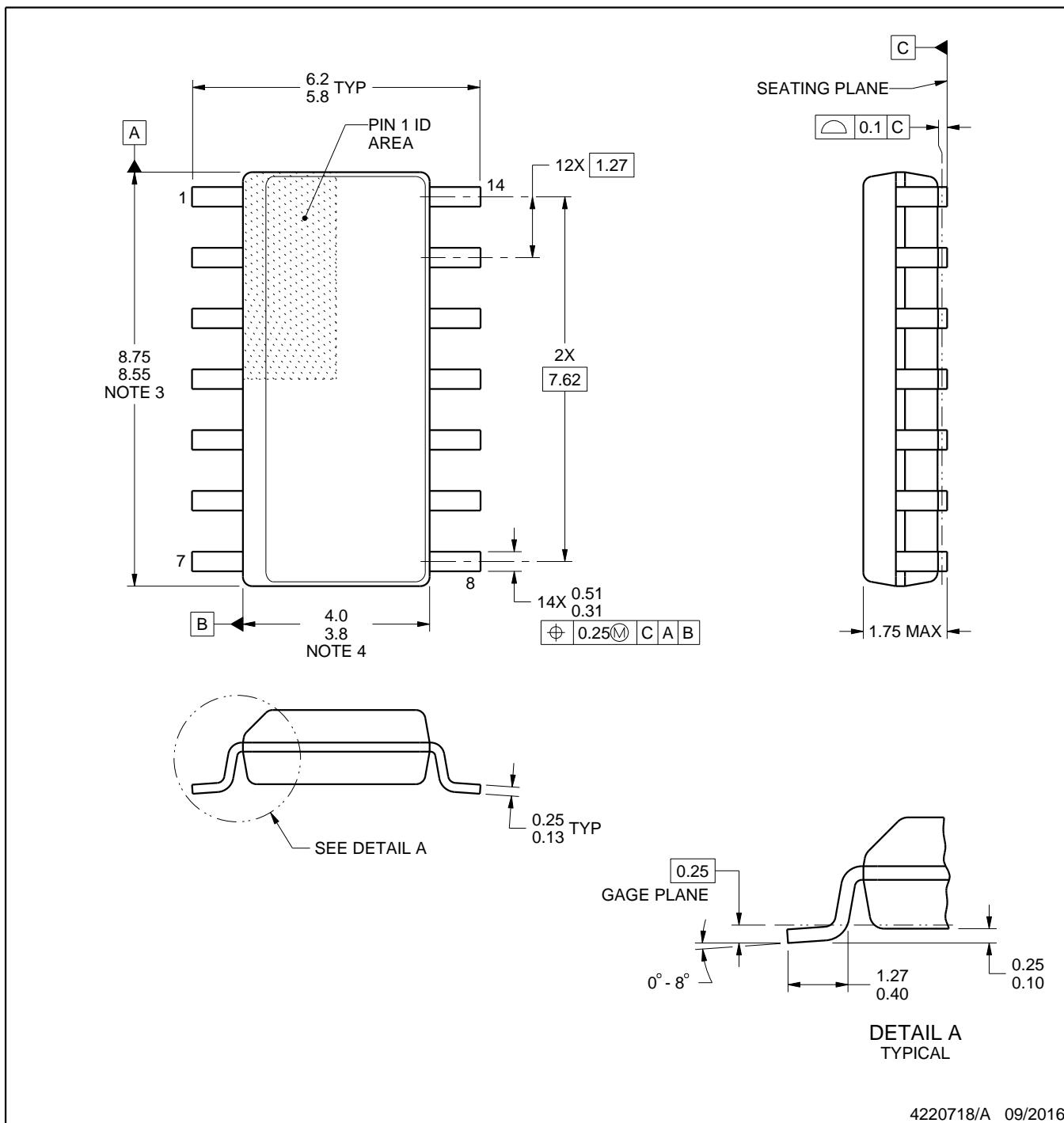
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC74QDRQ1	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHC74QPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHC74QPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHC74QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHC74QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHC74QWBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0

# PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

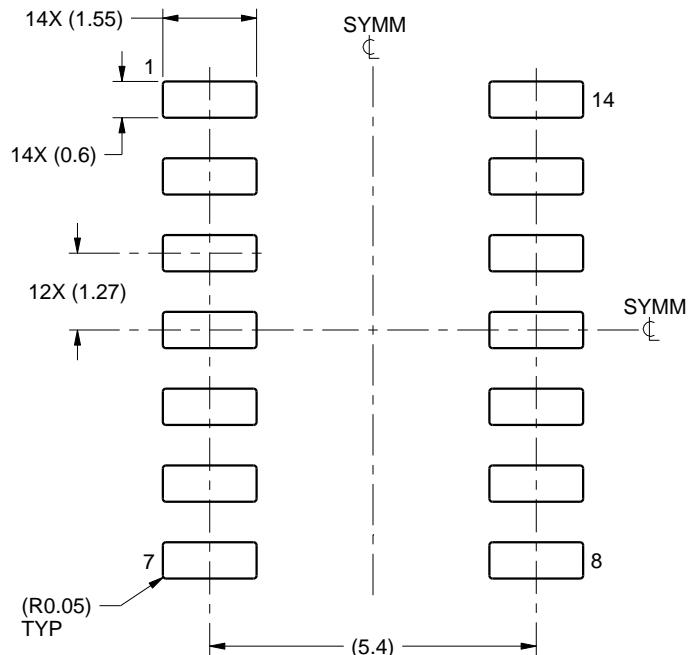
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

# EXAMPLE BOARD LAYOUT

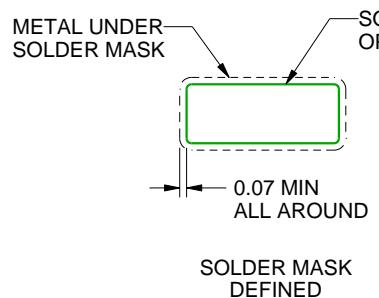
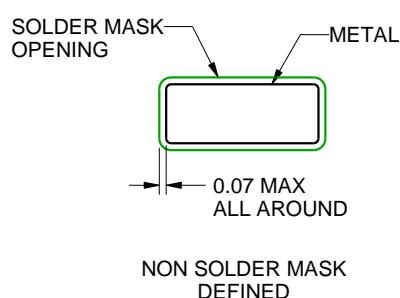
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

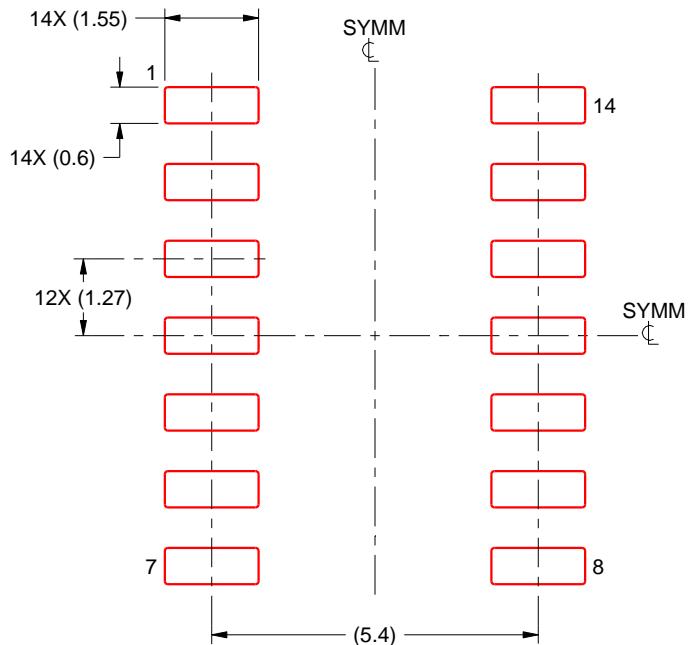
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

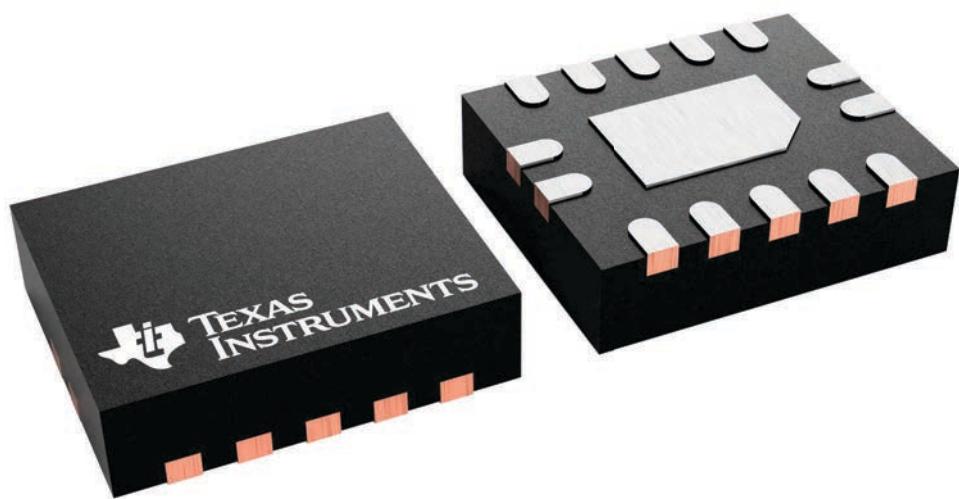
**BQA 14**

**WQFN - 0.8 mm max height**

**2.5 x 3, 0.5 mm pitch**

**PLASTIC QUAD FLATPACK - NO LEAD**

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4227145/A

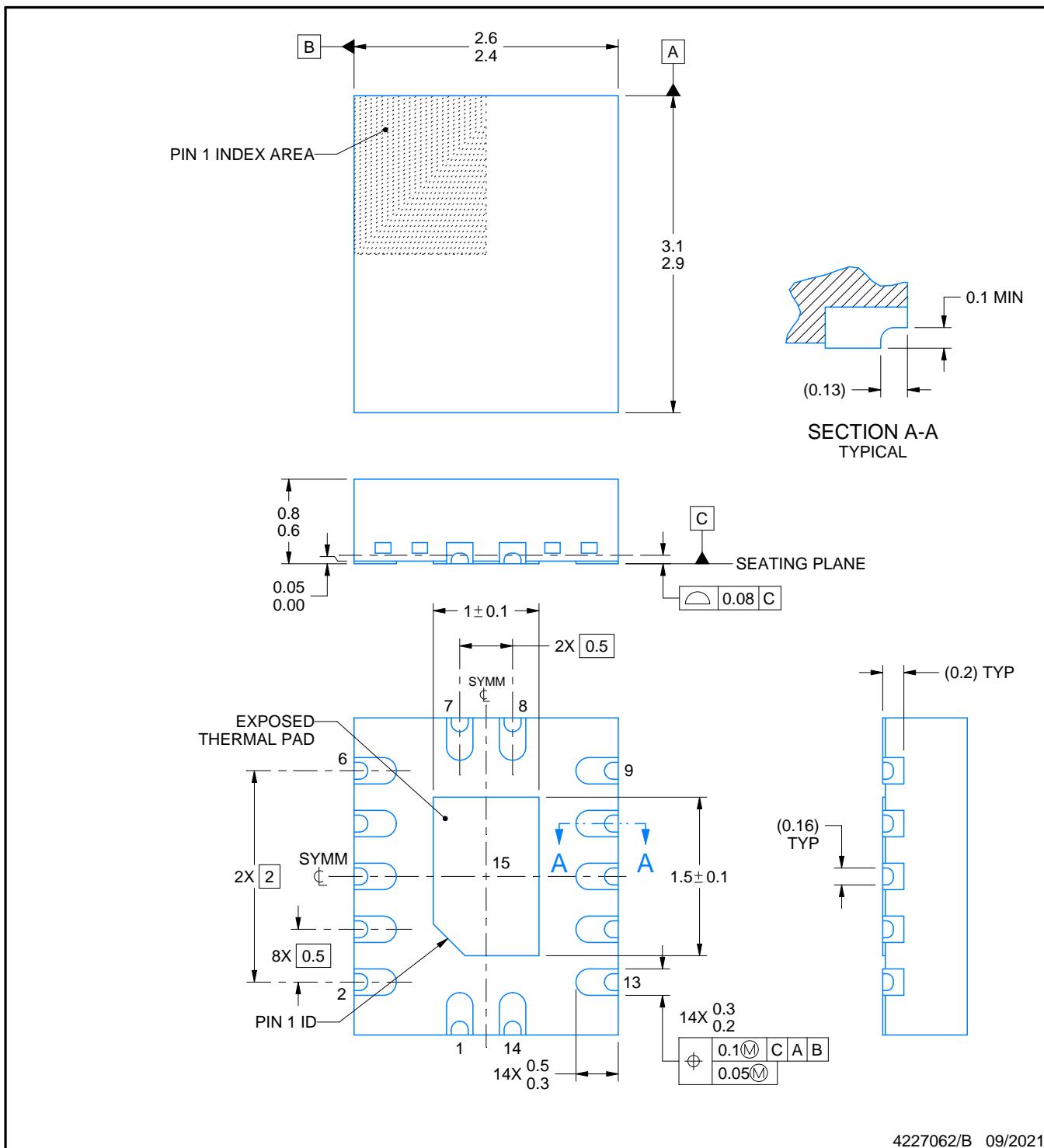
# PACKAGE OUTLINE

BQA0014B



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



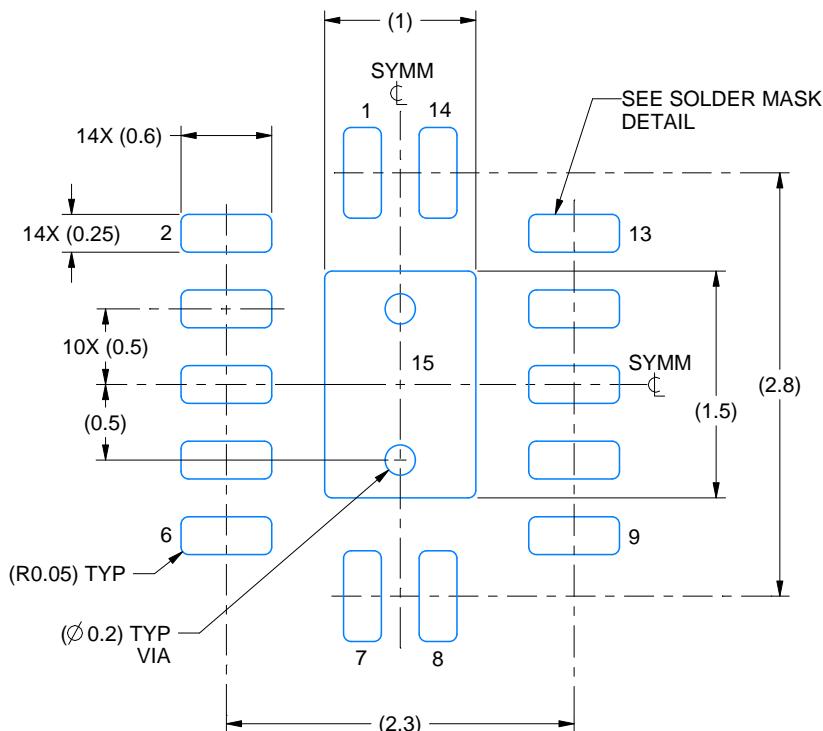
4227062/B 09/2021

## EXAMPLE BOARD LAYOUT

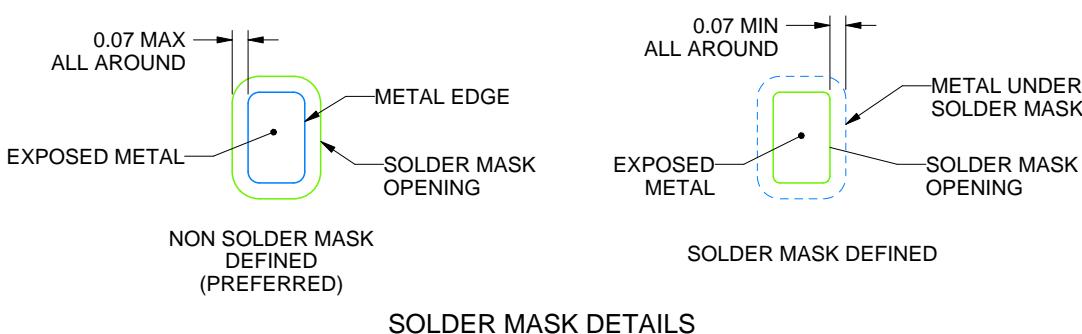
**BQA0014B**

## **WQFN - 0.8 mm max height**

## PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



4227062/B 09/2021

#### NOTES: (continued)

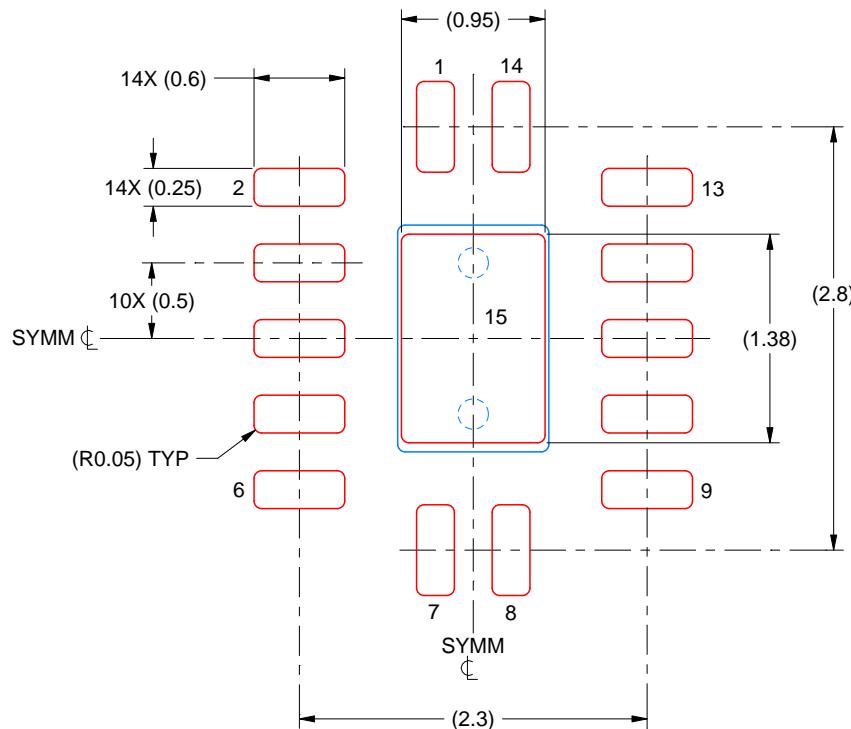
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
  5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 20X

EXPOSED PAD 15  
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

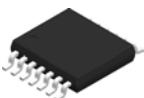
4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

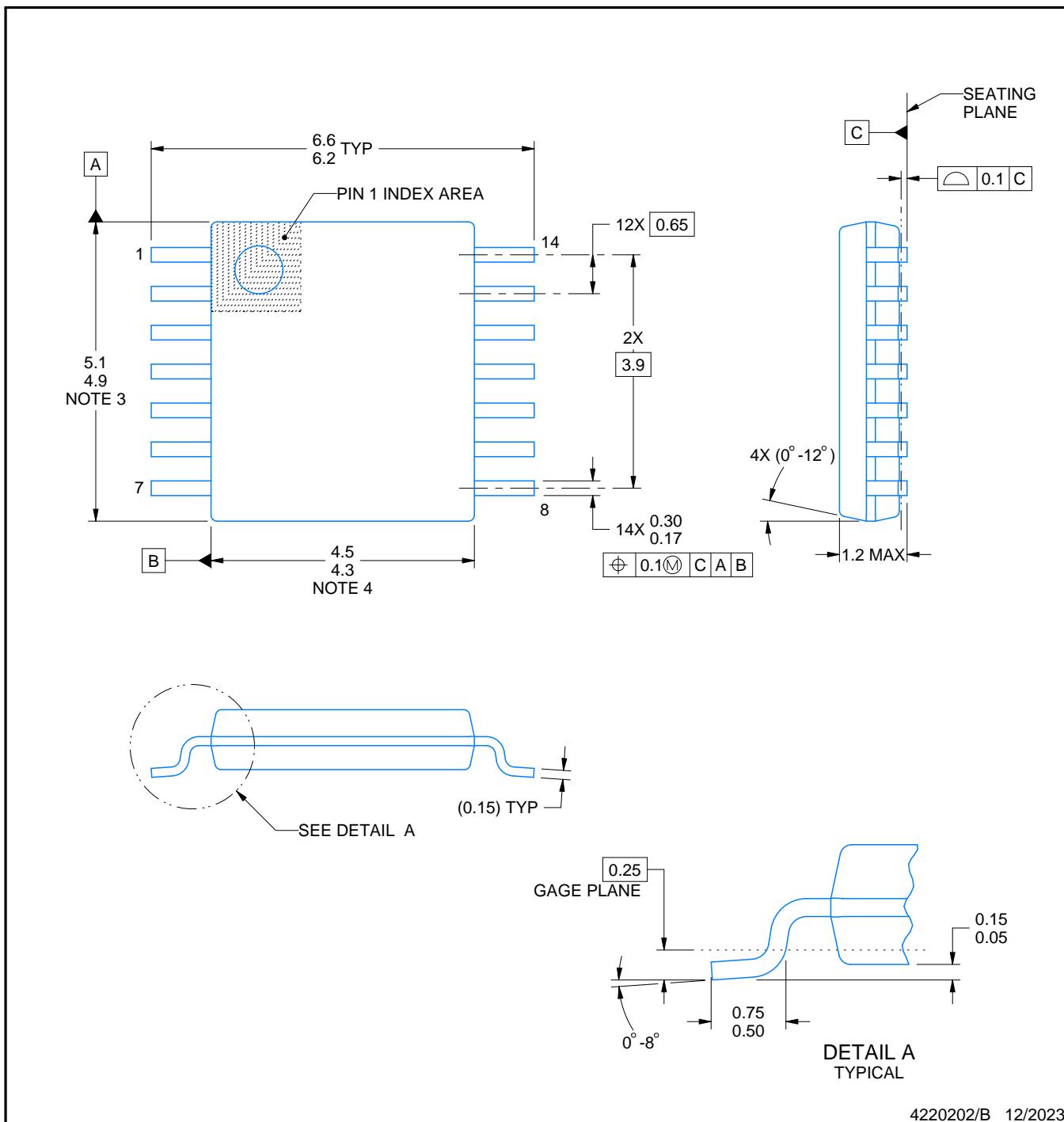
# PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



## NOTES:

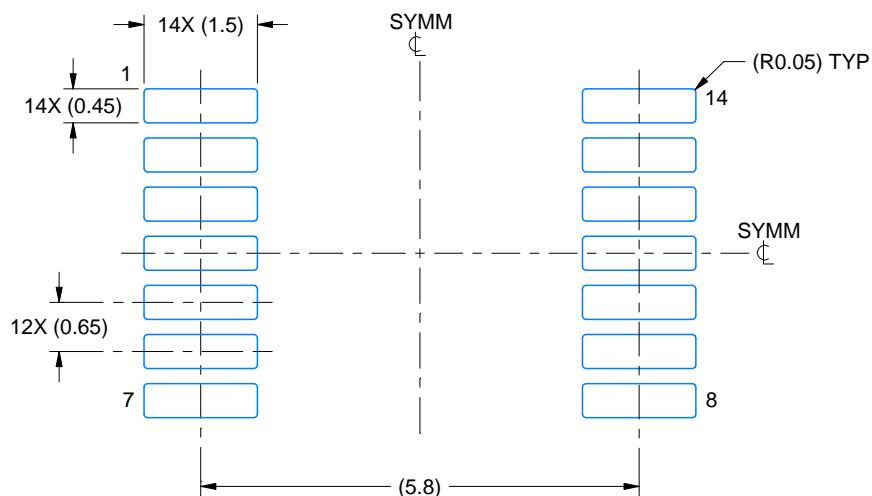
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

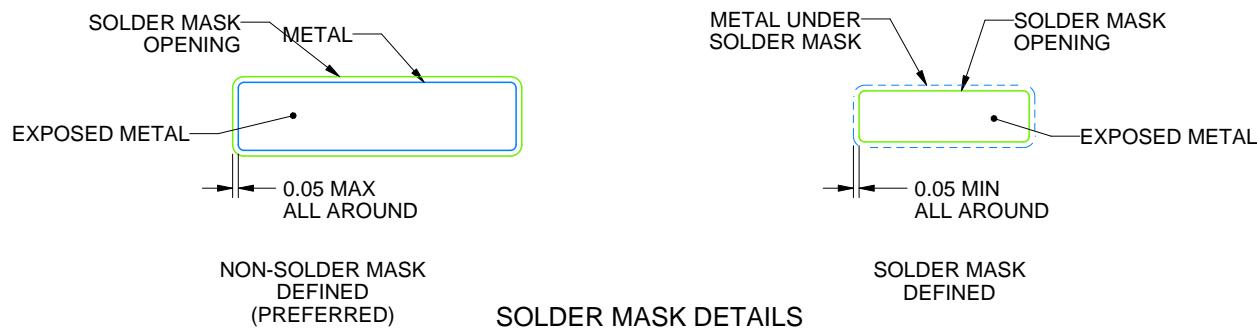
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

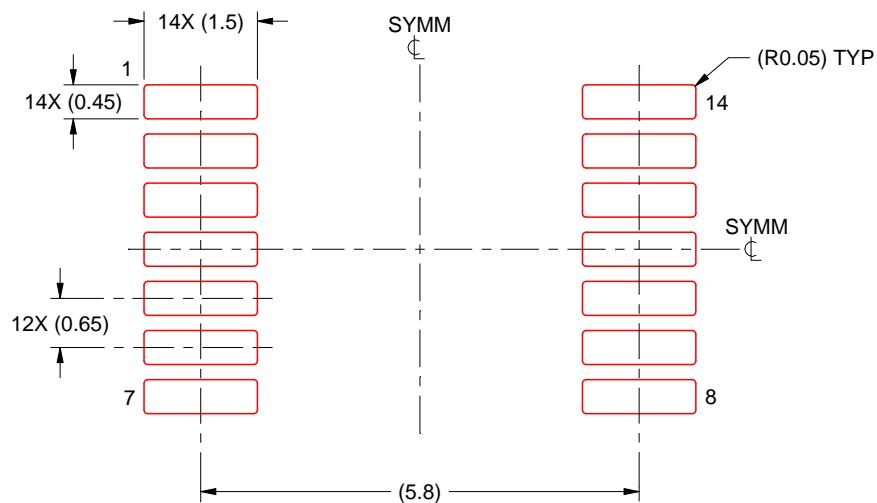
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

**PW0014A**

## **TSSOP - 1.2 mm max height**

## SMALL OUTLINE PACKAGE



**SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X**

4220202/B 12/2023

#### NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
  9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月