

# SN74AHCT125-Q1 車載用クワッドバスバッファゲート、3ステート出力搭載

## 1 特長

- 入力は TTL 電圧互換
- JESD 17 準拠
- 250mA 超のラッチアップ性能
- 機能安全規格に対応**
  - 安全システム設計に役立つ資料を利用可能

## 2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- インジケータ LED の制御
- スイッチのデバウンス
- 低速またはノイズの多い入力信号の除去

## 3 説明

SN74AHCT125-Q1 デバイスはクワッドバスバッファゲートで、3ステート出力の独立したラインドライバを備えています。各出力は、対応する出力イネーブル ( $\overline{OE}$ ) 入力が High のときディセーブルになります。 $\overline{OE}$  が Low の場合、該当するゲートは A 入力からのデータをその Y 出力に渡します。

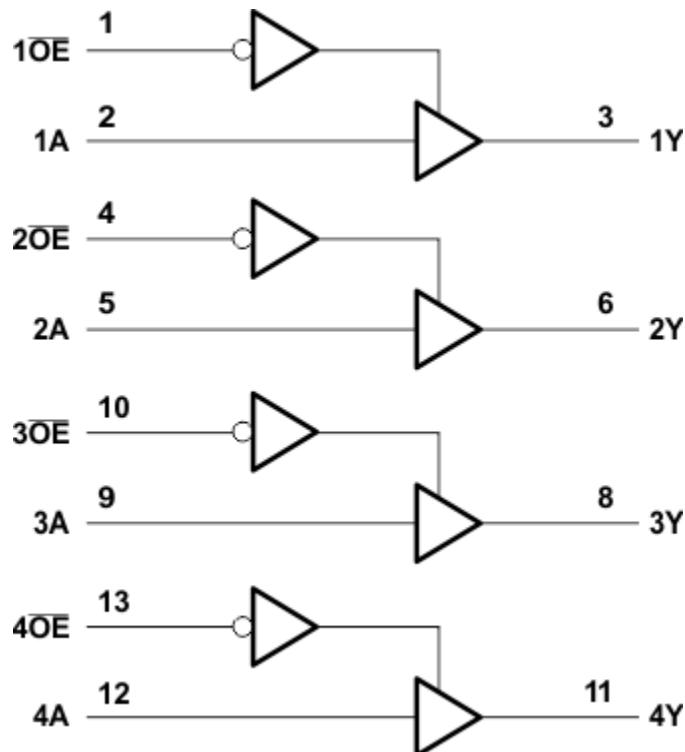
電源の立ち上げまたはシャットダウン時にハイインピーダンス状態を確立するためには、 $\overline{OE}$  をプルアップ抵抗を介して  $V_{CC}$  に接続します。この抵抗の最小値は、ドライバの電流シンク能力によって決まります。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
SN74AHCT125-Q1	D (SOIC, 14)	8.65mm × 6mm
	PW (TSSOP, 14)	5mm × 6.4mm
	BQA (TSSOP, 14)	3mm × 2.5mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)

## 目次

1 特長	1	7.2 機能ブロック図	8
2 アプリケーション	1	7.3 機能説明	8
3 説明	1	7.4 デバイスの機能モード	8
4 ピン構成および機能	3	8 アプリケーションと実装	9
5 仕様	4	8.1 アプリケーション情報	9
5.1 絶対最大定格	4	8.2 代表的なアプリケーション	9
5.2 ESD 定格	4	8.3 電源に関する推奨事項	10
5.3 推奨動作条件	4	8.4 レイアウト	11
5.4 熱に関する情報	5	9 デバイスおよびドキュメントのサポート	12
5.5 電気的特性	5	9.1 ドキュメントのサポート (アナログ)	12
5.6 スイッチング特性	5	9.2 ドキュメントの更新通知を受け取る方法	12
5.7 ノイズ特性 <sup>(1)</sup>	6	9.3 サポート・リソース	12
5.8 動作特性	6	9.4 商標	12
5.9 代表的特性	6	9.5 静電気放電に関する注意事項	12
6 パラメータ測定情報	7	9.6 用語集	12
7 詳細説明	8	10 改訂履歴	13
7.1 概要	8	11 メカニカル、パッケージ、および注文情報	13

## 4 ピン構成および機能

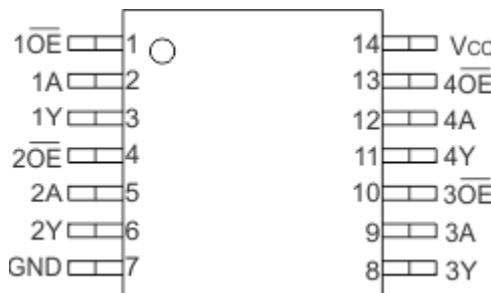


図 4-1. D または PW パッケージ、14 ピン SOIC または TSSOP (上面図)

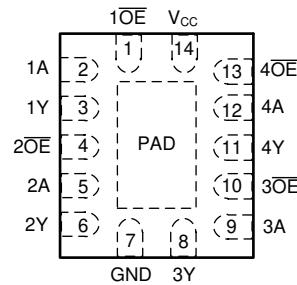


図 4-2. BQA パッケージ、14 ピン WQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
1 OE	1	I	出力イネーブル
1A	2	I	入力
1Y	3	O	出力
2 OE	4	I	出力イネーブル
2A	5	I	入力
2Y	6	O	出力
3Y	8	O	出力
3A	9	I	入力
3 OE	10	I	出力イネーブル
4Y	11	O	出力
4A	12	I	入力
4OE	13	I	出力イネーブル
GND	7	—	グランド
V <sub>cc</sub>	14	—	電源電圧

(1) I = 入力、O = 出力

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
$V_{CC}$	電源電圧	-0.5	7.0	V
$V_I$	入力電圧 <sup>(2)</sup>	-0.5	7.0	V
$V_O$	出力電圧 <sup>(2)</sup>	-0.5	$V_{CC} + 0.5V$	V
$I_{IK}$	入力クランプ電流、( $V_I < 0$ )		-20	mA
$I_{OK}$	出力クランプ電流、( $V_O < 0$ または $V_O > V_{CC}$ )		$\pm 20$	mA
$I_O$	連続出力電流、( $V_O = 0 \sim V_{CC}$ )		$\pm 25$	mA
	$V_{CC}$ または GND を通過する連続出力電流		$\pm 50$	mA
$T_{stg}$	保存温度	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

### 5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 <sup>(1)</sup> HBM ESD 分類レベル	$\pm 2000$
		デバイス帶電モデル (CDM)、AEC Q100-011 準拠 CDM ESD 分類レベル	$\pm 1000$

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		SN74AHCT125-Q1		単位
		最小値	最大値	
$V_{CC}$	電源電圧	4.5	5.5	V
$V_{IH}$	High レベル入力電圧	2		V
$V_{IL}$	Low レベル入力電圧		0.8	V
$V_I$	入力電圧	0	5.5	V
$V_O$	出力電圧	0	$V_{CC}$	V
$I_{OH}$	High レベル出力電流		-8	mA
$I_{OL}$	Low レベル出力電流		8	mA
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート		20	ns/V
$T_A$	外気温度での動作時	-40	125	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 $V_{CC}$  または GND に固定する必要があります。テキサス インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

## 5.4 热に関する情報

热評価基準		SN74AHCT125-Q1			単位
		D	PW	BQA	
		14	14	14	
R <sub>θJA</sub>	パッケージの热インピーダンス <sup>(1)</sup>	86	147.7	88.3	°C/W

(1) 従来および最新の热評価基準の詳細については、『半導体およびICパッケージの热評価基準』アプリケーションノートを参照してください。

## 5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V <sub>CC</sub>	T <sub>A</sub> = 25°C			単位
			最小値	標準値	最大値	
V <sub>OH</sub>	I <sub>OH</sub> = -50μA	4.5V	4.4	4.5	4.4	V
	I <sub>OH</sub> = -8mA		3.94		3.8	
V <sub>OL</sub>	I <sub>OL</sub> = 50μA	4.5V		0.1	0.1	V
	I <sub>OL</sub> = 8mA			0.36	0.44	
I <sub>I</sub>	V <sub>I</sub> = 5.5 V または GND	0V~5.5V		±0.1	±1	μA
I <sub>OZ</sub>	V <sub>O</sub> = V <sub>CC</sub> または GND	5.5V		±0.25	±2.5	μA
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND、 I <sub>O</sub> = 0	5.5V		2	20	μA
ΔI <sub>CC</sub> <sup>(1)</sup>	1つの入力は 3.4V、 その他の入力は V <sub>CC</sub> または GND	5.5V		1.35	1.5	mA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND	5V	4	10	10	pF
C <sub>O</sub>	V <sub>O</sub> = V <sub>CC</sub> または GND	5V	15			pF

(1) これは、0V や V<sub>CC</sub> ではなく、規定された TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。

## 5.6 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	T <sub>A</sub> = 25°C			単位
				最小値	標準値	最大値	
t <sub>PLH</sub>	A	Y	C <sub>L</sub> = 15pF	3.8	5.5	1	6.5
				3.8	5.5	1	6.5
t <sub>PHL</sub>	OE	Y	C <sub>L</sub> = 15pF	3.6	5.1	1	6
				3.6	5.1	1	6
t <sub>PZH</sub>	OE	Y	C <sub>L</sub> = 15pF	4.6	6.8	1	8
				4.6	6.8	1	8
t <sub>PLZ</sub>	A	Y	C <sub>L</sub> = 50pF	5.3	7.5	1	8.5
				5.3	7.5	1	8.5
t <sub>PLH</sub>	OE	Y	C <sub>L</sub> = 50pF	5.1	7.1	1	8
				5.1	7.1	1	8
t <sub>PZH</sub>	OE	Y	C <sub>L</sub> = 50pF	6.1	8.8	1	10
				6.1	8.8	1	10
t <sub>PLZ</sub>			C <sub>L</sub> = 50pF		1		ns
t <sub>sk(o)</sub>						1	ns

## 5.7 ノイズ特性 (1)

$V_{CC} = 5V$ 、 $C_L = 50pF$ 、 $T_A = 25^\circ C$

パラメータ	SN74AHCT125		単位
	最小値	最大値	
$V_{OL(P)}$ 低ノイズ出力、最大動的電圧 $V_{OL}$	0.8		V
$V_{OL(V)}$ 低ノイズ出力、最小動的電圧 $V_{OL}$		-0.8	V
$V_{OH(V)}$ 低ノイズ出力、最小動的電圧 $V_{OH}$	4.4		V
$V_{IH(D)}$ High レベル動的入力電圧	2		V
$V_{IL(D)}$ Low レベル動的入力電圧		0.8	V

(1) 特性は表面実装パッケージのみが対象です。

## 5.8 動作特性

$V_{CC} = 5V$ 、 $T_A = 25^\circ C$

パラメータ	テスト条件	標準値	単位
$C_{pd}$ 電力散逸容量	無負荷 $f = 1MHz$	14	pF

## 5.9 代表的特性

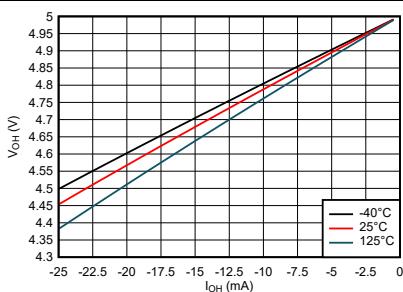


図 5-1. 出力電圧と High 状態の電流との関係

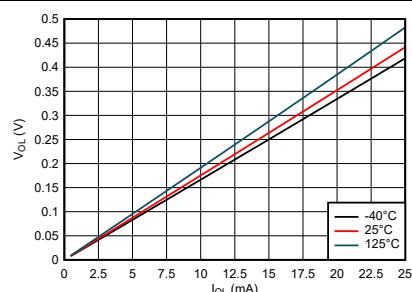
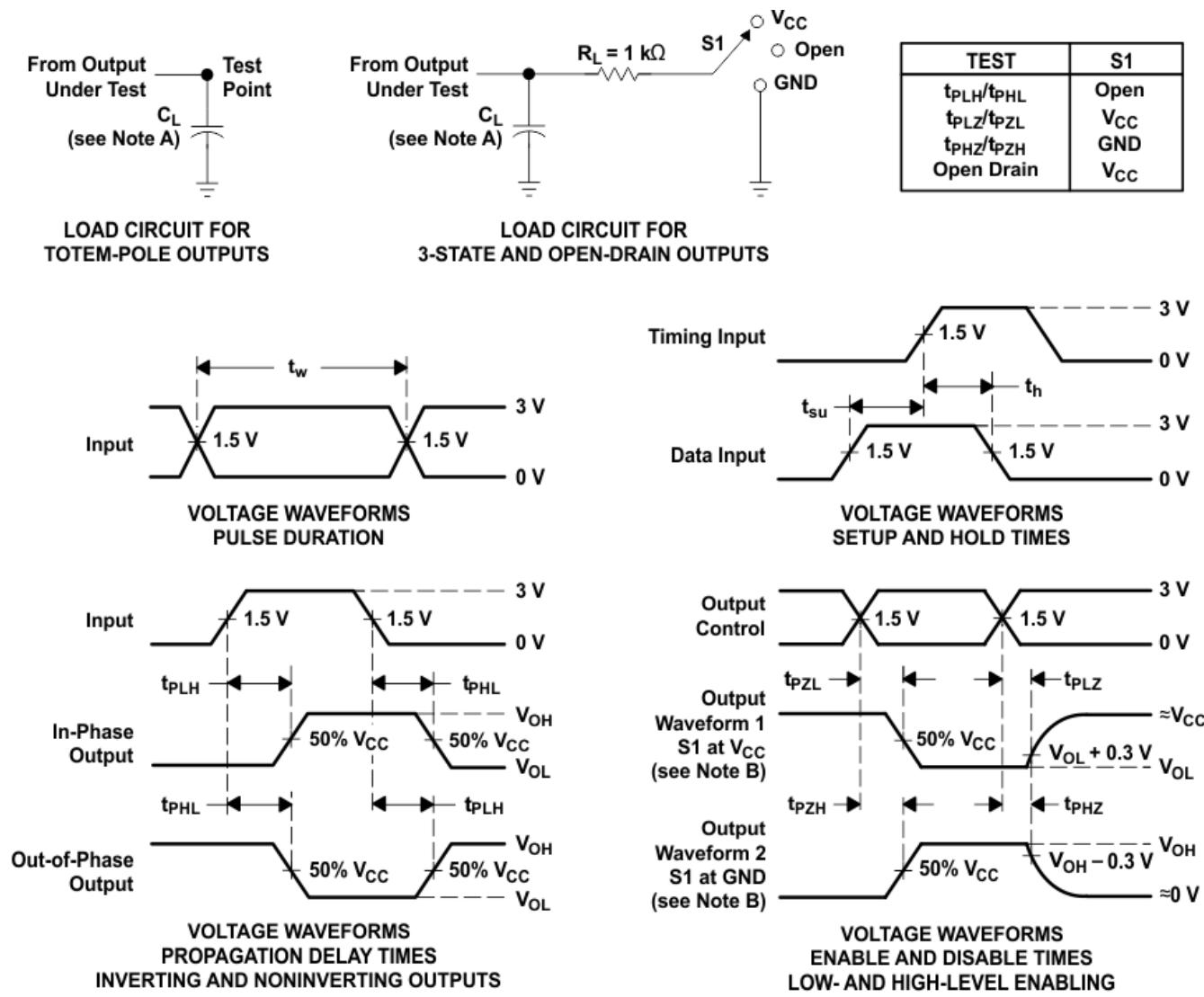


図 5-2. 出力電圧と Low 状態の電流との関係

## 6 パラメータ測定情報



- NOTES:
- $C_L$  includes probe and jig capacitance.
  - Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
  - All input pulses are supplied by generators having the following characteristics:  $PRR \leq 1 \text{ MHz}$ ,  $Z_O = 50 \Omega$ ,  $t_r \leq 3 \text{ ns}$ ,  $t_f \leq 3 \text{ ns}$ .
  - The outputs are measured one at a time with one input transition per measurement.
  - All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

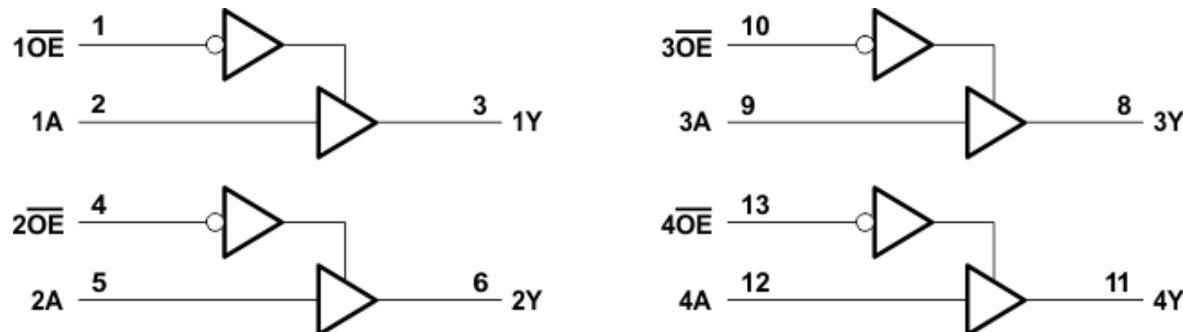
## 7 詳細説明

### 7.1 概要

SN74AHCT125-Q1 デバイスはクワッド バス バッファ ゲートで、3 ステート出力の独立したライン ドライバを備えています。各出力は、対応する出力イネーブル ( $\overline{OE}$ ) 入力が **High** のときディセーブルになります。 $\overline{OE}$  が **Low** の場合、該当するゲートは A 入力からのデータをその Y 出力に渡します。

電源の立ち上げまたはシャットダウン時にハイ インピーダンス状態を確立するためには、 $\overline{OE}$  をプルアップ抵抗を介して  $V_{CC}$  に接続します。この抵抗の最小値は、ドライバの電流シンク能力によって決まります。

### 7.2 機能ブロック図



ここに示すピン番号は D, DB, DGV, J, N, NS, PW, RGY, W の各パッケージのものです。

### 7.3 機能説明

各バッファは個別の出力イネーブルを備えており、各バッファを個別に制御できます。出力イネーブルが **Low** のとき、入力は出力に渡されます。出力イネーブルが **High** のとき、出力は高インピーダンスになります。この機能は、絶縁が必要なアプリケーションで役立ちます。

### 7.4 デバイスの機能モード

表 7-1. 機能表 (各バッファ)

入力		出力 Y
$\overline{OE}$	A	
L	H	H
L	L	L
H	X	Z

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

このアプリケーションでは、図 8-1 に示すように、3 ステート出力のバッファを使用してデータ信号を無効にします。残りの 3 つのバッファは、システム内の他の場所で信号調整に使用するか、入力をグランドに接続してチャネルを未使用のままにしておきます。

### 8.2 代表的なアプリケーション

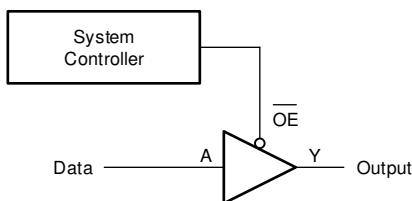


図 8-1. 代表的なアプリケーションのブロック図

#### 8.2.1 設計要件

##### 8.2.1.1 電源に関する考慮事項

求める電源電圧が「[電気的特性](#)」で規定されている範囲内であることを確認します。「[電気的特性](#)」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74AHCT125-Q1 のすべての出力によってソースされる総電流、「[電気的特性](#)」に記載された静的消費電流 ( $I_{CC}$ ) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された  $V_{CC}$  総電流の最大値を超えないようにしてください。

グランドは、SN74AHCT125-Q1 のすべての出力によってシンクされる総電流、「[電気的特性](#)」に記載された消費電流 ( $I_{CC}$ ) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された  $GND$  総電流の最大値を超えないようにしてください。

SN74AHCT125-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することができますが、50pF を超えることは推奨しません。

SN74AHCT125-Q1 は、「[電気的特性](#)」表に定義されている出力電圧および電流 ( $V_{OH}$  および  $V_{OL}$ ) で、 $R_L \geq V_O / I_O$  で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と  $V_{CC}$  ピンの電源電圧の差として定義されます。

総消費電力は、[CMOS の消費電力と Cpd の計算](#) アプリケーション ノート に記載された情報を使って計算できます。

温度の上昇は、[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性](#) アプリケーション ノート に記載された情報を使って計算できます。

### 注意

絶対最大定格に記載された最大接合部温度 ( $T_{J(max)}$ ) は、本デバイスの損傷を防止するための追加の制限値です。絶対最大定格に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

#### 8.2.1.2 入力に関する考慮事項

入力信号は、 $V_{IL(max)}$  を超えるとロジック LOW と見なされ、 $V_{IH(min)}$  を超えるとロジック HIGH と見なされます。「**絶対最大定格**」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 $V_{CC}$  またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が HIGH の場合にはプルアップ抵抗、デフォルト状態が LOW の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74AHCT125-Q1 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により  $10\text{k}\Omega$  の抵抗値がしばしば使用されます。

SN74AHCT125-Q1 は CMOS 入力を備えているため、正しく動作するには、「電気的特性」の表で定義されているように、速い入力遷移が必要です。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」を参照してください。

#### 8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の  $V_{OH}$  仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の  $V_{OL}$  仕様で規定されたように出力電圧が上昇します。

逆の状態になる可能性のあるプッシュプル出力は、非常に短い時間であっても、決して直接接続はしないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を  $V_{CC}$  またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

#### 8.2.2 アプリケーション曲線

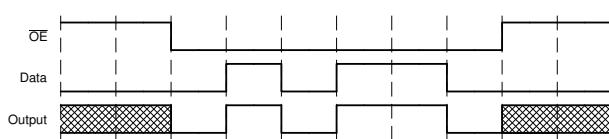


図 8-2. アプリケーションのタイミング図

#### 8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各  $V_{CC}$  端子に適切なバイパスコンデンサを配置する必要があります。このデバイスには  $0.1\mu\text{F}$  のコンデンサを推奨します。複数のバイパスコンデンサを並列に配置して、異なる周波数のノイズを除去することができます。一般的に、 $0.1\mu\text{F}$  と  $1\mu\text{F}$  のコンデンサは並列に使用されます。最良の結果を得るには、次のレイアウト例に示すように、バイパスコンデンサを電源端子のできるだけ近くに配置する必要があります。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をオープンのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません（たとえば、トリプル入力 AND ゲートの 2 入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用する場合）。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または  $V_{CC}$  のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

### 8.4.2 レイアウト例

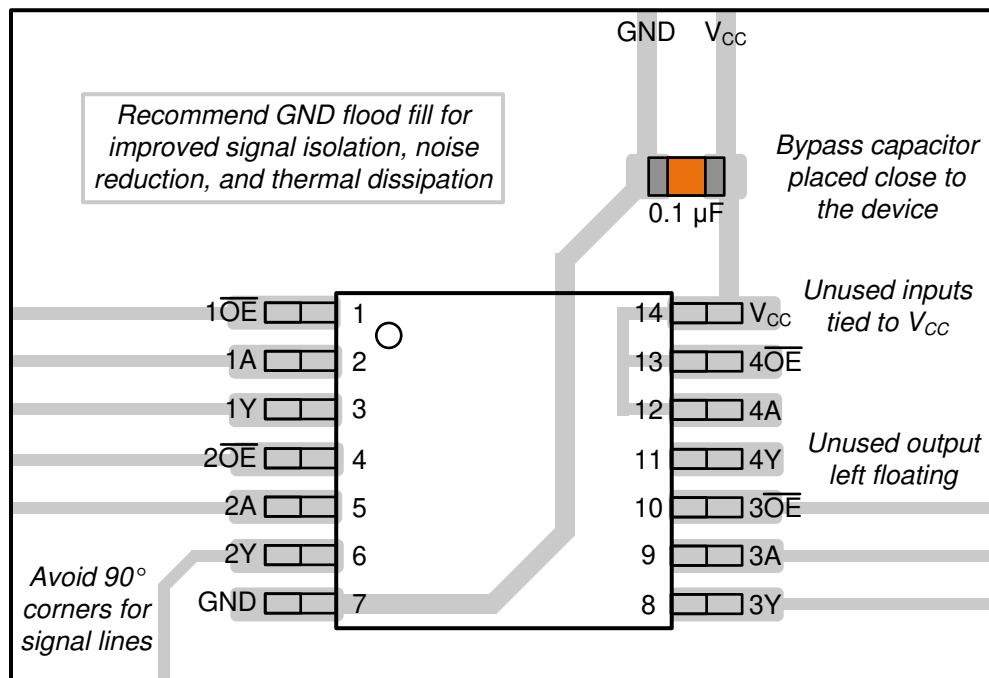


図 8-3. SN74AHCT125-Q1 のレイアウト例

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート (アナログ)

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と  $C_{pd}$  の計算』アプリケーション・ノート
- テキサス・インスツルメンツ、『ロジック設計』アプリケーション・ノート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノート
- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション・ノート

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。右上の【アラートを受け取る】をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

<b>Changes from Revision C (October 2023) to Revision D (September 2025)</b>	<b>Page</b>
• ピンの図と一致するようにピンの説明を更新.....	3
• 推奨動作条件での自由気流の動作温度を以下のように更新しました:最大 85°C から:最大 125°C.....	4

---

<b>Changes from Revision B (June 2023) to Revision C (October 2023)</b>	<b>Page</b>
• R <sub>θJA</sub> の値を更新: PW = 113~147.7, 値はすべて°C/W.....	5

---

<b>Changes from Revision A (February 2008) to Revision B (June 2023)</b>	<b>Page</b>
• 「アプリケーション」セクションを追加 .....	1
• BQA パッケージを追加 .....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「ピンの機能」の表を更新 .....	3
• 「ESD 定格」表を追加 .....	4
• 「熱に関する情報」を追加 .....	5

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CAHCT125QPWRG4Q1	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125Q
CAHCT125QPWRG4Q1.A	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125Q
CAHCT125QWBQARQ1	Active	Production	WQFN (BQA)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AT125Q
CAHCT125QWBQARQ1.A	Active	Production	WQFN (BQA)   14	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AT125Q
SN74AHCT125QDRG4Q1	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125Q
SN74AHCT125QDRG4Q1.A	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125Q
SN74AHCT125QDRQ1	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125Q
SN74AHCT125QDRQ1.A	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125Q
SN74AHCT125QPWRQ1	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125Q
SN74AHCT125QPWRQ1.A	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125Q

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

---

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

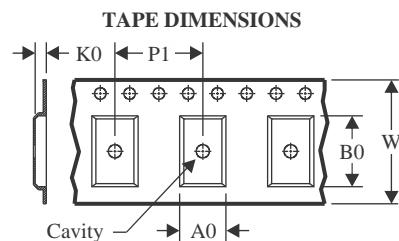
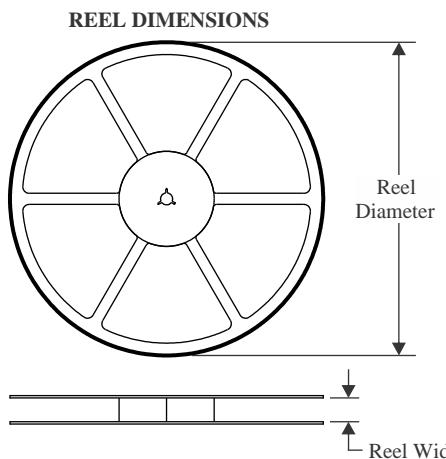
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN74AHCT125-Q1 :**

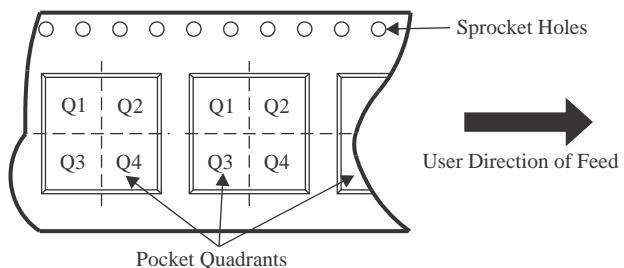
- Catalog : [SN74AHCT125](#)
- Enhanced Product : [SN74AHCT125-EP](#)
- Military : [SN54AHCT125](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

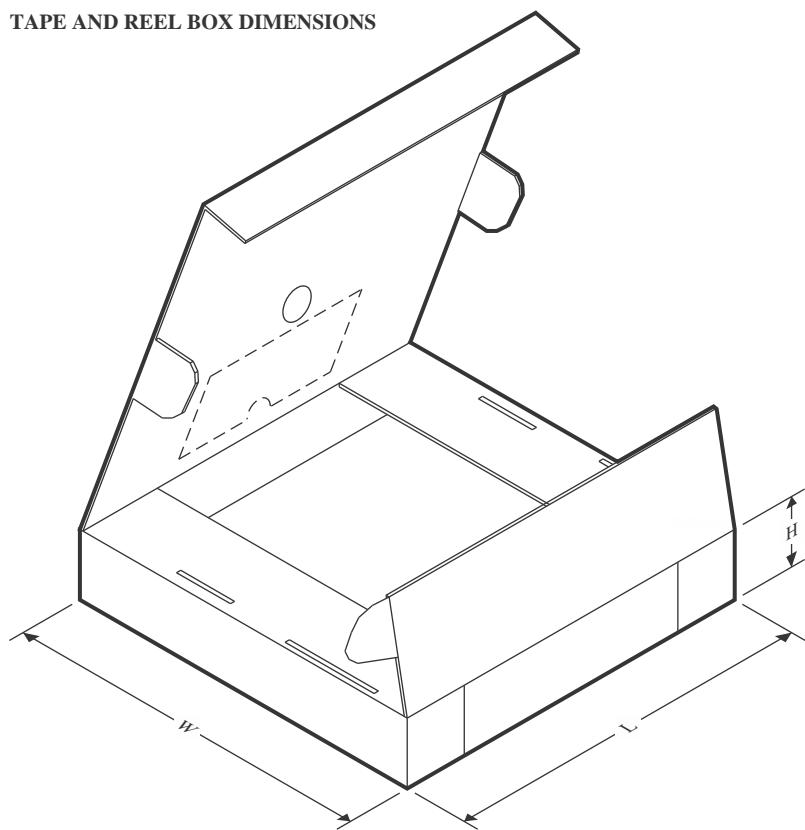
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CAHCT125QPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CAHCT125QWBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHCT125QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT125QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

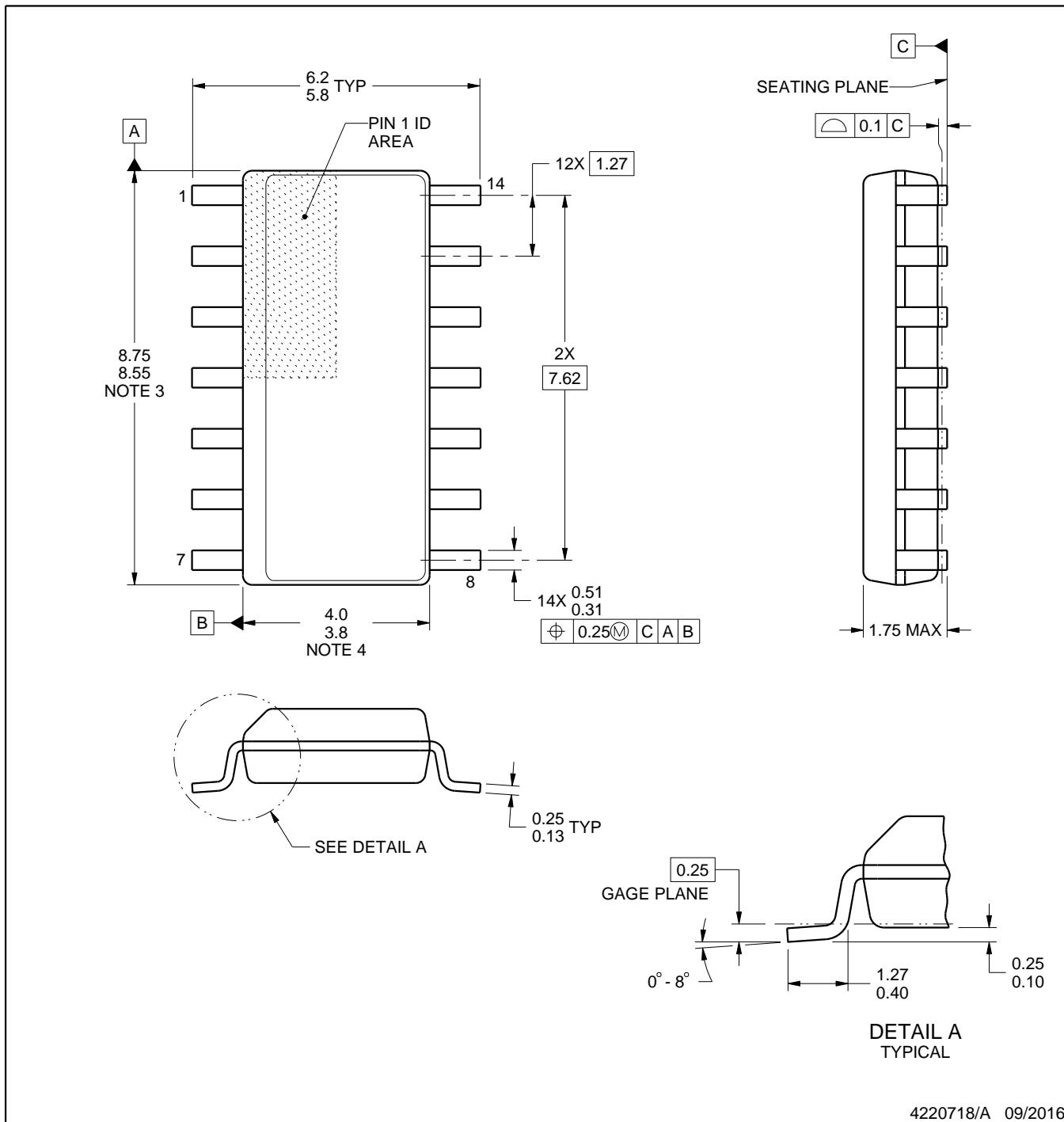
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CAHCT125QPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
CAHCT125QWBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHCT125QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHCT125QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

# PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

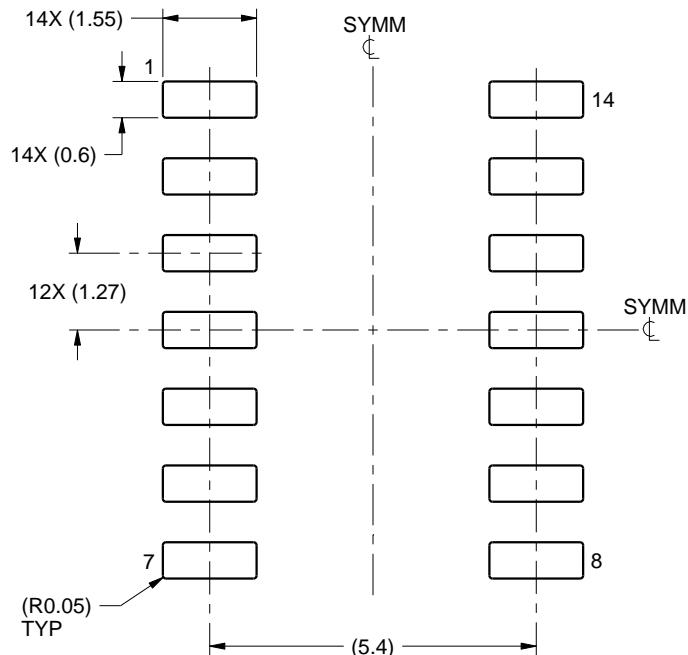
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

# EXAMPLE BOARD LAYOUT

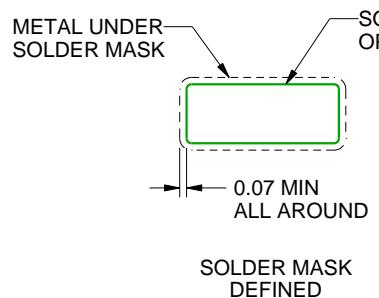
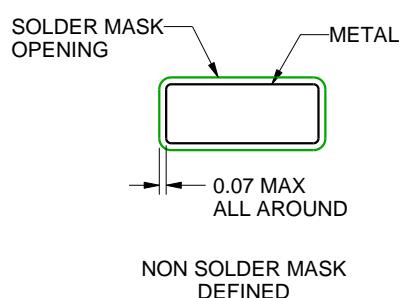
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

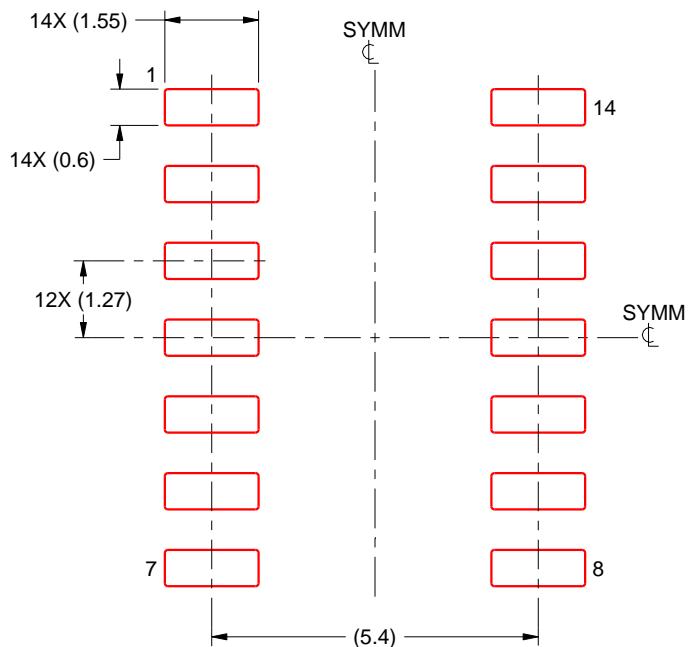
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

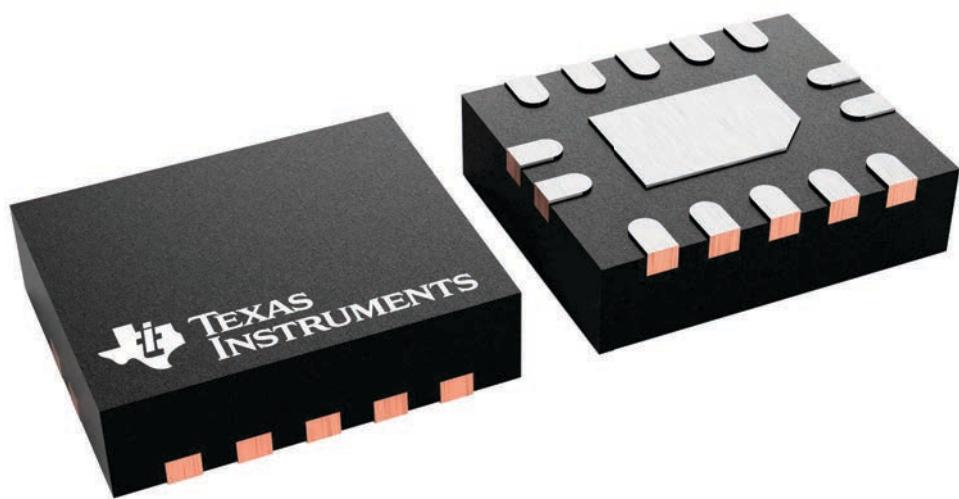
**BQA 14**

**WQFN - 0.8 mm max height**

**2.5 x 3, 0.5 mm pitch**

**PLASTIC QUAD FLATPACK - NO LEAD**

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4227145/A

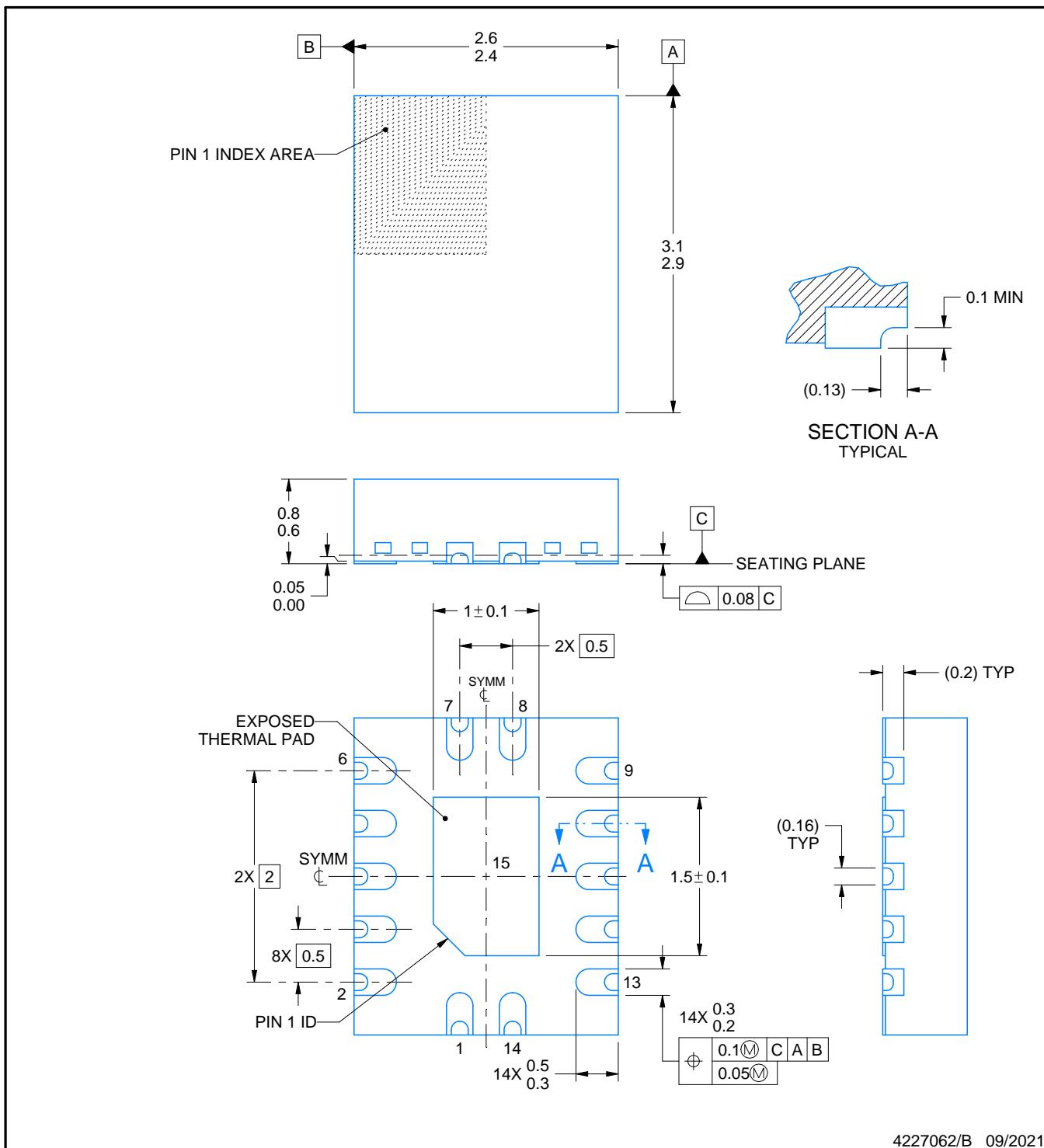
# PACKAGE OUTLINE

BQA0014B



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4227062/B 09/2021

## NOTES:

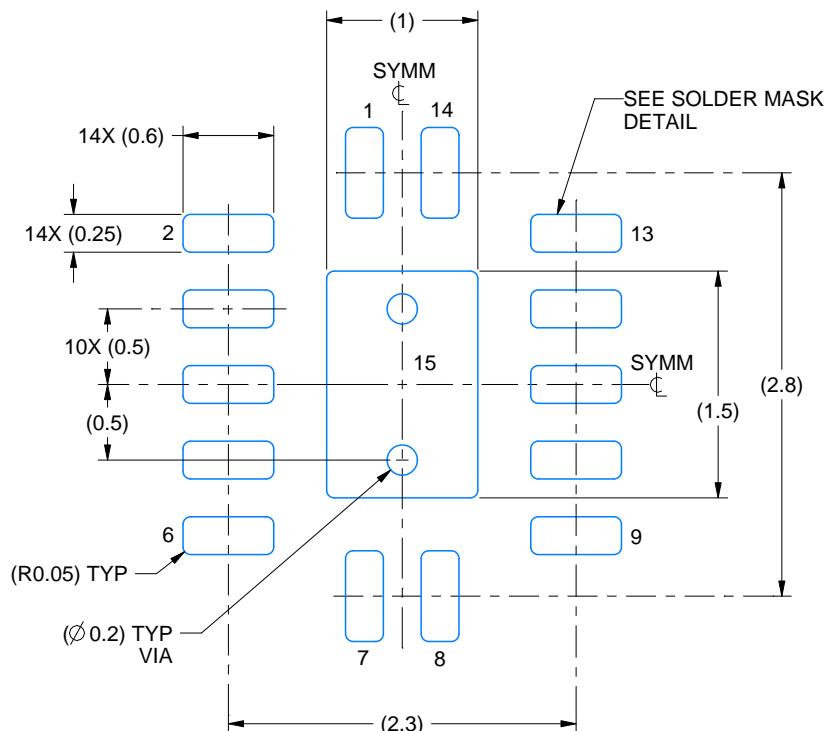
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

## EXAMPLE BOARD LAYOUT

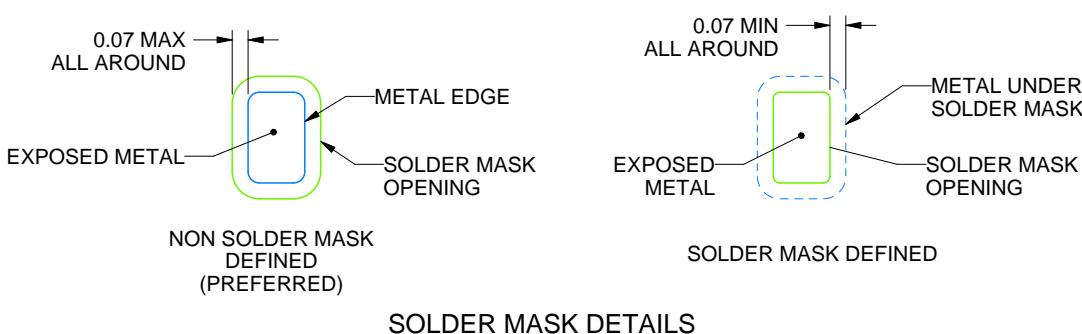
**BQA0014B**

## **WQFN - 0.8 mm max height**

#### PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



4227062/B 09/2021

#### NOTES: (continued)

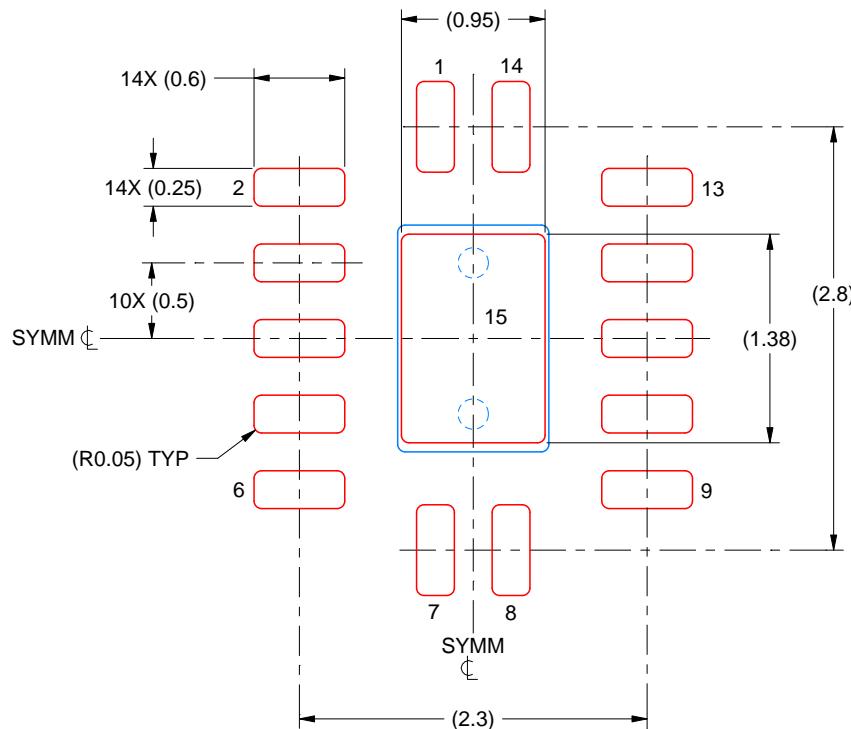
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
  5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 20X

EXPOSED PAD 15  
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

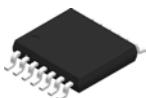
4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

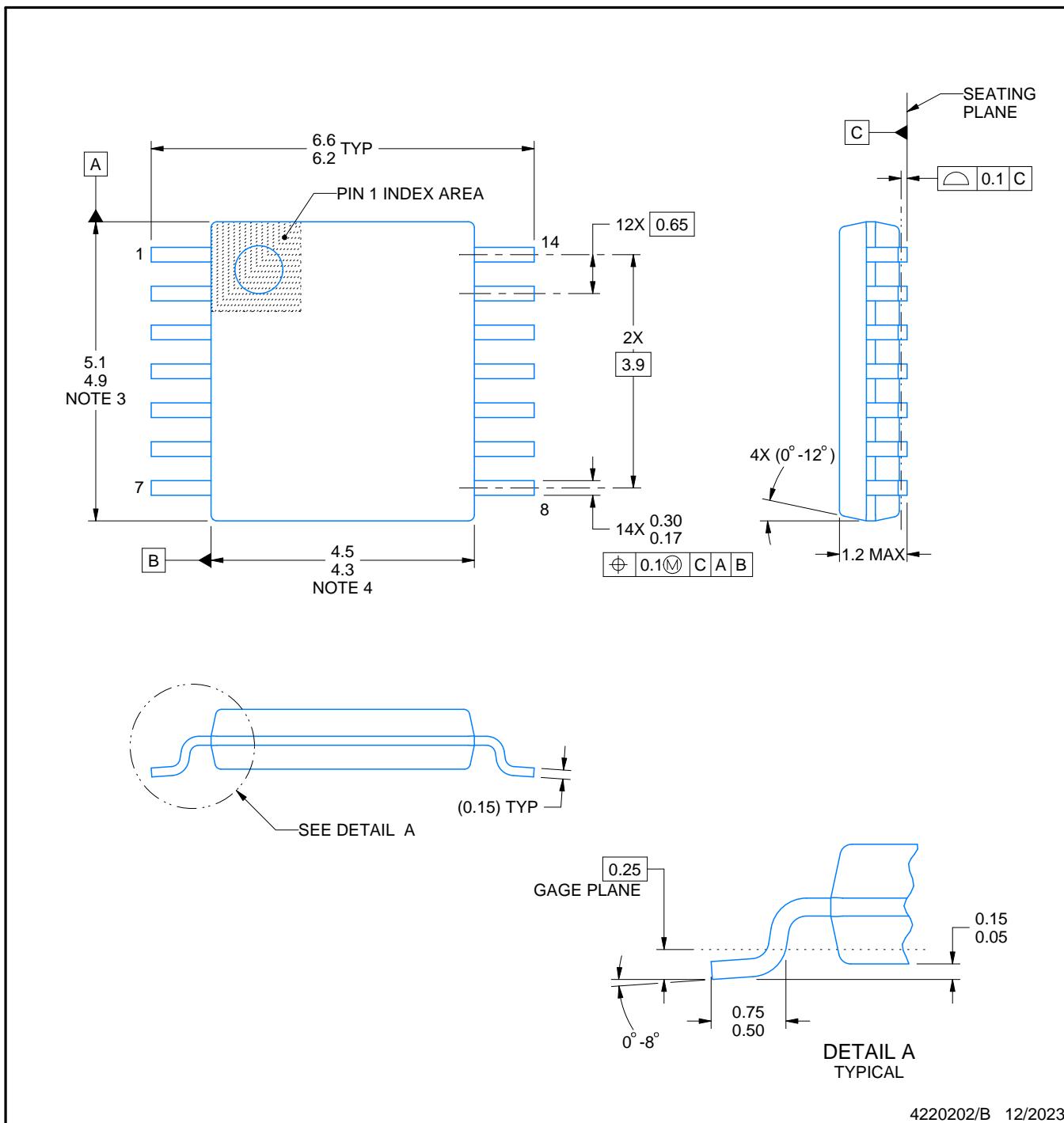
# PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



## NOTES:

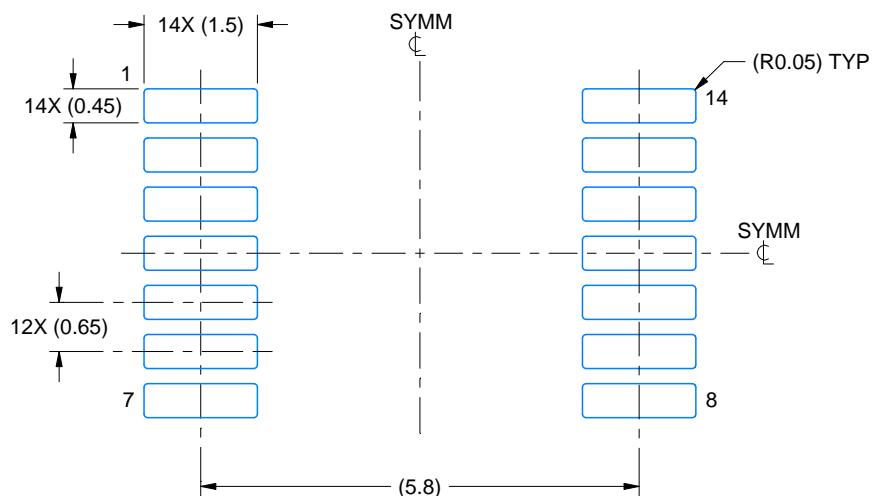
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

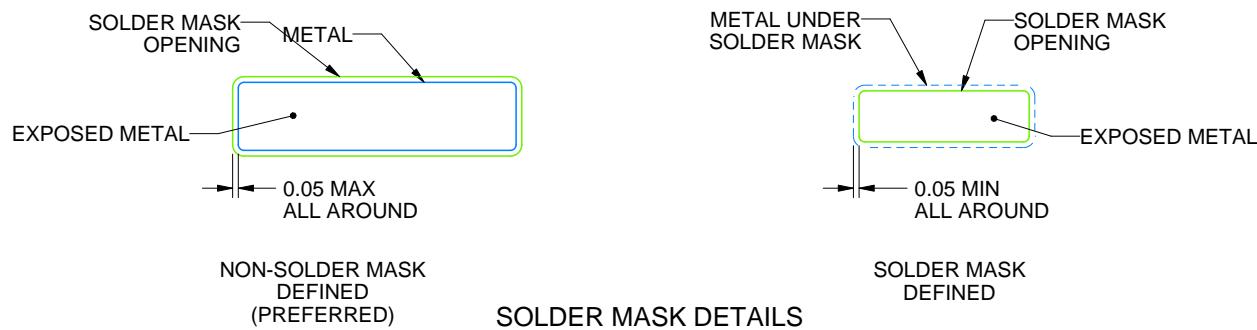
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

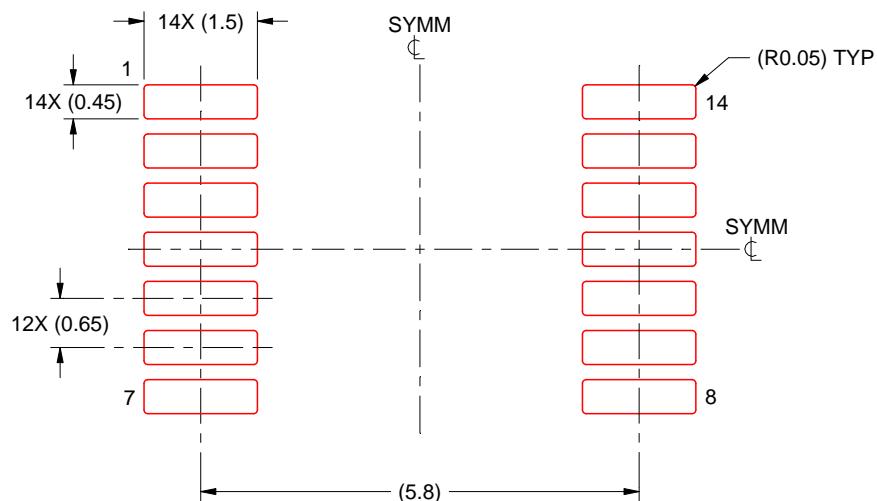
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月