

SN74CB3T3253 デュアル 1:4 FET マルチプレクサ / デマルチプレクサ 2.5V / 3.3V 低電圧バス スイッチ、5V 耐圧レベルシフト付き

1 特長

- 出力電圧変換は V_{CC} に追従
- すべてのデータ I/O ポートで混合モード信号動作をサポート
 - 3.3V の V_{CC} で、5V 入力を 3.3V 出力にレベルシフト
 - 2.5V の V_{CC} で、5V / 3.3V の入力を 2.5V 出力にレベルシフト
- デバイスの電源オン時とオフ時の両方で 5V 許容の I/O
- 伝播遅延がゼロに近い双方向データフロー
- 低いオン抵抗 (r_{on}) 特性 ($r_{on} = 5\Omega$, 標準値)
- 低い入力および出力容量により負荷が最小化 ($C_{io(OFF)} = 5pF$, 標準値)
- データおよび制御入力にアンダーシュート クランプ ダイオードを搭載
- 低消費電力 ($I_{CC} = 20\mu A$, 最大値)
- 2.3V ~ 3.6V の範囲の V_{CC} で動作
- データ I/O は 0 ~ 5V の信号レベルに対応 (0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V)
- 制御入力は、TTL または 5V / 3.3V CMOS 出力で駆動可能
- I_{off} により部分的パワーダウン モードでの動作をサポート
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 準拠で ESD 性能を試験済み
 - 人体モデルで 2000V (A114-B、クラス II)
 - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- デジタル アプリケーションをサポート:
 - レベル変換
 - USB インターフェイス
 - メモリ インターリーブ
 - バス絶縁
- 低消費電力の携帯機器向けに設計

3 説明

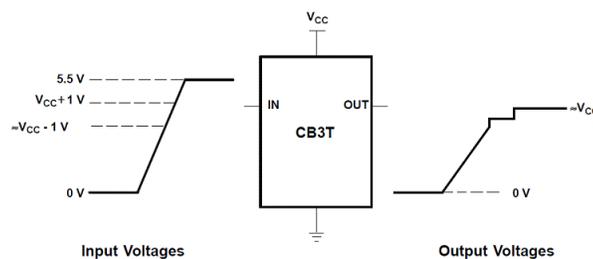
SN74CB3T3253 は、オン抵抗 (r_{on}) が低い伝播遅延を最小限に低減できる高速 TTL 互換 FET マルチプレクサ / デマルチプレクサです。このデバイスは、 V_{CC} に追従した電圧変換を行うことで、すべてのデータ I/O ポートにおいて混在モード信号動作を完全にサポートします。SN74CB3T3253 は、5V TTL、3.3V LVTTTL、2.5V CMOS スイッチング規格に加えて、ユーザー定義のスイッチングレベルを使用するシステムに対応します (標準的な DC 電圧変換特性を参照)。

このデバイスは、 I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 I_{off} 機能により、パワーダウン時に損傷を引き起こすような電流がデバイスに逆流しないことが保証されます。デバイスは、電源オフ時は絶縁されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
SN74CB3T3253D	D (SOIC, 16)	9.9mm × 6mm
SN74CB3T3253DBQ	DBQ (SSOP, 16)	4.9mm × 6mm
SN74CB3T3253DGV	DGV (TVSO, 16)	3.60mm × 6mm
SN74CB3T3253PW	PW (TSSOP, 16)	5mm × 6.4mm

- 詳細については、[セクション 12](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



If the input high voltage (V_{IH}) level is greater than or equal to $V_{CC} + 1V$, and less than or equal to 5.5V, the output high voltage (V_{OH}) level will be equal to approximately the V_{CC} voltage level.

標準的な DC 電圧変換特性



目次

1 特長	1	7.3 機能説明.....	11
2 アプリケーション	1	7.4 デバイスの機能モード.....	11
3 説明	1	8 アプリケーションと実装	12
4 ピン構成および機能	3	8.1 アプリケーション情報.....	12
5 仕様	4	8.2 代表的なアプリケーション.....	12
5.1 絶対最大定格.....	4	8.3 電源に関する推奨事項.....	13
5.2 ESD 定格.....	4	8.4 レイアウト.....	14
5.3 推奨動作条件.....	5	9 デバイスおよびドキュメントのサポート	15
5.4 熱に関する情報.....	5	9.1 ドキュメントのサポート.....	15
5.5 電気的特性.....	6	9.2 ドキュメントの更新通知を受け取る方法.....	15
5.6 スイッチング特性 85C.....	7	9.3 サポート・リソース.....	15
5.7 代表的特性.....	8	9.4 商標.....	15
6 パラメータ測定情報	9	9.5 静電気放電に関する注意事項.....	15
7 詳細説明	10	9.6 用語集.....	15
7.1 概要.....	10	10 改訂履歴	16
7.2 機能ブロック図.....	10	11 メカニカル、パッケージ、および注文情報	17

4 ピン構成および機能

D, DBQ, DGV, OR PW PACKAGE
(TOP VIEW)

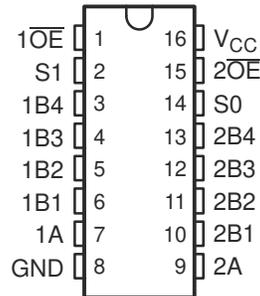


図 4-1. D、DBQ、DGV、PW パッケージ、16 ピン SOIC、SSOP、TVSOP、TSSOP (上面図)

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
1 OE	1	I	出力イネーブル 1、アクティブ Low
S1	2	I	ピン 1 を選択
1B4	3	I/O	チャンネル 1 I/O 4
1B3	4	I/O	チャンネル 1 I/O 3
1B2	5	I/O	チャンネル 1 I/O 2
1B1	6	I/O	チャンネル 1 I/O 1
1A	7	I/O	チャンネル 1 共通
GND	8	—	グラウンド
2A	9	I/O	チャンネル 2 共通
2B1	10	I/O	チャンネル 2 I/O 1
2B2	11	I/O	チャンネル 2 I/O 2
2B3	12	I/O	チャンネル 2 I/O 3
2B4	13	I/O	チャンネル 2 I/O 4
S0	14	I	ピン 0 を選択
2 OE	15	I	出力イネーブル 2、アクティブ Low
V _{CC}	16	—	電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{CC}	電源電圧の範囲(2)	-0.5	7	V
V_{IN}	制御入力電圧範囲(2) (3)	-0.5	7	V
$V_{I/O}$	スイッチ I/O 電圧範囲(2) (3) (4)	-0.5	7	V
I_{IK}	制御入力クランプ電流	$V_{IN} < 0$	-50	mA
$I_{I/OK}$	I/O ポート クランプ電流	$V_{I/O} < 0$	-50	mA
$I_{I/O}$	オン状態スイッチ電流(5)		±128	mA
	V_{CC} または GND を通過する連続電流		±100	mA
θ_{JA}	パッケージの熱インピーダンス(6)	D パッケージ	73	°C/W
		DBQ パッケージ	90	
		DGV パッケージ	120	
		PW パッケージ	108	
T_{stg}	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 特に指定のない限り、すべての電圧値はグラウンドを基準にしています。
- (3) 入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。
- (4) V_I および V_O は、 $V_{I/O}$ の特定の条件を示すために使用されます。
- (5) I_I および I_O は、 $I_{I/O}$ の特定の条件を示すために使用されます。
- (6) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位	
V _{CC}	電源電圧	2.3	3.6	V	
V _{IH}	High レベル制御入力電圧	V _{CC} = 2.3V~2.7V	1.7	5.5	V
		V _{CC} = 2.7V~3.6V	2	5.5	
V _{IL}	Low レベル制御入力電圧	V _{CC} = 2.3V~2.7V	0	0.7	V
		V _{CC} = 2.7V~3.6V	0	0.8	
V _{I/O}	データ入出力電圧	0	5.5	V	
T _A	自由空気での動作温度	-40	85	°C	

(1) デバイスが適切に動作するように、デバイスの未使用の制御入力はすべて、V_{CC} または GND に固定する必要があります。[低速またはフローティング CMOS 入力の影響アプリケーション レポート](#)を参照してください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾	SN74CB3T3253				単位
	D (SOIC)	DBQ (SSOP)	DGV (TVSOP)	PW (TSSOP)	
	16 ピン	16 ピン	16 ピン	16 ピン	
R _{θJA} 接合部から周囲への熱抵抗	73	90	120	129.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での推奨動作温度範囲内

パラメータ		テスト条件				最小値	標準値	最大値	単位
信号入力 (V _{IS}) と出力 (V _{OS})									
		V _{CC} V	V _{I/O} V または II または V _{IN}	I _O mA または V _O または V _{IN}	T _A				
r _{ON}	オン状態スイッチ抵抗	2.3、2.5V での 標準値	V _I = 0V	I _O = 24mA	-40°C~+85°C	5	8		Ω
r _{ON}	オン状態スイッチ抵抗	2.3、2.5V での 標準値	V _I = 0V	I _O = 16mA	-40°C~+85°C	5	8		Ω
r _{ON}	オン状態スイッチ抵抗	3、3.3V での標 準値	V _I = 0V	I _O = 64mA	-40°C~+85°C	5	7		Ω
r _{ON}	オン状態スイッチ抵抗	3、3.3V での標 準値	V _I = 0V	I _O = 32mA	-40°C~+85°C	5	7		Ω
I _{off}	パワーダウン スイッチのリーク 電流	0	V _I = 0V	0 ≤ V _O ≤ 5.5V	-40°C~+85°C	-10	10		μA
I _{oz}	スイッチオフ時のリーク電流	3.6	V _I = 0 V, V _{in} = V _{CC} または GND	0 ≤ V _O ≤ 5.5V	-40°C~+85°C	-10	10		μA
II	オン状態スイッチ リーク電流	3.6	V _I = V _{CC} -0.7~ 5.5V	V _{IN} = V _{CC} また は GND	-40°C~+85°C	-20	20		μA
II	オン状態スイッチ リーク電流	3.6	V _I = 0.7~ V _{CC} -0.7	V _{IN} = V _{CC} また は GND	-40°C~+85°C		-40		μA
I _{II}	オン状態スイッチ リーク電流	3.6	V _I = 0~0.7V	V _{IN} = V _{CC} また は GND	-40°C~+85°C	-5	5		μA
I _{IN}	制御入力電流	3.6	V _{CC} ≤ V _{IN} ≤ 5.5 または V _{in} = 0V		-40°C~+85°C	-10	10		μA
I _{CC}	電源電流	3.6	V _I = V _{CC} また は GND, I _{I/O} = 0	V _{IN} = V _{CC} また は GND	-40°C~+85°C		20		μA
I _{CC}	電源電流	3.6	V _I = 5.5V, I _{I/O} = 0	V _{IN} = V _{CC} また は GND	-40°C~+85°C		20		μA
ΔI _{CC}	制御入力に対する静止デバイ ス電流	3~3.6V	V _{IN} = V _{CC} - 0.6V	0/V _{CC} でのそ 他の入力	-40°C~+85°C		300		μA
C _I	制御入力容量	3.3	V _{IN} = V _{CC} また は GND		25°C		3		pF
C _{io(off)}	A ポート: スイッチ入力/出力容 量	3.3	V _I = 5.5V、 3.3V、0V	スイッチがオフ になるように、 V _{IN} = 0 または V _{CC}	25°C		15		pF
C _{io(on)}	A ポート: スイッチ入力/出力容 量	3.3	V _I = 5.5V また は 3.3V	スイッチがオン になるように、 V _{IN} = 0 または V _{CC}	25°C		10		pF
C _{io(on)}	A ポート: スイッチ入力/出力容 量	3.3	V _I = 0V	スイッチがオン になるように、 V _{IN} = 0 または V _{CC}	25°C		22		pF
C _{io(off)}	B ポート: スイッチ入力/出力容 量	3.3	V _I = 5.5V、 3.3V、0V	スイッチがオフ になるように、 V _{IN} = 0 または V _{CC}	25°C		5		pF

自由気流での推奨動作温度範囲内

パラメータ		テスト条件			最小値	標準値	最大値	単位
$C_{io(on)}$	Bポート:スイッチ入力/出力容量	3.3	$V_I = 5.5V$ または $3.3V$	スイッチがオンになるように、 $V_{IN} = 0$ または V_{CC}	$25^\circ C$	4		pF
$C_{io(on)}$	Bポート:スイッチ入力/出力容量	3.3	$V_I = 0V$	スイッチがオンになるように、 $V_{IN} = 0$ または V_{CC}	$25^\circ C$	22		pF
V_{ik}	クランプ電圧	3	$I_I = -18mA$		$-40^\circ C \sim +85^\circ C$		-1.2	V

5.6 スイッチング特性 85C

自由気流での動作温度範囲内 (特に記述のない限り)

試験条件付きパラメータ		始点 (入力)	終点 (出力)	V_{CC}	最小値	公称値	最大値	単位
t_{pd}	$R_L = 1G\Omega, C_L = 30pF, V_{load} = 0V$ 。スイッチ抵抗* CL による T_{pd} の計算値	A または B	B または A	$2.5V \pm 0.2V$			0.15	ns
t_{pd}	$R_L = 1G\Omega, C_L = 50pF, V_{load} = 0V$ 。スイッチ抵抗* CL による T_{pd} の計算値	A または B	B または A	$3.3V \pm 0.3V$			0.25	ns
t_{en}	ZL: $R_L = 250\Omega, C_L = 30pF, V_{load} = V_{CC}$ 、 ZH: $R_L = 500\Omega, C_L = 30pF, V_{load} = GND$ 、 入力には 50Ω 終端あり	OE	A または B	$2.5V \pm 0.2V$	1		10.4	ns
t_{en}	ZL: $R_L = 250\Omega, C_L = 50pF, V_{load} = V_{CC}$ 、 ZH: $R_L = 500\Omega, C_L = 50pF, V_{load} = GND$ 、 入力には 50Ω 終端あり	OE	A または B	$3.3V \pm 0.3V$	1		8.3	ns
t_{dis}	LZ: $R_L = 250\Omega, C_L = 30pF, V_{load} = V_{CC}, V_{\blacktriangle} = 0.15V$ 、 HZ: $R_L = 500\Omega, C_L = 30pF, V_{load} = GND$ 、 $V_{\blacktriangle} = 0.15V$ 、入力には 50Ω 終端あり	OE	A または B	$2.5V \pm 0.2V$	1		7.4	ns
t_{dis}	LZ: $R_L = 250\Omega, C_L = 50pF, V_{load} = V_{CC}, V_{\blacktriangle} = 0.3V$ 、 HZ: $R_L = 500\Omega, C_L = 50pF, V_{load} = GND$ 、 $V_{\blacktriangle} = 0.3V$ 、入力には 50Ω 終端あり	OE	A または B	$3.3V \pm 0.3V$	1		8	ns
$t_{pd(s)}$	$R_L = 500\Omega, C_L = 30pF, V_{load} = 0V$ 。 $V_{input} = 3.6V$ ドメイン。入力側で 50Ω の終端抵抗	S	A	$2.5V \pm 0.2V$			14.4	ns
$t_{pd(s)}$	$R_L = 500\Omega, C_L = 50pF, V_{load} = 0V$ 。 $V_{input} = 5.5V$ ドメイン。入力側で 50Ω の終端抵抗	S	A	$3.3V \pm 0.3V$			11	ns
$t_{en(s)}$	ZL: $R_L = 250\Omega, C_L = 30pF, V_{load} = V_{CC}$ 、 ZH: $R_L = 500\Omega, C_L = 30pF, V_{load} = GND$ 、 入力には 50Ω 終端あり	S	B	$2.5V \pm 0.2V$	1		13.9	ns
$t_{en(s)}$	ZL: $R_L = 250\Omega, C_L = 50pF, V_{load} = V_{CC}$ 、 ZH: $R_L = 500\Omega, C_L = 50pF, V_{load} = GND$ 、 入力には 50Ω 終端あり	S	B	$3.3V \pm 0.3V$	1		10.6	ns
$t_{dis(s)}$	LZ: $R_L = 250\Omega, C_L = 30pF, V_{load} = V_{CC}, V_{\blacktriangle} = 0.15V$ 、 HZ: $R_L = 500\Omega, C_L = 30pF, V_{load} = GND$ 、 $V_{\blacktriangle} = 0.15V$ 、入力には 50Ω 終端あり	S	B	$2.5V \pm 0.2V$	1		9.1	ns
$t_{dis(s)}$	LZ: $R_L = 250\Omega, C_L = 50pF, V_{load} = V_{CC}, V_{\blacktriangle} = 0.3V$ 、 HZ: $R_L = 500\Omega, C_L = 50pF, V_{load} = GND$ 、 $V_{\blacktriangle} = 0.3V$ 、入力には 50Ω 終端あり	S	B	$3.3V \pm 0.3V$	1		8.5	ns

5.7 代表的特性

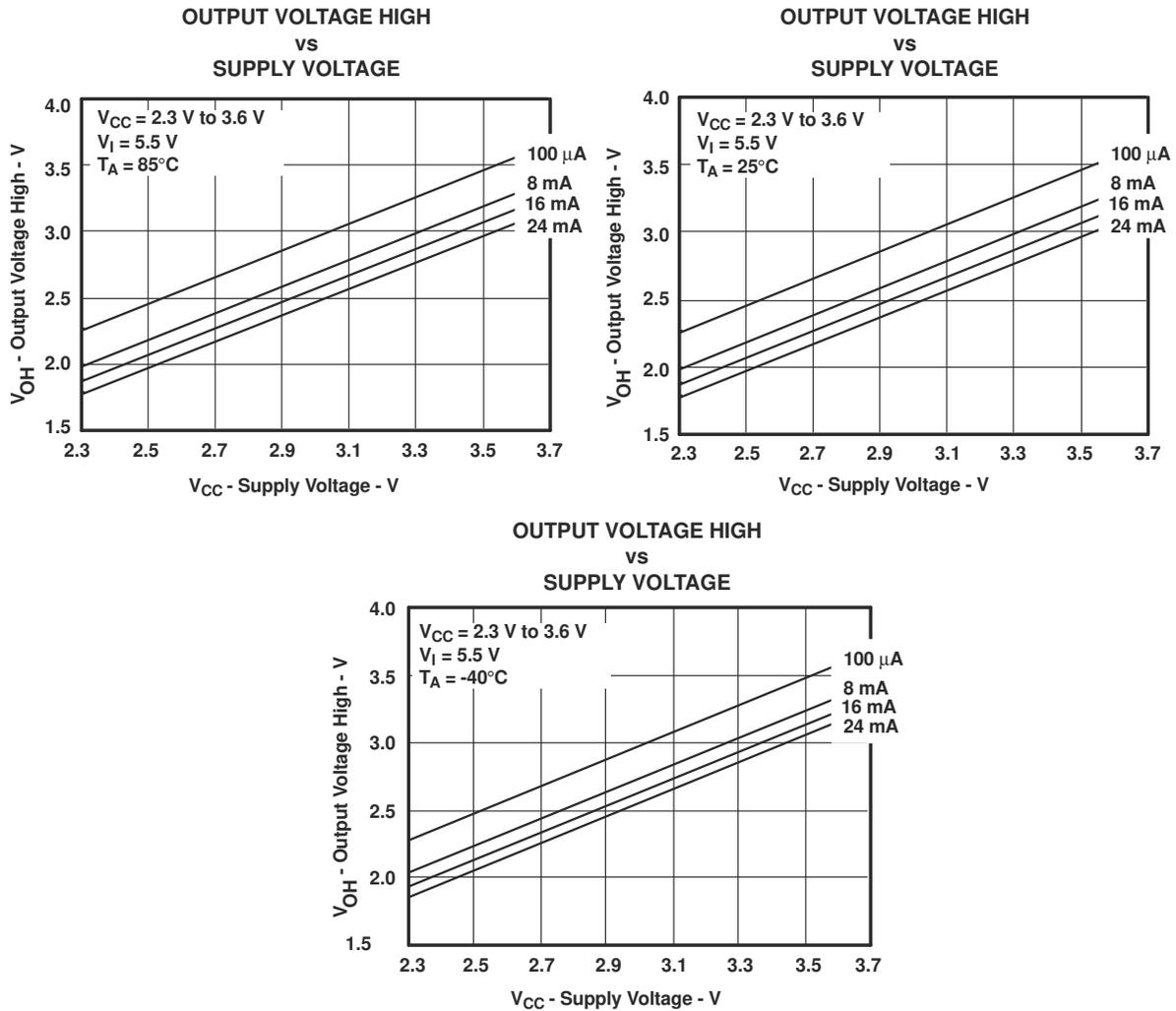
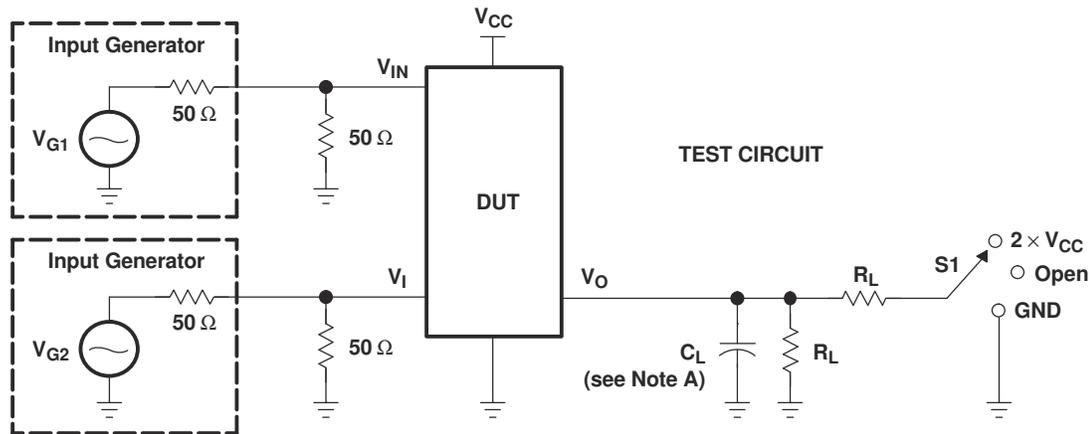
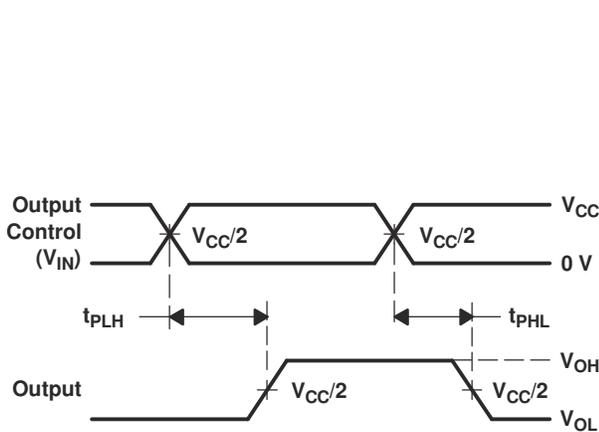


図 5-1. V_{OH} の値

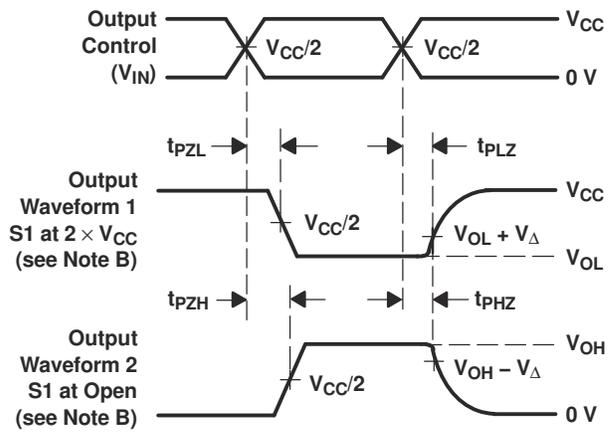
6 パラメータ測定情報



TEST	V _{CC}	S1	R _L	V _I	C _L	V _Δ
t _{pd(s)}	2.5 V ± 0.2 V	Open	500 Ω	3.6 V or GND	30 pF	
	3.3 V ± 0.3 V	Open	500 Ω	5.5 V or GND	50 pF	
t _{PLZ} /t _{PZL}	2.5 V ± 0.2 V	2 × V _{CC}	500 Ω	GND	30 pF	0.15 V
	3.3 V ± 0.3 V	2 × V _{CC}	500 Ω	GND	50 pF	0.3 V
t _{PHZ} /t _{PZH}	2.5 V ± 0.2 V	Open	500 Ω	3.6 V	30 pF	0.15 V
	3.3 V ± 0.3 V	Open	500 Ω	5.5 V	50 pF	0.3 V



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES (t_{pd(s)})



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES

- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω, t_r ≤ 2.5 ns, t_f ≤ 2.5 ns.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
 F. t_{PZL} and t_{PZH} are the same as t_{en}.
 G. t_{PLH} and t_{PHL} are the same as t_{pd(s)}. The t_{pd} propagation delay is the calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance, when driven by an ideal voltage source (zero output impedance).
 H. All parameters and waveforms are not applicable to all devices.

図 6-1. テスト回路と電圧波形

7 詳細説明

7.1 概要

SN74CB3T3253 は、オン抵抗 (r_{on}) が低いため伝播遅延を最小限に低減できる高速 TTL 互換 FET マルチプレクサ / デマルチプレクサです。このデバイスは、 V_{CC} に追従した電圧変換を行うことで、すべてのデータ I/O ポートにおいて混在モード信号動作を完全にサポートします。SN74CB3T3253 は、5V TTL、3.3V LVTTTL、2.5V CMOS スイッチング規格に加えて、ユーザー定義のスイッチング レベルを使用するシステムに対応します (標準的な DC 電圧変換特性を参照)。

SN74CB3T3253 は、個別の出力イネーブル入力 ($1\overline{OE}$ 、 $2\overline{OE}$) を備えた、2 回路の 1 対 4 マルチプレクサ/デマルチプレクサとして構成されています。セレクト (S_0 、 S_1) 入力は、マルチプレクサ/デマルチプレクサのデータ パスを制御します。 \overline{OE} が LOW のとき、関連付けられているマルチプレクサ/デマルチプレクサはオンで、A ポートは B ポートに接続され、ポート間で双方向のデータフローが可能になります。 \overline{OE} を HIGH にすると、関連するマルチプレクサ/デマルチプレクサはオフになり、A と B のポート間は高インピーダンス状態になります。

このデバイスは、 I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 I_{off} 機能により、パワーダウン時に損傷を引き起こすような電流がデバイスに逆流しないことを確実にします。デバイスは、電源オフ時は絶縁されています。

電源投入または電源切断時に高インピーダンス状態を確保するため、 \overline{OE} はプルアップ抵抗経由で V_{CC} に結線します。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

7.2 機能ブロック図

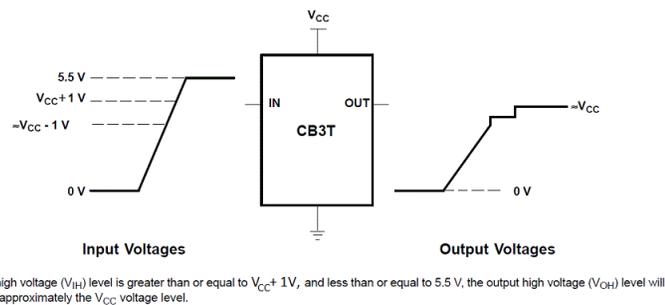


図 7-1. 標準的な DC 電圧変換特性

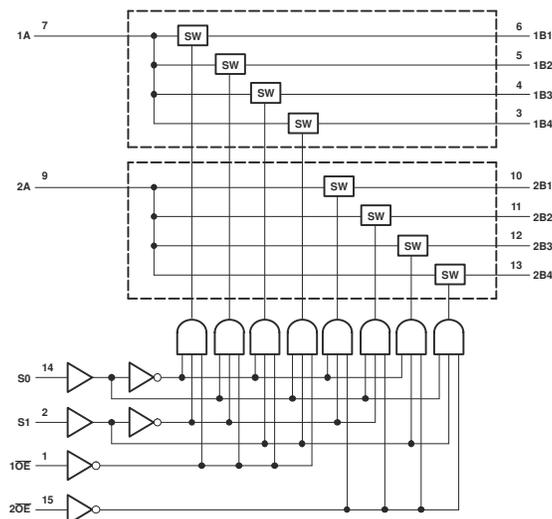
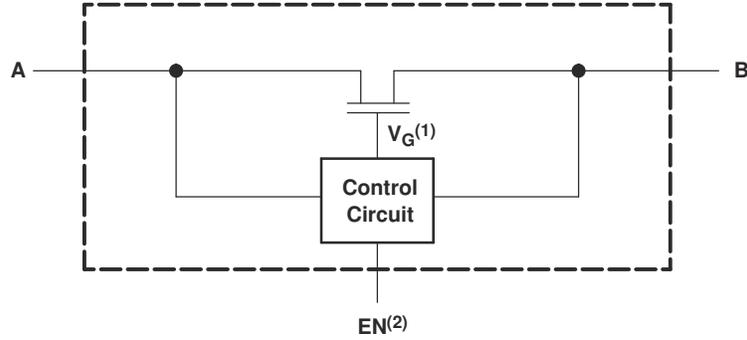


図 7-2. 論理図 (正論理)



- (1) Gate voltage (V_G) is approximately equal to $V_{CC} + V_T$ when the switch is ON and $V_I > V_{CC} + V_T$.
 (2) EN is the internal enable signal applied to the switch.

図 7-3. 概略回路図、各 FET スイッチ (SW)

7.3 機能説明

SN74CB3T3253 デバイスは、機能的には QS3253 と同等で、2 つのポート間には 5Ω のスイッチ接続があります。このデバイスは、データ I/O ポートでのレール ツー レールのスイッチングがあり、部分的なパワーダウン モード動作をサポートする I_{off} も備えています。

7.4 デバイスの機能モード

表 7-1 に、SN74CBTLV3253 の機能モードを示します。

表 7-1. 機能表 (各マルチプレクサ/デマルチプレクサ)

入力			機能
OE	S1	S0	
L	L	L	A ポート = B1 ポート
L	L	H	A ポート = B2 ポート
L	H	L	A ポート = B3 ポート
L	H	H	A ポート = B4 ポート
H	X	X	切断

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74CB3T3253 は、4:1 構成で最大 2 チャンネルを同時に多重化および逆多重化する用途に使用できます。ここに示されているアプリケーションは、2 ビットのバスを 2 つのデバイス間で多重化する構成です。 \overline{OE} および S ピンは、バスコントローラからチップを制御するために使用されます。これは、さまざまな状況で適用できる一般的な例です。

8.2 代表的なアプリケーション

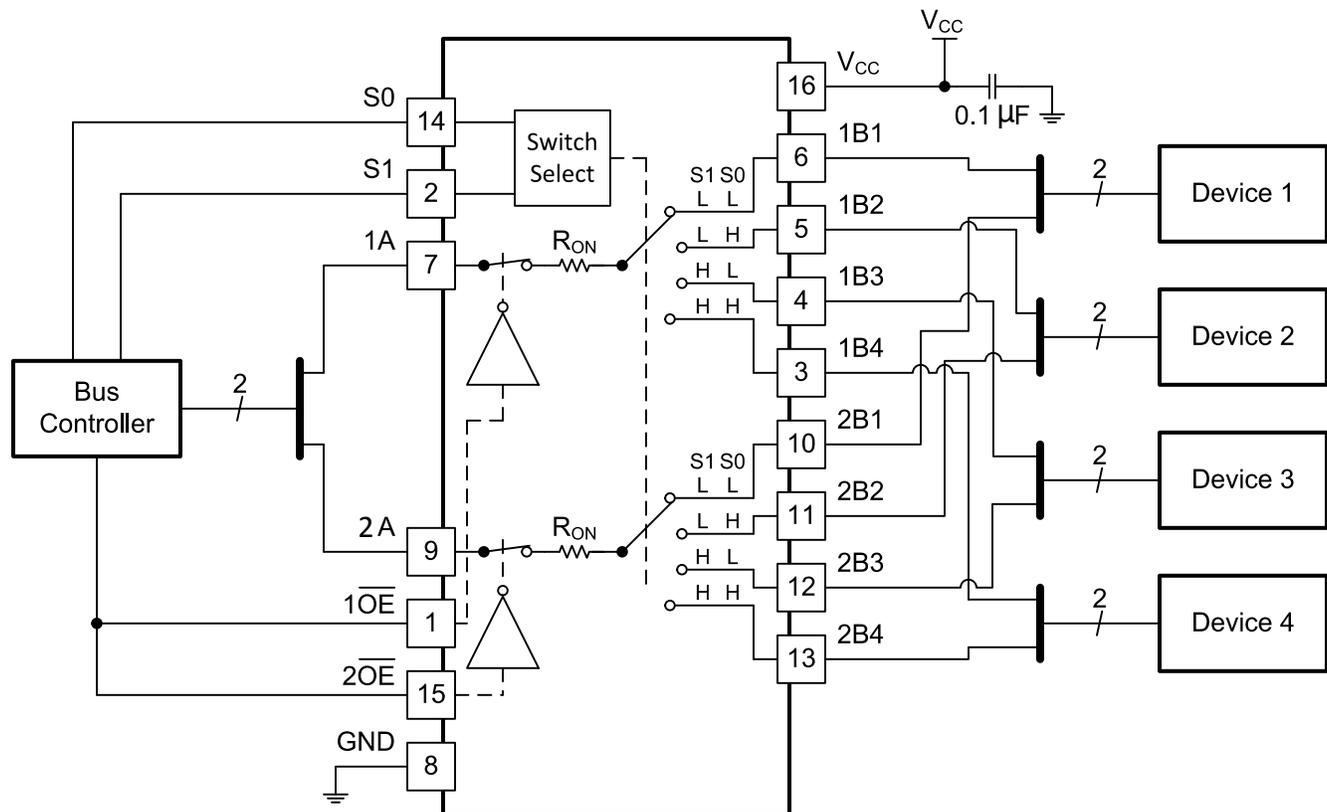


図 8-1. SN74CB3T3253 の代表的なアプリケーション

8.2.1 設計要件

0.1μF コンデンサはデバイスにできる限り近づけて配置します。

8.2.2 詳細な設計手順

1. 推奨入力条件:
 - 規定された High および Low レベルについては、[セクション 5.3](#) の V_{IH} および V_{IL} を参照してください。
 - 入力および出力は過電圧に対して耐性があり、任意の有効な V_{CC} において最大 4.6V に対応できます。
2. 推奨出力条件:
 - 負荷電流は、チャンネルごとに $\pm 128\text{mA}$ を超えてはなりません。
3. 周波数選択の基準:
 - パターンの抵抗と容量を追加すると、最大周波数能力が低下する可能性があります。[レイアウト](#)に示すレイアウト手法を使用してください。

8.2.3 アプリケーション曲線

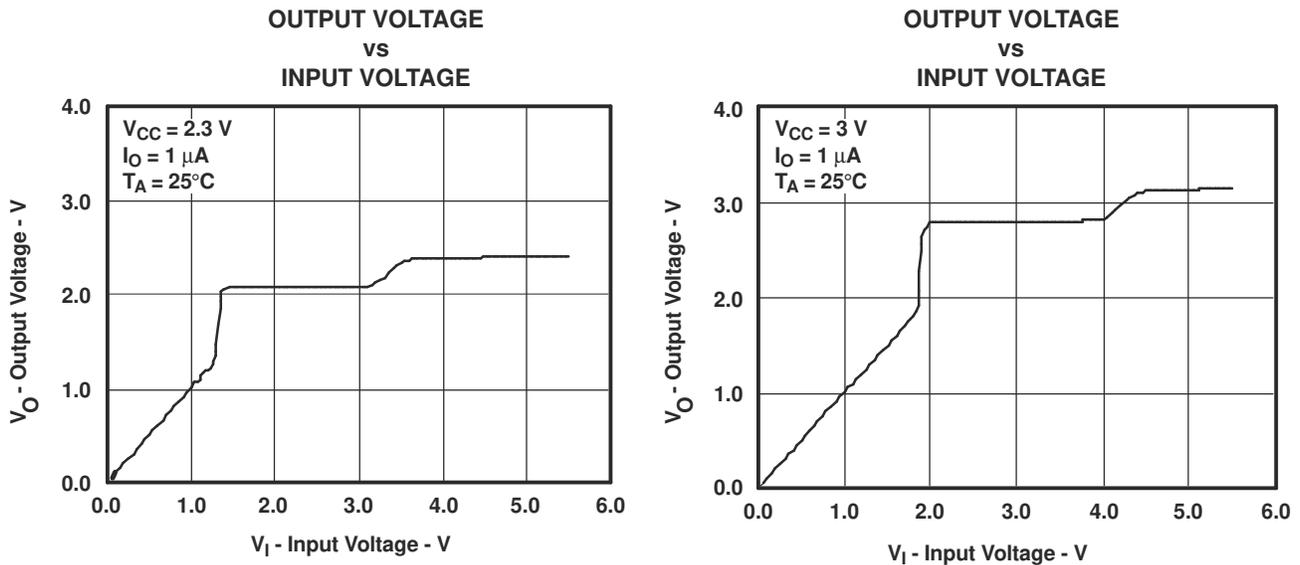


図 8-2. データ出力電圧とデータ入力電圧との関係

8.3 電源に関する推奨事項

電源には、「[推奨動作条件](#)」表に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパスコンデンサが接続されていることを確認してください。単一電源のデバイスには、 $0.1\ \mu\text{F}$ のバイパスコンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、 V_{CC} ピンは内部で互いに接続されているため、各 V_{CC} には $0.01\ \mu\text{F}$ または $0.022\ \mu\text{F}$ のコンデンサを推奨します。 V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに $0.1\ \mu\text{F}$ のバイパスコンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパスコンデンサを並列に配置します。通常、 $0.1\ \mu\text{F}$ と $1\ \mu\text{F}$ の値のコンデンサを並列にして使います。最良の結果を得るために、バイパスコンデンサは電源端子のできるだけ近くに取り付けます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、理論とは切り離して議論されるほど異なるものです。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の **1.414** 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。パターン例に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

8.4.2 レイアウト例

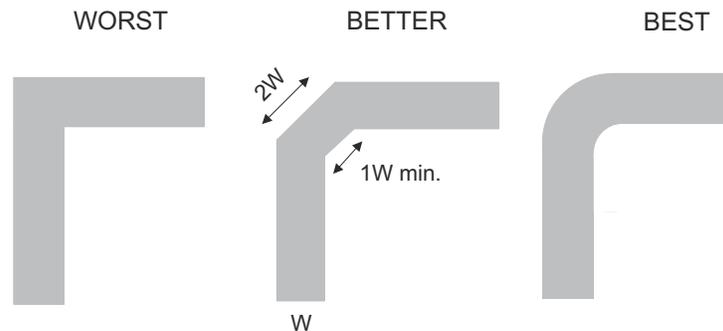


図 8-3. パターン例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2003) to Revision A (May 2025)	Page
• アプリケーション、パッケージ情報表、ピン構成と機能、仕様、ESD 定格、熱に関する情報、詳細説明、概要、機能ブロック図、機能説明、デバイスの機能モード、アプリケーションと実装、アプリケーション情報、代表的なアプリケーション、電源に関する推奨事項、レイアウトおよび デバイスおよびドキュメントのサポートセクションを追加.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 標準的な DC 電圧変換特性のグラフィックと注を更新.....	1
• 電気的特性表の仕様を更新:.....	4
• 「スイッチング特性」表の仕様を更新.....	4

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74CB3T3253D	Active	Production	SOIC (D) 16	40 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3253
SN74CB3T3253D.B	Active	Production	SOIC (D) 16	40 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3253
SN74CB3T3253DBQR	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	KS253
SN74CB3T3253DBQR.B	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	KS253
SN74CB3T3253DGVR	Active	Production	TVSOP (DGV) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253DGVR.B	Active	Production	TVSOP (DGV) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253DR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3253
SN74CB3T3253DR.B	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3253
SN74CB3T3253PW	Obsolete	Production	TSSOP (PW) 16	-	-	Call TI	Call TI	-40 to 85	KS253
SN74CB3T3253PWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253PWR.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253PWR.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253PWRG4	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253PWRG4.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253PWRG4.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

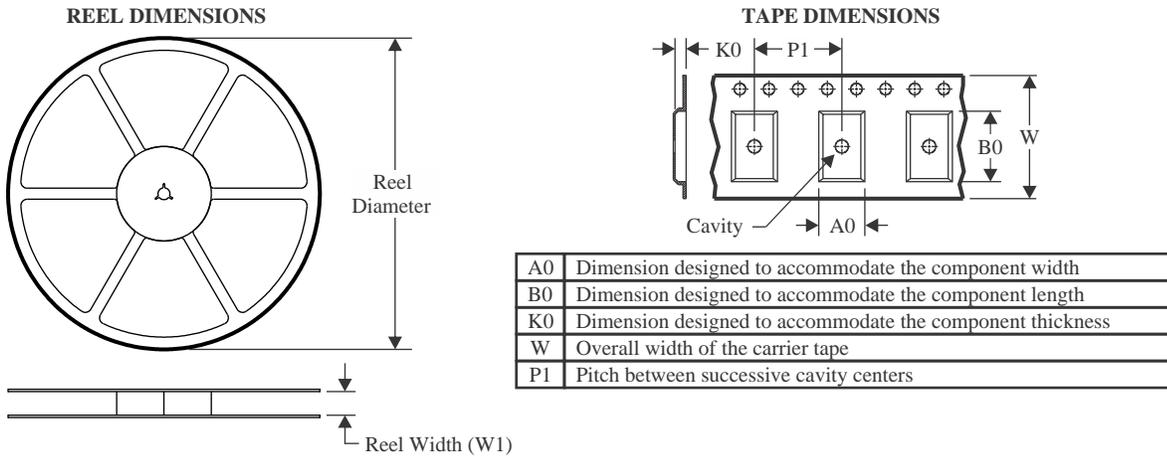
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

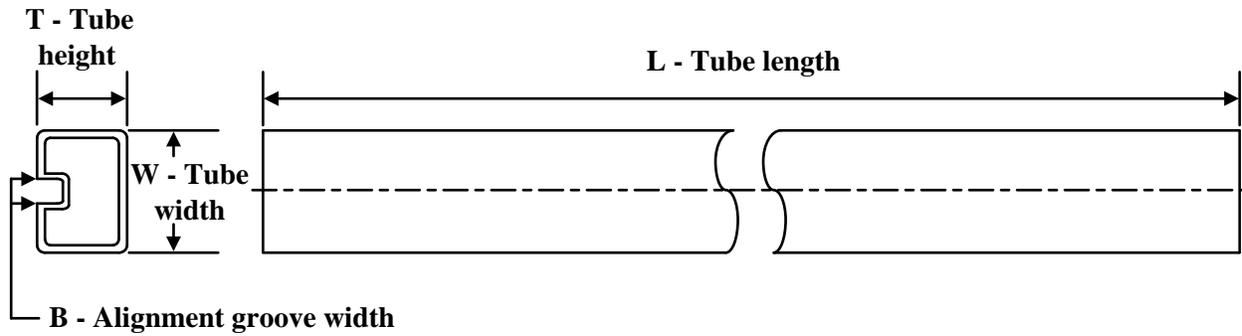

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74CB3T3253DBQR	SSOP	DBQ	16	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
SN74CB3T3253DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74CB3T3253DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74CB3T3253PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74CB3T3253DBQR	SSOP	DBQ	16	2500	340.5	338.1	20.6
SN74CB3T3253DGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74CB3T3253DR	SOIC	D	16	2500	340.5	336.1	32.0
SN74CB3T3253PWR	TSSOP	PW	16	2000	353.0	353.0	32.0

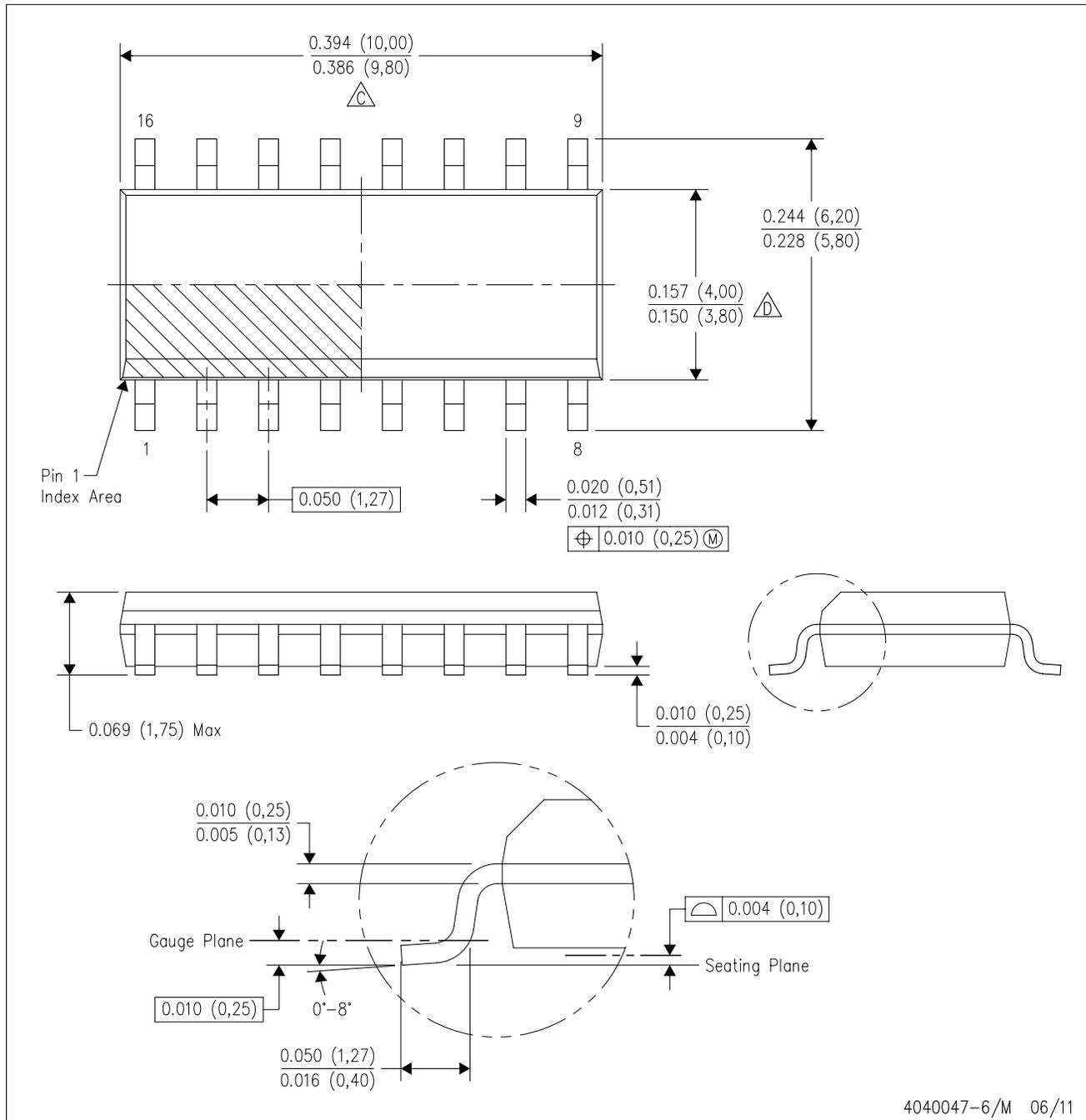
TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74CB3T3253D	D	SOIC	16	40	507	8	3940	4.32
SN74CB3T3253D.B	D	SOIC	16	40	507	8	3940	4.32

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE

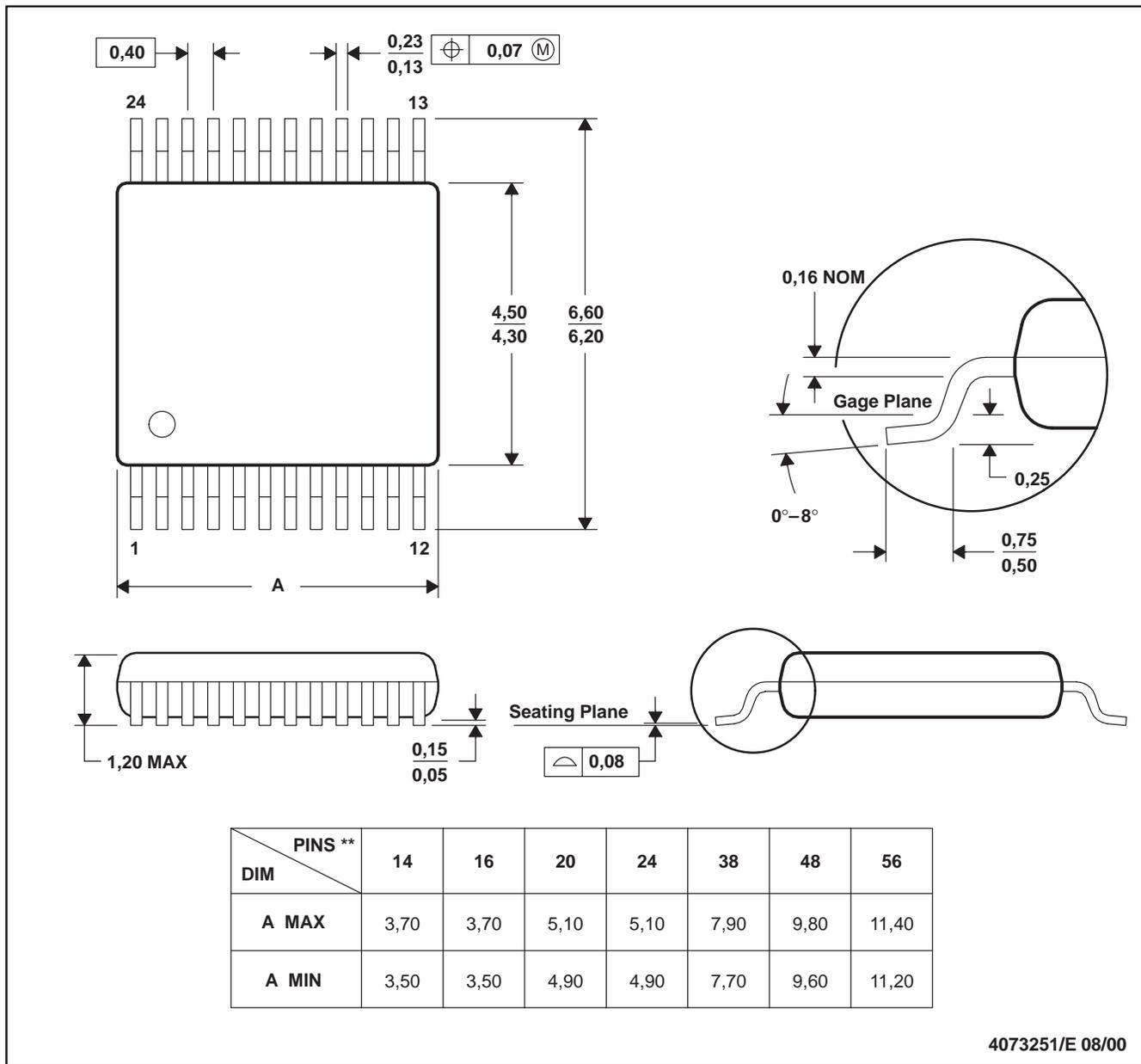


- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

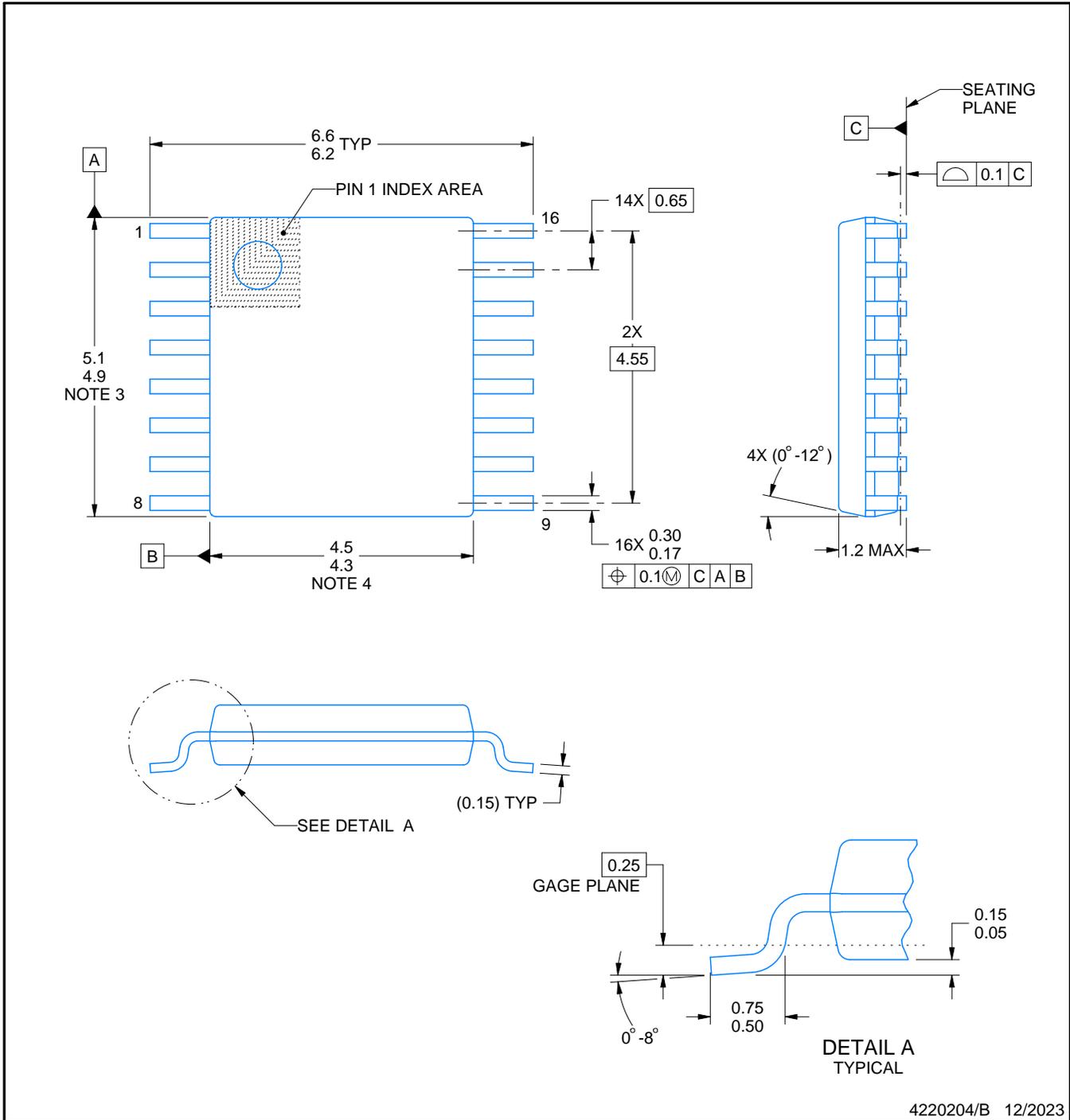
DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 D. Falls within JEDEC: 24/48 Pins – MO-153
 14/16/20/56 Pins – MO-194



4220204/B 12/2023

NOTES:

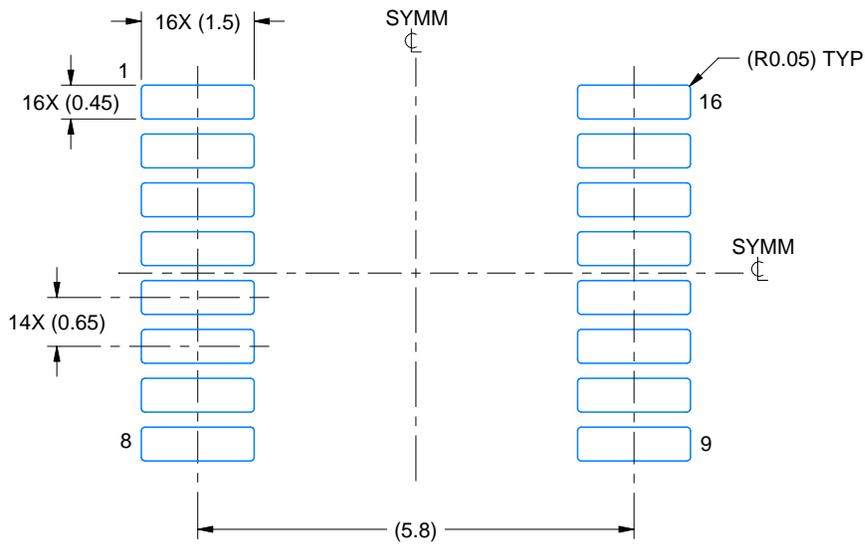
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

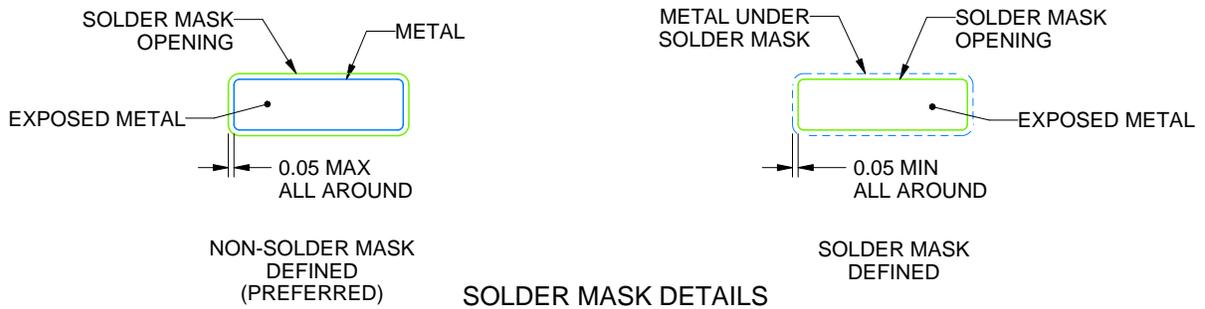
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

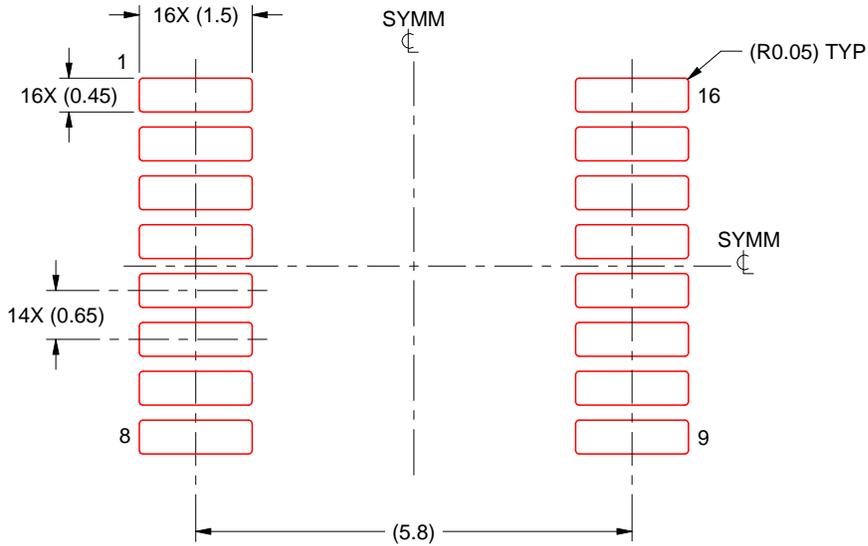
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

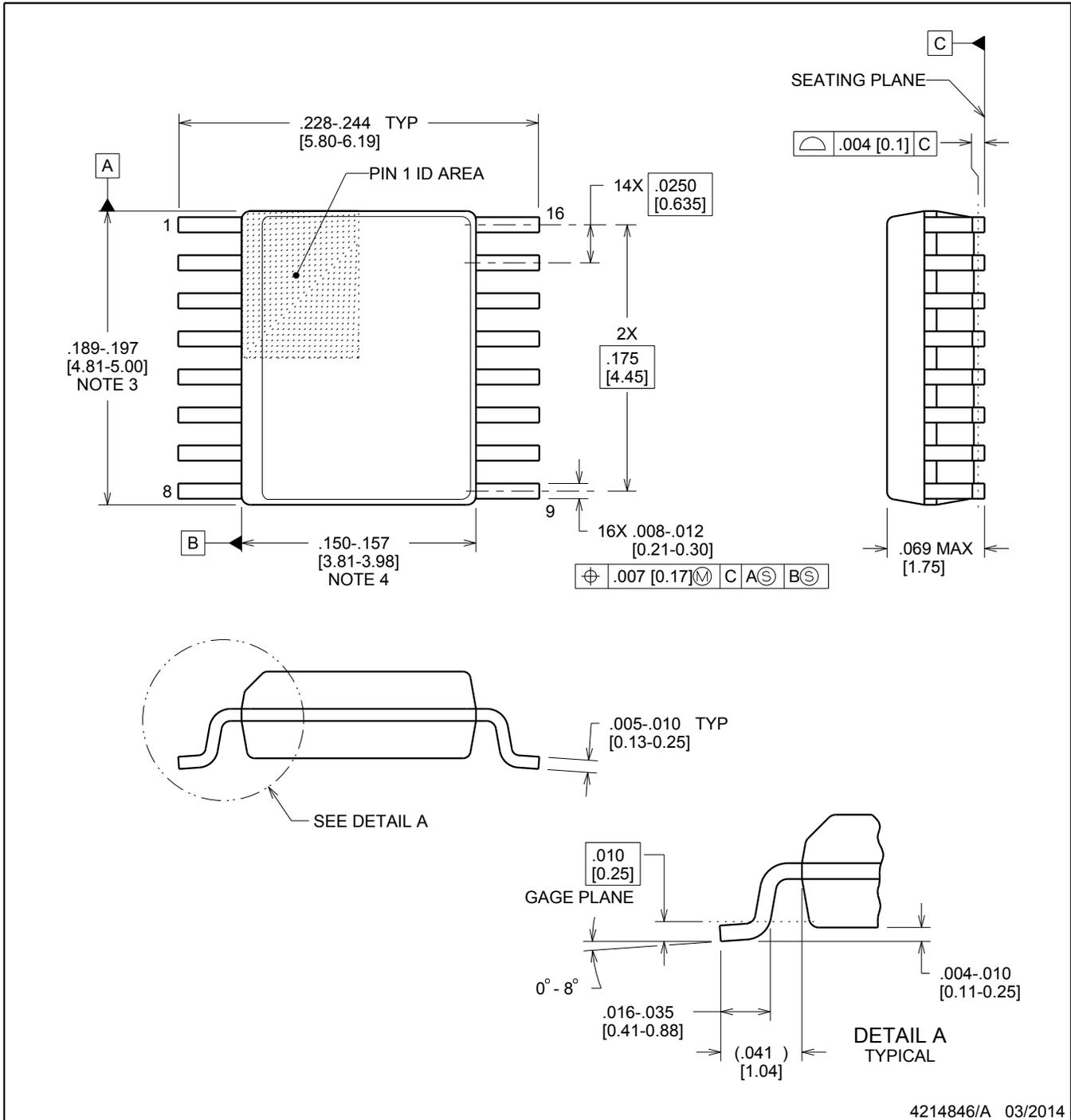


DBQ0016A

PACKAGE OUTLINE

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



4214846/A 03/2014

NOTES:

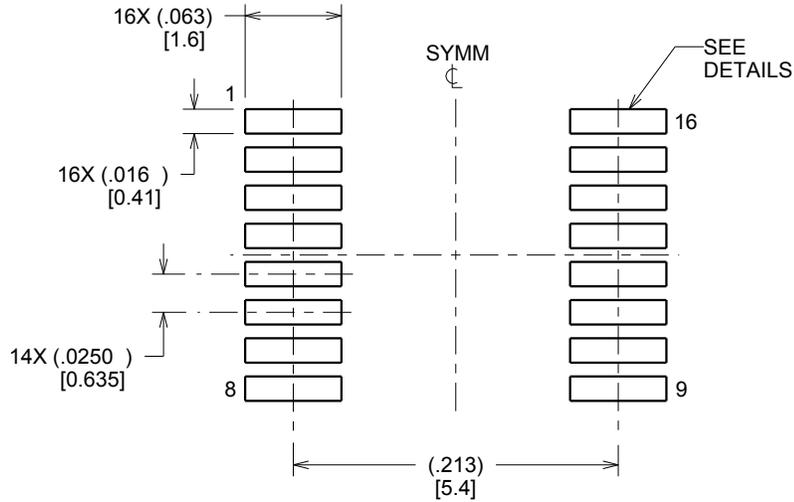
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MO-137, variation AB.

EXAMPLE BOARD LAYOUT

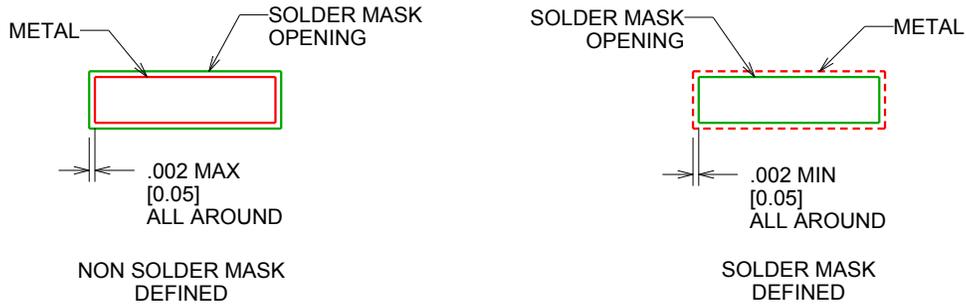
DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

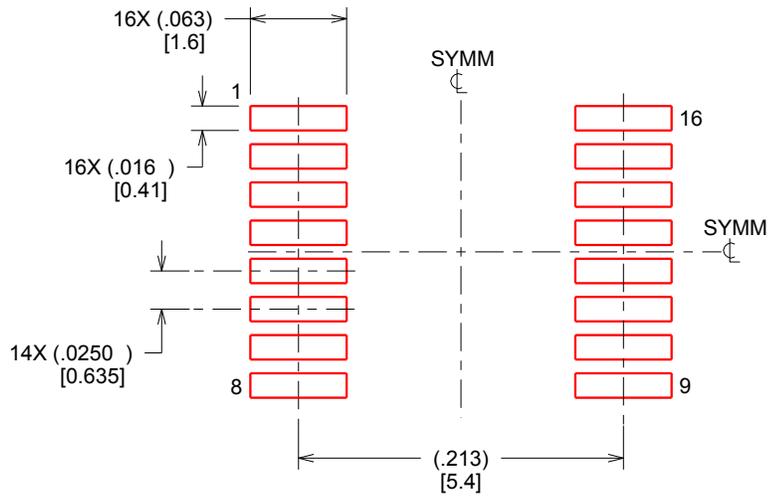
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月